

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016년 9월 1일 (01.09.2016)



(10) 국제공개번호
WO 2016/137220 A1

- (51) 국제특허분류:
H01L 33/04 (2010.01)
- (21) 국제출원번호: PCT/KR2016/001789
- (22) 국제출원일: 2016년 2월 24일 (24.02.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0026344 2015년 2월 25일 (25.02.2015) KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 04637 서울시 중구 한강대로 416 번지 서울스퀘어, Seoul (KR).
- (72) 발명자: 홍정엽 (HONG, Jung Yeop); 04637 서울시 중구 한강대로 416 번지 서울스퀘어, Seoul (KR). 김명희 (KIM, Myung Hee); 04637 서울시 중구 한강대로 416 번지 서울스퀘어, Seoul (KR).
- (74) 대리인: 김기문 (KIM, Ki Moon); 06252 서울시 강남구 역삼로 114 번지 현죽빌딩 6 층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO,

AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

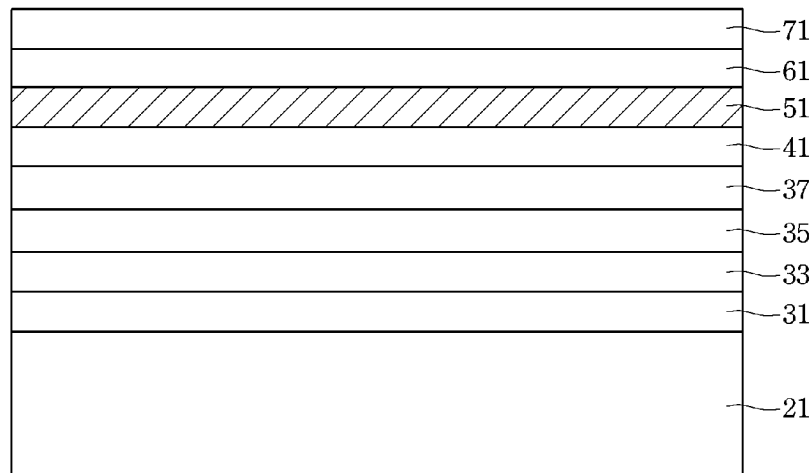
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: LIGHT EMITTING DEVICE AND LIGHT UNIT HAVING SAME

(54) 발명의 명칭 : 발광 소자 및 이를 구비한 라이트 유닛



(57) Abstract: An embodiment relates to a light emitting device. The light emitting device according to the embodiment comprises: a first conductive semiconductor layer; an active layer disposed on the first conductive semiconductor layer and having a plurality of barrier layers and a plurality of well layers; a plurality of superlattice layers disposed below the first conductive semiconductor layer; and a second conductive semiconductor layer on the active layer, wherein the plurality of superlattice layers includes at least three superlattice layers and each of the at least three superlattice layers has a plurality of pairs of a first layer and a second layer, and the closer the superlattice layer is to the active layer among the at least three superlattice layers, a composition of aluminum in the first layer of the superlattice layer is gradually decreased, and each of the at least three superlattice layers has the same composition of aluminum in the second layer.

(57) 요약서:

[다음 쪽 계속]



WO 2016/137220 A1



실시 예는 발광소자에 관한 것이다. 실시 예에 따른 발광 소자는, 제 1 도전성 반도체층; 상기 제 1 도전성 반도체층 상에 배치되며 복수의 장벽층 및 복수의 우물층을 갖는 활성층; 상기 제 1 도전성 반도체층 아래에 배치된 복수의 초격자층; 및 상기 활성층 위에 제 2 도전성 반도체층을 포함하며, 상기 복수의 초격자층은 적어도 3 개의 초격자층을 포함하며, 상기 적어도 3 개의 초격자층 각각은 적어도 제 1 층 및 제 2 층의 페어를 복수개 구비하며, 상기 적어도 3 개의 초격자층 중 상기 활성층에 인접한 초격자층일수록 상기 제 1 층의 알루미늄의 조성은 점차 감소되며, 상기 적어도 3 개의 초격자층 각각은 상기 제 2 층의 알루미늄의 조성이 동일한 조성을 갖는다.

명세서

발명의 명칭: 발광 소자 및 이를 구비한 라이트 유닛

기술분야

- [1] 실시 예는 발광소자에 관한 것이다.
- [2] 실시 예는 자외선 발광 소자에 관한 것이다.
- [3] 실시 예는 자외선 발광 소자를 갖는 라이트 유닛에 관한 것이다.

배경기술

- [4] 일반적으로 질소(N)와 같은 V족 소스와, 갈륨(Ga), 알루미늄(Al), 또는 인듐(In)과 같은 III족 소스를 포함하는 질화물 반도체 소재는 열적 안정성이 우수하고 직접 천이형의 에너지 밴드(band) 구조를 갖고 있어, 질화물계 반도체 소자 예컨대, 자외선 영역의 질화물계 반도체 발광소자 및 태양전지용 물질로 많이 사용되고 있다.
- [5] 질화물계 물질은 0.7eV에서 6.2eV의 폭넓은 에너지 밴드갭을 가지고 있어 태양광스펙트럼 영역과 일치하는 특성으로 인하여 태양전지소자용 물질로 많이 사용되고 있다. 특히, 자외선 발광소자는 경화기 장치, 의료분석기 및 치료기기 및 살균, 정수, 정화시스템 등 다양한 산업분야에서 활용되고 있으며, 향후 반도체 조명 광원으로써 일반조명에 사용 가능한 물질로서 주목을 받고 있다.

발명의 상세한 설명

기술적 과제

- [6] 실시 예는 제1도전성 반도체층 아래에 복수의 초격자층을 갖는 발광 소자 및 이를 구비한 라이트 유닛을 제공한다.
- [7] 실시 예는 제1도전성 반도체층과 기판 사이에 복수의 초격자층을 배치하여 결합을 줄여줄 수 있도록 한 발광 소자 및 이를 구비한 라이트 유닛을 제공한다.
- [8] 실시 예는 복수의 초격자층 각각의 페어 중 적어도 한 층의 알루미늄의 조성이 활성층에 인접할수록 점차 감소되는 발광 소자 및 이를 구비한 라이트 유닛을 제공한다.
- [9] 실시 예는 복수의 초격자층 각각의 페어 중 적어도 한 층의 두께가 활성층에 인접할수록 점차 두꺼워지는 발광 소자 및 이를 구비한 라이트 유닛을 제공한다.
- [10] 실시 예는 자외선 파장 예컨대, UV-C(Ultraviolet-C) 파장을 방출하는 발광 소자 및 이를 구비한 라이트 유닛을 제공한다.

과제 해결 수단

- [11] 실시 예에 따른 발광 소자는, 제1도전성 반도체층; 상기 제1도전성 반도체층 상에 배치되며 복수의 장벽층 및 복수의 우물층을 갖는 활성층; 상기 제1도전성 반도체층 아래에 배치된 복수의 초격자층; 및 상기 활성층 위에 제2도전성 반도체층을 포함하며, 상기 복수의 초격자층은 적어도 3개의 초격자층을 포함하며, 상기 적어도 3개의 초격자층 각각은 적어도 제1층 및 제2층의 페어를

복수개 구비하며, 상기 적어도 3개의 초격자층 중 상기 활성층에 인접한 초격자층일수록 상기 제1층의 알루미늄의 조성은 점차 감소되며, 상기 적어도 3개의 초격자층 각각은 상기 제2층의 알루미늄의 조성이 동일한 조성을 갖는다.

- [12] 실시 예에 따른 발광 소자는, 제1도전성 반도체층; 상기 제1도전성 반도체층 상에 배치되며 복수의 장벽층 및 복수의 우물층을 갖는 활성층; 상기 제1도전성 반도체층 아래에 배치된 복수의 초격자층; 및 상기 활성층 위에 제2도전성 반도체층을 포함하며, 상기 복수의 초격자층은 적어도 3개의 초격자층을 포함하며, 상기 적어도 3개의 초격자층 각각은 적어도 제1층 및 제2층의 패어를 복수개 구비하며, 상기 적어도 3개의 초격자층 중 상기 활성층에 인접한 초격자층일수록 상기 제1층과 제2층의 알루미늄의 조성 차이가 더 크며, 상기 적어도 3개의 초격자층 중 상기 활성층에 인접한 초격자층일수록 상기 제1층의 두께가 두껍다.

발명의 효과

- [13] 실시 예에 따른 발광 소자에 의하면, 활성층으로 전달되는 결함을 제거할 수 있다.
- [14] 실시 예에 따른 발광 소자에 의하면, 내부 양자 효율을 개선시켜 줄 수 있다.
- [15] 실시 예는 살균용 자외선 발광 소자의 신뢰성을 개선시켜 줄 수 있다.
- [16] 실시 예는 자외선 발광 소자를 갖는 발광소자 패키지 및 자외선 램프와 같은 라이트 유닛을 제공할 수 있다.

도면의 간단한 설명

- [17] 도 1은 제1실시 예에 따른 발광 소자를 나타낸 도면이다.
- [18] 도 2는 도 1의 복수의 초격자층을 설명하기 위한 도면이다.
- [19] 도 3은 도 1의 발광 소자에 전극을 배치한 일 예이다.
- [20] 도 4는 도 1의 발광 소자에 전극을 배치한 다른 예이다.
- [21] 도 5는 도 3의 발광 소자를 갖는 발광 소자 패키지를 나타낸 단면도이다.
- [22] 도 6은 제2실시 예에 따른 발광 소자를 나타낸 도면이다.
- [23] 도 7은 도 6의 발광 소자에 전극을 배치한 일 예이다.
- [24] 도 8은 도 6의 발광 소자를 갖는 발광 소자 패키지를 나타낸 단면도이다.
- [25] 도 9는 실시 예에 따른 발광 소자를 갖는 라이트 유닛을 나타낸 도면이다.
- [26] 도 10은 실시 예에 따른 복수의 초격자층의 알루미늄의 조성 및 두께의 관계를 나타낸 그래프이다.
- [27] 도 11은 제2실시 예에 따른 발광 소자에서 제3도전성 반도체층의 알루미늄의 조성ة 따른 접촉 저항의 관계를 나타낸 그래프이다.

발명의 실시를 위한 최선의 형태

- [28] 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패턴 또는 패턴들의 "상/위(on/over)"에 또는 "하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on/over)"와 "하/아래(under)"는

"직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.

[29] <발광소자>

[30] 도 1는 제1실시예에 따른 발광소자의 단면도이다.

[31] 도 1을 참조하면, 실시예에 따른 발광소자는 기판(21)과, 상기 기판(21) 상에 배치된 복수의 초격자층(31,33,35,37)과, 상기 복수의 초격자층(31,33,35,37) 상에 배치된 제1도전성 반도체층(41)과, 상기 제1도전성 반도체층(41) 상에 배치된 활성층(51)과, 상기 활성층(51) 상에 배치된 전자 차단층(61), 상기 전자 차단층(61) 상에 배치된 제2 도전성 반도체층(71)을 포함할 수 있다.

[32] 상기 발광 소자는 자외선 파장의 광을 방출하게 된다. 상기 발광 소자는 300nm 파장 이하 예컨대, 200nm 내지 290nm 범위의 파장을 발광할 수 있다. 상기 발광 소자는 UV-C 파장을 발광하는 소자일 수 있다.

[33]

[34] 상기 기판(21)은 예를 들어, 투광성, 전도성 기판 또는 절연성 기판일 수 있다. 예를 들어, 상기 기판(21)은 사파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, GaP, InP, Ge, and Ga_2O_3 중 적어도 하나를 포함할 수 있다. 상기 기판(21)의 상면 및/또는 하면에는 복수의 돌출부(미도시)가 형성될 수 있으며, 상기 복수의 돌출부 각각은 측 단면이, 반구형 형상, 다각형 형상, 타원 형상 중 적어도 하나를 포함하며 스트라이프 형태 또는 매트릭스 형태로 배열될 수 있다. 상기 돌출부는 광 추출 효율을 개선시켜 줄 수 있다.

[35] 상기 기판(21) 위에는 복수의 화합물 반도체층이 성장될 수 있으며, 상기 복수의 화합물 반도체층의 성장 장비는 전자빔 증착기, PVD(physical vapor deposition), CVD(chemical vapor deposition), PLD(plasma laser deposition), 이중형의 열증착기(dual-type thermal evaporator) 스퍼터링(sputtering), MOCVD(metal organic chemical vapor deposition) 등에 의해 형성할 수 있으며, 이에 대해 한정하지는 않는다.

[36] 상기 기판(21)과 상기 제1도전성 반도체층(41) 사이에는 복수의 초격자층(31,33,35,37)이 배치될 수 있다. 상기 제1도전성 반도체층(41) 상에는 활성층(51)이 배치될 수 있다.

[37] 상기 복수의 초격자층(31,33,35,37)은 적어도 3개의 초격자층 예컨대, 4개 이상의 초격자층을 포함할 수 있다. 상기 복수의 초격자층(31,33,35,37) 각각은 적어도 2개의 층을 하나의 페어로 하며 복수의 페어를 구비할 수 있다. 상기 복수의 초격자층(31,33,35,37)은 각 페어의 어느 한 층은 예로서 II족-VI족 또는 III족-V족 화합물 반도체로 구현될 수 있으며, 다른 한 층은 예로서 II족-VI족 또는 III족-V족 화합물 반도체로 구현될 수 있다.

[38] 도 2를 참조하면, 상기 복수의 초격자층(31,33,35,37) 각각은 제1층(11,13,15,17) 및 제2층(12,14,16,18)의 페어를 포함할 수 있으며, 상기 제1층(11,13,15,17) 및

제2층(12,14,16,18)은 서로 다른 물질을 포함할 수 있다. 상기 각 초격자층(31,33,35,37)은 제1층(11,13,15,17) 및 제2층(12,14,16,18)이 교대로 배치될 수 있다.

- [39] 상기 초격자층(31,33,35,37) 중 상기 활성층(51)에 인접한 초격자층일수록 상기 제1층(11,13,15,17)의 알루미늄의 조성은 점차 감소될 수 있다. 상기 초격자층(31,33,35,37) 중 상기 활성층(51)에 인접한 초격자층일수록 상기 제1층(11,13,15,17)과 제2층(12,14,16,18)의 알루미늄의 조성 차이는 점차 커질 수 있다. 상기 초격자층(31,33,35,37) 각각은 상기 제2층(12,14,16,18)의 알루미늄의 조성이 동일한 조성을 가질 수 있다.
- [40] 상기 초격자층(31,33,35,37) 중 상기 활성층(51)에 인접한 초격자층일수록 상기 제1층(11,13,15,17)의 두께(T1,T2,T3,T4)는 점차 두꺼워질 수 있다. 상기 복수의 초격자층(31,33,35,37)의 두께는 상기 활성층(51)에 인접한 초격자층일수록 두께가 점차 증가될 수 있다.
- [41] 상기 각 초격자층(31,33,35,37)의 제1층(11,13,15,17)/제2층(12,14,16,18)의 페어는 AlGa_aN/AlN의 페어를 포함할 수 있다. 상기 제1층(11,13,15,17)의 AlGa_aN은 알루미늄의 조성이 활성층에 인접한 초격자층일수록 점차 감소하게 된다.
- [42] 상기 복수의 초격자층(31,33,35,37) 중 인접한 두 초격자층에 구비된 제1층(11,13,15,17)들 간의 알루미늄의 조성 차이는 적어도 10% 이상일 수 있다. 상기 복수의 초격자층(31,33,35,37) 중 서로 반대측에 위치한 두 초격자층에 구비된 제1층(11,13,15,17)들 간의 알루미늄의 조성 차이는 적어도 30% 이상 차이를 가질 수 있다.
- [43] 상기 복수의 초격자층(31,33,35,37)은 예컨대, 제1 내지 제4초격자층(31,33,35,37)을 포함한다. 상기 제1초격자층(31)은 상기 기판(21)과 제2초격자층(33) 사이에 배치되며, 상기 제2초격자층(33)은 상기 제1초격자층(31)과 제3초격자층(35) 사이에 배치되며, 상기 제3초격자층(35)은 상기 제2초격자층(33)과 제4초격자층(37) 사이에 배치되며, 상기 제4초격자층(37)은 제3초격자층(35)과 제1도전성 반도체층(41) 사이에 배치될 수 있다.
- [44] 상기 제1초격자층(31)은 제1층(11) 및 제2층(12)의 페어를 포함하며, 상기 페어는 8 내지 20페어 예컨대 10내지 15페어를 포함할 수 있다. 상기 제1층(11)은 Al_aGa_{1-a}N (0<a<1)의 조성식을 갖는 반도체 재료이며, 상기 제2층(12)은 AlN일 수 있다. 상기 제1초격자층(31)에서 제1층(11)과 제2층(12)의 알루미늄의 조성 차이는 20% 이상의 차이를 가질 수 있다.
- [45] 상기 제1초격자층(31)에서 제1층(11)의 두께(T1)는 제2내지 제4초격자층(33,35,37)의 제1층(13,15,17)의 두께(T2,T3,T4)보다 얇을 수 있으며, 예컨대 5nm 내지 20nm 범위를 포함한다. 상기 제1초격자층(31)에서 제2층(12)의 두께(T5)는 5nm 내지 20nm 범위를 포함한다. 상기 제1초격자층(31)의 제1층(11) 및 제2층(12)의 두께(T1,T5)를 상기한 범위로 제공해 줌으로써, 상기

기관(21)과의 격자 상수 차이에 의한 결함을 줄여줄 수 있고 제2초격자층(33)으로 전달되는 응력을 줄여줄 수 있다. 상기 제1초격자층(31)의 제1층(11) 및 제2층(12)의 두께(T1,T5)는 동일한 두께일 수 있으며, 이에 대해 한정하지는 않는다.

- [46] 상기 제2초격자층(33)은 제1층(13) 및 제2층(14)의 페어를 포함하며, 상기 페어는 8 내지 20페어 예컨대 10내지 15페어를 포함할 수 있다. 상기 제2초격자층(33)에서 제1층(13)은 $\text{Al}_b\text{Ga}_{1-b}\text{N}$ ($0 < b < 1$)의 조성식을 갖는 반도체 재료이며, 상기 제2층(14)은 AlN 일 수 있다. 상기 제2초격자층(33)에서 제1층(13)과 제2층(14)의 알루미늄의 조성 차이는 30% 이상의 차이를 가질 수 있다. 상기 제2층(14)은 상기 제1층(13)의 알루미늄의 조성에 비해 30% 이상 높은 알루미늄의 조성을 가지므로, 격자 상수가 작은 반도체를 제공해 줄 수 있다.
- [47] 상기 제2초격자층(33)에서 제1층(13)의 두께(T2)는 제3 및 제4초격자층(35,37)의 제1층(15,17)의 두께(T3,T4)보다 얇을 수 있으며, 예컨대 12nm 내지 22nm 범위를 포함한다. 상기 제2초격자층(33)에서 제2층(14)의 두께(T5)는 5nm 내지 20nm 범위를 포함한다. 상기 제2초격자층(33)의 제1층(13) 및 제2층(14)의 두께(T2,T5)를 상기한 범위로 제공해 줌으로써, 상기 제1초격자층(31)을 통해 전달되는 결함을 줄여줄 수 있고 제3초격자층(35)으로 전달되는 응력을 줄여줄 수 있다. 상기 제2초격자층(33)의 제1층(13)의 두께(T2)는 제2층(14)의 두께(T5)보다 두꺼울 수 있다. 이러한 제2초격자층(33)의 제2층(13)이 격자 상수가 작고 얇은 두께로 제공되어, 제2초격자층(33) 내에서 결함을 제어하는 층으로서의 역할을 수행할 수 있다.
- [48]
- [49] 상기 제3초격자층(35)은 제1층(15) 및 제2층(16)의 페어를 포함하며, 상기 페어는 8 내지 20페어 예컨대 10내지 15페어를 포함할 수 있다. 상기 제3초격자층(35)에서 제1층(15)은 $\text{Al}_c\text{Ga}_{1-c}\text{N}$ ($0 < c < 1$)의 조성식을 갖는 반도체 재료이며, 상기 제2층(16)은 AlN 일 수 있다. 상기 제3초격자층(35)에서 제1층(15)과 제2층(16)의 알루미늄의 조성 차이는 40% 이상의 차이를 가질 수 있다. 상기 제3초격자층(35)의 제1층(15)의 알루미늄 조성을 제2초격자층(33)의 제1층(13)에 비해 낮추어줌으로써, 반도체층의 결정 품질을 개선시켜 줄 수 있다.
- [50] 상기 제3초격자층(35)에서 제1층(15)의 두께(T3)는 제4초격자층(37)의 제1층(17)의 두께(T4)보다 얇을 수 있으며, 예컨대 15nm 내지 25nm 범위를 포함한다. 상기 제3초격자층(35)에서 제2층(16)의 두께(T5)는 5nm 내지 20nm 범위를 포함한다. 상기 제3초격자층(35)의 제1층(15) 및 제2층(16)의 두께(T3,T5)를 상기한 범위로 제공해 줌으로써, 상기 제2초격자층(33)을 통해 전달되는 결함을 줄여줄 수 있고 제4초격자층(37)으로 전달되는 응력을 줄여줄 수 있다. 상기 제3초격자층(35)의 제1층(15)의 두께(T3)는 제2층(16)의 두께(T5)보다 두꺼울 수 있다. 이러한 제3초격자층(35)의 제2층(16)이 격자 상수가 작고 얇은 두께로 제공되어, 제3초격자층(35) 내에서 결함을 제어하는

층으로서의 역할을 수행할 수 있다.

[51]

[52] 상기 제4초격자층(37)은 제1층(17) 및 제2층(18)의 페어를 포함하며, 상기 페어는 8 내지 20페어 예컨대 10내지 15페어를 포함할 수 있다. 상기 제4초격자층(37)에서 제1층(17)은 $\text{Al}_d\text{Ga}_{1-d}\text{N}$ ($0 < d < 1$)의 조성식을 갖는 반도체 재료이며, 상기 제2층(18)은 AlN 일 수 있다. 상기 제4초격자층(37)에서 제1층(17)과 제2층(18)의 알루미늄의 조성 차이는 45% 이상 예컨대, 50% 이상의 차이를 가질 수 있다. 상기 제4초격자층(37)의 제1층(17)의 알루미늄 조성을 제3초격자층(35)의 제1층(15)에 비해 낮추어줌으로써, 반도체층의 결정 품질을 개선시켜 줄 수 있다.

[53]

상기 제4초격자층(37)에서 제1층(17)의 두께(T4)는 제1내지 제3초격자층(31,33,35)의 제1층(11,13,15)의 두께(T1,T2,T3)보다 두꺼울 수 있으며, 예컨대 17nm 내지 30nm 범위를 포함한다. 상기 제4초격자층(37)에서 제2층(18)의 두께(T5)는 5nm 내지 20nm 범위를 포함한다. 상기 제4초격자층(37)의 제1층(17) 및 제2층(18)의 두께(T4,T5)를 상기한 범위로 제공해 줌으로써, 상기 제3초격자층(35)을 통해 전달되는 결함을 줄여줄 수 있고 제1도전성 반도체층(41)으로 전달되는 응력을 줄여줄 수 있다. 상기 제4초격자층(37)의 제1층(17)의 두께(T4)는 제2층(18)의 두께(T5)보다 두꺼울 수 있다. 이러한 제4초격자층(37)의 제2층(18)이 격자 상수가 작고 얇은 두께로 제공되어, 제4초격자층(37) 내에서 결함을 제어하는 층으로서의 역할을 수행할 수 있다.

[54]

상기 제1내지 제4초격자층(31,33,35,37)에서 제1층(11,13,15,17)인 AlGaIn 의 Al조성($\text{Al}_a, \text{Al}_b, \text{Al}_c, \text{Al}_d$)은 $a > b > c > d$ 일 수 있으며, 상기 알루미늄 조성 a와 b의 차이는 10% 이상이고, 상기 알루미늄의 조성 b와 c의 차이는 10% 이상이고, 상기 알루미늄의 조성 c와 d의 차이는 10% 이상일 수 있다. 상기 알루미늄의 조성 a와 d의 차이는 적어도 30% 이상일 수 있다. 상기 제2층(12,14,16,18)인 AlN 의 알루미늄의 조성은 a와 $20\% \pm 2\%$ 이상의 차이를 가지며, b와 $30\% \pm 3\%$ 이상의 차이를 가질 수 있으며, c와 $40\% \pm 4\%$ 이상의 차이를 가질 수 있으며, d와 $50\% \pm 5\%$ 이상의 차이를 가질 수 있다. 이러한 상기 제1내지 제4초격자층(31,33,35,37)의 제1층(11,13,15,17)의 알루미늄 조성을 점차 줄여줌으로써, 활성층에 인접한 층의 결함을 줄여줄 수 있다.

[55]

이러한 제1 내지 제4초격자층(31,33,35,37) 중 활성층(51)에 인접한 초격자층일수록 제1층(11,13,15,17)의 알루미늄의 조성은 점차 감소하고 최대 50% 이상의 차이로 감소될 수 있으며, 제1층(11,13,15,17)의 두께(T1,T2,T3,T4)는 점차 두꺼워질 수 있다. 이러한 제1내지 제4초격자층(31,33,35,37)이 활성층(51) 아래에 배치됨으로써, 기판(21)으로부터 전달되는 결함을 제거할 수 있고 상부로 전달되는 응력을 줄여줄 수 있다.

[56]

실시 예에 따른 제1내지 제4초격자층(31,33,35,37)은 제1층(11,13,15,17)과

제2층(12,14,16,18)의 페어가 AlN/AlGa_N 페어로 배치함으로써, 자외선 파장에 대한 투과율을 개선시켜 줄 수 있다. 또한 a축 격자 상수 값은 AlN>AlGa_N>Ga_N의 순으로 나열되며, 상기 a축 격자 상수 값이 작은 AlGa_N 위에 AlN을 성장하면 압축 응력(compressive stress)이 걸리게 되고, 다시 AlN 위에 AlGa_N을 성장하면 인장 응력(tensile stress)이 걸리게 된다. 이러한 AlGa_N/AlN을 주기적으로 반복해 줌으로써, 서로 반대의 응력인 압축 응력과 신장 응력이 상쇄되는 효과가 있다. 또한 AlGa_N과 AlN은 결정학적으로 동일한 부르자이트(wurtzite) 결정 구조를 갖고 있어 안정적인 초격자 구조를 제공할 수 있다.

- [57] 실시 예는 기판(21) 상에 복수의 초격자층(31,33,35,37)을 배치함으로써, 기판(21) 상에 단일의 n형 반도체층을 배치한 경우에 비해 결함(dislocation)을 효과적으로 차단할 수 있고, 격자 상수 차이로 인한 품질 저하를 방지할 수 있다. 또한 복수의 초격자층(31,33,35,37)의 제1층(11,13,15,17)의 알루미늄의 조성을 활성층(51)에 인접한 초격자층일수록 점차 감소시켜 줌으로써, a축 격자 상수 차이로 인한 막질 저하를 방지할 수 있다. 상기 복수의 초격자층(31,33,35,37)의 제1층(11,13,15,17) 중 상기 제1도전성 반도체층(41)에 인접한 층일수록 알루미늄의 조성이 더 작을 수 있다. 상기 복수의 초격자층(31,33,35,37)의 제1층(11,13,15,17) 중 상기 제1도전성 반도체층(41)으로부터 멀수록 알루미늄의 조성이 더 많을 수 있다. 상기 복수의 초격자층(31,33,35,37)의 제1층(11,13,15,17)의 두께($T_1 < T_2 < T_3 < T_4$)를 활성층(51)에 인접한 초격자층일수록 두껍게 제공해 줌으로써, c축 격자 상수 값의 차이를 최소화하여 분극 현상을 개선시키고 하부 층에서 전달되는 결함을 막아줄 수 있다. 도 10과 같이, 복수의 초격자층(31,33,35,37)의 제1층(11,13,15,17) 중 활성층(51)에 인접할수록 알루미늄의 조성이 감소될수록 두께는 점차 증가하게 된다.

[58]

- [59] 상기 복수의 초격자층(31,33,35,37)은 제1도전형의 도펀트 예컨대, Si, Ge, Sn, Se, Te와 같은 n형 도펀트를 포함할 수 있다. 상기 복수의 초격자층(31,33,35,37)은 n형 반도체층일 수 있으며, 예컨대 각 초격자층(31,33,35,37)의 제1층(11,13,15,17) 및 제2층(12,14,16,18)은 n형 반도체층이 될 수 있다.

[60]

- [61] 상기 제1도전성 반도체층(41)은 복수의 초격자층(31,33,35,37) 위에 배치될 수 있다. 상기 제1도전성 반도체층(41)의 알루미늄의 조성은 상기 제1도전성 반도체층(41)에 인접한 제4초격자층(37)의 제1층(17)의 알루미늄의 조성과 동일한 조성을 가질 수 있으며, 제4초격자층(37)의 제2층(18)의 알루미늄의 조성보다 45% 이상의 차이를 가질 수 있다. 상기 제1도전성 반도체층(41)은 $Al_eGa_{1-e}N$ ($0 < e < 1$)의 조성을 갖는 반도체로 배치될 수 있으며, Al_e 는 Al_d ($d=e$)와 동일하거나 Al_e ($c < e$)보다는 클 수 있으며, 상기 활성층(51) 내의 우물층의

알루미늄의 조성보다 높을 수 있다.

- [62] 상기 제1도전성 반도체층(41)의 두께는 상기 제1도전성 반도체층(41)에 인접한 제4초격자층(37)의 제1층(17)의 두께(T4)의 40배 이상 두꺼울 수 있다. 상기 제1도전성 반도체층(41)은 예컨대, 알루미늄의 조성이 $50\% \pm 5\%$ 범위를 갖고, 두께는 $1000\text{nm} \pm 100\text{nm}$ 범위를 가질 수 있다. 이러한 제1도전성 반도체층(41)의 알루미늄은 AlN의 알루미늄의 조성과의 거의 50% 정도의 차이를 갖고 두껍게 제공해 줌으로써, 활성층(51)으로 전달되는 분극 현상 및 결함을 줄여줄 수 있다.
- [63] 상기 제1도전성 반도체층(41)은 알루미늄을 포함하는 다른 반도체 예컨대, InAlGaN, AlInN, AlGaAs, AlGaInP 재료 중 적어도 하나를 포함할 수 있다. 상기 제1도전성 반도체층(41)은 제1도전형 도펀트 예컨대, Si, Ge, Sn, Se, Te 등의 n형 도펀트가 도핑된 n형 반도체층이 될 수 있다.
- [64]
- [65] 상기 활성층(51)은 단일 우물, 단일 양자우물, 다중 우물, 다중 양자우물 구조(MQW: Multi Quantum Well), 양자 선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 중 적어도 하나로 형성될 수 있다.
- [66] 상기 활성층(51)은 상기 제1도전성 반도체층(41)을 통해서 주입되는 전자(또는 정공)와 상기 제2도전성 반도체층(71)을 통해서 주입되는 정공(또는 전자)이 서로 만나서, 상기 활성층(51)의 형성 물질에 따른 에너지 밴드(Energy Band)의 밴드 갭(Band Gap) 차이에 의해서 빛을 방출하는 층이다.
- [67] 상기 활성층(51)은 화합물 반도체로 구현될 수 있다. 상기 활성층(51)은 예로서 II족-VI족 및 III족-V족 화합물 반도체 중에서 적어도 하나로 구현될 수 있다.
- [68] 상기 활성층(51)이 다중 우물 구조로 구현된 경우, 상기 활성층(51)은 복수의 우물층(미도시)과 복수의 장벽층(미도시)을 포함한다. 상기 활성층(51)은 우물층과 장벽층이 교대로 배치된다. 상기 우물층과 상기 장벽층의 패어는 2~30주기로 형성될 수 있다.
- [69] 상기 우물층은 예컨대, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 배치될 수 있다. 상기 장벽층은 예컨대, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 형성될 수 있다.
- [70] 상기 우물층/장벽층의 주기는 예를 들어, InGaN/GaN, GaN/AlGaIn, AlGaIn/AlGaIn, InGaIn/AlGaIn, InGaIn/InGaIn, AlGaAs/GaAs, InGaAs/GaAs, InGaP/GaP, AlInGaP/InGaP, InP/GaAs의 페어 중 적어도 하나를 포함한다.
- [71] 실시 예에 따른 활성층(51)의 우물층은 AlGaIn으로 구현될 수 있으며, 상기 장벽층은 AlGaIn으로 구현될 수 있다. 상기 활성층(51)은 자외선 파장을 발광할 수 있으며, 예컨대 200nm 내지 290nm 범위로 발광할 수 있다.
- [72] 상기 장벽층의 알루미늄 조성은 상기 우물층의 알루미늄의 조성보다 높은 조성을 갖는다. 상기 우물층의 알루미늄 조성은 20% 내지 40% 범위일 수 있으며, 상기 장벽층의 알루미늄 조성은 40% 내지 95% 범위일 수 있다. 상기 장벽층은 도펀트를 포함할 수 있으며, 예컨대 n형 도펀트를 포함할 수 있다.

[73]

[74] 상기 전자 차단층(61)은 상기 활성층(51) 상에 배치될 수 있다. 상기 전자 차단층(61)은 AlGa_N 반도체로 배치될 수 있으며, 상기 활성층의 장벽층보다 높은 알루미늄의 조성을 가질 수 있다. 상기 전자 차단층(61)의 알루미늄의 조성은 50% 이상일 수 있다.

[75] 상기 전자 차단층(61)은 다층 구조를 포함하며, 예컨대 알루미늄의 조성이 서로 다른 복수의 반도체층을 포함할 수 있으며, 적어도 한 층은 알루미늄의 조성은 50% 이상일 수 있다.

[76]

[77] 상기 제2도전성 반도체층(71)은 상기 전자 차단층(61) 위에 배치된다. 상기 제2도전성 반도체층(71)은 AlGa_N계 반도체를 포함할 수 있다. 상기 제2도전성 반도체층(71)은 제2도전형의 도펀트 예컨대, p형 도펀트를 갖는 p형 반도체층일 수 있다. 다른 예로서, 상기 제2도전성 반도체층(71)은 AlN, InAlGa_N, AlInN, AlGaAs, 또는 AlGaInP 중에서 적어도 하나를 포함할 수 있으며, Mg, Zn, Ca, Sr, Ba와 같은 p형 도펀트를 포함할 수 있다. 이러한 제2도전성 반도체층(71)은 자외선 파장의 흡수를 방지하기 위해, AlGa_N계 반도체로 배치될 수 있다.

[78] 상기 제2도전성 반도체층(71)은 다층일 수 있으며, 이에 대해 한정하지는 않는다.

[79] 실시 예는 제1도전형은 n형 및 제2도전형은 p형으로 설명하였으나, 다른 예로서, 제1도전형은 p형 및 제2도전형은 n형일 수 있다. 또는 발광 소자는 n-p 접합 구조, p-n 접합 구조, n-p-n 접합 구조, p-n-p 접합 구조 중 어느 한 구조를 포함할 수 있다.

[80]

[81] 도 3은 도 1의 발광소자에 전극을 배치한 예를 나타낸다. 도 3을 설명함에 있어서, 상기에 개시된 구성과 동일한 부분은 상기에 개시된 실시 예의 설명을 참조하기로 한다.

[82] 도 3을 참조하면, 발광소자(101)는 제1전극(91) 및 제2전극(95)을 포함한다. 상기 제1전극(91)은 제1도전형의 반도체층 예컨대, 복수의 초격자층(31,33,35,37) 중 어느 한 층에 전기적으로 연결되며, 상기 제2전극(95)은 제2도전성 반도체층(71)에 전기적으로 연결될 수 있다.

[83] 상기 제1전극(91)은 상기 제1도전형의 반도체층 예컨대, 복수의 초격자층(31,33,35,37) 및 제1도전성 반도체층(41) 중 적어도 하나의 위에 배치될 수 있으며, 상기 제2전극(95)은 제2도전성 반도체층(71) 위에 배치될 수 있다.

[84] 상기 제1전극(91) 및 상기 제2전극(95)은 암(arm) 구조 또는 핑거(finger) 구조의 전류 확산 패턴이 더 형성될 수 있다. 상기 제1전극(91) 및 제2전극(95)은 오믹 접촉, 접착층, 본딩층의 특성을 갖는 금속으로 비 투광성으로 이루어질 수 있으며, 이에 대해 한정하지는 않는다. 상기 제1전극(93) 및 제2전극(95)은 Ti, Ru, Rh, Ir, Mg, Zn, Al, In, Ta, Pd, Co, Ni, Si, Ge, Ag 및 Au와 이들의 선택적인 합금

중에서 선택될 수 있다.

- [85] 상기 제2전극(95)과 상기 제2도전성 반도체층(71) 사이에는 전극층(미도시)이 배치될 수 있으며, 상기 전극층은 70% 이상의 광을 투과하는 투광성 물질이거나 70% 이상의 광을 반사하는 반사성 특성을 갖는 물질로 형성될 수 있으며, 예컨대 금속 또는 금속 산화물로 형성될 수 있다. 상기 전극층은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), ZnO, IrOx, RuOx, NiO, Al, Ag, Pd, Rh, Pt, Ir 중 선택적으로 형성될 수 있다. 상기 전극층은 투광성 층/반사 금속층의 적층 구조일 수 있다.
- [86] 또한 상기 기판(21)은 자외선 파장을 흡수를 줄이기 위해, 20 μ m 이하의 두께로 제공될 수 있다. 또한 상기 기판(21)은 발광 소자로부터 분리될 수 있으며, 이에 대해 한정하지는 않는다. 실시 예에 따른 발광 소자(101)는 자외선 파장의 예컨대, UV-C 파장을 발광할 수 있다.
- [87]
- [88] 도 4는 도 1의 발광소자를 이용한 수직형 발광소자의 예를 나타낸 도면이다. 도 4를 설명함에 있어서, 상기에 개시된 구성과 동일한 부분은 상기에 개시된 실시 예의 설명을 참조하기로 한다.
- [89] 도 4를 참조하면, 발광소자(102)는 복수의 초격자층(31,33,35,37), 상기 복수의 초격자층(31,33,35,37) 중 적어도 하나 예컨대, 제1초격자층(31) 위에 제1전극(91)이 배치되고, 상기 복수의 초격자층(31,33,35,37) 아래에 제1도전성 반도체층(41) 및 활성층(51)이 배치되고, 제2도전성 반도체층(71) 아래에 복수의 전도층(96,97,98,99)을 갖는 제2전극을 포함한다.
- [90] 상기 제2전극은 상기 제2도전성 반도체층(71) 아래에 배치되며, 접촉층(96), 반사층(97), 본딩층(98) 및 지지 부재(99)를 포함한다. 상기 접촉층(96)은 반도체층 예컨대, 제2도전성 반도체층(71)과 접촉된다. 상기 접촉층(96)은 ITO, IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 등과 같은 저 전도성 물질이거나 Ni, Ag의 금속을 이용할 수 있다. 상기 접촉층(96) 아래에 반사층(97)이 배치되며, 상기 반사층(97)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 및 그 조합으로 구성된 그룹으로부터 선택된 물질로 이루어진 적어도 하나의 층을 포함하는 구조로 형성될 수 있다. 상기 반사층(97)은 상기 제2도전성 반도체층(71) 아래에 접촉될 수 있으며, 이에 대해 한정하지는 않는다.
- [91] 상기 반사층(97) 아래에는 본딩층(98)이 배치되며, 상기 본딩층(98)은 베리어 금속 또는 본딩 금속으로 사용될 수 있으며, 그 물질은 예를 들어, Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag 및 Ta와 선택적인 합금 중에서 적어도 하나를 포함할 수 있다.
- [92] 상기 제2도전성 반도체층(71)과 제2전극 사이에 채널층(83) 및 전류 블록킹층(85)이 배치된다.

- [93] 상기 채널층(83)은 상기 제2도전성 반도체층(71)의 하면 에지를 따라 형성되며, 링 형상, 루프 형상 또는 프레임 형상으로 형성될 수 있다. 상기 채널층(83)은 투명한 전도성 물질 또는 절연성 물질을 포함하며, 예컨대 ITO, IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO, SiO₂, SiO_x, SiO_xN_y, Si₃N₄, Al₂O₃, TiO₂ 중 적어도 하나를 포함할 수 있다. 상기 채널층(163)의 내측부는 상기 제2도전성 반도체층(71) 아래에 배치되고, 외측부는 상기 발광 구조물의 측면보다 더 외측에 배치된다.
- [94] 상기 전류 블록킹층(85)은 제2도전성 반도체층(71)과 접촉층(96) 또는 반사층(97) 사이에 배치될 수 있다. 상기 전류 블록킹층(85)은 절연물질을 포함하며, 예컨대 SiO₂, SiO_x, SiO_xN_y, Si₃N₄, Al₂O₃, TiO₂ 중에서 적어도 하나를 포함할 수 있다. 다른 예로서, 상기 전류 블록킹층(85)은 쇼트키 접촉을 위한 금속으로도 형성될 수 있다.
- [95] 상기 전류 블록킹층(85)은 상기 제1전극(91)과 수직 방향으로 대응되게 배치된다. 상기 전류 블록킹층(85)은 상기 제2전극으로부터 공급되는 전류를 차단하여, 다른 경로로 확산시켜 줄 수 있다. 상기 전류 블록킹층(85)은 하나 또는 복수로 배치될 수 있으며, 제1전극(91)과 수직 방향으로 적어도 일부 또는 전 영역이 오버랩될 수 있다.
- [96] 상기 본딩층(98) 아래에는 지지 부재(99)가 형성되며, 상기 지지 부재(99)는 전도성 부재로 형성될 수 있으며, 그 물질은 구리(Cu-copper), 금(Au-gold), 니켈(Ni-nickel), 몰리브덴(Mo), 구리-텅스텐(Cu-W), 캐리어 웨이퍼(예: Si, Ge, GaAs, ZnO, SiC 등)와 같은 전도성 물질로 형성될 수 있다. 상기 지지부재(99)는 다른 예로서, 전도성 시트로 구현될 수 있다.
- [97] 여기서, 상기 도 1의 기판은 제거하게 된다. 상기 성장 기판의 제거 방법은 물리적 방법(예: Laser lift off) 또는/및 화학적 방법(습식 에칭 등)으로 제거할 수 있으며, 상기 제1초격자층(31)을 노출시켜 준다. 상기 기판이 제거된 방향을 통해 아이솔레이션 에칭을 수행하여, 상기 제1초격자층(31) 상에 제1전극(91)을 형성하게 된다.
- [98] 상기 제1초격자층(31)의 상면에는 러프니스와 같은 광 추출 구조(미도시)로 형성될 수 있다. 이에 따라 발광 구조물 위에 제1전극(91) 및 아래에 지지 부재(99)를 갖는 수직형 전극 구조를 갖는 발광소자(102)가 제조될 수 있다.
- [99] 실시 예에 따른 발광 소자(102)는 자외선 파장의 예컨대, UV-C 파장을 발광할 수 있다.
- [100]
- [101] <발광소자 패키지>
- [102] 도 5은 도 4의 발광소자를 갖는 발광소자 패키지를 나타낸 도면이다.
- [103] 도 5를 참조하면, 발광소자 패키지는 지지부재(110), 상기 지지 부재(110) 위에 캐비티(112)를 갖는 반사부재(111), 상기 지지부재(110)의 위 및 상기 캐비티(112) 내에 실시 예에 따른 발광 소자(101), 및 상기 캐비티(112) 상에 투명

윈도우(115)를 포함한다.

- [104] 상기 지지부재(110)는 수지 계열의 인쇄회로기판(PCB), 실리콘(silicon) 또는 실리콘 카바이드(silicon carbide: SiC)와 같은 실리콘 계열, 질화 알루미늄(aluminum nitride; AlN)과 같은 세라믹 계열, 폴리프탈아마이드(polyphthalamide: PPA)와 같은 수지 계열, 고분자액정(Liquid Crystal Polymer), 바닥에 금속층을 갖는 PCB(MCPCB: Metal core PCB) 중에서 적어도 하나로 형성될 수 있으며, 이러한 재질로 한정하지는 않는다.
- [105] 상기 지지부재(110)는 제1금속층(131), 제2금속층(133), 제1연결 부재(138), 제2연결 부재(139), 제1전극층(135) 및 제2전극층(137)를 포함한다. 상기 제1금속층(131) 및 제2금속층(132)은 상기 지지부재(110)의 바닥에 서로 이격되게 배치된다. 상기 제1전극층(135) 및 제2전극층(137)은 상기 지지부재(110)의 상면에 서로 이격되게 배치된다. 상기 제1연결 부재(138)는 상기 지지부재(110)의 내부 또는 제1측면에 배치될 수 있으며, 상기 제1금속층(131)과 상기 제1전극층(135)을 서로 연결해 준다. 상기 제2연결 부재(139)는 상기 지지부재(110)의 내부 또는 제2측면에 배치될 수 있으며, 상기 제2금속층(133) 및 상기 제2전극층(137)을 서로 연결해 준다.
- [106] 상기 제1금속층(131), 제2금속층(133), 제1전극층(135) 및 제2전극층(137)은 금속 재질, 예를 들어, 티타늄(Ti), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P) 중 적어도 하나 또는 이들의 선택적 합금으로 형성될 수 있으며, 단일 금속층 또는 다층 금속층으로 형성될 수 있다.
- [107] 상기 제1연결 부재(138) 및 상기 제2연결 부재(139)는 비아, 비아 홀, 쓰루 홀 중 적어도 하나를 포함한다.
- [108] 상기 반사 부재(111)는 상기 지지부재(110) 상에서 상기 캐비티(112)의 둘레에 배치되며, 상기 발광 소자(101)로부터 방출된 자외선 광을 반사시켜 줄 수 있다.
- [109] 상기 반사부재(111)는 수지 계열의 인쇄회로기판(PCB), 실리콘(silicon) 또는 실리콘 카바이드(silicon carbide: SiC)와 같은 실리콘 계열, AlN(aluminum nitride; AlN)과 같은 세라믹 계열, 폴리프탈아마이드(polyphthalamide: PPA)와 같은 수지 계열, 고분자액정(Liquid Crystal Polymer) 중에서 적어도 하나로 형성될 수 있으며, 이러한 재질로 한정하지는 않는다. 상기 지지부재(110) 및 반사부재(111)는 세라믹 계열의 재질을 포함할 수 있으며, 이러한 세라믹 계열의 재질은 방열 효율이 수지 재질보다 높은 특징이 있다.
- [110] 상기 발광 소자(101)는 상기 제2전극층(137) 상에 배치되거나 상기 지지부재(110) 상에 배치될 수 있으며, 상기 제1전극층(135)과 상기 제2전극층(137)과 전기적으로 연결된다. 상기 발광 소자(101)는 와이어(121)로 연결될 수 있다. 다른 예로서, 상기 발광 소자(101)는 플립 칩 방식으로 본딩될 수 있다.
- [111] 상기 발광 소자(101)는 자외선 파장을 발광하거나, 상기 발광 소자(101) 상에 형광체층이 배치된 경우 다른 파장의 광을 발광할 수 있다.
- [112] 상기 투명 윈도우(115)는 상기 캐비티(112) 상에 배치되며, 상기 발광

소자(101)로부터 방출된 피크 파장을 방출하게 된다. 이러한 투명 윈도우(115)는 유리 재질, 세라믹 재질, 또는 투광성 수지 재질을 포함할 수 있다.

[113] 또한 상기 캐비티(112) 상에는 광학 렌즈, 또는 형광체층이 더 배치될 수 있으며, 이에 대해 한정하지는 않는다.

[114] 실시 예에 따른 발광 소자 또는 발광 소자 패키지는, 라이트 유닛에 적용될 수 있다. 상기 라이트 유닛은 하나 또는 복수의 발광소자 또는 발광소자 패키지를 갖는 어셈블리로서, 자외선 램프를 포함될 수 있다.

[115]

[116] 도 6은 제2실시 예에 따른 발광 소자를 나타낸 측 단면도이다. 제2실시 예를 설명함에 있어서, 제1실시 예와 동일한 구성은 제1실시 예의 설명을 참조하기로 한다.

[117] 도 6을 참조하면, 실시 예에 따른 발광소자는 기판(21)과, 상기 기판(21) 상에 배치된 복수의 초격자층(31,33,35,37)과, 상기 복수의 초격자층(31,33,35,37) 상에 배치된 제1도전성 반도체층(41)과, 상기 제1도전성 반도체층(41) 상에 배치된 활성층(51)과, 상기 활성층(51) 상에 배치된 전자 차단층(61), 상기 전자 차단층(61) 상에 배치된 제2도전성 반도체층(71), 상기 제2도전성 반도체층(71) 상에 배치된 제3도전성 반도체층(73)을 포함할 수 있다.

[118] 상기 발광 소자는 자외선 파장의 광을 방출하게 된다. 상기 발광 소자는 290nm 파장 이하 예컨대, 200nm 내지 290nm 범위의 파장을 발광할 수 있다. 상기 발광 소자는 UV-C 파장을 발광하는 소자일 수 있다.

[119] 상기 기판(21)과 상기 제1도전성 반도체층(41) 사이에는 복수의 초격자층(31,33,35,37)이 배치될 수 있다. 상기 제1도전성 반도체층(41) 상에는 활성층(51)이 배치될 수 있다.

[120] 상기 복수의 초격자층(31,33,35,37)은 적어도 3개의 초격자층 예컨대, 4개 이상의 초격자층을 포함할 수 있다. 상기 복수의 초격자층(31,33,35,37) 각각은 적어도 2개의 층을 하나의 페어로 하며 복수의 페어를 구비할 수 있다. 상기 복수의 초격자층(31,33,35,37)은 각 페어의 어느 한 층은 예로서 II족-VI족 또는 III족-V족 화합물 반도체로 구현될 수 있으며, 다른 한 층은 예로서 II족-VI족 또는 III족-V족 화합물 반도체로 구현될 수 있다.

[121] 도 2를 참조하면, 상기 복수의 초격자층(31,33,35,37) 각각은 제1층(11,13,15,17) 및 제2층(12,14,16,18)의 페어를 포함할 수 있으며, 상기 제1층(11,13,15,17) 및 제2층(12,14,16,18)은 서로 다른 물질을 포함할 수 있다. 상기 각 초격자층(31,33,35,37)은 제1층(11,13,15,17) 및 제2층(12,14,16,18)이 교대로 배치될 수 있다.

[122] 상기 초격자층(31,33,35,37) 중 상기 활성층(51)에 인접한 초격자층일수록 상기 제1층(11,13,15,17)의 알루미늄의 조성은 점차 감소될 수 있다. 상기 초격자층(31,33,35,37) 중 상기 활성층(51)에 인접한 초격자층일수록 상기 제1층(11,13,15,17)과 제2층(12,14,16,18)의 알루미늄의 조성 차이는 점차 커질 수

- 있다. 상기 초격자층(31,33,35,37) 각각은 상기 제2층(12,14,16,18)의 알루미늄의 조성이 동일한 조성을 가질 수 있다.
- [123] 상기 초격자층(31,33,35,37) 중 상기 활성층(51)에 인접한 초격자층일수록 상기 제1층(11,13,15,17)의 두께(T1,T2,T3,T4)는 점차 두꺼워질 수 있다. 상기 복수의 초격자층(31,33,35,37)의 두께는 상기 활성층(51)에 인접한 초격자층일수록 두께가 점차 증가될 수 있다.
- [124] 상기 각 초격자층(31,33,35,37)의 제1층(11,13,15,17)/제2층(12,14,16,18)의 패어는 AlGaIn/AlIn의 패어를 포함할 수 있다. 상기 제1층(11,13,15,17)의 AlGaIn은 알루미늄의 조성이 활성층에 인접한 초격자층일수록 점차 감소하게 된다.
- [125] 상기 복수의 초격자층(31,33,35,37) 중 인접한 두 초격자층에 구비된 제1층(11,13,15,17)들 간의 알루미늄의 조성 차이는 적어도 10% 이상일 수 있다. 상기 복수의 초격자층(31,33,35,37) 중 서로 반대측에 위치한 두 초격자층에 구비된 제1층(11,13,15,17)들 간의 알루미늄의 조성 차이는 적어도 30% 이상 차이를 가질 수 있다.
- [126] 상기 복수의 초격자층(31,33,35,37)은 예컨대, 제1 내지 제4초격자층(31,33,35,37)을 포함한다. 상기 제1초격자층(31)은 상기 기판(21)과 제2초격자층(33) 사이에 배치되며, 상기 제2초격자층(33)은 상기 제1초격자층(31)과 제3초격자층(35) 사이에 배치되며, 상기 제3초격자층(35)은 상기 제2초격자층(33)과 제4초격자층(37) 사이에 배치되며, 상기 제4초격자층(37)은 제3초격자층(35)과 제1도전성 반도체층(41) 사이에 배치될 수 있다.
- [127] 상기 제1 내지 제4초격자층(31,33,35,37)은 제1실시 예의 설명을 참조하기로 한다.
- [128] 상기 복수의 초격자층(31,33,35,37) 상에는 제1도전성 반도체층(41)이 배치되며, 상기 제1도전성 반도체층(41) 상에는 활성층(51)이 배치되며, 상기 활성층(51) 상에는 전자 차단층(61)이 배치되고, 상기 전자 차단층(61) 상에는 제2도전성 반도체층(71)이 배치되고, 상기 제2도전성 반도체층(71) 상에는 제3도전성 반도체층(73)이 배치될 수 있다.
- [129] 상기 제2 및 제3도전성 반도체층(71,73)은 AlGaIn계 반도체 예컨대, AlGaIn일 수 있다. 상기 제2도전성 반도체층(71)은 알루미늄의 조성이 50% 이상일 수 있으며, p형 도펀트가 첨가될 수 있다. 상기 p형 도펀트 농도는 $1E16cm^{-3}$ 내지 $1E21cm^{-3}$ 범위일 수 있으며, 이러한 p형 도펀트 농도가 상기 범위보다 낮으면 홀 주입 효율이 저하되고 상기 범위보다 높으면 결정 품질이 저하될 수 있고 제3도전성 반도체층(73)의 전기적인 특성에 영향을 줄 수 있다.
- [130] 상기 제3도전성 반도체층(73)이 GaN인 경우, 자외선 파장이 흡수되므로 광 추출 효율이 감소될 수 있다. 그리고 제3도전성 반도체층(73) 상에 ITO와 같은 산화물 층을 배치한 경우, 자외선 파장의 흡수로 인해 광 추출 효율이 저하될 수 있다. 실시 예는 제3도전성 반도체층(73)의 알루미늄 조성에 의해

제2전극(95)과의 오믹 접촉될 수 있는 층을 제공할 수 있다. 이를 위해, 상기 제3도전성 반도체층(73)은 제2전극(95)과 접촉되는 전극 접촉층 또는 오믹 접촉층일 수 있으며, 상기 제2전극(95)과 오믹 접촉될 수 있다.

- [131] 상기 제3도전성 반도체층(73)의 알루미늄이 조성은 40% 이하 예컨대, 20% 내지 40% 범위일 수 있다. 상기 제3도전성 반도체층(73)의 알루미늄의 조성이 상기 범위를 벗어난 경우 제2전극(95)과의 접촉 저항이 증가된다. 도 11과 같이, 제2도전성 반도체층(71)의 알루미늄의 20% 내지 40% 범위인 경우 접촉 저항이 낮아지며, 예컨대 $10^2 \Omega \text{cm}^2$ 이하일 수 있으며, 상기 범위를 벗어난 경우 접촉 저항이 10배 이상 증가하는 문제가 있다.
- [132] 또한 제3도전성 반도체층(73)은 제2도전형의 도펀트 예컨대, p형 도펀트가 첨가될 수 있으며, 상기 p형 도펀트 농도는 $1\text{Ecm}-18$ 이상 예컨대, $1\text{Ecm}-18$ 내지 $1\text{Ecm}-21$ 범위일 수 있으며, 상기 p형 도펀트 농도가 상기 범위보다 낮으면 접촉 저항이 급격하게 증가하게 되며, 상기 범위보다 높으면 막질이 저하되어 오믹 특성이 변화되는 문제가 있다.
- [133] 상기 제3도전성 반도체층(73)은 50nm 이하의 두께 예컨대, 40nm 이하의 두께일 수 있으며, 이는 제3도전성 반도체층(73)의 재질 및 두께에 따른 자외선 파장의 투과율에 따라 달라질 수 있다.
- [134] 상기 제2전극(95)은 상기 제3도전성 반도체층(73)과 접촉된 금속 예컨대, Ti, Ru, Rh, Ir, Mg, Zn, Al, In, Ta, Pd, Co, Ni, Si, Ge, Ag 및 Au와 이들의 선택적인 합금 중에서 선택될 수 있다. 이러한 제2 및 제3도전성 반도체층(73,75)을 제공함으로써 제2전극(95)과의 접촉 저항을 낮출 수 있고, 광 투과율도 개선시켜 줄 수 있다.
- [135]
- [136] 도 7은 도 6의 발광 소자에 전극을 배치한 예이다.
- [137] 도 7을 참조하면, 발광 소자는 기판(21), 실시 예에 따른 복수의 초격자층(31,33,35,37), 제1도전성 반도체층(41), 활성층(51), 전자 차단층(61), 제2실시 예에 따른 제2 및 제3도전성 반도체층(73,75)를 포함한다.
- [138] 상기 발광 소자는 제1전극(91) 및 제2전극(95)를 포함하며, 상기 제1전극(91)은 복수의 초격자층(31,33,35,37) 및 제1도전성 반도체층(41) 중 적어도 하나의 아래에 배치될 수 있고, 상기 제2전극(95)은 제3도전성 반도체층(75) 아래에 배치될 수 있다.
- [139] 상기 제2전극(95)과 상기 제3도전성 반도체층(75) 사이에는 접촉층 및 반사층을 포함하며, 상기 접촉층은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), ZnO, IrOx, RuOx, NiO, Al, Ag, Pd, Rh, Pt, Ir 중 적어도 하나 또는 복수의 혼합 물질을 포함하며, 상기 반사층은 Al, Ag, Pd, Rh, Pt, Ir 중 적어도 하나를 포함할 수 있다.

- [140] 상기 기판(21)은 광 흡수를 최소화하고 광 투과율을 개선하기 위해 $20\mu\text{m}$ 이하의 두께로 제공할 수 있다. 또한 기판(21)의 상면은 러프니스와 같은 광 추출 구조(21A)가 배치될 수 있다.
- [141] 상기 기판(21)은 제1초격자층(31)의 제1층(11,13,15,17)인 AlGaIn의 성장을 위해 벌크(bluk) AlN 기판이거나 사파이어 기판일 수 있다.
- [142]
- [143] 이러한 발광 소자(103)는 플립 구조로 배치되어, 광을 기판 방향으로 추출할 수 있다. 예컨대, 도 7의 발광 소자는 도 8과 같이 플립 칩 구조로 탑재될 수 있다.
- [144]
- [145] 도 9는 실시 예에 따른 발광 소자 또는 발광 소자 패키지를 갖는 광원 모듈을 제공할 수 있다. 실시 예에 따른 광원 모듈은 라이트 유닛일 수 있다.
- [146] 도 9를 참조하면, 실시 예에 따른 광원 모듈은 실시 예에 개시된 발광 소자(103)를 갖는 발광 소자 패키지(201), 상기 발광 소자 패키지(201)가 배치된 회로 기판(301), 및 상기 발광 소자 패키지(201) 및 상기 회로 기판(301)을 덮는 방습 필름(275)을 포함한다.
- [147]
- [148] 상기 발광 소자 패키지(201)는 캐비티(211)를 갖는 몸체(210), 상기 캐비티(211)에 배치된 복수의 전극(221,225), 상기 복수의 전극(221,225) 중 적어도 하나의 위에 배치된 발광 소자(103), 상기 캐비티(111) 상에 배치된 투명 윈도우(261)를 포함한다.
- [149] 상기 발광 소자(103)은 자외선 파장부터 가시광선 파장의 범위 내에서 선택적인 피크 파장을 포함할 수 있다. 상기 발광 소자(103)은 예컨대, UV-C 파장 즉, 200nm-290nm 범위의 자외선 파장을 발광할 수 있다.
- [150] 상기 몸체(210)는 절연 재질 예컨대, 세라믹 소재를 포함한다. 상기 세라믹 소재는 동시 소성되는 저온 소성 세라믹(LTCC: low temperature co-fired ceramic) 또는 고온 소성 세라믹(HTCC: high temperature co-fired ceramic)을 포함한다. 상기 몸체(210)의 재질은 예를 들면, AlN일 수 있으며, 열 전도도가 140 W/mK 이상인 금속 질화물로 형성될 수 있다.
- [151] 상기 몸체(210)의 상부 둘레는 단차 구조(215)를 포함한다. 상기 단차 구조(215)는 상기 몸체(210)의 상면보다 낮은 영역으로서, 상기 캐비티(211)의 상부 둘레에 배치된다. 상기 단차 구조(215)의 깊이는 상기 몸체(210)의 상면으로부터의 깊이로서, 투명 윈도우(261)의 두께보다 깊게 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [152] 상기 캐비티(211)는 상기 몸체(210)의 상부 영역의 일부가 개방된 영역이며 상기 몸체(210)의 상면으로부터 소정 깊이로 형성될 수 있다.
- [153] 상기 캐비티(211) 및 몸체(210) 내의 전극(221,225)는 몸체(210)의 하면에 배치된 전극 패드(241,245)에 전기적으로 연결될 수 있다. 이러한 전극(221,225) 및 전극 패드(241,245)의 재질은 금속 예컨대, 백금(Pt), 티타늄(Ti), 구리(Cu),

- 니켈(Ni), 금(Au), 탄탈륨(Ta), 알루미늄(Al)을 선택적으로 포함할 수 있다.
- [154] 상기 발광 소자(103)는 상기 캐비티(211) 내에서 전극(221,225) 상에 별도의 와이어 없이 플립 칩 방식으로 탑재될 수 있다. 상기 발광 소자(103)은 제1,2실시에 따른 자외선 발광 다이오드로서, 200nm 내지 290nm 범위의 파장을 가지는 자외선 발광 소자일 수 있다.
- [155] 상기 투명 윈도우(261)는 캐비티(211) 상에 배치된다. 상기 투명 윈도우(261)는 글래스(glass) 재질 예컨대, 석영 글래스를 포함한다. 이에 따라 상기 투명 윈도우(261)는 상기 발광 소자(103)으로부터 방출된 광 예컨대, 자외선 파장에 의해 분자 간의 결합 파괴와 같은 손해 없이 투과시켜 줄 수 있는 재질로 정의할 수 있다.
- [156] 상기 투명 윈도우(261)는 외측 둘레가 상기 몸체(210)의 단차 구조(215) 상에 결합된다. 상기 투명 윈도우(261)와 상기 몸체(210)의 단차 구조(215) 사이에는 접착층(263)이 배치되며, 상기 접착층(263)은 실리콘 또는 에폭시와 같은 수지 재질을 포함한다.
- [157] 상기 투명 윈도우(261)는 상기 발광 소자(103)으로부터 이격될 수 있다. 상기 투명 윈도우(261)가 상기 발광 소자(103)로부터 이격됨으로써, 상기 발광 소자(103)에 의해 발생된 열에 의해 팽창되는 것을 방지할 수 있다.
- [158] 상기 회로 기판(301)은 복수의 본딩 패드(304,305)를 포함하며, 상기 복수의 본딩 패드(304,305)는 상기 몸체(210)의 하면에 배치된 패드(241,245)와 전기적으로 연결될 수 있다.
- [159] 상기 회로 기판(301)은 외부 연결 단자(307,308)를 통해 신호 케이블(311,313)로 연결될 수 있으며, 상기 신호 케이블(311,313)은 외부로부터 전원을 공급하게 된다.
- [160] 방습 필름(275)은 발광 소자 패키지(201)의 상면 및 측면과 상기 회로 기판(301)의 상면에 배치된다. 상기 방습 필름(275)은 상기 발광 소자 패키지(201)의 투명 윈도우(261)의 상면, 상기 몸체(210)의 상면 및 측면에 배치된다. 상기 방습 필름(275)의 연장부(271)는 상기 몸체(210)의 측면부터 상기 회로 기판(301)의 상면까지 연장되어 배치된다.
- [161] 상기 방습 필름(275)은 불소 수지계 재료로서, 상기 발광 소자(103)으로부터 방출된 광에 의해 파괴되지 않고 상기 광을 투과시켜 줄 수 있다. 이러한 방습 필름(275)은 PCTFE (Polychlorotrifluoroethylene), ETFE (Ethylene + Tetrafluoroethylene), FEP (Fluorinated ethylene propylene copoly-mer), PFA (Perfluoroalkoxy) 중 적어도 하나로 사용될 수 있다.
- [162] 상기 방습 필름(275)은 회로기판(301)으로 침투하는 수분 또는 습기뿐만 아니라, 상기 발광 소자 패키지(201)의 측면 및 상면을 통해 침투하는 수분 또는 습기를 차단할 수 있다. 상기 방습 필름(275)의 두께는 0.5 μ m-10 μ m 범위로 형성될 수 있으며, 상기 방습 필름(275)의 두께가 상기의 범위를 초과하면 광 투과율이 현저하게 저하되며, 상기 범위의 미만이면 내습성이 떨어진다.

- [163] 상기 방습 필름(275)은 상기 외부 연결 단자(307,308)와 신호 케이블(311,313)의 본딩 영역으로부터 이격될 수 있다. 다른 예로서, 상기 방습 필름(275)은 상기 외부 연결 단자(307,308)를 커버할 수 있다. 이 경우 방습 필름(275)은 외부 연결 단자(307,308)를 통한 수분 또는 습기 침투를 방지할 수 있다.
- [164] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [165] 또한, 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

산업상 이용가능성

- [166] 실시 예에 따른 발광 소자는 UV-C(Ultraviolet-C) 파장용 소자를 제공할 수 있다.
- [167] 실시 예는 자외선 발광 소자의 투과율을 개선시켜 줄 수 있다.
- [168] 실시 예는 자외선 발광 소자의 전기적인 특성을 개선시켜 줄 수 있다.
- [169]

청구범위

[청구항 1]

제1도전성 반도체층;
 상기 제1도전성 반도체층 상에 배치되며 복수의 장벽층 및 복수의 우물층을 갖는 활성층;
 상기 제1도전성 반도체층 아래에 배치된 복수의 초격자층; 및
 상기 활성층 위에 제2도전성 반도체층을 포함하며,
 상기 복수의 초격자층은 적어도 3개의 초격자층을 포함하며,
 상기 적어도 3개의 초격자층 각각은 적어도 제1층 및 제2층의 페어를 복수개 구비하며,
 상기 적어도 3개의 초격자층 중 상기 활성층에 인접한 초격자층일수록 상기 제1층의 알루미늄의 조성은 점차 감소되며,
 상기 적어도 3개의 초격자층 각각은 상기 제2층의 알루미늄의 조성이 동일한 조성을 갖는 발광 소자.

[청구항 2]

제1도전성 반도체층;
 상기 제1도전성 반도체층 상에 배치되며 복수의 장벽층 및 복수의 우물층을 갖는 활성층;
 상기 제1도전성 반도체층 아래에 배치된 복수의 초격자층; 및
 상기 활성층 위에 제2도전성 반도체층을 포함하며,
 상기 복수의 초격자층은 적어도 3개의 초격자층을 포함하며,
 상기 적어도 3개의 초격자층 각각은 적어도 제1층 및 제2층의 페어를 복수개 구비하며,
 상기 적어도 3개의 초격자층 중 상기 활성층에 인접한 초격자층일수록 상기 제1층과 제2층의 알루미늄의 조성 차이가 더 크며,
 상기 적어도 3개의 초격자층 중 상기 활성층에 인접한 초격자층일수록 상기 제1층의 두께가 두꺼운 발광 소자.

[청구항 3]

제1항 또는 제2항에 있어서,
 상기 제1도전성 반도체층 및 상기 복수의 초격자층은 n형 도펀트를 포함하며,
 상기 제2도전성 반도체층은 p형 도펀트를 포함하는 발광 소자.

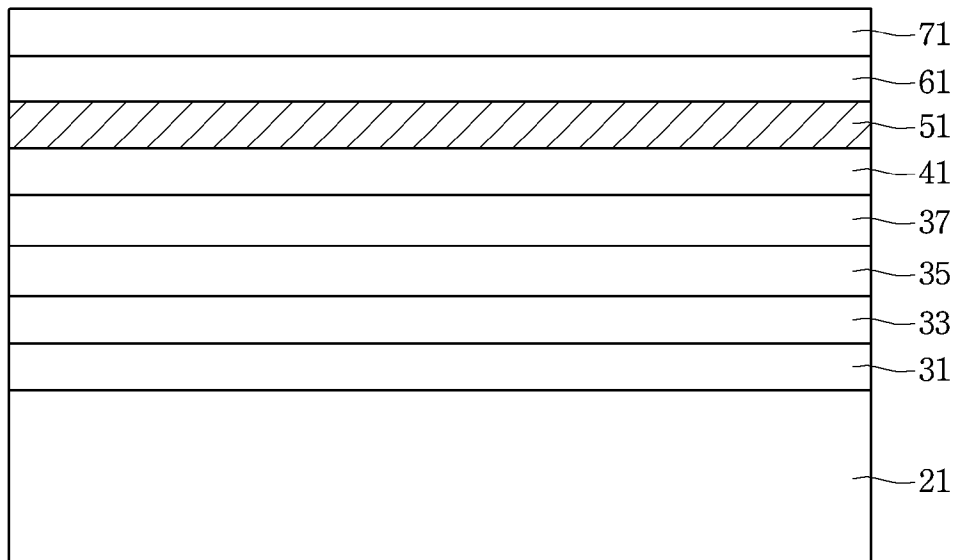
[청구항 4]

제1항 또는 제2항에 있어서,
 상기 복수의 초격자층은 제1초격자층, 상기 제1초격자층 위에 제2초격자층, 상기 제2초격자층 위에 제3초격자층, 상기 제3초격자층과 상기 제1도전성 반도체층 사이에 제4초격자층을 구비하며,
 상기 제1 내지 제4초격자층 각각의 제1층/제2층의 페어는 AlGa_xN/AlN의 페어를 포함하는 발광 소자.

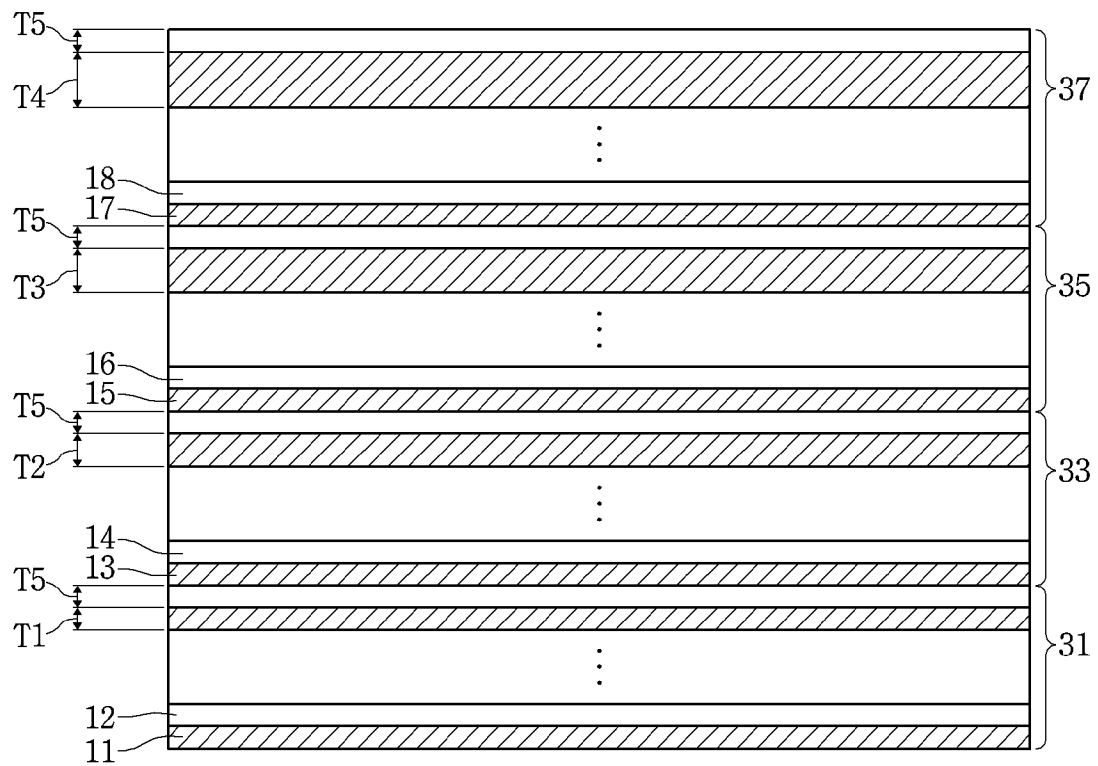
- [청구항 5] 제4항에 있어서,
상기 복수의 초격자층의 제1층 중 상기 제1도전성 반도체층에 인접한 층일수록 알루미늄의 조성이 더 작으며,
상기 제1도전성 반도체층은 n형 반도체층을 포함하는 발광 소자.
- [청구항 6] 제4항에 있어서,
상기 복수의 초격자층의 제1층 중 상기 제1도전성 반도체층으로부터 먼 층일수록 알루미늄의 조성이 더 많으며,
상기 제1도전성 반도체층은 n형 반도체층을 포함하는 발광 소자.
- [청구항 7] 제1항 또는 제2항에 있어서,
상기 복수의 초격자층 중 인접한 두 초격자층들에 구비된 제1층들 간의 알루미늄의 조성 차이는 적어도 10% 이상을 갖는 발광 소자.
- [청구항 8] 제1항 또는 제2항에 있어서,
상기 복수의 초격자층 중 서로 반대측에 위치한 두 초격자층들에 구비된 제1층 간의 알루미늄의 조성 차이는 적어도 30% 이상 차이를 갖는 발광 소자.
- [청구항 9] 제1항 또는 제2항에 있어서,
상기 제1도전성 반도체층은 알루미늄의 조성이 상기 제1도전성 반도체층에 인접한 제1층의 알루미늄의 조성보다 동일한 조성을 갖는 발광 소자.
- [청구항 10] 제3항에 있어서,
상기 제1도전성 반도체층은 알루미늄의 조성이 상기 제1도전성 반도체층에 인접한 초격자층의 제2층의 알루미늄의 조성에 비해 45% 이상의 차이를 갖는 발광 소자.
- [청구항 11] 제3항에 있어서,
상기 제1도전성 반도체층의 두께는 상기 제1도전성 반도체층에 인접한 제1층의 두께의 40배 이상의 차이를 갖는 발광 소자.
- [청구항 12] 제1항 또는 제2항에 있어서,
상기 복수의 초격자층 아래에 배치된 AlN 기판을 포함하는 발광 소자.
- [청구항 13] 제3항에 있어서,
상기 활성층과 상기 제2도전성 반도체층 사이에 배치된 전자 차단층을 포함하는 발광 소자.
- [청구항 14] 제11항에 있어서,
상기 제2도전성 반도체층 위에 제3도전성 반도체층 및 상기 제3도전성 반도체층에 접촉된 전극을 포함하며,
상기 제3도전성 반도체층은 상기 제2도전성 반도체층의 알루미늄의 조성보다 낮은 알루미늄의 조성을 갖는 p형 반도체층을 포함하는 발광 소자.

- [청구항 15] 제12항에 있어서,
상기 제3도전성 반도체층은 알루미늄의 조성이 20% 내지 40% 범위를 갖고 상기 전극과 오믹 접촉하는 발광 소자.
- [청구항 16] 제4항에 있어서,
상기 복수의 초격자층 각각의 페어는 10내지 15페어를 갖는 발광 소자.
- [청구항 17] 제16항에 있어서,
상기 제1초격자층의 제1층의 두께는 제2내지 제4초격자층의 제1층의 두께보다 얇고, 5nm 내지 20nm의 범위를 가지며,
상기 제1초격자층에서 제2층의 두께는 5nm 내지 20nm의 범위를 갖는 발광 소자.
- [청구항 18] 제1항 또는 제2항에 있어서,
상기 활성층은 UV-C 파장을 발광하는 발광 소자.
- [청구항 19] 캐비티를 갖는 몸체;
상기 캐비티 내에 배치된 제1항 또는 제2항의 발광 소자;
상기 캐비티 상에 투명 윈도우; 및
상기 투명 윈도우 및 몸체 상에 배치된 방습 필름을 갖는 라이트 유닛.

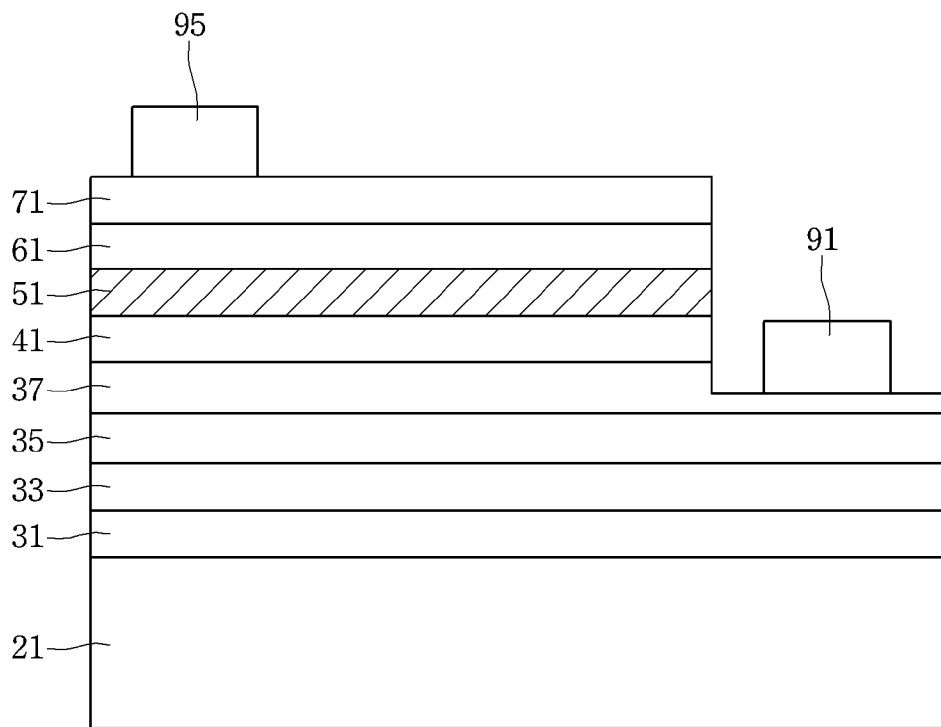
[Fig. 1]



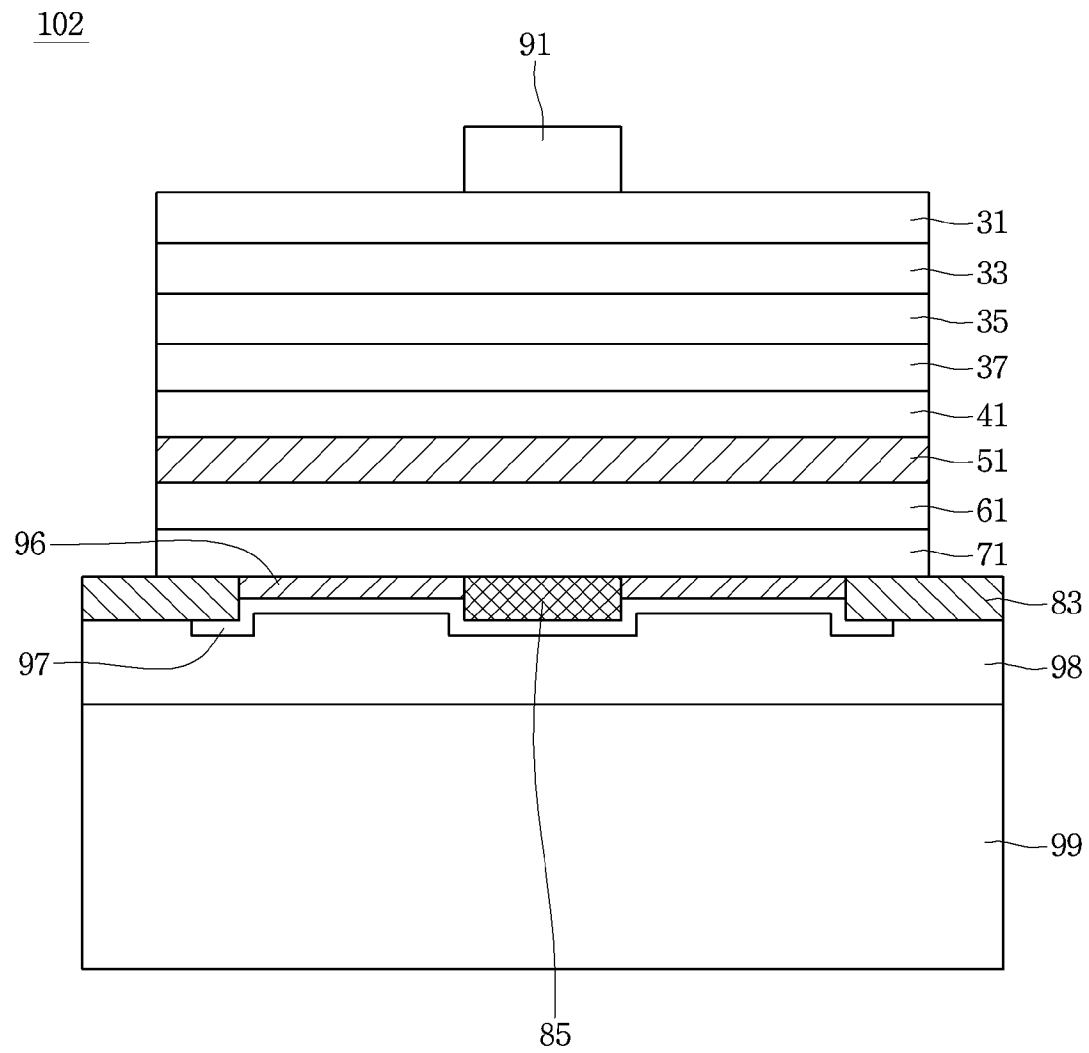
[Fig. 2]



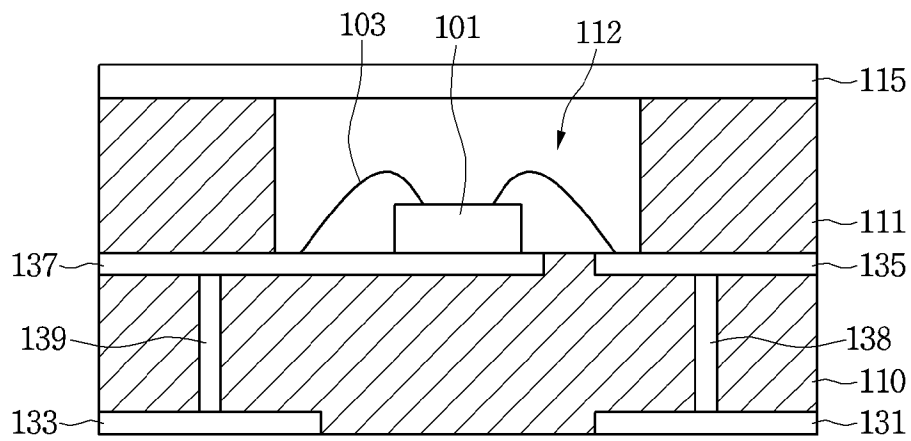
[Fig. 3]

101

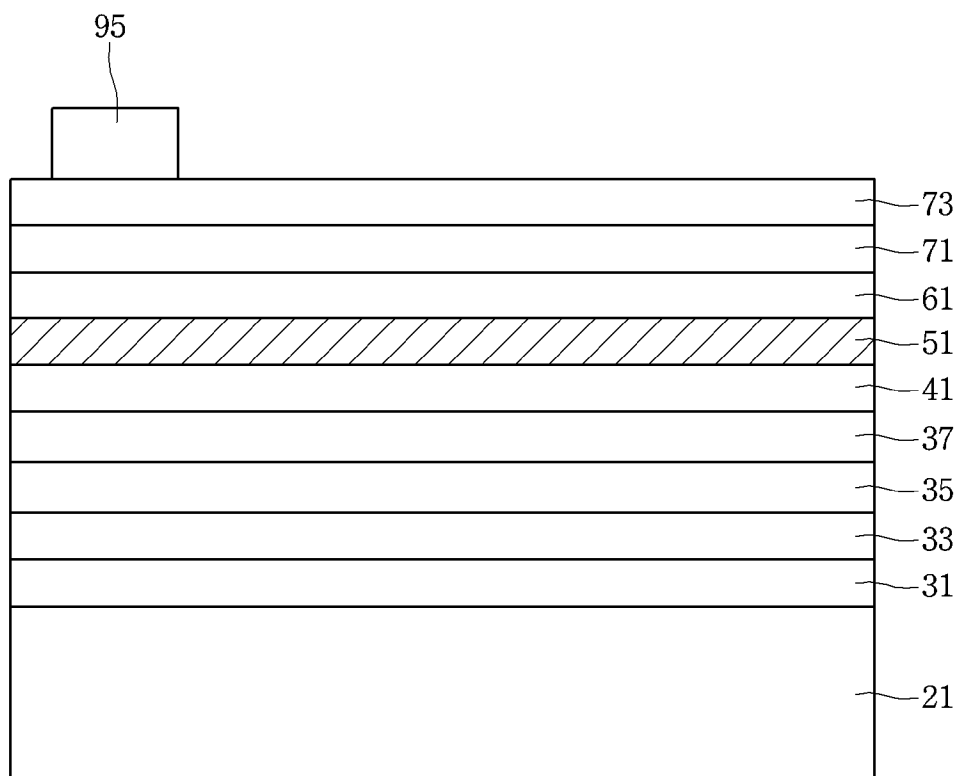
[Fig. 4]



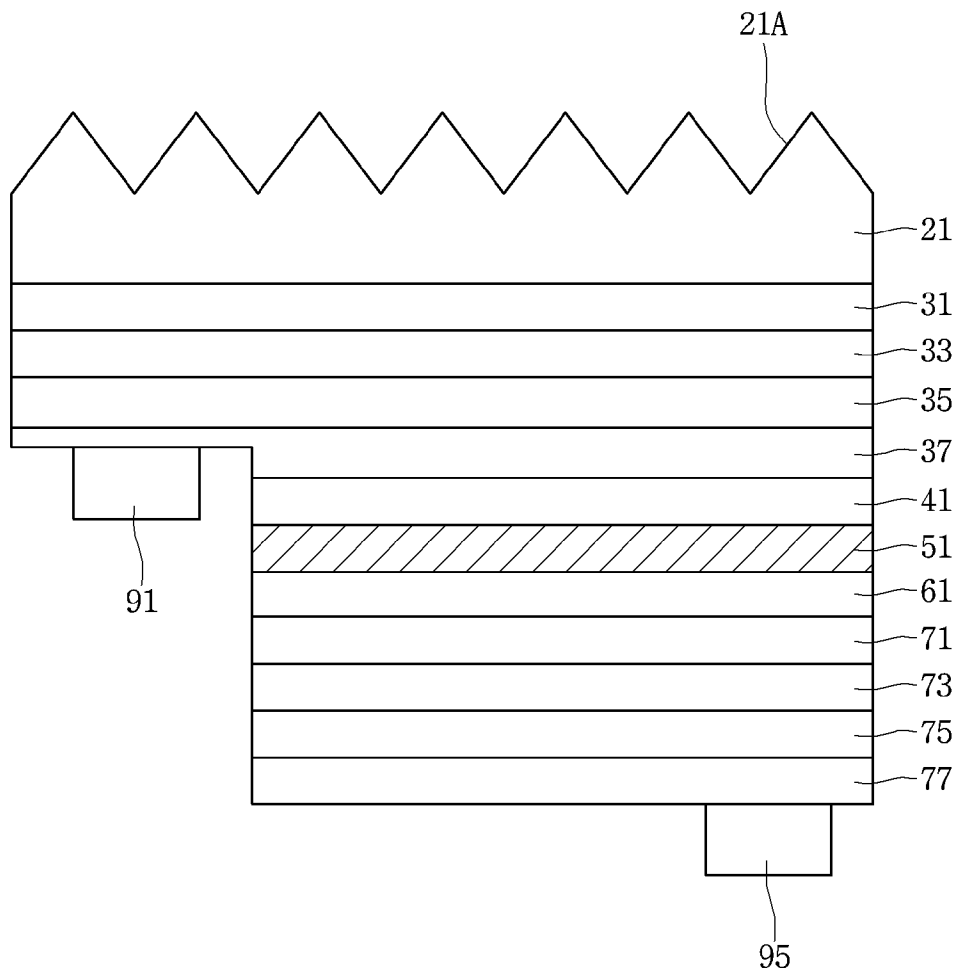
[Fig. 5]



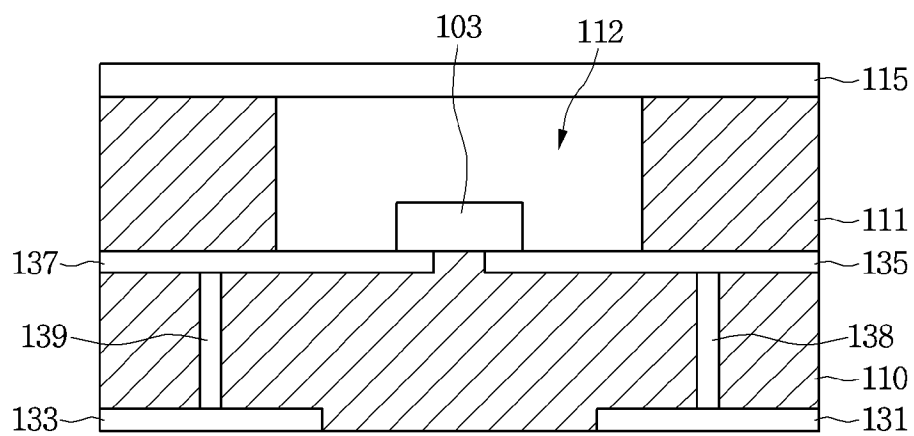
[Fig. 6]



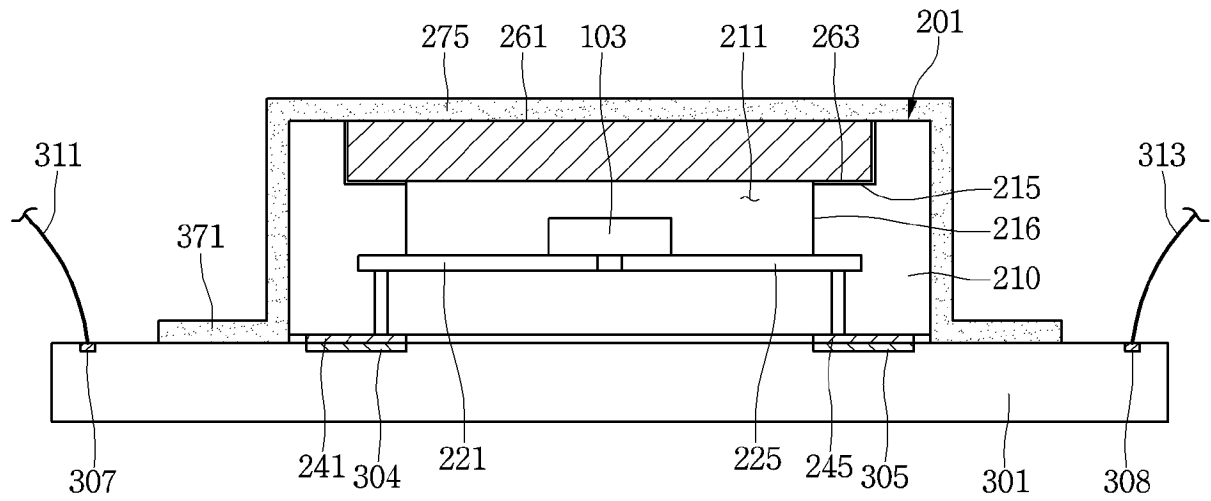
[Fig. 7]

103

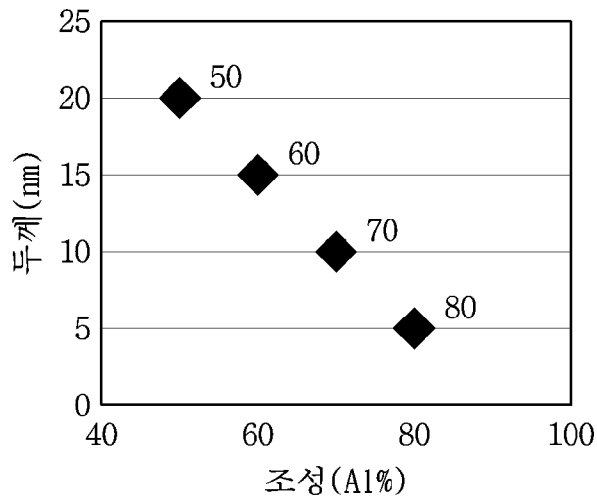
[Fig. 8]



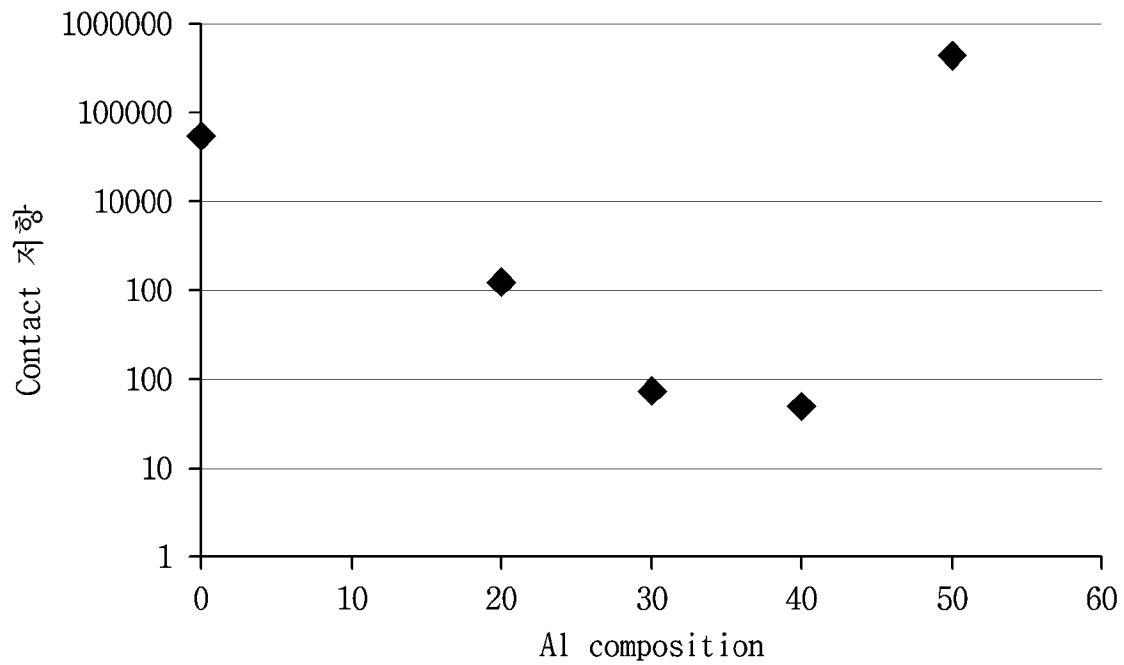
[Fig. 9]



[Fig. 10]



[Fig. 11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/001789**A. CLASSIFICATION OF SUBJECT MATTER****H01L 33/04(2010.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/04; H01L 29/778; H01L 21/205; H01S 5/343; C23C 16/34; H01L 21/338; H01L 33/32; H01L 33/00; H01L 29/201

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: electron-blocking layer, third conductive type, super lattice, dopant, aluminum

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-165261 A (DOWA ELECTRONICS MATERIALS CO., LTD.) 22 August 2013 See paragraphs [21]-[25], [40]-[50], claim 1 and figure 1.	1-19
Y	JP 2013-021124 A (DOWA ELECTRONICS MATERIALS CO., LTD.) 31 January 2013 See paragraphs [30]-[40], [53], claims 1-8 and figures 1-2.	1-19
Y	KR 10-2014-0098518 A (LG INNOTEK CO., LTD.) 08 August 2014 See paragraphs [5], [32], [81], claims 1-10 and figures 1-2.	13-15
A	JP 2015-035536 A (DOWA ELECTRONICS MATERIALS CO., LTD.) 19 February 2015 See paragraphs [42]-[46], claims 1-9 and figures 1-2.	1-19
A	JP 2007-067077 A (NIPPON TELEGR. & TELEPH. CORP.) 15 March 2007 See paragraphs [24]-[33], claims 1-5 and figure 1.	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

27 MAY 2016 (27.05.2016)

Date of mailing of the international search report

27 MAY 2016 (27.05.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/001789

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2013-165261 A	22/08/2013	CN 103208572 A	17/07/2013
		CN 103208572 B	30/09/2015
		EP 2615650 A2	17/07/2013
		EP 2615650 A3	07/08/2013
		EP 2615650 B1	24/12/2014
		JP 5514920 B2	04/06/2014
		KR 10-1398340 B1	23/05/2014
		KR 10-2013-0083859 A	23/07/2013
		TW 201349560 A	01/12/2013
		TW 1502766 B	01/10/2015
		US 2013-0181188 A1	18/07/2013
		US 8742396 B2	03/06/2014
JP 2013-021124 A	31/01/2013	CN 103782375 A	07/05/2014
		JP 5665676 B2	04/02/2015
		TW 201318202 A	01/05/2013
		US 2014-0209862 A1	31/07/2014
		WO 2013-008461 A1	17/01/2013
KR 10-2014-0098518 A	08/08/2014	NONE	
JP 2015-035536 A	19/02/2015	JP 5698321 B2	08/04/2015
		WO 2015-020233 A1	12/02/2015
JP 2007-067077 A	15/03/2007	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/04(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/04; H01L 29/778; H01L 21/205; H01S 5/343; C23C 16/34; H01L 21/338; H01L 33/32; H01L 33/00; H01L 29/201

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 전자차단층, 제3 도전형, 초격자, 도펀트, 알루미늄

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	JP 2013-165261 A (DOWA ELECTRONICS MATERIALS CO., LTD.) 2013.08.22 단락 21-25, 40-50, 청구항 1 및 도면 1 참조.	1-19
Y	JP 2013-021124 A (DOWA ELECTRONICS MATERIALS CO., LTD.) 2013.01.31 단락 30-40, 53, 청구항 1-8 및 도면 1-2 참조.	1-19
Y	KR 10-2014-0098518 A (엘지이노텍 주식회사) 2014.08.08 단락 5, 32, 81, 청구항 1-10 및 도면 1-2 참조.	13-15
A	JP 2015-035536 A (DOWA ELECTRONICS MATERIALS CO., LTD.) 2015.02.19 단락 42-46, 청구항 1-9 및 도면 1-2 참조.	1-19
A	JP 2007-067077 A (NIPPON TELEGR. & TELEPH. CORP.) 2007.03.15 단락 24-33, 청구항 1-5 및 도면 1 참조.	1-19

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 05월 27일 (27.05.2016)

국제조사보고서 발송일

2016년 05월 27일 (27.05.2016)

ISA/KR의 명칭 및 우편주소

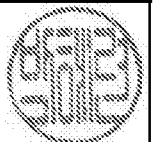
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

박혜련

전화번호 +82-42-481-3463



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2013-165261 A	2013/08/22	CN 103208572 A CN 103208572 B EP 2615650 A2 EP 2615650 A3 EP 2615650 B1 JP 5514920 B2 KR 10-1398340 B1 KR 10-2013-0083859 A TW 201349560 A TW I502766 B US 2013-0181188 A1 US 8742396 B2	2013/07/17 2015/09/30 2013/07/17 2013/08/07 2014/12/24 2014/06/04 2014/05/23 2013/07/23 2013/12/01 2015/10/01 2013/07/18 2014/06/03
JP 2013-021124 A	2013/01/31	CN 103782375 A JP 5665676 B2 TW 201318202 A US 2014-0209862 A1 WO 2013-008461 A1	2014/05/07 2015/02/04 2013/05/01 2014/07/31 2013/01/17
KR 10-2014-0098518 A	2014/08/08	없음	
JP 2015-035536 A	2015/02/19	JP 5698321 B2 WO 2015-020233 A1	2015/04/08 2015/02/12
JP 2007-067077 A	2007/03/15	없음	