

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2015-106615
(P2015-106615A)

(43) 公開日 平成27年6月8日(2015. 6. 8)

(51) Int.Cl.	F I	テーマコード (参考)
H O 5 K 3/46 (2006.01)	H O 5 K 3/46 B	5 E 3 4 6
H O 1 L 23/12 (2006.01)	H O 5 K 3/46 Q	
	H O 5 K 3/46 X	
	H O 1 L 23/12 N	

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号	特願2013-247467 (P2013-247467)	(71) 出願人	000000158
(22) 出願日	平成25年11月29日 (2013. 11. 29)		イビデン株式会社
			岐阜県大垣市神田町2丁目1番地
		(74) 代理人	100095795
			弁理士 田下 明人
		(72) 発明者	台蔵 外茂也
			岐阜県大垣市河間3-200 イビデン株
			式会社河間事業場内
		Fターム(参考)	5E346 AA12 AA15 AA32 AA35 AA38
			CC04 CC05 CC08 CC09 CC31
			CC32 CC33 CC37 CC38 CC54
			DD25 DD33 EE31 FF15 GG15
			GG17 GG22 GG23 GG28 HH11

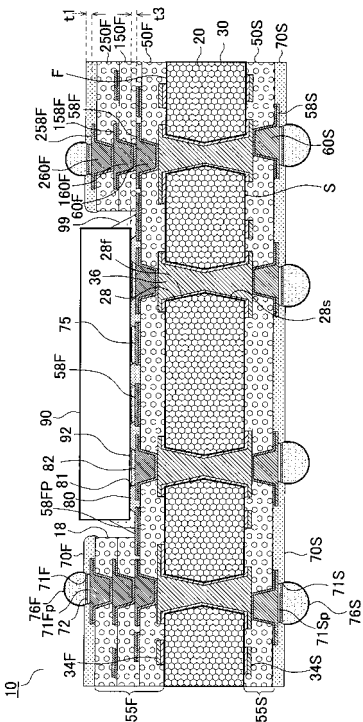
(54) 【発明の名称】 プリント配線板、プリント配線板の製造方法

(57) 【要約】

【課題】 電子部品を収容するキャビティ底部のコプラナリティが良好なプリント配線板を提供する。

【解決手段】 キャビティ18の内側において、第1のビルドアップ層55Fに含まれる層間絶縁層の層数と第2のビルドアップ層55Sに含まれる層間絶縁層の層数とが等しい。凹部の内側（底）でビルドアップ層の層数が対称になり、層間絶縁層を硬化させる際に、応力が対称に加わるので、キャビティ底部のコプラナリティが良好になる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 面と前記第 1 面と反対側の第 2 面とを有するコア基板と、
前記コア基板の第 1 面に形成される第 1 のビルドアップ層と、
前記コア基板の第 2 面に形成される第 2 のビルドアップ層と、
前記第 1 のビルドアップ層の一部を除去して成る電子部品を収容するための凹部と、
前記第 1 のビルドアップ層の表面に形成された第 1 の接続パッドと、
前記第 2 のビルドアップ層の表面に形成された第 2 の接続パッドと
前記凹部の底面に形成された第 3 の接続パッドと、を有するプリント配線板であって、
前記凹部の内側において、前記第 1 のビルドアップ層の含まれる層間絶縁層の層数と前記 10
第 2 のビルドアップ層に含まれる層間絶縁層の層数とが等しく、
前記凹部の外側において、前記第 1 のビルドアップ層の含まれる層間絶縁層の層数が、前
記第 2 のビルドアップ層に含まれる層間絶縁層の層数よりも多い。

【請求項 2】

請求項 1 のプリント配線板であって、
前記第 1 の接続パッドの上面は、前記第 3 の接続パッドの上面より $80\ \mu\text{m} \sim 250\ \mu\text{m}$
高い位置にある。

【請求項 3】

請求項 1 のプリント配線板であって、
前記凹部の外側において、前記第 1 のビルドアップ層の含まれる層間絶縁層の層数は、前 20
記第 2 のビルドアップ層に含まれる層間絶縁層の層数よりも 2 層以上多い。

【請求項 4】

請求項 1 のプリント配線板であって、
前記凹部の底面には、その外縁に沿って導体パターンが形成されている。

【請求項 5】

請求項 1 のプリント配線板であって、
前記第 1 の接続パッドを露出するように形成されているソルダーレジスト層と、
前記第 3 の接続パッドを露出するように形成されているソルダーレジスト層と、を有し
、
前記第 1 の接続パッドを露出するソルダーレジスト層の厚みが前記第 3 の接続パッドを露 30
出するソルダーレジスト層の厚みよりも厚い。

【請求項 6】

請求項 1 ～請求項 5 のいずれか 1 のプリント配線板を含むパッケージオンパッケージであ
って、
前記第 1 の接続パッドには、第 1 の半導体素子が接続された上側パッケージ基板が接続さ
れ、
前記第 3 の接続パッドには第 2 の半導体素子が接続される。

【請求項 7】

プリント配線板の製造方法であって、
第 1 面と前記第 1 面と反対側の第 2 面とを有するコア基板の前記第 1 面と前記第 2 面に同 40
じ層数のビルドアップ層を形成すると共に、前記第 1 面のビルドアップ層の表面に凹部形
成位置の外縁に沿ってレーザ受け用の導体パターンを形成することと、
前記凹部形成位置に剥離層を設けると共に、該剥離層の周囲に樹脂絶縁層を形成すること
と、
前記樹脂絶縁層及び該樹脂絶縁層上に最外層の樹脂絶縁層を形成することと、
前記レーザ受け用の導体パターンに至る切れ目をレーザで形成し、前記剥離層及び前記最
外層の樹脂絶縁層の一部を除去することで凹部を形成することと、を含む。

【請求項 8】

請求項 7 のプリント配線板の製造方法であって、
前記第 1 面のビルドアップ層の表面にレーザ受け用の導体パターンを形成すると同時に、 50

接続パッドを形成し、
該接続パッドを露出するソルダーレジスト層を形成した後、該ソルダーレジスト上に前記剥離層を設ける。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、樹脂絶縁層に設けたキャビティに電子部品を收容すると共に、電子部品を実装する上基板が接続されるプリント配線板、及び、プリント配線板の製造方法に関する。

【背景技術】

【0002】

特許文献1は、コア基板とその両面にビルドアップ層を備え、一方のビルドアップ層に電子部品收容用のキャビティを設けたプリント配線板を開示している。両面のビルドアップ層の層数は2層で等しく、キャビティは、コア基板を露出させるように一方のビルドアップ層に開口を設けることで形成されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2010-245530号

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1のプリント配線板では、電子部品を内蔵するキャビティで、キャビティ側でコア基板が剥き出しとなり樹脂絶縁層が存在しないのに対して、反対側には2層の層間絶縁層が存在し、ビルドアップ層の層数が非対称になっていた。このため、層間絶縁層を硬化させた際に、応力が非対称に加わり、キャビティ底部のコプラナリティ（平坦性）が低下し、收容する電子部品の端子とキャビティ底部に設けられるパッドとの接続信頼性を損ねていた。

【0005】

本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、電子部品を收容するキャビティ底部のコプラナリティが良好なプリント配線板及び該プリント配線板の製造方法を提供することにある。

【課題を解決するための手段】

【0006】

本願発明のプリント配線板は、第1面と前記第1面と反対側の第2面とを有するコア基板と、前記コア基板の第1面に形成される第1のビルドアップ層と、前記コア基板の第2面に形成される第2のビルドアップ層と、前記第1のビルドアップ層の一部を除去して成る電子部品を收容するための凹部と、前記第1のビルドアップ層の表面に形成された第1の接続パッドと、前記第2のビルドアップ層の表面に形成された第2の接続パッドと前記凹部の底面に形成された第3の接続パッドと、を有する。そして、前記凹部の内側において、前記第1のビルドアップ層の含まれる層間絶縁層の層数と前記第2のビルドアップ層に含まれる層間絶縁層の層数とが等しく、前記凹部の外側において、前記第1のビルドアップ層の含まれる層間絶縁層の層数が、前記第2のビルドアップ層に含まれる層間絶縁層の層数よりも多い。

【0007】

本願発明のプリント配線板の製造方法は、第1面と前記第1面と反対側の第2面とを有するコア基板の前記第1面と前記第2面に同じ層数のビルドアップ層を形成すると共に、前記第1面のビルドアップ層の表面に凹部形成位置の外縁に沿ってレーザ受け用の導体パターンを形成することと、前記凹部形成位置に剥離層を設けると共に、該剥離層の周囲に該剥離層に対応する開口を有する樹脂絶縁層を形成することと、前記開口を有する樹脂絶縁層及び該樹脂絶縁層上に最外層の樹脂絶縁層を形成することと、前記レーザ受け用の導体

10

20

30

40

50

パターンに至る切れ目をレーザで形成し、前記剥離層及び前記最外層の樹脂絶縁層の一部を除去することで凹部を形成することと、を含む。

【発明の効果】

【0008】

本願発明のプリント配線板は、凹部の内側において、第1のビルドアップ層の含まれる層間絶縁層の層数と第2のビルドアップ層に含まれる層間絶縁層の層数とが等しい。凹部の内側（底）でビルドアップ層の層数が対称になり、層間絶縁層を硬化させた際に、応力が対称に加わるので、キャビティ底部のコプラナリティが良好になり、収容する電子部品の端子とキャビティ底部に設けられるパッドとの接続信頼性が向上する。更に、凹部の外側において、第1のビルドアップ層の含まれる層間絶縁層の層数が、第2のビルドアップ層

10

【0009】

本願発明の製造方法に係るプリント配線板では、コア基板の第1面と第2面に同じ層数のビルドアップ層を形成し、第1面のビルドアップ層の表面にレーザ受け用の導体パターンを形成し、凹部形成位置に剥離層を設け、該剥離層の周囲に該剥離層に対応する開口を有する樹脂絶縁層を形成し、開口を有する樹脂絶縁層及び該樹脂絶縁層上に最外層の樹脂絶縁層を形成する。そして、レーザ受け用の導体パターンに至る切れ目をレーザで形成し、剥離層及び最外層の樹脂絶縁層の一部を除去することで凹部を形成する。凹部の内側において、第1のビルドアップ層の含まれる層間絶縁層の層数と第2のビルドアップ層に含まれる層間絶縁層の層数とを等しくできる。層間絶縁層を硬化させる際に、応力が対称に加わるので、キャビティ底部のコプラナリティが良好になり、収容する電子部品の端子とキャビティ底部に設けられるパッドとの接続信頼性が向上する。更に、凹部の外側において、第1のビルドアップ層の含まれる層間絶縁層の層数を、第2のビルドアップ層に含まれる層間絶縁層の層数よりも多くすることができる。このため、第1面側のビルドアップ層上端の上基板側との接続領域が嵩上げされ、狭バンプピッチで上基板との接続を実現できる。

20

【図面の簡単な説明】

【0010】

【図1】本発明の第1実施形態に係るプリント配線板の断面図。

30

【図2】第1実施形態のプリント配線板の製造方法を示す工程図。

【図3】第1実施形態のプリント配線板の製造方法を示す工程図。

【図4】第1実施形態のプリント配線板の製造方法を示す工程図。

【図5】第1実施形態のプリント配線板の製造方法を示す工程図。

【図6】第1実施形態のプリント配線板の製造方法を示す工程図。

【図7】第1実施形態のプリント配線板の製造方法を示す工程図。

【図8】第1実施形態のプリント配線板の製造方法を示す工程図。

【図9】第1実施形態のプリント配線板の平面図。

【図10】第1実施形態のプリント配線板の応用例を示す断面図。

【発明を実施するための形態】

40

【0011】

[第1実施形態]

【0012】

第1実施形態のプリント配線板を構成する第1のプリント配線板10の断面が図1に示される。第1のプリント配線板10は、第1面Fと第1面Fと反対側の第2面Sを有する絶縁基材20と絶縁性基材の第1面上の第1導体層34Fと絶縁性基材の第2面上の第2導体層34Sと第1導体層34Fと第2導体層34Sを接続しているスルーホール導体36とで形成されているコア基板30を有する。コア基板は第1面Fと第1面Fと反対側の第2面を有する。コア基板の第1面と絶縁性基材の第1面は同じ面であり、コア基板の第2面と絶縁性基材の第2面は同じ面である。

50

【0013】

スルーホール導体36は、絶縁性基材に形成されている貫通孔28内をめっき膜で充填することにより形成される。貫通孔28は、絶縁性基材の第1面側に形成されている第1開口部28fと、第2面側に形成されている第2開口部28sで形成されている。第1開口部28fは第1面から第2面に向かってテーパしている。第2開口部28sは第2面から第1面に向かってテーパしている。そして、第1開口部28fと第2開口部28sは絶縁性基材の内部で繋がっている。

【0014】

コア基板30の第1面Fに第1のビルドアップ層55Fが形成されている。ビルドアップ層55Fには、コア基板上と第1導体層34F上に低層の樹脂絶縁層50Fが形成されている。この低層の樹脂絶縁層50F上に導体層58Fが形成されている。導体層58Fと第1導体層34Fは、低層の樹脂絶縁層50Fを貫通するビア導体60Fで接続されている。低層の樹脂絶縁層50F上に内層の樹脂絶縁層150Fが形成されている。この内層の樹脂絶縁層150F上に導体層158Fが形成されている。導体層158Fと導体層58Fは、内層の樹脂絶縁層150Fを貫通するビア導体160Fで接続されている。内層の樹脂絶縁層150F上に最外層の樹脂絶縁層250Fが形成されている。この最外層の樹脂絶縁層250F上に導体層258Fが形成されている。導体層258Fと導体層158Fは、最外層の樹脂絶縁層250Fを貫通するビア導体260Fで接続されている。第1のビルドアップ層55Fは3層の樹脂絶縁層50F、150F、250Fから構成される。但し、これに限らず、2層又は4層以上あっても良い。

【0015】

コア基板30の第2面Sに第2のビルドアップ層55Sが形成されている。ビルドアップ層55Sには、コア基板上と第2導体層34S上に樹脂絶縁層50Sが形成されている。この樹脂絶縁層50S上に導体層58Sが形成されている。導体層58Sと第2導体層34Sは、樹脂絶縁層50Sを貫通するビア導体60Sで接続されている。第2のビルドアップ層55Sは1層の樹脂絶縁層50Sから成る。但し、これに限らず、2層以上であっても良い。。

【0016】

第1のビルドアップ層55F上に第1のソルダーレジスト層70Fが形成され、第2のビルドアップ層55S上に第2のソルダーレジスト層70Sが形成されている。ソルダーレジスト層70Fは、第1パッド71Fpを露出するための第1開口71Fを有する。ソルダーレジスト層70Sは、第2パッド71Spを露出する第2開口71Sを有する。第1パッド71Fpや第2パッド71Sp上に電子部品やマザーボードと接続するための半田バンプやSn膜などの接続部材76F、76Sが形成される。接続部材は無くてもよい。

【0017】

第1のビルドアップ層55Fは、最外層の樹脂絶縁層250F及び内層の樹脂絶縁層150Fを貫通する開口18からなるキャビティ18が形成されている。キャビティ18に電子部品90が収容される。第1実施形態の電子部品はCPU等のロジックチップである。第1実施形態では、CPU、メモリ等のICチップ、能動素子の他、受動素子を収容することができる。低層の樹脂絶縁層50F上に形成された第3ソルダーレジスト層80の開口81から露出される導体層58Fが、電子部品の端子92と接続される第3パッド82を構成する。第3パッド82上には半田バンプ75が形成されている。キャビティ18の底面には、その外縁に沿ってレーザ受け用の導体パターン58FPが形成されている。電子部品90の下部には、アンダーフィル99が充填されている。

【0018】

図9は、接続部材形成前、電子部品搭載前のプリント配線板10の平面図である。図1は、図9のX1-X1断面に相当する。

キャビティ18の底部に第3パッド82が形成され、第1のビルドアップ層上の第1のソルダーレジスト70Fから第1パッド71Fが露出される。レーザ受け用の導体パターン58FPがキャビティ18の外縁に沿って、該レーザ受け用の導体パターン58FPの内

側が露出され、外側がビルドアップ層内に埋設されるよう配置されている。

【0019】

図10は、上基板310が搭載されたプリント配線板10の断面図である。

上基板310はメモリ等のICチップ900を実装している。上基板310は、パッド312と第1パッド71Fp上の半田バンプ76Fとを介してプリント配線板10と接続される。

【0020】

図1中に示されるように、第1のソルダーレジスト層70Fの厚み t_1 は $20\mu\text{m} \sim 30\mu\text{m}$ で、第3のソルダーレジスト層80の厚み t_3 は $12 \sim 18\mu\text{m}$ で、第1のソルダーレジスト層70Fの方が厚い。第3のソルダーレジスト層80の厚みが薄いため、第3パッド82をファインピッチに配置することができる。図10に示されるように第1の接続パッド71Fpの上面は、第3の接続パッド92の上面より高さ $H_1: 80\mu\text{m} \sim 250\mu\text{m}$ 高い位置にある。これにより、 $100\mu\text{m} \sim 270\mu\text{m}$ の厚みの電子部品を、放熱のための上基板210との最小のクリアランス $c_1: 30 \sim 100\mu\text{m}$ を保ちながら、キャビティ18内に収容することができる。

10

【0021】

第1実施形態のプリント配線板は、キャビティ18の内側において、第1のビルドアップ層55Fの含まれる層間絶縁層の層数と第2のビルドアップ層55Sに含まれる層間絶縁層の層数とが等しい。凹部の内側（底）でビルドアップ層の層数が対称になり、層間絶縁層を硬化させた際に、応力が対称に加わるので、キャビティ底部のコプラナリティが良好になり、収容する電子部品90の微細ピッチの端子92とキャビティ底部に設けられる第3パッド82との接続信頼性が向上する。更に、凹部の外側において、第1のビルドアップ層55Fの含まれる層間絶縁層の層数が、第2のビルドアップ層55Sに含まれる層間絶縁層の層数よりも多いため、第1面側のビルドアップ層上端の上基板側との接続領域が H_1 分嵩上げされ、半田バンプ76Fが小径にでき、狭ピッチ p_1 （図9参照）で第1パッド71Fpと上基板のパッド312との接続を実現できる。

20

【0022】

第1パッド71Fpのピッチ（隣接するパッド中心間の距離） p_1 よりも、第3パッド82のピッチ p_3 の方が狭い。このため、第3パッドが設けられる凹部の内側（底）側が、第1パッド71Fpが設けられる凹部の外側よりも良好なコプラナリティが要求される。

30

【0023】

[第1実施形態のプリント配線板の製造方法]

第1実施形態のプリント配線板10の製造方法が図2～図11に示される。

(1) 第1面Fとその第1面と反対側の第2面Sを有する絶縁基板20と、その両面に積層されている銅箔22、22からなる銅張積層板20zが準備される（図2（A））。

【0024】

絶縁基板20の絶縁層は樹脂と補強材で形成されていて、その補強材として例えばガラスクロス、アラミド繊維、ガラス繊維などが挙げられる。樹脂としてエポキシ樹脂、BT（ビスマレイミドトリアジン）樹脂などが挙げられる。

【0025】

(2) 絶縁基板20にスルーホール導体36、第1導体層34F、第2導体層34Sが、US7786390に開示されている方法で形成されコア基板30が完成する（図2（B））。

40

【0026】

(3) コア基板30の第1面、第2面上に無機繊維に無機フィラーを含有する樹脂を含浸することで構成された樹脂絶縁層及び銅箔48、48が積層され、さらに、加熱プレスすることで低層の樹脂絶縁層50F、50Sが形成される（図2（C））。ここで、樹脂絶縁層50Sは、無機フィラーと樹脂から構成される絶縁層を用いることもできる。

【0027】

(4) CO2ガスレーザにて低層の樹脂絶縁層50Fにビア導体用の開口51Fが、樹脂

50

絶縁層 50 S にビア導体用の開口 51 S が形成される (図 2 (D))。

【0028】

(5) 層間樹脂絶縁層表面と開口 51 F、51 S の内壁に無電解銅めっき層 52 が形成される (図 3 (A))。

【0029】

(6) 無電解銅めっき層 52 上にめっきレジスト 54 が形成される (図 3 (B))。

【0030】

(7) めっきレジスト 54 から露出する無電解銅めっき層 52 上に、電解銅めっき層 56 が形成される (図 3 (C))。

【0031】

(8) めっきレジスト 54 が除去される。電解銅めっき層 56 間の無電解銅めっき層 52 がエッチングで除去されることで、導体層 58 F、58 S 及びビア導体 60 F、60 S が形成される (図 3 (D))。この際に、図 9 中に示されたレーザ受け用の導体パターン 58 F P が形成される。第 2 のビルドアップ層 55 S が完成する。

【0032】

(9) 底層の樹脂絶縁層 50 F 及び導体層 58 F 上で、キャビティ形成部位に第 3 開口 81 を備える第 3 のソルダーレジスト層 80 が形成される (図 4 (A))。第 3 開口 81 から露出される導体層が第 3 パッド 82 を構成する。

【0033】

(10) 第 3 のソルダーレジスト層 80 上で、キャビティ形成部位に剥離層 84 が形成される (図 4 (B))。

【0034】

(11) 剥離層 84 上に樹脂絶縁層及び銅箔 148 が積層され、さらに、加熱プレスすることで内層の樹脂絶縁層 150 F が形成される (図 5 (A))。

【0035】

(12) 図 3 (A) ~ 図 3 (D) に示された工程が繰り返され、導体層 158 F と、該導体層 158 F と下層の導体層 58 F とを接続するビア導体 160 F が形成される (図 5 (B))。

【0036】

(13) 内層の樹脂絶縁層 150 F 及び導体層 158 F 上に樹脂絶縁層及び銅箔 248 が積層され、さらに、加熱プレスすることで最外層の樹脂絶縁層 250 F が形成される (図 5 (C))。

【0037】

(14) 図 3 (A) ~ 図 3 (D) に示された工程が繰り返され、導体層 258 F と、該導体層 258 F と下層の導体層 158 F とを接続するビア導体 260 F が形成され、第 1 のビルドアップ層 55 F が完成する (図 6 (A))。

【0038】

(15) 第 1 のビルドアップ層 55 F 上に開口 71 F を備えるソルダーレジスト層 70 F が形成され、第 2 のビルドアップ層 55 S 上に開口 71 S を備えるソルダーレジスト層 70 S が形成される (図 6 (B))。

【0039】

(16) 第 1 のソルダーレジスト層 70 F の開口 71 F から露出される第 1 パッド 71 F p、第 2 のソルダーレジスト層 70 S の開口 71 S から露出される第 2 パッド 71 S p 上に表面処理膜 72 が形成される (図 6 (C))。表面処理膜は、ニッケル-金層 (Ni/Au)、Snめっき、ニッケル-パラジウム-金層 (Ni/Pd/Au)、Pd/Agめっき、OSP (Organic Solderability Preservative) 膜が形成される。

【0040】

(17) レーザで最外層の樹脂絶縁層 250 F、剥離層 84、内層の樹脂絶縁層 150 F にレーザ受け用の導体パターン 58 F P に至る切れ目 18 a が形成され (図 7 (A))、切断された樹脂絶縁層 250 F、剥離層 84 が取り除かれ、キャビティ 18 が形成される

10

20

30

40

50

(図 7 (B))。

【0041】

(18) 第3パッド82上に半田バンプ75が形成される(図8(A))。半田ボールが載置され、リフローにより第1のソルダーレジスト層70Fの第1開口71Fから露出される第1パッド71Fp上に半田バンプ76Fが、第2のソルダーレジスト層70Sの第2開口71Sから露出される第2パッド71Sp上に半田バンプ76Sが形成され、プリント配線板10が完成する(図8(B))。

【0042】

キャビティ18内に電子部品90が配置され、電子部品の端子92と第3パッド82とが接続される(図1)。

【0043】

ICチップ900を実装する上基板310が、パッド312と第1パッド71Fp上の半田バンプ76Fとを介してプリント配線板10と接続される(図10)。これにより、パッケージオンパッケージ構造となる。

【0044】

第1実施形態の製造方法に係るプリント配線板では、低層の樹脂絶縁層50F、50Sを形成した後、第1面側に内層の樹脂絶縁層150F、最外層の樹脂絶縁層250Fを形成する。そして、レーザ受け用の導体パターン58Fpに至る切れ目をレーザで形成し、剥離層84及び最外層の樹脂絶縁層の一部を除去することでキャビティ18を形成する。キャビティ18の内側において、第1のビルドアップ層の含まれる層間絶縁層の層数と第2のビルドアップ層に含まれる層間絶縁層の層数とを等しくできる。層間絶縁層を硬化させる際に、応力が対称に加わるので、キャビティ底部のコプラナリティが良好になり、収容する電子部品90の端子92とキャビティ底部に設けられる第3パッド82との接続信頼性が向上する。更に、キャビティ18の外側において、第1のビルドアップ層の含まれる層間絶縁層の層数を、第2のビルドアップ層に含まれる層間絶縁層の層数よりも多くすることができる。このため、第1面側のビルドアップ層55F上端の上基板側との接続領域が嵩上げされ、小径の半田バンプ76Fを介して、狭バンプピッチで上基板310との接続を実現できる。

【符号の説明】

【0045】

- 10 プリント配線板
- 18 キャビティ
- 30 コア基板
- 36 スルーホール導体
- 50F 低層の樹脂絶縁層
- 55F 第1のビルドアップ層
- 55S 第2のビルドアップ層
- 58F 導体層
- 60F ビア導体
- 70F 第1のソルダーレジスト層
- 71F 第1の開口
- 71Fp 第1のパッド71
- 80 第3のソルダーレジスト層
- 81 第3の開口
- 82 第3のパッド
- 90 電子部品
- 150F 内層の樹脂絶縁層
- 250F 最外層の樹脂絶縁層

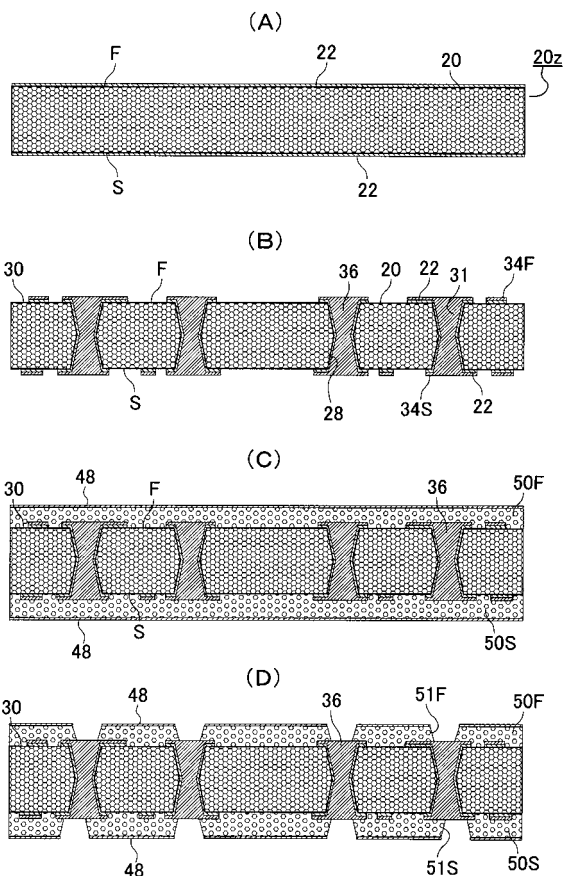
10

20

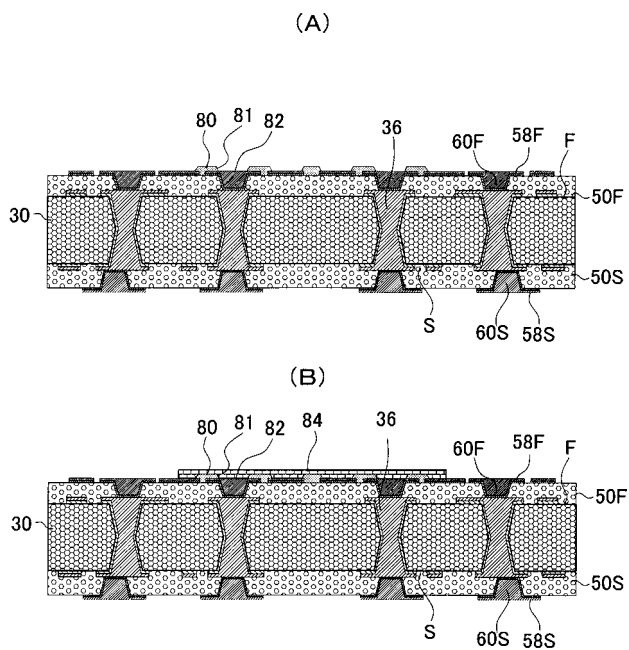
30

40

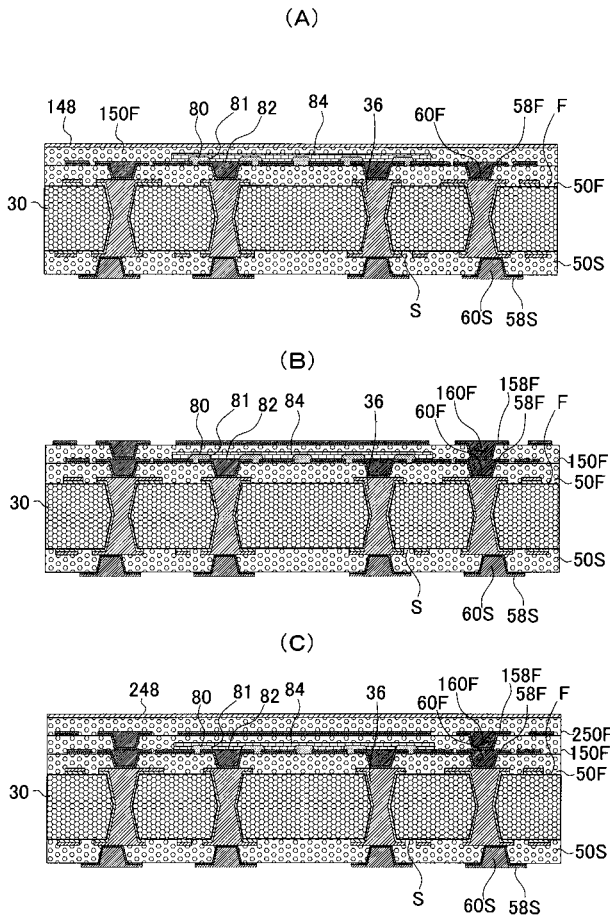
【図 2】



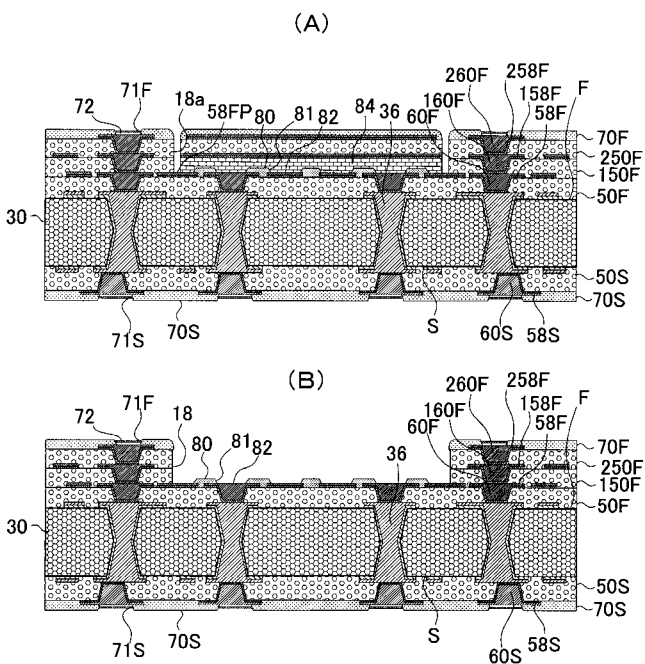
【図 4】



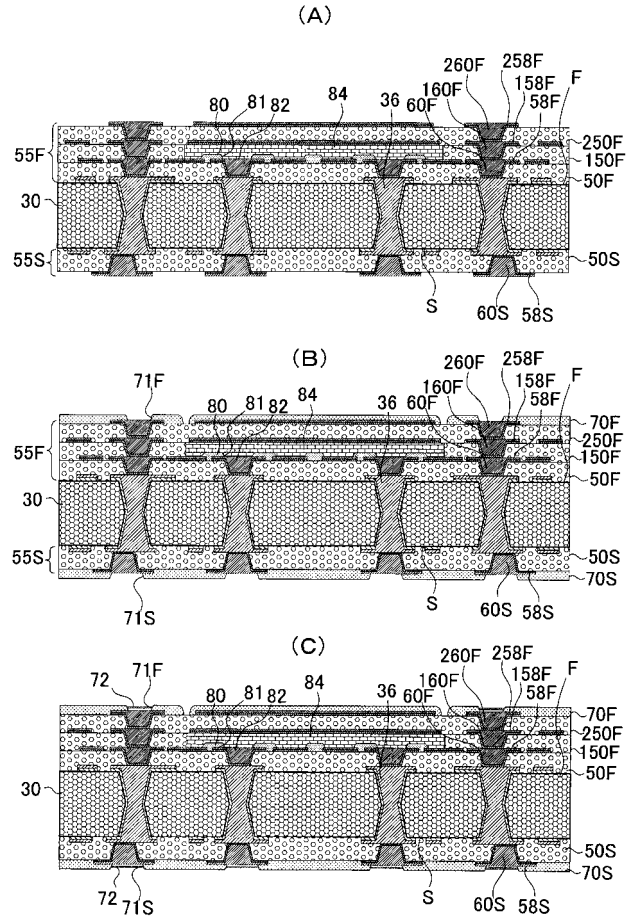
【図 5】



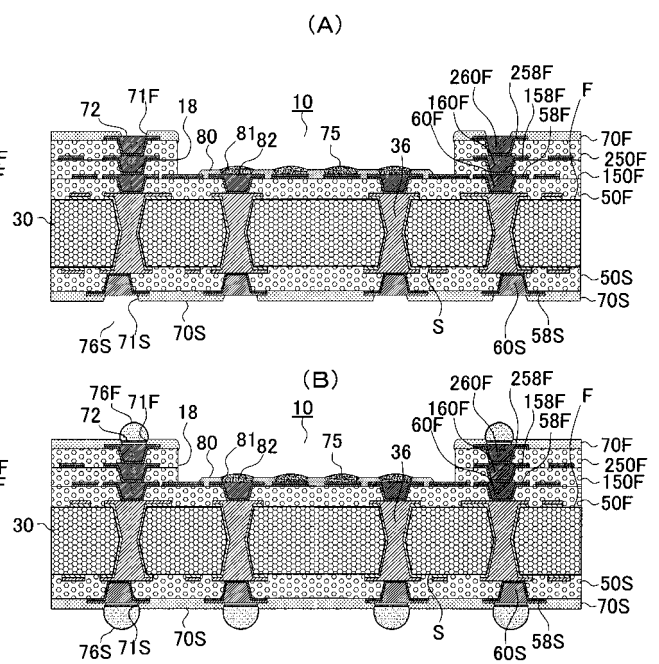
【図 7】



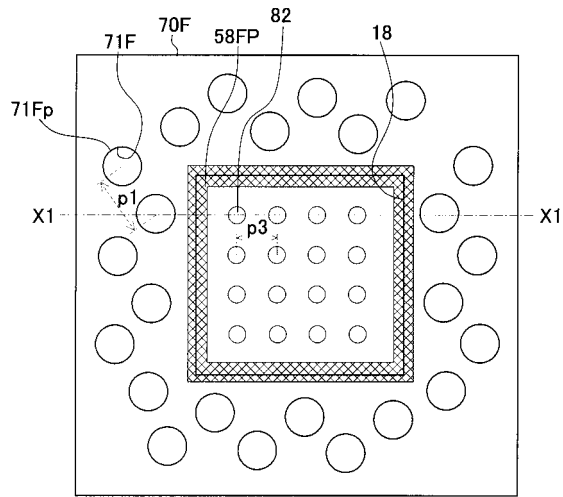
【図 6】



【図 8】



【図 9】



【図 10】

