

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月24日(24.05.2018)



(10) 国際公開番号

WO 2018/092743 A1

(51) 国際特許分類:
H03K 17/687 (2006.01) H03K 17/08 (2006.01)

(21) 国際出願番号: PCT/JP2017/040832

(22) 国際出願日: 2017年11月14日(14.11.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-226085 2016年11月21日(21.11.2016) JP

(71) 出願人: 株式会社オートネットワーク技術研究所(AUTONETWORKS TECHNOLOGIES, LTD.) [JP/JP]; 〒5108503 三重県四日市市西末広町1番14号 Mie (JP). 住友電装株式会社(SUMITOMO WIRING SYSTEMS, LTD.) [JP/JP]; 〒5108503 三重県四日市市西末広町1番14号 Mie (JP). 住友電気工業株

式会社(SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).

(72) 発明者: 塚本 克馬(TSUKAMOTO, Katsuma); 〒5108503 三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内 Mie (JP). 小田 康太(ODA, Kota); 〒5108503 三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内 Mie (JP).

(74) 代理人: 河野 英仁, 外(KOHNO, Hideto et al.); 〒5400035 大阪府大阪市中央区釣鐘町二丁目4番3号 河野特許事務所 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SWITCH CIRCUIT AND POWER SOURCE APPARATUS

(54) 発明の名称: スイッチ回路及び電源装置

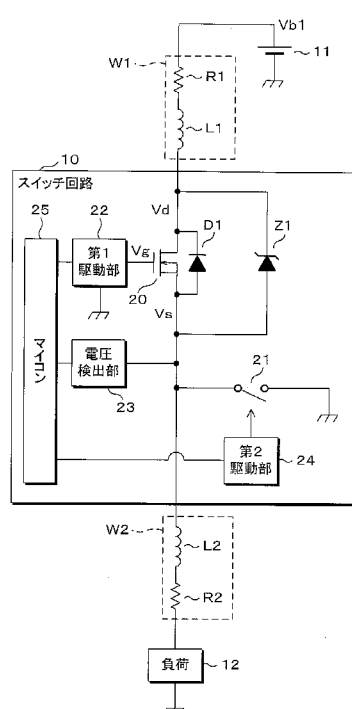


FIG. 1:
10 Switch circuit
12 Load
22 First drive unit
23 Voltage detection unit
24 Second drive unit
25 Microcomputer

(57) Abstract: A switch circuit (10) is provided with an FET (20). A first drive unit (22) switches the FET (20) on or off by adjusting a gate voltage at the FET (20) by using the potential of a source as a reference. When the FET (20) is on, a current flows via the source and the drain of the FET (20). When the first drive unit (22) switches the FET (20) from on to off, a second drive unit (24) switches a reflux switch (21) from off to on.



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: スイッチ回路 (10) は FET (20) を備える。第1駆動部 (22) は、FET (20) において、ソースの電位を基準としたゲートの電圧を調整することによって、FET (20) をオン又はオフに切替える。FET (20) がオンである場合、FET (20) のソース及びドレインを介して電流が流れる。第1駆動部 (22) がFET (20) をオンからオフに切替えた場合、第2駆動部 (24) は還流スイッチ (21) をオフからオンに切替える。

明 細 書

発明の名称：スイッチ回路及び電源装置

技術分野

[0001] 本発明はスイッチ回路及び電源装置に関する。

本出願は、2016年11月21日出願の日本出願第2016-226085号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

背景技術

[0002] 半導体スイッチとして、NPN型のバイポーラトランジスタが用いられ、半導体スイッチをオン又はオフに切替えることによって、接続と、この接続の遮断とを行うスイッチ回路が特許文献1に開示されている。バイポーラトランジスタは、エミッタの電位を基準としたベースの電圧を調整することによって、オン又はオフに切替えられる。

[0003] エミッタの電位を基準としたベースの電圧が一定電圧以上となった場合、バイポーラトランジスタはオンに切替わり、バイポーラトランジスタのコレクタ及びエミッタ間に電流が流れることが可能となる。エミッタの電位を基準としたベースの電圧が一定電圧未満となった場合、バイポーラトランジスタはオフに切替わり、バイポーラトランジスタのコレクタ及びエミッタ間に電流が流れることはない。バイポーラトランジスタがオンである場合において、コレクタ及びエミッタ間の抵抗値は、エミッタの電位を基準としたベースの電圧が高い程小さい。

先行技術文献

特許文献

[0004] 特許文献1：特開平5-218833号公報

発明の概要

[0005] 本発明の一態様に係るスイッチ回路は、第1端及び第2端を介して電流が流れ、該第1端の電位を基準とした制御端の電圧に応じてオン又はオフに切

替わる半導体スイッチを備えるスイッチ回路であって、該半導体スイッチの前記第1端及び第2端間の電圧を所定電圧以下に維持する電圧維持体と、前記半導体スイッチの前記第1端に一端が接続されるスイッチと、前記半導体スイッチをオンからオフに切替える第1切替え部と、該第1切替え部が該半導体スイッチをオンからオフに切替えた場合に、前記スイッチをオフからオンに切替える第2切替え部とを備える。

[0006] 本発明の一態様に係るスイッチ回路は、第1端及び第2端を介して電流が流れ、該第1端の電位を基準とした制御端の電圧に応じてオン又はオフに切替わる半導体スイッチを備えるスイッチ回路であって、該半導体スイッチの前記第1端及び第2端間の電圧を所定電圧以下に維持する電圧維持体と、前記半導体スイッチの前記第1端にカソードが接続されるダイオードとを備える。

[0007] 本発明の一態様に係る電源装置は、前述したスイッチ回路と、該スイッチ回路を介して接続される2つの蓄電器とを備える。

図面の簡単な説明

[0008] [図1]実施形態1における電源装置の要部構成を示すブロック図である。

[図2]還流スイッチ及びツェナーダイオードが設けられていないスイッチ回路の動作を示す説明図である。

[図3]スイッチ回路の動作を示す説明図である。

[図4]スイッチ回路の動作を示す他の説明図である。

[図5]実施形態2における電源装置の要部構成を示すブロック図である。

[図6]実施形態3における電源装置の要部構成を示すブロック図である。

[図7]実施形態4における電源装置の要部構成を示すブロック図である。

[図8]実施形態5における電源装置の要部構成を示すブロック図である。

[図9]実施形態6における電源装置の要部構成を示すブロック図である。

[図10]実施形態7における電源装置の要部構成を示すブロック図である。

発明を実施するための形態

[0009] [本開示が解決しようとする課題]

特許文献 1 に記載のスイッチ回路では、例えば、バッテリーの正極がバイポーラトランジスタのコレクタに接続され、バイポーラトランジスタのエミッタが負荷の一端に接続され、バッテリーの負極と、負荷の他端とは接地される。バイポーラトランジスタをオンに切替えた場合、バッテリー及び負荷が接続される。バイポーラトランジスタをオフしたとき、バッテリー及び負荷の接続が遮断される。

[0010] バイポーラトランジスタをオンに切替える場合、接地電位を基準としたバイポーラトランジスタのベースの電圧を上昇させることによって、エミッタの電位を基準としたベースの電圧を上昇させる。バイポーラトランジスタをオフに切替える場合、接地電位を基準としたバイポーラトランジスタのベースの電圧を低下させることによって、エミッタの電位を基準としたベースの電圧を低下させる。

[0011] バイポーラトランジスタ及び負荷を接続する電線は、インダクタンス成分を有する誘導性部材である。このため、バイポーラトランジスタがオンである間、電線に電流が流れ、電線にエネルギーが蓄えられる。

[0012] バイポーラトランジスタをオンに切替えるために、接地電位を基準としたバイポーラトランジスタのベースの電圧を低下させた場合、バイポーラトランジスタのコレクタ及びエミッタ間の抵抗値が上昇し、誘導性部材を流れる電流が低下する。このとき、誘導性部材は、誘導性部材を流れる電流を維持するために、接地電位を基準としたエミッタの電圧を低下させ、エミッタの電位を基準としたベースの電圧を一定電圧以上に維持する。これにより、バイポーラトランジスタを介して電流が流れ、誘導性部材に蓄えられたエネルギーが放出される。このエネルギーがゼロとなった場合、エミッタの電位を基準としたベースの電圧は一定電圧未満となり、バイポーラトランジスタはオフに切替わる。

[0013] 誘導性部材が接地電位を基準としたエミッタの電圧を一定電圧以上に維持している間、バイポーラトランジスタのコレクタ及びエミッタ間の抵抗値は大きい。このため、バイポーラトランジスタで消費される電力が大きく、バ

バイポーラトランジスタから発生する熱量が大きい。従って、バイポーラトランジスタが高温となってバイポーラトランジスタの機能が低下する虞がある。

そこで、オフへの切替えが行われた場合に半導体スイッチで発生する熱量が小さいスイッチ回路と、該スイッチ回路を備える電源装置とを提供することを目的とする。

[0014] [本開示の効果]

本開示によれば、オフへの切替えが行われた場合に半導体スイッチで発生する熱量が小さい。

[0015] [本発明の実施形態の説明]

最初に本発明の実施態様を列挙して説明する。以下に記載する実施形態の少なくとも一部を任意に組み合わせてもよい。

[0016] (1) 本発明の一態様に係るスイッチ回路は、第1端及び第2端を介して電流が流れ、該第1端の電位を基準とした制御端の電圧に応じてオン又はオフに切替わる半導体スイッチを備えるスイッチ回路であって、該半導体スイッチの前記第1端及び第2端間の電圧を所定電圧以下に維持する電圧維持体と、前記半導体スイッチの前記第1端に一端が接続されるスイッチと、前記半導体スイッチをオンからオフに切替える第1切替え部と、該第1切替え部が該半導体スイッチをオンからオフに切替えた場合に、前記スイッチをオフからオンに切替える第2切替え部とを備える。

[0017] 上記の一態様にあつては、半導体スイッチがオンであつて、かつ、スイッチがオフである場合、電流は、例えば、半導体スイッチの第2端及び第1端の順に流れる。半導体スイッチの第1端に一端が接続されている電線は、インダクタンス成分を有する誘導性部材である。このため、電流が半導体スイッチを流れている場合、電線にエネルギーが蓄えられる。

[0018] 半導体スイッチをオフに切替えた場合、スイッチをオンに切替える。この場合において、スイッチの他端が電線の他端に接続されているとき、電線からスイッチを介して電流が流れ、電線に蓄えられているエネルギーが放出さ

れる。このため、半導体スイッチがオンからオフに切替わった後、固定電位、例えば接地電位を基準とした半導体スイッチの第1端の電圧は殆ど低下することはなく、半導体スイッチはオフに維持される。結果、半導体スイッチがオフに切替わった場合に半導体スイッチで発生する熱量は小さい。

[0019] 電流が半導体スイッチの第2端及び第1端の順に流れる間、半導体スイッチの第2端に一端が接続されている電線にもエネルギーが蓄えられる。半導体スイッチがオフに切替わった場合、この電線は、半導体スイッチの第2端における電圧を上昇させる。これにより、半導体スイッチの第1端及び第2端間の電圧が上昇するが、この電圧は電圧維持体によって所定電圧以下に維持される。このため、半導体スイッチに大きな電圧が印加されることはない。

[0020] (2) 本発明の一態様に係るスイッチ回路では、前記半導体スイッチの前記第1端の電圧を検出する電圧検出部を備え、前記第2切替え部は、前記スイッチをオンに切替えてから、該電圧検出部が検出した電圧が電圧閾値以上となった場合に前記スイッチをオフに切替える。

[0021] 上記の一態様にあっては、例えば、固定電位を基準とした半導体スイッチの第1端の電圧を検出する。スイッチをオンに切替えてから、半導体スイッチの第1端の電圧が電圧閾値以上となった場合にスイッチをオフに切替える。このため、半導体スイッチの第1端に接続されている電線に蓄えられている全てのエネルギーが放出された後に、スイッチをオフに切替えることが可能となる。

[0022] (3) 本発明の一態様に係るスイッチ回路は、第3端及び第4端を介して電流が流れ、該第3端の電位を基準とした第2の制御端の電圧に応じてオン又はオフに切替わる第2の半導体スイッチを備え、前記半導体スイッチの前記第1端が該第2の半導体スイッチの前記第3端に接続されているか、又は、前記半導体スイッチの前記第2端が前記第2の半導体スイッチの前記第4端に接続されており、前記第1切替え部は、前記半導体スイッチ及び第2の半導体スイッチを同時にオンからオフに切替える。

- [0023] 上記の一態様にあつては、半導体スイッチ及び第2の半導体スイッチが接続され、同時にオンからオフに切替えられる。半導体スイッチ及び第2の半導体スイッチ夫々がNチャネル型のFET(Field Effect Transistor)である場合、第1端として機能する半導体スイッチのソースが、第3端として機能する第2の半導体スイッチのソースに接続されるか、又は、第2端として機能する半導体スイッチのドレインが、第4端として機能する第2の半導体スイッチドレインに接続される。この場合、半導体スイッチ及び第2の半導体スイッチがオフであるとき、半導体スイッチ及び第2の半導体スイッチの寄生ダイオードを介して電流が流れることはない。
- [0024] (4) 本発明の一態様に係るスイッチ回路は、第1端及び第2端を介して電流が流れ、該第1端の電位を基準とした制御端の電圧に応じてオン又はオフに切替わる半導体スイッチを備えるスイッチ回路であつて、該半導体スイッチの前記第1端及び第2端間の電圧を所定電圧以下に維持する電圧維持体と、前記半導体スイッチの前記第1端にカソードが接続されるダイオードとを備える。
- [0025] 上記の一態様にあつては、半導体スイッチがオンである場合、電流は、例えば、半導体スイッチの第2端及び第1端の順に流れる。半導体スイッチの第1端に一端が接続されている電線は、インダクタンス成分を有する誘導性部材である。このため、電流が半導体スイッチを流れている場合、電線にエネルギーが蓄えられる。
- [0026] 半導体スイッチをオフに切替えた場合、電線は、半導体スイッチの第1端における電圧を低下させる。そして、ダイオードにおいて、アノードの電位を基準としたカソードの電圧が順方向電圧以上となった場合、電線からダイオードを介して電流が流れ、電線に蓄えられているエネルギーが放出される。順方向電圧は、ダイオードに順方向の電流が流れた場合にダイオードの両端間で生じる電圧差である。以上のように、電線に蓄えられているエネルギーが放出されるので、例えば、ダイオードのアノードの電位が固定電位である場合、半導体スイッチがオンからオフに切替わった後、固定電位を基準と

した半導体スイッチの第1端の電圧は殆ど変動することはない、半導体スイッチはオフに維持される。結果、半導体スイッチがオフに切替わった場合に半導体スイッチで発生する熱量は小さい。

[0027] 電流が半導体スイッチの第2端及び第1端の順に流れる間、半導体スイッチの第2端に一端が接続されている電線にもエネルギーが蓄えられる。半導体スイッチがオフに切替わった場合、この電線は、半導体スイッチの第2端における電圧を上昇させる。これにより、半導体スイッチの第1端及び第2端間の電圧が上昇するが、この電圧は電圧維持体によって所定電圧以下に維持される。このため、半導体スイッチに大きな電圧が印加されることはない。

[0028] (5) 本発明の一態様に係るスイッチ回路は、第3端及び第4端を介して電流が流れ、該第3端の電位を基準とした第2の制御端の電圧に応じてオン又はオフに切替わる第2の半導体スイッチと、前記半導体スイッチ及び第2の半導体スイッチを同時にオンからオフに切替える切替え部とを備え、前記半導体スイッチの前記第1端が該第2の半導体スイッチの前記第3端に接続されているか、又は、前記半導体スイッチの前記第2端が前記第2の半導体スイッチの前記第4端に接続されている。

[0029] 上記の一態様にあつては、半導体スイッチ及び第2の半導体スイッチが接続され、同時にオンからオフに切替えられる。半導体スイッチ及び第2の半導体スイッチ夫々がNチャネル型のFETである場合、第1端として機能する半導体スイッチのソースが、第3端として機能する第2の半導体スイッチのソースに接続されるか、又は、第2端として機能する半導体スイッチのドレインが、第4端として機能する第2の半導体スイッチドレインに接続される。この場合、半導体スイッチ及び第2の半導体スイッチがオフであるとき、半導体スイッチ及び第2の半導体スイッチの寄生ダイオードを介して電流が流れることはない。

[0030] (6) 本発明の一態様に係るスイッチ回路では、前記電圧維持体に印加された電圧が所定電圧未満である場合、該電圧維持体に電流が流れず、該電圧維

持体に印加されている電圧が所定電圧である場合に該電圧維持体に電流が流れる。

[0031] 上記の一態様にあつては、電圧維持体は、ツェナーダイオード又はバリスタ等である。電圧維持体に印加されている電圧が所定電圧となった場合、電圧維持体を介して電流が流れ、電圧維持体に印加される電圧が所定電圧以下に維持される。

[0032] (7) 本発明の一態様に係る電源装置では、前述したスイッチ回路と、該スイッチ回路を介して接続される2つの蓄電器とを備える。

[0033] 上記の一態様にあつては、一方の蓄電器は、スイッチ回路を介して他方の蓄電器に電力を供給し、他方の蓄電器を充電する。

[0034] [本発明の実施形態の詳細]

本発明の実施形態に係るスイッチ回路及び電源装置の具体例を、以下に図面を参照しつつ説明する。なお、本発明はこれらの例示に限定されるものではなく、請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

[0035] (実施形態1)

図1は、実施形態1における電源装置1の要部構成を示すブロック図である。電源装置1は、好適に車両に搭載されており、スイッチ回路10、バッテリー11、負荷12及び電線W1、W2を備える。電線W1、W2夫々は、抵抗成分及びインダクタンス成分を有する誘導性部材である。電線W1の等価回路は、抵抗R1及びインダクタL1の直列回路で表される。電線W2の等価回路は、抵抗R2及びインダクタL2の直列回路で表される。

[0036] バッテリー11の正極は電線W1の一端に接続されている。電線W1の他端はスイッチ回路10に接続されている。スイッチ回路10には、更に、電線W2の一端が接続されている。電線W2の他端は負荷12の一端に接続されている。バッテリー11の負極と、負荷12の他端とは接地されている。

[0037] スwitch回路10は、電線W1、W2の接続と、この接続の遮断とを行う。スイッチ回路10が電線W1、W2を接続している場合、バッテリー11は

、電線W1、スイッチ回路10及び電線W2を介して負荷12に電力を供給する。負荷12は、車両に搭載された電気機器であり、バッテリー11から供給される電力を用いて作動する。スイッチ回路10が電線W1、W2の接続を遮断している場合、バッテリー11から負荷12に電力が供給されることはなく、負荷12が作動することはない。

[0038] スwitch回路10は、Nチャネル型のFET20、還流スイッチ21、第1駆動部22、電圧検出部23、第2駆動部24、マイクロコンピュータ（以下、マイコンという）25、ダイオードD1及びツェナーダイオードZ1を有する。ダイオードD1はFET20の寄生ダイオードである。ダイオードD1のカソード及びアノード夫々は、FET20のドレイン及びソースに接続されている。

[0039] FET20について、ドレインは電線W1の他端に接続され、ソースは電線W2の一端に接続されている。ツェナーダイオードZ1のカソード及びアノード夫々はFET20のドレイン及びソースに接続されている。還流スイッチ21の一端と電圧検出部23とは、FET20のソースに接続されている。還流スイッチ21の他端は接地されている。FET20のゲートは第1駆動部22に接続されている。第1駆動部22、電圧検出部23及び第2駆動部24はマイコン25に各別に接続されている。第1駆動部22は接地されている。

[0040] 以下では、接地電位を基準としたFET20のドレイン、ソース及びゲート夫々の電圧を、ドレイン電圧 V_d 、ソース電圧 V_s 及びゲート電圧 V_g と記載する。また、FET20において、ソースの電位を基準としてゲートの電圧を差分電圧 V_{gs} と記載する（図2及び図3を参照）。FET20において、ソースの電位を基準としたドレインの電圧を差分電圧 V_{ds} と記載する（図4を参照）。

[0041] FET20は、半導体スイッチとして機能する。FET20において、差分電圧 V_{gs} が正の一定電圧以上である場合、ドレイン及びソースを介して電流が流れる。このとき、FET20はオンである。FET20において、

差分電圧 V_{gs} が正の一定電圧未満である場合、ドレイン及びソースを介して電流が流れることはない。このとき $FET20$ はオフである。実施形態 1 では、 $FET20$ のソース、ドレイン及びゲート夫々は、第 1 端、第 2 端及び制御端として機能する。

[0042] 第 1 駆動部 22 には、 $FET20$ のオン又はオフを指示する第 1 指示信号がマイコン 25 から入力されている。第 1 指示信号の指示がオフからオンに切替わった場合、第 1 駆動部 22 は、ゲート電圧 V_g を上昇させることによって、差分電圧 V_{gs} を上昇させ、 $FET20$ をオフからオンに切替える。これにより、電線 $W1$ 、 $W2$ が接続される。

[0043] 第 1 指示信号の指示がオンからオフに切替わった場合、第 1 駆動部 22 は、ゲート電圧 V_g を低下させることによって、差分電圧 V_{gs} を低下させ、 $FET20$ をオンからオフに切替える。これにより、電線 $W1$ 、 $W2$ の接続が遮断される。

第 1 駆動部 22 は第 1 切替え部として機能する。

[0044] ツェナーダイオード $Z1$ は、電圧維持体として機能し、差分電圧 V_{ds} を一定の基準電圧以下に維持する。この基準電圧は、所謂、降伏電圧である。差分電圧 V_{ds} が基準電圧未満である場合、ツェナーダイオード $Z1$ に電流が流れることはない。差分電圧 V_{ds} が基準電圧である場合、ツェナーダイオード $Z1$ では、カソードからアノードに向けて電流が流れる。基準電圧は、バッテリー 11 の両端間の電圧（以下、バッテリー電圧 V_{b1} という）の上限値を超える電圧に設定されている。

[0045] 電圧検出部 23 は、ソース電圧 V_s を検出し、検出したソース電圧 V_s を示す電圧情報をマイコン 25 に出力する。

第 2 駆動部 24 には、還流スイッチ 21 のオン又はオフを指示する第 2 指示信号がマイコン 25 から入力されている。第 2 指示信号の指示がオフからオンに切替わった場合、第 2 駆動部 24 は還流スイッチ 21 をオフからオンに切替える。第 2 指示信号の指示がオンからオフに切替わった場合、第 2 駆動部 24 は還流スイッチ 21 をオンからオフに切替える。還流スイッチ 21

は、F E T、バイポーラトランジスタ又はリレー接点等である。

[0046] マイコン25は、第1指示信号及び第2指示信号夫々の指示を切替える。マイコン25は、例えば、電線W1、W2の接続を指示する接続信号がマイコン25に入力された場合、第1指示信号の指示をオフからオンに切替える。このとき、第1駆動部22はF E T20をオフからオンに切替える。結果、バッテリー11から、電線W1、F E T20及び電線W2を介して、負荷12に電力が供給される。バッテリー11から負荷12に電力が供給されている間、電線W1、W2のインダクタL1、L2夫々にエネルギーが蓄えられる。

[0047] マイコン25は、例えば、電線W1、W2の接続の遮断を指示する遮断信号がマイコン25に入力された場合、第1指示信号の指示をオンからオフに切替えると共に、第2指示信号の指示をオフからオンに切替える。これにより、第1駆動部22はF E T20をオンからオフに切替え、第2駆動部24は還流スイッチ21をオフからオンに切替える。これにより、電線W1、W2の接続が遮断され、バッテリー11から負荷12への電力供給が停止する。更に、還流スイッチ21及びツェナーダイオードZ1の作用により、電線W1、W2のインダクタL1、L2に蓄えられているエネルギーが適切に放出される。

第2駆動部24は、第1駆動部22がF E T20をオンからオフに切替えた場合に還流スイッチ21をオンに切替える第2切替え部として機能する。

[0048] マイコン25は、第2指示信号の指示をオフからオンに切替えてから、電圧検出部23が検出したソース電圧V_sが電圧閾値以上となった場合、第2指示信号の指示をオンからオフに切替える。電圧閾値は、一定であり、予め設定されている。図1の例では、電圧閾値はゼロVである。従って、第2駆動部24は、還流スイッチ21をオフからオンに切替えてから、電圧検出部23が検出したソース電圧V_sが一定の電圧閾値以上となった場合に還流スイッチ21をオンからオフに切替える。

[0049] 図2は還流スイッチ21及びツェナーダイオードZ1が設けられていない

スイッチ回路の動作を示す説明図である。このスイッチ回路は、スイッチ回路10から還流スイッチ21及びツェナーダイオードZ1を取り外した回路である。図2には、ゲート電圧 V_g 、ソース電圧 V_s 及び差分電圧 V_{gs} の推移が示されている。図2には、更に、FET20を流れるスイッチ電流 I_s の推移が示されている。スイッチ電流 I_s は絶対値である。

[0050] 第1指示信号の指示がオンである場合、第1駆動部22はゲート電圧 V_g を予め設定されている設定電圧に調整している。ゲート電圧 V_g が設定電圧に調整されている場合、差分電圧 V_{gs} が正の一定電圧以上であり、FET20はオンである。このとき、差分電圧 V_{gs} は十分に高いため、FET20のドレイン及びソース間の抵抗値は小さい。ゲート電圧 V_g が設定電圧に調整されている場合、FET20のドレイン及びソース間で生じる電圧降下の幅は小さいので、ソース電圧はバッテリー電圧 V_{b1} に略一致している。従って、設定電圧はバッテリー電圧 V_{b1} よりも十分に高い。

[0051] ゲート電圧 V_g が設定電圧に調整されている場合、バッテリー11から、電線W1、FET20及び電線W2を介して負荷12に電流が流れ、電線W1、W2のインダクタL1、L2にエネルギーが蓄積される。このとき、スイッチ電流 I_s は大きい。

[0052] 第1指示信号の指示がオンからオフに切替わった場合、第1駆動部22は、ゲート電圧 V_g をゼロVに低下させる。これにより、FET20のドレイン及びソース間の抵抗値が上昇するため、電線W1、W2を流れる電流が低下する。このとき、電線W1のインダクタL1は、電線W1に流れている電流の大きさを維持するため、ドレイン電圧 V_d を上昇させる。更に、電線W2のインダクタL2は、電線W2に流れている電流の大きさを維持するため、ソース電圧 V_s を低下させる。

[0053] 電線W2のインダクタL2は、差分電圧 V_{gs} が正の一定電圧以上となるまで、ソース電圧 V_s を低下させる。このため、ゲート電圧 V_g がゼロVに調整された後もFET20はオンに維持される。FET20がオンである間、電流が電線W1、FET20及び電線W2の順に流れ、電線W1、W2の

インダクタ L_1 , L_2 に蓄えられているエネルギーは放出される。インダクタ L_1 , L_2 がエネルギーを放出している間、ソース電圧 V_s 及び差分電圧 V_{gs} は一定であり、スイッチ電流 I_s は一定の傾きで低下する。

[0054] 電線 W_1 , W_2 のインダクタ L_1 , L_2 に蓄えられている全てのエネルギーが放出された場合、即ち、スイッチ電流 I_s がゼロAとなった場合、ソース電圧 V_s はゼロVに上昇し、差分電圧 V_{gs} はゼロVに低下する。これにより、FET20はオフとなる。当然のことながら、FET20がオフである場合、スイッチ電流 I_s はゼロAである。

[0055] 電線 W_1 , W_2 のインダクタ L_1 , L_2 がエネルギーを放出している間、差分電圧 V_{gs} は低いので、FET20のドレイン及びソース間の抵抗値は大きい。このため、FET20で消費される電力は大きく、FET20から発生する熱量は大きい。従って、FET20が高温となってFET20の機能が低下する虞がある。

[0056] 図3はスイッチ回路10の動作を示す説明図である。図3には、図2と同様に、ゲート電圧 V_g 、ソース電圧 V_s 、差分電圧 V_{gs} 及びスイッチ電流 I_s の推移が示されている。

第1指示信号の指示がオンである場合、第1駆動部22はゲート電圧 V_g を設定電圧に調整している。ゲート電圧 V_g が設定電圧に調整されている場合、差分電圧 V_{gs} が正の一定電圧以上であり、FET20はオンである。このとき、差分電圧 V_{gs} は十分に高いため、FET20のドレイン及びソース間の抵抗値は小さい。ゲート電圧 V_g が設定電圧に調整されている場合、FET20のドレイン及びソース間で生じる電圧降下の幅は小さいので、ソース電圧 V_s はバッテリー電圧 V_{b1} に略一致している。従って、設定電圧はバッテリー電圧 V_{b1} よりも十分に高い。

[0057] ゲート電圧 V_g が設定電圧に調整されている場合、バッテリー11から、電線 W_1 、FET20及び電線 W_2 を介して負荷12に電流が流れ、電線 W_1 , W_2 のインダクタ L_1 , L_2 にエネルギーが蓄えられる。このとき、スイッチ電流 I_s は大きい。

- [0058] マイコン25は、前述したように、FET20をオンからオフに切替える場合、第1指示信号の指示をオンからオフに切替えると共に、第2指示信号の指示をオフからオンに切替える。これにより、第1駆動部22はゲート電圧 V_g をゼロVに低下させ、第2駆動部24は還流スイッチ21をオフからオンに切替える。
- [0059] ゲート電圧 V_g がゼロVに低下した場合、前述したように、電線W1のインダクタL1はドレイン電圧 V_d を上昇させ、電線W2のインダクタL2はソース電圧 V_s を低下させる。ここで、還流スイッチ21がオンであるため、電線W2から電流が負荷12及び還流スイッチ21の順に流れ、電線W2のインダクタL2はエネルギーを放出する。電線W2のインダクタL2は、還流スイッチ21を介してエネルギーを放出することが可能な分だけソース電圧 V_s を低下させる。このため、ソース電圧 V_s はゼロVから殆ど低下することはない。
- [0060] ソース電圧 V_s はゼロVから殆ど低下しないため、電線W2のインダクタL2がエネルギーを放出している間、差分電圧 V_{gs} は正の一定電圧未満である。従って、ゲート電圧 V_g がゼロVに低下した場合、FET20はオンからオフに切替わり、その後、FET20はオフに維持される。従って、FET20がオフに切替わった場合にFET20で発生する熱量は小さい。
- [0061] 電線W2のインダクタL2がエネルギーを放出している間、ソース電圧 V_s 及び差分電圧 V_{gs} は一定であり、還流スイッチ21を流れる電流は一定の傾きで低下する。電線W2のインダクタL2に蓄えられている全てのエネルギーが放出された場合、即ち、還流スイッチ21を流れる電流がゼロAとなった場合、ソース電圧 V_s はゼロVに上昇し、差分電圧 V_{gs} はゼロVに低下する。これにより、FET20は、オンに切替わることはなく、オフに維持される。
- [0062] ゲート電圧 V_g がゼロVに調整されている間、FET20はオフに維持されているので、スイッチ電流 I_s はゼロAに維持されている。電圧検出部23が検出した電圧、即ち、ソース電圧 V_s がゼロV以上となった場合、マイ

コン25は第2指示信号の指示をオンからオフに切替え、第2駆動部24は還流スイッチ21をオンからオフに切替える。従って、電線W2のインダクタL2に蓄えられている全てのエネルギーが放出された後に、還流スイッチ21はオンからオフに切替わる。

[0063] 図4はスイッチ回路10の動作を示す他の説明図である。図4には、ゲート電圧 V_g 及び差分電圧 V_{ds} の推移が示されている。図4には、更に、ツェナーダイオードZ1を流れるダイオード電流 I_a の推移が示されている。ダイオード電流 I_a は絶対値である。図3及び図4に示すゲート電圧 V_g の推移は同じである。

[0064] ゲート電圧 V_g がゼロVに調整された場合、電線W2のインダクタL2に蓄えられているエネルギーは還流スイッチ21を介して放出されるので、ソース電圧 V_s は略ゼロVである。しかしながら、電線W1のインダクタL1はドレイン電圧 V_d を上昇させるので、差分電圧 V_{ds} は、ツェナーダイオードZ1の基準電圧まで上昇する。差分電圧 V_{ds} が基準電圧に到達した場合、電線W1からツェナーダイオードZ1を介して電流が流れ、電線W1のインダクタL1に蓄えられているエネルギーは放出される。差分電圧 V_{ds} は基準電圧以下に維持される。このため、FET20のドレイン及びソース間に大きな電圧が印加されることはない。

[0065] 電線W1のインダクタL1がエネルギーを放出している間、ドレイン電圧 V_d 及び差分電圧 V_{ds} は一定である。ダイオード電流 I_a は、ゲート電圧 V_g が設定電圧に調整されている場合、差分電圧 V_{ds} は略ゼロVであるため、ゼロAである。ダイオード電流 I_a は、ゲート電圧 V_g が設定電圧からゼロVに調整された場合、上昇する。電線W1のインダクタL1がエネルギーを放出している間、ダイオード電流 I_a は一定の傾きで低下する。

[0066] 電線W1のインダクタL1に蓄えられている全てのエネルギーは放出された場合、即ち、ダイオード電流 I_a がゼロAとなった場合、差分電圧 V_{ds} は、基準電圧から、バッテリー電圧 V_{b1} に低下する。差分電圧 V_{ds} が基準電圧未満である間、ダイオード電流 I_a はゼロAである。第2駆動部24が

還流スイッチ 21 をオンからオフに切替えるタイミングは、ダイオード電流 I_a がゼロ A となるタイミングと略一致する。

[0067] (実施形態 2)

図 5 は実施形態 2 における電源装置 1 の要部構成を示すブロック図である。

以下では、実施形態 2 について、実施形態 1 と異なる点を説明する。後述する構成を除く他の構成については、実施形態 1 と共通しているため、実施形態 1 と共通する構成部には実施形態 1 と同一の参照符号を付してその説明を省略する。

[0068] 実施形態 2 における電源装置 1 では、実施形態 1 における電源装置 1 と比較してスイッチ回路 10 の構成が異なる。実施形態 2 におけるスイッチ回路 10 は、実施形態 1 におけるスイッチ回路 10 が有する構成部について、還流スイッチ 21、電圧検出部 23 及び第 2 駆動部 24 の代わりに、還流ダイオード 26 を有する。還流ダイオード 26 のカソードは FET 20 のソースに接続されており、還流ダイオード 26 のアノードは接地されている。従って、FET 20 がオンである場合、ソース電圧 V_s は正の電圧であるため、還流ダイオード 26 を電流が流れることはない。

[0069] 実施形態 2 におけるスイッチ回路 10 において、ゲート電圧 V_g 、ソース電圧 V_s 、差分電圧 V_{gs} 、スイッチ電流 I_s 、差分電圧 V_{ds} 及びダイオード電流 I_a は、以下の相違点を除いて実施形態 1 と同様に推移する。実施形態 1, 2 におけるこれらの推移に関する相違点を説明する。

[0070] ゲート電圧 V_g をゼロ V に低下した場合、実施形態 1 と同様に、ドレイン電圧 V_d は上昇し、ソース電圧 V_s は低下する。還流ダイオード 26 において、カソードの電位を基準としたアノードの電圧が順方向電圧以上となった場合、電線 W2 から電流が負荷 12 及び還流ダイオード 26 の順に流れ、電線 W2 のインダクタ L2 はエネルギーを放出する。順方向電圧は、還流ダイオード 26 に電流が流れた場合に還流ダイオード 26 で生じる電圧降下の幅である。電線 W2 のインダクタ L2 は、還流ダイオード 26 を介してエネル

ギーを放出することが可能な分だけソース電圧 V_s を低下させる。従って、ソース電圧 V_s は、絶対値が順方向電圧と一致する負の電圧に維持される。このため、ソース電圧 V_s はゼロVから殆ど低下することはない。

[0071] ソース電圧 V_s はゼロVから殆ど低下しないため、電線W2のインダクタ L_2 がエネルギーを放出している間、差分電圧 V_{gs} は正の一定電圧未満である。従って、ゲート電圧 V_g がゼロVに低下した場合、FET20はオンからオフに切替わり、その後、FET20はオフに維持される。従って、FET20がオフに切替わった場合にFET20で発生する熱量は小さい。

[0072] 電線W2のインダクタ L_2 がエネルギーを放出している間、ソース電圧 V_s 及び差分電圧 V_{gs} は一定であり、還流ダイオード26を流れる電流は一定の傾きで低下する。電線W2のインダクタ L_2 に蓄えられている全てのエネルギーが放出された場合、即ち、還流ダイオード26を流れる電流がゼロAとなった場合、ソース電圧 V_s はゼロVに上昇し、差分電圧 V_{gs} はゼロVに低下する。これにより、FET20は、オンに切替わることはなく、オフに維持される。ゲート電圧 V_g がゼロVに調整されている間、FET20はオフに維持されているので、スイッチ電流 I_s はゼロAに維持されている。

実施形態2における電源装置1及びスイッチ回路10は実施形態1と同様の効果を奏する。

[0073] (実施形態3)

図6は実施形態3における電源装置1の要部構成を示すブロック図である。

以下では、実施形態3について、実施形態1と異なる点を説明する。後述する構成を除く他の構成については、実施形態1と共通しているため、実施形態1と共通する構成部には実施形態1と同一の参照符号を付してその説明を省略する。

[0074] 実施形態3における電源装置1では、実施形態1における電源装置1と比較してスイッチ回路10の構成が異なる。実施形態3におけるスイッチ回路

10が有するFET20、ダイオードD1及びツェナーダイオードZ1夫々の数は2以上である。

[0075] 複数のFET20、20、・・・夫々にダイオードD1が実施形態1と同様に接続されている。従って、ダイオードD1の数はFET20の数と同じである。複数のFET20、20、・・・夫々は実施形態1と同様に接続されている。従って、各FET20のドレイン及びソース夫々は、他のFET20のドレイン及びソースに接続されている。複数のFET20、20、・・・夫々のゲートは第1駆動部22の共通の一端に接続されている。複数のツェナーダイオードZ1、Z1、・・・夫々は実施形態1と同様に接続されている。従って、各ツェナーダイオードZ1のカソード及びアノード夫々は、他のツェナーダイオードZ1のカソード及びアノードに接続されている。

[0076] 第1駆動部22は、複数のFET20、20、・・・を同時にオン又はオフに切替える。ここで、「同時」は、オン又はオフへの切替えのタイミングが完全に一致していることだけではなく、オン又はオフへの切替えのタイミングが実質的に一致していることも意味する。また、ツェナーダイオードZ1、Z1、・・・の基準電圧は略一致している。

実施形態3における電源装置1及びスイッチ回路10は実施形態1と同様の効果を奏する。

[0077] なお、実施形態3において、FET20の数が1であって、ツェナーダイオードZ1の数が2以上であってもよい。更に、ツェナーダイオードZ1の数が1であって、FET20の数が2以上であってもよい。また、実施形態3におけるスイッチ回路10は、還流スイッチ21、電圧検出部23及び第2駆動部24の代わりに、実施形態2と同様に、還流ダイオード26を有する構成であってもよい。

[0078] (実施形態4)

図7は実施形態4における電源装置1の要部構成を示すブロック図である。

以下では、実施形態4について、実施形態1と異なる点を説明する。後述

する構成を除く他の構成については、実施形態 1 と共通しているため、実施形態 1 と共通する構成部には実施形態 1 と同一の参照符号を付してその説明を省略する。

[0079] 実施形態 4 における電源装置 1 は、スイッチ回路 10、バッテリー 11、負荷 12 及び電線 W1、W2 に加えて、負荷 30 及びバッテリー 31 を備える。負荷 30 の一端はバッテリー 11 の正極に接続されており、バッテリー 31 の正極は、負荷 12 及び電線 W2 間の接続ノードに接続されている。負荷 30 の他端と、バッテリー 31 の負極とは接地されている。バッテリー 11、31 はスイッチ回路 10 を介して接続される。

[0080] スwitch回路 10 が電線 W1、W2 を接続している場合において、バッテリー電圧 V_{b1} がバッテリー 31 の両端間の電圧（以下、バッテリー電圧 V_{b2} という）よりも高いとき、バッテリー 11 は、負荷 12、30 及びバッテリー 31 に電力を供給する。これにより、バッテリー 31 は充電される。同様の場合において、バッテリー電圧 V_{b2} がバッテリー電圧 V_{b1} よりも高いとき、バッテリー 31 は、負荷 12、30 及びバッテリー 11 に電力を供給する。これにより、バッテリー 11 は充電される。バッテリー 11、31 夫々は蓄電器として機能する。

[0081] スwitch回路 10 が電線 W1、W2 の接続を遮断している場合、バッテリー 11 は負荷 30 に電力を供給し、バッテリー 31 は負荷 12 に電力を供給する。

負荷 30 も車両に搭載された電気機器である。負荷 12、30 夫々は、バッテリー 11、31 の一方から供給された電力を用いて作動する。

[0082] 実施形態 4 におけるスイッチ回路 10 は、実施形態 1 におけるスイッチ回路 10 の構成部に加えて、Nチャネル型の FET 40、ダイオード D2 及びツェナーダイオード Z2 を有する。ダイオード D2 は FET 40 の寄生ダイオードである。ダイオード D2 のカソード及びアノード夫々は、FET 40 のドレイン及びソースに接続されている。

[0083] FET 40 について、ソースは FET 20 のソースに接続され、ドレイン

は電線W2の一端に接続されている。FET20, 40夫々のゲートは、第1駆動部22の共通の一端に接続されている。ツェナーダイオードZ2のカソード及びアノード夫々はFET40のドレイン及びソースに接続されている。還流スイッチ21の一端は、FET20, 40夫々のソースに接続されている。還流スイッチ21の他端は接地されている。電圧検出部23は、FET20, 40のソースと、マイコン25とに接続されている。

FET20のソースは、FET40、ダイオードD2又はツェナーダイオードZ2を介して電線W2の一端に接続されている。FET40のソースは、FET20、ダイオードD1又はツェナーダイオードZ1を介して電線W1の他端に接続されている。

[0084] 以下では、接地電位を基準としたFET20, 40夫々のドレインの電圧をドレイン電圧 V_{d1} , V_{d2} と記載する。また、FET20について、ソースの電位を基準としたドレインの電圧を差分電圧 V_{ds1} と記載する。FET40について、ソースの電位を基準としたドレインの電圧を差分電圧 V_{ds2} と記載する。FET20, 40について、接地電位を基準としたゲート電圧は同一であり、接地電位を基準としたソース電圧も同一であり、ソースの電位を基準としたゲートの電圧も同一である。

[0085] FET40も半導体スイッチとして機能する。FET40において、差分電圧 V_{gs} が正の一定電圧以上である場合、ドレイン及びソースを介して電流が流れる。このとき、FET40はオンである。FET40において、差分電圧 V_{gs} が正の一定電圧未満である場合、ドレイン及びソースを介して電流が流れることはない。このとき、FET40はオフである。FET20, 40に係る一定電圧は略一致している。

FET20, 40のソースの中で一方が第1端として機能し、他方が第3端として機能する。FET20, 40のドレインの中で一方が第2端として機能し、他方が第4端として機能する。FET40のゲートの中で一方が制御端として機能し、他方が第2の制御端として機能する。

[0086] ツェナーダイオードZ1は実施形態1と同様に作用する。従って、ツェナ

ーダイオード $Z1$ は差分電圧 V_{ds1} を基準電圧以下に維持する。ツェナーダイオード $Z2$ も、ツェナーダイオード $Z1$ と同様に電圧維持体として機能し、差分電圧 V_{ds2} を一定の第2の基準電圧以下に維持する。この第2の基準電圧も、所謂、降伏電圧である。差分電圧 V_{ds2} が第2の基準電圧未満である場合、ツェナーダイオード $Z2$ に電流が流れることはない。差分電圧 V_{ds2} が第2の基準電圧である場合、ツェナーダイオード $Z2$ では、カソードからアノードに向けて電流が流れる。基準電圧及び第2の基準電圧夫々は、バッテリー電圧 V_{b1} 、 V_{b2} の差分の最大値よりも高い電圧に設定されている。

また、ツェナーダイオード $Z1$ 、 $Z2$ について、電流が順方向に流れる場合、通常のダイオードと同様に機能する。従って、ツェナーダイオード $Z1$ 、 $Z2$ 夫々では、カソードの電位を基準としたアノードの電圧が一定の電圧以上である場合、電流が順方向に流れる。

[0087] 第1指示信号は、 $FET20$ 、 40 のオン又はオフを指示する。第1指示信号の指示がオフからオンに切替わった場合、第1駆動部22は、ゲート電圧 V_g を上昇させることによって、差分電圧 V_{gs} を上昇され、 $FET20$ 、 40 をオフからオンに同時に切替える。これにより、電線 $W1$ 、 $W2$ が接続される。第1指示信号の指示がオンからオフに切替わった場合、第1駆動部22は、ゲート電圧 V_g を低下させることによって、差分電圧 V_{gs} を低下させ、 $FET20$ 、 40 をオンからオフに同時に切替える。これにより、電線 $W1$ 、 $W2$ の接続が遮断される。ここで、「同時」の意味は、実施形態3で述べた「同時」の意味と同じである。

前述したように、 $FET20$ 、 40 のソースが互いに接続されているため、 $FET20$ 、 40 がオフである場合、ダイオード $D1$ 、 $D2$ を介して電流が流れることはない。

[0088] 実施形態4において、ゲート電圧 V_g に応じて、ソース電圧 V_s 、差分電圧 V_{gs} 及びスイッチ電流 I_s 夫々は実施形態1と同様に推移する。ここで、スイッチ電流 I_s は $FET20$ 、 40 を介して流れる電流の絶対値である

。

- [0089] ゲート電圧 V_g が設定電圧である場合、差分電圧 V_{gs} が一定電圧以上であるため、FET 20, 40 はオンである。FET 20, 40 がオンである場合、電線 W1, W2 に電流が流れ、電線 W1, W2 のインダクタ L_1, L_2 にエネルギーが蓄えられる。
- [0090] 電流が電線 W1、FET 20, 40 及び電線 W2 の順に流れている場合において、ゲート電圧 V_g が設定電圧からゼロ V に調整されたとき、ドレイン電圧 V_{d1} は上昇し、ドレイン電圧 V_{d2} は低下する。ドレイン電圧 V_{d2} の低下と共に、ソース電圧 V_s も低下する。
- [0091] ゲート電圧 V_g がゼロ V に調整された場合、還流スイッチ 21 がオンであるため、電線 W2 から電流が負荷 12 又はバッテリー 31 を介して還流スイッチ 21 を流れ、電線 W2 のインダクタ L_2 に蓄えられているエネルギーが放出される。このため、電線 W2 のインダクタ L_2 がエネルギーを放出している間、ソース電圧 V_s は、実施形態 1 と同様に、殆ど低下せず、差分電圧 V_{gs} が一定電圧未満である。結果、ゲート電圧 V_g がゼロ V に調整された後、FET 20, 40 はオフに維持される。
- [0092] 電流が電線 W1、FET 20, 40 及び電線 W2 の順に流れている場合においては、差分電圧 V_{ds1} と、ツェナーダイオード Z1 を流れるダイオード電流 I_a とは実施形態 1 と同様に推移する。従って、ゲート電圧 V_g が設定電圧からゼロ V に調整された場合において、ドレイン電圧 V_{d1} が上昇したとき、差分電圧 V_{ds1} は基準電圧まで上昇する。差分電圧 V_{ds1} が基準電圧に到達した場合、電線 W1 からツェナーダイオード Z1 を介して電流が流れ、電線 W1 のインダクタ L_1 に蓄えられているエネルギーは放出される。差分電圧 V_{ds1} は基準電圧以下に維持される。
- [0093] 電流が電線 W2、FET 40, 20 及び電線 W1 の順に流れている場合において、ゲート電圧 V_g が設定電圧からゼロ V に調整されたとき、ドレイン電圧 V_{d2} は上昇し、ドレイン電圧 V_{d1} は低下する。ドレイン電圧 V_{d1} の低下と共に、ソース電圧 V_s も低下する。

[0094] ゲート電圧 V_g がゼロVに調整された場合、還流スイッチ21がオンであるため、電線W1から電流がバッテリー11又は負荷30を介して還流スイッチ21を流れ、電線W1のインダクタL1に蓄えられているエネルギーが放出される。このため、電線W1のインダクタL1がエネルギーを放出している間、ソース電圧 V_s は、実施形態1と同様に、殆ど低下することはない。結果、ゲート電圧 V_g がゼロVに調整された後、FET20, 40はオフに維持される。

[0095] 電流が電線W2、FET40, 20及び電線W1の順に流れている場合においては、差分電圧 V_{ds2} と、ツェナーダイオードZ2を流れるダイオード電流 I_b とは実施形態1と同様に推移する。従って、ゲート電圧 V_g が設定電圧からゼロVに調整された場合において、ドレイン電圧 V_d2 が上昇したとき、差分電圧 V_{ds2} は第2の基準電圧まで上昇する。差分電圧 V_{ds2} が第2の基準電圧に到達した場合、電線W2からツェナーダイオードZ2を介して電流が流れ、電線W2のインダクタL2に蓄えられているエネルギーは放出される。差分電圧 V_{ds2} は第2の基準電圧以下に維持される。

実施形態4における電源装置1及びスイッチ回路10は実施形態1と同様の効果を奏する。

[0096] (実施形態5)

図8は実施形態5における電源装置1の要部構成を示すブロック図である。

以下では、実施形態5について、実施形態4と異なる点を説明する。後述する構成を除く他の構成については、実施形態4と共通しているため、実施形態4と共通する構成部には実施形態4と同一の参照符号を付してその説明を省略する。

[0097] 実施形態5における電源装置1では、実施形態4における電源装置1と比較して、スイッチ回路10の構成が異なる。実施形態5におけるスイッチ回路10では、ツェナーダイオードZ1, Z2のアノードが互いに接続されている。ツェナーダイオードZ1, Z2のアノードはFET20, 40夫々の

ソースに接続されていない。

以下では、FET20, 40のドレイン間の電圧の絶対値を差分電圧 V_d と記載する。

[0098] 実施形態5におけるスイッチ回路10では、電流が電線W1、FET20, 40及び電線W2の順に流れている場合において、ゲート電圧 V_g が設定電圧からゼロVに調整されたとき、ドレイン電圧 V_{d1} は上昇し、差分電圧 V_{dd} は一定の第3の基準電圧まで上昇する。差分電圧 V_{dd} が第3の基準電圧に到達した場合、ツェナーダイオードZ1, Z2を電流が流れ、差分電圧 V_{dd} は第3の基準電圧以下に維持される。差分電圧 V_{ds1} は差分電圧 V_{dd} よりも低い。このため、差分電圧 V_{ds1} も第3の基準電圧以下に維持される。ツェナーダイオードZ1, Z2の直列回路も電圧維持体として機能する。

[0099] 同様に、電流が電線W2、FET40, 20及び電線W1の順に流れている場合において、ゲート電圧 V_g が設定電圧からゼロVに調整されたとき、ドレイン電圧 V_{d2} は上昇し、差分電圧 V_{dd} は第3の基準電圧まで上昇する。差分電圧 V_{dd} が第3の基準電圧に到達した場合、ツェナーダイオードZ1, Z2を電流が流れ、差分電圧 V_{dd} は第3の基準電圧以下に維持される。差分電圧 V_{ds2} は差分電圧 V_{dd} よりも低い。このため、差分電圧 V_{ds2} も第3の基準電圧以下に維持される。

実施形態5における電源装置1及びスイッチ回路10は実施形態4と同様の効果を奏する。

[0100] なお、実施形態5においては、ツェナーダイオードZ1, Z2のカソードが互いに接続されていてもよい。この場合、ツェナーダイオードZ1, Z2夫々のアノードはFET20, 40のドレインに接続される。また、一方のアノードが他方のアノードに接続されているか、又は、一方のカソードが他方のカソードに接続されているツェナーダイオードZ1, Z2の直列回路の数は2以上であってもよい。この場合、複数の直列回路が並列に接続される。

[0101] また、実施形態４，５におけるスイッチ回路１０は、実施形態２と同様に、還流スイッチ２１、電圧検出部２３及び第２駆動部２４の代わりに、還流ダイオード２６を有する構成であってもよい。この場合、還流ダイオード２６について、カソードは、ＦＥＴ２０，４０のソースに接続され、アノードが接地されている。実施形態２と同様に、ソース電圧 V_s が、絶対値が還流ダイオード２６の順方向電圧である負の電圧となった場合、電流が電線Ｗ１又は電線Ｗ２から還流ダイオード２６を流れ、電線Ｗ１又は電線Ｗ２はエネルギーを放出する。

[0102] （実施形態６）

図９は実施形態６の電源装置１の要部構成を示すブロック図である。

以下では、実施形態６について、実施形態４と異なる点を説明する。後述する構成を除く他の構成については、実施形態４と共通しているため、実施形態４と共通する構成部には実施形態１と同一の参照符号を付してその説明を省略する。

[0103] 実施形態６における電源装置１では、実施形態４における電源装置１と比較して、スイッチ回路１０の構成が異なる。実施形態６におけるスイッチ回路１０は、実施形態４におけるスイッチ回路１０が有する構成部に加えて、還流スイッチ４１、第３駆動部４２、電流センサ４３及び電圧検出部４４を有する。

[0104] ＦＥＴ４０のソースは電線Ｗ１の他端に接続されている。ＦＥＴ４０のドレインはＦＥＴ２０のドレインに接続されている。ＦＥＴ２０のソースは電線Ｗ２の一端に接続されている。実施形態４と同様に、ツェナーダイオードＺ１のカソード及びアノード夫々はＦＥＴ２０のドレイン及びソースに接続され、ツェナーダイオードＺ２のカソード及びアノード夫々はＦＥＴ４０のドレイン及びソースに接続されている。

[0105] ＦＥＴ４０のソースには、更に、還流スイッチ４１の一端が接続されている。還流スイッチ４１の他端は接地されている。第３駆動部４２及び電流センサ４３はマイコン２５に各別に接続されている。電圧検出部４４は、ＦＥ

T40のソースと、マイコン25とに各別に接続されている。還流スイッチ21の一端はFET20のソースに接続され、還流スイッチ21の他端は接地されている。電圧検出部23は、FET20のソースと、マイコン25とに各別に接続されている。

FET20, 40のドレインが互いに接続されているため、FET20, 40がオフである場合、ダイオードD1, D2を介して電流が流れることはない。

[0106] 以下では、接地電位を基準としたFET20, 40夫々のソースの電圧をソース電圧 V_{s1} , V_{s2} と記載する。接地電位を基準としたFET20, 40のドレインの電圧は同じである。接地電位を基準としたFET20のドレインの電圧をドレイン電圧 V_d と記載する。FET20について、ソースの電位を基準としたゲート及びドレイン夫々の電圧を差分電圧 V_{gs1} , V_{ds1} と記載する。FET40について、ソースの電位を基準としたゲート及びドレイン夫々の電圧を差分電圧 V_{gs2} , V_{ds2} と記載する。FET20のソースの電位を基準としたFET40のソースの電圧を差分電圧 V_{ss} と記載する。

[0107] 電圧検出部23は、ソース電圧 V_{s1} を検出し、検出したソース電圧 V_{s1} を示す電圧情報をマイコン25に出力する。同様に、電圧検出部44は、ソース電圧 V_{s2} を検出し、検出したソース電圧 V_{s2} を示す電圧情報をマイコン25に出力する。

[0108] 第3駆動部42には、還流スイッチ41のオン又はオフを指示する第3指示信号がマイコン25から入力されている。第3指示信号の指示がオフからオンに切替わった場合、第3駆動部42は還流スイッチ41をオフからオンに切替える。第3指示信号の指示がオンからオフに切替わった場合、第3駆動部42は還流スイッチ41をオンからオフに切替える。マイコン25は、第3指示信号の指示を切替える。還流スイッチ41は、FET、バイポーラトランジスタ又はリレー接点等である。

実施形態5では、第2駆動部24及び第3駆動部42夫々が第2切替え部

として機能する。

[0109] 電流センサ43は、FET20、40のドレインを流れる電流を検出する。電流センサ43は、FET20のソースからFET40のソースに電流が流れている場合に正の電流を検出し、FET40のソースからFET20のソースに電流が流れている場合に負の電流を検出する。電流センサ43は、検出した電流を示す電流情報をマイコン25に出力する。FET20、40がオンである場合において、マイコン25は、電流センサ43から入力された電流情報が示す電流が正の電圧があるか否かに基づいて、電流が電線W1、FET40、20及び電線W2の順に流れているか、又は、電流が電線W2、FET20、40及び電線W1の順に流れているかを判定する。

なお、電流センサ43は、FET20のソースからFET40のソースに電流が流れている場合に負の電流を検出し、FET40のソースからFET20のソースに電流が流れている場合に正の電流を検出してもよい。

[0110] マイコン25は、例えば、実施形態1で述べた接続信号がマイコン25に入力された場合、第1指示信号の指示をオフからオンに切替える。これにより、第1駆動部22はFET20、40をオンに切替える。

マイコン25は、電流が電線W1、FET40、20及び電線W2の順に流れている場合において、例えば、実施形態1で述べた遮断信号がマイコン25に入力されたとき、第1指示信号の指示をオンからオフに切替えると共に、第2指示信号の指示をオフからオンに切替える。第2指示信号をオンに切替えてから、電圧検出部23が検出したソース電圧 V_{s1} が電圧閾値以上となった場合、第2指示信号の指示をオンからオフに切替える。従って、第1駆動部22がFET20、40をオフに切替えると共に第2駆動部24は還流スイッチ21をオフからオンに切替える。還流スイッチ21がオンに切替わってから、電圧検出部23が検出したソース電圧 V_{s1} が電圧閾値以上となった場合、第2駆動部24は還流スイッチ21をオンからオフに切替える。

[0111] マイコン25は、電流が電線W2、FET20、40及び電線W1の順に

流れている場合において、例えば、実施形態 1 で述べた遮断信号がマイコン 25 に入力されたとき、第 1 指示信号の指示をオンからオフに切替えると共に、第 3 指示信号の指示をオフからオンに切替える。第 3 指示信号をオンに切替えてから、電圧検出部 44 が検出したソース電圧 $V_s 2$ が第 2 の電圧閾値以上となった場合、第 3 指示信号の指示をオンからオフに切替える。従って、第 1 駆動部 22 が FET 20, 40 をオフに切替えると共に第 3 駆動部 42 は還流スイッチ 41 をオフからオンに切替える。還流スイッチ 41 がオンに切替わってから、電圧検出部 44 が検出したソース電圧 $V_s 2$ が第 2 の電圧閾値以上となった場合、第 3 駆動部 42 は還流スイッチ 41 をオンからオフに切替える。第 2 の電圧閾値は、一定であり、予め設定されている。図 9 の例では、電圧閾値及び第 2 の電圧閾値はゼロ V である。

[0112] 電流が電線 W1、FET 40, 20 及び電線 W2 の順に流れている場合において、ゲート電圧 V_g が設定電圧からゼロ V に調整されたとき、ソース電圧 $V_s 1$ は低下する。このとき、還流スイッチ 21 はオンである。このため、電線 W2 から電流が負荷 12 又はバッテリー 31 を介して還流スイッチ 21 を流れ、FET 20, 40 がオンである間に電線 W2 のインダクタ L2 に蓄えられているエネルギーが放出される。このため、電線 W2 のインダクタ L2 がエネルギーを放出している間、ソース電圧 $V_s 1$ は殆ど低下せず、差分電圧 $V_{gs 1}$ は正の一定電圧未満である。結果、ゲート電圧 V_g がゼロ V に調整された後、FET 20 はオフに維持される。電線 W2 のインダクタ L2 に蓄えられている全てのエネルギーが放出されて、電圧検出部 23 が検出したソース電圧 $V_s 1$ が電圧閾値以上となった場合、還流スイッチ 21 はオフに切替わる。

[0113] 電流が電線 W1、FET 40, 20 及び電線 W2 の順に流れている場合において、ゲート電圧 V_g が設定電圧からゼロ V に調整されたとき、ソース電圧 $V_s 2$ はバッテリー電圧 $V_b 1$ から上昇する。このため、差分電圧 $V_{gs 2}$ は、ゼロ V 以下であり、正の一定電圧未満である。結果、ゲート電圧 V_g がゼロ V に調整された後、FET 40 もオフに維持される。

- [0114] 電流が電線W1、FET40、20及び電線W2の順に流れている場合において、ゲート電圧 V_g が設定電圧からゼロVに調整されたとき、前述したようにソース電圧 V_{s2} が上昇するので、ドレイン電圧 V_d も上昇する。これにより、差分電圧 V_{ds1} は基準電圧まで上昇する。差分電圧 V_{ds1} が基準電圧に到達した場合、電線W1からツェナーダイオードZ1を電流が流れ、電線W1のインダクタL1に蓄えられているエネルギーは放出される。差分電圧 V_{ds1} は基準電圧以下に維持される。
- [0115] 電流が電線W2、FET20、40及び電線W1の順に流れている場合において、ゲート電圧 V_g が設定電圧からゼロVに調整されたとき、ソース電圧 V_{s2} は低下する。このとき、還流スイッチ41はオンである。このため、電線W1から電流がバッテリー11及び負荷30を介して還流スイッチ41を流れ、FET20、40がオンである間に電線W1のインダクタL2に蓄えられているエネルギーが放出される。このため、電線W1のインダクタL1がエネルギーを放出している間、ソース電圧 V_{s2} は殆ど低下せず、差分電圧 V_{gs2} は正の一定電圧未満である。結果、ゲート電圧 V_g がゼロVに調整された後、FET40はオフに維持される。電線W1のインダクタL1に蓄えられている全てのエネルギーが放出されて、電圧検出部44が検出したソース電圧 V_{s2} が第2の電圧閾値以上となった場合、還流スイッチ41はオフに切替わる。
- [0116] 電流が電線W2、FET20、40及び電線W1の順に流れている場合において、ゲート電圧 V_g が設定電圧からゼロVに調整されたとき、ソース電圧 V_{s1} はバッテリー電圧 V_{b2} から上昇する。このため、差分電圧 V_{gs1} は、ゼロV以下であり、正の一定電圧未満である。結果、ゲート電圧 V_g がゼロVに調整された後、FET20もオフに維持される。
- [0117] 電流が電線W2、FET20、40及び電線W1の順に流れている場合において、ゲート電圧 V_g が設定電圧からゼロVに調整されたとき、前述したようにソース電圧 V_{s1} が上昇するので、ドレイン電圧 V_d も上昇する。これにより、差分電圧 V_{ds2} は第2の基準電圧まで上昇する。差分電圧 V_d

s 2 が第 2 の基準電圧に到達した場合、電線 W 2 からツェナーダイオード Z 2 を電流が流れ、電線 W 2 のインダクタ L 2 に蓄えられているエネルギーは放出される。差分電圧 V_{ds1} は第 2 の基準電圧以下に維持される。

実施形態 6 における電源装置 1 及びスイッチ回路 10 は実施形態 4 と同様の効果を奏する。

[0118] (実施形態 7)

図 10 は実施形態 7 における電源装置 1 の要部構成を示すブロック図である。

以下では、実施形態 7 について、実施形態 6 と異なる点を説明する。後述する構成を除く他の構成については、実施形態 6 と共通しているため、実施形態 6 と共通する構成部には実施形態 6 と同一の参照符号を付してその説明を省略する。

[0119] 実施形態 7 における電源装置 1 では、実施形態 6 における電源装置 1 と比較して、スイッチ回路 10 の構成が異なる。実施形態 7 におけるスイッチ回路 10 は、実施形態 6 におけるスイッチ回路 10 が有する構成部について、還流スイッチ 21、電圧検出部 23 及び第 2 駆動部 24 の代わりに、実施形態 2 で述べた還流ダイオード 26 を有し、還流スイッチ 41、第 3 駆動部 42 及び電圧検出部 44 の代わりに還流ダイオード 45 を有している。実施形態 2 におけるスイッチ回路 10 では、電流センサ 43 は設けられていなくてもよい。

還流ダイオード 26 について、カソードは FET 20 のソースに接続され、アノードは接地されている。還流ダイオード 45 について、カソードは FET 40 のソースに接続され、アノードは接地されている。従って、FET 20、40 がオンである場合、ソース電圧 V_{s1} 、 V_{s2} は正の電圧であるため、還流ダイオード 26、45 を電流が流れることはない。

[0120] 実施形態 7 におけるスイッチ回路 10 は、以下の相違点を除いて実施形態 6 と同様に作用する。実施形態 6、7 におけるスイッチ回路 10 の作用について、相違点を説明する。

マイコン25は、実施形態6と同様に、第1指示信号をオン又はオフに切替え、第1駆動部22は第1指示信号の指示に従ってFET20, 40をオン又はオフに切替える。第1駆動部22は切替え部としても機能する。

[0121] 電流が電線W1、FET40, 20及び電線W2の順に流れている場合において、ゲート電圧 V_g が設定電圧からゼロVに調整されたとき、ソース電圧 V_{s1} は低下する。ソース電圧 V_{s1} が、絶対値が還流ダイオード26の順方向電圧である負の電圧となった場合、電線W2から電流が負荷12又はバッテリー31を介して還流ダイオード26を流れ、FET20, 40がオンである間に電線W2のインダクタL2に蓄えられたエネルギーが放出される。このため、電線W2のインダクタL2がエネルギーを放出している間、ソース電圧 V_{s1} は殆ど低下せず、差分電圧 V_{gs1} は正の一定の電圧未満である。結果、ゲート電圧 V_g がゼロVに調整された後、FET20はオフに維持される。

[0122] 電流が電線W1、FET40, 20及び電線W2の順に流れている場合において、ゲート電圧 V_g が設定電圧からゼロVに調整されたとき、ソース電圧 V_{s2} はバッテリー電圧 V_{b1} から上昇する。このため、差分電圧 V_{gs2} は、ゼロV以下であり、正の一定電圧未満である。結果、ゲート電圧 V_g がゼロVに調整された後、FET40もオフに維持される。また、還流ダイオード45に電流が流れることはない。

[0123] 電流が電線W2、FET20, 40及び電線W1の順に流れている場合において、ゲート電圧 V_g が設定電圧からゼロVに調整されたとき、ソース電圧 V_{s2} は低下する。ソース電圧 V_{s2} が、絶対値が還流ダイオード45の順方向電圧である負の電圧となった場合、電線W1から電流がバッテリー11又は負荷30を介して還流ダイオード45を流れ、FET20, 40がオンである間に電線W1のインダクタL1に蓄えられたエネルギーが放出される。このため、電線W1のインダクタL1がエネルギーを放出している間、ソース電圧 V_{s2} は殆ど低下せず、差分電圧 V_{gs2} は正の一定の電圧未満である。結果、ゲート電圧 V_g がゼロVに調整された後、FET40はオフに

維持される。

還流ダイオード45の順方向電圧は、還流ダイオード26の順方向電圧と同様に定義される。

[0124] 電流が電線W2、FET20、40及び電線W1の順に流れている場合において、ゲート電圧 V_g が設定電圧からゼロVに調整されたとき、ソース電圧 V_{s1} はバッテリー電圧 V_{b2} から上昇する。このため、差分電圧 V_{gs1} は、ゼロV以下であり、正の一定電圧未満である。結果、ゲート電圧 V_g がゼロVに調整された後、FET20もオフに維持される。また、還流ダイオード26に電流が流れることはない。

実施形態7における電源装置1及びスイッチ回路10は実施形態6と同様の効果を奏する。

[0125] なお、実施形態4、6、7において、ツェナーダイオードZ1の数は2以上であってもよい。この場合、複数のツェナーダイオードZ1、Z1、・・・は実施形態3と同様に並列に接続され、各ツェナーダイオードZ1のカソード及びアノード夫々は他のツェナーダイオードZ1のカソード及びアノードに接続される。

同様に、実施形態4、6、7において、ツェナーダイオードZ2の数は2以上であってもよい。この場合、複数のツェナーダイオードZ2、Z2、・・・は実施形態3における複数のツェナーダイオードZ1、Z1、・・・と同様に並列に接続され、各ツェナーダイオードZ2のカソード及びアノード夫々は他のツェナーダイオードZ2のカソード及びアノードに接続される。

[0126] また、実施形態4-7において、FET20の数は2以上であってもよい。この場合、複数のFET20、20、・・・は実施形態3と同様に並列に接続され、各FET20のドレイン及びソース夫々は、他のFET20のドレイン及びソースに接続される。各FET20のゲートは、第1駆動部22の共通の一端に接続されている。第1駆動部22は、複数のFET20、20、・・・を同時にオン又はオフに切替える。

[0127] 同様に、実施形態4-7において、FET40の数は2以上であってもよ

い。この場合、複数のFET40, 40, ...は実施形態3における複数のFET20, 20, ...と同様に並列に接続され、各FET40のドレイン及びソース夫々は、他のFET40のドレイン及びソースに接続される。各FET40のゲートは、第1駆動部22の共通の一端に接続されている。第1駆動部22は、複数のFET40, 40, ...を同時にオン又はオフに切替える。

ここで、「同時」の意味は実施形態3で述べた「同時」の意味と同じである。

[0128] また、実施形態1-7において、ツェナーダイオードZ1は、FET20のドレイン及びソース間の電圧を基準電圧以下に維持する電圧維持体として機能すればよい。このため、ツェナーダイオードZ1の代わりに、例えば、バリスタを用いてもよい。

同様に、実施形態4-7において、ツェナーダイオードZ2は、FET40のドレイン及びソース間の電圧を第2の基準電圧以下に維持する電圧維持体として機能すればよい。このため、ツェナーダイオードZ2の代わりに、例えば、バリスタを用いてもよい。

[0129] バリスタの両端間の電圧の絶対値が所定の電圧未満である場合、バリスタを介して電流が流れることはない。バリスタの両端間の電圧の絶対値が所定の電圧である場合にバリスタを介して電流が流れる。ツェナーダイオードZ1, Z2が実施形態5のように直列回路を構成している場合において、バリスタのような電圧維持体が用いられる場合、この直列回路の代わりに1つの電圧維持体を用いてもよい。

[0130] なお、実施形態1, 3-6において、還流スイッチ21のオフへの切替えは、接地電位を基準としたFET20のソースにおける電圧に基づいて行われなくてもよく、例えば、還流スイッチ21を流れる電流に基づいて行われなくてもよい。この場合、還流スイッチ21を流れる電流がゼロAとなった場合に還流スイッチ21をオンからオフに切替える。

同様に、実施形態6において、還流スイッチ41のオフへの切替えは、接

地電位を基準としたFET40のソースにおける電圧に基づいて行われなくてもよく、例えば、還流スイッチ41を流れる電流に基づいて行われてもよい。この場合、還流スイッチ41を流れる電流がゼロAとなった場合に還流スイッチ41をオンからオフに切替える。

[0131] また、実施形態1-3において、FET20は半導体スイッチとして機能すればよい。このため、FET20の代わりに、NPN型のバイポーラトランジスタ又はIGBT(Insulated Gate Bipolar Transistor)等の半導体スイッチを用いてもよい。

[0132] 開示された実施形態1-7はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上述した意味ではなく、請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

符号の説明

- [0133] 1 電源装置
- 10 スイッチ回路
 - 11, 31 バッテリ (蓄電器)
 - 12, 30 負荷
 - 20, 40 FET (半導体スイッチ、第2の半導体スイッチ)
 - 21, 41 還流スイッチ
 - 22 第1駆動部 (第1切替え部、切替え部)
 - 23, 44 電圧検出部
 - 24 第2駆動部 (第2切替え部)
 - 25 マイコン
 - 26, 45 還流ダイオード
 - 42 第3駆動部 (第2切替え部)
 - 43 電流センサ
 - D1, D2 ダイオード
 - L1, L2 インダクタ

R 1, R 2 抵抗

W 1, W 2 電線（誘導性部材）

Z 1, Z 2 ツェナーダイオード（電圧維持体）

請求の範囲

- [請求項1] 第1端及び第2端を介して電流が流れ、該第1端の電位を基準とした制御端の電圧に応じてオン又はオフに切替わる半導体スイッチを備えるスイッチ回路であって、
- 該半導体スイッチの前記第1端及び第2端間の電圧を所定電圧以下に維持する電圧維持体と、
- 前記半導体スイッチの前記第1端に一端が接続されるスイッチと、
- 前記半導体スイッチをオンからオフに切替える第1切替え部と、
- 該第1切替え部が該半導体スイッチをオンからオフに切替えた場合に、前記スイッチをオフからオンに切替える第2切替え部と
- を備えるスイッチ回路。
- [請求項2] 前記半導体スイッチの前記第1端の電圧を検出する電圧検出部を備え、
- 前記第2切替え部は、前記スイッチをオンに切替えてから、該電圧検出部が検出した電圧が電圧閾値以上となった場合に前記スイッチをオフに切替える
- 請求項1に記載のスイッチ回路。
- [請求項3] 第3端及び第4端を介して電流が流れ、該第3端の電位を基準とした第2の制御端の電圧に応じてオン又はオフに切替わる第2の半導体スイッチを備え、
- 前記半導体スイッチの前記第1端が該第2の半導体スイッチの前記第3端に接続されているか、又は、前記半導体スイッチの前記第2端が前記第2の半導体スイッチの前記第4端に接続されており、
- 前記第1切替え部は、前記半導体スイッチ及び第2の半導体スイッチを同時にオンからオフに切替える
- 請求項1又は請求項2に記載のスイッチ回路。
- [請求項4] 第1端及び第2端を介して電流が流れ、該第1端の電位を基準とした制御端の電圧に応じてオン又はオフに切替わる半導体スイッチを備

えるスイッチ回路であって、

該半導体スイッチの前記第1端及び第2端間の電圧を所定電圧以下に維持する電圧維持体と、

前記半導体スイッチの前記第1端にカソードが接続されるダイオードと

を備えるスイッチ回路。

[請求項5]

第3端及び第4端を介して電流が流れ、該第3端の電位を基準とした第2の制御端の電圧に応じてオン又はオフに切替わる第2の半導体スイッチと、

前記半導体スイッチ及び第2の半導体スイッチを同時にオンからオフに切替える切替え部と

を備え、

前記半導体スイッチの前記第1端が該第2の半導体スイッチの前記第3端に接続されているか、又は、前記半導体スイッチの前記第2端が前記第2の半導体スイッチの前記第4端に接続されている

請求項4に記載のスイッチ回路。

[請求項6]

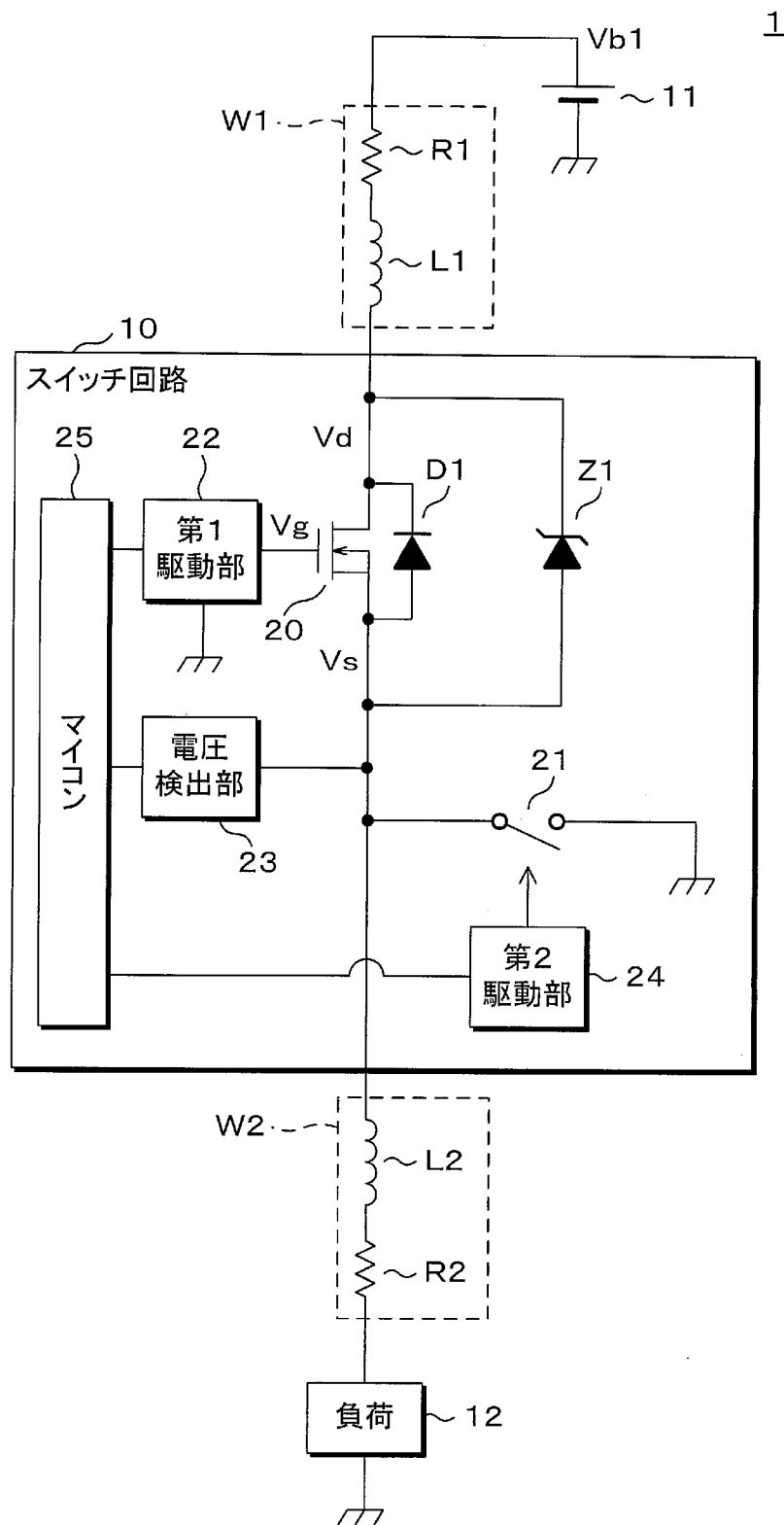
前記電圧維持体に印加された電圧が所定電圧未満である場合、該電圧維持体に電流が流れず、該電圧維持体に印加されている電圧が所定電圧である場合に該電圧維持体に電流が流れる

請求項1から請求項5のいずれか1つに記載のスイッチ回路。

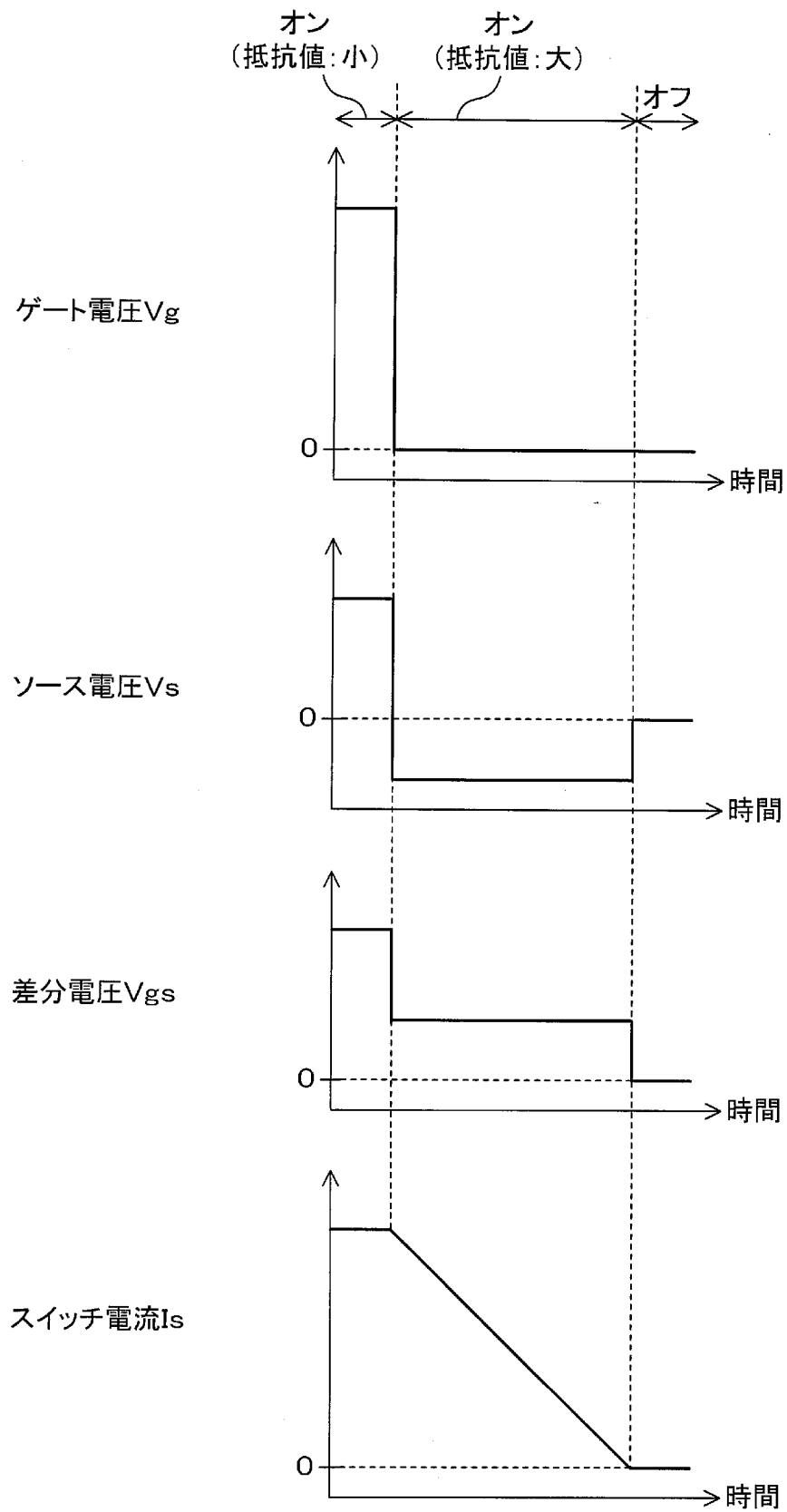
[請求項7]

請求項1から請求項6のいずれか1つに記載のスイッチ回路と、
該スイッチ回路を介して接続される2つの蓄電器と
を備える電源装置。

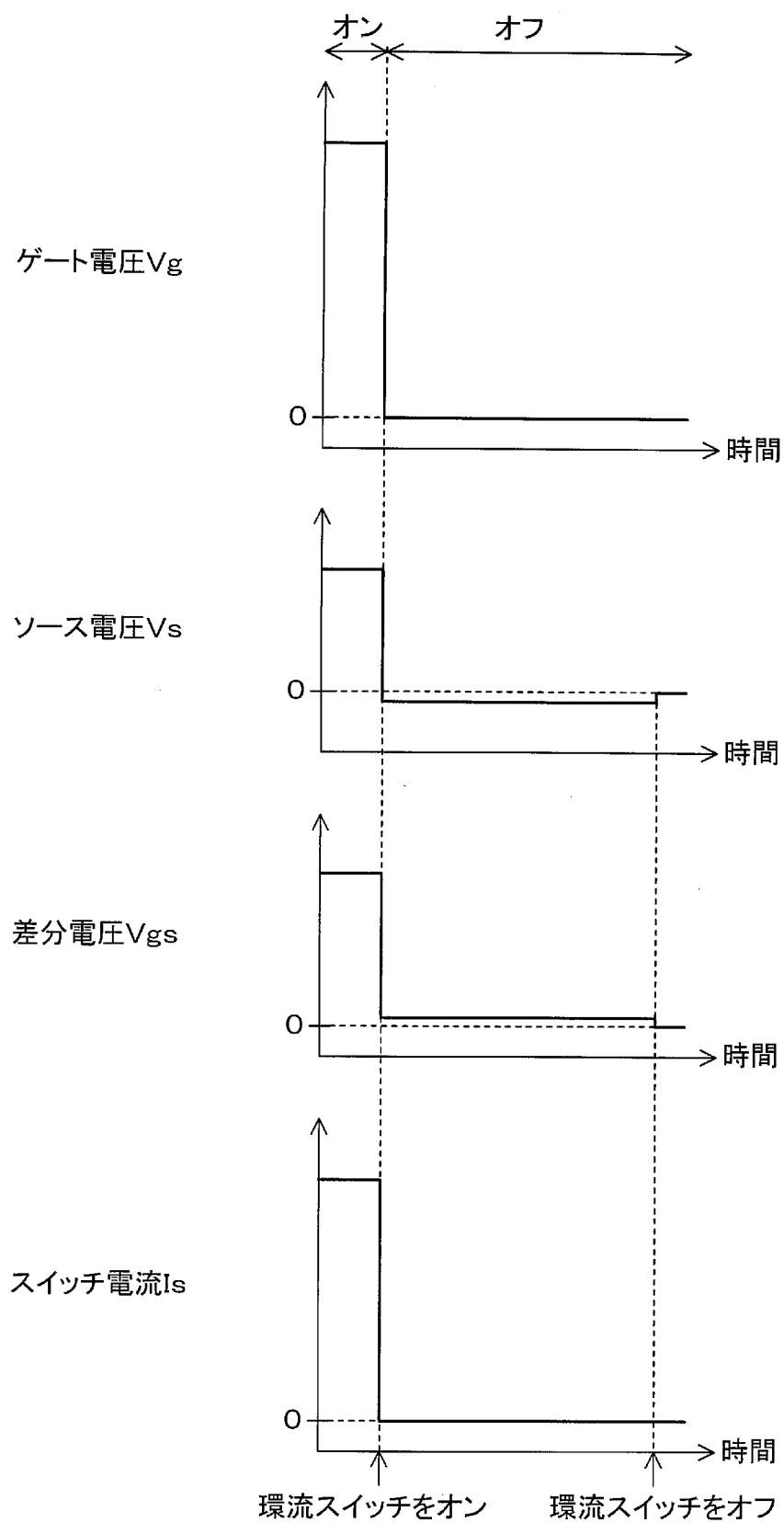
[図1]



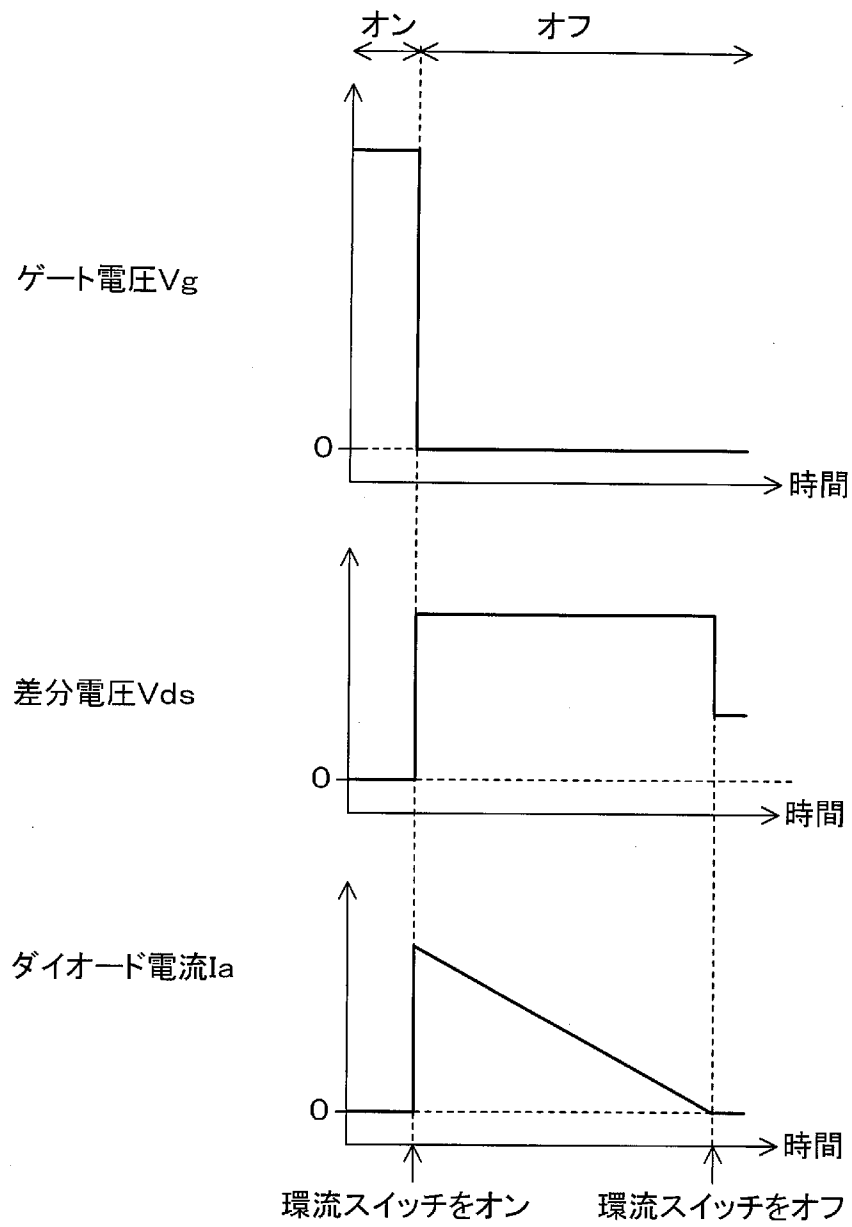
[図2]



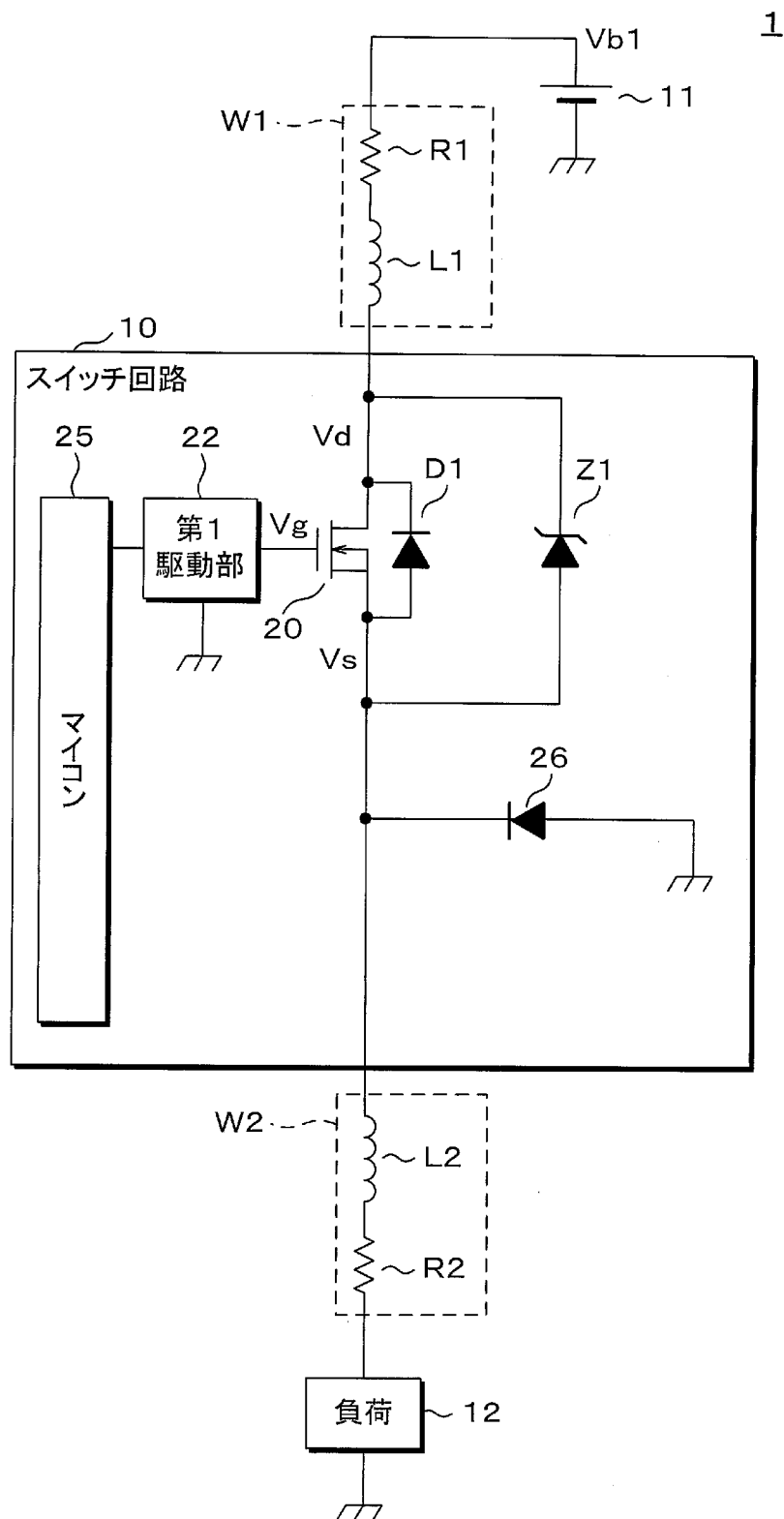
[図3]



[図4]

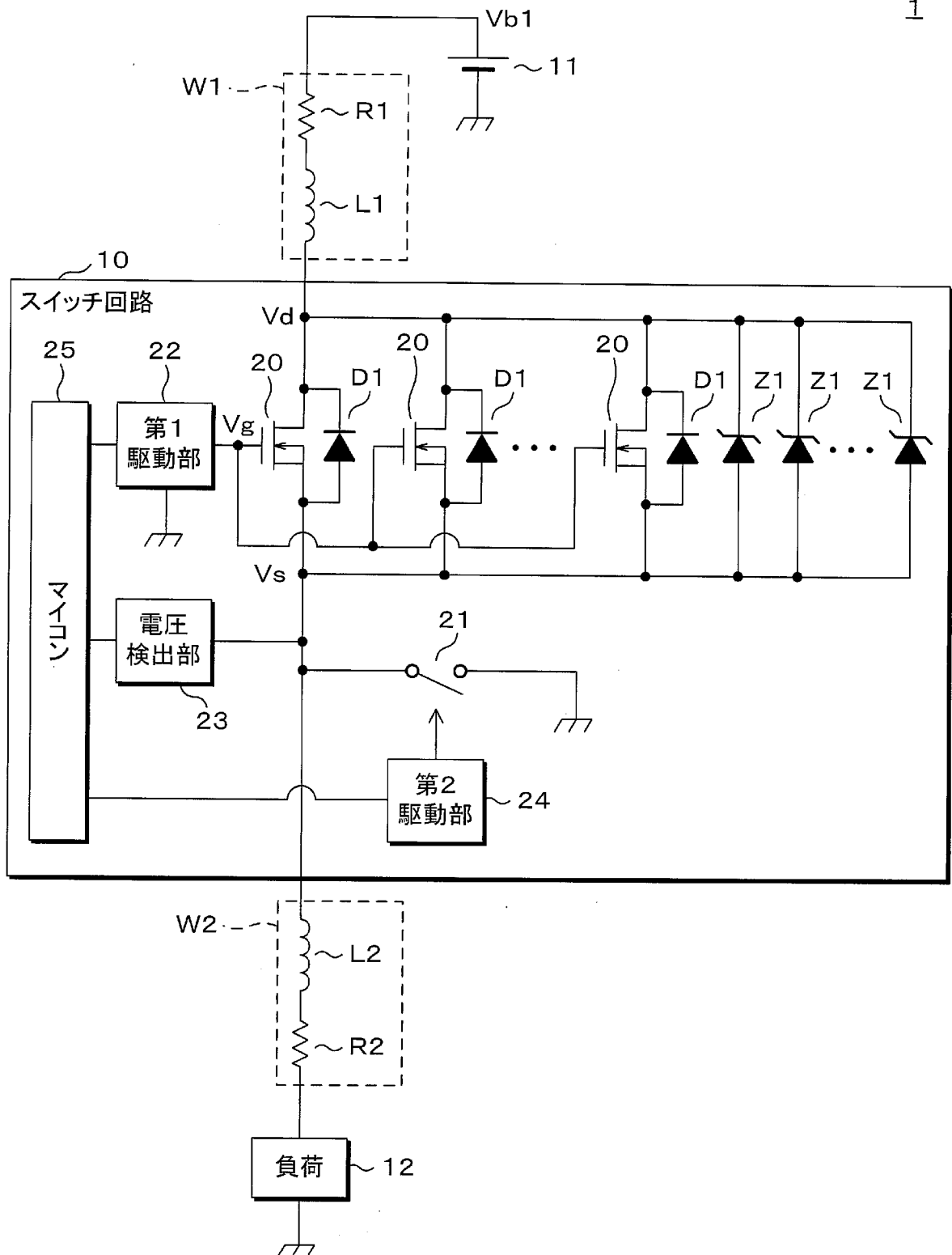


[図5]

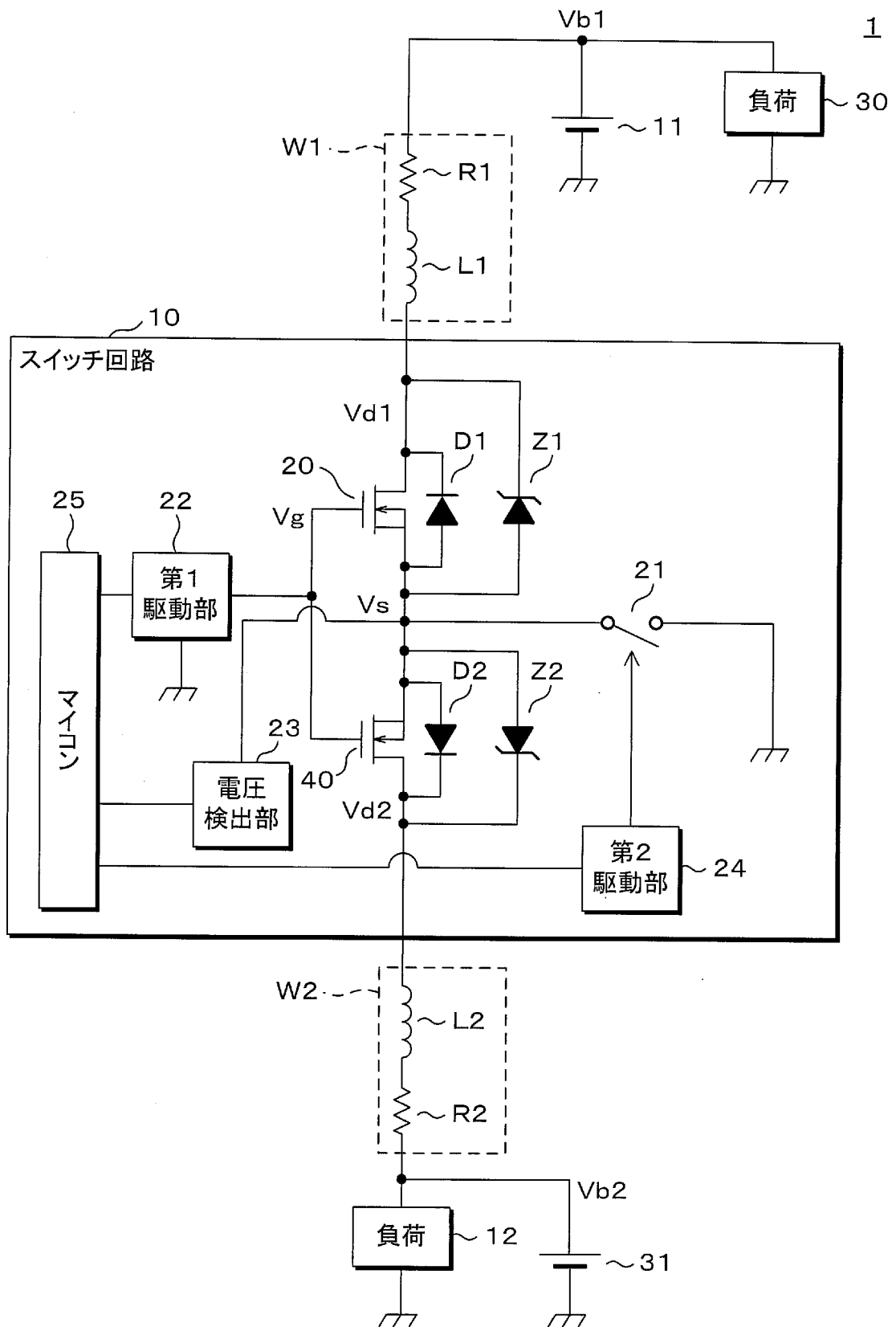


[図6]

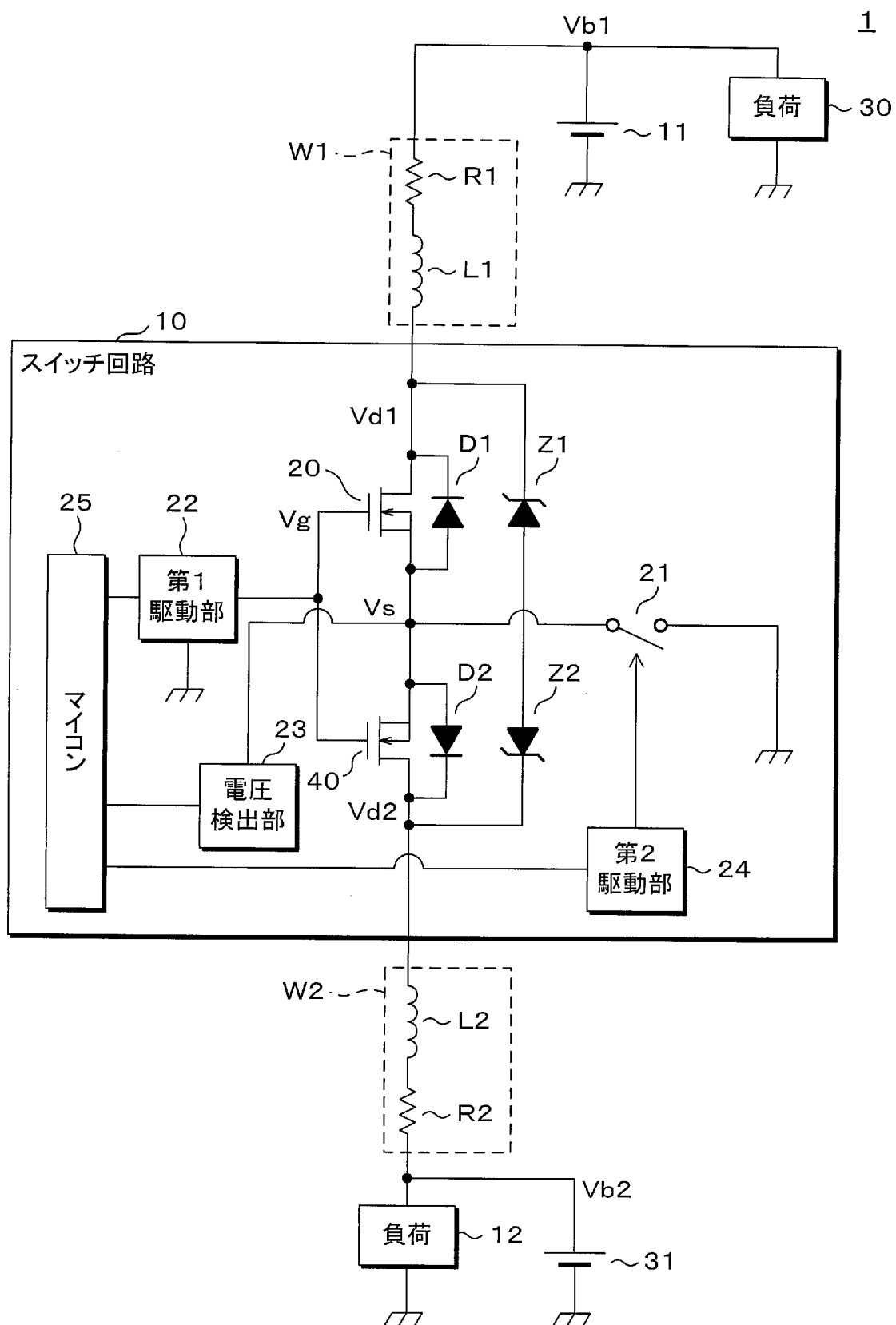
1



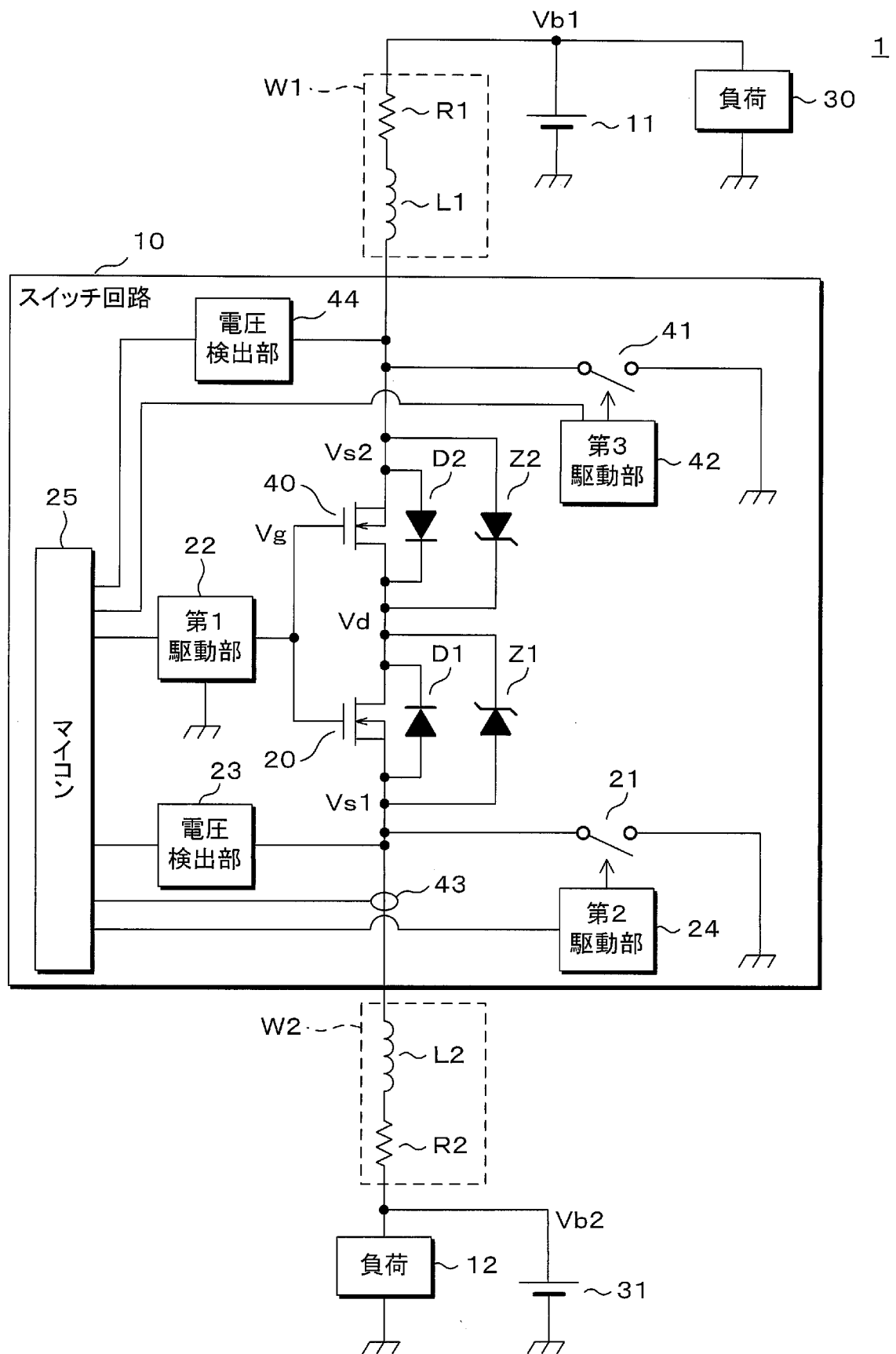
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/040832

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03K17/687 (2006.01) i, H03K17/08 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03K17/687, H03K17/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X, Y A	JP 05-243945 A (NEC CORP.) 21 September 1993, fig. 1, 2 (Family: none)	1, 6, 7 2, 3
X Y A	JP 2002-084174 A (DENSO CORP.) 22 March 2002, fig. 11 (Family: none)	4, 6, 7 1, 4, 6, 7 2, 5
Y A	JP 2015-149531 A (AUTONETWORKS TECHNOLOGIES, LTD.) 20 August 2015, fig. 1 (Family: none)	4, 6, 7 5
A	JP 2007-082351 A (TOSHIBA CORP.) 29 March 2007 (Family: none)	1-7
A	JP 2008-193839 A (TOSHIBA CORP.) 21 August 2008 & US 2010/0321966 A1 & WO 2008/096709 A1 & EP 2110934 A1 & KR 10-2009-00967 45 A & CN 101632214 A	3, 5-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31 January 2018 (31.01.2018)

Date of mailing of the international search report
13 February 2018 (13.02.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K17/687(2006.01)i, H03K17/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K17/687, H03K17/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 05-243945 A (日本電気株式会社), 1993.09.21, 図1, 2 (ファミリーなし)	1, 6, 7 1, 6, 7 2, 3
X Y A	JP 2002-084174 A (株式会社デンソー), 2002.03.22, 図11 (ファミリーなし)	4, 6, 7 1, 4, 6, 7 2, 5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

31.01.2018

国際調査報告の発送日

13.02.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

白井 亮

5W

3363

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2015-149531 A (株式会社オートネットワーク技術研究所), 2015.08.20, 図1 (ファミリーなし)	4, 6, 7 5
A	JP 2007-082351 A (株式会社東芝), 2007.03.29 (ファミリーなし)	1-7
A	JP 2008-193839 A (株式会社東芝), 2008.08.21 & US 2010/0321966 A1 & WO 2008/096709 A1 & EP 2110934 A1 & KR 10-2009-0096745 A & CN 101632214 A	3, 5-7