

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 3 月 6 日(06.03.2014)



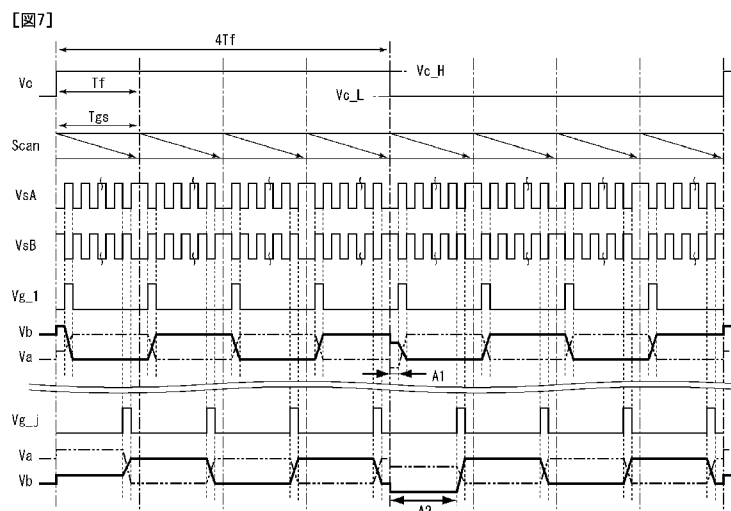
(10) 国際公開番号

WO 2014/034394 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G02F 1/1343* (2006.01)
G02F 1/133 (2006.01) *G09G 3/20* (2006.01)
- (21) 国際出願番号: PCT/JP2013/071331
- (22) 国際出願日: 2013 年 8 月 7 日(07.08.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-186391 2012 年 8 月 27 日(27.08.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 田中 耕平(TANAKA, Kohhei). 村田 充弘(MURATA, Mitsuhiro). 陣田 章仁(JINDA, Aki-hito). 岩田 洋典(IWATA, Yosuke).
- (74) 代理人: 米津 潔, 外(YONETSU, Kiyoshi et al.); 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE AND METHOD FOR DRIVING LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 液晶表示装置および液晶表示装置の駆動方法



(57) Abstract: Provided is a liquid crystal display device which performs a driving method capable of suppressing flicker. The liquid crystal display device comprises: a first substrate including a plurality of pixels arranged in a matrix; first and second electrodes formed for each pixel; a common electrode; a second substrate arranged opposite the first substrate; an opposite electrode formed on the second substrate; a liquid crystal layer including liquid crystal molecules having positive dielectric anisotropy; and a driving unit that controls at least one potential of the first electrode, the second electrode, the common electrode, and the opposite electrode. The driving unit sequentially writes the potentials of the first and second electrodes for the plurality of pixels while inverting the high and low relationship between the potential of the common electrode and the potential of the opposite electrode for each inversion period. The length of a scanning period (Tgs) for writing the potentials of the first and second electrodes one by one for the plurality of pixels is half or less of the length of the inversion period.

(57) 要約:

[続葉有]

WO 2014/034394 A1



フリッカを抑制することができる駆動方法を実行する液晶表示装置を提供する。液晶表示装置は、マトリクス状に配置された複数の画素を含む第1基板と、前記画素ごとに形成された第1電極および第2電極と、共通電極と、前記第1基板に対向して配置された第2基板と、前記第2基板に形成された対向電極と、誘電率異方性が正の液晶分子を含む液晶層と、前記第1電極、前記第2電極、ならびに前記共通電極および前記対向電極の少なくとも一方の電位を制御する駆動部とを備える。前記駆動部は、前記複数の画素について前記第1電極および前記第2電極の電位を順次書き込むとともに、前記共通電極の電位と前記対向電極の電位との高低関係を反転期間ごとに反転させる。前記複数の画素について前記第1電極および前記第2電極の電位を1回ずつ書き込むための走査期間 T_g の長さは、前記反転期間の長さの半分以下である。

明 細 書

発明の名称： 液晶表示装置および液晶表示装置の駆動方法

技術分野

[0001] 本発明は、液晶表示装置および液晶表示装置の駆動方法に関する。

背景技術

[0002] 従来、液晶表示装置の駆動方法として、様々な方式が知られている。

[0003] 特開 2 0 0 4 - 3 5 4 4 0 7 号公報には、一方の基板に形成した第 1 の電極および第 2 の電極と、他方の基板に形成した第 3 の電極とを備える液晶表示装置が開示されている。この液晶表示装置は、第 3 の電極の電位を 1 フレーム周期内で変化させ、画像表示期間では第 1 の電極と第 2 の電極との間で生じる横電界を利用し、画像非表示期間の初期段階では第 1 の電極と第 3 の電極との間で生じる縦電界で液晶分子を駆動する。上記特許文献には、この駆動方法によって特に立下り応答時間を短縮できると記載されている。

先行技術文献

特許文献

[0004] 特許文献 1：特開 2 0 0 4 - 3 5 4 4 0 7 号公報

発明の概要

発明が解決しようとする課題

[0005] 上記特許文献に開示された駆動方法は、1 フレーム期間内に画像非表示期間を設ける、いわゆる黒挿入書込みによる駆動方法である。そのため、十分な明るさを得ることが困難である。また、上記特許文献に開示された液晶表示装置では、液晶分子が水平に配向した状態での黒表示と、液晶分子が垂直に配向した状態での黒表示とが混在している。そのため、黒表示の補償を行うことができないため、コントラストが低下する。

[0006] ところで、液晶に直流電圧が印加されると、電極表面で電荷の偏りが起こる。そのため、電界の向きを定期的に反転させる必要がある。一般的な液晶表示装置では、電荷の偏りを防ぐための駆動方法として、1 水平期間毎に対

向する電極の極性を反転させる対向AC反転駆動や、1フレーム期間毎に対向する電極の極性を反転させるフレーム反転駆動等が知られている。

[0007] しかし、大型パネルや高精細パネルに対向AC反転駆動を適用すると、駆動負荷が大きくなる。一方、フレーム反転駆動では、あるフレームにおいて、すべての画素の極性が同じになるため、フリッカ（Flicker）が発生し易くなる。

[0008] また、上記特開2004-354407号公報に記載されているような3種類以上の電極を備える液晶表示装置において、フリッカを抑制する駆動方法は明らかにされていない。

[0009] 本発明の目的は、フリッカを抑制することができる駆動方法を提供することである。また、当該駆動方法を実行する液晶表示装置を提供することである。

課題を解決するための手段

[0010] ここに開示する液晶表示装置は、マトリクス状に配置された複数の画素を含む第1基板と、前記画素ごとに形成された第1電極および第2電極と、前記複数の画素にわたって形成された共通電極と、前記第1基板に対向して配置された第2基板と、前記第2基板に形成された対向電極と、前記第1基板と前記第2基板とに挟持され、誘電率異方性が正の液晶分子を含む液晶層と、前記第1電極、前記第2電極、ならびに前記共通電極および前記対向電極の少なくとも一方の電位を制御する駆動部とを備える。前記駆動部は、前記複数の画素について前記第1電極および前記第2電極の電位を順次書き込むとともに、前記共通電極の電位と前記対向電極の電位との高低関係を反転期間ごとに反転させる。前記複数の画素について前記第1電極および前記第2電極の電位を1回ずつ書き込むための走査期間の長さは、前記反転期間の長さの半分以下である。

[0011] ここに開示する駆動方法は、マトリクス状に配置された複数の画素を含む第1基板と、前記画素ごとに形成された第1電極および第2電極と、前記複数の画素にわたって形成された共通電極と、前記第1基板に対向して配置さ

れた第2基板と、前記第2基板に形成された対向電極と、前記第1基板と前記第2基板とに挟持され、誘電率異方性が正の液晶分子を含む液晶層とを備える液晶表示装置の駆動方法であって、前記複数の画素について前記第1電極および前記第2電極の電位を順次書き込むとともに、前記共通電極の電位と前記対向電極の電位との高低関係を所定の反転期間ごとに反転させる。前記複数の画素について前記第1電極および前記第2電極の電位を1回ずつ書き込むための走査期間の長さは、前記反転期間の長さの半分以下である。

発明の効果

[0012] 本発明によれば、フリッカを抑制することができる駆動方法が得られる。また、当該駆動方法を実行する液晶表示装置が得られる。

図面の簡単な説明

[0013] [図1]図1は、本発明の一実施形態にかかる液晶表示装置の一部を抜き出して模式的に示す斜視図である。

[図2]図2は、液晶表示装置から一つの画素を抜き出して示す平面図である。

[図3]図3は、図2のA-A線に沿った断面図である。

[図4]図4は、液晶表示装置の等価回路図である。

[図5A]図5Aは、液晶表示装置による表示動作を説明するための図である。

[図5B]図5Bは、液晶表示装置による表示動作を説明するための図である。

[図6]図6は、液晶表示装置の機能的構成を示すブロック図である。

[図7]図7は、本発明の第1の実施形態にかかる駆動方法のタイミングチャートである。

[図8]図8は、本実施形態における各画素における電極の極性を模式的に示した図である。

[図9]図9は、本実施形態の他の例における各画素における電極の極性を模式的に示した図である。

[図10]図10は、本実施形態の他の例における各画素における電極の極性を模式的に示した図である。

[図11]図11は、本発明の第2の実施形態にかかる駆動方法のタイミングチ

ャートである。

[図12]図 1 2 は、本発明の第 3 の実施形態にかかる駆動方法のタイミングチャートである。

[図13]図 1 3 は、本発明の変形例にかかる液晶表示装置の模式的断面図である。

[図14]図 1 4 は、本発明の変形例にかかる液晶表示装置の等価回路図である。

発明を実施するための形態

[0014] 本発明の一実施形態にかかる液晶表示装置は、マトリクス状に配置された複数の画素を含む第 1 基板と、前記画素ごとに形成された第 1 電極および第 2 電極と、前記複数の画素にわたって形成された共通電極と、前記第 1 基板に対向して配置された第 2 基板と、前記第 2 基板に形成された対向電極と、前記第 1 基板と前記第 2 基板とに挟持され、誘電率異方性が正の液晶分子を含む液晶層と、前記第 1 電極、前記第 2 電極、ならびに前記共通電極および前記対向電極の少なくとも一方の電位を制御する駆動部とを備える。前記駆動部は、前記複数の画素について前記第 1 電極および前記第 2 電極の電位を順次書き込むとともに、前記共通電極の電位と前記対向電極の電位との高低関係を反転期間ごとに反転させる。前記複数の画素について前記第 1 電極および前記第 2 電極の電位を 1 回ずつ書き込むための走査期間の長さは、前記反転期間の長さの半分以下である（第 1 の構成）。

[0015] 上記の構成によれば、液晶表示装置は、画素ごとに形成された第 1 電極および第 2 電極を備える。駆動部は、第 1 電極および第 2 電極の電位を制御して、第 1 電極と第 2 電極との間に電界を形成する。これによって、液晶層の液晶分子の配向を画素ごとに制御することができる。

[0016] 液晶表示装置は、さらに、共通電極と対向電極とを備える。駆動部は、共通電極および対向電極の少なくとも一方の電位を制御して、共通電極と対向電極との間に電界を形成する。ここで、共通電極は第 1 基板に形成されており、対向電極は第 2 基板に形成されている。一方、第 1 電極および第 2 電極

は、いずれも第1基板に形成されている。したがって、共通電極と対向電極とが形成する電界（以下、縦電界という）の方向は、第1電極と第2電極とが形成する電界（以下、横電界という）の方向と交差する方向である。

[0017] この構成によれば、横電界が相対的に大きい画素では、横電界によって液晶分子の配向が制御される。一方、横電界が相対的に小さい画素では、縦電界によって液晶分子の配向が制御される。このように、いずれの画素においても、液晶分子の配向は電界によって制御される。そのため、縦電界のみ、または横電界のみによって配向を制御する場合と比較して、応答速度を速くすることができる。

[0018] 駆動部は、共通電極の電位と対向電極の電位との高低関係を、反転期間ごとに反転させる。すなわち、駆動部は、縦電界を反転期間ごとに反転させる。これによって、液晶層の電荷に偏りが生じるのを防止することができる。

[0019] 第1電極および第2電極の電位は、縦電界の反転の影響を受ける。そのため、縦電界が反転してから、駆動部によって第1電極および第2電極の電位が書き込まれるまでの間、液晶の配向が乱れ、輝度が低下する。しかし、上記の構成によれば、走査期間の長さは、反転期間の長さの半分以下である。そのため、縦電界の反転の影響によって輝度が低下する期間を短くすることができる。これによって、フリッカを抑制することができる。

[0020] 上記第1の構成において、前記画素のそれぞれにおいて、前記第1電極の電位と前記第2電極の電位とは互いに反対極性であることが好ましい（第2の構成）。

[0021] 上記第1または第2の構成において、前記駆動部は、前記第1電極および前記第2電極の電位の極性を、1フレーム期間の長さの整数倍の期間ごとに反転させることが好ましい（第3の構成）。

[0022] 上記の構成によれば、液晶層の電荷に偏りが生じるのを防止することができる。

[0023] 上記第1～第3のいずれかの構成において、前記駆動部は、前記第1電極および前記第2電極の電位の極性を、前記画素の行ごとに反転させることが

好ましい（第４の構成）。

[0024] 上記の構成によれば、液晶層の電荷に偏りが生じるのを防止することができる。また、フリッカをより抑制することができる。

[0025] 上記第１～第３のいずれかの構成において、前記駆動部は、前記第１電極および前記第２電極の電位の極性を、前記画素の列ごとに反転させることが好ましい（第５の構成）。

[0026] 上記の構成によれば、液晶層の電荷に偏りが生じるのを防止することができる。また、フリッカをより抑制することができる。

[0027] 上記第１～第３のいずれかの構成において、前記駆動部は、前記第１電極および前記第２電極の電位の極性を、前記画素ごとに反転させることが好ましい（第６の構成）。

[0028] 上記の構成によれば、液晶層の電荷に偏りが生じるのを防止することができる。また、フリッカをより抑制することができる。

[0029] 上記第１～第６のいずれかの構成において、前記反転期間の長さは１フレーム期間の長さの２倍以上であっても良い（第７の構成）。

[0030] 上記第１～第７のいずれかの構成において、前記走査期間の長さは１フレーム期間の長さよりも短く、前記駆動部は、前記複数の画素について前記第１電極および前記第２電極の電位を１フレーム期間に１回書き込む構成としても良い（第８の構成）。

[0031] 上記の構成によれば、１フレーム期間中に、第１電極および第２電極の充電を行わない休止期間が存在する。そのため、消費電力を低くすることができる。

[0032] 上記第１～第７のいずれかの構成において、前記走査期間の長さは１フレーム期間の長さよりも短く、前記複数の画素について前記第１電極および前記第２電極の電位を１フレーム期間に２回以上書き込む構成としても良い（第９の構成）。

[0033] 上記の構成によれば、液晶層の液晶分子の配向をより安定させることができる。

- [0034] 上記第1～第9のいずれかの構成において、前記対向電極を覆って形成されたオーバーコート層をさらに備えていても良い（第10の構成）。
- [0035] 上記の構成によれば、オーバーコート層によって、縦電界の強さが小さくなる。そのため、相対的に横電界の影響が大きくなる。これによって、透過率を向上させることができる。
- [0036] 上記第1～第10のいずれかの構成において、前記画素の行ごとに形成されたゲートラインと、前記画素の列ごとに形成された第1および第2ソースラインと、前記画素ごとに形成され、前記ゲートラインおよび前記第1ソースラインに接続され、前記ゲートラインに供給される信号によって開閉する第1スイッチング素子と、前記画素ごとに形成され、前記ゲートラインおよび前記第2ソースラインに接続され、前記ゲートラインに供給される信号によって開閉する第2スイッチング素子とをさらに備え、前記第1電極は前記第1スイッチング素子に接続され、前記第2電極は前記第2スイッチング素子に接続される構成としても良い（第11の構成）。
- [0037] 上記第11の構成において、前記第1スイッチング素子および前記第2スイッチング素子は酸化物半導体を含むことが好ましい（第12の構成）。
- [0038] 本発明の一実施の態様にかかる駆動方法は、マトリクス状に配置された複数の画素を含む第1基板と、前記画素ごとに形成された第1電極および第2電極と、前記複数の画素にわたって形成された共通電極と、前記第1基板に対向して配置された第2基板と、前記第2基板に形成された対向電極と、前記第1基板と前記第2基板とに挟持され、誘電率異方性が正の液晶分子を含む液晶層とを備える液晶表示装置の駆動方法であって、前記複数の画素について前記第1電極および前記第2電極の電位を順次書き込むとともに、前記共通電極の電位と前記対向電極の電位との高低関係を所定の反転期間ごとに反転させ、前記複数の画素について前記第1電極および前記第2電極の電位を1回ずつ書き込むための走査期間の長さは、前記反転期間の長さの半分以上である（駆動方法の第1の態様）。
- [0039] 上記駆動方法の第1の態様において、前記液晶層は誘電率異方性が正の液

晶分子を含んでも良い（駆動方法の第2の態様）。

[0040] [実施の形態]

以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一または相当部分には同一符号を付してその説明は繰り返さない。なお、説明を分かりやすくするために、以下で参照する図面においては、構成が簡略化または模式化して示されたり、一部の構成部材が省略されたりしている。また、各図に示された構成部材間の寸法比は、必ずしも実際の寸法比を示すものではない。

[0041] [液晶表示装置]

図1は、本発明の一実施形態にかかる液晶表示装置1の一部を抜き出して模式的に示す斜視図である。液晶表示装置1は、アレイ基板（第1基板）10と、対向基板（第2基板）30と、アレイ基板10および対向基板30に挟持された液晶層20とを備えている。

[0042] アレイ基板10は、基板11を含んでいる。基板11は、透光性を有している。基板11は、例えばガラス基板である。基板11は、表面にパシベーション膜等が形成されていても良い。基板11の一方の面には偏光板15が配置されている。基板11の他方の面には、共通電極12、絶縁層13、およびアレイ層14が、この順で形成されている。

[0043] 共通電極12は、基板11の表示領域の概略全面を覆って、一様な面状に形成されている。共通電極12は、透光性の導電膜であり、例えばITO（Indium Tin Oxide）またはIZO（Indium Zinc Oxide）の膜である。共通電極12は、例えばCVD（Chemical Vapor Deposition）またはスパッタリングによって成膜される。

[0044] 絶縁層13は、共通電極12の概略全面を覆って形成されている。絶縁層13は、透光性および絶縁性を有している。絶縁層13は、例えば窒化ケイ素、酸化ケイ素、または酸窒化ケイ素の膜であり、例えばCVDによって成膜される。絶縁層13はまた、アクリル樹脂等の有機物であっても良く、こ

の場合、例えばスピンコータまたはスリットコータによって成膜される。

[0045] アレイ層 14 は、それぞれに画素電極が形成された複数の画素 P_x を含んでいる。アレイ層 14 はさらに、画素電極に信号を供給するための配線（ソースライン 141 およびゲートライン 142）と、スイッチング素子とを含んでいる。

[0046] ソースライン 141 は、互いに平行に所定の間隔で形成されている。ゲートライン 142 は、ソースライン 141 と交差する方向に、互いに平行に所定の間隔で形成されている。ソースライン 141 およびゲートライン 142 は、導電性が高いことが好ましい。ソースライン 141 およびゲートライン 142 は、例えば金属膜である。

[0047] 以下では図 1 に示すように、ゲートライン 142 が延びる方向を x 方向と呼び、ソースライン 141 が延びる方向を y 方向と呼ぶ。さらに、基板 11 の法線方向を z 方向と呼ぶ。画素 P_x は、 x 方向および y 方向に沿ってマトリクス状に配置されている。そのため、 x 方向の位置が等しい複数の画素 P_x の一組を、画素 P_x の列と呼ぶ場合がある。さらに、 y 方向の位置が等しい複数の画素 P_x の一組を、画素 P_x の行と呼ぶ場合がある。

[0048] 図 2 は、液晶表示装置 1 から一つの画素 P_x を抜き出して示す平面図である。一つの画素 P_x を、2 本のソースライン 141A および 141B と、1 本のゲートライン 142 とが通過している。画素 P_x にはさらに、スイッチング素子である TFT (Thin Film Transistor) 143A (第 1 スwitchング素子) および 143B (第 2 スwitchング素子) ならびに画素電極である電極 144A (第 1 電極) および 144B (第 2 電極) が形成されている。

[0049] TFT 143A は、ソースライン 141A とゲートライン 142 との交点近傍に形成されている。TFT 143A のソースはソースライン 141A に接続され、ゲートはゲートライン 142 に接続され、ドレインは電極 144A に接続されている。TFT 143B は、ソースライン 141B とゲートライン 142 との交点近傍に形成されている。TFT 143B のソースはソー

スライン 141B に接続され、ゲートはゲートライン 142 に接続され、ドレインは電極 144B に接続されている。すなわち、TFT 143A および 143B は、ゲートライン 142 を共有している。TFT 143A および 143B のそれぞれにゲートラインを形成する場合と比較して、配線を削減して開口率を高めることができる。また、TFT 143A および TFT 144B を動作させるタイミングを一致させることができる。

[0050] TFT 143A および 143B は、例えばアモルファスシリコン、ポリシリコン、または酸化物導電体を含む。TFT 143A および 143B は、電子移動度が高い酸化物導電体を含むことが好ましい。電子移動度が高い酸化物導電体は、例えば IGZO (Indium Gallium Zinc Oxide) である。

[0051] 電極 144A および 144B は、いわゆる櫛歯形状である。すなわち、複数の枝分かれした本体部分と、本体部分同士を接続する接続部分とから構成されている。図 2 に示す例では、電極 144A は、y 方向に延びて互いに平行に配置された 2 つの本体部分と、y 方向の一方の端部で本体部分同士を接続する接続部分とから構成されている。同様に、電極 144B は、y 方向に延びて互いに平行に配置された 2 つの本体部分と、y 方向の一方の端部で本体部分同士を接続する接続部分とから構成されている。なお、この構成は例示であって、電極 144A および電極 144B は任意の形状を取り得る。

[0052] 電極 144A の本体部分と電極 144B の本体部分とは、交互に並ぶように配置されている。この構成によって、電極 144A と電極 144B との間に電位差を形成して、xy 面内方向に電界を形成することができる。図 2 に示す例では、電極 144A の本体部分と電極 144B の本体部分とは、x 方向に交互に並ぶように配置されている。この構成によって、x 方向に電界を形成することができる。

[0053] 電極 144A および 144B は、導電膜であり、例えば Al または Cu 等の金属膜である。電極 144A および 144B は、ITO または IZO 等の透明導電膜であっても良い。

[0054] 図1および図2では、ソースライン141Aおよび141B、ゲートライン142、TF T143Aおよび143B、ならびに電極144Aおよび144Bは、同一の層上に形成されているように図示されている。しかしこれらは、絶縁膜等を介して複数の層に形成されていても良い。すなわちアレイ層14は、z方向の異なる位置に形成された複数の膜を含んでいても良い。アレイ層14は、公知の半導体プロセスによって製造することができる。

[0055] 再び図1を参照して、説明を続ける。対向基板30は、基板31を含んでいる。基板31は基板11と同様に、透光性を有している。基板31は、例えばガラス基板である。基板31は、表面にパシベーション膜等が形成されていても良い。基板31の一方の面には偏光板33が配置されている。基板31の他方の面には、対向電極32が形成されている。

[0056] 対向電極32は、基板31の表示領域の概略全面を覆って、一様な面状に形成されている。対向電極32は、透光性の導電膜であり、例えばITOまたはIZOの膜である。対向電極32は、例えばCVDまたはスパッタリングによって成膜される。

[0057] 液晶表示装置1は、アレイ基板10と対向基板30とを、周縁部を封止して貼り合わせ、間に液晶層20を形成することによって製造される。図1に示すように、アレイ基板10と対向基板30とは、アレイ層14と対向電極32とが向き合うように配置される。なお、図1には示していないが、アレイ層14および対向電極32を覆ってそれぞれに配向膜が形成されている。

[0058] 液晶層20を構成する液晶分子は、複屈折性を有している。すなわち、光学軸に平行に振動する光に対する屈折率 n_e と、光学軸に垂直に振動する光に対する屈折率 n_o とが異なっている。液晶表示装置1では、誘電率異方性 $\Delta n = n_e - n_o$ が正の液晶分子を使用する。液晶分子の誘電率異方性 Δn は、大きい方が好ましい。

[0059] 図3は、図2のA-A線に沿った断面図である。図4は、液晶表示装置1の等価回路図である。図4に示すように、電極144Aと電極144Bとは

、液晶容量 C_{lc3} を介して容量性結合している。電極144Aと対向電極32とは液晶容量 C_{lc1} を介して容量性結合しており、電極144Bと対向電極32とは液晶容量 C_{lc2} を介して容量性結合している。電極144Aと共通電極12とは蓄積容量 C_s1 を介して容量性結合しており、電極144Bと共通電極12とは蓄積容量 C_s2 を介して容量性結合している。

[0060] 図4に示すように、ソースライン141Aには信号 V_{sA} が供給され、ソースライン141Bには信号 V_{sB} が供給される。ゲートライン142には信号 V_g が供給され、共通電極12には信号 V_{com} が供給され、対向電極32には信号 V_c が供給される。信号 V_{sA} 、 V_{sB} 、 V_g 、 V_{com} 、および V_c の詳細については後述する。

[0061] 図5Aおよび図5Bを参照して、液晶表示装置1による表示動作の概略を説明する。

[0062] 液晶層20の液晶分子20aは、誘電率異方性 Δn が正であり、分子長軸の方向と電界の方向とが平行になるように配向する。液晶表示装置1は、電極144A、144B、対向電極32、および共通電極12の電位を制御して、液晶層20に電界を印加し、液晶分子20aの配向方向を制御する。なお、液晶表示装置1には、垂直配向用の配向膜が用いられている。これによって、液晶層20に電界が印加されていない場合、液晶分子20aは、分子長軸が z 方向を向くように配向する。

[0063] 以下では、電極144Aと電極144Bとによって形成される電界を横電界と呼び、共通電極12と対向電極32とによって形成される電界を縦電界と呼ぶ。

[0064] 図5Aは、縦電界だけが形成され、横電界が形成されていない状態を模式的に示している。図5Aに示す例では、対向電極32の電位は7.5Vであり、電極144A、144B、および共通電極12の電位は0Vである。

[0065] 図5Aでは、液晶分子20aは、縦電界ならびに配向膜15および33の作用によって、分子長軸が z 方向と平行になるように配向している。このとき、液晶層20を通る光の偏光方向は、ほとんど変化しない。偏光板15お

よび33は、透過軸が互いに直交するように配置されている。したがって、偏光板15および液晶層20を透過した光は、偏光板33によって遮られる。そのため、図5Aのように横電界が形成されていない画素Pxでは、黒表示（暗表示）が行われる。

[0066] 図5Bは、縦電界に加えて、横電界が形成されている状態を模式的に示している。図5Bに示す例では、対向電極32の電位は7.5Vであり、電極144Aの電位は5.0Vであり、電極144Bの電位は-5.0Vであり、共通電極12の電位は0Vである。

[0067] 図5Bでは、液晶分子20aは、横電界によって、分子長軸がz方向からxy面内に傾いて配向している。このとき、液晶層20を通る光の偏光方向は、液晶分子20aの複屈折性によって変化する。これによって、偏光板15および液晶層20を透過した光が、偏光板33を透過できるようになる。そのため、図5Bのように横電界が形成されている画素Pxでは、白表示（明表示）が行われる。

[0068] このように、液晶表示装置1は、横電界の強さによって画素Pxの階調を制御することができる。液晶表示装置1では、黒表示を行う場合にも、白表示を行う場合にも、縦電界が形成されている。縦電界によって、白表示から黒表示に切り替わる際の応答速度を向上させることができる。すなわち、縦電界によって、xy面内に傾いた液晶分子20aがz方向に配向する速度を向上させることができる。

[0069] また、本実施形態によれば、黒表示は液晶分子20aの垂直配向を用いて行っている。すなわち、特開2004-354407号公報の駆動方法のように、液晶分子20aが水平に配向した状態での黒表示と、液晶分子20aが垂直に配向した状態での黒表示とが混在しない。そのため、黒表示に対して補償を行うことができ、高いコントラストを得ることができる。

[0070] [駆動方法]

[第1の実施形態]

図6は、液晶表示装置1の機能的構成を示すブロック図である。液晶表示

装置 1 は、制御部 5 1 と駆動部 5 2 とをさらに備えている。駆動部 5 2 は、ソースドライバ 5 2 1 と、ゲートドライバ 5 2 2 と、縦電界ドライバ 5 2 3 とを含んでいる。

[0071] 制御部 5 1 および駆動部 5 2 は例えば、TAB (Tape Automated Bonding) 技術または COG (Chip On Glass) 技術によって、アレイ基板 1 0 または対向基板 3 0 に実装されている。制御部 5 1 および駆動部 5 2 の一部または全部が、アレイ基板 1 0 および対向基板 3 0 以外の場所に配置されていても良い。

[0072] 制御部 5 1 は、外部から供給される映像信号 V_{in} に所定の処理を実行して、ソースドライバ 5 2 1、ゲートドライバ 5 2 2、および縦電界ドライバ 5 2 3 へ供給する。

[0073] ソースドライバ 5 2 1 は、制御部 5 1 から供給された信号に基づいて信号 V_{sA} および V_{sB} を生成する。そして、ソースドライバ 5 2 1 は、信号 V_{sA} をソースライン 1 4 1 A に供給し、信号 V_{sB} をソースライン 1 4 1 B に供給する。

[0074] ゲートドライバ 5 2 2 は、制御部 5 1 から供給された信号に基づいて信号 V_g を生成し、ゲートライン 1 4 2 に供給する。ここで、ゲートライン 1 4 2 の数を j (j は自然数) とし、 k 行目 ($1 \leq k \leq j$) のゲートライン 1 4 2 に供給される信号 V_g を、信号 V_{g_k} と表記する。

[0075] 縦電界ドライバ 5 2 3 は、制御部 5 1 から供給された信号に基づいて信号 V_{com} および V_c を生成する。縦電界ドライバ 5 2 3 は、信号 V_{com} を共通電極 1 2 に供給し、信号 V_c を対向電極 3 2 に供給する。なお、縦電界ドライバ 5 2 3 に代えて、信号 V_{com} を生成して共通電極 1 2 に供給する回路と、信号 V_c を生成して対向電極 3 2 に供給する回路とを別々に設けても良い。

[0076] また、縦電界ドライバ 5 2 3 は、信号 V_{com} および V_c のいずれか一方だけを生成し、共通電極 1 2 および対向電極 3 2 のいずれか一方にだけ信号を供給する構成としても良い。この場合、共通電極 1 2 および対向電極 3 2

の他方は、一定電位とすることができる。以下では、共通電極 1 2 の電位を一定として、対向電極 3 2 の電位を変化させて、縦電界を制御する例を示す。

[0077] 図 7 は、本発明の第 1 の実施形態にかかる駆動方法のタイミングチャートである。図 7 中の V_c は、駆動部 5 2 から対向電極 3 2 に供給される信号 V_c の信号波形であるとともに、対向電極 3 2 の電位である。図 7 中の V_{sA} および V_{sB} は、ソースライン 1 4 1 A および 1 4 1 B から、ある画素 P_x に供給される信号 V_{sA} および V_{sB} の信号波形である。図 7 中の V_{g_1} は、1 行目のゲートライン 1 4 2 に供給される信号 V_{g_1} の信号波形であり、その下の V_a および V_b は、1 行目のゲートライン 1 4 2 に接続された電極 1 4 4 A および 1 4 4 B の電位である。図 7 中の V_{g_j} は、 j 行目のゲートライン 1 4 2 に供給される信号 V_{g_j} の信号波形であり、その下の V_a および V_b は、 j 行目のゲートライン 1 4 2 に接続された電極 1 4 4 A および 1 4 4 B の電位である。なお、図 7 では、図を見易くするため、電極 1 4 4 A の電位 V_a を二点鎖線で、電極 1 4 4 B の電位 V_b を太い実線で、それぞれ示している。後述する図 1 1 および図 1 2 においても同様である。

[0078] 図 7 に示すように、本実施形態では、駆動部 5 2 は、1 フレーム期間 (T_f) の 4 倍の長さの期間ごとに、対向電極 3 2 の電位 V_c を変化させている。より具体的には、駆動部 5 2 は、 $4 T_f$ の長さの期間ごとに、縦電界の方向が反転するように、電位 V_c を変化させている。すなわち、駆動部 5 2 は、 $4 T_f$ の長さの期間ごとに、共通電極 1 2 の電位と対向電極 3 2 の電位との高低関係を反転させている。本実施形態では共通電極 1 2 の電位 V_{com} を一定としているので、駆動部 5 2 は、 $4 T_f$ の長さの期間ごとに、電位 V_{com} の値を基準値として対向電極 3 2 の電位 V_c の極性を反転させている。

[0079] ここで、極性反転に伴うフリッカの影響を低減させるため、共通電極 1 2 と対向電極 3 2 との間の電位差の絶対値は一定であることが好ましい。すなわち、対向電極 3 2 のハイレベル電位を V_{c_H} 、ローレベル電位を V_{c_L}

Lとしたとき、 $V_{c\_H} - V_{com} = V_{com} - V_{c\_L}$ となるように、 V_{c_H} および V_{c_L} 、または V_{com} の値が調整されていることが好ましい。

[0080] 信号 $V_{g\_1} \sim V_{g\_j}$ は、時分割で一つずつハイレベルになる。すなわち、ある期間では、信号 V_{g_1} がハイレベルになり、信号 $V_{g\_2} \sim V_{g\_j}$ はローレベルになっている。そして、信号 V_{g_1} がローレベルになると同期して、信号 V_{g_2} がハイレベルになる。信号 V_{g_2} がハイレベルの期間は、信号 V_{g_1} および信号 $V_{g\_3} \sim V_{g\_j}$ はローレベルになっている。このように、信号 $V_{g\_1} \sim V_{g\_j}$ の一つが順次ハイレベルになり、他の信号はローレベルになる。

[0081] 図7中にScanとして模式的に示すように、駆動部52は、走査期間 T_{gs} の間に、信号 $V_{g\_1} \sim V_{g\_j}$ を1回ずつハイレベルにする。これによって、駆動部52は、走査期間 T_{gs} の間に、液晶表示装置1のすべての画素 P_x について電極144Aおよび電極144Bの電位を1回ずつ書き込む。本実施形態では、走査期間 T_{gs} の長さは、1フレーム期間 T_f の長さと同略等しい。すなわち、本実施形態では、駆動部52は、1フレーム期間 T_f に、液晶表示装置1のすべての画素 P_x について電極144Aおよび電極144Bの電位を1回ずつ書き込む。

[0082] このときの動作を、図4を参照して説明する。信号 V_{g_k} ($1 \leq k \leq j$) がハイレベルになると、 k 行目のゲートライン142に接続されたTF T143Aおよび143Bがオンになる。これによって、ソースライン141Aから信号 V_{sA} が電極144Aに供給され、ソースライン141Bから信号 V_{sB} が電極144Bに供給される。これによって、電極144Aに電位 V_{sA} が書き込まれ、電極144Bに電位 V_{sB} が書き込まれる。電極144Aおよび電極144Bの電位は、信号 V_{g_k} がローレベルになってTF T143Aおよび143Bがオフになった後も、液晶容量 C_{lc1} 、 C_{lc2} および C_{lc3} ならびに蓄積容量 C_{s1} および C_{s2} によって概略一定に維持される。

[0083] なお、各列への信号 $V_s A$ および $V_s B$ の供給は時分割で行っても良く（点順次駆動）、一齐に行っても良い（線順次駆動）。

[0084] 電極 144 A および電極 144 B は、液晶容量 C_{lc1} および C_{lc2} を介して対向電極 32 と容量性結合している。そのため、対向電極 32 の電位が変化すると、電極 144 A および電極 144 B の電位も影響を受ける。そのため、図 7 に示すように、対向電極 32 の電位 V_c が変化してから、電極 144 A および電極 144 B に再び電位が書き込まれるまでの間の期間（図 7 中の期間 A1 および A2）では、液晶の配向が乱れ、輝度が低下する。さらに、走査期間 T_{gs} の始め側（ V_{g_1} ）の画素 P_x では輝度低下期間が短い（図 7 中の期間 A1 を参照）のに対し、走査期間 T_{gs} の終わり側（ V_{g_j} ）の画素 P_x では輝度低下期間が長い（図 7 中の期間 A2 を参照）。このため、液晶表示装置 1 内の位置によって輝度に変化し、輝度傾斜が発生する。

[0085] 本実施形態にかかる駆動方法によれば、走査期間 T_{gs} の長さは T_f であり、縦電界を反転させる反転期間の長さは $4 T_f$ である。すなわち、走査期間 T_{gs} の長さは、反転期間の長さの 4 分の 1 である。そのため、輝度低下期間（期間 A1 および A2）を、相対的に短くすることができる。これによって、フリッカを抑制することができる。

[0086] 本実施形態では、反転期間を $4 T_f$ にしている。しかし、反転期間の長さは、1 フレーム期間 T_f の n 倍（ n は 2 以上の整数）であれば良い。液晶層 20 に電荷の偏りを生じさせず、信頼性が維持できる範囲であれば、反転期間はさらに長くても良い。反転期間が長いほど、輝度低下期間は相対的に短くなり、輝度低下期間の影響を小さくすることができる。反転期間は、例えば、1 フレーム期間の 60 倍（ $60 T_f$ ）であっても良い。好ましいフレーム反転期間の長さは、1 フレーム期間 T_f の長さの 60 倍以上である。反転期間長さの上限は、好ましくは 1 フレーム期間 T_f の長さの 3600 倍である。なおここでは、1 秒間に 60 フレーム表示されるとしている。

[0087] 本実施形態では、信号 $V_s A$ および $V_s B$ は、互いに反対極性である。本

実施形態ではさらに、信号 $V_{g\_1} \sim V_{g\_j}$ の一つがハイレベルになるタイミングと同期して、信号 V_{sA} および V_{sB} の極性が反転している。すなわち、本実施形態では、1 水平期間ごとに、横電界の方向を反転させている。本実施形態ではさらに、1 フレーム期間 T_f ごとに、信号 V_{sA} および V_{sB} の極性が反転している。すなわち、本実施形態では、1 フレーム期間 T_f ごとに横電界の方向を反転させている。

[0088] 図8は、本実施形態における各画素 P_x における電極 144A の電位 V_a および電極 144B の電位 V_b の極性を模式的に示した図である。図8中の「+/-」は、電位 V_a が正極性で電位 V_b が負極性であることを示している。「-/+」は、電位 V_a が負極性で電位 V_b が正極性であることを示している。後述する図9および図10においても同様である。

[0089] 本実施形態では、横電界に関しては、いわゆる 1 Hライン反転駆動およびフレーム反転駆動を行っている。これによって、あるフレームにおいて全ての画素 P_x が同一極性になることを避けることができる。したがって、フリッカをより抑制することができる。

[0090] 本実施形態では、横電界を画素 P_x の行ごとに反転させる 1 Hライン反転駆動を行っている。しかし、図9に示すように、横電界を画素 P_x の列ごとに反転させるカラム反転駆動を行っても良い。また、図10に示すように、横電界を画素ごとに反転させるドット反転駆動を行っても良い。さらに、図8～図10では、1 フレームごとに横電界の極性を反転させているが、複数フレームごとに極性を反転させる駆動方法としても良い。

[0091] なお、本実施形態にかかる駆動方法では、画素 P_x の輝度を決定するのは主に横電界である。そのため、縦電界のみを用いる駆動方法と比較して、縦電界の電位変動による輝度変化は小さい。したがって、縦電界については極性反転をフレーム単位で行っても、フリッカは生じにくい。すなわち、縦電界についてはライン反転駆動やカラム反転駆動を行わなくても、フリッカは生じにくい。これによって、駆動負荷を小さくすることができる。

[0092] 以上のように、本実施形態による駆動方法によれば、表示品位を保ったま

ま、縦電界および横電界の反転を行うことができる。

[0093] 電極 144 A および 144 B は、TFT 143 A および 143 B に接続されている。そのため、TFT 143 A および 143 B の ON、OFF によるゲート電圧の変化によって、電極 144 A および 144 B の電位は変動する。電極 144 A および 144 B の電位は、具体的には、 $\Delta V = (V_{gh} - V_{gl}) \cdot C_{gd} / C_{pix}$ 程度変動する。ここで、 V_{gh} は TFT 143 A (143 B) が ON 時のゲート電圧であり、 V_{gl} は TFT 143 A (143 B) が OFF 時のゲート電圧である。また、 C_{gd} は TFT 143 A (143 B) のゲートドレイン間の容量であり、 C_{pix} は電極 144 A および電極 144 B の負荷容量である。電極 144 A および 144 B には、この電位変動 ΔV を見込んだ電圧を印加することが好ましい。

[0094] 電極 144 A の電位 V_a と電極 144 B の電位 V_b とは、本実施形態のように、画素 P_x のそれぞれにおいて互いに反対極性であることが好ましい。このとき、電位 V_a と電位 V_b とは、共通電極 12 の電位 V_{com} を中心として対称であることが好ましい。換言すれば、電極 144 A と共通電極 12 との間の電位差の絶対値、および電極 144 B と共通電極 12 との間の電位差の絶対値が等しいことが好ましい。これによって、電界を対称にすることができる。この場合、上記の電位変動 ΔV を含めた実効電位において、電極 144 A と共通電極 12 との間の電位差の絶対値、および電極 144 B と共通電極 12 との間の電位差の絶対値を等しくすることが好ましい。

[0095] [第 2 の実施形態]

図 11 は、本発明の第 2 の実施形態にかかる駆動方法のタイミングチャートである。

[0096] 本実施形態においても、第 1 の実施形態と同様に、駆動部 52 は、1 フレーム期間 T_f の 4 倍の長さの期間ごとに、縦電界を反転させている。本実施形態においても共通電極 12 の電位 V_{com} を一定としているので、駆動部 52 は、4 T_f の長さの期間ごとに、電位 V_{com} の値を基準値として対向電極 32 の電位 V_c の極性を反転させている。

- [0097] 本実施形態では、走査期間 T_{gs} の長さは 1 フレーム期間 T_f の半分の長さである。すなわち、駆動部 52 は、1 フレーム期間 T_f の半分の長さの期間に、信号 $V_{g\_1} \sim V_{g\_j}$ を 1 回ずつハイレベルにする、いわゆる 2 倍速駆動を行っている。
- [0098] 本実施形態においても、縦電界の反転に伴う輝度低下期間（期間 A3 および A4）が発生する。しかし、2 倍速駆動を行うことによって、輝度低下期間を短くすることができる。さらに、2 倍速駆動を行うことによって、走査期間 T_{gs} の始め側（ V_{g_1} ）の画素 P_x での輝度低下期間（図 11 中の期間 A3）の長さ、走査期間 T_{gs} の終わり側（ V_{g_j} ）の画素 P_x での輝度低下期間（図 11 中の期間 A4）の長さとの差を小さくすることができる。すなわち、輝度傾斜を低減させることができる。
- [0099] また、本実施形態では、走査が終了してから次のフレーム期間 T_f が開始するまでの間、電極 144A および 144B の充電を行っていない。この間、信号 V_{sA} および V_{sB} は一定値（例えば、共通電極 12 と同じ電位）に設定されている。これによって、ソースライン 141A および 141B への充放電を休止させ、液晶表示装置 1 の消費電力を低減させることができる。
- [0100] 本実施形態では、2 倍速駆動を行っている。しかし、電極 144A および電極 144B への充電が可能な限り、より高速に駆動しても良い。高速に駆動するほど、輝度低下期間の長さが短くなる。なお、高速駆動を行うため、 T_{FT143A} および T_{FT143B} は、電子移動度の高い酸化物半導体をチャンネルとして用いることが好ましい。
- [0101] 本実施形態では、反転期間を $4T_f$ にしている。しかし、反転期間の長さは、走査期間 T_{gs} の 2 倍以上であれば良い。したがって、1 回の走査を 1 フレーム期間 T_f の長さの $1/m$ の期間で行う m 倍速駆動（ $m > 1$ の実数）を行う場合、反転期間の長さは 1 フレーム期間 T_f の n 倍（ n は 1 以上の整数）とすることができる。但し、 $n \times m \geq 2$ の関係を満たす。より好ましくは、反転期間の長さは、1 フレーム期間 T_f の 60 倍以上である。なおここでは、1 秒間に 60 フレーム表示されるとしている。

[0102] 本実施形態においても、信頼性が維持できる範囲であれば、反転期間はさらに長くても良い。反転期間は、例えば、1フレーム期間の60倍（ $60T_f$ ）であっても良い。

[0103] 本実施形態においても、横電界の駆動方法は、1Hライン反転駆動、カラム反転駆動、およびドット反転駆動、ならびにこれらとフレーム反転駆動との組み合わせを用いることができる。

[0104] [第3の実施形態]

図12は、本発明の第3の実施形態にかかる駆動方法のタイミングチャートである。

[0105] 本実施形態においても、第1の実施形態と同様に、駆動部52は、1フレーム期間（ T_f ）の4倍の長さの期間ごとに、縦電界を反転させている。本実施形態においても共通電極12の電位 V_{com} を一定としているので、駆動部52は、 $4T_f$ の長さの期間ごとに、電位 V_{com} の値を基準値として対向電極32の電位 V_c の極性を反転させている。

[0106] 本実施形態においても、駆動部52は、1フレーム期間 T_f の半分の長さの期間に、信号 $V_{g\_1} \sim V_{g\_j}$ を1回ずつハイレベルにする、いわゆる2倍速駆動を行っている。第2の実施形態では、走査が終了してから次のフレーム期間 T_f が開始するまでの間、電極144Aおよび144Bの充電を行わない。これに対し、本実施形態では、1回目の走査が終了した後、同じデータを同極性で再度充電する。これによって、液晶層20の配向をより安定化させることができる。

[0107] 本実施形態においても、縦電界の反転に伴う輝度低下期間（期間A5およびA6）が発生する。第2の実施形態と同様に、2倍速駆動を行うことによって、輝度低下期間を短くすることができる。さらに、2倍速駆動を行うことによって、走査期間 T_{gs} の始め側（ V_{g_1} ）の画素 P_x での輝度低下期間（図12中の期間A5）の長さ、と、走査期間 T_{gs} の終わり側（ V_{g_j} ）の画素 P_x での輝度低下期間（図12中の期間A5）の長さとの差を小さくすることができる。すなわち、輝度傾斜を低減させることができる。

[0108] 本実施形態においても、電極 1 4 4 A および電極 1 4 4 B への充電が可能な限り、より高速に駆動しても良い。高速に駆動するほど、輝度低下期間の長さが短くなる。なお、高速駆動を行うため、T F T 1 4 3 A および 1 4 3 B は、電子移動度の高い酸化物半導体をチャネルとして用いることが好ましい。

[0109] 本実施形態では、反転期間を $4 T_f$ にしている。しかし、反転期間の長さは、走査期間 T_{gs} の 2 倍以上であれば良い。したがって、 m 倍速駆動 (m は 2 以上の整数) で連続書込みを行う場合、反転期間はフレーム期間 T_f の n 倍 (n は 1 以上の整数) とすることができる。より好ましくは、反転期間の長さは、1 フレーム期間 T_f の 60 倍以上である。なおここでは、1 秒間に 60 フレーム表示されとしている。

[0110] 本実施形態においても、信頼性が維持できる範囲であれば、反転期間はさらに長くても良い。反転期間は、例えば、1 フレーム期間の 60 倍 ($60 T_f$) であっても良い。

[0111] 本実施形態においても、横電界の駆動方法は、1 H ライン反転駆動、カラム反転駆動、およびドット反転駆動、ならびにこれらとフレーム反転駆動との組み合わせを用いることができる。

[0112] [液晶表示装置の構成の変形例 1]

本発明の第 1 ～ 第 3 の実施形態にかかる駆動方法は、液晶表示装置 1 に加えて、以下に説明する液晶表示装置 2 に対しても好適に用いることができる。図 1 3 は、本発明の変形例にかかる液晶表示装置 2 の模式的断面図である。図 1 4 は、液晶表示装置 2 の等価回路図である。

[0113] 液晶表示装置 2 は、液晶表示装置 1 の対向基板 30 に代えて、対向基板 40 を備えている。対向基板 40 は、対向基板 30 が備える構成に加えて、オーバーコート層 41 をさらに含んでいる。

[0114] オーバーコート層 41 は、対向電極 32 を覆って形成されている。オーバーコート層 41 は、透光性および絶縁性を有している。オーバーコート層 41 は、例えば窒化ケイ素、酸化ケイ素、または酸窒化ケイ素の膜であり、例

例えばCVDによって成膜される。オーバーコート層41はまた、アクリル樹脂等の有機物であっても良く、この場合、例えばスピコートまたはスリットコートによって成膜される。

[0115] 図14に示すように、電極144Aと対向電極32とは液晶容量 C_{lc1} およびオーバーコート層41の容量 C_{oc1} を介して容量性結合している。電極144Bと対向電極32とは、液晶容量 C_{lc2} およびオーバーコート層41の容量 C_{oc2} を介して容量性結合している。

[0116] 液晶表示装置2の構成によれば、オーバーコート層41によって、縦電界の強さが小さくなる。縦電界の強さが小さくなることで、相対的に横電界の影響が大きくなり、液晶分子がx方向に配向し易くなる。これによって、白表示時の透過率を向上させることができる。

[0117] オーバーコート層41の比誘電率は、1よりも大きいことが好ましい。オーバーコート層41が厚すぎると、液晶分子の応答速度が低下する。そのため、オーバーコート層41の厚さは、 $0\mu m$ よりも大きく $4\mu m$ 未満であることが好ましい。また、このときのセルギャップ（液晶層20の厚さ）は、 $2\mu m$ よりも大きく $7\mu m$ 以下であることが好ましい。

[0118] 液晶表示装置2に対しても、本発明の第1～第3のいずれかの実施形態にかかる駆動方法を実行することで、フリッカを抑制することができる。

[0119] [その他の実施形態]

以上、本発明についての実施形態を説明したが、本発明は上述の各実施形態のみに限定されず、発明の範囲内で種々の変更が可能である。また、各実施形態は、適宜組み合わせて実施することが可能である。

産業上の利用可能性

[0120] 本発明は、液晶表示装置およびその駆動方法として産業上の利用が可能である。

符号の説明

[0121] 1, 2 液晶表示装置

10 アレイ基板

- 1 1 基板
- 1 2 共通電極
- 1 3 絶縁層
- 1 4 アレイ層
 - 1 4 1 A, 1 4 1 B ソースライン
 - 1 4 2 ゲートライン
 - 1 4 3 A, 1 4 3 B T F T
 - 1 4 4 A, 1 4 4 B 電極
- 1 5 偏光板
- 2 0 液晶層
- 3 0, 4 0 対向基板
 - 3 1 基板
 - 3 2 対向電極
 - 3 3 偏光板
- 4 1 オーバーコート層

請求の範囲

- [請求項1] マトリクス状に配置された複数の画素を含む第1基板と、
前記画素ごとに形成された第1電極および第2電極と、
前記複数の画素にわたって形成された共通電極と、
前記第1基板に対向して配置された第2基板と、
前記第2基板に形成された対向電極と、
前記第1基板と前記第2基板とに挟持され、誘電率異方性が正の液晶分子を含む液晶層と、
前記第1電極、前記第2電極、ならびに前記共通電極および前記対向電極の少なくとも一方の電位を制御する駆動部とを備え、
前記駆動部は、前記複数の画素について前記第1電極および前記第2電極の電位を順次書き込むとともに、前記共通電極の電位と前記対向電極の電位との高低関係を反転期間ごとに反転させ、
前記複数の画素について前記第1電極および前記第2電極の電位を1回ずつ書き込むための走査期間の長さは、前記反転期間の長さの半分以下である、液晶表示装置。
- [請求項2] 前記画素のそれぞれにおいて、前記第1電極の電位と前記第2電極の電位とは互いに反対極性である、請求項1に記載の液晶表示装置。
- [請求項3] 前記駆動部は、前記第1電極および前記第2電極の電位の極性を、1フレーム期間の長さの整数倍の期間ごとに反転させる、請求項1または2に記載の液晶表示装置。
- [請求項4] 前記駆動部は、前記第1電極および前記第2電極の電位の極性を、前記画素の行ごとに反転させる、請求項1～3のいずれか一項に記載の液晶表示装置。
- [請求項5] 前記駆動部は、前記第1電極および前記第2電極の電位の極性を、前記画素の列ごとに反転させる、請求項1～3のいずれか一項に記載の液晶表示装置。
- [請求項6] 前記駆動部は、前記第1電極および前記第2電極の電位の極性を、

前記画素ごとに反転させる、請求項 1 ～ 3 のいずれか一項に記載の液晶表示装置。

[請求項7] 前記反転期間の長さは 1 フレーム期間の長さの 2 倍以上である、請求項 1 ～ 6 のいずれか一項に記載の液晶表示装置。

[請求項8] 前記走査期間の長さは 1 フレーム期間の長さよりも短く、
前記駆動部は、前記複数の画素について前記第 1 電極および前記第 2 電極の電位を 1 フレーム期間に 1 回書き込む、請求項 1 ～ 6 のいずれか一項に記載の液晶表示装置。

[請求項9] 前記走査期間の長さは 1 フレーム期間の長さよりも短く、
前記複数の画素について前記第 1 電極および前記第 2 電極の電位を 1 フレーム期間に 2 回以上書き込む、請求項 1 ～ 6 のいずれか一項に記載の液晶表示装置。

[請求項10] 前記対向電極を覆って形成されたオーバーコート層をさらに備える、請求項 1 ～ 9 のいずれか一項に記載の液晶表示装置。

[請求項11] 前記画素の行ごとに形成されたゲートラインと、
前記画素の列ごとに形成された第 1 および第 2 ソースラインと、
前記画素ごとに形成され、前記ゲートラインおよび前記第 1 ソースラインに接続され、前記ゲートラインに供給される信号によって開閉する第 1 スイッチング素子と、

前記画素ごとに形成され、前記ゲートラインおよび前記第 2 ソースラインに接続され、前記ゲートラインに供給される信号によって開閉する第 2 スイッチング素子とをさらに備え、

前記第 1 電極は前記第 1 スイッチング素子に接続され、
前記第 2 電極は前記第 2 スイッチング素子に接続される、請求項 1 ～ 10 のいずれか一項に記載の液晶表示装置。

[請求項12] 前記第 1 スイッチング素子および前記第 2 スイッチング素子は酸化物半導体を含む、請求項 11 に記載の液晶表示装置。

[請求項13] マトリクス状に配置された複数の画素を含む第 1 基板と、

前記画素ごとに形成された第 1 電極および第 2 電極と、

前記複数の画素にわたって形成された共通電極と、

前記第 1 基板に対向して配置された第 2 基板と、

前記第 2 基板に形成された対向電極と、

前記第 1 基板と前記第 2 基板とに挟持され、誘電率異方性が正の液晶分子を含む液晶層とを備える液晶表示装置の駆動方法であって、

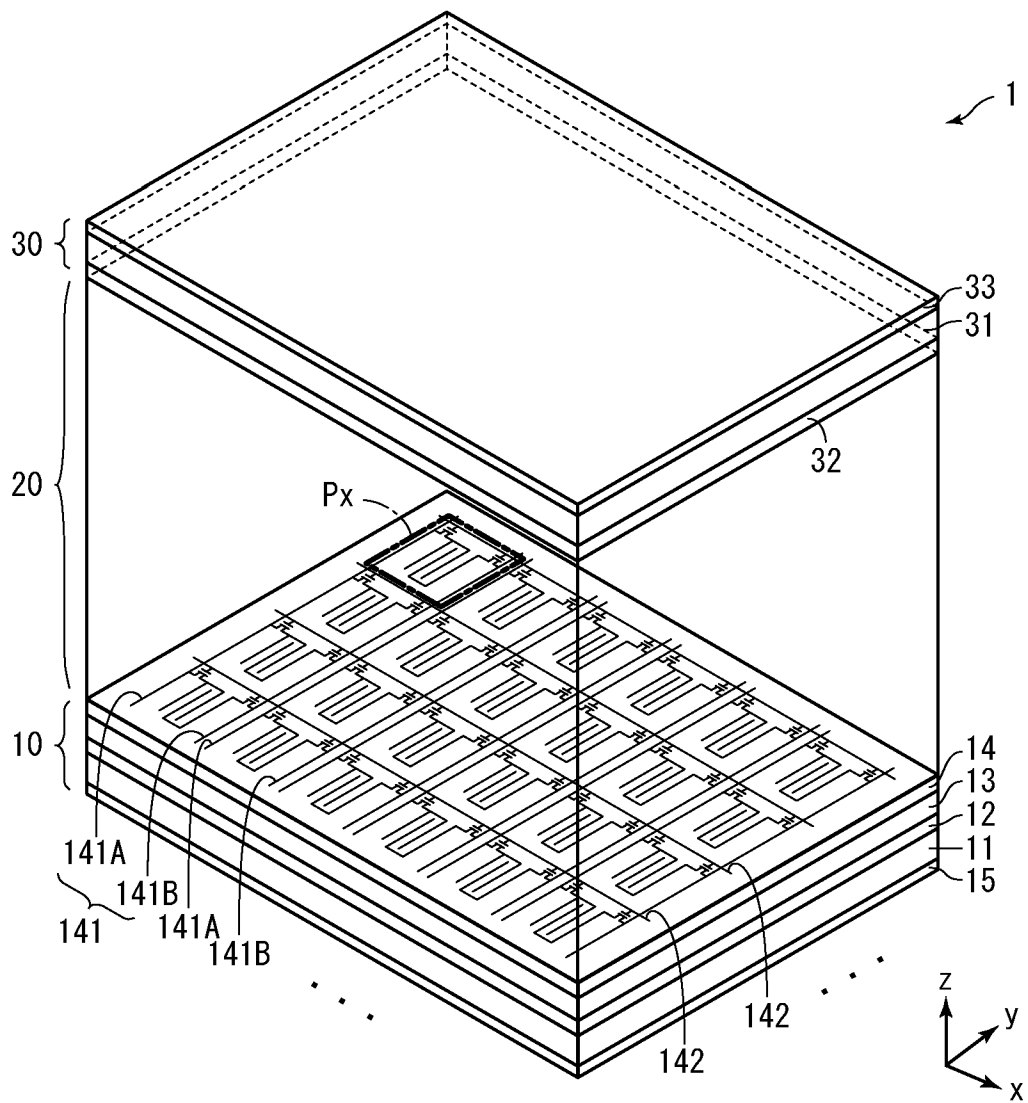
前記複数の画素について前記第 1 電極および前記第 2 電極の電位を順次書き込むとともに、前記共通電極の電位と前記対向電極の電位との高低関係を所定の反転期間ごとに反転させ、

前記複数の画素について前記第 1 電極および前記第 2 電極の電位を 1 回ずつ書き込むための走査期間の長さは、前記反転期間の長さの半分以下である、駆動方法。

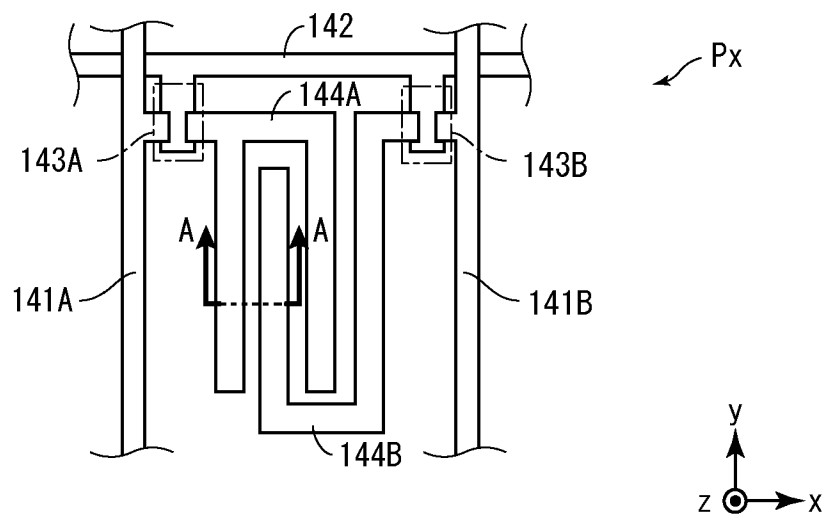
[請求項 14]

前記液晶層は誘電率異方性が正の液晶分子を含む、請求項 13 に記載の駆動方法。

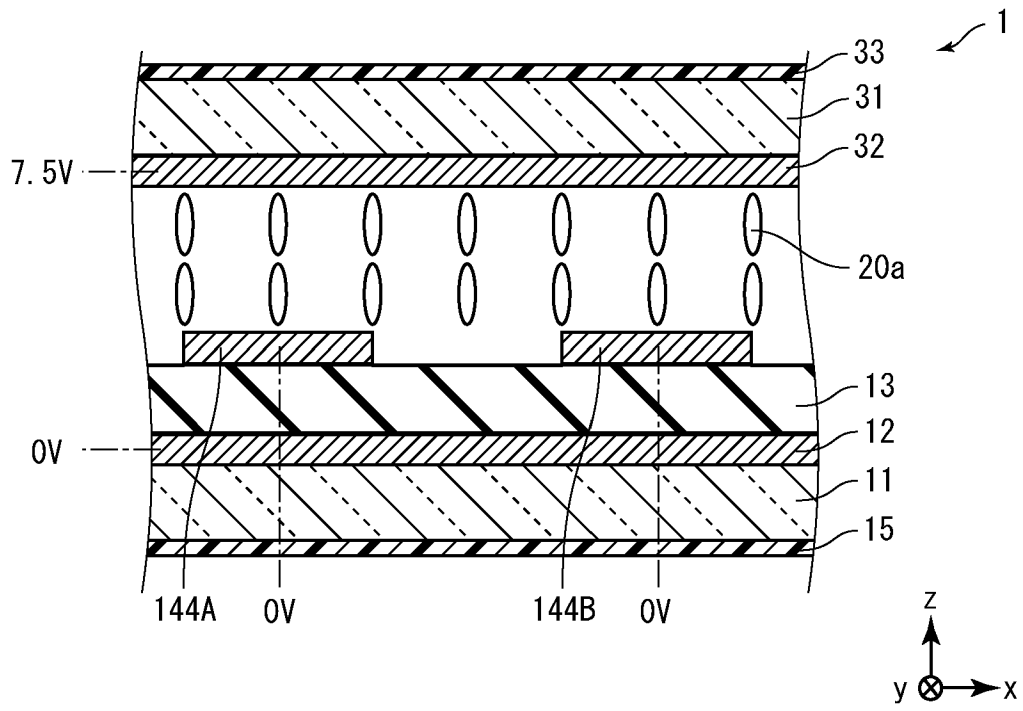
[図1]



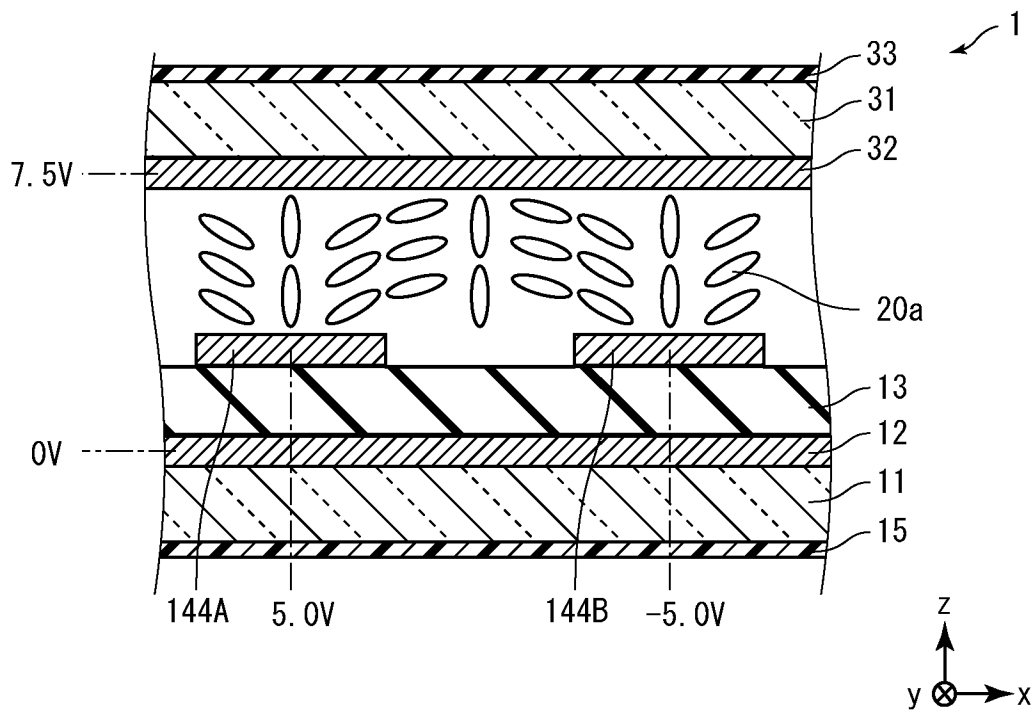
[図2]



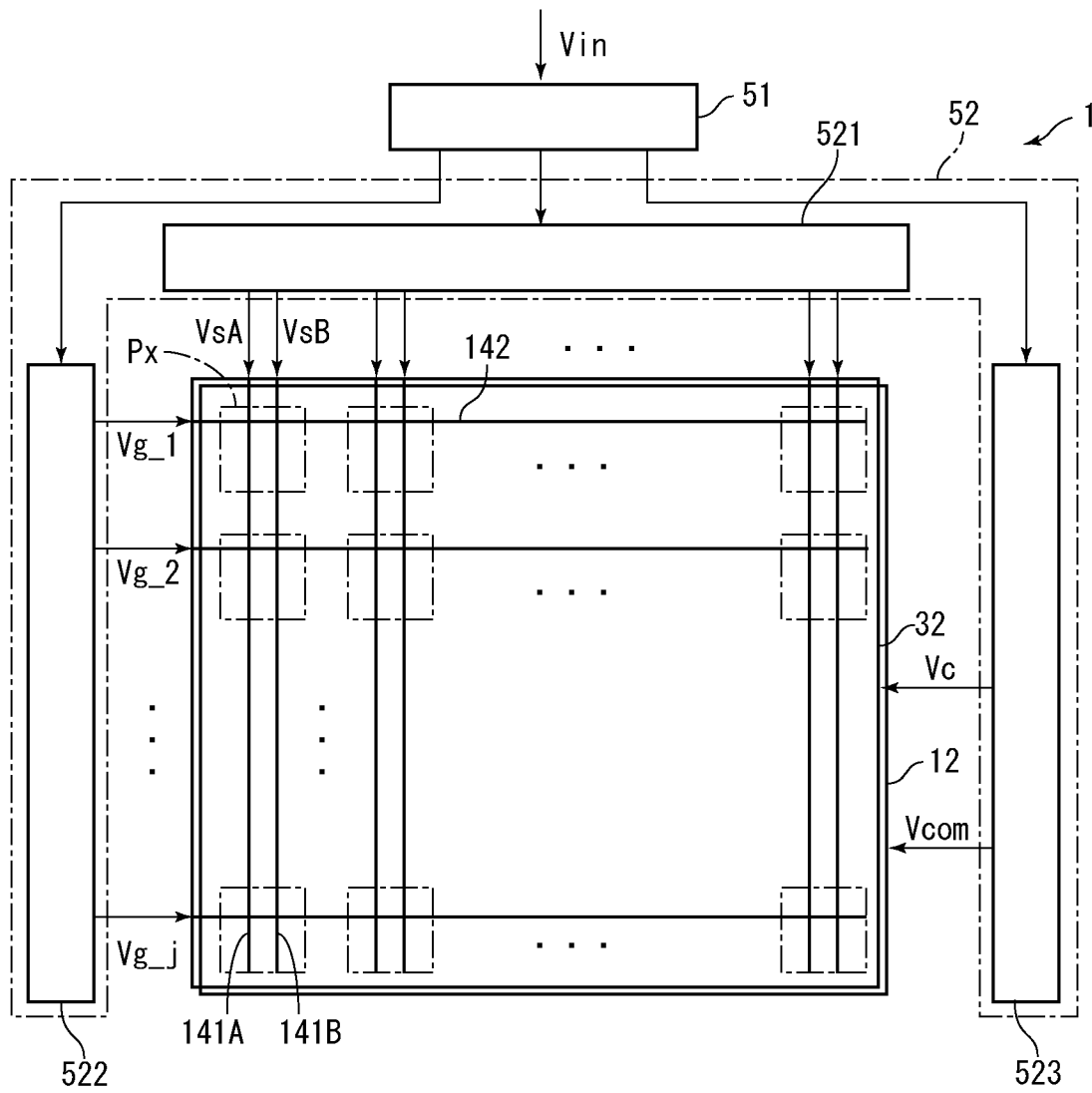
[図5A]



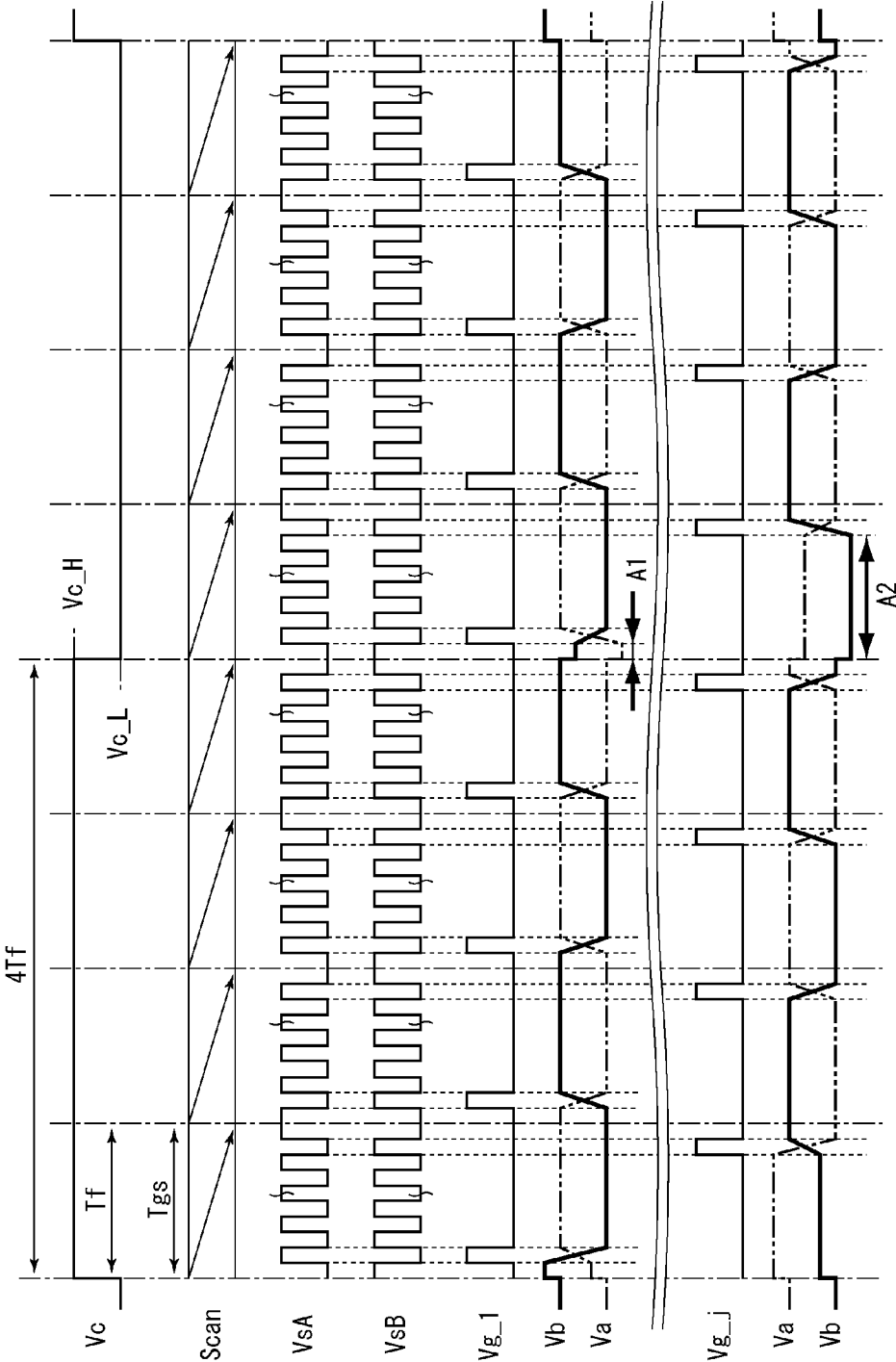
[図5B]



[図6]



[図7]



[図8]

奇数フレーム

+/-	+/-	+/-	+/-	+/-	+/-
-/+	-/+	-/+	-/+	-/+	-/+
+/-	+/-	+/-	+/-	+/-	+/-
-/+	-/+	-/+	-/+	-/+	-/+

偶数フレーム

-/+	-/+	-/+	-/+	-/+	-/+
+/-	+/-	+/-	+/-	+/-	+/-
-/+	-/+	-/+	-/+	-/+	-/+
+/-	+/-	+/-	+/-	+/-	+/-

[図9]

奇数フレーム

+/-	-/+	+/-	-/+	+/-	-/+
+/-	-/+	+/-	-/+	+/-	-/+
+/-	-/+	+/-	-/+	+/-	-/+
+/-	-/+	+/-	-/+	+/-	-/+

偶数フレーム

-/+	+/-	-/+	+/-	-/+	+/-
-/+	+/-	-/+	+/-	-/+	+/-
-/+	+/-	-/+	+/-	-/+	+/-
-/+	+/-	-/+	+/-	-/+	+/-

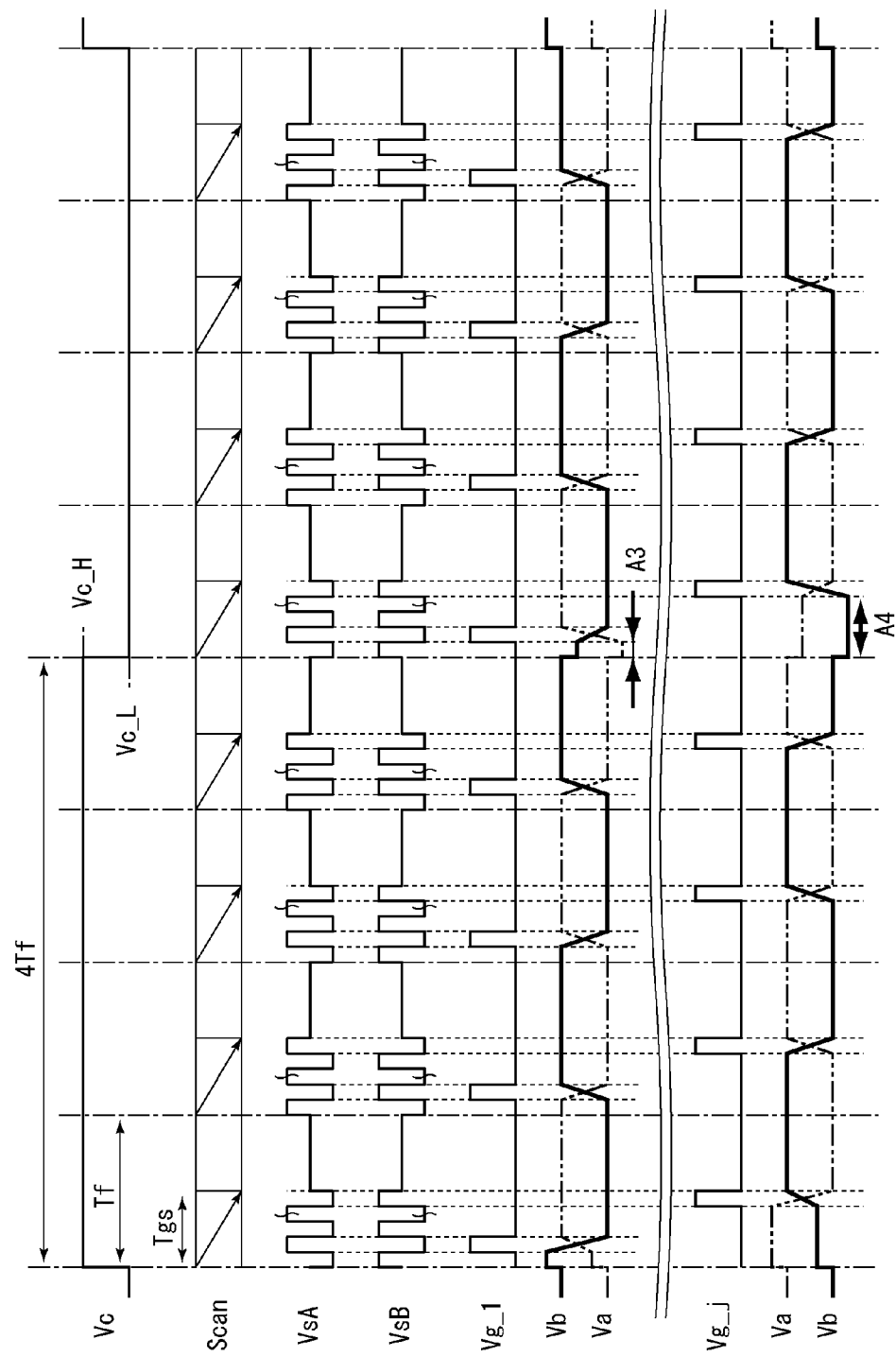
[図10]

奇数フレーム

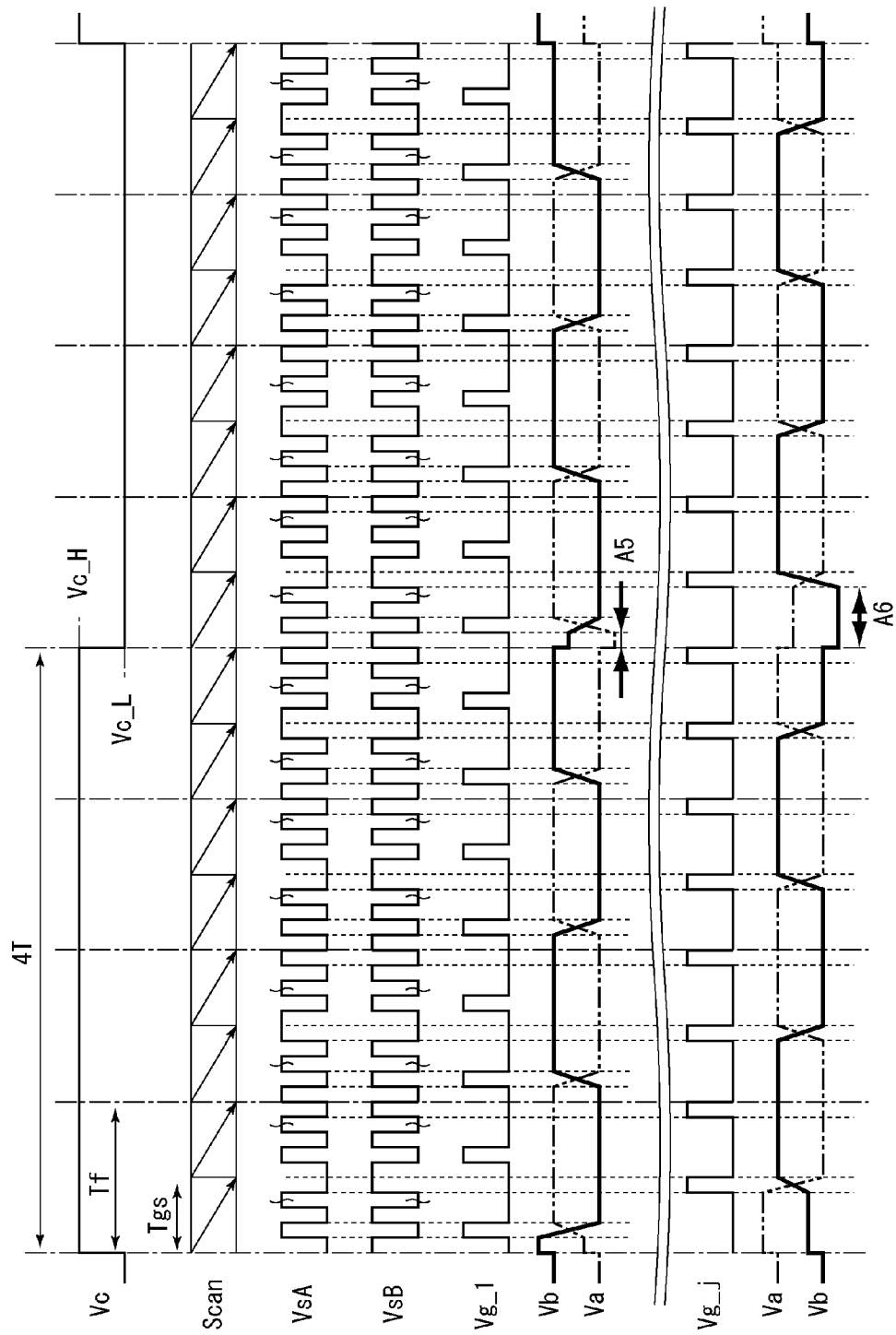
+/-	-/+	+/-	-/+	+/-	-/+
-/+	+/-	-/+	+/-	-/+	+/-
+/-	-/+	+/-	-/+	+/-	-/+
-/+	+/-	-/+	+/-	-/+	+/-

偶数フレーム

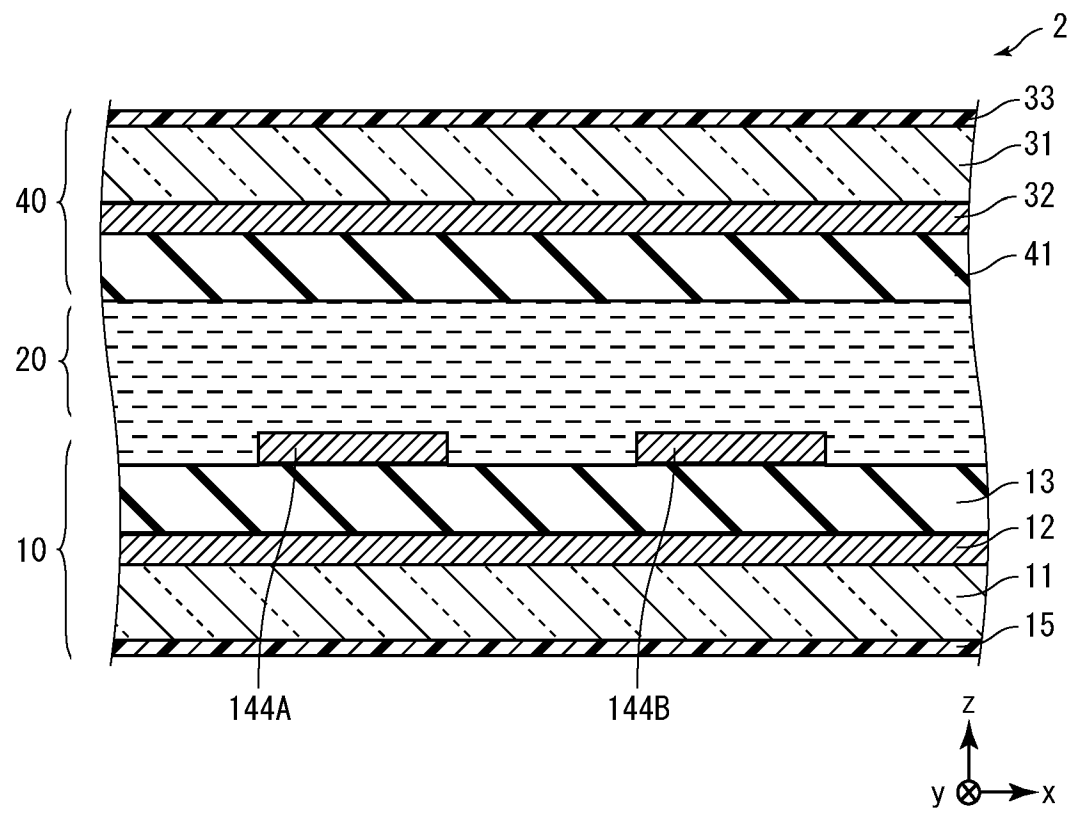
-/+	+/-	-/+	+/-	-/+	+/-
+/-	-/+	+/-	-/+	+/-	-/+
-/+	+/-	-/+	+/-	-/+	+/-
+/-	-/+	+/-	-/+	+/-	-/+



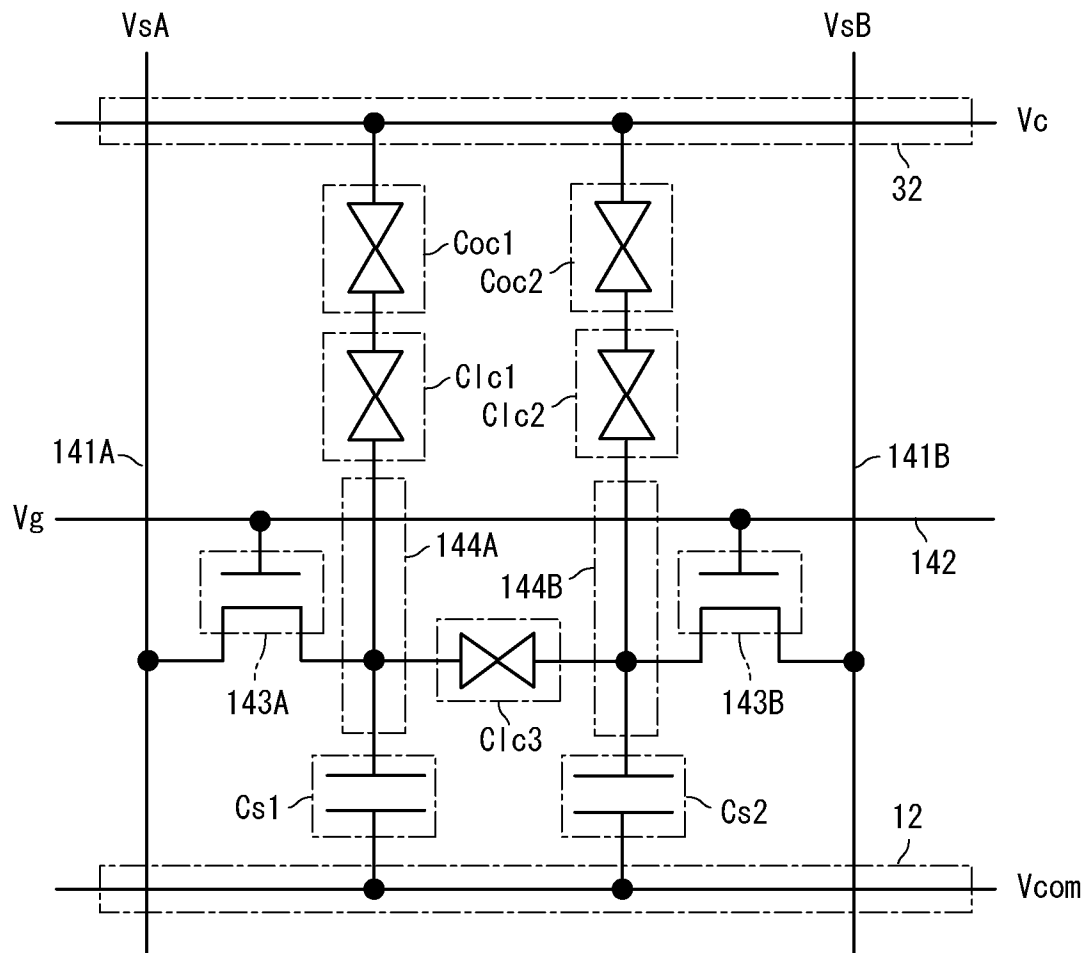
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/071331

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G02F1/1343, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-354407 A (Hitachi, Ltd.), 16 December 2004 (16.12.2004), paragraphs [0099] to [0102]; fig. 18 to 20 (Family: none)	1, 3-14 1-14
Y	JP 2008-139797 A (Semiconductor Energy Laboratory Co., Ltd.), 19 June 2008 (19.06.2008), paragraphs [0224] to [0244]; fig. 11 & US 2008/0180385 A1 & US 2013/0070174 A1 & EP 1930865 A2 & KR 10-2008-0052426 A & CN 101196663 A & TW 200837708 A & CN 102930815 A	1-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 September, 2013 (27.09.13)

Date of mailing of the international search report
08 October, 2013 (08.10.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/071331

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-226594 A (Sharp Corp.), 12 August 2004 (12.08.2004), paragraphs [0031] to [0051]; fig. 1 to 9 (Family: none)	1-14
Y	JP 2001-209063 A (Sharp Corp.), 03 August 2001 (03.08.2001), paragraph [0152]; fig. 4 & US 6700558 B1	2
P, A	WO 2012/128061 A1 (Sharp Corp.), 27 September 2012 (27.09.2012), entire text; all drawings (Family: none)	1-14
A	JP 11-30783 A (Mitsubishi Electric Corp.), 02 February 1999 (02.02.1999), entire text; all drawings (Family: none)	1-14
A	JP 2007-148337 A (Casio Computer Co., Ltd.), 14 June 2007 (14.06.2007), paragraphs [0023] to [0106]; fig. 1 to 15 & US 2006/0267905 A1 & KR 10-0830035 B1 & CN 1892370 A & CN 101739979 A	1-14

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G02F1/1343, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2004-354407 A（株式会社日立製作所）2004.12.16, 段落【0099】－【0102】、【図18】－【図20】（ファミリーなし）	1, 3-14 1-14
Y	JP 2008-139797 A（株式会社半導体エネルギー研究所）2008.06.19, 段落【0224】－【0244】、【図11】 & US 2008/0180385 A1 & US 2013/0070174 A1 & EP 1930865 A2 & KR 10-2008-0052426 A & CN 101196663 A & TW 200837708 A & CN 102930815 A	1-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 0 9 . 2 0 1 3

国際調査報告の発送日

0 8 . 1 0 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

2 G

9 3 0 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-226594 A (シャープ株式会社) 2004.08.12, 段落【0031】－【0051】, 【図1】－【図9】 (ファミリーなし)	1-14
Y	JP 2001-209063 A (シャープ株式会社) 2001.08.03, 段落【0152】, 【図4】 & US 6700558 B1	2
P, A	WO 2012/128061 A1 (シャープ株式会社) 2012.09.27, 全文, 全図 (ファミリーなし)	1-14
A	JP 11-30783 A (三菱電機株式会社) 1999.02.02, 全文, 全図 (ファミリーなし)	1-14
A	JP 2007-148337 A (カシオ計算機株式会社) 2007.06.14, 段落【0023】－【0106】, 【図1】－【図15】 & US 2006/0267905 A1 & KR 10-0830035 B1 & CN 1892370 A & CN 101739979 A	1-14