

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年3月12日(12.03.2015)



(10) 国際公開番号

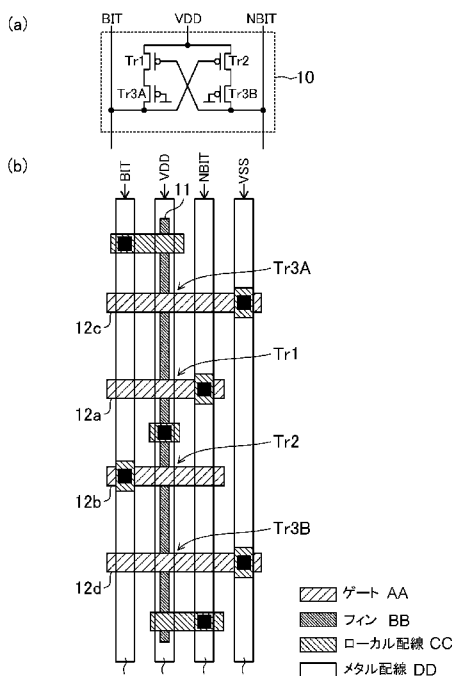
WO 2015/033491 A1

- (51) 国際特許分類:
G11C 11/419 (2006.01)
- (21) 国際出願番号: PCT/JP2014/002302
- (22) 国際出願日: 2014年4月24日(24.04.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-186261 2013年9月9日(09.09.2013) JP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: 小池 剛(KOIKE, Tsuyoshi), 山上 由展(YAMAGAMI, Yoshinobu).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル5階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND SENSE AMPLIFIER CIRCUIT

(54) 発明の名称: 半導体記憶装置およびセンスアンプ回路



(57) Abstract: A cross-couple circuit (10) that is provided between a pair of bit lines (BIT, NBIT) is equipped with fin-shaped P-type transistors (Tr1, Tr2, Tr3A, Tr3B). In the transistor (Tr1), the source is connected to a VDD, and the gate is connected to the bit line (NBIT), and in the transistor (Tr2), the source is connected to the VDD, and the gate is connected to the bit line (BIT). In the transistor (Tr3A), the source is connected to the drain of the transistor (Tr1), and the drain is connected to the bit line (BIT), and in the transistor (Tr3B), the source is connected to the drain of the transistor (Tr2), and the drain is connected to the bit line (NBIT).

(57) 要約: ビット線対 (BIT, NBIT) の間に設けられたクロスカップル回路 (10) は、フィン型のP型トランジスタ (Tr1, Tr2, Tr3A, Tr3B) を備える。Tr1は、ソースがVDDに接続されゲートがビット線 (NBIT) と接続されており、Tr2は、ソースがVDDに接続されゲートがビット線 (BIT) と接続されている。Tr3Aは、ソースがTr1のドレインと接続されドレインがビット線 (BIT) と接続されており、Tr3Bは、ソースがTr2のドレインと接続されドレインがビット線 (NBIT) と接続されている。

AA Gate
BB Fin
CC Local wiring
DD Metal wiring

WO 2015/033491 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体記憶装置およびセンスアンプ回路

技術分野

[0001] 本開示は、フィン構造のトランジスタを用いた半導体記憶装置に関するものである。

背景技術

[0002] 近年、半導体デバイスの分野において、フィン構造のトランジスタ（以下、フィン型トランジスタと称する）の利用が提案されている。図7はフィン型トランジスタの概略を示す模式図である。二次元構造のMOSトランジスタと異なり、ソースおよびドレインはフィンと呼ばれる隆起した立体構造を持つ。そしてこのフィンを包むように、ゲートが配置されている。

[0003] このフィン構造により、チャネル領域がフィンの3つの面で形成されるので、チャネルの制御性が従来よりも大幅に改善する。このため、リーク電力削減、オン電流の向上、さらには動作電圧の低減などの効果が得られ、半導体集積回路の性能が向上する。

[0004] 特許文献1には、ビット線対をなすビット線間にクロスカップル回路が設けられた半導体記憶装置が開示されている。また、特許文献2には、メモリに設けられたセンスアンプ回路の例が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2006-323950号公報

特許文献2：特開2002-93174号公報

発明の概要

発明が解決しようとする課題

[0006] フィン型トランジスタでは、プレーナ型のトランジスタと比べて、ゲートと拡散領域との間のカップリング容量が増加するものと考えられる。すなわち、図7に示すように、フィン型トランジスタではゲートがフィンを包むよ

うな構造になっているため、ゲートの一部 A 1, A 2 が、プレーナ型と比べて、拡散領域との間に余分な容量を生じさせる。このため、例えばゲートードレイン間のカップリング容量が、プレーナ型のトランジスタと比べて増加する。

[0007] 一方、半導体記憶装置では、例えば読み出し動作において、ビット線（センス線）間に生じた微小電位差をセンスアンプ回路で増幅する。ここで、センスアンプ回路が、一方のビット線がゲートに接続され、他方のビット線がドレインに接続されたトランジスタを含んでいるとする。このトランジスタとしてフィン型トランジスタを用いた場合には、プレーナ型トランジスタと比べて増加したゲートードレイン間のカップリング容量により、一方のビット線の充放電が他方のビット線にノイズの形で影響を及ぼす可能性が高まる。これにより、データの誤読み出しが起こりやすくなる。同様に、書き込み動作においても、フィン型トランジスタの利用によって、データの書き込み不良が生じやすくなる。したがって、半導体記憶装置にフィン型トランジスタを用いる場合には、特に、ビット線間の干渉対策が重要となる。

[0008] 本開示は、フィン型トランジスタを用いた半導体記憶装置において、カップリング容量の影響を回路構成によって抑制し、誤読み出しや書き込み不良の発生を抑えることを目的とする。

課題を解決するための手段

[0009] 本開示の一態様では、半導体記憶装置は、第 1 および第 2 ビット線からなるビット線対と、第 1 ビット線と第 2 ビット線との間に設けられたクロスカップル回路とを備え、クロスカップル回路は、フィン型トランジスタであり、P 型の第 1、第 2、第 3 および第 4 トランジスタを備え、第 1 トランジスタは、ソースが第 1 電源に接続されゲートが第 2 ビット線と接続されており、第 2 トランジスタは、ソースが第 1 電源に接続されゲートが第 1 ビット線と接続されており、第 3 トランジスタは、ソースが第 1 トランジスタのドレインと接続されドレインが第 1 ビット線と接続されており、第 4 トランジスタは、ソースが第 2 トランジスタのドレインと接続されドレインが第 2 ビット線と接続されている。

ト線と接続されている。

[0010] この態様によると、ゲートが第2ビット線と接続された第1トランジスタは、ドレインと第1ビット線との間に第3トランジスタが設けられており、ゲートが第1ビット線と接続された第2トランジスタは、ドレインと第2ビット線との間に第4トランジスタが設けられている。すなわち、ビット線がゲートと接続されたトランジスタは、ドレインが直接他方のビット線に接続されておらず、別のトランジスタを介して、他方のビット線に接続されている。このため、フィン型トランジスタのゲートドレイン間のカップリング容量が、ビット線対に与える影響を回避することができ、したがって、データの誤読み出しや書き込み不良を防止することができる。

[0011] 本開示の他の態様では、センス線対をなす第1および第2センス線の間に設けられたセンスアンプ回路は、フィン型トランジスタであり、P型の第1、第2、第3および第4トランジスタを備え、第1トランジスタは、ソースが第1電源に接続されゲートが第2センス線と接続されており、第2トランジスタは、ソースが第1電源に接続されゲートが第1センス線と接続されており、第3トランジスタは、ソースが第1トランジスタのドレインと接続されドレインが第1センス線と接続されており、第4トランジスタは、ソースが第2トランジスタのドレインと接続されドレインが第2センス線と接続されている。

[0012] この態様によると、ゲートが第2センス線と接続された第1トランジスタは、ドレインと第1センス線との間に第3トランジスタが設けられており、ゲートが第1センス線と接続された第2トランジスタは、ドレインと第2センス線との間に第4トランジスタが設けられている。すなわち、センス線がゲートと接続されたトランジスタは、ドレインが直接他方のセンス線に接続されておらず、別のトランジスタを介して、他方のセンス線に接続されている。このため、フィン型トランジスタのゲートドレイン間のカップリング容量が、センス線対に与える影響を回避することができ、したがって、データの誤読み出しや書き込み不良を防止することができる。

発明の効果

[0013] 本開示によると、フィン型トランジスタを用いた半導体記憶装置において、フィン型トランジスタのゲートドレイン間のカップリング容量が、ビット線対またはセンス線対に与える影響を回避することができ、したがって、データの誤読み出しや書き込み不良を防止することができる。

図面の簡単な説明

[0014] [図1]半導体記憶装置の構成例を示す回路図

[図2]本実施の形態におけるクロスカップル回路の例であり、(a)は回路図、(b)はレイアウト構成を示す平面図

[図3]本実施の形態におけるクロスカップル回路の他の例であり、(a)は回路図、(b)はレイアウト構成を示す平面図

[図4]本実施の形態におけるセンスアンプ回路の例であり、(a)は回路図、(b)はレイアウト構成を示す平面図

[図5]本実施の形態におけるセンスアンプ回路の他の例であり、(a)は回路図、(b)はレイアウト構成を示す平面図

[図6]本実施の形態におけるセンスアンプ回路の他の例であり、(a)は回路図、(b)はレイアウト構成を示す平面図

[図7]フィン構造のトランジスタの概略を示す模式図

[図8]従来のクロスカップル回路の構成例

発明を実施するための形態

[0015] 以下、実施の形態について、図面を参照して説明する。

[0016] 図1は半導体記憶装置の一例としてのSRAMの構成例の一部を示す回路図である。図1において、メモリセル1はワード線WLおよびビット線対BIT、NBITに接続されている。メモリセル1はここでは6個のトランジスタによって構成されているが、この構成に限定されるものではない。

[0017] ビット線対BIT、NBITには、プリチャージ回路2、クロスカップル回路10、およびカラム選択回路3が接続されている。プリチャージ回路2はプリチャージ制御信号PCBを受け、ビット線対BIT、NBITのプリ

チャージを行う。カラム選択回路3は、読み出しカラム選択信号CARによって読み出しが選択されたときは、ビット線対BIT, NBITとセンス線対SL, NSLとを電氣的に接続する。またカラム選択回路3は、書き込みカラム選択信号CAWによって書き込みが選択されたときは、与えられた書き込みデータDIをビット線対BIT, NBITに与える。クロスカップル回路10は、ビット線対BIT, NBITの一方がローのときは他方が確実にハイになるようにするための回路である。クロスカップル回路10の構成については、後述する。

[0018] センス線対SL, NSLには、センスアンプ回路20および出力回路4が接続されている。センスアンプ回路20は、センス線対SL, NSLの微小電位差を増幅して、データ読み出しが可能になるように、センス線対SL, NSLの一方がローになり他方がハイになるようにするための回路である。センスアンプ回路20の構成については、後述する。出力回路4は、センス線対SL, NSLの電位から出力データDOを読み出して出力する。

[0019] <クロスカップル回路>

図2は本実施形態におけるクロスカップル回路10の一例であり、(a)は回路図、(b)はレイアウト構成を示す平面図である。図2において、トランジスタTr1, Tr2, Tr3A, Tr3Bはいずれも、フィン型トランジスタであり、P型トランジスタである。図2(b)および他の平面図では、フィンとその上に形成されたゲートとによって、フィン型トランジスタが構成されている。ローカル配線は、平面視でフィンまたはゲートと重なる部分において、フィンまたはゲートの上層に接して形成されており、電氣的に接続されている。メタル配線はローカル配線の上層に位置しており、コンタクトを介してローカル配線と接続されている。なお、図2(b)では図の見やすさのために、フィンにハッチを付している。ただし、ゲートの下に位置する部分についてはハッチを省いている。また、ゲートおよびローカル配線にも種類が異なるハッチを付しており、メタル配線とローカル配線とがコンタクトで接続された部分を黒く塗りつぶして示している。他の平面図にお

いても同様である。

[0020] 図2(a)に示すように、第1トランジスタとしてのトランジスタ T_{r1} は、ソースが第1電源としての V_{DD} に接続され、ゲートが第2ビット線としてのビット線 $NB1T$ と接続されている。第2トランジスタとしてのトランジスタ T_{r2} は、ソースが V_{DD} に接続され、ゲートが第1ビット線としてのビット線 $B1T$ と接続されている。第3トランジスタとしてのトランジスタ T_{r3A} は、ソースがトランジスタ T_{r1} のドレインと接続され、ドレインがビット線 $B1T$ と接続されている。第4トランジスタとしてのトランジスタ T_{r3B} は、ソースがトランジスタ T_{r2} のドレインと接続され、ドレインがビット線 $NB1T$ と接続されている。さらに、トランジスタ T_{r3A} 、 T_{r3B} は、ゲートが、第1電源よりも電源電圧が低い第2電源としての V_{SS} に接続されている。

[0021] また、図2(b)に示すように、レイアウト構成では、フィン11が図面縦方向に延びるように配置されており、フィン11の上に、図面横方向に延びるゲート12a、12b、12c、12dが並列に配置されている。第1ゲートとしてのゲート12aとフィン11とによってトランジスタ T_{r1} が構成されており、第2ゲートとしてのゲート12bとフィン11とによってトランジスタ T_{r2} が構成されており、第3ゲートとしてのゲート12cとフィン11とによってトランジスタ T_{r3A} が構成されており、第4ゲートとしてのゲート12dとフィン11とによってトランジスタ T_{r3B} が構成されている。そして、図面上方から順に、ゲート12c、ゲート12a、ゲート12b、ゲート12dと並んでいる。すなわち、第1～第4トランジスタをそれぞれ構成する第1～第4ゲートが、フィン11上に、第3ゲート、第1ゲート、第2ゲート、第4ゲートの順に並んで配置されている。

[0022] そして、 V_{DD} の電源配線13が図面縦方向に延びるように配置されており、この電源配線13の両側に、ビット線14、15($B1T$ 、 $NB1T$)がそれぞれ、図面縦方向に延びるように配置されている。さらに、 V_{SS} の電源配線16が、ビット線15の横に図面縦方向に延びるように配置されて

いる。

[0023] 図8は従来のクロスカップル回路の一例である。図2(a)を図8と対比すると、図8では、トランジスタ T_{r1} 、 T_{r2} のゲートとドレインにビット線 $B1T$ 、 $NB1T$ がそれぞれ接続されているのに対して、図2(a)では、トランジスタ T_{r1} とビット線 $B1T$ との間に直列に、トランジスタ T_{r3A} が設けられており、トランジスタ T_{r2} とビット線 $NB1T$ との間に直列に、トランジスタ T_{r3B} が設けられている。すなわち、図2(a)の回路構成では、同一トランジスタのゲートとドレインに、ビット線 $B1T$ 、 $NB1T$ がそれぞれ接続されている構成を含んでいない。ビット線がゲートと接続されたトランジスタ T_{r1} 、 T_{r2} は、ドレインが直接他方のビット線に接続されておらず、別のトランジスタ T_{r3A} 、 T_{r3B} を介して、他方のビット線に接続されている。このため、フィン型トランジスタのゲートドレイン間のカップリング容量が、ビット線対 $B1T$ 、 $NB1T$ に与える影響を回避することができ、したがって、データの誤読み出しや書き込み不良を防止することができる。

[0024] なお、図2では、トランジスタ T_{r3A} 、 T_{r3B} のゲートは VSS と接続するものとしたが、これに代えて、ローに固定する専用信号をトランジスタ T_{r3A} 、 T_{r3B} のゲートに与えるようにしてもかまわない。

[0025] 図3は本実施形態におけるクロスカップル回路10の他の例であり、(a)は回路図、(b)はレイアウト構成を示す平面図である。図3の構成は、基本的には図2と同様である。ただし、トランジスタ T_{r3A} 、 T_{r3B} のゲートに制御信号 $FLTCNT$ が与えられている点が、図2と異なっている。制御信号 $FLTCNT$ は、トランジスタ T_{r3A} 、 T_{r3B} を導通状態にするか非導通状態にするかを切り替える。例えば、制御信号 $FLTCNT$ は、ビット線対 $B1T$ 、 $NB1T$ に接続されたメモリセル1の電源遮断信号に応じた信号であり、メモリセル1の電源を遮断するとき、トランジスタ T_{r3A} 、 T_{r3B} を非導通状態にする電圧レベルに設定される。図3(b)のレイアウト構成も、電源配線16に代えて、制御信号 $FLTCNT$ を供給す

る配線 16A が配置されている点以外は、図 2（b）と同様である。

[0026] 図 3 の構成では、トランジスタ T_{r3A} 、 T_{r3B} が、クロスカップル回路 10 をビット線対 $B1T$ 、 $NB1T$ から電氣的に切り離す機能を有している。一般に、メモリセルの電源遮断状態時であってビット線 $B1T$ 、 $NB1T$ をフローティング状態にする場合には、クロスカップル回路をビット線対 $B1T$ 、 $NB1T$ から電氣的に切り離す必要がある。従来は例えば、トランジスタ T_{r1} 、 T_{r2} のソース側に電源遮断用トランジスタを設けて、この電源遮断用トランジスタを非導通状態に設定することによって、電氣的な切り離しを実現していた。これに対して図 3 の構成では、フィン型トランジスタのゲートドレイン間のカップリング容量の影響を回避するために設けたトランジスタ T_{r3A} 、 T_{r3B} が、クロスカップル回路 10 をビット線対 $B1T$ 、 $NB1T$ から電氣的に切り離す機能を兼ね備えている。このため、電源遮断用トランジスタを設ける必要がなくなり、回路面積の増加を抑えることができる。

[0027] なお、制御信号 $FLTCNT$ によるトランジスタ T_{r3A} 、 T_{r3B} の制御は、他の目的で行ってもかまわない。例えば、書き込み時はビット線 $B1T$ 、 $NB1T$ を対のデータ線として用い、読み出し時はビット線 $B1T$ 、 $NB1T$ がそれぞれ別ポートのデータ読み出しに割り当てられている構成において、データ読み出し時にビット線 $B1T$ 、 $NB1T$ を電氣的に分離するために、制御信号 $FLTCNT$ によるトランジスタ T_{r3A} 、 T_{r3B} の制御を行ってもかまわない。

[0028] <センスアンプ回路>

図 4 は本実施形態におけるセンスアンプ回路 20 の一例であり、（a）は回路図、（b）はレイアウト構成を示す平面図である。図 4 において、トランジスタ T_{p1} 、 T_{p2} 、 T_{p3A} 、 T_{p3B} はいずれも、フィン型トランジスタであり、P 型トランジスタである。また、トランジスタ T_{n1} 、 T_{n2} 、 T_{n3} はいずれも、フィン型トランジスタであり、N 型トランジスタである。

[0029] 図4 (a) に示すように、P型トランジスタに関しては、第1トランジスタとしてのトランジスタ T_{p1} は、ソースが第1電源としての V_{DD} に接続され、ゲートが第2センス線としてのセンス線 NSL と接続されている。第2トランジスタとしてのトランジスタ T_{p2} は、ソースが V_{DD} に接続され、ゲートが第1センス線としてのセンス線 SL と接続されている。第3トランジスタとしてのトランジスタ T_{p3A} は、ソースがトランジスタ T_{p1} のドレインと接続され、ドレインがセンス線 SL と接続されている。第4トランジスタとしてのトランジスタ T_{p3B} は、ソースがトランジスタ T_{p2} のドレインと接続され、ドレインがセンス線 NSL と接続されている。さらに、トランジスタ T_{p3A} 、 T_{p3B} は、ゲートが、第1電源よりも電源電圧が低い第2電源としての V_{SS} に接続されている。

[0030] 一方、N型トランジスタに関しては、従来と同様の構成である。第5トランジスタとしてのトランジスタ T_{n1} は、ドレインがセンス線 SL に接続され、ゲートがセンス線 NSL に接続されている。第6トランジスタとしてのトランジスタ T_{n2} は、ドレインがセンス線 NSL に接続され、ゲートがセンス線 SL に接続されている。第7トランジスタとしてのトランジスタ T_{n3} は、ドレインがトランジスタ T_{n1} 、 T_{n2} のソースと接続され、ソースが V_{SS} に接続され、ゲートにセンスイネーブル信号 SAE が与えられている。

[0031] また、図4 (b) に示すように、P型領域のレイアウト構成では、フィン21が図面縦方向に延びるように配置されており、フィン21の上に、図面横方向に延びるゲート22a、22b、22c、22dが並列に配置されている。第1ゲートとしてのゲート22aとフィン21とによってトランジスタ T_{p1} が構成されており、第2ゲートとしてのゲート22bとフィン21とによってトランジスタ T_{p2} が構成されており、第3ゲートとしてのゲート22cとフィン21とによってトランジスタ T_{p3A} が構成されており、第4ゲートとしてのゲート22dとフィン21とによってトランジスタ T_{p3B} が構成されている。そして、図面上方から順に、ゲート22c、ゲート

22a、ゲート22b、ゲート22dと並んでいる。すなわち、第1～第4トランジスタをそれぞれ構成する第1～第4ゲートが、フィン21上に、第3ゲート、第1ゲート、第2ゲート、第4ゲートの順に並んで配置されている。

[0032] 図4(a)の構成では、上述したクロスカップル回路10と同様に、トランジスタTp1とセンス線SLとの間に直列に、トランジスタTp3Aが設けられており、トランジスタTp2とセンス線NSLとの間に直列に、トランジスタTp3Bが設けられている。すなわち、本実施形態の回路構成では、P型トランジスタに関して、同一トランジスタのゲートとドレインに、センス線SL、NSLがそれぞれ接続されている構成を含んでいない。センス線がゲートと接続されたトランジスタTp1、Tp2は、ドレインが直接他方のセンス線に接続されておらず、別のトランジスタTp3A、Tp3Bを介して、他方のセンス線に接続されている。このため、フィン型トランジスタのゲートドレイン間のカップリング容量が、センス線対SL、NSLに与える影響を回避することができ、したがって、データの誤読み出しや書き込み不良を防止することができる。

[0033] なお、図4では、トランジスタTp3A、Tp3BのゲートはVSSと接続するものとしたが、これに代えて、ローに固定する専用信号をトランジスタTp3A、Tp3Bのゲートに与えるようにしてもかまわない。

[0034] 図5は本実施形態におけるセンスアンプ回路20の他の例であり、(a)は回路図、(b)はレイアウト構成を示す平面図である。図5の構成は、基本的には図4と同様である。ただし、トランジスタTp3A、Tp3Bのゲートに制御信号FLTCNTが与えられている点が、図4と異なっている。制御信号FLTCNTは、トランジスタTp3A、Tp3Bを導通状態にするか非導通状態にするかを切り替える。例えば、制御信号FLTCNTは、ビット線対BIT、NBITに接続されたメモリセル1の電源遮断信号に応じた信号であり、メモリセル1の電源を遮断するとき、トランジスタTp3A、Tp3Bを非導通状態にする電圧レベルに設定される。図5(b)のレ

イアウト構成も、P型領域において、VSSを供給する電源配線に代えて、制御信号FLTCNTを供給する配線が配置されている点以外は、図4（b）と同様である。

[0035] 図5の構成では、フィン型トランジスタのゲートドレイン間のカップリング容量の影響を回避するために設けたトランジスタTp3A、Tp3Bが、センスアンプ回路20のP型側をセンス線SL、NSLから電氣的に切り離す機能を兼ねている。このため、P型側の電氣的な切り離しを実現する際に、電源遮断用トランジスタを別途設ける必要がなくなり、回路面積の増加を抑えることができる。なお、制御信号FLTCNTによるダミートランジスタTp3A、Tp3Bの制御は、他の目的で行ってもかまわない。

[0036] 図6は本実施形態におけるセンスアンプ回路20の他の例であり、（a）は回路図、（b）はレイアウト構成を示す平面図である。図6の構成は、P型領域については図5と同様であるが、N型領域の回路構成およびレイアウト構成が図5と異なっている。第5トランジスタとしてのトランジスタTn1は、ソースがVSSに接続されゲートがセンス線NSLと接続されており、第6トランジスタとしてのトランジスタTn2は、ソースがVSSに接続されゲートがセンス線SLと接続されている。第7トランジスタとしてのトランジスタTn3Aは、ソースがトランジスタTn1のドレインと接続されドレインがセンス線SLと接続されており、第8トランジスタとしてのトランジスタTn3Bは、ソースがトランジスタTn2のドレインと接続されドレインがセンス線NSLと接続されている。そして、トランジスタTn3A、Tn3Bのゲートにセンスアンプイネーブル信号SAEを与えられている。このセンスアンプイネーブル信号SAEは、トランジスタTn3A、Tn3Bを導通状態にするか非導通状態にするかを切り替える制御信号として機能する。

[0037] 図6の構成では、図5の構成と比較すると、トランジスタTn3が省かれており、この代わりに、トランジスタTn1とセンス線SLとの間に直列にトランジスタTn3Aが設けられており、トランジスタTn2とセンス線N

S L との間に直列にトランジスタ T n 3 B が設けられている。すなわち、図 6 (a) の回路構成では、P 型トランジスタだけではなく、N 型トランジスタに関しても、同一トランジスタのゲートとドレインに、センス線 S L , N S L がそれぞれ接続されている構成を含んでいない。このため、フィン型トランジスタのゲートドレイン間のカップリング容量がセンス線対 S L , N S L に与える影響を、より確実に回避することができ、したがって、データの誤読み出しや書き込み不良を確実に防止することができる。

[0038] また、図 6 (b) に示すように、レイアウト構成においてゲートの曲がりをなくすことができ、レイアウトの規則性が向上するため、半導体記憶装置の信頼性が向上する。

[0039] なお、上述の実施の形態では、半導体記憶装置の一例として S R A M を用いて説明したが、例えば D R A M 等の他の構成を有する半導体記憶装置にも、本開示は適用可能である。

産業上の利用可能性

[0040] 本発明では、フィン型トランジスタを用いた半導体記憶装置において、カップリング容量の影響が抑制されるので、例えば、半導体記憶装置の性能向上に有用である。

符号の説明

- [0041] 1 メモリセル
- 1 0 クロスカップル回路
 - 1 1 フィン
 - 1 2 a ゲート (第 1 ゲート)
 - 1 2 b ゲート (第 2 ゲート)
 - 1 2 c ゲート (第 3 ゲート)
 - 1 2 d ゲート (第 4 ゲート)
 - 1 3 電源配線
 - 1 4 , 1 5 ビット線
 - 2 0 センスアンプ回路

2 1 フィン

2 2 a ゲート（第1ゲート）

2 2 b ゲート（第2ゲート）

2 2 c ゲート（第3ゲート）

2 2 d ゲート（第4ゲート）

B I T ビット線（第1ビット線）

N B I T ビット線（第2ビット線）

T r 1 トランジスタ（第1トランジスタ）

T r 2 トランジスタ（第2トランジスタ）

T r 3 A トランジスタ（第3トランジスタ）

T r 3 B トランジスタ（第4トランジスタ）

T p 1 トランジスタ（第1トランジスタ）

T p 2 トランジスタ（第2トランジスタ）

T p 3 A トランジスタ（第3トランジスタ）

T p 3 B トランジスタ（第4トランジスタ）

T n 1 トランジスタ（第5トランジスタ）

T n 2 トランジスタ（第6トランジスタ）

T n 3 トランジスタ（第7トランジスタ）

T n 3 A トランジスタ（第7トランジスタ）

T n 3 B トランジスタ（第8トランジスタ）

V D D 第1電源

V S S 第2電源

F L T C N T 制御信号

S A E センスアンプイネーブル信号（制御信号）

S L ソース線（第1ソース線）

N S L ソース線（第2ソース線）

請求の範囲

- [請求項1] 第1および第2ビット線からなるビット線対と、
 前記第1ビット線と前記第2ビット線との間に設けられたクロスカップル回路とを備え、
 前記クロスカップル回路は、
 フィン型トランジスタであり、P型の第1、第2、第3および第4トランジスタを備え、
 前記第1トランジスタは、ソースが第1電源に接続され、ゲートが前記第2ビット線と接続されており、
 前記第2トランジスタは、ソースが前記第1電源に接続され、ゲートが前記第1ビット線と接続されており、
 前記第3トランジスタは、ソースが前記第1トランジスタのドレインと接続され、ドレインが前記第1ビット線と接続されており、
 前記第4トランジスタは、ソースが前記第2トランジスタのドレインと接続され、ドレインが前記第2ビット線と接続されている
 ことを特徴とする半導体記憶装置。
- [請求項2] 請求項1記載の半導体記憶装置において、
 前記第3および第4トランジスタは、ゲートが、前記第1電源よりも電源電圧が低い第2電源に電氣的に接続されている
 ことを特徴とする半導体記憶装置。
- [請求項3] 請求項1記載の半導体記憶装置において、
 前記第3および第4トランジスタは、ゲートに、当該トランジスタを導通状態にするか非導通状態にするかを切り替える制御信号が与えられている
 ことを特徴とする半導体記憶装置。
- [請求項4] 請求項3記載の半導体記憶装置において、
 前記制御信号は、前記ビット線対に接続されたメモリセルの電源遮断信号に応じた信号であり、前記メモリセルの電源を遮断するとき、

当該トランジスタを非導通状態にする電圧レベルに設定されることを特徴とする半導体記憶装置。

[請求項5]

請求項1記載の半導体記憶装置において、

前記クロスカップル回路は、

第1方向に延び、並列に配置された第1、第2、第3および第4ゲートを備え、

前記第1～第4トランジスタは、前記第1～第4ゲートとフィンとによって、それぞれ構成されており、

前記第1～第4ゲートは、前記第1方向と垂直をなす第2方向において、前記第3ゲート、前記第1ゲート、前記第2ゲート、前記第4ゲートの順に並んで配置されている

ことを特徴とする半導体記憶装置。

[請求項6]

請求項5記載の半導体記憶装置において、

前記クロスカップル回路において、

前記第1電源の電源配線が、前記第2方向に延びるように配置されており、

前記第1および第2ビット線が、前記電源配線の両側にそれぞれ、前記第2方向に延びるように配置されている

ことを特徴とする半導体記憶装置。

[請求項7]

センス線対をなす第1および第2センス線の間に設けられたセンスアンプ回路であって、

フィン型トランジスタであり、P型の第1、第2、第3および第4トランジスタを備え、

前記第1トランジスタは、ソースが第1電源に接続され、ゲートが前記第2センス線と接続されており、

前記第2トランジスタは、ソースが前記第1電源に接続され、ゲートが前記第1センス線と接続されており、

前記第3トランジスタは、ソースが前記第1トランジスタのドレイ

ンと接続され、ドレインが前記第1センス線と接続されており、

前記第4トランジスタは、ソースが前記第2トランジスタのドレインと接続され、ドレインが前記第2センス線と接続されていることを特徴とするセンスアンプ回路。

[請求項8] 請求項7記載のセンスアンプ回路において、

前記第3および第4トランジスタは、ゲートが、前記第1電源よりも電源電圧が低い第2電源に、電氣的に接続されていることを特徴とするセンスアンプ回路。

[請求項9] 請求項7記載のセンスアンプ回路において、

前記第3および第4トランジスタは、ゲートに、当該トランジスタを導通状態にするか非導通状態にするかを切り替える制御信号が与えられていることを特徴とするセンスアンプ回路。

[請求項10] 請求項9記載のセンスアンプ回路において、

前記制御信号は、前記センス線対に接続されたメモリセルの電源遮断信号に応じた信号であり、前記メモリセルの電源を遮断するとき、当該トランジスタを非導通状態にする電圧レベルに設定されることを特徴とするセンスアンプ回路。

[請求項11] 請求項7記載のセンスアンプ回路において、

第1方向に延び、並列に配置された第1、第2、第3および第4ゲートを備え、

前記第1～第4トランジスタは、前記第1～第4ゲートとフィンとによって、それぞれ構成されており、

前記第1～第4ゲートは、前記第1方向と垂直をなす第2方向において、前記第3ゲート、前記第1ゲート、前記第2ゲート、前記第4ゲートの順に並んで配置されていることを特徴とするセンスアンプ回路。

[請求項12] 請求項7記載のセンスアンプ回路において、

フィン型トランジスタであり、N型の第5、第6および第7トランジスタを備え、

前記第5トランジスタは、ドレインが前記第1センス線と接続され、ゲートが前記第2センス線と接続されており、

前記第6トランジスタは、ドレインが前記第2センス線と接続され、ゲートが前記第1センス線と接続されており、

前記第7トランジスタは、ドレインが前記第5および第6トランジスタのソースと接続され、ソースが前記第1電源より電源電圧が低い第2電源に接続されている

ことを特徴とするセンスアンプ回路。

[請求項13]

請求項12記載のセンスアンプ回路において、

前記第7トランジスタは、ゲートに、当該トランジスタを導通状態にするか非導通状態にするかを切り替える制御信号が与えられていることを特徴とするセンスアンプ回路。

[請求項14]

請求項7記載のセンスアンプ回路において、

フィン型トランジスタであり、N型の第5、第6、第7および第8トランジスタを備え、

前記第5トランジスタは、ソースが前記第1電源より電源電圧が低い第2電源に接続され、ゲートが前記第2センス線と接続されており、

前記第6トランジスタは、ソースが前記第2電源に接続され、ゲートが前記第1センス線と接続されており、

前記第7トランジスタは、ソースが前記第5トランジスタのドレインと接続され、ドレインが前記第1センス線と接続されており、

前記第8トランジスタは、ソースが前記第6トランジスタのドレインと接続され、ドレインが前記第2センス線と接続されている

ことを特徴とするセンスアンプ回路。

[請求項15]

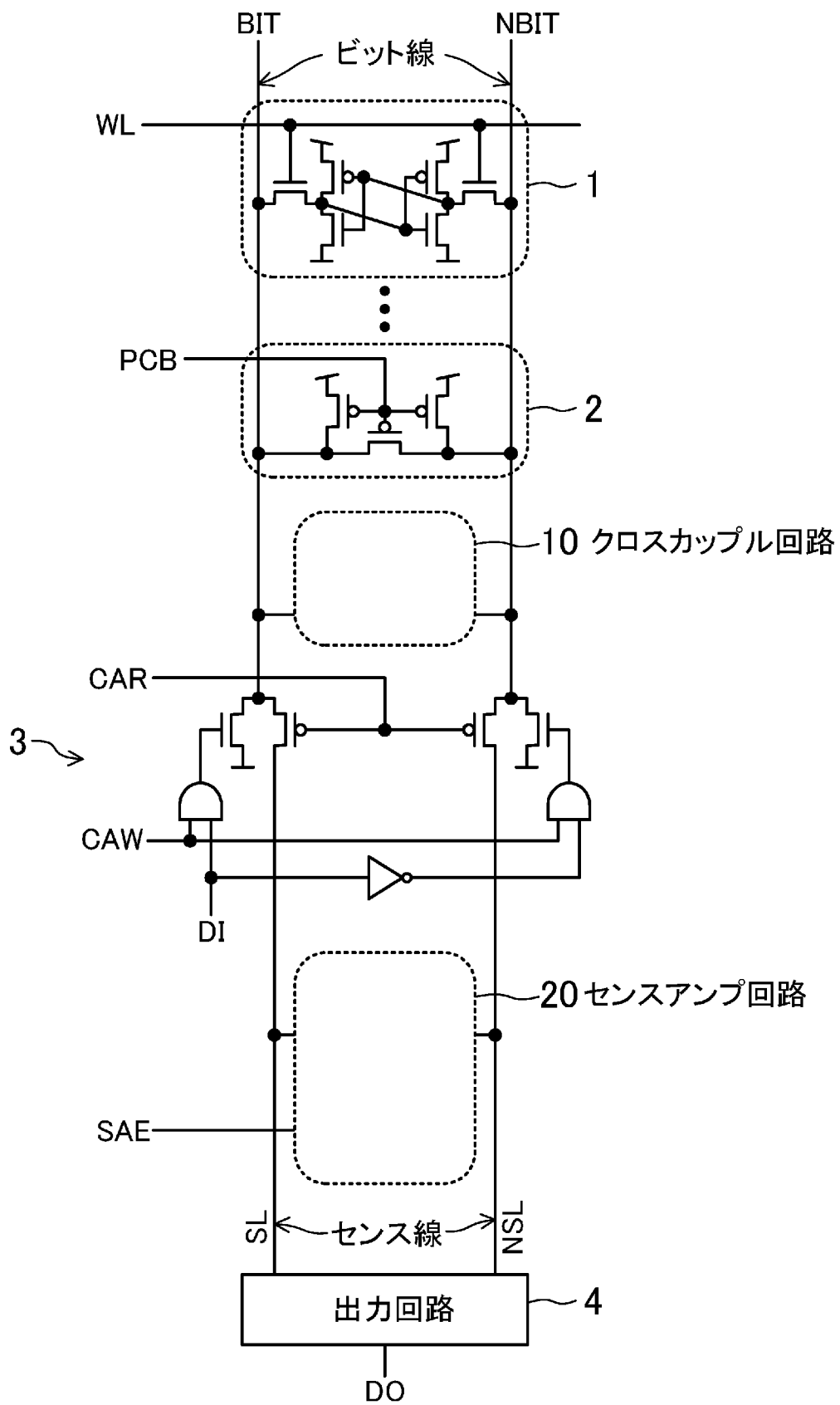
請求項14記載のセンスアンプ回路において、

前記第 7 および第 8 トランジスタは、ゲートに、当該トランジスタを導通状態にするか非導通状態にするかを切り替える制御信号が与えられている

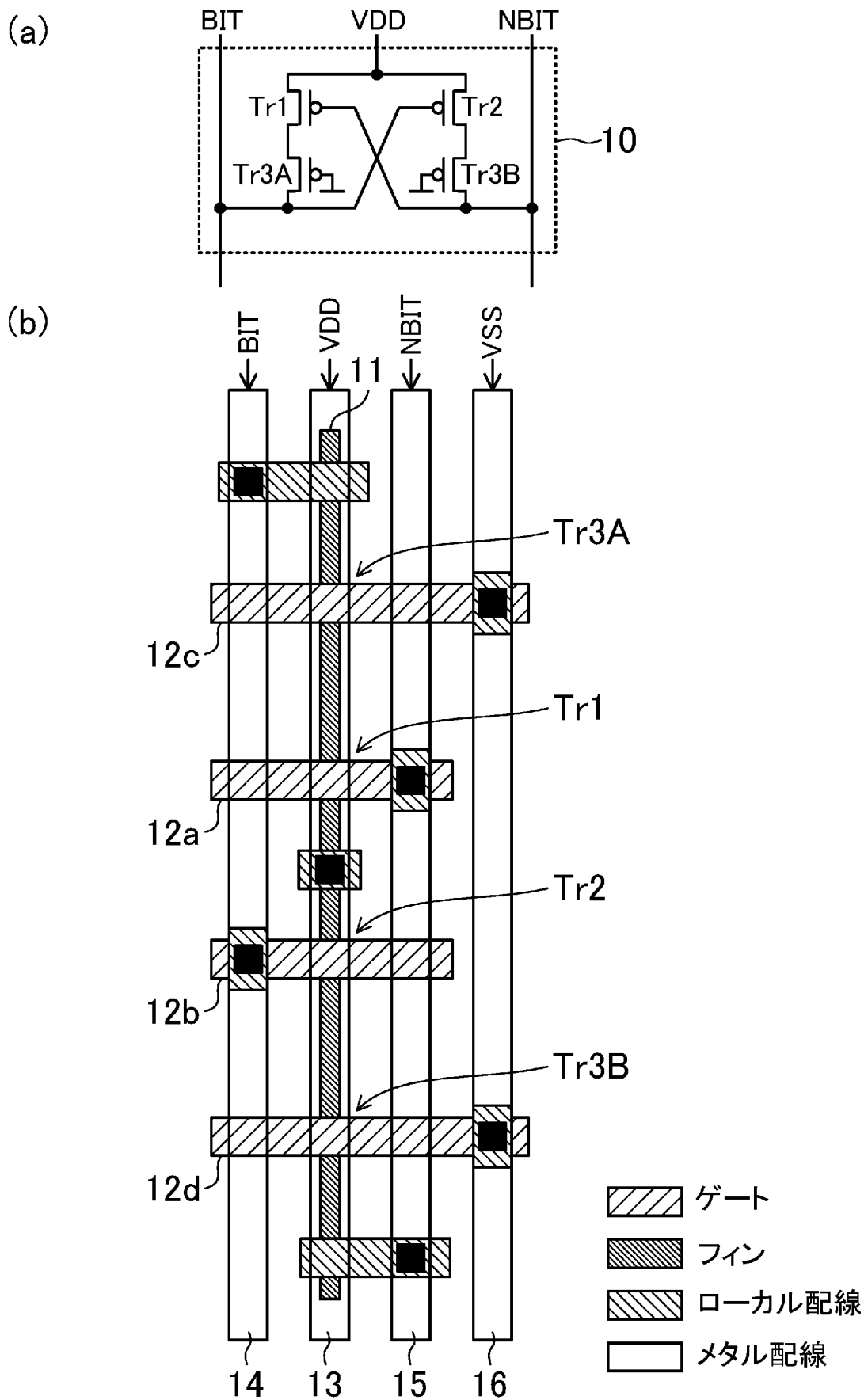
ことを特徴とするセンスアンプ回路。

[請求項16] 請求項 7 記載のセンスアンプ回路を備えた半導体記憶装置。

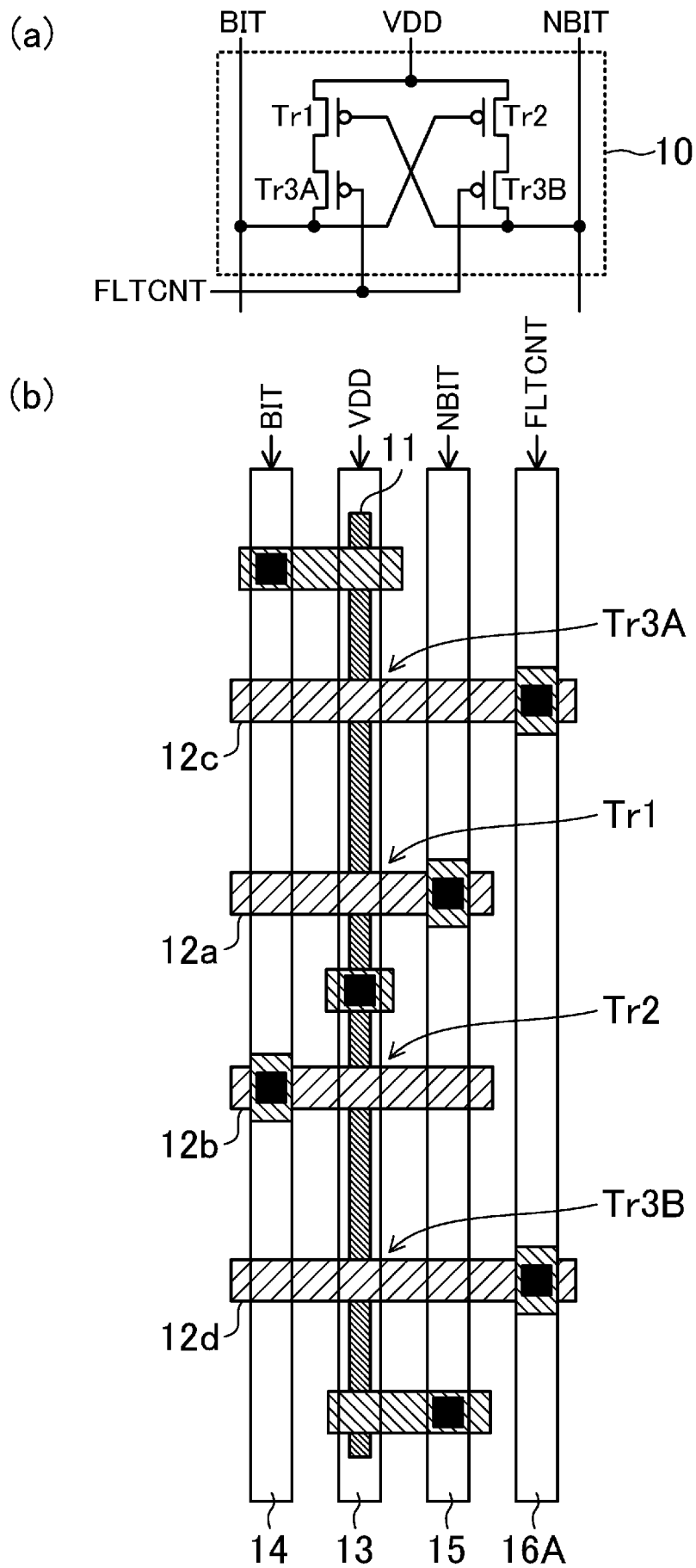
[図1]



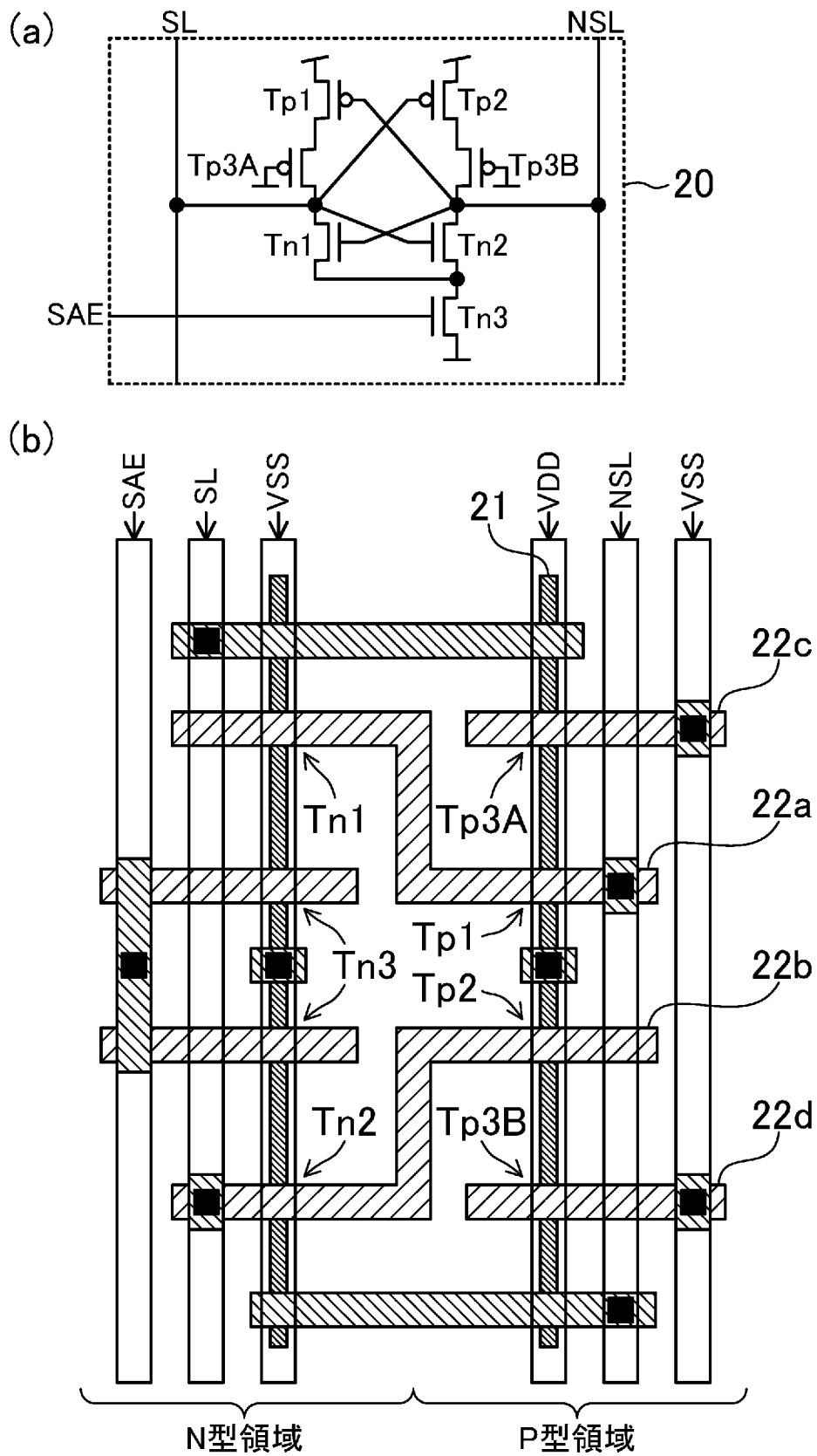
[図2]



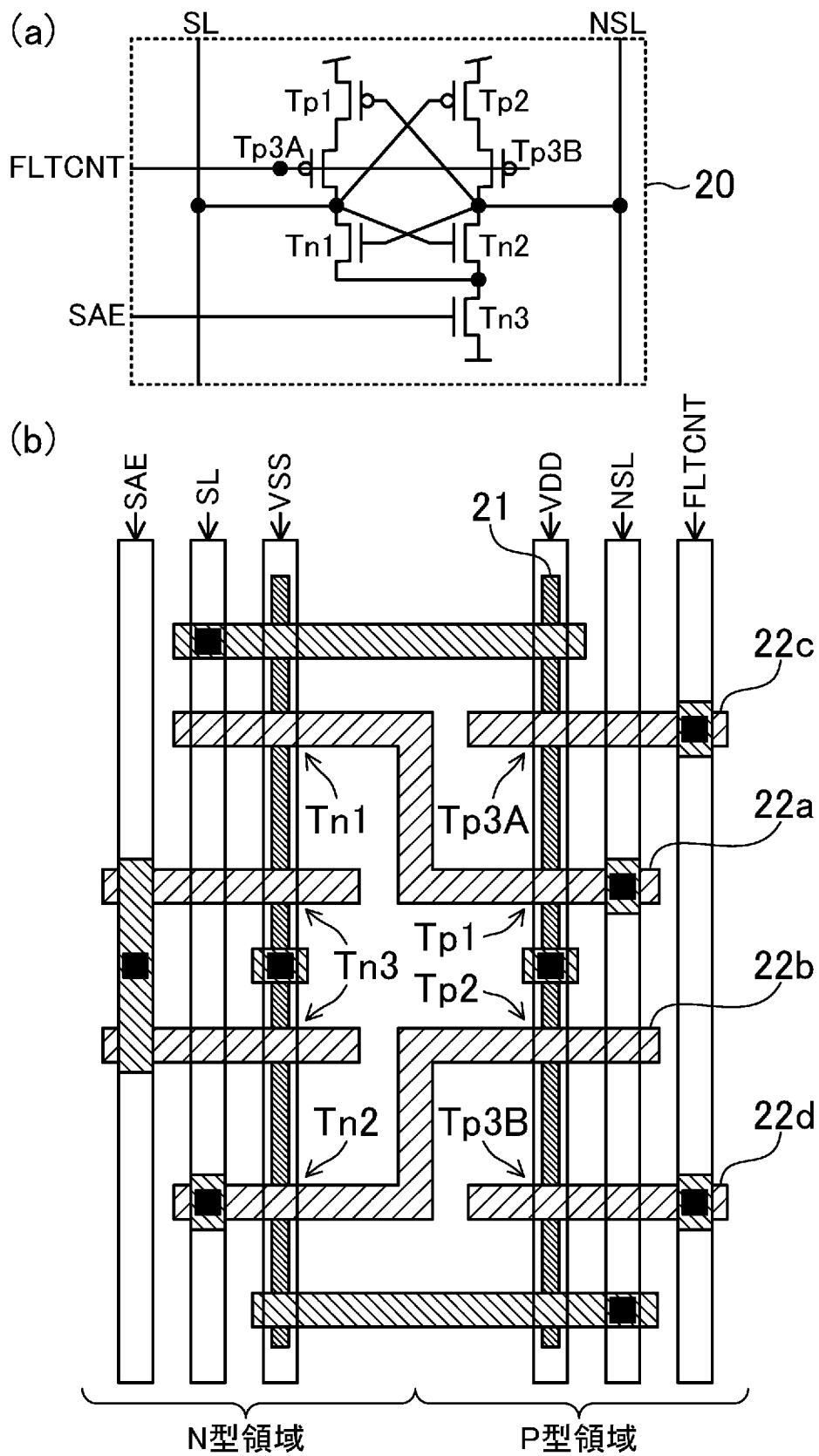
[図3]



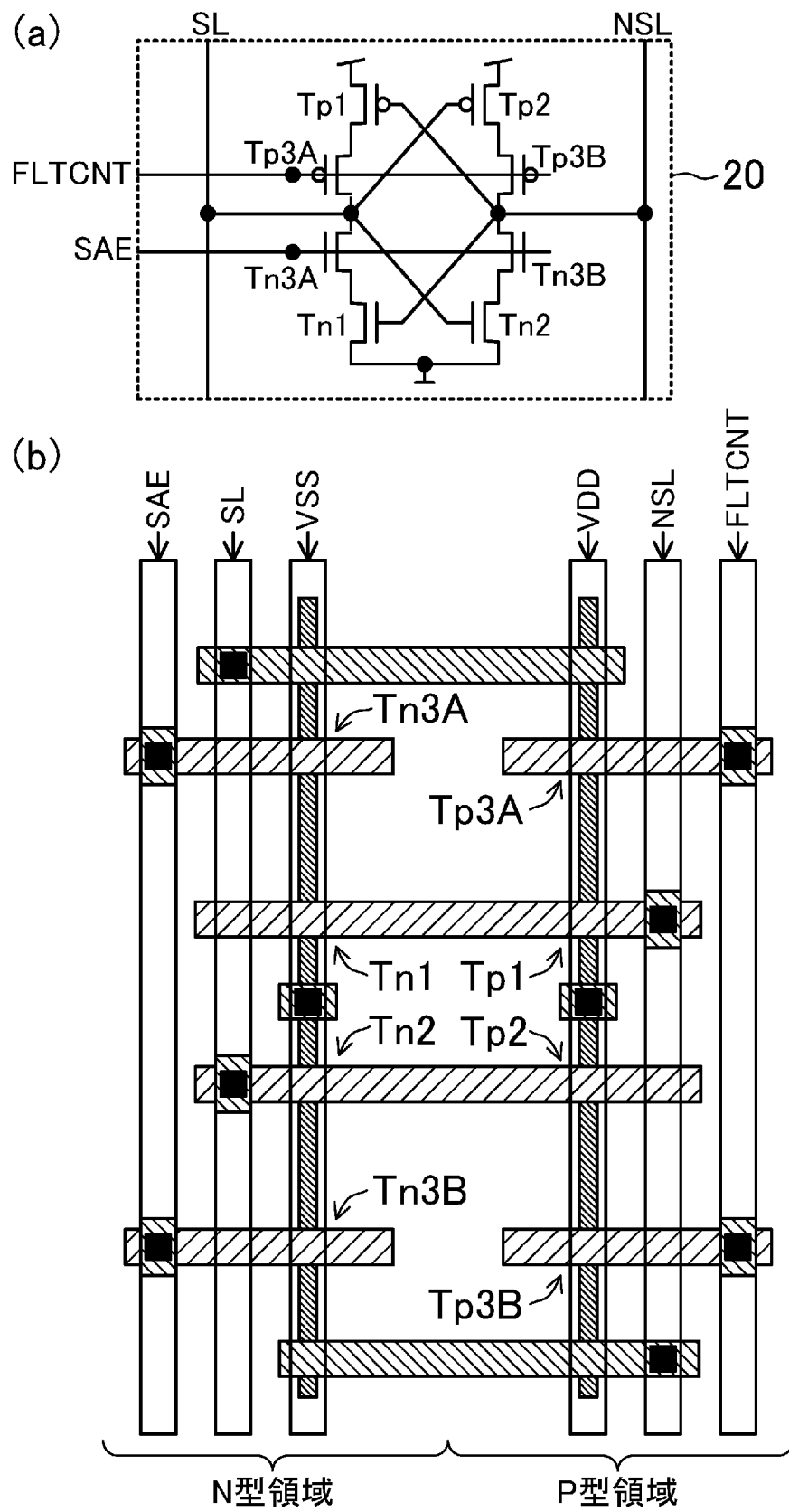
[図4]



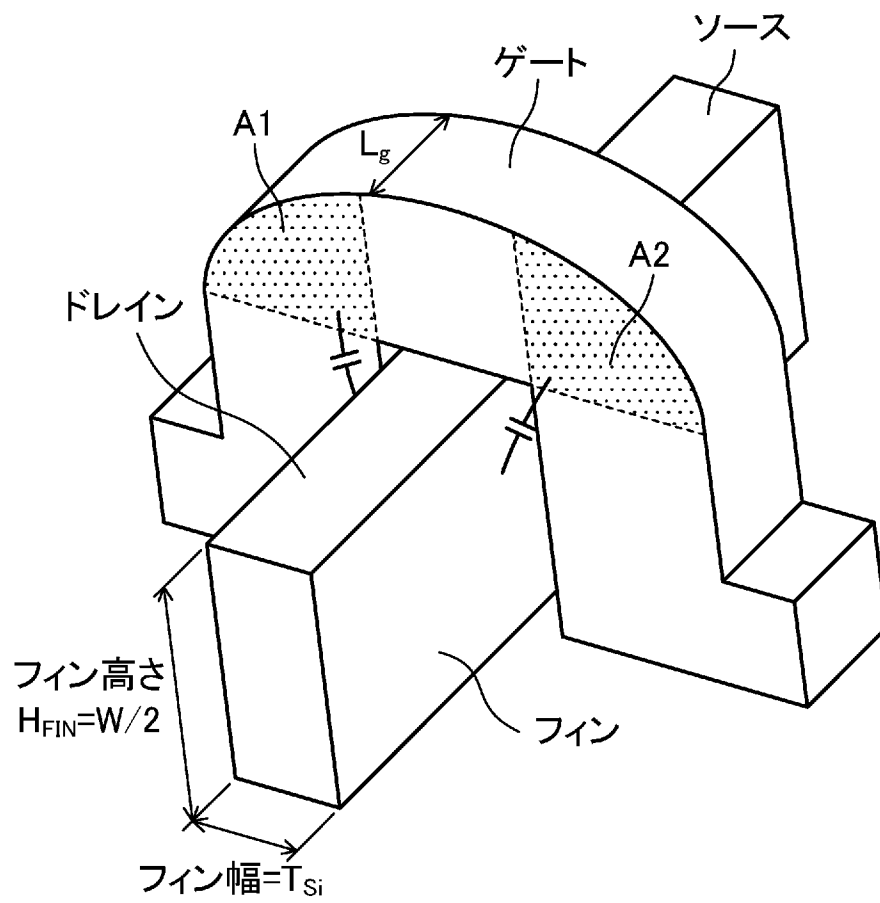
[図5]



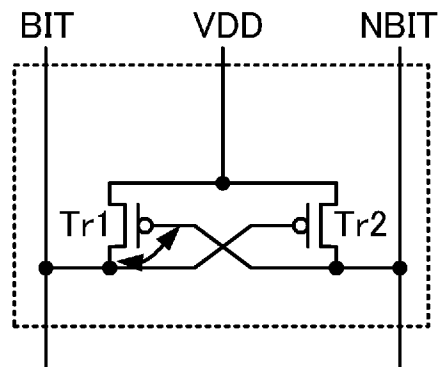
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002302

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/419(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/419

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2011-248971 A (Elpida Memory, Inc.), 08 December 2011 (08.12.2011), paragraphs [0027] to [0065]; fig. 1, 2, 16, 17 & US 2011/0292709 A1	1, 3-7, 9-11, 14-16 2, 8, 12, 13
X A	JP 58-102390 A (Nippon Telegraph & Telephone Public Corp.), 17 June 1983 (17.06.1983), page 2, upper left column, line 19 to page 2, lower right column, line 10; fig. 2, 3 (Family: none)	1, 3-7, 9-13, 16 2, 8, 14, 15
X A	US 2012/0092072 A1 (Bharath UPPUTURI, Shreekanth SAMPIGETHAYA), 19 April 2012 (19.04.2012), paragraphs [0014] to [0023]; fig. 1 & EP 2442311 A1 & CN 102446537 A	1, 2, 5-8, 11-13, 16 3, 4, 9, 10, 14, 15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 July, 2014 (07.07.14)

Date of mailing of the international search report
15 July, 2014 (15.07.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002302

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-323950 A (Matsushita Electric Industrial Co., Ltd.), 30 November 2006 (30.11.2006), paragraphs [0025] to [0032]; fig. 1 & US 2006/0262635 A1 & CN 1866396 A	1-16

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G11C11/419(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C11/419

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2011-248971 A（エルピーダメモリ株式会社）2011.12.08, 【0027】－【0065】段落、第1図、第2図、第16図、 第17図 & US 2011/0292709 A1	1, 3－7, 9－11, 14－16
A		2, 8, 12, 13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 7 . 2 0 1 4

国際調査報告の発送日

1 5 . 0 7 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

滝谷 亮一

5 U

3 1 3 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 58-102390 A (日本電信電話公社) 1983.06.17, 第2ページ左上 欄第19行～第2ページ右下欄第10行、第2図、第3図 (ファミリーなし)	1, 3-7, 9-13, 16
A		2, 8, 14, 15
X	US 2012/0092072 A1 (Bharath UPPUTURI, Shreekanth SAMPIGETHAYA) 2012.04.19, [0014]-[0023]段落、第1図 & EP 2442311 A1 & CN 102446537 A	1, 2, 5-8, 11-13, 16
A		3, 4, 9, 10, 14, 15
A	JP 2006-323950 A (松下電器産業株式会社) 2006.11.30, 【0025】-【0032】段落、第1図 & US 2006/0262635 A1 & CN 1866396 A	1-16