

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

channel region and the source and drain regions of the semiconductor film.

(57) 要約: 遮光性を有する走査線と、前記走査線に対向して設けられ、ソース／ドレイン領域および前記ソース／ドレイン領域の間のチャネル領域を有する半導体膜と、前記半導体膜の前記チャネル領域に対向するゲート電極と、前記ゲート電極を覆う第1層間絶縁膜と、前記第1層間絶縁膜を貫通して前記ゲート電極と前記走査線とを電気的に接続するとともに、前記半導体膜の前記チャネル領域および前記ソース／ドレイン領域の側方に立設する遮光壁とを備えた液晶表示装置。

明 細 書

発明の名称： 液晶表示装置および投射型表示装置

技術分野

[0001] 本技術は、T F T (Thin Film Transistor) 基板を有する液晶表示装置および投射型表示装置に関する。

背景技術

[0002] 例えばプロジェクタ（投射型表示装置）等には、光変調素子（ライトバルブ）として液晶パネル（液晶表示装置）が用いられている（例えば、特許文献1等）。液晶パネルは、例えばT F T 基板と、対向基板との間に液晶層を有している。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-186108号公報

発明の概要

[0004] しかしながら、T F T 基板に光が照射されると、光リーク電流が発生し、これに起因したフリッカ等の画質不良が生じるおそれがある。また、このような光リーク電流の発生を抑えるとともに、液晶パネルの開口率も維持することが必要となる。開口率は、光変調素子の重要な性能指標の1つである。

[0005] したがって、開口率を維持するとともに、トランジスタのリーク電流の発生を抑えることが可能な液晶表示装置および投射型表示装置を提供することが望ましい。

[0006] 本技術の一実施の形態の液晶表示装置は、遮光性を有する走査線と、走査線に対向して設けられ、ソース／ドレイン領域およびソース／ドレイン領域の間のチャネル領域を有する半導体膜と、半導体膜のチャネル領域に対向するゲート電極と、ゲート電極を覆う第1層間絶縁膜と、第1層間絶縁膜を貫通してゲート電極と走査線とを電氣的に接続するとともに、半導体膜のチャネル領域およびソース／ドレイン領域の側方に立設する遮光壁とを備えたも

のである。

[0007] 本技術の一実施の形態の投射型表示装置は、上記本技術の一実施の形態の液晶表示装置を備えたものである。

[0008] 本技術の一実施の形態の液晶表示装置および投射型表示装置では、半導体膜と略平行方向に設けられた走査線と、半導体膜と略垂直方向に立設する遮光壁とにより、半導体膜が遮光される。また、遮光壁は、埋め込みプラグ構造を有しており、他の遮光方法に比べて開口率に影響を与えにくい。

[0009] 本技術の一実施の形態の液晶表示装置および投射型表示装置によれば、走査線および遮光壁を設けるようにしたので、トランジスタのリーク電流の発生を抑えることができる。また、この遮光壁は開口率の低下を抑えることができる。よって、開口率を維持するとともに、トランジスタのリーク電流の発生を抑えることが可能となる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

図面の簡単な説明

[0010] [図1]本技術の一実施の形態に係る液晶表示装置の要部の断面構成を表す図である。

[図2]図1に示したTFT基板の平面図である。

[図3]図2に示したⅠⅠ'線に沿った断面図である。

[図4]図2に示したⅡⅡ'線に沿った断面図である。

[図5]図1に示した液晶表示装置の等価回路の一例を表す図である。

[図6A]図4等にしたTFT基板の製造工程の一例を表す断面図である。

[図6B]図6Aに続く工程を表す断面図である。

[図6C]図6Bに続く工程を表す断面図である。

[図7A]図6Cに続く工程を表す断面図である。

[図7B]図7Aに続く工程を表す断面図である。

[図7C]図7Bに続く工程を表す断面図である。

[図8A]図7Cに続く工程を表す断面図である。

[図8B]図 8 A に続く工程を表す断面図である。

[図8C]図 8 B に続く工程を表す断面図である。

[図9A]図 8 C に続く工程を表す断面図である。

[図9B]図 9 A に続く工程を表す断面図である。

[図10A]図 9 B に続く工程を表す断面図である。

[図10B]図 1 0 A に続く工程を表す断面図である。

[図11]比較例 1 に係る T F T 基板の構成を表す平面図である。

[図12]図 1 1 に示した T F T 基板の斜視図である。

[図13]比較例 2 に係る T F T 基板の構成を表す平面図である。

[図14]図 2 に示した T F T 基板の一部の斜視図である。

[図15]図 2 に示した T F T 基板の斜視図である。

[図16]図 2 に示したトランジスタに入射する光の強度について説明するための図である。

[図17]図 1 に示した液晶表示装置が適用される投射型表示装置の構成を表す図である。

発明を実施するための形態

[0011] 以下、本技術の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態

半導体膜の側方に遮光壁を設けた例

2. 変形例

保持容量の電極が遮光性を有する例

3. 適用例

[0012] [実施の形態]

(構成)

図 1 は、本技術の一実施の形態に係る液晶表示装置 1 の断面構成を表したものである。この液晶表示装置 1 は、例えば、投射型表示装置（後述の図 1 7 の投射型表示装置 2 0 0）の光変調素子として用いられるものである。液

晶表示装置 1 は、T F T 基板 1 0、画素電極 2 0、配向膜 2 1 a、液晶層 2 2、配向膜 2 1 b、対向電極 2 3 および対向基板 2 4 をこの順に有している。

[0013] 図 2 は、T F T 基板 1 0 の平面構成を表したものであり、図 3 は、図 2 に示した I I I' - I I I' 線に沿った断面構成、図 4 は、図 2 に示した I V - I V' 線に沿った断面構成をそれぞれ表している。T F T 基板 1 0 は、基板 1 1 上に、走査線 1 2、半導体膜 1 3、ゲート電極 1 4、保持容量 1 6 および遮光膜 1 7 をこの順に有している。ゲート電極 1 4 と走査線 1 2 とは、遮光壁 1 5 A、1 5 B により電氣的に接続されている。走査線 1 2 と半導体膜 1 3 との間には層間絶縁膜 1 8 A（第 2 層間絶縁膜）が設けられ、ゲート電極 1 4 と保持容量 1 6 との間には層間絶縁膜 1 8 B（第 1 層間絶縁膜）、1 8 C が設けられている。半導体膜 1 3 とゲート電極 1 4 との間にはゲート絶縁膜 1 9 が設けられている。

[0014] 図 5 は、1 の画素における等価回路の構成例を表したものである。この等価回路は、半導体膜 1 3、ゲート電極 1 4 およびゲート絶縁膜 1 9 を有するトランジスタ T r と、保持容量 1 6 と、画素電極 2 0 を有する液晶表示素子とを有するアクティブ型の駆動回路である。

[0015] トランジスタ T r は、ゲート電極 1 4 が対応する走査線 1 2 に接続され、そのソースおよびドレインのうちの一方が対応するデータ線 L D に接続され、他方が画素電極 2 0 に接続されている。保持容量 1 6 は、T r のソースおよびドレインのうちの他方と、コモン線 L C との間に配置されている。

[0016] トランジスタ T r は、走査線 1 2 から供給される走査信号（選択パルス）に応じて導通することにより、データ線 L D から供給される映像信号の信号電位をサンプリングし、保持容量 1 6 に供給するものである。

[0017] ここから、T F T 基板 1 0 を構成する各部について説明する。

[0018] 基板 1 1 は、トランジスタ T r および保持容量 1 6 を支持するためのものであり、例えば、石英、ガラス、シリコンまたはプラスチックフィルムなどの板状部材により構成されている。

[0019] 走査線 12 は、上記のように走査信号をトランジスタ T_r に供給する配線としての機能に加えて、遮光機能を有するものである。これにより、トランジスタ T_r への光照射を防ぎ、光リーク電流の発生に起因した誤作動を防止することができる。遮光性の走査線 12 は、平面視で、トランジスタ T_r の半導体膜 13 およびゲート電極 14 と重なる位置に、よりも広い範囲にわたって設けられている。即ち、半導体膜 13 およびゲート電極 14 の下面は、走査線 12 に覆われている。走査線 12 は、所定のパターンで設けられている。具体的には、走査線 12 は、所定の幅で、例えば図 2 の X 方向および Y 方向に延在している。走査線 12 は低反射率材料により構成されている。走査線 12 には、タングステンおよびチタンなどの高融点金属材料またはタングステンシリサイド (WSi) などの高融点金属シリサイド化物を用いることができる。走査線 12 の厚み (図 3 および図 4 の Z 方向) は、例えば、200 nm である。走査線 12 と基板 11 との間には、密着層 12a を設けるようにしてもよい。密着層 12a は、例えば、ポリシリコン等により構成されている。

[0020] 層間絶縁膜 18A は、この走査線 12 を覆うように、基板 11 の全面にわたって設けられている。層間絶縁膜 18A は、例えば酸化シリコン (SiO_2) により構成されている。層間絶縁膜 18A の表面は、例えば平坦化処理が施され、平坦化されていることが好ましい。表面が平坦化された層間絶縁膜 18A では、上層を形成する際の加工性が向上するので、歩留まりを向上させることができる。層間絶縁膜 18A の厚みは例えば 300 nm ~ 600 nm である。

[0021] 半導体膜 13 は、層間絶縁膜 18A 上に所定のパターンで設けられている。この半導体膜 13 は、層間絶縁膜 18A を間にして、走査線 12 の一部に対向して設けられている。半導体膜 13 は、所定の幅で、例えば、図 2 の X 方向に延在している。半導体膜 13 は、ゲート電極 14 に対向する位置のチャネル領域 13C を有している。半導体膜 13 には、このチャネル領域 13C を挟んで、LDD (Lightly Doped Drain) 領域 13L-1, 13L-2,

ソース／ドレイン領域 13SD-1, 13SD-2 が設けられている。具体的には、ソース／ドレイン領域 13SD-1 とソース／ドレイン領域 13SD-2 との間にチャネル領域 13C が設けられ、ソース／ドレイン領域 13SD-1 とチャネル領域 13C との間に LDD 領域 13L-1、ソース／ドレイン領域 13SD-2 とチャネル領域 13C との間に LDD 領域 13L-2 が設けられている。LDD 領域 13L-1, 13L-2 は、キャリア不純物が低濃度で拡散された領域である。例えば、LDD 領域 13L-2 が入力側 LDD 領域であり、LDD 領域 13L-1 が出力側 LDD 領域である。このような LDD 領域 13L-1, 13L-2 を設けることによりトランジスタ T_{r} オフ (OFF) 時のリーク電流を低減させることができる。ソース／ドレイン領域 13SD-1, 13SD-2 は、キャリア不純物が高濃度で拡散された低抵抗化領域である。ソース／ドレイン領域 13SD-1 側の半導体膜 13 は、接続孔 H1 を介して保持容量 16 に電氣的に接続されており、ソース／ドレイン領域 13SD-2 側の半導体膜 13 は、接続孔 H2 を介してデータ線 LD に電氣的に接続されている。半導体膜 13 は、例えば非晶質シリコンおよび多結晶シリコン等の半導体薄膜により構成されている。

[0022] ゲート絶縁膜 19 は、半導体膜 13 を覆うようにして基板 11 の全面に設けられている。ゲート絶縁膜 19 は、例えば酸化シリコン (SiO_2) 膜または窒化シリコン (SiN) 膜により構成されている。このようなゲート絶縁膜 19 は、例えば、CVD (Chemical Vapor Deposition) 法により形成することができる。また、熱酸化膜によりゲート絶縁膜 19 を構成するようにしてもよい。

[0023] ゲート電極 14 は、ゲート絶縁膜 19 上に所定のパターンで設けられている。このゲート電極 14 は、半導体膜 13 の幅 (図 2 の Y 方向の距離) よりも十分に広い幅で設けられている。ゲート電極 14 は、例えば、リン (P) などの不純物を添加したポリシリコン膜により構成されている。ポリシリコン膜と、例えばタングステンシリサイド膜等との積層構造によりゲート電極 14 を構成するようにしてもよい。ゲート電極 14 の厚みは、例えば 100

nm～220nmである。

[0024] 層間絶縁膜18Bは、ゲート電極14を覆うようにして基板11の全面に設けられている。この層間絶縁膜18Bは、層間絶縁膜18Aと同様に、例えば酸化シリコンにより構成されており、その表面は平坦化されていることが好ましい。

[0025] 遮光壁15A、15Bは、貫通孔SA15、SB15に設けられている。この貫通孔SA15、SB15は、層間絶縁膜18Bおよびゲート絶縁膜19を貫通するとともに、層間絶縁膜18Aの一部を介して走査線12に達している。本実施の形態では、遮光壁15A、15Bが、半導体膜13の少なくとも、チャンネル領域13C、LDD領域13L-1、13L-2およびソース／ドレイン領域13SD-1、13SD-2の側方に立設している。詳細は後述するが、これにより、半導体膜13を効果的に遮光し、TFTのリーク電流の発生を抑えることができる。また、遮光壁15A、15Bは、埋め込みプラグ構造を有している。このため、他の遮光方法と比較して、開口率の低下を防ぐことができる。

[0026] 遮光壁15A、15Bは、図2、4のXZ平面と略平行な面を含んでおり、XY平面と平行な面を含む半導体膜13と、略垂直方向に設けられている。この遮光壁15A、15Bは、半導体膜13の延在方向と略平行（X方向）に延在している。遮光壁15A、15Bは、半導体膜13のチャンネル領域13C、LDD領域13L-1、13L-2、ソース／ドレイン領域13SD-1、13SD-2および接続孔H1の側方に設けられている。遮光壁15A、15Bは、半導体膜13の接続孔H1の側方にも設けられていることが好ましい。これにより、より広い領域にわたって、半導体膜13への光の入射を防ぐことができる。遮光壁15A、15Bは半導体膜13の両側に設けられており、半導体膜13を間にして互いに対向している。遮光壁15Aは半導体膜13の一方の側方、遮光壁15Bは半導体膜13の他方の側方にそれぞれ設けられている。遮光壁15A、15Bの下端は走査線12に接しており、遮光壁15A、15Bの上端は、層間絶縁膜18Bの上面と同一平

面を構成している。この遮光壁 15 A, 15 B の下端と上端との間の一部がゲート電極 14 に接している。具体的には、遮光壁 15 A, 15 B のゲート電極 14 との対向面の一部（例えば中央部）が、ゲート電極 14 に接している。遮光壁 15 A, 15 B は、いわゆる、シェアードコンタクトであり、通常のコンタクトと比較して、より広い範囲にわたって遮光することができる。遮光壁 15 A, 15 B の厚み（Y 方向の距離）は、例えば 200 nm ~ 400 nm である。貫通孔 S A 15, S B 15 の幅（Y 方向の距離）は、遮光壁 15 A, 15 B の厚みと略同じであり、例えば、200 nm ~ 400 nm である。遮光壁 15 A, 15 B は、例えば高融点金属により構成することができる。例えば、遮光壁 15 A, 15 B は、タングステン（W）により構成されている。遮光壁 15 A, 15 B は、チタンおよびモリブデン等の高融点金属により構成するようにしてもよい。貫通孔 S A 15, S B 15 では、バリアメタル層 15 A b, 15 B b 上に、遮光壁 15 A, 15 B を設けるようにしてもよい。バリアメタル層 15 A b, 15 B b は、例えば、チタンナイトライド（TiN）により構成されている。

[0027] 層間絶縁膜 18 C は、遮光壁 15 A, 15 B の上端および層間絶縁膜 18 B を覆って、基板 11 の全面にわたり設けられている。層間絶縁膜 18 C は、層間絶縁膜 18 A, 18 B と同様に、例えば酸化シリコンにより構成されており、その厚みは、例えば、100 nm ~ 200 nm である。

[0028] 保持容量 16 は、層間絶縁膜 18 C 上の所定の領域に設けられ、トランジスタ T r を覆っている。具体的には、保持容量 16 は、半導体膜 13 およびゲート電極 14 と平面視で重なる位置に設けられ、少なくとも、半導体膜 13 のチャネル領域 13 C、LDD 領域 13 L-1, 13 L-2 およびソース／ドレイン領域 13 SD-1, 13 SD-2 とゲート電極 14 とを覆っている。保持容量 16 は、例えば走査線 12 と同程度の幅を有しており、走査線 12 の一部と平面視で重なる位置に配置されている。半導体膜 13 のチャネル領域 13 C、LDD 領域 13 L-1, 13 L-2 およびソース／ドレイン領域 13 SD-1, 13 SD-2 およびゲート電極 14 は、その下面が走査

線 1 2 に覆われ、その上面が保持容量 1 6 に覆われている。

[0029] この保持容量 1 6 は、層間絶縁膜 1 8 C 上に、下部電極 1 6 B、誘電体層 1 6 I および上部電極 1 6 U をこの順に有するものである。この下部電極 1 6 B が、接続孔 H 1 を介してソース／ドレイン領域 1 3 S D - 1 側の半導体膜 1 3 に電氣的に接続されている。接続孔 H 1 は、層間絶縁膜 1 8 B, 1 8 C およびゲート絶縁膜 1 9 に設けられている。下部電極 1 6 B および上部電極 1 6 U は、例えばリン (P) などの不純物を添加したポリシリコン膜により構成されている。下部電極 1 6 B および上部電極 1 6 U を金属材料により構成するようにしてもよい。誘電体層 1 6 I は、例えば窒化シリコン膜により構成されている。誘電体層 1 6 I は、酸化シリコン膜よりも高い誘電率を有する絶縁膜により構成することが好ましい。

[0030] 保持容量 1 6 上の遮光膜 1 7 は、トランジスタ T r への光の照射を防ぐためのものである。この遮光膜 1 7 は、例えば、保持容量 1 6 と同じ平面形状を有しており、平面視で保持容量 1 6 に重なる位置に設けられている。即ち、遮光膜 1 7 は、半導体膜 1 3 の少なくともチャネル領域 1 3 C、L D D 領域 1 3 L - 1, 1 3 L - 2 およびソース／ドレイン領域 1 3 S D - 1, 1 3 S D - 2 とゲート電極 1 4 とを覆っている。遮光膜 1 7 は、接続孔 H 1 も覆っていることが好ましい。これにより、半導体膜 1 3 のソース／ドレイン領域 1 3 S D - 1 への光入射を効果的に防ぐことができる。遮光膜は、遮光壁 1 5 A, 1 5 B も覆うことが好ましい。これにより、光の入り込む隙間を小さくし、より効果的に遮光することができる。遮光膜 1 7 は、例えば、遮光性の高融点金属または高融点金属シリサイド化物により構成されている。遮光性の高融点金属としては、例えば、タングステンが挙げられ、遮光性の高融点金属シリサイド化物としては、例えば、タングステンシリサイドが挙げられる。

[0031] T F T 基板 1 0 上の画素電極 2 0 は、画素毎に配設されており、例えばトランジスタ T r に電氣的に接続されている。対向電極 2 3 は、対向基板 2 4 上に複数の画素に共通の電極として設けられ、例えばコモン電位に保持され

ている。液晶層 2 2 は、例えば V A (Vertical Alignment : 垂直配向) モード, T N (Twisted Nematic) モードあるいは I P S (In Plane Switching) モード等により駆動される液晶により構成されている。配向膜 2 1 a, 2 1 b は、画素電極 2 0 および対向電極 2 3 の液晶層 2 2 側の各面に設けられている。

[0032] このような液晶表示装置 1 は、例えば以下のような方法で製造することができる (図 6 A ~ 図 1 0 B)。

[0033] まず、基板 1 1 上に、密着層材料膜 1 2 a M および導電膜 1 2 M をこの順に成膜する。次いで、図 6 A に示したように、フォトリソグラフィ技術を用いて、導電膜 1 2 M 上の所定の領域にレジスト R S のパターンを形成する。続いて、エッチング技術を用いて、密着層材料膜 1 2 a M および導電膜 1 2 M をパターニングし、密着層 1 2 a および走査線 1 2 を形成する。密着層 1 2 a および走査線 1 2 を形成した後、レジスト R S を除去する。

[0034] 続いて、図 6 B に示したように、基板 1 1 の全面に層間絶縁膜 1 8 A を成膜した後、CMP (Chemical Mechanical Polishing) 処理を行って、層間絶縁膜 1 8 A の表面を平坦化する (図 6 C)。

[0035] 次いで、図 7 A に示したように、層間絶縁膜 1 8 A 上の所定の領域に半導体膜 1 3 を形成する。半導体膜 1 3 は、例えば、層間絶縁膜 1 8 A 上に非晶質シリコンまたは多結晶シリコン等を成膜した後、これをリソグラフィ技術およびエッチング技術を用いてパターニングすることにより形成する。半導体膜 1 3 を形成する際に、適切な不純物導入処理および熱処理等を行うことにより半導体特性を向上させることができる。

[0036] 半導体膜 1 3 を形成した後、図 7 B に示したように、半導体膜 1 3 および層間絶縁膜 1 8 A を覆うゲート絶縁膜 1 9 を形成する。ゲート絶縁膜 1 9 は、例えば、C V D 法を用いて酸化シリコン膜または窒化シリコン膜等を成膜することにより形成することができる。熱酸化膜によりゲート絶縁膜 1 9 を形成するようにしてもよい。

[0037] 続いて、図 7 C に示したように、ゲート絶縁膜 1 9 上に導電膜 1 4 M を成

膜した後、リソグラフィ技術およびエッチング技術を用いて、この導電膜 14 M をパターンニングする。これによりゲート電極 14 が形成される（図 8 A）。導電膜 14 M には、例えば、リンなどの不純物を添加したポリシリコン膜を用いることができる。ゲート電極 14 を形成する際に、適切な不純物導入処理および熱処理等を行うことによりその特性を向上させることができる。

[0038] ゲート電極 14 を形成した後、図 8 B、図 8 C に示したように、ゲート電極 14 およびゲート絶縁膜 19 を覆う層間絶縁膜 18 B を形成し、CMP 処理等による表面の平坦化を行う。続いて、図 9 A、図 9 B に示したように、層間絶縁膜 18 B およびゲート絶縁膜 19 を貫通して、走査線 12 に達する貫通孔 S A 15、S B 15 を形成する。貫通孔 S A 15、S B 15 は、半導体膜 13 の両側に、半導体膜 13 の延在方向に沿って形成する。

[0039] 貫通孔 S A 15、S B 15 の形成方法について、より具体的に説明する。まず、図 9 A に示したように、例えば異方性ドライエッチングにより、一旦、ゲート電極 14 にかからない程度の幅（Y 方向の距離）で貫通孔 S A 15、S B 15 を形成する。このとき、貫通孔 S A 15、S B 15 はゲート電極 14 まで広がっていないので、加工によるプラズマダメージがトランジスタ T_r （ゲート電極 14）におよぶのを防ぐことができる。続いて、例えばウェットエッチングまたは等方性ドライエッチング等により、図 9 B に示したように、ゲート電極 14 まで貫通孔 S A 15、S B 15 の幅を広げる。ウェットエッチングまたは等方性ドライエッチング等の方法は、ゲート電極 14 へのプラズマダメージが生じないので、トランジスタ T_r の特性を低下させる虞がない。このような 2 段階の加工により貫通孔 S A 15、S B 15 を形成することができる。ゲート電極 14 へのプラズマダメージを考慮しなくてもよい場合には、例えば異方性ドライエッチングによる 1 段階の加工で貫通孔 S A 15、S B 15 を形成することも可能である。

[0040] 貫通孔 S A 15、S B 15 を形成した後、貫通孔 S A 15、S B 15 内に例えば、チタンナイトライドおよびタングステンがこの順に成膜した後、層

間絶縁膜 1 8 上の余分なチタンナイトライドおよびタングステンを、CMP 処理またはエッチバック処理により除去する。これにより、貫通孔 S A 1 5 内に、バリアメタル層 1 5 A b および遮光壁 1 5 A が形成され、貫通孔 S B 1 5 内に、バリアメタル層 1 5 B b および遮光壁 1 5 B が形成される（図 1 0 A）。

[0041] 遮光壁 1 5 A, 1 5 B を形成した後、図 1 0 B に示したように、この遮光壁 1 5 A, 1 5 B の上端および層間絶縁膜 1 8 B を覆う層間絶縁膜 1 8 C を形成する。続いて、リソグラフィ技術およびエッチング技術を用いて、層間絶縁膜 1 8 C 上の所定の領域に下部電極 1 6 B、誘電体層 1 6 l、上部電極 1 6 u および遮光膜 1 7 を形成する。これにより、T F T 基板 1 0 が形成される。

[0042] T F T 基板 1 0 を形成した後、T F T 基板 1 0 上に画素電極 2 0 および配向膜 2 1 a を形成する。一方、対向基板 2 4 側には、対向電極 2 3 および配向膜 2 1 b を形成しておく。このような T F T 基板 1 0 と対向基板 2 4 とを貼り合わせて、これらの間に、液晶を注入して液晶層 2 2 を形成する。これにより、図 1 に示した液晶表示装置 1 が完成する。

[0043] （動作）

液晶表示装置 1 では、液晶層 2 2 での光透過率が画素毎に制御され、入力された画像信号に応じたコントラストの光が出射されるようになっている。トランジスタ T r は、画素電極 2 0 に電氣的に接続されており、画素電極 2 0 をスイッチング制御する。

[0044] （作用・効果）

本実施の形態の液晶表示装置 1 では、T F T 基板 1 0 に、埋め込みプラグ構造の遮光壁 1 5 A, 1 5 B が設けられているので、開口率を維持するとともに、T F T のリーク電流の発生を抑えることが可能となる。以下、これについて、比較例（比較例 1, 2）を用いて詳細に説明する。

[0045] 図 1 1 は、比較例 1 に係る T F T 基板（T F T 基板 1 0 0）の平面構成を表したものであり、図 1 2 は、T F T 基板 1 0 0 の構成を表す斜視図である

。このTFT基板100では、ゲート電極14の上層に遮光膜170が設けられている。遮光膜170は、ゲート電極14の一部を覆っている。遮光膜170は、接続孔151を介してゲート電極14と電氣的に接続されるとともに、接続孔152を介して走査線12と電氣的に接続されている。接続孔151は、ゲート電極14上に、半導体膜13の延在方向（図11のX方向）と略直交する方向（図11のY方向）に沿って設けられている。接続孔152は、半導体膜13の両側の側方に、半導体膜13の延在方向と略平行方向（図11のX方向）に沿って設けられている。接続孔152は、半導体膜13のチャンネル領域13C、LDD領域13L-1およびソース／ドレイン領域13SD-1の側方に設けられている。接続孔152内に設けられた遮光膜170は、側方からの半導体膜13への光の入射を防ぐ。

[0046] 図13は、比較例2に係るTFT基板（TFT基板101）の平面構成を表したものである。このTFT基板101では、TFT基板100と比較して、接続孔152がより長く設けられており、半導体膜13のチャンネル領域13C、LDD領域13L-1、13L-2およびソース／ドレイン領域13SD-1、13SD-2の側方に遮光膜170が配置される。したがって、TFT基板100よりも、側方からの半導体膜13への光入射をより効果的に防ぐことができる。

[0047] しかしながら、このようなTFT基板100、101には遮光性、開口率およびトランジスタ特性の点で以下のような問題が生じ得る。

[0048] まず、遮光性の問題について説明する。TFT基板100、101では、接続孔152内に設けられた遮光膜170によって、半導体膜13への側方からの光入射を防いでいるが、接続孔152内には、成膜技術を考慮すると、十分な厚みの遮光膜170を成膜することは困難である。薄い遮光膜170では十分な遮光を行うことができない。また、接続孔152内に設けられた遮光膜170では、半導体膜13の側方から光の入射を効果的に防ぐことができない。これは、遮光性のより高いTFT基板101であっても、接続孔152を十分に長く延在させることができず、回折光が入り込む隙間が多

く生じるためである。具体的には、保持容量 16 と半導体膜 13 とを接続する接続孔 H1 の側方には、接続孔 152 を設けることができない。

[0049] 次に、開口率の問題について説明する。TFT基板 100, 101 は、接続孔 151, 152 を形成した後に、遮光膜 170 の成膜およびパターニングを行うことにより製造される。このような製造工程では、接続孔 152 の幅を小さくすると、遮光膜 170 の成膜に不具合が生じる虞があるので、接続孔 152 の幅が大きくなりやすい。また、接続孔 152 と遮光膜 170 との位置合わせが必要となるため、所定の余裕を見込んで領域を確保しておく必要がある。このような理由から、開口率を向上させることが困難である。

[0050] 続いて、トランジスタ特性の問題について説明する。TFT基板 100, 101 では、接続孔 151, 152 を同時に形成することが可能である。しかし、この場合には、接続孔 151 がゲート電極 14 に達した後に、続けて接続孔 152 が形成される。このため、ゲート電極 14 が過剰なエッチングに晒されることになる。ゲート電極 14 が金属を含む場合、この過剰エッチングに起因した反応生成物が接続孔 151 内に付着して電氣的導通不良が生じる虞がある。また、接続孔 151 を形成する際に、半導体膜 13、ゲート電極 14 およびゲート絶縁膜 19 にプラズマダメージがおよぶ虞がある。特に、半導体膜 13 に非晶質シリコンまたは多結晶シリコン等を用いた TFT 基板 100, 101 は、MOS (metal-oxide semiconductor) デバイスに比べて、プラズマ加工での過電流素に起因したゲート絶縁膜 19 の劣化が生じやすい。石英からなる基板 11 上では、半導体膜 13 およびゲート電極 14 は、電氣的にフローティングとなっているためである。

[0051] これに対し、本実施の形態では、半導体膜 13 の側方に埋め込みプラグ構造の遮光壁 15A, 15B が設けられているので、TFT基板 100, 101 と比較して、遮光性、開口率およびトランジスタ特性の点で有利である。これについて、図 14, 図 15 を用いつつ説明する。図 14 は、保持容量 16 および遮光膜 17 を除いた状態の TFT 基板 10 の要部の斜視図であり、図 15 は、図 14 に、保持容量 16 および遮光膜 17 を追加した状態の TFT

T基板10の斜視図である。

[0052] 埋め込みプラグ構造を有する遮光壁15A, 15Bは、十分な厚みで形成することができる。また、この遮光壁15A, 15Bは、TFT基板100, 101の接続孔152と比較して、より広い領域にわたって設けることができるので、遮光性を高めることができる。遮光壁15A, 15Bは、少なくとも半導体膜13のチャネル領域13C、LDD領域13L-1, 13L-2およびソース／ドレイン領域13SD-1, 13SD-2の側方に設けられているので、TFT基板100の接続孔152と比較して、より広い範囲にわたって設けられている。更に、遮光壁15A, 15Bは、接続孔H1の側方にも設けられているので、TFT基板101の接続孔152よりも、より広い範囲にわたって遮光することができる。TFT基板10では、トランジスタTrが、下側から走査線12により、側方から遮光壁15A, 15Bにより、上側から遮光膜17により囲まれているので、立体的にトランジスタTrへの光入射を抑制することができる（図14, 図15）。このようなTFT基板10では、回折光が入り込む隙間が少なく、迷光を含めた全ての光について十分な遮光を行うことができる。

[0053] 図16は、TFT基板10, 100, 101半導体膜13のLDD領域13L-1, 13L-2への入射光エネルギーをFDTD (finite-difference time-domain) シミュレーションを用いて算出した結果である。TFT基板10は、TFT基板100, 101に比べて、LDD領域13L-1, 13L-2の両方で光強度が小さくなっており、十分な遮光がなされている。TFT基板100では、LDD領域13L-2へ入射する光強度がTFT基板10の21.1倍であり、LDD領域13L-1へ入射する光強度がTFT基板10の3.0倍である。TFT基板101では、LDD領域13L-2へ入射する光強度がTFT基板10の2.0倍であり、LDD領域13L-1へ入射する光強度がTFT基板10の1.6倍である。

[0054] また、埋め込みプラグ構造の遮光壁15A, 15Bが形成される貫通孔SA15, SB15では、その幅を小さくすることが可能であり、また、位置

合わせの問題も生じ得ない。したがって、開口率が維持される。例えば、0.64 WUXGAパネルにおいて、TFT基板10の開口率と、TFT基板101の開口率とを試算した。この結果、TFT基板101の開口率が65.5%であったのに対し、TFT基板10の開口率は67%であった。加えて、TFT基板10では、遮光壁15A、15Bを形成する際にパターニングが不要であるので、製造工程を簡易化することができる。

[0055] 更に、貫通孔SA15、SB15の形成工程では、ゲート電極14が過剰なエッチングに晒されることはない。また、貫通孔SA15、SB15は、上述のように、ゲート電極14へのプラズマダメージを抑えて形成することが可能である。したがって、トランジスタTrの特性が維持される。

[0056] 以上説明したように、本実施の形態では、遮光性の走査線12とともに、埋め込みプラグ構造の遮光壁15A、15Bを設けるようにしたので、開口率を維持しつつ、光照射に起因したトランジスタTrのリーク電流の発生を抑えることができる。また、トランジスタTrの特性も維持することができる。

[0057] 更に、遮光膜17を設けるようにしたので、走査線21および遮光壁15A、15Bとともに、より効果的にトランジスタTrへの光照射を防ぐことができる。

[0058] 〔変形例〕

上記実施の形態では、保持容量16とは別に遮光膜17を設ける場合について説明したが、遮光性の保持容量16を設けて、遮光膜17を省略するようにしてもよい。具体的には、下部電極16Dおよび上部電極16Uの少なくとも一方を遮光性の導電膜を用いるようにすればよい。遮光性の導電膜としては、例えば、アルミニウム（Al）およびチタニウム（Ti）等が挙げられる。

[0059] 〔適用例〕

本技術の液晶表示装置1は、例えば投射型表示装置に適用することができる。

[0060] 図17は、光変調素子として液晶表示装置1が適用された投射型表示装置（投射型表示装置200）の構成例を示す図である。この投射型表示装置200は、例えばスクリーンに画像を投射する表示装置である。投射型表示装置200は、例えばPC等のコンピュータや各種画像プレーヤ等の外部の画像供給装置にI/F（インターフェイス）を介して接続されており、このI/Fに入力される画像信号に基づいて、スクリーン等への投影を行うものである。なお、以下に説明する投射型表示装置200の構成は一例であり、本技術に係る投射型表示装置は、このような構成に限定されるものではない。

[0061] 投射型表示装置200は、光源211、マルチレンズアレイ212、PbSアレイ213、フォーカスレンズ214、ミラー215、ダイクロイックミラー216、217、光変調素子218a~218c、ダイクロイックプリズム219、および投写レンズ220を備える。光変調素子218a~218cに、例えば上記実施の形態の液晶表示装置1が用いられている。

[0062] 光源211は、発光部211aによって発光された光を、リフレクタ211bによってマルチレンズアレイ212に対して出射する。マルチレンズアレイ212は、複数のレンズ素子がアレイ状に設けられた構造であり、光源211から出射された光を集光する。PbSアレイ213は、マルチレンズアレイ212によって集光された光を、所定の偏光方向の光、例えばP偏光波に偏光する。フォーカスレンズ214は、PbSアレイ213によって所定の偏光方向の光に変換された光を集光する。

[0063] ダイクロイックミラー216は、フォーカスレンズ214、ミラー215を介して入射してきた光のうちの赤色光Rを透過し、緑色光G、青色光Bを反射する。ダイクロイックミラー216によって透過された赤色光Rは、ミラー215を介して光変調素子218aに導かれる。

[0064] ダイクロイックミラー217は、ダイクロイックミラー216によって反射された光のうちの青色光Bを透過し、緑色光Gを反射する。ダイクロイックミラー217によって反射された緑色光Gは、光変調素子218bに導かれる。一方、ダイクロイックミラー217によって透過された青色光Bは、

ミラー 215 を介して光変調素子 218c に導かれる。

[0065] 光変調素子 218a～218c の各々は、入射された各色光を光変調し、光変調された各色光をダイクロイックプリズム 219 に入射する。ダイクロイックプリズム 219 は、光変調されて入射してきた各色光を 1 つの光軸に合成する。合成された各色光は、投写レンズ 220 を介してスクリーン等に投影される。

[0066] 投射型表示装置 200 では、色の 3 原色である赤、緑、青の 3 色に対応した 3 つの光変調素子 218a～218c が組み合わせられ、あらゆる色が表示される。即ち、投射型表示装置 200 は、いわゆる 3 板式の投射型表示装置である。

[0067] 液晶表示装置 1 は、上記投射型表示装置の他、テレビジョン装置、デスクトップ型のパーソナルコンピュータのモニタ、ノート型パーソナルコンピュータ、ビデオカメラおよびデジタルスチルカメラなどの撮像装置、PDA (Personal Digital Assistant) , 携帯電話機およびスマートフォン等の電子機器にも適用可能である。

[0068] 以上、実施の形態および変形例を挙げて本技術を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々変形可能である。例えば、上記実施の形態において例示した液晶表示装置の構成要素、配置および数等は、あくまで一例であり、全ての構成要素を備える必要はなく、また、他の構成要素を更に備えていてもよい。

[0069] なお、本明細書に記載された効果はあくまで例示であってこれに限定されるものではなく、また他の効果があってもよい。

[0070] なお、本技術は、以下のような構成も可能である。

(1)

遮光性を有する走査線と、

前記走査線に対向して設けられ、ソース／ドレイン領域および前記ソース／ドレイン領域の間のチャネル領域を有する半導体膜と、

前記半導体膜の前記チャネル領域に対向するゲート電極と、

前記ゲート電極を覆う第1層間絶縁膜と、

前記第1層間絶縁膜を貫通して前記ゲート電極と前記走査線とを電氣的に接続するとともに、前記半導体膜の前記チャネル領域および前記ソース／ドレイン領域の側方に立設する遮光壁とを備えた液晶表示装置。

(2)

更に、基板を有し、

前記基板上に、前記走査線、前記半導体膜、前記ゲート電極および前記第1層間絶縁膜の順に配置されている

前記(1)に記載の液晶表示装置。

(3)

更に、前記走査線と前記半導体膜との間の第2層間絶縁膜と、

前記半導体膜と前記ゲート電極との間のゲート絶縁膜とを備え、

前記遮光壁は、前記第1層間絶縁膜、前記ゲート絶縁膜および前記第2層間絶縁膜に設けられている

前記(2)に記載の液晶表示装置。

(4)

前記遮光壁は前記半導体膜の両側に立設している

前記(1)乃至(3)のうちいずれか1つに記載の液晶表示装置。

(5)

前記遮光壁は、その下端が前記走査線に接するとともに、前記下端と上端との間で前記ゲート電極に接している

前記(1)乃至(4)のうちいずれか1つに記載の液晶表示装置。

(6)

前記遮光壁の前記上端と前記第1層間絶縁膜の上面とは同一平面を構成している

前記(5)に記載の液晶表示装置。

(7)

前記走査線は、平面視で前記ゲート電極および前記半導体膜よりも広く、かつ、前記ゲート電極および前記半導体膜に重なる位置に配置されている

前記（１）乃至（６）のうちいずれか１つに記載の液晶表示装置。

（８）

更に、前記第１層間絶縁膜上に、下部電極、誘電体層および上部電極をこの順に有する保持容量を備えた

前記（１）乃至（７）のうちいずれか１つに記載の液晶表示装置。

（９）

前記下部電極および前記上部電極の少なくとも一方が遮光性を有し、

前記保持容量は、平面視で前記ゲート電極と、前記半導体膜の前記ソース／ドレイン領域および前記チャネル領域とを覆う位置に配置されている

前記（８）に記載の液晶表示装置。

（１０）

前記遮光壁は、前記保持容量と前記半導体膜との接続孔の側方にも立設している

前記（８）または（９）に記載の液晶表示装置。

（１１）

更に、前記第１層間絶縁膜上に、平面視で前記半導体膜の前記ソース／ドレイン領域および前記チャネル領域と前記ゲート電極とを覆う遮光膜を備えた

前記（１）乃至（８）のうちいずれか１つに記載の液晶表示装置。

（１２）

前記遮光膜は、金属または金属シリサイド化物により構成されている

前記（１１）に記載の液晶表示装置。

（１３）

前記半導体膜の前記ソース／ドレイン領域と前記チャネル領域との間に、ＬＤＤ（Lightly doped drain）領域を有する

前記（１）乃至（１２）のうちいずれか１つに記載の液晶表示装置。

(14)

前記遮光壁は金属により構成されている

前記(1)乃至(13)のうちいずれか1つに記載の液晶表示装置。

(15)

前記走査線は金属により構成されている

前記(1)乃至(14)のうちいずれか1つに記載の液晶表示装置。

(16)

光源と、

前記光源から出射された光が入射する光変調素子と、

前記光変調素子から出射された光が入射する投射レンズとを備え、

前記光変調素子は、

遮光性を有する走査線と、

前記走査線に対向して設けられ、ソース／ド레인領域および前記ソース／ド레인領域の間のチャネル領域を有する半導体膜と、

前記半導体膜の前記チャネル領域に対向するゲート電極と、

前記ゲート電極を覆う第1層間絶縁膜と、

前記第1層間絶縁膜を貫通して前記ゲート電極と前記走査線とを電氣的に接続するとともに、前記半導体膜の前記チャネル領域および前記ソース／ド레인領域の側方に立設する遮光壁とを含む

投射型表示装置。

[0071] 本出願は、日本国特許庁において2016年10月18日に出願された日本特許出願番号第2016-204441号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0072] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 遮光性を有する走査線と、
前記走査線に対向して設けられ、ソース／ドレイン領域および前記ソース／ドレイン領域の間のチャネル領域を有する半導体膜と、
前記半導体膜の前記チャネル領域に対向するゲート電極と、
前記ゲート電極を覆う第1層間絶縁膜と、
前記第1層間絶縁膜を貫通して前記ゲート電極と前記走査線とを電氣的に接続するとともに、前記半導体膜の前記チャネル領域および前記ソース／ドレイン領域の側方に立設する遮光壁と
を備えた液晶表示装置。
- [請求項2] 更に、基板を有し、
前記基板上に、前記走査線、前記半導体膜、前記ゲート電極および前記第1層間絶縁膜の順に配置されている
請求項1に記載の液晶表示装置。
- [請求項3] 更に、前記走査線と前記半導体膜との間の第2層間絶縁膜と、
前記半導体膜と前記ゲート電極との間のゲート絶縁膜とを備え、
前記遮光壁は、前記第1層間絶縁膜、前記ゲート絶縁膜および前記第2層間絶縁膜に設けられている
請求項2に記載の液晶表示装置。
- [請求項4] 前記遮光壁は前記半導体膜の両側に立設している
請求項1に記載の液晶表示装置。
- [請求項5] 前記遮光壁は、その下端が前記走査線に接するとともに、前記下端と上端との間で前記ゲート電極に接している
請求項1に記載の液晶表示装置。
- [請求項6] 前記遮光壁の前記上端と前記第1層間絶縁膜の上面とは同一平面を構成している
請求項5に記載の液晶表示装置。
- [請求項7] 前記走査線は、平面視で前記ゲート電極および前記半導体膜よりも

広く、かつ、前記ゲート電極および前記半導体膜に重なる位置に配置されている

請求項 1 に記載の液晶表示装置。

[請求項8] 更に、前記第 1 層間絶縁膜上に、下部電極、誘電体層および上部電極をこの順に有する保持容量を備えた

請求項 1 に記載の液晶表示装置。

[請求項9] 前記下部電極および前記上部電極の少なくとも一方が遮光性を有し、

前記保持容量は、平面視で前記ゲート電極と、前記半導体膜の前記ソース／ドレイン領域および前記チャネル領域とを覆う位置に配置されている

請求項 8 に記載の液晶表示装置。

[請求項10] 前記遮光壁は、前記保持容量と前記半導体膜との接続孔の側方にも立設している

請求項 8 に記載の液晶表示装置。

[請求項11] 更に、前記第 1 層間絶縁膜上に、平面視で前記半導体膜の前記ソース／ドレイン領域および前記チャネル領域と前記ゲート電極とを覆う遮光膜を備えた

請求項 1 に記載の液晶表示装置。

[請求項12] 前記遮光膜は、金属または金属シリサイド化物により構成されている

請求項 1 に記載の液晶表示装置。

[請求項13] 前記半導体膜の前記ソース／ドレイン領域と前記チャネル領域との間に、L D D (Lightly doped drain) 領域を有する

請求項 1 に記載の液晶表示装置。

[請求項14] 前記遮光壁は金属により構成されている

請求項 1 に記載の液晶表示装置。

[請求項15] 前記走査線は金属により構成されている

請求項 1 に記載の液晶表示装置。

[請求項16]

光源と、

前記光源から出射された光が入射する光変調素子と、

前記光変調素子から出射された光が入射する投射レンズとを備え、

前記光変調素子は、

遮光性を有する走査線と、

前記走査線に対向して設けられ、ソース／ドレイン領域および前記
ソース／ドレイン領域の間のチャネル領域を有する半導体膜と、

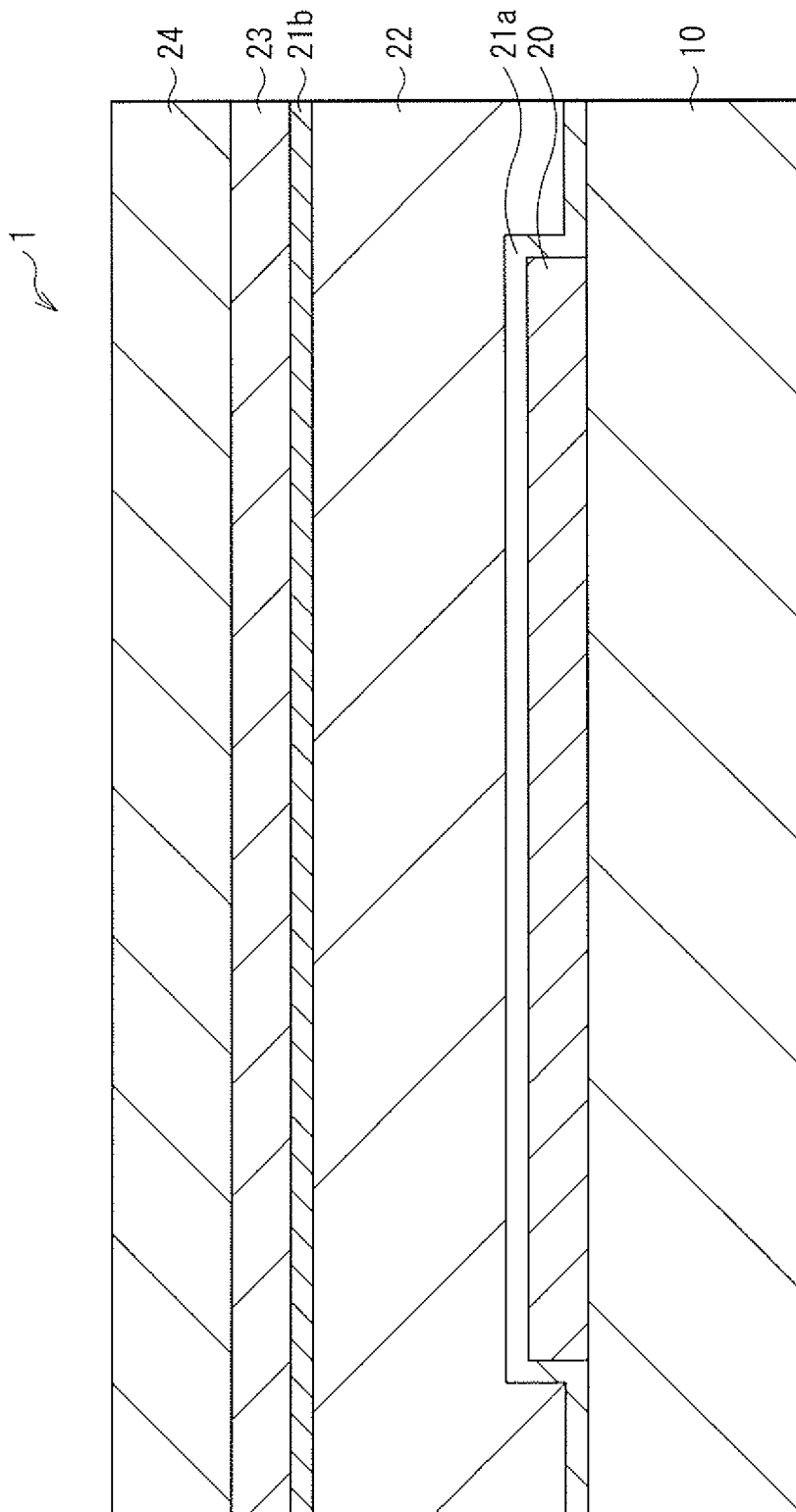
前記半導体膜の前記チャネル領域に対向するゲート電極と、

前記ゲート電極を覆う第 1 層間絶縁膜と、

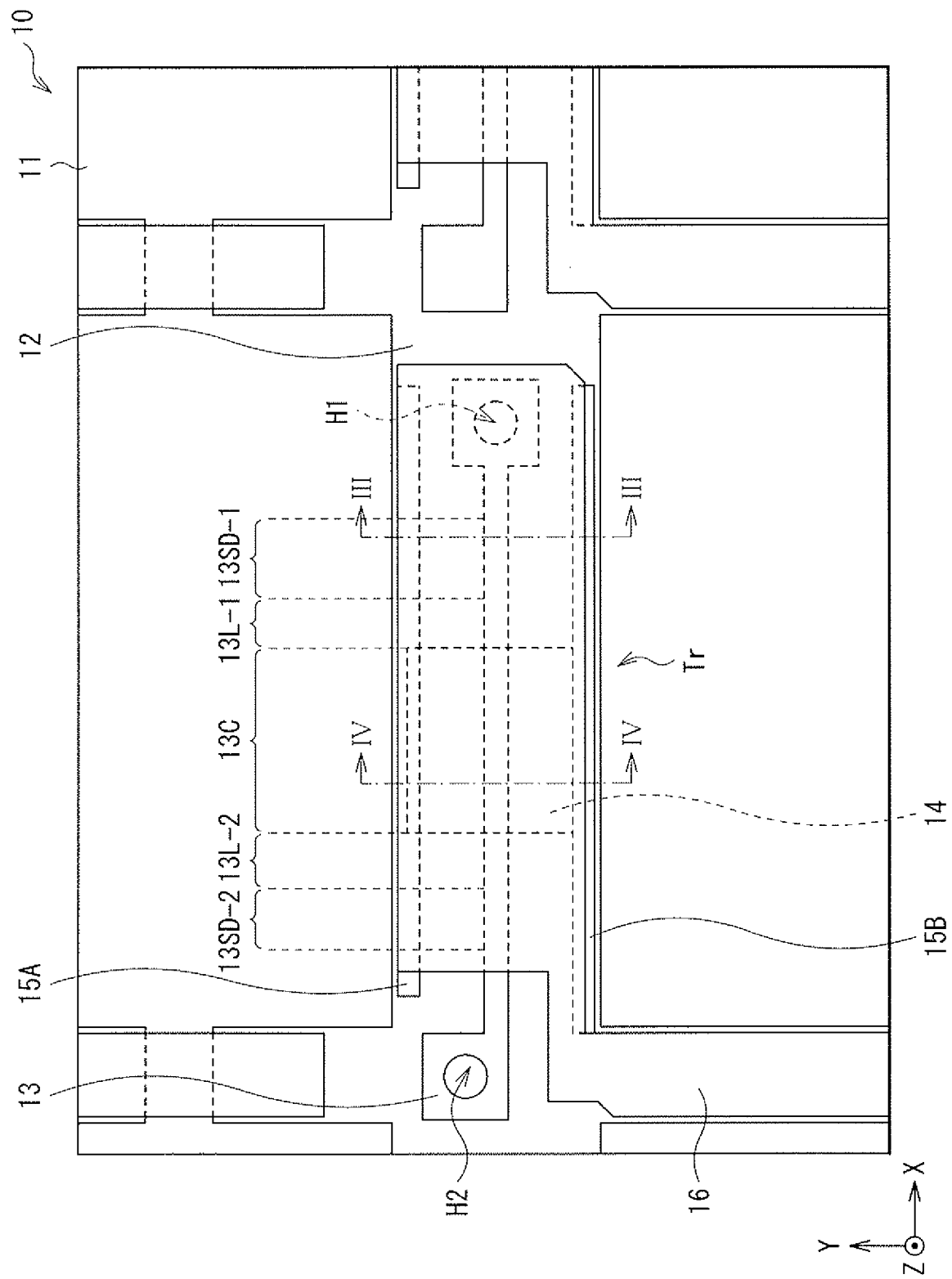
前記第 1 層間絶縁膜を貫通して前記ゲート電極と前記走査線とを電
氣的に接続するとともに、前記半導体膜の前記チャネル領域および前
記ソース／ドレイン領域の側方に立設する遮光壁とを含む

投射型表示装置。

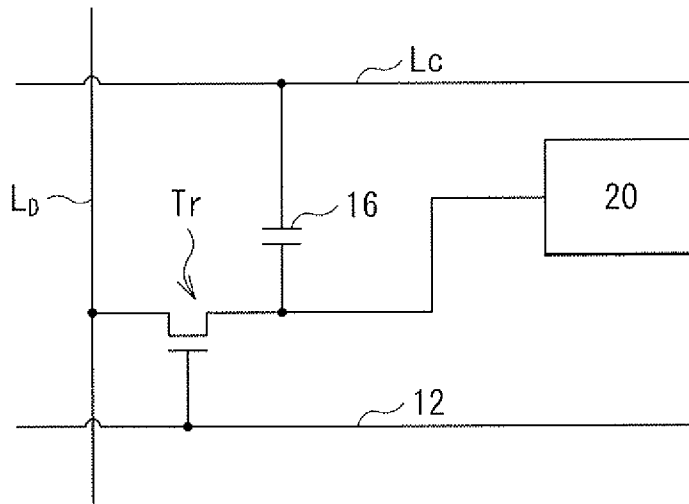
[図1]



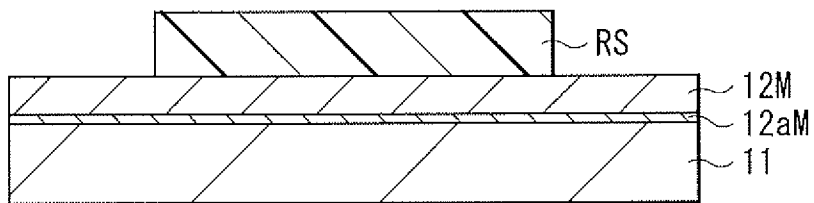
[図2]



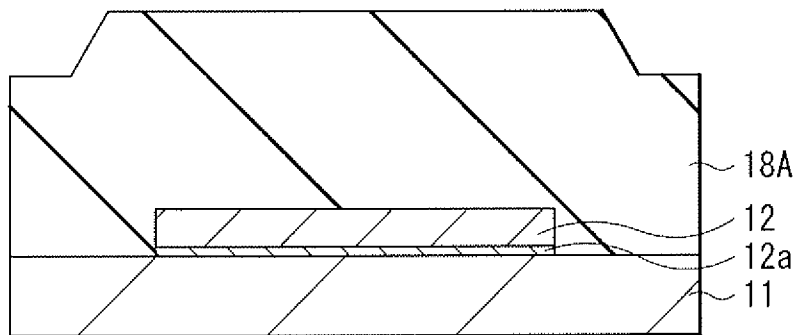
[図5]



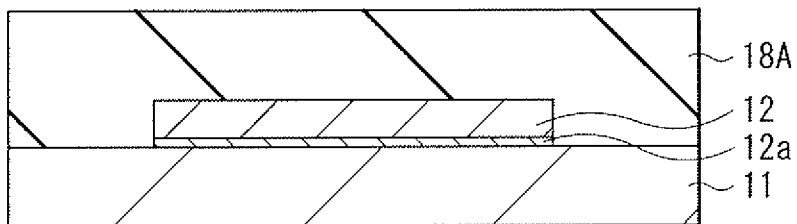
[図6A]



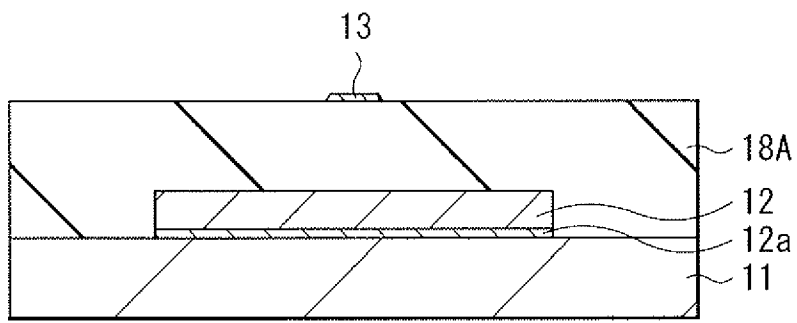
[図6B]



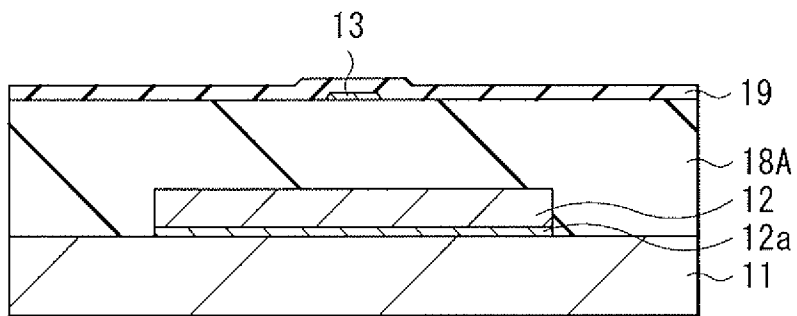
[図6C]



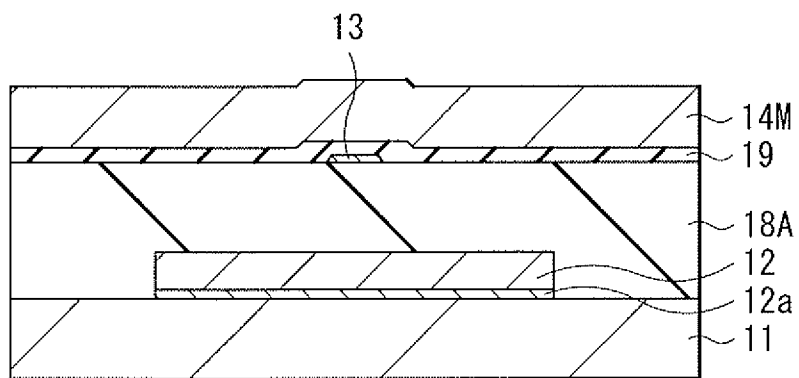
[図7A]



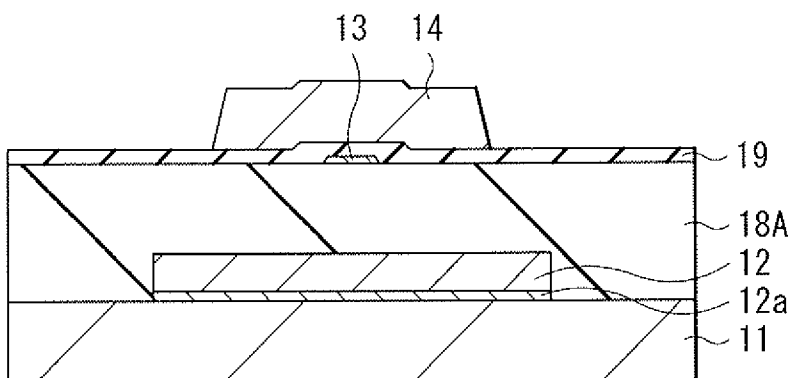
[図7B]



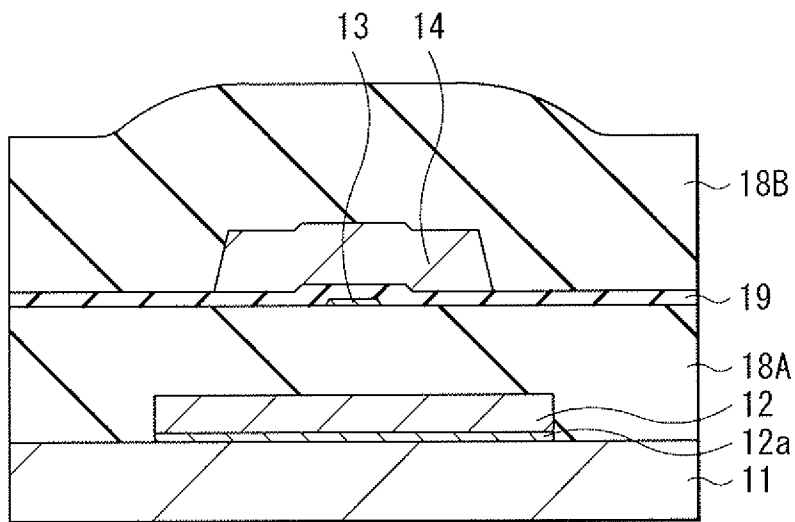
[図7C]



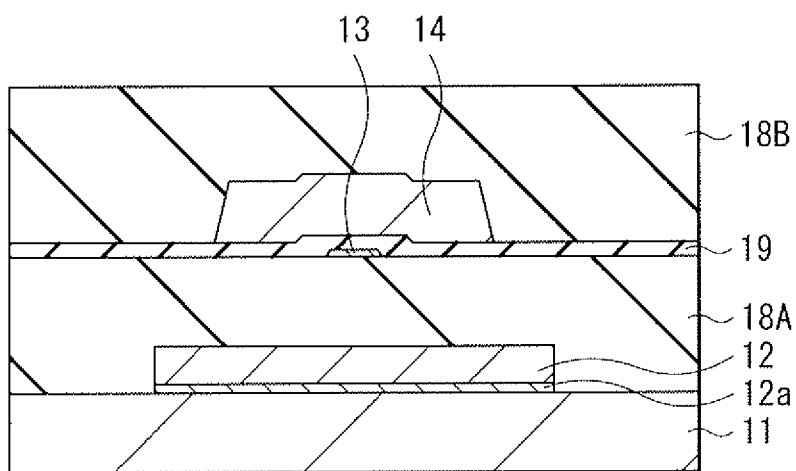
[図8A]



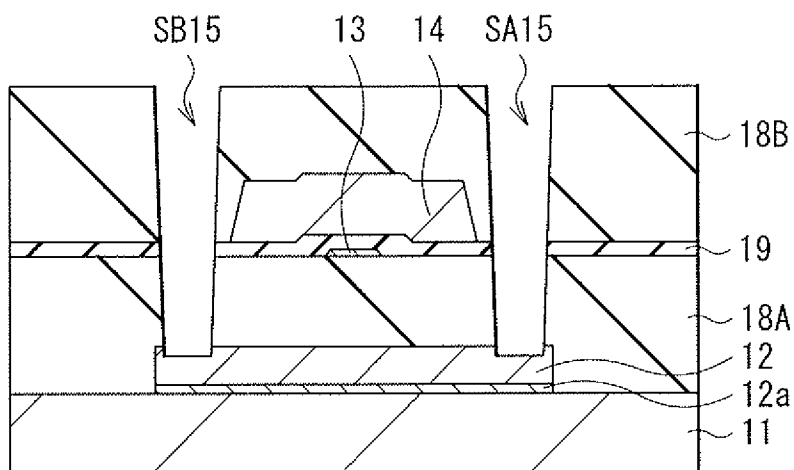
[図8B]



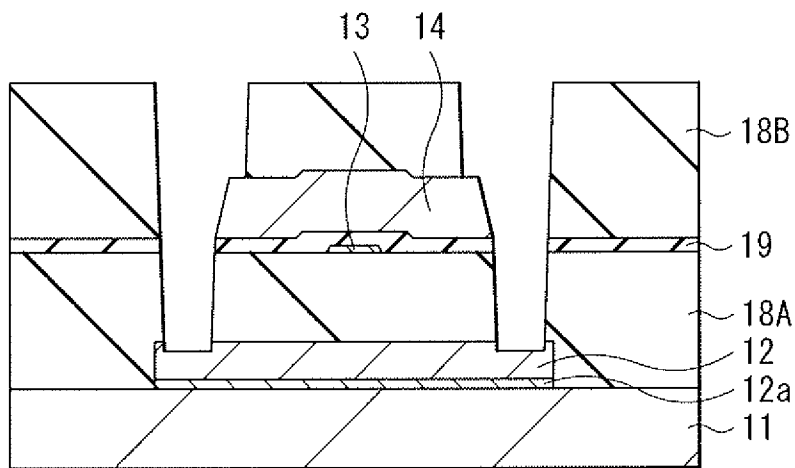
[図8C]



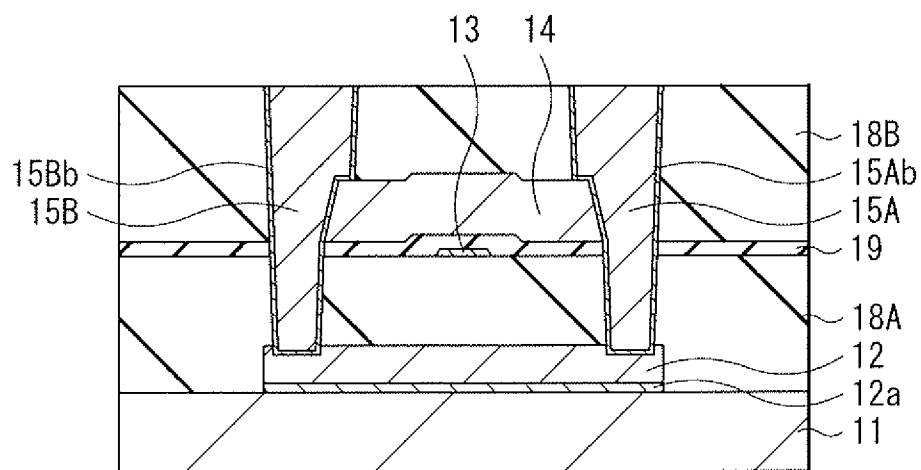
[図9A]



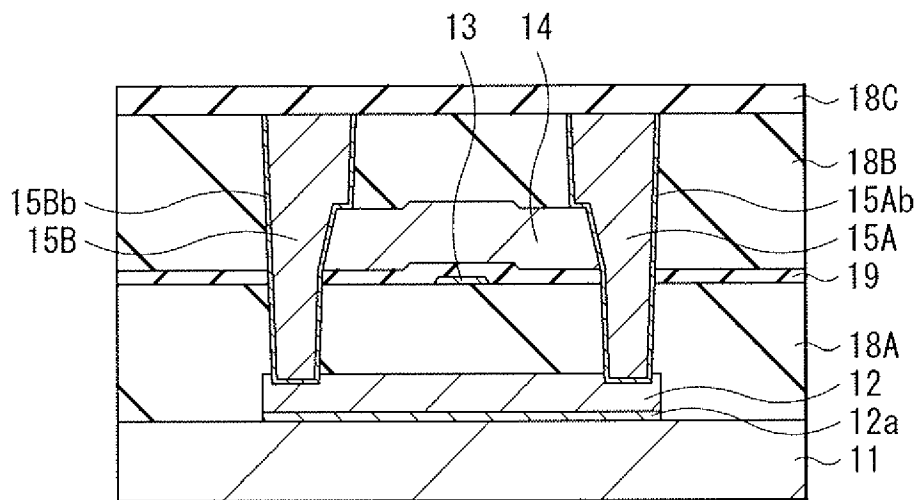
[図9B]



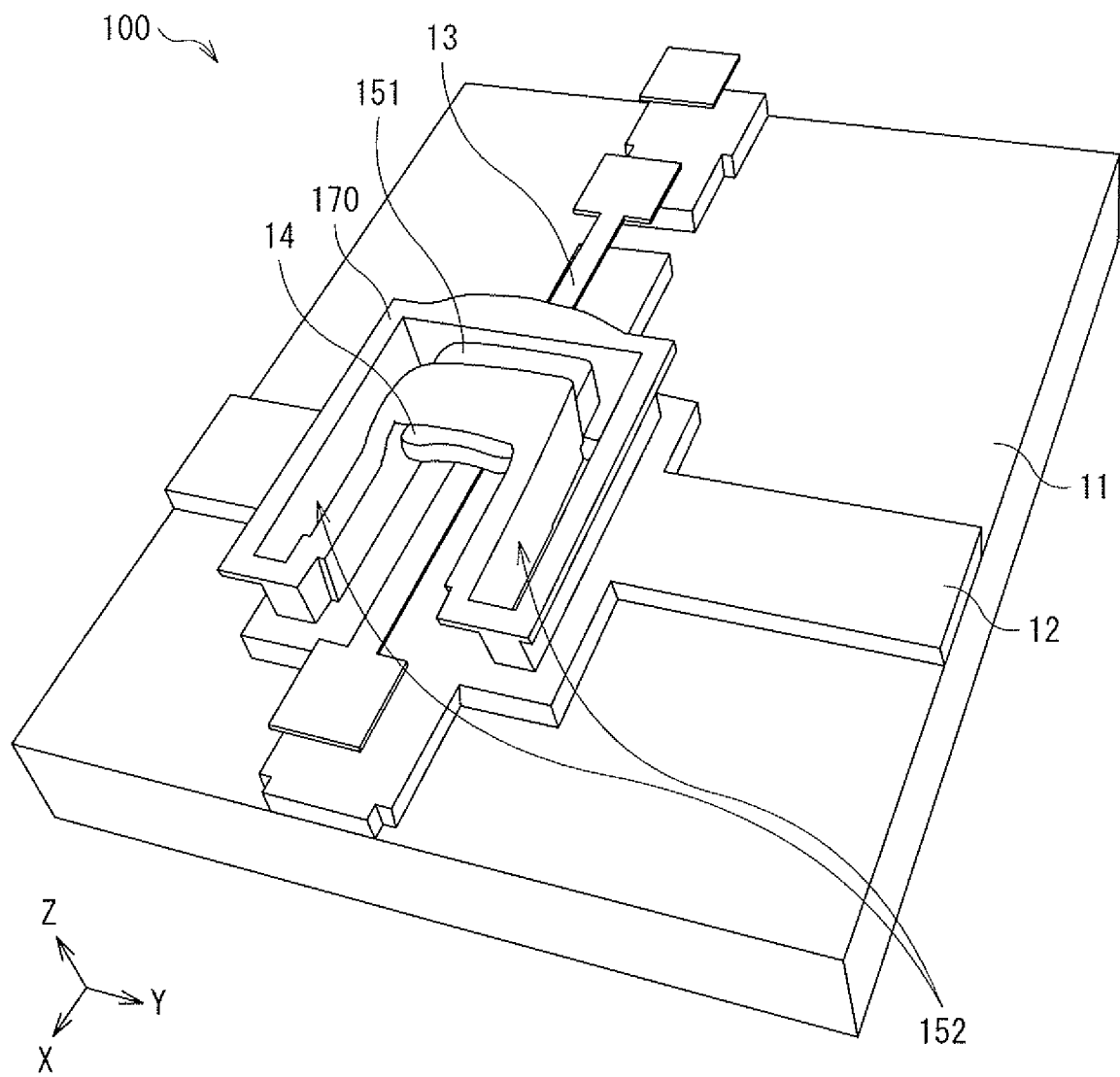
[図10A]



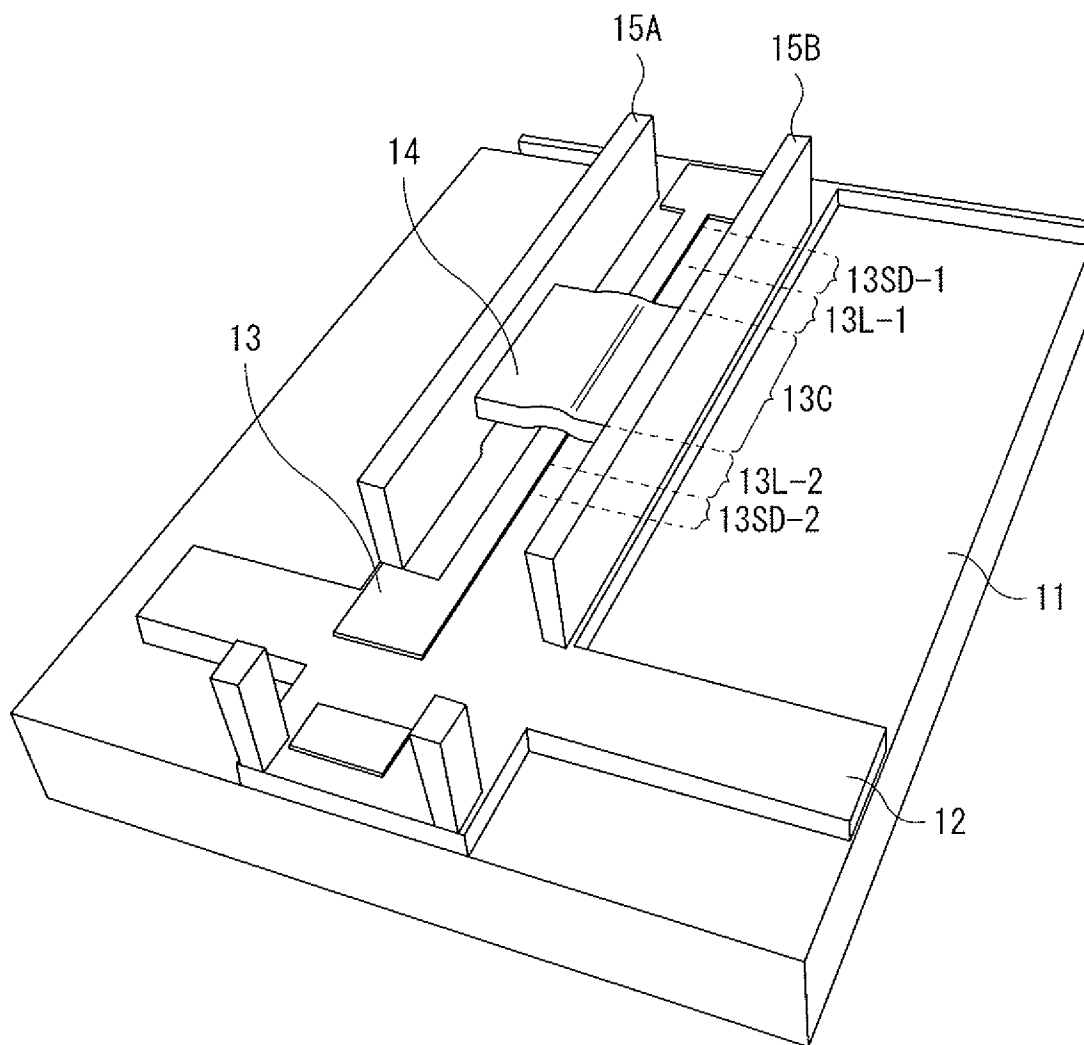
[図10B]



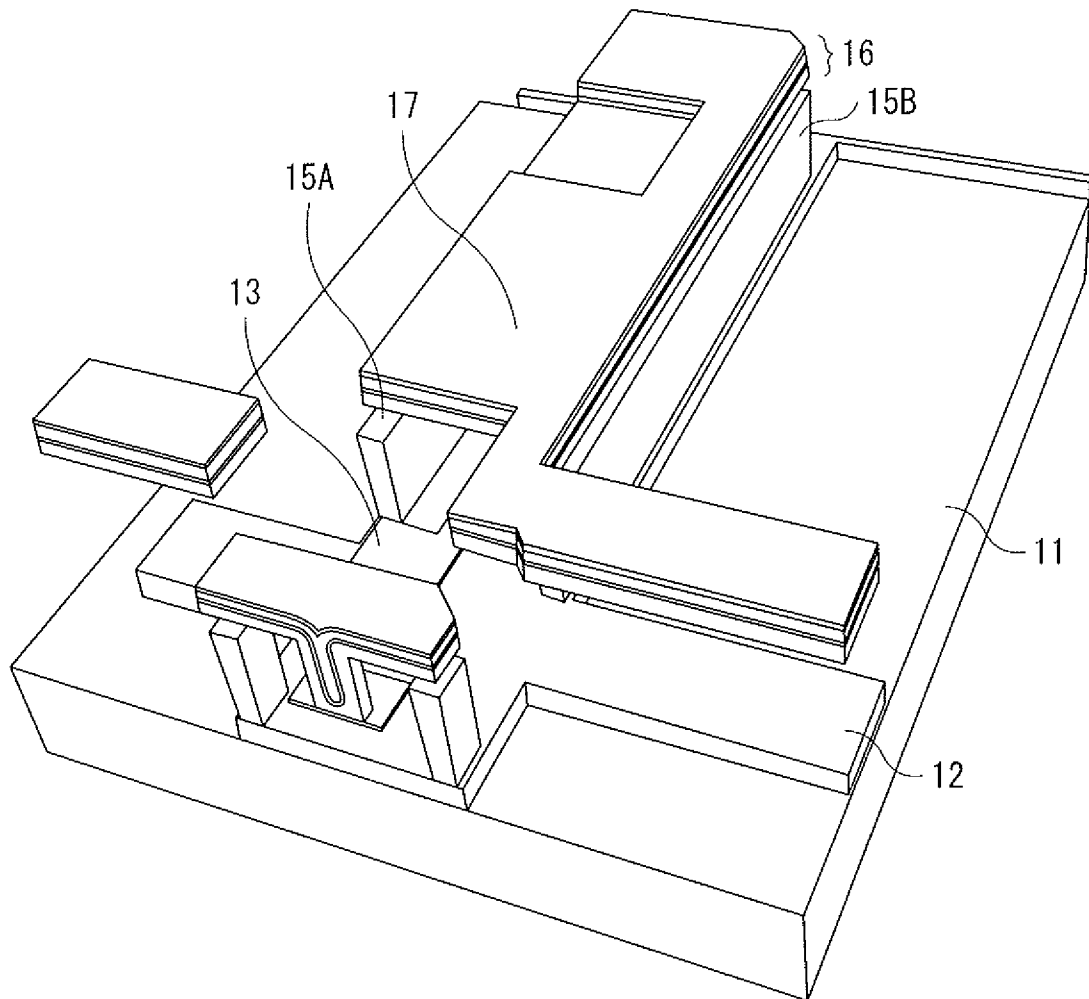
[図12]



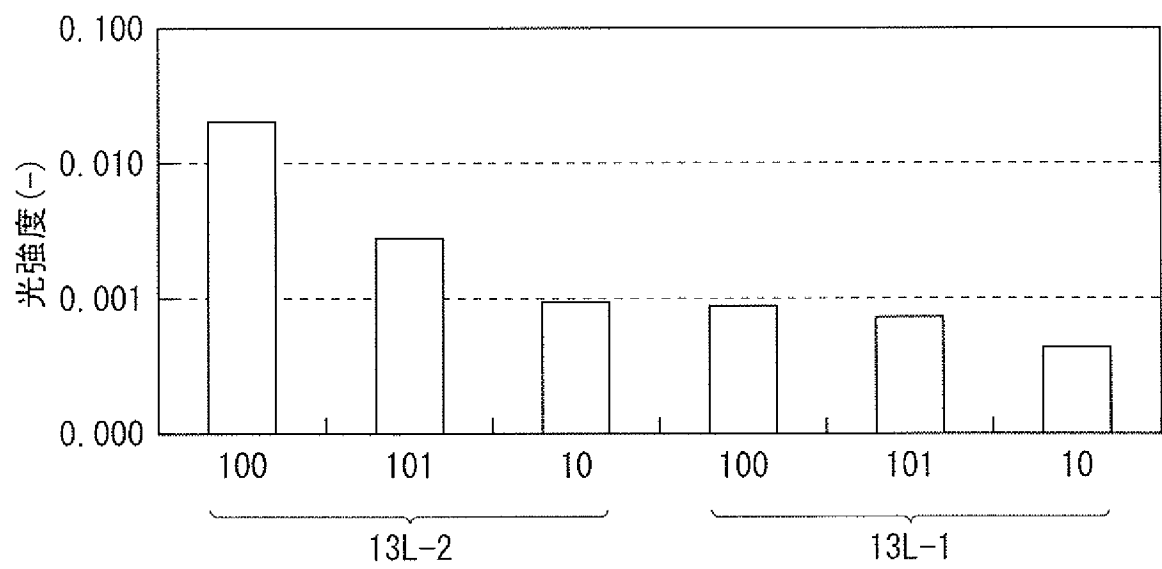
[図14]



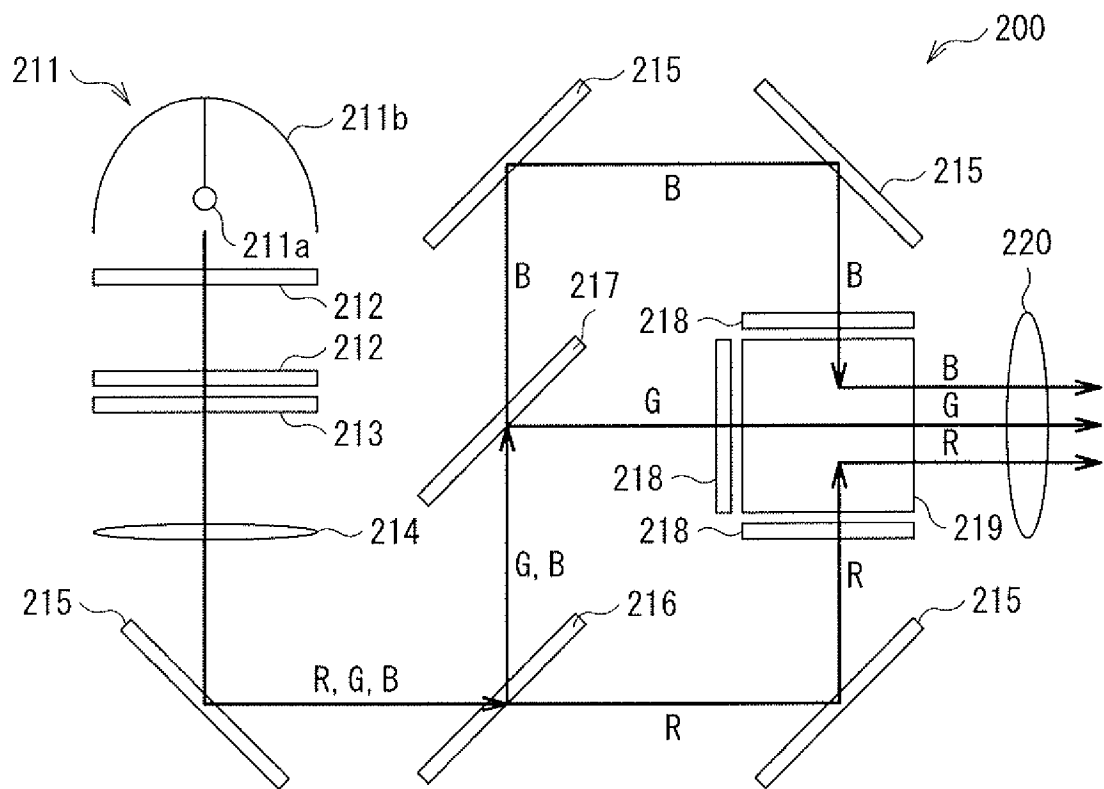
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/030301

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-171136 A (Sony Corp.), 29 June 2006 (29.06.2006), entire text; all drawings (Family: none)	1-16
A	JP 2012-108407 A (Seiko Epson Corp.), 07 June 2012 (07.06.2012), entire text; all drawings (Family: none)	1-16
A	JP 2004-158518 A (Sharp Corp.), 03 June 2004 (03.06.2004), entire text; all drawings (Family: none)	1-16

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
01 November 2017 (01.11.17)

Date of mailing of the international search report
14 November 2017 (14.11.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/030301

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-356371 A (NEC Corp.), 26 December 2001 (26.12.2001), entire text; all drawings & US 2002/0008814 A1 & TW 525026 B & KR 10-0458993 B	1-16

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G02F1/1368(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-171136 A (ソニー株式会社) 2006.06.29, 全文全図 (ファミリーなし)	1-16
A	JP 2012-108407 A (セイコーエプソン株式会社) 2012.06.07, 全文全図 (ファミリーなし)	1-16

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

01.11.2017

国際調査報告の発送日

14.11.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小濱 健太

2 L

4009

電話番号 03-3581-1101 内線 3295

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-158518 A (シャープ株式会社) 2004. 06. 03, 全文全図 (ファミリーなし)	1-16
A	JP 2001-356371 A (日本電気株式会社) 2001. 12. 26, 全文全図 & US 2002/0008814 A1 & TW 525026 B & KR 10-0458993 B	1-16