

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月31日(31.03.2022)



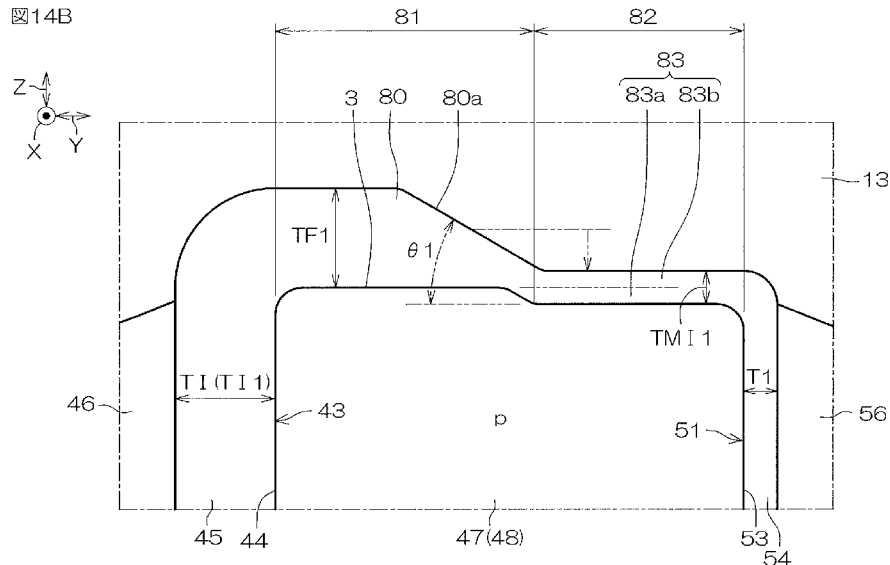
(10) 国際公開番号

WO 2022/065202 A1

- (51) 国際特許分類:
H01L 27/088 (2006.01) H01L 29/06 (2006.01)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
H01L 21/76 (2006.01)
- (21) 国際出願番号: PCT/JP2021/034165
- (22) 国際出願日: 2021年9月16日(16.09.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-160875 2020年9月25日(25.09.2020) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 奥田 肇 (OKUDA, Hajime); 〒6158585
京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 大隅 悠史 (OSUMI, Yuji); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人あい特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410054 大阪府大阪市中央区南本町二丁目6番12号 サンマリオンNBFタワー2-1階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device comprises: a semiconductor chip having a main surface; and a field insulation film having an insulation side wall that partially covers the main surface and has an inclination angle of 20°-40° formed between the main surface and the insulation side wall.

(57) 要約: 半導体装置は、主面を有する半導体チップと、前記主面を部分的に被覆し、前記主面との間で成す傾斜角度が20°以上40°以下である絶縁側壁を有するフィールド絶縁膜と、を含む。

[続葉有]



HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] この出願は、2020年9月25日に日本国特許庁に提出された特願2020-160875号に対応しており、この出願の全開示はここに引用により組み込まれる。本発明は、半導体装置に関する。

背景技術

[0002] 特許文献1は、半導体基板、厚い酸化膜、薄い酸化膜およびポリシリコン層を含む半導体装置を開示している。厚い酸化膜は、半導体基板の上に局部的に形成されている。薄い酸化膜は、半導体基板の上で厚い酸化膜と高段差を形成している。厚い酸化膜の側壁角度は $70^{\circ} \sim 80^{\circ}$ である。ポリシリコン層は、厚い酸化膜および薄い酸化膜の上に形成されている。ポリシリコン層の形成工程後には、ポリシリコンスティックと称される残留物が、厚い酸化膜および薄い酸化膜の間の高段差に付着した状態で残存する。ポリシリコンスティックは、ドライエッチング法によって完全に除去される。

先行技術文献

特許文献

[0003] 特許文献1：特開平10-112456号公報

発明の概要

発明が解決しようとする課題

[0004] 本発明の一実施形態は、信頼性を向上できる半導体装置を提供する。

課題を解決するための手段

[0005] 本発明の一実施形態は、主面を有する半導体チップと、前記主面を部分的に被覆し、前記主面との間で成す傾斜角度が 20° 以上 40° 以下である絶縁側壁を有するフィールド絶縁膜と、を含む、半導体装置を提供する。

[0006] 本発明の一実施形態は、主面を有する半導体チップと、前記主面に形成された分離トレンチ、前記分離トレンチの内壁を被覆する分離絶縁膜、および

、前記分離絶縁膜を挟んで前記分離トレンチに埋設された分離電極を含み、前記主面にデバイス領域を区画するトレンチ分離構造と、前記デバイス領域において前記主面に形成された機能デバイスと、前記デバイス領域において前記機能デバイスを露出させるように前記主面を部分的に被覆し、前記主面との間で成す傾斜角度が 20° 以上 40° 以下である絶縁側壁を有するフィールド絶縁膜と、を含む、半導体装置を提供する。

図面の簡単な説明

[0007] [図1] 図1は、本発明の一実施形態に係る半導体装置を示す平面図である。

[図2] 図2は、図1に示すII-II線に沿う断面図である。

[図3] 図3は、図1に示す半導体チップの構造を示す平面図である。

[図4] 図4は、図1に示す半導体装置の電氣的構造を示すブロック回路図である。

[図5] 図5は、図4に示すパワートランジスタの等価回路図である。

[図6] 図6は、図5に示すパワートランジスタの更なる等価回路図である。

[図7] 図7は、図1に示す半導体装置の一構成例を示すブロック回路図である。

[図8A] 図8Aは、パワートランジスタの動作例を説明するための回路図である。

[図8B] 図8Bは、パワートランジスタの動作例を説明するための回路図である。

[図8C] 図8Cは、パワートランジスタの動作例を説明するための回路図である。

[図9] 図9は、図3に示す領域IXの拡大図である。

[図10] 図10は、図9に示す領域Xの拡大図である。

[図11] 図11は、図9に示す領域XIを一部省略して示す拡大図である。

[図12] 図12は、図10に示すXII-XII線に沿う断面図である。

[図13] 図13は、図10に示すXIII-XIII線に沿う断面図である。

[図14A] 図14Aは、図12に示す構造の要部の拡大断面図である。

[図14B]図14Bは、図14Aの要部を示す拡大断面図である。

[図15]図15は、図9に示す第1デバイス領域の要部を示す断面斜視図である。

[図16A]図16Aは、パワートランジスタの制御例を示す断面斜視図である。

[図16B]図16Bは、パワートランジスタの制御例を示す断面斜視図である。

[図16C]図16Cは、パワートランジスタの制御例を示す断面斜視図である。

[図17]図17は、図3に示す領域XVIIの拡大図である。

[図18]図18は、図17に示すXVIII-XVIII線に沿う断面図である。

[図19]図19は、図18に示す構造の要部の拡大断面図である。

[図20]図20は、図17に示すXX-XX線に沿う断面図である。

[図21]図21は、図20に示す構造の要部の拡大断面図である。

[図22A]図22Aは、図12に示す領域に対応し、半導体装置の製造方法の一例を説明するための断面図である。

[図22B]図22Bは、図22Aの後の工程を説明するための断面図である。

[図22C]図22Cは、図22Bの後の工程を説明するための断面図である。

[図22D]図22Dは、図22Cの後の工程を説明するための断面図である。

[図22E]図22Eは、図22Dの後の工程を説明するための断面図である。

[図22F]図22Fは、図22Eの後の工程を説明するための断面図である。

[図22G]図22Gは、図22Fの後の工程を説明するための断面図である。

[図22H]図22Hは、図22Gの後の工程を説明するための断面図である。

[図22I]図22Iは、図22Hの後の工程を説明するための断面図である。

[図22J]図22Jは、図22Iの後の工程を説明するための断面図である。

[図22K]図22Kは、図22Jの後の工程を説明するための断面図である。

[図22L]図22Lは、図22Kの後の工程を説明するための断面図である。

[図22M]図22Mは、図22Lの後の工程を説明するための断面図である。

[図22N]図22Nは、図22Mの後の工程を説明するための断面図である。

[図22O]図22Oは、図22Nの後の工程を説明するための断面図である。

[図22P]図22Pは、図22Oの後の工程を説明するための断面図である。

[図22Q]図22Qは、図22Pの後の工程を説明するための断面図である。

[図22R]図22Rは、図22Qの後の工程を説明するための断面図である。

[図22S]図22Sは、図22Rの後の工程を説明するための断面図である。

[図22T]図22Tは、図22Sの後の工程を説明するための断面図である。

[図22U]図22Uは、図22Tの後の工程を説明するための断面図である。

[図23A]図23Aは、図18に示す領域に対応し、半導体装置の製造方法の一例を説明するための断面図である。

[図23B]図23Bは、図23Aの後の工程を説明するための断面図である。

[図23C]図23Cは、図23Bの後の工程を説明するための断面図である。

[図23D]図23Dは、図23Cの後の工程を説明するための断面図である。

[図23E]図23Eは、図23Dの後の工程を説明するための断面図である。

[図23F]図23Fは、図23Eの後の工程を説明するための断面図である。

[図23G]図23Gは、図23Fの後の工程を説明するための断面図である。

[図23H]図23Hは、図23Gの後の工程を説明するための断面図である。

[図23I]図23Iは、図23Hの後の工程を説明するための断面図である。

[図23J]図23Jは、図23Iの後の工程を説明するための断面図である。

[図23K]図23Kは、図23Jの後の工程を説明するための断面図である。

[図23L]図23Lは、図23Kの後の工程を説明するための断面図である。

[図23M]図23Mは、図23Lの後の工程を説明するための断面図である。

[図23N]図23Nは、図23Mの後の工程を説明するための断面図である。

[図23O]図23Oは、図23Nの後の工程を説明するための断面図である。

[図23P]図23Pは、図23Oの後の工程を説明するための断面図である。

[図23Q]図23Qは、図23Pの後の工程を説明するための断面図である。

[図23R]図23Rは、図23Qの後の工程を説明するための断面図である。

[図23S]図23Sは、図23Rの後の工程を説明するための断面図である。

[図23T]図23Tは、図23Sの後の工程を説明するための断面図である。

[図23U]図23Uは、図23Tの後の工程を説明するための断面図である。

[図24]図24は、図12に対応し、第1トレンチ分離構造の変形例を示す断

面図である。

発明を実施するための形態

[0008] 図1は、本発明の一実施形態に係る半導体装置1を示す平面図である。図2は、図1に示すII-II線に沿う断面図である。図3は、図1に示す半導体チップ2の構造を示す平面図である。図4は、図1に示す半導体装置1の電気的構造を示すブロック回路図である。図5は、図4に示すパワートランジスタ8の等価回路図である。図6は、図5に示すパワートランジスタ8の更なる等価回路図である。

[0009] 以下では、半導体装置1がハイサイド側のスイッチングデバイスからなる形態例について説明するが、半導体装置1は、各種構造の電気的な接続形態や機能が調整されることにより、ローサイド側のスイッチングデバイスとしても提供されることができる。

[0010] 図1および図2を参照して、半導体装置1は、この形態（this embodiment）では、直方体形状に形成された半導体チップ2を含む。半導体チップ2は、具体的には、Si（シリコン）チップからなる。半導体チップ2は、一方側の第1主面3、他方側の第2主面4、ならびに、第1主面3および第2主面4を接続する第1～第4側面5A～5Dを有している。第1主面3および第2主面4は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。

[0011] 第1主面3は、機能デバイスが形成されたデバイス面である。第2主面4は、実装面であり、研削痕を有する研削面からなってもよい。第1～第4側面5A～5Dは、第1側面5A、第2側面5B、第3側面5Cおよび第4側面5Dを含む。第1側面5Aおよび第2側面5Bは、第1主面3に沿う第1方向Xに延び、第1方向Xに交差（具体的には直交）する第2方向Yに対向している。第3側面5Cおよび第4側面5Dは、第2方向Yに延び、第1方向Xに対向している。

[0012] 図3を参照して、半導体装置1は、第1主面3に区画された第1デバイス領域6を含む。第1デバイス領域6は、外部に出力される出力信号が生成さ

れる出力領域である。第1デバイス領域6は、この形態では、第1主面3において第3側面5C側の領域に区画されている。第1デバイス領域6の配置および平面形状は任意であり、特定の形態に限定されない。ただし、良好な出力特性を得る観点から、第1デバイス領域6は、第1主面3の2分の1以上の面積を占めていることが好ましい。

[0013] 半導体装置1は、第1主面3において第1デバイス領域6とは異なる領域に区画された第2デバイス領域7を含む。第2デバイス領域7は、外部からの電気信号が入力される入力領域である。第2デバイス領域7は、この形態では、第1デバイス領域6に対して第4側面5D側の領域に区画されている。第2デバイス領域7の配置および平面形状は任意であり、特定の形態に限定されない。

[0014] 第2デバイス領域7は、第1デバイス領域6の平面積以下の平面積を有していることが好ましい。第2デバイス領域7は、第1デバイス領域6に対して0.1以上1以下の面積比で形成されていることが好ましい。面積比は、第1デバイス領域6の平面積に対する第2デバイス領域7の平面積の比である。面積比は、0.1以上0.25以下、0.25以上0.5以下、0.5以上0.75以下、または、0.75以上1以下であってもよい。面積比は、1未満であることが好ましい。むろん、第1デバイス領域6の平面積を超える平面積を有する第2デバイス領域7が採用されてもよい。

[0015] 図3～図6を参照して、半導体装置1は、第1デバイス領域6に形成された絶縁ゲート型のゲート分割トランジスタの一例としての n 系統($n \geq 2$)のパワートランジスタ8を含む。パワートランジスタ8は、パワーMISFET (Metal Insulator Semiconductor Field Effect Transistor) と称されてもよい。パワートランジスタ8は、1つのメインドレインDM、1つのメインソースSMおよび n 個($n \geq 2$)のメインゲートGMを含む。

[0016] n 個のメインゲートGMには、同一のまたは異なる n 個のゲート信号Gが任意のタイミングで入力される。ゲート信号Gは、パワートランジスタ8をオン状態に制御するオン信号、および、パワートランジスタ8をオフ状態に

制御するオフ信号を含む。パワートランジスタ8は、 n 個のメインゲートGMに入力された n 個のゲート信号Gに応答して、メインドレインDMおよびメインソースSMから単一の出力電流IOUT（出力信号）を出力する。つまり、パワートランジスタ8は、マルチ入力シングル出力型のスイッチングデバイスからなる。出力電流IOUTは、具体的には、メインドレインDMおよびメインソースSMの間を流れるドレイン・ソース電流である。

[0017] 図5を参照して、パワートランジスタ8は、具体的には、個別制御対象としての n 個（ $n \geq 2$ ）の系統トランジスタ9を含む。パワートランジスタ8は、さらに具体的には、 n 個のゲート信号Gが個別入力されるように並列接続された n 個の系統トランジスタ9の並列回路によって構成されている。 n 個の系統トランジスタ9は、この形態では、単一の第1デバイス領域6に集約して形成されている。 n 個の系統トランジスタ9は、互いに電氣的に独立してオン状態およびオフ状態に制御されるように構成されている。つまり、 n 系統のパワートランジスタ8は、オン状態の系統トランジスタ9およびオフ状態の系統トランジスタ9が任意のタイミングで併存するように構成されている。

[0018] n 個の系統トランジスタ9は、システムドレインDS、システムソースSSおよびシステムゲートGSをそれぞれ含む。 n 個の系統トランジスタ9のシステムドレインDSは、メインドレインDMにそれぞれ接続されている。 n 個の系統トランジスタ9のシステムソースSSは、メインソースSMにそれぞれ接続されている。 n 個の系統トランジスタ9のシステムゲートGSは、一対一の対応関係でメインゲートGMにそれぞれ接続されている。

[0019] つまり、パワートランジスタ8のメインドレインDM、メインソースSMおよび n 個のメインゲートGMは、 n 個の系統トランジスタ9のシステムドレインDS、システムソースSSおよび n 個のシステムゲートGSによってそれぞれ構成されている。 n 個のメインゲートGMは、実質的には、 n 個のシステムゲートGSからなる。

[0020] n 個の系統トランジスタ9は、ゲート信号Gに応答して系統毎の電気信号

を生成し、メインドレインDMおよびメインソースSMに出力する。系統毎の電気信号は、具体的には、各系統トランジスタ9のシステムドレインDSおよびシステムソースSSの間を流れるドレイン・ソース電流である。系統毎の電気信号は、メインドレインDMおよびメインソースSMの間で加算される。これにより、単一の出力電流IOUTが生成される。

[0021] n個の系統トランジスタ9は、互いにほぼ等しいゲート閾値電圧を有していることが好ましい。以下、この明細書に係る「ほぼ等しい」の文言は、測定対象の数値（ここでは1つの系統トランジスタ9のゲート閾値電圧）が比較対象の数値（ここでは他の系統トランジスタ9のゲート閾値電圧）と完全に一致している場合を含む他、測定対象の数値が比較対象の数値の0.9倍以上1.1倍以下の範囲に収まっている場合も含む。n個の系統トランジスタ9は、互いにほぼ等しいチャネル面積を有していてもよいし、互いに異なるチャネル面積を有していてもよい。つまり、n個の系統トランジスタ9は、互いにほぼ等しいオン抵抗特性を有していてもよいし、互いに異なるオン抵抗特性を有していてもよい。

[0022] 図6を参照して、n個の系統トランジスタ9は、個別制御対象として系統化（グループ化）された1つまたは複数の単位トランジスタ10をそれぞれ含む。n個の系統トランジスタ9は、具体的には、1つまたは複数の単位トランジスタ10の並列回路によってそれぞれ構成されている。系統トランジスタ9が単一の単位トランジスタ10からなる場合も、ここに言う「並列回路」に含まれるものとする。

[0023] 各系統トランジスタ9に含まれる単位トランジスタ10の個数は任意であるが、n個の系統トランジスタ9のうちの少なくとも1つの系統トランジスタ9は、複数の単位トランジスタ10を含むことが好ましい。n個の系統トランジスタ9は、同一個数の単位トランジスタ10によって構成されていてもよいし、異なる個数の単位トランジスタ10によって構成されていてもよい。

[0024] 各単位トランジスタ10は、ユニットドレインDU、ユニットソースSU

およびユニットゲートGUを含む。各系統トランジスタ9において、1つまたは複数の単位トランジスタ10のユニットドレインDUは、システムドレインDSに電氣的に接続されている。また、各系統トランジスタ9において、1つまたは複数の単位トランジスタ10のユニットソースSUは、システムソースSSに電氣的に接続されている。また、各系統トランジスタ9において、1つまたは複数の単位トランジスタ10のユニットゲートGUは、システムゲートGSに電氣的に接続されている。

[0025] つまり、各系統トランジスタ9のシステムドレインDS、システムソースSSおよびシステムゲートGSは、1つまたは複数の単位トランジスタ10のユニットドレインDU、ユニットソースSUおよびユニットゲートGUによってそれぞれ構成されている。

[0026] 複数の単位トランジスタ10は、トレンチゲート型からなってもよいし、プレーナゲート型からなってもよい。複数の単位トランジスタ10は、互いにほぼ等しいゲート閾値電圧を有していることが好ましい。また、複数の単位トランジスタ10は、互いにほぼ等しいチャネル面積を有しているてもよいし、互いに異なるチャネル面積を有しているてもよい。つまり、複数の単位トランジスタ10は、互いにほぼ等しいオン抵抗特性を有しているてもよいし、互いに異なるオン抵抗特性を有しているてもよい。

[0027] 複数の単位トランジスタ10の個数、ゲート閾値電圧、チャネル面積等を調整することによって、各系統トランジスタ9のゲート閾値電圧やオン抵抗特性（チャネル面積）を精密に調整できる。各系統トランジスタ9の電氣的特性は、達成すべきパワートランジスタ8の電氣的仕様に応じて調整される。パワートランジスタ8の電氣的仕様としては、チャネル利用率、オン抵抗 R_{on} 、スイッチング波形等が例示される。

[0028] 図3および図4を参照して、半導体装置1は、第2デバイス領域7に形成された制御回路の一例としてのコントロールIC11（Control Integrated Circuit）を含む。コントロールIC11は、外部から入力された電気信号に応答して種々の機能を実現する複数種の機能回路を含む。複数種の機能回路

は、外部からの電気信号に応答してパワートランジスタ 8 を駆動制御するゲート制御回路 12 を含む。ゲート制御回路 12 は、具体的には、 n 個の系統トランジスタ 9 を個別制御する n 個のゲート信号 G を生成するように構成されている。コントロール IC 11 は、パワートランジスタ 8 と共に、所謂 IPD (Intelligent Power Device) を形成している。IPD は、IPM (Intelligent Power Module) とも称される。

[0029] 図 2 を参照して、半導体装置 1 は、第 1 主面 3 を被覆する層間絶縁層 13 を含む。層間絶縁層 13 は、第 1 デバイス領域 6 および第 2 デバイス領域 7 を一括して被覆している。層間絶縁層 13 は、この形態では、複数の絶縁層および複数の配線層が交互に積層された積層構造を有する多層配線構造からなる。各絶縁層は、 SiO_2 膜および SiN 膜のうちの少なくとも 1 つを含む。各配線層は、Al 層、Cu 層、AlCu 合金層、AlSiCu 合金層および AlSi 合金層のうちの少なくとも 1 種を含んでいてもよい。

[0030] 図 3 を参照して、半導体装置 1 は、第 1 主面 3 の上 (anywhere above) に形成された制御配線の一例としての n 個のゲート配線 14 を含む。 n 個のゲート配線 14 は、層間絶縁層 13 内に形成された n 個の配線層からなる。 n 個のゲート配線 14 は、層間絶縁層 13 内に選択的に引き回され、パワートランジスタ 8 の n 個のメインゲート GM およびコントロール IC 11 (ゲート制御回路 12) にそれぞれ電氣的に接続されている。

[0031] n 個のゲート配線 14 は、具体的には、互いに電氣的に独立した状態でパワートランジスタ 8 の n 個のメインゲート GM (n 個のシステムゲート GS) に一対一の対応関係で電氣的に接続されている。これにより、 n 個のゲート配線 14 は、コントロール IC 11 (ゲート制御回路 12) によって生成された n 個のゲート信号 G をパワートランジスタ 8 の n 個のメインゲート GM に個別的に伝達する。

[0032] つまり、 n 個のゲート配線 14 は、複数の単位トランジスタ 10 からなる集合体の中から個別制御対象として系統化すべき 1 つまたは複数の単位トランジスタ 10 のユニットゲート GU にそれぞれ電氣的に接続されている。 n

個のゲート配線 14 は、個別制御対象として系統化すべき 1 つの単位トランジスタ 10 に電氣的に接続された 1 つまたは複数のゲート配線 14 を含んでもよい。また、 n 個のゲート配線 14 は、個別制御対象として系統化すべき複数の単位トランジスタ 10 を並列接続させる 1 つまたは複数のゲート配線 14 を含んでもよい。

[0033] 半導体装置 1 は、複数（この形態では 6 個）の端子電極 15～20 を含む。図 1 では、複数の端子電極 15～20 がハッチングによって示されている。複数の端子電極 15～20 の個数、配置および平面形状は、パワートランジスタ 8 の仕様やコントロール IC 11 の仕様に応じて任意の形態に調整され、図 1 に示される形態に限定されない。複数の端子電極 15～20 は、この形態では、ドレイン端子 15（電源端子 VBB）、ソース端子 16（出力端子 OUT）、入力端子 17、基準端子 18、イネーブル端子 19 およびセンス端子 20 を含む。

[0034] ドレイン端子 15 は、半導体チップ 2 の第 2 主面 4 を直接被覆し、第 2 主面 4 に電氣的に接続されている。ドレイン端子 15 は、パワートランジスタ 8 のメインドレイン DM およびコントロール IC 11 に電氣的に接続されている。ドレイン端子 15 は、パワートランジスタ 8 のメインドレイン DM や、コントロール IC 11 の各種回路に電源電圧 VB を伝達する。ドレイン端子 15 は、Ti 層、Ni 層、Au 層、Ag 層および Al 層のうちの少なくとも 1 つを含んでもよい。ドレイン端子 15 は、Ti 層、Ni 層、Au 層、Ag 層および Al 層のうちの少なくとも 2 つを任意の態様で積層させた積層構造を有していてもよい。

[0035] ソース端子 16、入力端子 17、基準端子 18、イネーブル端子 19 およびセンス端子 20 は、層間絶縁層 13 の上に形成されている。ソース端子 16 は、第 1 主面 3 において第 1 デバイス領域 6 の上（above）に形成されている。ソース端子 16 は、パワートランジスタ 8 のメインソース SM およびコントロール IC 11 に電氣的に接続されている。ソース端子 16 は、パワートランジスタ 8 によって生成された出力電流 IOUT を外部に伝達する。

- [0036] 入力端子17、基準端子18、イネーブル端子19およびセンス端子20は、第1主面3において第1デバイス領域6外の領域（具体的には第2デバイス領域7）の上（above）にそれぞれ形成されている。入力端子17は、コントロールIC11を駆動する入力電圧を伝達する。基準端子18は、パワートランジスタ8およびコントロールIC11に基準電圧（たとえばグラウンド電圧GND）を伝達する。イネーブル端子19は、コントロールIC11の一部または全部の機能を有効または無効にするための電気信号を伝達する。センス端子20は、コントロールIC11の異常を検出するための電気信号を伝達する。
- [0037] ドレイン端子15を除く端子電極16～20は、純Al層、純Cu層、AlCu合金層、AlSiCu合金層およびAlSi合金層のうちの少なくとも1種を含んでいてもよい。端子電極16～20の外面には、めっき層がそれぞれ形成されていてもよい。めっき層は、Ni層、Pd層およびAu層のうちの少なくとも1種を含んでいてもよい。
- [0038] 図7は、図1に示す半導体装置1の一構成例を示すブロック回路図である。以下では、半導体装置1が車に搭載される場合を例にとって説明する。半導体装置1は、ドレイン端子15、ソース端子16、入力端子17、基準端子18、イネーブル端子19、センス端子20、パワートランジスタ8およびコントロールIC11を含む。
- [0039] ドレイン端子15は、電源に接続される。電源電圧VBは、10V以上20V以下であってもよい。ソース端子16は、誘導性負荷Lに接続される。誘導性負荷Lは、コイル、ソレノイド、ハーネスのインダクタンス成分等であってもよい。入力端子17は、MCU（Micro Controller Unit）、DC／DCコンバータまたはLDO（Low Drop Out）に外部接続される。入力電圧は、1V以上10V以下であってもよい。基準端子18は、グラウンド接地される。イネーブル端子19は、MCUに接続されてもよい。イネーブル端子19には、コントロールIC11の一部または全部の機能を有効または無効にするための電気信号が入力される。センス端子20は、抵抗器に接続され

てもよい。

[0040] パワートランジスタ 8 のメインドレイン DM は、ドレイン端子 15 に電氣的に接続されている。パワートランジスタ 8 のメインソース SM は、コントロール IC 11（後述する電流検出回路 26）およびソース端子 16 に電氣的に接続されている。パワートランジスタ 8 の n 個のメインゲート GM は、 n 個のゲート配線 14 を介してコントロール IC 11（具体的にはゲート制御回路 12）に電氣的に接続されている。図 7 では、 n 個のゲート配線 14 が 1 つのラインによって簡略化して示されている。

[0041] コントロール IC 11 は、ゲート制御回路 12、センストランジスタ 21、入力回路 22、電流・電圧制御回路 23、保護回路 24、アクティブクランプ回路 25、電流検出回路 26、電源逆接続保護回路 27 および異常検出回路 28 を含む。センストランジスタ 21 は、ドレイン、ソースおよびゲートを含む。センストランジスタ 21 のゲートは、ゲート制御回路 12 に電氣的に接続されている。センストランジスタ 21 のドレインは、ドレイン端子 15 に電氣的に接続されている。センストランジスタ 21 のソースは、電流検出回路 26 に電氣的に接続されている。

[0042] 入力回路 22 は、入力端子 17 および電流・電圧制御回路 23 に電氣的に接続されている。入力回路 22 は、シュミットトリガ回路を含んでもよい。入力回路 22 は、入力端子 17 に印加された電気信号の波形を整形する。入力回路 22 によって生成された信号は、電流・電圧制御回路 23 に入力される。

[0043] 電流・電圧制御回路 23 は、保護回路 24、ゲート制御回路 12、電源逆接続保護回路 27 および異常検出回路 28 に電氣的に接続されている。電流・電圧制御回路 23 は、ロジック回路を含んでもよい。電流・電圧制御回路 23 は、入力回路 22 からの電気信号および保護回路 24 からの電気信号に応答して、種々の電圧および電流を生成する。電流・電圧制御回路 23 は、この形態では、駆動電圧生成回路 29、第 1 定電圧生成回路 30、第 2 定電圧生成回路 31 および基準電圧・電流生成回路 32 を含む。

- [0044] 駆動電圧生成回路 29 は、ゲート制御回路 12 を駆動するための駆動電圧を生成する。駆動電圧は、電源電圧 V_B から所定値を差し引いた値に設定されてもよい。駆動電圧生成回路 29 は、電源電圧 V_B から 5 V を差し引いた 5 V 以上 15 V 以下の駆動電圧を生成してもよい。駆動電圧は、ゲート制御回路 12 に入力される。
- [0045] 第 1 定電圧生成回路 30 は、保護回路 24 を駆動するための第 1 定電圧を生成する。第 1 定電圧生成回路 30 は、ツェナダイオードやレギュレータ回路（ここではツェナダイオード）を含んでいてもよい。第 1 定電圧は、1 V 以上 5 V 以下であってもよい。第 1 定電圧は、保護回路 24（具体的には、後述する負荷オープン検出回路 34 等）に入力される。
- [0046] 第 2 定電圧生成回路 31 は、保護回路 24 を駆動するための第 2 定電圧を生成する。第 2 定電圧生成回路 31 は、ツェナダイオードやレギュレータ回路（ここではレギュレータ回路）を含んでいてもよい。第 2 定電圧は、1 V 以上 5 V 以下であってもよい。第 2 定電圧は、保護回路 24（具体的には、後述する過熱保護回路 35 や低電圧誤動作抑制回路 36）に入力される。
- [0047] 基準電圧・電流生成回路 32 は、各種回路の基準電圧および基準電流を生成する。基準電圧は、1 V 以上 5 V 以下であってもよい。基準電流は、1 mA 以上 1 A 以下であってもよい。基準電圧および基準電流は、各種回路に入力される。各種回路がコンパレータを含む場合、基準電圧および基準電流は、当該コンパレータに入力されてもよい。
- [0048] 保護回路 24 は、電流・電圧制御回路 23、ゲート制御回路 12、異常検出回路 28、パワートランジスタ 8 のソースおよびセンストランジスタ 21 のソースに電氣的に接続されている。保護回路 24 は、過電流保護回路 33、負荷オープン検出回路 34、過熱保護回路 35 および低電圧誤動作抑制回路 36 を含む。
- [0049] 過電流保護回路 33 は、ゲート制御回路 12 およびセンストランジスタ 21 のソースに電氣的に接続されている。過電流保護回路 33 は、パワートランジスタ 8 を流れる出力電流を検出して一定値以下に制限することによって

、過電流からパワートランジスタ 8 を保護する。過電流保護回路 3 3 は、電流モニタ回路を含んでいてもよい。過電流保護回路 3 3 によって生成された信号は、ゲート制御回路 1 2（具体的には、後述する駆動信号出力回路）に入力される。

[0050] 負荷オープン検出回路 3 4 は、電流・電圧制御回路 2 3 およびパワートランジスタ 8 のメインソース SM に電氣的に接続されている。負荷オープン検出回路 3 4 は、負荷のオープン状態を検出する。負荷オープン検出回路 3 4 によって生成された信号は、電流・電圧制御回路 2 3 に入力される。

[0051] 過熱保護回路 3 5 は、電流・電圧制御回路 2 3 に電氣的に接続されている。過熱保護回路 3 5 は、パワートランジスタ 8 の温度を監視し、過度な温度上昇からパワートランジスタ 8 を保護する。過熱保護回路 3 5 は、パワートランジスタ 8 の温度が所定の閾値に達したとき、または、パワートランジスタ 8 および他の回路の温度差が所定の閾値に達したときに、パワートランジスタ 8 を強制的にオフ状態に制御する。過熱保護回路 3 5 は、感温ダイオードやサーミスタ等の感温デバイスを含んでいてもよい。過熱保護回路 3 5 によって生成された信号は、電流・電圧制御回路 2 3 に入力される。

[0052] 低電圧誤動作抑制回路 3 6 は、電流・電圧制御回路 2 3 に電氣的に接続されている。低電圧誤動作抑制回路 3 6 は、電源電圧 V B が所定値未満である場合にパワートランジスタ 8 が誤動作するのを抑制する。低電圧誤動作抑制回路 3 6 によって生成された信号は、電流・電圧制御回路 2 3 に入力される。

[0053] ゲート制御回路 1 2 は、電流・電圧制御回路 2 3、保護回路 2 4、パワートランジスタ 8 の n 個のメインゲート GM、および、センストランジスタ 2 1 のゲートに電氣的に接続されている。ゲート制御回路 1 2 は、発振回路やチャージポンプ回路を含んでいてもよい。ゲート制御回路 1 2 は、電流・電圧制御回路 2 3 からの電気信号および保護回路 2 4 からの電気信号に応答して、パワートランジスタ 8 のオンオフを制御する。

[0054] ゲート制御回路 1 2 は、n 個のゲート配線 1 4 に出力すべき n 個のゲート

信号Gを生成する。n個のゲート信号Gは、n個のゲート配線14を介してパワートランジスタ8に入力される。これにより、パワートランジスタ8のオンオフが制御される。また、ゲート制御回路12は、センストランジスタ21のオンオフを制御する。ゲート制御回路12は、電流・電圧制御回路23からの電気信号および保護回路24からの電気信号に応答して、センストランジスタ21のゲートに出力すべきゲート信号を生成する。これにより、センストランジスタ21のオンオフが制御される。センストランジスタ21は、パワートランジスタ8と同時に制御されることが好ましい。

[0055] アクティブクランプ回路25は、ドレイン端子15、パワートランジスタ8のメインゲートGMおよびセンストランジスタ21のゲートに電氣的に接続されている。アクティブクランプ回路25は、逆起電力からパワートランジスタ8を保護する。アクティブクランプ回路25は、複数のダイオードを含んでいてもよい。アクティブクランプ回路25は、逆バイアス接続された第1ダイオード列および第2ダイオード列を含むダイオード対を有していてもよい。

[0056] 第1ダイオード列は、順方向直列接続された1つまたは複数のダイオードを含む。第2ダイオード列は、順方向直列接続された1つまたは複数のダイオードを含み、第1ダイオード列に逆バイアス接続されている。第1ダイオード列を構成する1つまたは複数のダイオードは、pn接合ダイオードおよびツェナダイオードのうちの少なくとも1つを含んでいてもよい。第2ダイオード列を構成する1つまたは複数のダイオードは、pn接合ダイオードおよびツェナダイオードのうちの少なくとも1つを含んでいてもよい。

[0057] 電流検出回路26は、保護回路24、異常検出回路28、パワートランジスタ8のソースおよびセンストランジスタ21のソースに電氣的に接続されている。電流検出回路26は、パワートランジスタ8およびセンストランジスタ21を流れる電流を検出し、電流検出信号を生成する。電流検出信号は、異常検出回路28に入力される。

[0058] 電源逆接続保護回路27は、基準端子18および電流・電圧制御回路23

に電氣的に接続されている。電源逆接続保護回路 27 は、電源が逆接続された際に、逆電圧から電流・電圧制御回路 23 やパワートランジスタ 8 等を保護する。

[0059] 異常検出回路 28 は、電流・電圧制御回路 23、保護回路 24 および電流検出回路 26 に電氣的に接続されている。異常検出回路 28 は、保護回路 24 の電圧を監視する。過電流保護回路 33、負荷オープン検出回路 34、過熱保護回路 35 および低電圧誤動作抑制回路 36 のいずれかに異常（電圧の変動等）が生じた場合、異常検出回路 28 は、保護回路 24 の電圧に応じた異常検出信号を生成し、外部に出力する。

[0060] 異常検出回路 28 は、具体的には、第 1 マルチプレクサ回路 37 および第 2 マルチプレクサ回路 38 を含む。第 1 マルチプレクサ回路 37 は、2つの入力部、1つの出力部および1つの選択入力部を含む。第 1 マルチプレクサ回路 37 の入力部には、保護回路 24 および電流検出回路 26 がそれぞれ接続されている。第 1 マルチプレクサ回路 37 の出力部には、第 2 マルチプレクサ回路 38 が接続されている。第 1 マルチプレクサ回路 37 の選択入力部には、電流・電圧制御回路 23 が接続されている。

[0061] 第 1 マルチプレクサ回路 37 は、電流・電圧制御回路 23 からの電気信号、保護回路 24 からの電圧検出信号および電流検出回路 26 からの電流検出信号に応答して、異常検出信号を生成する。第 1 マルチプレクサ回路 37 によって生成された異常検出信号は、第 2 マルチプレクサ回路 38 に入力される。第 2 マルチプレクサ回路 38 は、2つの入力部および1つの出力部を含む。第 2 マルチプレクサ回路 38 の入力部には、第 1 マルチプレクサ回路 37 の出力部およびイネーブル端子 19 がそれぞれ接続されている。第 2 マルチプレクサ回路 38 の出力部には、センス端子 20 が接続されている。

[0062] イネーブル端子 19 にMCUが接続され、センス端子 20 に抵抗器が接続されている場合、MCUからイネーブル端子 19 にオン信号が入力され、センス端子 20 から異常検出信号が取り出される。異常検出信号は、センス端子 20 に電氣的に接続された抵抗器によって電圧信号に変換される。半導体

装置 1 の状態異常は、この電圧信号に基づいて検出される。

[0063] 図 8 A～図 8 C は、図 5 にそれぞれ対応し、パワートランジスタ 8 の動作例を説明するための回路図である。図 8 A を参照して、 n 個のゲート配線 14 の全てにゲート閾値電圧を超えるゲート信号 G （つまりオン信号）が入力されると、全ての系統トランジスタ 9 がオン状態になる。この場合、パワートランジスタ 8 は、全ての電流経路が解放された状態でオン状態になる。したがって、パワートランジスタ 8 のチャネル利用率が相対的に増加し、オン抵抗 R_{on} が相対的に減少する。

[0064] 図 8 B を参照して、 x 個 ($1 \leq x < n$) のゲート配線 14 にゲート閾値電圧を超えるゲート信号 G （つまりオン信号）が入力され、 $(n - x)$ 個のゲート配線 14 にゲート閾値電圧未満のゲート信号 G （つまりオフ信号）が入力されると、 x 個の系統トランジスタ 9 がオン状態になり、 $(n - x)$ 個の系統トランジスタ 9 がオフ状態になる。この場合、パワートランジスタ 8 は、一部の電流経路が閉じた状態でオン状態になる。したがって、パワートランジスタ 8 のチャネル利用率が相対的に減少し、オン抵抗 R_{on} が相対的に増加する。

[0065] 図 8 C を参照して、 n 個のゲート配線 14 の全てにゲート閾値電圧未満のゲート信号 G （つまりオフ信号）が入力されると、全ての電流経路が閉じた状態になる。これにより、全ての系統トランジスタ 9 がオフ状態になり、パワートランジスタ 8 がオフ状態になる。

[0066] 次に、図 9～図 15 を参照して、第 1 デバイス領域 6（パワートランジスタ 8）の具体的な構造を説明する。図 9 は、図 3 に示す領域 IX の拡大図である。図 10 は、図 9 に示す領域 X の拡大図である。図 11 は、図 9 に示す領域 XI を一部省略して示す拡大図である。図 12 は、図 10 に示す XII-XII 線に沿う断面図である。図 13 は、図 10 に示す XIII-XIII 線に沿う断面図である。図 14 A は、図 12 に示す構造の要部の拡大断面図である。図 14 B は、図 14 A の要部を示す拡大断面図である。図 15 は、図 9 に示す第 1 デバイス領域 6 の要部を示す断面斜視図である。図 14 B では、便宜上、ハッチング

を省略している。図15では、便宜上、第1主面3の上の構造を省略し、ゲート配線14等を簡略化している。

[0067] 図9～図15（特に図12および図13）を参照して、半導体装置1は、半導体チップ2の第2主面4の表層部に形成されたn型（第1導電型）の第1半導体領域41を含む。第1半導体領域41は、パワートランジスタ8のメインドレインDMを形成している。第1半導体領域41は、ドレイン領域と称されてもよい。第1半導体領域41は、第2主面4の表層部の全域に形成され、第2主面4および第1～第4側面5A～5Dから露出している。第1半導体領域41のn型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。第1半導体領域41は、この形態では、半導体基板（Si基板）によって形成されている。

[0068] 第1半導体領域41の厚さは、 $10 \mu\text{m}$ 以上 $450 \mu\text{m}$ 以下であってもよい。第1半導体領域41の厚さは、 $10 \mu\text{m}$ 以上 $50 \mu\text{m}$ 以下、 $50 \mu\text{m}$ 以上 $150 \mu\text{m}$ 以下、 $150 \mu\text{m}$ 以上 $250 \mu\text{m}$ 以下、 $250 \mu\text{m}$ 以上 $350 \mu\text{m}$ 以下、 $350 \mu\text{m}$ 以上 $450 \mu\text{m}$ 以下であってもよい。第1半導体領域41の厚さは、 $50 \mu\text{m}$ 以上 $150 \mu\text{m}$ 以下であることが好ましい。

[0069] 半導体装置1は、半導体チップ2の第1主面3の表層部に形成されたn型の第2半導体領域42を含む。第2半導体領域42は、第1半導体領域41と共にパワートランジスタ8のメインドレインDMを形成している。第2半導体領域42は、ドリフト領域またはドレインドリフト領域と称されてもよい。第2半導体領域42は、第1半導体領域41に電氣的に接続されるように第1主面3の表層部の全域に形成され、第1主面3および第1～第4側面5A～5Dから露出している。

[0070] 第2半導体領域42は、第1半導体領域41のn型不純物濃度未満のn型不純物濃度を有している。第2半導体領域42のn型不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。第2半導体領域42は、この形態では、エピタキシャル層（Siエピタキシャル層）によって形成されている。

- [0071] 第2半導体領域42は、第1半導体領域41の厚さ未満の厚さを有している。第2半導体領域42の厚さは、 $5\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。第2半導体領域42の厚さは、 $5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下、 $10\mu\text{m}$ 以上 $15\mu\text{m}$ 以下、または、 $15\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。第2半導体領域42の厚さは、 $5\mu\text{m}$ 以上 $15\mu\text{m}$ 以下であることが好ましい。
- [0072] 半導体装置1は、第1主面3において第1デバイス領域6を区画する領域分離構造の一例としての第1トレンチ分離構造43 (first trench separation structure) を含む。第1トレンチ分離構造43は、DTI (deep trench isolation) 構造、または、STI (shallow trench isolation) 構造と称されてもよい。
- [0073] 第1トレンチ分離構造43は、平面視において第1主面3の一部の領域を取り囲む環状に形成され、所定形状の第1デバイス領域6を区画している。第1トレンチ分離構造43は、この形態では、平面視において第1～第4側面5A～5Dに平行な4辺を有する四角環状に形成され、四角形状の第1デバイス領域6を区画している。第1トレンチ分離構造43の平面形状は任意であり、多角環状に形成されていてもよい。第1デバイス領域6は、第1トレンチ分離構造43の平面形状に応じて多角形状に区画されていてもよい。
- [0074] 第1トレンチ分離構造43は、分離幅WIを有している。分離幅WIは、第1トレンチ分離構造43が延びる方向に直交する方向の幅である。分離幅WIは、 $0.5\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下であってもよい。分離幅WIは、 $0.5\mu\text{m}$ 以上 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以上 $2\mu\text{m}$ 以下、または、 $2\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下であってもよい。分離幅WIは、 $1.2\mu\text{m}$ 以上 $2\mu\text{m}$ 以下であることが好ましい。
- [0075] 第1トレンチ分離構造43は、分離深さDIを有している。分離深さDIは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。分離深さDIは、 $1\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上 $7.5\mu\text{m}$ 以下、または、 $7.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。分離深さDIは、 $2\mu\text{m}$ 以上 $6\mu\text{m}$ 以下であることが好ましい。

- [0076] 第1トレンチ分離構造43のアスペクト比 $D1/W1$ は、1を超えて5以下であってもよい。アスペクト比 $D1/W1$ は、分離幅 $W1$ に対する分離深さ $D1$ の比である。アスペクト比 $D1/W1$ は、2以上であることが好ましい。第1トレンチ分離構造43の底壁は、第2半導体領域42の底部に対して $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下の間隔を空けて形成されていることが好ましい。第1トレンチ分離構造43の底壁は、第2半導体領域42の底部に対して $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下の間隔を空けて形成されていることが特に好ましい。
- [0077] 第1トレンチ分離構造43は、第1方向Xに延びる部分および第2方向Yに延びる部分を円弧状に接続する角部を有している。この形態では、第1トレンチ分離構造43の四隅が、円弧状に形成されている。つまり、第1デバイス領域6は、円弧状にそれぞれ延びる四隅を有する四角形状に区画されている。第1トレンチ分離構造43の角部は、円弧方向に沿って一定の分離幅 $W1$ を有していることが好ましい。
- [0078] 第1トレンチ分離構造43は、分離トレンチ44、分離絶縁膜45（分離絶縁体）および分離電極46を含むシングル電極構造を有している。分離トレンチ44は、第1主面3から第2主面4に向けて掘り下がっている。分離トレンチ44は、第2半導体領域42の底部から第1主面3側に間隔を空けて形成されている。
- [0079] 分離トレンチ44は、側壁および底壁を含む。分離トレンチ44の側壁が半導体チップ2内において第1主面3との間で成す角度は、 90° 以上 92° 以下であってもよい。分離トレンチ44は、開口から底壁に向けて開口幅が狭まる先細り形状に形成されていてもよい。分離トレンチ44の底壁角部は、湾曲状に形成されていることが好ましい。分離トレンチ44の底壁の全体が、第2主面4に向かう湾曲状に形成されていてもよい。
- [0080] 分離絶縁膜45は、分離トレンチ44の壁面に形成されている。分離絶縁膜45は、具体的には、分離トレンチ44の壁面の全域に膜状に形成され、分離トレンチ44内においてU字状のリセス空間を区画している。分離絶縁膜45は、この形態では、酸化シリコン膜を含む。分離絶縁膜45は、具体

的には、半導体チップ2の酸化物からなる酸化シリコン膜を含む。

[0081] 分離絶縁膜45は、分離厚さ T_1 を有している。分離厚さ T_1 は、分離トレンチ44の壁面の法線方向に沿う分離絶縁膜45の厚さである。分離厚さ T_1 は、 $0.1\mu\text{m}$ 以上 $1\mu\text{m}$ 以下であってもよい。分離厚さ T_1 は、 $0.1\mu\text{m}$ 以上 $0.25\mu\text{m}$ 以下、 $0.25\mu\text{m}$ 以上 $0.5\mu\text{m}$ 以下、 $0.5\mu\text{m}$ 以上 $0.75\mu\text{m}$ 以下、または、 $0.75\mu\text{m}$ 以上 $1\mu\text{m}$ 以下であってもよい。分離厚さ T_1 は、 $0.15\mu\text{m}$ 以上 $0.65\mu\text{m}$ 以下であることが好ましい。

[0082] 分離絶縁膜45は、具体的には、第1部分45aおよび第2部分45bを含む。第1部分45aは、分離トレンチ44の側壁を被覆する部分である。第2部分45bは、分離トレンチ44の底壁を被覆する部分である。第1部分45aは、第1分離厚さ T_{11} を有している。第1分離厚さ T_{11} は、分離トレンチ44の側壁の法線方向に沿う第1部分45aの厚さである。分離絶縁膜45の分離厚さ T_1 は、第1分離厚さ T_{11} によって定義されている。

[0083] 第2部分45bは、第1分離厚さ T_{11} とは異なる第2分離厚さ T_{12} ($T_{11} \neq T_{12}$) を有している。第2分離厚さ T_{12} は、分離トレンチ44の底壁の法線方向に沿う第2部分45bの厚さである。第2分離厚さ T_{12} は、第1分離厚さ T_{11} 未満 ($T_{12} < T_{11}$) であることが好ましい。第2分離厚さ T_{12} は、第1分離厚さ T_{11} の0.6倍以上1倍未満であってもよい。第2分離厚さ T_{12} は、第1分離厚さ T_{11} の0.7倍以上0.9倍以下であることが好ましい。

[0084] 分離電極46は、分離絶縁膜45を挟んで分離トレンチ44に一体物として埋設されている。分離電極46は、この形態では、導電性ポリシリコンを含む。分離電極46には、基準電圧としてのソース電圧（たとえばグランド電圧）が印加されてもよい。

[0085] 半導体装置1は、第1デバイス領域6において第1主面3の表層部に形成されたp型（第2導電型）のボディ領域47を含む。ボディ領域47のp型

不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。ボディ領域47は、第1デバイス領域6において第1主面3の表層部の全域に形成され、第1トレンチ分離構造43に接している。ボディ領域47は、第1トレンチ分離構造43の底壁に対して第1主面3側の領域に形成されている。ボディ領域47は、具体的には、第1トレンチ分離構造43の中間部に対して第1主面3側の領域に形成されている。

[0086] 半導体装置1は、第1デバイス領域6において第1トレンチ分離構造43の内周壁に沿って形成されたボディスペース48を含む。ボディスペース48は、ボディ領域47の一部からなる。ボディスペース48は、平面視において第1トレンチ分離構造43の内周壁に沿う環状に形成され、第1デバイス領域6の内方を取り囲んでいる。

[0087] ボディスペース48は、スペース幅WSPを有している。スペース幅WSPは、分離幅WI以上($WI \leq WSP$)であってもよいし、分離幅WI未満($WSP < WI$)であってもよい。ボディスペース48は、第1トレンチ分離構造43の内周壁に沿って一定のスペース幅WSPを有していることが好ましい。スペース幅WSPは、 $1 \mu\text{m}$ 以上 $2.5 \mu\text{m}$ 以下であってもよい。スペース幅WSPは、 $1 \mu\text{m}$ 以上 $1.5 \mu\text{m}$ 以下、 $1.5 \mu\text{m}$ 以上 $2 \mu\text{m}$ 以下、または、 $2 \mu\text{m}$ 以上 $2.5 \mu\text{m}$ 以下であってもよい。スペース幅WSPは、 $1.2 \mu\text{m}$ 以上 $2 \mu\text{m}$ 以下であることが好ましい。

[0088] 半導体装置1は、第1デバイス領域6において第1主面3に形成されたパワートランジスタ8を含む。パワートランジスタ8は、第1トレンチ分離構造43からスペース幅WSPだけ間隔を空けて第1主面3に形成されている。これにより、パワートランジスタ8は、ボディスペース48を挟んで第1トレンチ分離構造43に対向している。

[0089] パワートランジスタ8は、具体的には、第1デバイス領域6の第1主面3に集約して形成された複数の単位トランジスタ10を含む。図9では、16個の単位トランジスタ10が形成された例が示されているが、単位トランジスタ10の個数は任意である。複数の単位トランジスタ10は、平面視にお

いて第1方向Xに延びる帯状（長形状）にそれぞれ形成され、第2方向Yに一行に並んで配列されている。これにより、複数の単位トランジスタ10は、平面視において第1方向Xに延びるストライプ状に形成されている。

[0090] 図10および図11を参照して、複数の単位トランジスタ10は、具体的には、単位セル50によってそれぞれ構成されている。各単位セル50は、1つのトレンチゲート構造51、および、当該トレンチゲート構造51によって制御されるチャネルセル52を含む。チャネルセル52は、トレンチゲート構造51によって電流経路の開閉が制御される領域である。単位セル50は、この形態では、1つのトレンチゲート構造51の両サイドに形成された一対のチャネルセル52を含む。

[0091] 単位セル50のセル幅は、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であってもよい。セル幅は、単位セル50が延びる方向に直交する方向（つまり第2方向Y）の幅である。単位セル50の第1方向Xの長さは任意であり、トレンチゲート構造51の長さによって調整される。以下、1つの単位トランジスタ10（単位セル50）の構造について説明した後、複数の単位トランジスタ10（単位セル50）の配置について説明する。

[0092] トレンチゲート構造51は、平面視において第1方向Xに延びる帯状（長形状）に形成されている。トレンチゲート構造51は、第1方向X（長手方向）に関して、一方側の第1端部51Aおよび他方側の第2端部51Bを有している。

[0093] トレンチゲート構造51は、第1幅W1を有している。第1幅W1は、トレンチゲート構造51の短手方向（第2方向Y）の幅である。第1幅W1は、第1トレンチ分離構造43の分離幅W1とほぼ等しくてもよい（ $W1 \simeq W1$ ）。第1幅W1は、分離幅W1未満（ $W1 < W1$ ）であることが好ましい。第1幅W1は、スペース幅WSP未満（ $W1 < WSP$ ）であることが好ましい。第1幅W1は、 $0.5\mu\text{m}$ 以上 $2\mu\text{m}$ 以下であってもよい。第1幅W1は、 $0.5\mu\text{m}$ 以上 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下、または、 $1.5\mu\text{m}$ 以上 $2\mu\text{m}$ 以下であってもよい。第1幅W1は、 $0.5\mu\text{m}$ 以上 1

、 $5\mu\text{m}$ 以下であることが好ましい。

[0094] トレンチゲート構造51は、第1深さD1を有している。第1深さD1は、この形態では、第1トレンチ分離構造43の分離深さD1とほぼ等しい($D1 \div D1$)。第1深さD1は、分離深さD1未満($D1 < D1$)であることが好ましい。第1深さD1は、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第1深さD1は、 $1\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上 $7.5\mu\text{m}$ 以下、または、 $7.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第1深さD1は、 $2\mu\text{m}$ 以上 $6\mu\text{m}$ 以下であることが好ましい。

[0095] トレンチゲート構造51のアスペクト比 $D1/W1$ は、1を超えて5以下であってもよい。アスペクト比 $D1/W1$ は、第1幅W1に対する第1深さD1の比である。アスペクト比 $D1/W1$ は、2以上であることが特に好ましい。トレンチゲート構造51の底壁は、第2半導体領域42の底部に対して $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下の間隔を空けて形成されていることが好ましい。トレンチゲート構造51の底壁は、第2半導体領域42の底部に対して $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下の間隔を空けて形成されていることが特に好ましい。

[0096] トレンチゲート構造51は、ゲートトレンチ53、上絶縁膜54、下絶縁膜55、上電極56、下電極57および中間絶縁膜58を含むマルチ電極構造を有している。上絶縁膜54、下絶縁膜55および中間絶縁膜58は、第1絶縁体を構成している。これにより、上電極56および下電極57は、第1絶縁体によって上下方向に絶縁分離されるようにゲートトレンチ53内に埋設されている。

[0097] ゲートトレンチ53は、第1主面3から第2主面4に向けて掘り下がっている。ゲートトレンチ53は、ボディ領域47を貫通し、第2半導体領域42の底部から第1主面3側に間隔を空けて形成されている。ゲートトレンチ53は、側壁および底壁を含む。ゲートトレンチ53の側壁が半導体チップ2内において第1主面3との間で成す角度は、 90° 以上 92° 以下であってもよい。

[0098] ゲートトレンチ53は、開口から底壁に向けて開口幅が狭まる先細り形状

に形成されていてもよい。ゲートトレンチ53の底壁角部は、湾曲状に形成されていることが好ましい。ゲートトレンチ53の底壁の全体が、第2主面4に向かう湾曲状に形成されていてもよい。

[0099] 上絶縁膜54は、ゲートトレンチ53の上壁面を被覆している。上絶縁膜54は、具体的には、ボディ領域47の底部に対してゲートトレンチ53の開口側の領域に位置する上壁面を被覆している。上絶縁膜54の下方部は、第2半導体領域42およびボディ領域47の境界を横切っている。

[0100] 上絶縁膜54は、ボディ領域47を被覆する部分、および、第2半導体領域42を被覆する部分を有している。ボディ領域47に対する上絶縁膜54の被覆面積は、第2半導体領域42に対する上絶縁膜54の被覆面積よりも大きい。上絶縁膜54は、この形態では、酸化シリコンを含む。上絶縁膜54は、具体的には、半導体チップ2の酸化物からなる酸化シリコン膜を含む。上絶縁膜54は、ゲート絶縁膜として形成されている。

[0101] 上絶縁膜54は、分離絶縁膜45の分離厚さ T_1 未満の第1厚さ T_1 ($T_1 < T_1$) を有している。第1厚さ T_1 は、ゲートトレンチ53の壁面の法線方向に沿う上絶縁膜54の厚さである。第1厚さ T_1 は、 $0.01\mu\text{m}$ 以上 $0.05\mu\text{m}$ 以下であってもよい。第1厚さ T_1 は、 $0.01\mu\text{m}$ 以上 $0.02\mu\text{m}$ 以下、 $0.02\mu\text{m}$ 以上 $0.03\mu\text{m}$ 以下、 $0.03\mu\text{m}$ 以上 $0.04\mu\text{m}$ 以下、または、 $0.04\mu\text{m}$ 以上 $0.05\mu\text{m}$ 以下であってもよい。第1厚さ T_1 は、 $0.02\mu\text{m}$ 以上 $0.04\mu\text{m}$ 以下であることが好ましい。

[0102] 下絶縁膜55は、ゲートトレンチ53の下壁面を被覆している。下絶縁膜55は、具体的には、ボディ領域47の底部に対してゲートトレンチ53の底壁側の領域に位置する下壁面を被覆している。下絶縁膜55は、ゲートトレンチ53の底壁側の領域においてU字状のリセス空間を区画している。下絶縁膜55は、第2半導体領域42に接している。下絶縁膜55は、この形態では、酸化シリコンを含む。下絶縁膜55は、具体的には、半導体チップ2の酸化物からなる酸化シリコン膜を含む。下絶縁膜55は、フィールド絶

縁膜として形成されている。

- [0103] 下絶縁膜55は、上絶縁膜54の第1厚さ T_1 を超える第2厚さ T_2 ($T_1 < T_2$) を有している。第2厚さ T_2 は、分離絶縁膜45の分離厚さ T_1 とほぼ等しくてもよい ($T_2 \div T_1$)。第2厚さ T_2 は、ゲートトレンチ53の壁面の法線方向に沿う下絶縁膜55の厚さである。第2厚さ T_2 は、 $0.1\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下であってもよい。第2厚さ T_2 は、 $0.1\ \mu\text{m}$ 以上 $0.25\ \mu\text{m}$ 以下、 $0.25\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下、 $0.5\ \mu\text{m}$ 以上 $0.75\ \mu\text{m}$ 以下、または、 $0.75\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下であってもよい。第2厚さ T_2 は、 $0.15\ \mu\text{m}$ 以上 $0.65\ \mu\text{m}$ 以下であることが好ましい。
- [0104] 下絶縁膜55は、具体的には、第1部分55aおよび第2部分55bを含む。第1部分55aは、ゲートトレンチ53の側壁を被覆する部分である。第2部分55bは、ゲートトレンチ53の底壁を被覆する部分である。第1部分55aは、第1下厚さ T_{21} を有している。第1下厚さ T_{21} は、ゲートトレンチ53の側壁の法線方向に沿う第1部分55aの厚さである。下絶縁膜55の第2厚さ T_2 は、第1下厚さ T_{21} によって定義されている。
- [0105] 第2部分45bは、第1下厚さ T_{21} とは異なる第2下厚さ T_{22} ($T_{21} \neq T_{22}$) を有している。第2下厚さ T_{22} は、ゲートトレンチ53の底壁の法線方向に沿う第2部分45bの厚さである。第2下厚さ T_{22} は、第1下厚さ T_{21} 未満 ($T_{22} < T_{21}$) であることが好ましい。第2下厚さ T_{22} は、第1下厚さ T_{21} の 0.6 倍以上 1 倍未満であってもよい。第2下厚さ T_{22} は、第1下厚さ T_{21} の 0.7 倍以上 0.9 倍以下であることが好ましい。第2下厚さ T_{22} は、分離絶縁膜45の第2分離厚さ T_{12} とほぼ等しくてもよい ($T_{22} \div T_{12}$)。
- [0106] 上電極56は、上絶縁膜54を挟んでゲートトレンチ53内の上側（開口側）に埋設されている。上電極56は、平面視において第1方向Xに延びる帯状（長方形状）に形成されている。上電極56は、上絶縁膜54を挟んでボディ領域47および第2半導体領域42に対向している。ボディ領域47に対する上電極56の対向面積は、第2半導体領域42に対する上電極56

の対向面積よりも大きい。上電極 5 6 は、この形態では、導電性ポリシリコンを含む。上電極 5 6 は、ゲート電極として形成されている。上電極 5 6 には、ゲート信号 G が印加される。

[0107] 下電極 5 7 は、下絶縁膜 5 5 を挟んでゲートトレンチ 5 3 内の下側（底壁側）に埋設されている。下電極 5 7 は、下絶縁膜 5 5 を挟んで第 2 半導体領域 4 2 に対向している。下電極 5 7 は、下絶縁膜 5 5 から第 1 主面 3 側に突出した上端部を有している。下電極 5 7 の上端部は、上電極 5 6 の底部に咬合するように上電極 5 6 に向けて延びている。これにより、下電極 5 7 の上端部は、第 2 方向 Y に関して、上電極 5 6 の底部を挟んで上絶縁膜 5 4 に対向している。

[0108] 下電極 5 7 は、この形態では、導電性ポリシリコンを含む。下電極 5 7 は、この形態では、ゲート電極として形成されている。したがって、下電極 5 7 には、上電極 5 6 と同時にゲート信号 G が印加される。共通のゲートトレンチ 5 3 内に配置された上電極 5 6 および下電極 5 7 は、同時に制御される。これにより、上電極 5 6 および下電極 5 7 の間の電圧降下を抑制できるから、上電極 5 6 および下電極 5 7 の間の電界集中を抑制できる。また、半導体チップ 2（特に第 2 半導体領域 4 2）のオン抵抗 R_{on} を削減できる。この構造は、半導体装置 1 が車載用のデバイスとして提供される場合に特に有効である。

[0109] 中間絶縁膜 5 8 は、上電極 5 6 および下電極 5 7 の間に介在し、上電極 5 6 および下電極 5 7 を電氣的に絶縁させている。中間絶縁膜 5 8 は、具体的には、上電極 5 6 および下電極 5 7 の間の領域において下絶縁膜 5 5 から露出する下電極 5 7（上端部）を被覆している。中間絶縁膜 5 8 は、上絶縁膜 5 4 および下絶縁膜 5 5 に連なっている。中間絶縁膜 5 8 は、この形態では、酸化シリコンを含む。中間絶縁膜 5 8 は、具体的には、下電極 5 7 の酸化物からなる酸化シリコン膜を含む。

[0110] 中間絶縁膜 5 8 は、法線方向 Z に関して、下絶縁膜 5 5 の第 2 厚さ T_2 未満の中間厚さ T_M （ $T_M < T_2$ ）を有している。中間厚さ T_M は、0.01

μm 以上 $0.05\mu\text{m}$ 以下であってもよい。中間厚さ T_M は、 $0.01\mu\text{m}$ 以上 $0.02\mu\text{m}$ 以下、 $0.02\mu\text{m}$ 以上 $0.03\mu\text{m}$ 以下、 $0.03\mu\text{m}$ 以上 $0.04\mu\text{m}$ 以下、または、 $0.04\mu\text{m}$ 以上 $0.05\mu\text{m}$ 以下であってもよい。中間厚さ T_M は、 $0.02\mu\text{m}$ 以上 $0.04\mu\text{m}$ 以下であることが好ましい。

[0111] 一对のチャネルセル52は、トレンチゲート構造51の両サイドにおいて、第1方向Xに延びる帯状にそれぞれ形成されている。一对のチャネルセル52は、チャネル幅 W_C をそれぞれ有している。チャネル幅 W_C は、 $0.1\mu\text{m}$ 以上 $1\mu\text{m}$ 以下であってもよい。

[0112] 一对のチャネルセル52は、ボディ領域47の表層部に形成されたn型のソース領域60をそれぞれ含む。一对のチャネルセル52に含まれるソース領域60の個数は任意である。一对のチャネルセル52は、この形態では、複数のソース領域60をそれぞれ含む。単位セル50に含まれる1つまたは複数のソース領域60は、単位トランジスタ10のユニットソース S_U （パワートランジスタ8のメインソース S_M の一部）を形成している。

[0113] ソース領域60のn型不純物濃度は、第2半導体領域42のn型不純物濃度を超えている。ソース領域60のn型不純物濃度は、 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{21} \text{cm}^{-3}$ 以下であってもよい。複数のソース領域60は、各チャネルセル52において第1方向Xに間隔を空けて形成されている。複数のソース領域60の底部は、ボディ領域47の底部に対して第1主面3側の領域に位置している。

[0114] 一对のチャネルセル52は、ボディ領域47の表層部においてソース領域60とは異なる領域に形成されたp型のコンタクト領域61をそれぞれ含む。一对のチャネルセル52に含まれるコンタクト領域61の個数は任意である。一对のチャネルセル52は、この形態では、複数のコンタクト領域61をそれぞれ含む。コンタクト領域61のp型不純物濃度は、ボディ領域47のp型不純物濃度を超えている。コンタクト領域61のp型不純物濃度は、 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{21} \text{cm}^{-3}$ 以下であってもよい。

- [0115] 複数のコンタクト領域 6 1 は、各チャネルセル 5 2 において第 1 方向 X に間隔を空けて形成されている。複数のコンタクト領域 6 1 は、具体的には、1 つのソース領域 6 0 を挟み込む態様で、第 1 方向 X に複数のソース領域 6 0 と交互に形成されている。複数のコンタクト領域 6 1 の底部は、ボディ領域 4 7 の底部に対して第 1 主面 3 側の領域に位置している。
- [0116] 一对のチャネルセル 5 2 は、ボディ領域 4 7 内において複数のソース領域 6 0 および第 2 半導体領域 4 2 の間に画定された複数のチャネル領域 6 2 を含む。複数のチャネル領域 6 2 のオンオフは、トレンチゲート構造 5 1 によって同時に制御される。したがって、複数のチャネル領域 6 2 は、単位トランジスタ 1 0 の 1 つのチャネルを形成している。
- [0117] 複数の単位セル 5 0 は、複数のトレンチゲート構造 5 1 が第 2 方向 Y に第 1 間隔 I 1 を空けて一列に並んで配列されるように形成されている。つまり、複数のトレンチゲート構造 5 1 は、平面視において第 1 デバイス領域 6 において第 1 方向 X に延びる帯状にそれぞれ形成され、第 2 方向 Y に第 1 間隔 I 1 を空けて形成されている。つまり、複数の単位セル 5 0（複数のトレンチゲート構造 5 1）は、平面視において第 1 方向 X に延びるストライプ状に形成されている。
- [0118] 近接する一对のトレンチゲート構造 5 1 の間の領域には、第 1 方向 X に延びる台地状のメサ部 6 3 がそれぞれ区画されている。つまり、複数のトレンチゲート構造 5 1 は、1 つのメサ部 6 3 を挟み込む態様で、第 2 方向 Y に複数のメサ部 6 3 と交互に形成されている。
- [0119] 複数の単位セル 5 0 は、この形態では、近接する一对の単位セル 5 0 の間に位置するメサ部 6 3 においてチャネルセル 5 2 同士が一体化するようにそれぞれ形成されている。各メサ部 6 3 においてボディ領域 4 7 の表層部には、複数のソース領域 6 0 および複数のコンタクト領域 6 1 が第 1 方向 X に沿って交互に形成されている。複数の単位セル 5 0 は、この形態では、近接する一对のメサ部 6 3 の中央部の間の領域によってそれぞれ形成されている。
- [0120] このような構造においても、各単位セル 5 0 のチャネル領域 6 2 のオンオ

フは、単位セル50毎に制御される。近接する一对の単位セル50について見ると、一方の単位セル50（トレンチゲート構造51）がオン状態に制御された場合、当該一方の単位セル50のチャネル領域62はオン状態になるが、他方の単位セル50のチャネル領域62はオン状態にならない。したがって、外部からの電氣的な接続がない限り、複数の単位セル50（トレンチゲート構造51）は電氣的に独立している。これにより、各単位セル50が、1つの単位トランジスタ10として機能している。

[0121] 第2方向Yに関して、両サイドに配置された2つの単位セル50のトレンチゲート構造51は、第1トレンチ分離構造43から第1方向Xにスペース幅WSPを空けてそれぞれ形成されている。両サイドに配置された2つの単位セル50は、この形態では、第1トレンチ分離構造43側のチャネルセル52においてソース領域60を含まない。このような構造によれば、主要な電流経路をメサ部63に制限できると同時に、トレンチゲート構造51および第1トレンチ分離構造43の間におけるリーク電流を抑制できる。

[0122] 両サイドに配置された2つの単位セル50は、この形態では、第1トレンチ分離構造43側のチャネルセル52においてコンタクト領域61（以下、「最外のコンタクト領域61」という。）のみを含む。最外のコンタクト領域61は、第1トレンチ分離構造43からトレンチゲート構造51側に間隔を空けて形成されていることが好ましい。最外のコンタクト領域61は、対応するトレンチゲート構造51の側壁に接続されている。最外のコンタクト領域61は、対応するトレンチゲート構造51の側壁に沿って延びる帯状に形成されていてもよい。

[0123] 図10および図11を参照して、第1間隔I1は、この形態では、チャネル幅WCを2倍した値に相当する。第1間隔I1は、複数のトレンチゲート構造51から拡がる空乏層が、複数のトレンチゲート構造51の底壁よりも下方で一体化する値に設定されることが好ましい。第1間隔I1は、第1幅W1の0.25倍以上、かつ、第1幅W1の1.5倍以下であってもよい。第1間隔I1は、第1幅W1以下（ $I1 \leq W1$ ）であることが好ましい。第

1 間隔 l_1 は、スペース幅 WSP 未満 ($l_1 \leq WSP$) であることが好ましい。

[0124] 第 1 間隔 l_1 は、 $0.5 \mu m$ 以上 $2 \mu m$ 以下であってもよい。第 1 間隔 l_1 は、 $0.5 \mu m$ 以上 $1 \mu m$ 以下、 $1 \mu m$ 以上 $1.5 \mu m$ 以下、または、 $1.5 \mu m$ 以上 $2 \mu m$ 以下であってもよい。第 1 間隔 l_1 は、 $0.4 \mu m$ 以上 $1.6 \mu m$ 以下であることが好ましい。

[0125] 図 9～図 11 を参照して、半導体装置 1 は、第 1 デバイス領域 6 において第 1 主面 3 に形成された複数（この形態では 32 個）のトレンチコンタクト構造 71 を含む。複数のトレンチコンタクト構造 71 は、パワートランジスタ 8 の構成要素でもある。複数のトレンチコンタクト構造 71 は、具体的には、複数（この形態では 16 個）の第 1 トレンチコンタクト構造 71 A、および、複数（この形態では 16 個）の第 2 トレンチコンタクト構造 71 B を含む。

[0126] 複数の第 1 トレンチコンタクト構造 71 A は、複数のトレンチゲート構造 51 の第 1 端部 51 A および第 1 トレンチ分離構造 43 の間の領域にそれぞれ形成されている。複数の第 1 トレンチコンタクト構造 71 A は、複数のトレンチゲート構造 51 の第 1 端部 51 A にそれぞれ接続され、第 1 方向 X に延びる帯状（長方形状）にそれぞれ形成されている。複数の第 1 トレンチコンタクト構造 71 A は、第 1 方向 X に関して、第 1 トレンチ分離構造 43 からスペース幅 WSP 分だけ間隔を空けて形成されている。複数の第 1 トレンチコンタクト構造 71 A の第 1 方向 X の長さは任意である。

[0127] 複数の第 2 トレンチコンタクト構造 71 B は、複数のトレンチゲート構造 51 の第 2 端部 51 B および第 1 トレンチ分離構造 43 の間の領域にそれぞれ形成されている。複数の第 2 トレンチコンタクト構造 71 B は、複数のトレンチゲート構造 51 の第 2 端部 51 B にそれぞれ接続され、第 1 方向 X に延びる帯状（長方形状）にそれぞれ形成されている。複数の第 2 トレンチコンタクト構造 71 B は、第 1 方向 X に関して、第 1 トレンチ分離構造 43 からスペース幅 WSP 分だけ間隔を空けて形成されている。複数の第 2 トレン

チコンタクト構造 7 1 B の第 1 方向 X の長さは任意である。

[0128] 複数のトレンチコンタクト構造 7 1 は、第 2 幅 W 2 および第 2 深さ D 2 をそれぞれ有している。第 2 幅 W 2 は、トレンチコンタクト構造 7 1 が延びる方向（第 1 方向 X）に直交する方向（第 2 方向 Y）の幅である。第 2 幅 W 2 は、この形態では、トレンチゲート構造 5 1 の第 1 幅 W 1 とほぼ等しい（ $W 2 \div W 1$ ）。また、第 2 深さ D 2 は、この形態では、トレンチゲート構造 5 1 の第 1 深さ D 1 とほぼ等しい（ $D 2 \div D 1$ ）。したがって、複数のトレンチコンタクト構造 7 1 のアスペクト比 $D 2 / W 2$ は、トレンチゲート構造 5 1 のアスペクト比 $D 1 / W 1$ （ $D 2 / W 2 \div D 1 / W 1$ ）とほぼ等しい。

[0129] 複数のトレンチコンタクト構造 7 1 は、具体的には、コンタクトトレンチ 7 2、コンタクト絶縁膜 7 3（第 2 絶縁体）およびコンタクト電極 7 4 を含むシングル電極構造をそれぞれ有している。コンタクトトレンチ 7 2 は、ゲートトレンチ 5 3 に連通するように第 1 主面 3 から第 2 主面 4 に向けて掘り下がっている。コンタクトトレンチ 7 2 は、第 2 半導体領域 4 2 の底部から第 1 主面 3 側に間隔を空けて形成されている。

[0130] コンタクトトレンチ 7 2 は、側壁および底壁を含む。コンタクトトレンチ 7 2 の側壁が半導体チップ 2 内において第 1 主面 3 との間で成す角度は、 90° 以上 92° 以下であってもよい。コンタクトトレンチ 7 2 は、開口から底壁に向けて開口幅が狭まる先細り形状に形成されていてもよい。コンタクトトレンチ 7 2 の底壁角部は、湾曲状に形成されていることが好ましい。コンタクトトレンチ 7 2 の底壁の全体が、第 2 主面 4 に向かう湾曲状に形成されていてもよい。コンタクトトレンチ 7 2 の底壁は、ゲートトレンチ 5 3 の底壁に滑らかに接続されている。

[0131] コンタクト絶縁膜 7 3 は、コンタクトトレンチ 7 2 の壁面に形成されている。コンタクト絶縁膜 7 3 は、具体的には、コンタクトトレンチ 7 2 の壁面の全域に膜状に形成され、コンタクトトレンチ 7 2 内において U 字状のリセス空間を区画している。コンタクト絶縁膜 7 3 は、この形態では、酸化シリコン膜を含む。コンタクト絶縁膜 7 3 は、具体的には、半導体チップ 2 の酸

化物からなる酸化シリコン膜を含む。

- [0132] コンタクト絶縁膜 7 3 は、上絶縁膜 5 4 の第 1 厚さ T_1 を超える第 3 厚さ T_3 ($T_1 < T_3$) を有している。第 3 厚さ T_3 は、コンタクトトレンチ 7 2 の壁面の法線方向に沿うコンタクト絶縁膜 7 3 の厚さである。第 3 厚さ T_3 は、分離絶縁膜 4 5 の分離厚さ T_1 とほぼ等しくてもよい ($T_3 \div T_1$)。第 3 厚さ T_3 は、下絶縁膜 5 5 の第 2 厚さ T_2 とほぼ等しくてもよい ($T_3 \div T_2$)。
- [0133] 第 3 厚さ T_3 は、 $0.1 \mu\text{m}$ 以上 $1 \mu\text{m}$ 以下であってもよい。第 3 厚さ T_3 は、 $0.1 \mu\text{m}$ 以上 $0.25 \mu\text{m}$ 以下、 $0.25 \mu\text{m}$ 以上 $0.5 \mu\text{m}$ 以下、 $0.5 \mu\text{m}$ 以上 $0.75 \mu\text{m}$ 以下、または、 $0.75 \mu\text{m}$ 以上 $1 \mu\text{m}$ 以下であってもよい。第 3 厚さ T_3 は、 $0.15 \mu\text{m}$ 以上 $0.65 \mu\text{m}$ 以下であることが好ましい。
- [0134] コンタクト絶縁膜 7 3 は、具体的には、第 1 部分 7 3 a および第 2 部分 7 3 b を含む。第 1 部分 7 3 a は、コンタクトトレンチ 7 2 の側壁を被覆する部分である。第 2 部分 7 3 b は、コンタクトトレンチ 7 2 の底壁を被覆する部分である。第 1 部分 7 3 a は、第 1 コンタクト厚さ T_{31} を有している。第 1 コンタクト厚さ T_{31} は、コンタクトトレンチ 7 2 の側壁の法線方向に沿う第 1 部分 7 3 a の厚さである。コンタクト絶縁膜 7 3 の第 3 厚さ T_3 は、第 1 コンタクト厚さ T_{31} によって定義されている。
- [0135] 第 2 部分 7 3 b は、第 1 コンタクト厚さ T_{31} とは異なる第 2 コンタクト厚さ T_{32} ($T_{31} \neq T_{32}$) を有している。第 2 コンタクト厚さ T_{32} は、コンタクトトレンチ 7 2 の底壁の法線方向に沿う第 2 部分 7 3 b の厚さである。第 2 コンタクト厚さ T_{32} は、第 1 コンタクト厚さ T_{31} 未満 ($T_{32} < T_{31}$) であることが好ましい。第 2 コンタクト厚さ T_{32} は、第 1 コンタクト厚さ T_{31} の 0.6 倍以上 1 倍未満であってもよい。第 2 コンタクト厚さ T_{32} は、第 1 コンタクト厚さ T_{31} の 0.7 倍以上 0.9 倍以下であることが好ましい。第 2 コンタクト厚さ T_{32} は、分離絶縁膜 4 5 の第 2 分離厚さ T_{12} とほぼ等しくてもよい ($T_{32} \div T_{12}$)。

- [0136] コンタクト電極 7 4 は、コンタクト絶縁膜 7 3 を挟んでコンタクトトレンチ 7 2 に一体物として埋設されている。コンタクト電極 7 4 は、この形態では、導電性ポリシリコンを含む。コンタクト電極 7 4 は、トレンチゲート構造 5 1 の下電極 5 7 と同電位に固定されている。つまり、コンタクト電極 7 4 はゲート電極として形成され、ゲート信号 G がコンタクト電極 7 4 に印加される。
- [0137] コンタクト電極 7 4 は、具体的には、コンタクトトレンチ 7 2 およびゲートトレンチ 5 3 の連通部においてトレンチゲート構造 5 1 の下電極 5 7 に接続されている。また、コンタクト電極 7 4 は、中間絶縁膜 5 8 を挟んでトレンチゲート構造 5 1 の上電極 5 6 から電氣的に絶縁されている。つまり、コンタクト電極 7 4 は、下電極 5 7 においてコンタクト絶縁膜 7 3 および中間絶縁膜 5 8 を挟んでゲートトレンチ 5 3 からコンタクトトレンチ 7 2 に引き出された引き出し部からなる。
- [0138] トレンチコンタクト構造 7 1 は、下電極 5 7 と同電位に固定されたコンタクト電極 7 4 を含む構造上、接続されたトレンチゲート構造 5 1 と同時に制御される。したがって、系統トランジスタ 9 として系統化可能なトレンチゲート構造 5 1（単位セル 5 0）の総数（つまり、パワートランジスタ 8 の最大系統数）は、トレンチコンタクト構造 7 1 によって定まっている。
- [0139] この形態では、各トレンチゲート構造 5 1 の両端部（第 1 端部 5 1 A および第 2 端部 5 1 B）にトレンチコンタクト構造 7 1 が 1 つずつ接続されている。したがって、各トレンチゲート構造 5 1 は、両端部の 2 つのトレンチコンタクト構造 7 1 と同時に制御される。つまり、この形態では、16 個のトレンチゲート構造 5 1 が電氣的に独立して制御されるように構成されている。
- [0140] したがって、この形態では、系統トランジスタ 9 として系統化可能な単位トランジスタ 10 の総数は「16」であり、パワートランジスタ 8 の最大系統数は「16」となる。複数のトレンチゲート構造 5 1 に接続されるゲート配線 14 の本数が調整されることにより、最大で 16 個のゲート信号 G が 1

6個のトレンチゲート構造51に一对一の対応関係で個別入力され得る。系統数を増加させることにより、n個の系統トランジスタ9に入力されるゲート信号Gの組み合わせパターンを増加させることができる。

[0141] 図12～図14Bを参照して、半導体装置1は、第1デバイス領域6において第1主面3を部分的に被覆する第1フィールド絶縁膜80を含む。第1フィールド絶縁膜80は、この形態では、酸化シリコン膜を含む。第1フィールド絶縁膜80は、具体的には、半導体チップ2の酸化物からなる酸化シリコン膜を含む。

[0142] 第1フィールド絶縁膜80は、平面視においてパワートランジスタ8（複数のトレンチゲート構造51および複数のトレンチコンタクト構造71）から第1トレンチ分離構造43側に間隔を空けて形成され、第1トレンチ分離構造43の周囲を被覆している。第1フィールド絶縁膜80は、ボディ領域47（ボディスペース48）を被覆している。つまり、第1フィールド絶縁膜80は、第1デバイス領域6の周縁部においてボディ領域47（ボディスペース48）を挟んで第2半導体領域42（第1半導体領域41）に対向している。

[0143] 第1フィールド絶縁膜80は、平面視において第1トレンチ分離構造43の内側の壁面に沿って帯状に延びている。第1フィールド絶縁膜80は、この形態では、平面視において第1トレンチ分離構造43の内周壁に沿って延びる環状に形成され、第1デバイス領域6の内方部を全周に亘って取り囲んでいる。つまり、第1フィールド絶縁膜80は、平面視において一方方向（第1方向X）に延びる辺、および、一方方向に交差する交差方向（第2方向Y）に延びる辺を有している。

[0144] 第1フィールド絶縁膜80は、第1トレンチ分離構造43の内周壁から露出した分離絶縁膜45に連なっている。つまり、第1デバイス領域6は、半導体チップ2内において第1トレンチ分離構造43によって区画され、半導体チップ2の上において第1フィールド絶縁膜80によって区画されている。

- [0145] 第1フィールド絶縁膜80は、第1デバイス領域6の内方部を区画する第1絶縁側壁80aを有している。第1絶縁側壁80aは、第1フィールド絶縁膜80の内周縁の全周に亘って形成されている。つまり、第1絶縁側壁80aは、第1フィールド絶縁膜80において一方方向（第1方向X）に延びる辺、および、一方方向に交差する交差方向（第2方向Y）に延びる辺に形成されている。
- [0146] 第1絶縁側壁80aは、ボディ領域47（ボディスペース48）の上に位置している。第1絶縁側壁80aは、第1主面3に対して鋭角を成すように斜め下り傾斜している。第1絶縁側壁80aは、具体的には、第1フィールド絶縁膜80の主面側に位置する上端部、および、第1主面3側に位置する下端部を有し、上端部から下端部に向けて斜め下り傾斜している。
- [0147] 第1絶縁側壁80aは、第1主面3との間で 20° 以上 40° 以下の第1傾斜角度 θ_1 （ $20^\circ \leq \theta_1 \leq 40^\circ$ ）を成している。第1傾斜角度 θ_1 は、断面視において第1絶縁側壁80aの上端部および下端部を結ぶ直線を設定した場合に、当該直線が第1フィールド絶縁膜80内部において第1主面3に対して成す角度（絶対値）である。第1傾斜角度 θ_1 は、 40° 未満（ $\theta_1 < 40^\circ$ ）であることが好ましい。
- [0148] 第1傾斜角度 θ_1 は、 $30^\circ \pm 6^\circ$ の範囲（ $24^\circ \leq \theta_1 \leq 36^\circ$ ）に収まることが特に好ましい。第1傾斜角度 θ_1 は、典型的には、 28° 以上 36° 以下の範囲（ $28^\circ \leq \theta_1 \leq 36^\circ$ ）に収まる。第1絶縁側壁80aは、上端部および下端部の間の領域において第1主面3に向かって窪んだ湾曲状に傾斜していてもよい。この場合も、第1傾斜角度 θ_1 は、断面視において第1絶縁側壁80aの上端部および下端部を結ぶ直線を設定した場合に当該直線が第1主面3に対して成す角度（絶対値）となる。
- [0149] 第1フィールド絶縁膜80は、第1フィールド厚さTF1を有している。第1フィールド厚さTF1は、第1フィールド絶縁膜80のうち第1絶縁側壁80aを形成する部分以外の部分の法線方向Zに沿う厚さである。第1フィールド厚さTF1は、分離絶縁膜45の第1分離厚さT11（＝分離厚さ

T1) とほぼ等しくてもよい ($TF1 \div T11$)。第1フィールド厚さTF1は、分離絶縁膜45の第2分離厚さT12を超えている ($T12 < TF1$) ことが好ましい。

[0150] 第1フィールド厚さTF1は、上絶縁膜54の第1厚さT1以上 ($T1 \leq TF1$) であることが好ましい。第1フィールド厚さTF1は、第1厚さT1を超えている ($T1 < TF1$) ことが特に好ましい。第1フィールド厚さTF1は、下絶縁膜55の第1下厚さT21 (=第2厚さT2) とほぼ等しくてもよい ($TF1 \div T21$)。第1フィールド厚さTF1は、下絶縁膜55の第2下厚さT22を超えている ($T22 < TF1$) ことが好ましい。

[0151] 第1フィールド厚さTF1は、中間厚さTMを超えている ($TM < TF1$) ことが好ましい。第1フィールド厚さTF1は、コンタクト絶縁膜73の第1コンタクト厚さT31 (=第3厚さT3) とほぼ等しくてもよい ($TF1 \div T31$)。第1フィールド厚さTF1は、コンタクト絶縁膜73の第2コンタクト厚さT32を超えている ($T32 < TF1$) ことが好ましい。

[0152] 第1フィールド厚さTF1は、0.1 μm 以上1 μm 以下であってもよい。第1フィールド厚さTF1は、0.1 μm 以上0.25 μm 以下、0.25 μm 以上0.5 μm 以下、0.5 μm 以上0.75 μm 以下、または、0.75 μm 以上1 μm 以下であってもよい。第1フィールド厚さTF1は、0.15 μm 以上0.65 μm 以下であることが好ましい。

[0153] 図12～図14B (特に図14Aおよび図14B) を参照して、半導体装置1は、第1デバイス領域6において第1主面3に形成された第1隠蔽面81 (hidden surface) および第1露出面82 (exposed surface) を含む。第1隠蔽面81は、第1主面3において第1フィールド絶縁膜80によって被覆された部分に形成されている。

[0154] 第1露出面82は、第1主面3において第1フィールド絶縁膜80から露出した部分に形成されている。換言すると、第1主面3は、第1デバイス領域6において第1フィールド絶縁膜80によって区画された第1隠蔽面81および第1露出面82を含み、パワートランジスタ8 (複数の単位セル50

)は第1露出面82に形成されている。

[0155] 第1露出面82は、この形態では、第1隠蔽面81に対して半導体チップ2の厚さ方向(第2主面4側)に窪んでいる。第1露出面82は、具体的には、第1フィールド絶縁膜80の第1絶縁側壁80aを起点に第1隠蔽面81に対して半導体チップ2の厚さ方向に一段窪んでいる。第1露出面82は、法線方向Zに関して、ボディ領域47の底部および第1隠蔽面81の間の深さ位置に形成されている。第1露出面82は、法線方向Zに関して第1隠蔽面81に対して $0\mu\text{m}$ を超えて $0.5\mu\text{m}$ 以下(好ましくは $0.2\mu\text{m}$ 以下)の範囲で窪んでいることが好ましい。

[0156] 図12～図14B(特に図14Aおよび図14B)を参照して、半導体装置1は、第1デバイス領域6において第1主面3を選択的に被覆する第1主面絶縁膜83を含む。第1主面絶縁膜83は、この形態では、酸化シリコン膜を含む。第1主面絶縁膜83は、具体的には、半導体チップ2の酸化物からなる酸化シリコン膜を含む。第1主面絶縁膜83は、第1主面3においてゲートトレンチ53、コンタクトトレンチ72および第1フィールド絶縁膜80外の領域を被覆している。

[0157] 第1主面絶縁膜83は、第1露出面82を被覆し、上絶縁膜54、コンタクト絶縁膜73および第1フィールド絶縁膜80の第1絶縁側壁80aに連なっている。第1主面絶縁膜83は、第1フィールド絶縁膜80の厚さ方向中間部から半導体チップ2側(第1露出面82側)に間隔を空けて形成されている。第1主面絶縁膜83は、具体的には、断面視において第1フィールド絶縁膜80の厚さ方向中間部を第1露出面82(第1主面3)に沿って通過するラインを設定した場合、当該ラインから半導体チップ2側に間隔を空けて形成されている。

[0158] 第1主面絶縁膜83は、第1領域83aおよび第2領域83bを含む。第1領域83aは、第1隠蔽面81に対して半導体チップ2側に位置している。第2領域83bは、第1隠蔽面81に対して半導体チップ2とは反対側(第1フィールド絶縁膜80の主面側)に位置している。第1領域83aは、

具体的には、断面視において第1隠蔽面81の上から第1隠蔽面81に平行に延びる延長線を設定した場合、当該延長線に対して半導体チップ2側に位置している。第2領域83bは、前記延長線を挟んで第1領域83aとは反対側（つまり半導体チップ2とは反対側）に位置している。

[0159] 第1主面絶縁膜83は、第1フィールド絶縁膜80の第1フィールド厚さ T_{F1} 未満の第1絶縁厚さ T_{M1} （ $T_{M1} < T_{F1}$ ）を有している。第1絶縁厚さ T_{M1} は、第1フィールド厚さ T_{F1} の5分の1以下（ $T_{M1} \leq 1/5 \times T_{F1}$ ）であることが好ましい。第1絶縁厚さ T_{M1} は、上絶縁膜54の第1厚さ T_1 とほぼ等しくてもよい（ $T_{M1} \div T_1$ ）。

[0160] 第1絶縁厚さ T_{M1} は、 $0.01\mu\text{m}$ 以上 $0.05\mu\text{m}$ 以下であってもよい。第1絶縁厚さ T_{M1} は、 $0.01\mu\text{m}$ 以上 $0.02\mu\text{m}$ 以下、 $0.02\mu\text{m}$ 以上 $0.03\mu\text{m}$ 以下、 $0.03\mu\text{m}$ 以上 $0.04\mu\text{m}$ 以下、または、 $0.04\mu\text{m}$ 以上 $0.05\mu\text{m}$ 以下であってもよい。第1絶縁厚さ T_{M1} は、 $0.02\mu\text{m}$ 以上 $0.04\mu\text{m}$ 以下であることが好ましい。

[0161] 半導体装置1は、第1デバイス領域6外の領域を被覆する外側フィールド絶縁膜84を含む。外側フィールド絶縁膜84は、第1デバイス領域6外の領域において第1トレンチ分離構造43の周囲を被覆している。外側フィールド絶縁膜84は、第1デバイス領域6外の領域では、平面視において第1トレンチ分離構造43を取り囲んでおり、第1トレンチ分離構造43の外周壁から露出した分離絶縁膜45に連なっている。外側フィールド絶縁膜84は、第1フィールド絶縁膜80と同様に、第1フィールド厚さ T_{F1} を有している。

[0162] 半導体装置1は、第1主面3を被覆する前述の層間絶縁層13を含む。層間絶縁層13は、第1デバイス領域6において第1トレンチ分離構造43、複数のトレンチゲート構造51、第1フィールド絶縁膜80および第1主面絶縁膜83を被覆している。層間絶縁層13は、第1主面絶縁膜83の上から第1絶縁側壁80aを通過して第1フィールド絶縁膜80を被覆している。層間絶縁層13は、第1デバイス領域6では第1絶縁側壁80aの全周に

亘って当該第1絶縁側壁80aを被覆している。

[0163] 半導体装置1は、層間絶縁層13に埋設された複数のプラグ電極91～95を含む。複数のプラグ電極91～95は、複数の第1プラグ電極91、複数の第2プラグ電極92、複数の第3プラグ電極93、複数の第4プラグ電極94および複数の第5プラグ電極95を含む。複数のプラグ電極91～95は、チタン系金属膜およびタングステン膜を含む積層構造を有するタングステンプラグ電極からそれぞれなっている。図9～図11では、複数のプラグ電極91～95が、X印によって示されている。また、図15では、第1プラグ電極91および第5プラグ電極95が、ラインによって簡略化して示されている。

[0164] 複数の第1プラグ電極91は、分離電極46用のソースプラグ電極からそれぞれなる。複数の第1プラグ電極91は、層間絶縁層13において第1トレンチ分離構造43を被覆する部分にそれぞれ埋設されている。複数の第1プラグ電極91は、分離電極46に沿って間隔を空けて埋設され、分離電極46にそれぞれ電氣的に接続されている。複数の第1プラグ電極91の配置や形状は任意である。平面視において帯状または環状に延びる1つまたは複数の第1プラグ電極91が分離電極46の上に形成されていてもよい。

[0165] 複数の第2プラグ電極92は、上電極56用のゲートプラグ電極からそれぞれなる。複数の第2プラグ電極92は、層間絶縁層13において複数のトレンチゲート構造51を被覆する部分にそれぞれ埋設されている。複数の第2プラグ電極92は、各上電極56に沿って間隔を空けて埋設され、各上電極56にそれぞれ電氣的に接続されている。複数の第2プラグ電極92は、この形態では、各上電極56の両端部にそれぞれ電氣的に接続されている。複数の第2プラグ電極92の配置や形状は任意である。平面視において上電極56に沿って帯状に延びる1つまたは複数の第2プラグ電極92が各上電極56の上に形成されていてもよい。

[0166] 複数の第3プラグ電極93は、ソース領域60（コンタクト領域61）用のソースプラグ電極からそれぞれなる。複数の第3プラグ電極93は、層間

絶縁層 13 において複数のメサ部 63 を被覆する部分にそれぞれ埋設されている。複数の第 3 プラグ電極 93 は、平面視において複数のメサ部 63 に沿って延びる帯状にそれぞれ埋設されている。各第 3 プラグ電極 93 は、各メサ部 63 において複数のソース領域 60 および複数のコンタクト領域 61 にそれぞれ電氣的に接続されている。複数の第 3 プラグ電極 93 の配置や形状は任意である。複数の第 3 プラグ電極 93 が、各メサ部 63 の上に形成されていてもよい。

[0167] 複数の第 4 プラグ電極 94 は、最外のコンタクト領域 61 用のソースプラグ電極からそれぞれなる。複数の第 4 プラグ電極 94 は、層間絶縁層 13 において複数の最外のコンタクト領域 61 を被覆する部分にそれぞれ埋設されている。複数の第 4 プラグ電極 94 は、各最外のコンタクト領域 61 に沿って間隔を空けて埋設され、各最外のコンタクト領域 61 にそれぞれ電氣的に接続されている。複数の第 4 プラグ電極 94 の配置や形状は任意である。平面視において最外のコンタクト領域 61 に沿って帯状に延びる 1 つまたは複数の第 4 プラグ電極 94 が各最外のコンタクト領域 61 の上に形成されていてもよい。

[0168] 複数の第 5 プラグ電極 95 は、コンタクト電極 74 用のゲートプラグ電極からそれぞれなる。複数の第 5 プラグ電極 95 は、層間絶縁層 13 において複数のコンタクト電極 74 を被覆する部分にそれぞれ埋設されている。各第 5 プラグ電極 95 は、各コンタクト電極 74 に電氣的に接続されている。複数の第 5 プラグ電極 95 の配置や形状は任意である。平面視においてコンタクト電極 74 に沿って帯状に延びる 1 つまたは複数の第 5 プラグ電極 95 が各コンタクト電極 74 の上に形成されていてもよい。

[0169] 半導体装置 1 は、層間絶縁層 13 内に形成された 1 つまたは複数のソース配線 96 を含む。1 つまたは複数のソース配線 96 は、層間絶縁層 13 内に形成された配線層からなる。1 つまたは複数のソース配線 96 は、層間絶縁層 13 内に選択的に引き回され、複数の第 1 プラグ電極 91、複数の第 3 プラグ電極 93 および複数の第 4 プラグ電極 94 を介して、分離電極 46、ソ

ース領域 60 およびコンタクト領域 61 に電氣的に接続されている。1 つまたは複数のソース配線 96 は、前述のソース端子 16 に電氣的に接続されている。

[0170] 半導体装置 1 は、層間絶縁層 13 内に形成された前述の n 個のゲート配線 14 を含む。 n 個のゲート配線 14 は、この形態では、平面視において第 2 デバイス領域 7 から第 1 トレンチ分離構造 43 および第 1 フィールド絶縁膜 80 を横切って第 1 デバイス領域 6 内に引き回されている。

[0171] n 個のゲート配線 14 は、第 2 デバイス領域 7 においてコントロール IC 11 (ゲート制御回路 12) に電氣的に接続されている。 n 個のゲート配線 14 は、第 1 デバイス領域 6 において、複数の第 2 プラグ電極 92 および複数の第 5 プラグ電極 95 に電氣的に接続されている。つまり、 n 個のゲート配線 14 は、第 1 デバイス領域 6 において上電極 56、下電極 57 およびコンタクト電極 74 にそれぞれ電氣的に接続されている。

[0172] n 個のゲート配線 14 は、具体的には、個別制御対象として系統化すべき 1 つまたは複数のトレンチゲート構造 51 (単位トランジスタ 10) にそれぞれ電氣的に接続されている。 n 個のゲート配線 14 は、個別制御対象として系統化すべき 1 つのトレンチゲート構造 51 に電氣的に接続された 1 つまたは複数のゲート配線 14 を含んでいてもよい。また、 n 個のゲート配線 14 は、個別制御対象として系統化すべき複数のトレンチゲート構造 51 を並列接続させる 1 つまたは複数のゲート配線 14 を含んでいてもよい。

[0173] n 個のゲート配線 14 は、トレンチゲート構造 51 の上電極 56 および下電極 57 にそれぞれ電氣的に接続されている。つまり、 n 個のゲート配線 14 は、1 つまたは複数のトレンチゲート構造 51、および、当該 1 つまたは複数のトレンチゲート構造 51 に接続された 1 つまたは複数のトレンチコンタクト構造 71 にそれぞれ電氣的にされている。1 つのゲート配線 14 に電氣的に接続された 1 つまたは複数のトレンチゲート構造 51 (単位トランジスタ 10) の並列回路によって 1 つの系統トランジスタ 9 が構成される。

[0174] 複数の単位トランジスタ 10 (単位セル 50) は、所定のチャネル割合 R

Cをそれぞれ有している。チャンネル割合 R_C は、各単位トランジスタ10において一对のチャンネルセル52の平面積を100%としたとき、当該平面積に占めるチャンネル領域62のチャンネル面積の割合によって定義される。チャンネル面積は、各単位トランジスタ10における1つまたは複数のソース領域60の平面積の総和によって定義される。

[0175] 複数の単位トランジスタ10は、この形態では、50%のチャンネル割合 R_C をそれぞれ有している。したがって、複数の単位トランジスタ10の総チャンネル割合 R_T は50%である。総チャンネル割合 R_T は、チャンネルセル52の総平面積を100%としたとき、当該総平面積に占める全てのチャンネル領域62の総チャンネル面積の割合によって定義される。

[0176] n 系統のパワートランジスタ8では、総チャンネル割合 R_T が、 n 個の系統トランジスタ9によって同一のまたは異なる値からそれぞれなる n 個に系統チャンネル割合 R_S に分割される。つまり、 n 個の系統チャンネル割合 R_S の総和が、総チャンネル割合 R_T となる。

[0177] 各単位トランジスタ10のチャンネル割合 R_C は、0%以上100%以下の範囲で調整可能である。チャンネル割合 R_C が0%の場合、一对のチャンネルセル52にソース領域60は形成されない。この場合、一对のチャンネルセル52にボディ領域47およびコンタクト領域61のいずれか一方または双方が形成される。チャンネル割合 R_C が100%の場合、一对のチャンネルセル52にソース領域60のみが形成され、コンタクト領域61およびボディ領域47は形成されない。単位トランジスタ10の電気的特性を鑑みると、チャンネル割合 R_C は、0%を超えて100%未満の範囲で調整されることが好ましい。

[0178] チャンネル割合 R_C は、単位トランジスタ10毎に調整されてもよい。つまり、複数の単位トランジスタ10は、互いに異なるチャンネル割合 R_C を有していてもよいし、互いにほぼ等しいチャンネル割合 R_C を有していてもよい。この場合、 n 個の系統トランジスタ9は、同一のまたは異なるチャンネル割合 R_C をそれぞれ有する複数の単位トランジスタ10の集合体から個別制御対

象として系統化された1つまたは複数の単位トランジスタ10を含んでもよい。また、n個の系統トランジスタ9は、同一のまたは異なる系統チャネル割合RSをそれぞれ有していてもよい。

[0179] チャネル割合RCは、第1デバイス領域6（半導体チップ2）の温度上昇に関係する。たとえば、チャネル割合RCを増加させると、第1デバイス領域6の温度が上昇し易くなる。一方で、チャネル割合RCを減少させると、第1デバイス領域6の温度が上昇し難くなる。したがって、チャネル割合RCは、第1デバイス領域6の温度分布に基づいて単位トランジスタ10毎に調整されてもよい。

[0180] 比較的小さい値のチャネル割合RCを有する1つまたは複数の単位トランジスタ10が温度の高まり易い領域に配置され、比較的大きい値のチャネル割合RCを有する1つまたは複数の単位トランジスタ10が温度の高まり難い領域に配置されてもよい。第1デバイス領域6の中央部が、温度の高まり易い領域として例示される。第1デバイス領域6の周縁部が、温度の高まり難い領域として例示される。

[0181] 比較的低い第1のチャネル割合RCを有する1つまたは複数の単位トランジスタ10を、温度の高まり易い領域（たとえば中央部）に配置してもよい。第1のチャネル割合RCは、一例として、20%以上40%以下（たとえば25%）であってもよい。第1のチャネル割合RCを超える第2のチャネル割合RCを有する1つまたは複数の単位トランジスタ10を、温度の高まり難い領域（たとえば周縁部）に配置してもよい。第2のチャネル割合RCは、一例として、60%以上80%以下（たとえば75%）であってもよい。

[0182] 第1のチャネル割合RCを超えて第2のチャネル割合RC未満の第3のチャネル割合RCを有する1つまたは複数の単位トランジスタ10を温度の高まり易い領域および温度の高まり難い領域の間に配置してもよい。第3のチャネル割合RCは、40%を超えて60%未満（たとえば50%）であってもよい。第1～第3のチャネル割合RCの総チャネル割合RTは、50%に

調整されてもよい。つまり、第1デバイス領域6の温度分布に基づいて単位トランジスタ10毎にチャンネル割合RCを調整しながら、総チャンネル割合RTが調整されてもよい。

[0183] また、第1のチャンネル割合RCを有する単位トランジスタ10、第2のチャンネル割合RCを有する単位トランジスタ10、および、第3のチャンネル割合RCを有する単位トランジスタ10が、規則的な順序で繰り返し配列されていてもよい。複数種の単位トランジスタ10は、第2方向Yに繰り返しこの順で配列されていてもよい。この場合、総チャンネル割合RTは、50%に調整されてもよい。このような構造によれば、比較的簡単な設計で、第1デバイス領域6の温度分布に偏りが形成されるのを抑制できる。

[0184] 図16A～図16Cは、パワートランジスタ8の制御例を示す断面斜視図である。図16A～図16Cでは、オフ状態のチャンネル（ソース領域60）が塗りつぶしハッチングによって示されている。

[0185] 図16Aを参照して、n個のゲート配線14の全てにゲート閾値電圧を超えるゲート信号G（つまりオン信号）が入力された場合、全ての単位トランジスタ10（n個の系統トランジスタ9）が同時にオン状態に制御される。これにより、パワートランジスタ8は、総チャンネル割合RT（つまりn個の系統チャンネル割合RS）で駆動する。したがって、パワートランジスタ8のチャンネル利用率が相対的に増加し、オン抵抗Ronが相対的に減少する。総チャンネル割合RTは、オン抵抗Ronの最小値を決定付ける。

[0186] 図16Bを参照して、x個（ $1 \leq x < n$ ）のゲート配線14にゲート閾値電圧を超えるゲート信号G（つまりオン信号）が入力され、（n-x）個のゲート配線14にゲート閾値電圧未満のゲート信号G（つまりオフ信号）が入力された場合、x個の系統トランジスタ9がオン状態になる一方、（n-x）個の系統トランジスタ9がオフ状態になる。この場合、パワートランジスタ8は、x個の系統チャンネル割合RS（つまり総チャンネル割合RT未満）で駆動する。したがって、パワートランジスタ8のチャンネル利用率が相対的に減少し、オン抵抗Ronが相対的に増加する。

- [0187] 図16Cを参照して、 n 個のゲート配線14の全てにゲート閾値電圧未満のゲート信号 G （つまりオフ信号）が入力された場合、全ての単位トランジスタ10（ n 個の系統トランジスタ9）が同時にオフ状態になる。したがって、パワートランジスタ8は停止する。
- [0188] パワートランジスタ8は、たとえば、誘導性負荷 L に電氣的に接続される。この場合、パワートランジスタ8にゲート閾値電圧を超えるゲート信号 G が入力されると、パワートランジスタ8は停止状態からオン遷移動作を経て通常動作に至る。
- [0189] 一方、通常動作時のパワートランジスタ8にゲート閾値電圧未満のゲート信号 G が入力されると、パワートランジスタ8は通常動作からオフ遷移動作を経てアクティブクランプ動作に至る。アクティブクランプ動作とは、誘導性負荷 L の誘導性エネルギーに起因する逆起電力をパワートランジスタ8によって消費（吸収）させる動作のことを言う。パワートランジスタ8は、アクティブクランプ動作を経て停止状態になる。
- [0190] パワートランジスタ8は、少なくとも2系統（つまり $n \geq 2$ ）からなり、少なくとも2つの系統トランジスタ9を含んでいてもよい。少なくとも2つの系統トランジスタ9は、1つまたは複数の単位トランジスタ10をそれぞれ含む。少なくとも2つの系統トランジスタ9は、少なくとも2つのゲート配線14にそれぞれ電氣的に接続され、少なくとも2つのゲート信号 G によって個別制御される。したがって、2系統以上のパワートランジスタ8によれば、異なるオン抵抗 R_{on} からそれぞれなる少なくとも2つの動作モードを実現できる。
- [0191] 第1～第2の系統トランジスタ9を含む2系統のパワートランジスタ8は、第1動作モード、第2動作モードおよび第3動作モードで制御される。第1動作モードでは、第1～第2の系統トランジスタ9が同時にオン状態に制御される。第2動作モードでは、第1～第2の系統トランジスタ9のいずれか一方がオン状態に制御され、他方がオフ状態に制御される。第3動作モードでは、第1～第2の系統トランジスタ9が同時にオフ状態に制御される。

- [0192] つまり、パワートランジスタ 8 は、第 1 動作モードにおいて総チャンネル割合 R_T （たとえば 50%）で駆動される。また、パワートランジスタ 8 は、第 2 動作モードにおいて第 1 ～第 2 の系統トランジスタ 9 のいずれか一方の系統チャンネル割合 R_S （たとえば総チャンネル割合 R_T 未満の 25%）で駆動される。また、パワートランジスタ 8 は、第 3 動作モードにおいて停止状態になる。
- [0193] パワートランジスタ 8 は、オン遷移動作時、通常動作時およびオフ遷移動作時において第 1 動作モードで駆動されてもよい。この場合、第 1 ～第 2 の系統トランジスタ 9 を利用して電流を流すことができる。つまり、パワートランジスタ 8 は、オン遷移動作時、通常動作時およびオフ遷移動作時において総チャンネル割合 R_T （= 50%）で駆動される。
- [0194] 一方、パワートランジスタ 8 は、アクティブクランプ動作時において第 2 動作モードで駆動されてもよい。この場合、第 1 ～第 2 の系統トランジスタ 9 のいずれか一方のみを利用して電流を流すことができる。つまり、パワートランジスタ 8 は、アクティブクランプ動作時において総チャンネル割合 R_T （= 50%）未満のチャンネル割合（= 25%）で駆動される。
- [0195] つまり、パワートランジスタ 8 は、アクティブクランプ動作時において通常動作時のオン抵抗 R_{on} を超えるオン抵抗 R_{on} によって駆動される。これにより、急激な温度上昇を抑制しながら、逆起電力を消費（吸収）できる。その結果、アクティブクランプ耐量を向上できる。誘導性負荷 L に起因する逆起電力の全てが消費されると、パワートランジスタ 8 は、第 3 動作モード（= 停止状態）になる。
- [0196] パワートランジスタ 8 は、少なくとも 3 系統（つまり $n \geq 3$ ）からなり、少なくとも 3 つの系統トランジスタ 9 を含むことが好ましい。少なくとも 3 つの系統トランジスタ 9 は、1 つまたは複数の単位トランジスタ 10 をそれぞれ含む。少なくとも 3 つの系統トランジスタ 9 は、少なくとも 3 つのゲート配線 14 にそれぞれ電氣的に接続され、少なくとも 3 つのゲート信号 G によって個別制御される。したがって、3 系統以上のパワートランジスタ 8 に

よれば、異なるオン抵抗 R_{on} からそれぞれなる少なくとも3つの動作モードを実現できる。

[0197] 第1～第3の系統トランジスタ9を含む3系統のパワートランジスタ8は、第1動作モード、第2動作モード、第3動作モードおよび第4動作モードで制御される。第1動作モードでは、第1～第3の系統トランジスタ9が同時にオン状態に制御される。第2動作モードでは、第1～第3の系統トランジスタ9のいずれか2つのみが同時にオン状態に制御される。第3動作モードでは、第1～第3の系統トランジスタ9のいずれか1つのみがオン状態に制御される。第4動作モードでは、第1～第3の系統トランジスタ9が同時にオフ状態に制御される。

[0198] つまり、パワートランジスタ8は、第1動作モードにおいて総チャンネル割合 R_T （たとえば75%）で駆動される。また、パワートランジスタ8は、第2動作モードにおいて第1～第3の系統トランジスタ9の系統チャンネル割合 R_S のいずれか2つの和（たとえば50%）で駆動される。また、パワートランジスタ8は、第3動作モードにおいて第1～第3の系統トランジスタ9の系統チャンネル割合 R_S のいずれか1つ（たとえば25%）で駆動される。また、パワートランジスタ8は、第4動作モードにおいて停止状態になる。

[0199] パワートランジスタ8は、オン遷移動作時において第1動作モードで駆動されてもよい。この場合、第1～第3系統のトランジスタ9を利用して電流を流すことができる。つまり、パワートランジスタ8は、オン遷移動作時において総チャンネル割合 R_T （＝75%）で駆動される。これにより、オン抵抗 R_{on} を低減できる。したがって、オン遷移動作時に過大なラッシュ電流が流れ得る状況でも、消費電力を抑制できる。

[0200] パワートランジスタ8は、通常動作時において第2動作モードで駆動されてもよい。この場合、第1～第3の系統トランジスタ9のいずれか2つのみを利用して電流を流すことができる。これにより、パワートランジスタ8は、通常動作時においてオン遷移動作時のチャンネル割合（＝75%）未満のチ

ャネル割合（＝５０％）で駆動される。

[0201] パワートランジスタ８は、オフ遷移動作時において第１動作モードで駆動されてもよい。この場合、第１～第３系統のトランジスタ９を利用して電流を流すことができる。つまり、パワートランジスタ８は、オフ遷移動作時において通常動作時のチャネル割合（＝５０％）を超える総チャネル割合 R_T （＝７５％）で駆動される。

[0202] パワートランジスタ８は、アクティブクランプ動作時において第３動作モードで駆動されてもよい。この場合、第１～第３の系統トランジスタ９のいずれか１つのみを利用して電流を流すことができる。つまり、パワートランジスタ８は、アクティブクランプ動作時において通常動作時のチャネル割合（＝５０％）未満のチャネル割合（＝２５％）で駆動される。

[0203] つまり、パワートランジスタ８は、アクティブクランプ動作時において通常動作時のオン抵抗 R_{on} を超えるオン抵抗 R_{on} によって駆動される。これにより、急激な温度上昇を抑制しながら、逆起電力を消費（吸収）できる。その結果、アクティブクランプ耐量を向上できる。誘導性負荷 L に起因する逆起電力の全てが消費されると、パワートランジスタ８は、第４動作モード（＝停止状態）になる。

[0204] 図１７は、図３に示す領域XVIIの拡大図である。図１８は、図１７に示すXVIII-XVIII線に沿う断面図である。図１９は、図１８に示す構造の要部の拡大断面図である。図２０は、図１７に示すXX-XX線に沿う断面図である。図２１は、図２０に示す構造の要部の拡大断面図である。

[0205] 図１７～図２１を参照して、半導体装置１は、第２デバイス領域７において第１主面３に区画されたCMIS領域１００（Complementary Metal Insulator Semiconductor region）を含む。CMIS領域１００は、第１デバイス領域６とは異なる電圧（電位）が印加される領域であり、コントロールIC１１のうちの一つの回路を構成するCMIS１００aが形成された領域である。つまり、コントロールIC１１は、第２デバイス領域７の第１主面３において任意の領域に形成されたCMIS１００aを含む。

[0206] CMIS100aは、具体的には、相補的に接続されたn型の第1MISFET101およびp型の第2MISFET102を含む。第1MISFET101は、パワートランジスタ8とは異なる電圧印加条件で駆動制御される。第2MISFET102は、パワートランジスタ8および第1MISFET101とは異なる電圧印加条件で駆動制御される。以下、CMIS領域100内の具体的な構造について説明する。

[0207] 図17～図19を参照して、半導体装置1は、CMIS領域100の第1主面3において第1MIS領域103を区画する領域分離構造の一例としての第2トレンチ分離構造104 (second trench separation structure) を含む。第1MIS領域103は、第1デバイス領域6とは異なる電圧印加条件で制御されるデバイス領域である。第2トレンチ分離構造104は、DTI (deep trench isolation) 構造、または、STI (shallow trench isolation) 構造と称されてもよい。

[0208] 第2トレンチ分離構造104は、平面視において第1主面3の一部の領域を取り囲む環状に形成され、所定形状の第1MIS領域103を区画している。第2トレンチ分離構造104は、この形態では、平面視において第1主面3の周縁（第1～第4側面5A～5D）に平行な4辺を有する四角環状に形成され、四角形状の第1MIS領域103を区画している。第2トレンチ分離構造104の平面形状は任意であり、多角環状に形成されていてもよい。第1MIS領域103は、第2トレンチ分離構造104の平面形状に応じて多角形状に区画されていてもよい。

[0209] 第2トレンチ分離構造104は、第1トレンチ分離構造43と同様に、分離幅W1および分離深さD1（つまりアスペクト比 $D1/W1$ ）を有している。第2トレンチ分離構造104の底壁は、第2半導体領域42の底部に対して $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下の間隔を空けて形成されていることが特に好ましい。

[0210] 第2トレンチ分離構造104は、第1方向Xに延びる部分および第2方向Yに延びる部分を円弧状に接続する角部を有している。この形態では、第2

トレンチ分離構造 104 の四隅が、円弧状に形成されている。つまり、第 1 MIS 領域 103 は、円弧状にそれぞれ延びる四隅を有する四角形状に区画されている。第 2 トレンチ分離構造 104 の角部は、円弧方向に沿って一定の分離幅 W_1 を有していることが好ましい。

[0211] 第 2 トレンチ分離構造 104 は、第 1 トレンチ分離構造 43 と同様に、分離トレンチ 44、分離絶縁膜 45（分離絶縁体）および分離電極 46 を含むシングル電極構造を有している。第 2 トレンチ分離構造 104 の「分離トレンチ 44」、「分離絶縁膜 45」および「分離電極 46」は、それぞれ「第 2 分離トレンチ」、「第 2 分離絶縁膜」および「第 2 分離電極」と称されてもよい。第 2 トレンチ分離構造 104 の分離トレンチ 44、分離絶縁膜 45 および分離電極 46 についての説明は、第 1 トレンチ分離構造 43 の分離トレンチ 44、分離絶縁膜 45 および分離電極 46 についての説明が適用されるため、省略する。

[0212] 半導体装置 1 は、第 1 MIS 領域 103 において第 1 主面 3 の表層部に形成された p 型の第 1 ウェル領域 105 を含む。第 1 ウェル領域 105 は、第 1 MIS 領域 103 において第 1 主面 3 の表層部の全域に形成され、第 2 トレンチ分離構造 104 に接している。第 1 ウェル領域 105 は、第 2 トレンチ分離構造 104 の底壁に対して第 1 主面 3 側の領域に形成されている。第 1 ウェル領域 105 の底部は、第 2 トレンチ分離構造 104 の中間部に対して第 2 トレンチ分離構造 104 の底壁側の領域に形成されている。つまり、第 1 ウェル領域 105 の底部は、ボディ領域 47 の底部の深さ位置に対して第 2 トレンチ分離構造 104 の底壁側の領域に形成されている。

[0213] 半導体装置 1 は、第 1 ウェル領域 105 の表層部に形成された n 型の第 1 ドリフト領域 107 を含む。第 1 ドリフト領域 107 は、第 2 トレンチ分離構造 104 から間隔を空けて第 1 ウェル領域 105 の表層部に形成されている。第 1 ドリフト領域 107 は、平面視において一方方向（第 1 方向 X）に延びる帯状に形成されていてもよい。第 1 ドリフト領域 107 は、第 1 ウェル領域 105 の底部から第 1 主面 3 側に間隔を空けて形成されている。第 1

ドリフト領域107は、第1ウェル領域105の一部を挟んで第2半導体領域42に対向している。

[0214] 半導体装置1は、第1ドリフト領域107の表層部に形成されたn型の第1ドレイン領域108を含む。第1ドレイン領域108は、第1ドリフト領域107のn型不純物濃度を超えるn型不純物濃度を有している。第1ドレイン領域108は、第1ドリフト領域107の周縁から間隔を空けて第1ドリフト領域107の表層部に形成されている。第1ドレイン領域108は、平面視において一方方向（第1方向X）に延びる帯状に形成されていてもよい。第1ドレイン領域108は、第1ドリフト領域107の底部から第1主面3側に間隔を空けて形成されている。第1ドレイン領域108は、第1ドリフト領域107の一部を挟んで第1ウェル領域105に対向している。

[0215] 半導体装置1は、第1ドリフト領域107から間隔を空けて第1ウェル領域105の表層部に形成されたn型の第1ソース領域109を含む。第1ソース領域109は、第1ドレイン領域108のn型不純物濃度とほぼ等しいn型不純物濃度を有している。第1ソース領域109は、第2トレンチ分離構造104から間隔を空けて形成されている。第1ソース領域109は、平面視において一方方向（第1方向X）に延びる帯状に形成されていてもよい。第1ソース領域109は、第1ドリフト領域107の底部の深さ位置から第1主面3側に間隔を空けて形成されている。

[0216] 半導体装置1は、第1ウェル領域105の表層部において第1ドリフト領域107および第1ソース領域109の間の領域に形成された第1チャネル領域110を含む。第1チャネル領域110は、第1MISFET101のチャネルを形成している。

[0217] 半導体装置1は、第1ウェル領域105の表層部に形成されたp型の第1コンタクト領域111を含む。第1コンタクト領域111は、第1ウェル領域105のp型不純物濃度を超えるp型不純物濃度を有している。第1コンタクト領域111は、第2トレンチ分離構造104から間隔を空けて形成されている。第1コンタクト領域111は、平面視において第2トレンチ分離

構造 104 に沿って延びる帯状に形成されている。第 1 コンタクト領域 111 は、第 1 ドリフト領域 107、第 1 ソース領域 109 を取り囲む環状に形成されていることが好ましい。第 1 コンタクト領域 111 は、第 2 トレンチ分離構造 104 に接していてもよい。

[0218] 半導体装置 1 は、第 1 MIS 領域 103 において第 1 主面 3 を部分的に被覆する第 2 フィールド絶縁膜 120 を含む。第 2 フィールド絶縁膜 120 は、この形態では、酸化シリコン膜を含む。第 2 フィールド絶縁膜 120 は、具体的には、半導体チップ 2 の酸化物からなる酸化シリコン膜を含む。

[0219] 第 2 フィールド絶縁膜 120 は、第 1 ドリフト領域 107 を被覆している。第 2 フィールド絶縁膜 120 は、第 1 ドレイン領域 108 および第 1 コンタクト領域 111 の間の領域を被覆している。第 2 フィールド絶縁膜 120 は、第 1 ソース領域 109 および第 1 コンタクト領域 111 の間の領域を被覆している。第 2 フィールド絶縁膜 120 は、第 2 トレンチ分離構造 104 および第 1 コンタクト領域 111 の間の領域を被覆している。第 2 フィールド絶縁膜 120 は、第 1 MIS 領域 103 の周縁部において第 2 トレンチ分離構造 104 の内周壁から露出した分離絶縁膜 45 に連なっている。

[0220] 第 2 フィールド絶縁膜 120 は、第 1 主面 3 をそれぞれ露出させる複数の第 1 開口 121 を含む。複数の第 1 開口 121 は、少なくとも 1 つの第 1 ドレイン開口 121 A、少なくとも 1 つの第 1 チャネル開口 121 B、および、少なくとも 1 つの第 1 コンタクト開口 121 C を含む。

[0221] 第 1 ドレイン開口 121 A は、第 1 ドレイン領域 108 を露出させている。第 1 ドレイン開口 121 A の個数は任意である。1 つの第 1 ドレイン開口 121 A が形成されていてもよいし、複数の第 1 ドレイン開口 121 A が形成されていてもよい。第 1 チャネル開口 121 B は、第 1 ソース領域 109 および第 1 チャネル領域 110 を露出させている。第 1 チャネル開口 121 B は、第 1 ドリフト領域 107 を露出させていてもよい。第 1 チャネル開口 121 B の個数は任意である。1 つの第 1 チャネル開口 121 B が形成されていてもよいし、複数の第 1 チャネル開口 121 B が形成されていてもよい。

。

[0222] 第1コンタクト開口121Cは、第1コンタクト領域111を露出させている。第1コンタクト開口121Cの個数は任意である。1つの第1コンタクト開口121Cが形成されていてもよいし、複数の第1コンタクト開口121Cが形成されていてもよい。この場合、複数の第1コンタクト開口121Cが第1コンタクト領域111に沿って間隔を空けて形成されていることが好ましい。

[0223] 複数の第1開口121は、平面視において四角形状にそれぞれ形成されていてもよい。つまり、複数の第1開口121は、平面視において一方方向（第1方向X）に延びる辺、および、一方方向に交差する交差方向（第2方向Y）に延びる辺をそれぞれ有していてもよい。

[0224] 第2フィールド絶縁膜120は、複数の第1開口121をそれぞれ区画する複数の第2絶縁側壁120aを有している。複数の第2絶縁側壁120aは、複数の第1開口121の内壁の全周に亘ってそれぞれ形成されている。つまり、複数の第2絶縁側壁120aは、複数の第1開口121において一方方向（第1方向X）に延びる辺、および、一方方向に交差する交差方向（第2方向Y）に延びる辺にそれぞれ形成されている。各第2絶縁側壁120aは、第1主面3に対して鋭角を成すように斜め下り傾斜している。各第2絶縁側壁120aは、具体的には、第2フィールド絶縁膜120の主面側に位置する上端部、および、第1主面3側に位置する下端部を有し、上端部から下端部に向けて斜め下り傾斜している。

[0225] 各第2絶縁側壁120aは、第1主面3との間で 20° 以上 40° 以下の第2傾斜角度 θ_2 （ $20^\circ \leq \theta_2 \leq 40^\circ$ ）を成している。第2傾斜角度 θ_2 は、断面視において各第2絶縁側壁120aの上端部および下端部を結ぶ直線を設定した場合に、当該直線が第2フィールド絶縁膜120の内部において第1主面3に対して成す角度（絶対値）である。

[0226] 第2傾斜角度 θ_2 は、 40° 未満（ $\theta_2 < 40^\circ$ ）であることが好ましい。第2傾斜角度 θ_2 は、 $30^\circ \pm 6^\circ$ の範囲（ $24^\circ \leq \theta_2 \leq 36^\circ$ ）に収

まることが特に好ましい。第2傾斜角度 $\theta 2$ は、典型的には、 28° 以上 36° 以下の範囲($28^{\circ} \leq \theta 2 \leq 36^{\circ}$)に収まる。第2傾斜角度 $\theta 2$ は、第1フィールド絶縁膜80の第1傾斜角度 $\theta 1$ とほぼ等しい($\theta 1 \div \theta 2$)ことが好ましい。

[0227] 各第2絶縁側壁120aは、上端部および下端部の間の領域において第1主面3に向かって窪んだ湾曲状に傾斜していてもよい。この場合も、第2傾斜角度 $\theta 2$ は、断面視において各第2絶縁側壁120aの上端部および下端部を結ぶ直線を設定した場合に当該直線が第1主面3に対して成す角度(絶対値)となる。

[0228] 第2フィールド絶縁膜120は、第2フィールド厚さTF2を有している。第2フィールド厚さTF2は、第2フィールド絶縁膜120のうち第2絶縁側壁120aを形成する部分以外の部分の法線方向Zに沿う厚さである。第2フィールド厚さTF2は、分離絶縁膜45の第1分離厚さT11とほぼ等しくてもよい($TF2 \div T11$)。第2フィールド厚さTF2は、分離絶縁膜45の第2分離厚さT12を超えている($T12 < TF2$)であることが好ましい。

[0229] 第2フィールド厚さTF2は、上絶縁膜54の第1厚さT1以上($T1 \leq TF2$)であることが好ましい。第2フィールド厚さTF2は、第1厚さT1を超えている($T1 < TF2$)ことが特に好ましい。第2フィールド厚さTF2は、下絶縁膜55の第1下厚さT21(=第2厚さT2)とほぼ等しくてもよい($TF2 \div T21$)。第2フィールド厚さTF2は、下絶縁膜55の第2下厚さT22を超えている($T22 < TF2$)ことが好ましい。

[0230] 第2フィールド厚さTF2は、中間厚さTMを超えている($TM < TF2$)ことが好ましい。第2フィールド厚さTF2は、コンタクト絶縁膜73の第1コンタクト厚さT31(=第3厚さT3)とほぼ等しくてもよい($TF2 \div T31$)。第2フィールド厚さTF2は、コンタクト絶縁膜73の第2コンタクト厚さT32を超えている($T32 < TF2$)ことが好ましい。第2フィールド厚さTF2は、第1フィールド絶縁膜80の第1フィールド厚

さTF1とほぼ等しい(TF1≒TF2)ことが好ましい。

[0231] 第2フィールド厚さTF2は、0.1μm以上1μm以下であってもよい。第2フィールド厚さTF2は、0.1μm以上0.25μm以下、0.25μm以上0.5μm以下、0.5μm以上0.75μm以下、または、0.75μm以上1μm以下であってもよい。第2フィールド厚さTF2は、0.15μm以上0.65μm以下であることが好ましい。

[0232] 半導体装置1は、第1MIS領域103において第1主面3に形成された第2隠蔽面131(hidden surface)および第2露出面132(exposed surface)を含む。第2隠蔽面131は、第1主面3において第2フィールド絶縁膜120によって被覆された部分に形成されている。第2露出面132は、第1主面3において第2フィールド絶縁膜120から露出した部分に形成されている。換言すると、第1主面3は、第1MIS領域103において第2フィールド絶縁膜120によって区画された第2隠蔽面131および第2露出面132を含む。

[0233] 第2露出面132は、この形態では、第2隠蔽面131に対して半導体チップ2の厚さ方向(第2主面4側)に窪んでいる。第2露出面132は、具体的には、第2フィールド絶縁膜120の各第2絶縁側壁120aを起点に第2隠蔽面131に対して半導体チップ2の厚さ方向に一段窪んでいる。

[0234] 第2露出面132は、法線方向Zに関して、第1ソース領域109の底部(第1ドレイン領域108の底部および第1コンタクト領域111の底部)および第2隠蔽面131の間の深さ位置に形成されている。第2露出面132は、法線方向Zに関して第2隠蔽面131に対して0μmを超えて0.5μm以下(好ましくは0.2μm以下)の範囲で窪んでいることが好ましい。

[0235] 半導体装置1は、第1MIS領域103において第1主面3を選択的に被覆する第2主面絶縁膜133を含む。第2主面絶縁膜133は、この形態では、酸化シリコン膜を含む。第2主面絶縁膜133は、具体的には、半導体チップ2の酸化物からなる酸化シリコン膜を含む。第2主面絶縁膜133は

、第1主面3において複数の第1開口121から露出した部分を被覆している。つまり、第2主面絶縁膜133は、少なくとも第1ドレイン領域108、第1ソース領域109、第1チャネル領域110および第1コンタクト領域111を被覆している。

[0236] 第2主面絶縁膜133は、第2露出面132を被覆し、第2フィールド絶縁膜120の各第2絶縁側壁120aに連なっている。第2主面絶縁膜133は、第2フィールド絶縁膜120の厚さ方向中間部から半導体チップ2側（第2露出面132側）に間隔を空けて形成されている。第2主面絶縁膜133は、具体的には、断面視において第2フィールド絶縁膜120の厚さ方向中間部を第2露出面132（第1主面3）に沿って通過するラインを設定した場合、当該ラインから半導体チップ2側に間隔を空けて形成されている。

[0237] 第2主面絶縁膜133は、第1領域133aおよび第2領域133bを含む。第1領域133aは、第2隠蔽面131に対して半導体チップ2側に位置している。第2領域133bは、第2隠蔽面131に対して半導体チップ2とは反対側（第2フィールド絶縁膜120の主面側）に位置している。第1領域133aは、具体的には、断面視において第2隠蔽面131の上から第2隠蔽面131に平行に延びる延長線を設定した場合、当該延長線に対して半導体チップ2側に位置している。第2領域133bは、前記延長線を挟んで第1領域133aとは反対側（つまり半導体チップ2とは反対側）に位置している。

[0238] 第2主面絶縁膜133は、第2フィールド絶縁膜120の第2フィールド厚さ T_{F2} 未満の第2絶縁厚さ T_{M12} （ $T_{M12} < T_{F2}$ ）を有している。第2絶縁厚さ T_{M12} は、第2フィールド厚さ T_{F2} の5分の1以下（ $T_{M12} \leq 1/5 \times T_{F2}$ ）であることが好ましい。第2絶縁厚さ T_{M12} は、第1主面絶縁膜83の第1絶縁厚さ T_{M11} とほぼ等しくてもよい（ $T_{M12} \div T_{M11}$ ）。

[0239] 半導体装置1は、第1MIS領域103外の領域を被覆する前述の外側フ

ィールド絶縁膜 84 を含む。外側フィールド絶縁膜 84 は、第 1 M I S 領域 103 外の領域において第 2 トレンチ分離構造 104 の周囲を被覆している。外側フィールド絶縁膜 84 は、第 1 M I S 領域 103 外の領域では、平面視において第 2 トレンチ分離構造 104 を取り囲んでおり、第 2 トレンチ分離構造 104 の外周壁から露出した分離絶縁膜 45 に連なっている。

[0240] 半導体装置 1 は、第 1 チャネル開口 121 B 内において第 2 主面絶縁膜 133 を挟んで第 1 チャネル領域 110 に対向する第 1 ゲート電極 134（主面電極）を含む。第 1 ゲート電極 134 は、この形態では、導電性ポリシリコンを含む。第 1 ゲート電極 134 には、ゲート電位が印加される。第 1 ゲート電極 134 は、第 1 チャネル領域 110 のオンオフを制御する。第 1 ゲート電極 134 は、具体的には、平面視において第 1 ドリフト領域 107、第 1 ソース領域 109 および第 1 チャネル領域 110 に対向している。

[0241] 第 1 ゲート電極 134 は、平面視において第 1 チャネル領域 110 に沿って延びる帯状に形成されている。第 1 ゲート電極 134 は、第 2 主面絶縁膜 133 の上から第 2 絶縁側壁 120 a を通って第 1 ドレイン領域 108 側に位置する第 2 フィールド絶縁膜 120 の上に引き出された第 1 引き出し部 135 を有している。第 1 引き出し部 135 は、第 1 ドレイン領域 108 から第 1 ソース領域 109 側に間隔を空けて形成され、第 2 フィールド絶縁膜 120 を挟んで第 1 ドリフト領域 107 に対向している。

[0242] 第 1 ゲート電極 134 は、第 2 フィールド絶縁膜 120 の第 2 絶縁側壁 120 a よりも急峻な傾斜角度を有する側壁を有している。第 1 ゲート電極 134 の側壁の傾斜角度は、第 1 ゲート電極 134 の側壁の上端部および下端部を結ぶ直線を設定した場合に、当該直線が第 1 ゲート電極 134 の内部において第 1 主面 3 に対して成す角度（絶対値）である。第 1 ゲート電極 134 の側壁の傾斜角度は、 45° 以上 90° 以下であってもよい。第 1 ゲート電極 134 の側壁の傾斜角度は、 60° 以上 90° 以下であることが好ましい。

[0243] 半導体装置 1 は、第 1 ゲート電極 134 の側壁を被覆する第 1 サイドウォ

ール構造 136 を含む。第 1 サイドウォール構造 136 は、第 2 フィールド絶縁膜 120 および第 2 主面絶縁膜 133 の上に位置している。第 1 サイドウォール構造 136 は、酸化シリコンおよび窒化シリコンのうちの少なくとも 1 つを含む。第 1 サイドウォール構造 136 は、この形態では、酸化シリコンを含む。第 1 サイドウォール構造 136 は、窒化シリコンを含んでいてもよい。つまり、第 1 サイドウォール構造 136 は、第 2 フィールド絶縁膜 120 および第 2 主面絶縁膜 133 とは異なる絶縁体を含んでいてもよい。

[0244] 半導体装置 1 は、第 1 MIS 領域 103 において第 1 主面 3 を被覆する前述の層間絶縁層 13 を含む。半導体装置 1 は、層間絶縁層 13 に埋設された複数のプラグ電極 141 ~ 145 を含む。複数のプラグ電極 141 ~ 145 は、チタン系金属膜およびタングステン膜を含む積層構造を有するタングステンプラグ電極からそれぞれなってもよい。複数のプラグ電極 141 ~ 145 は、少なくとも 1 つの第 6 プラグ電極 141、少なくとも 1 つの第 7 プラグ電極 142、少なくとも 1 つの第 8 プラグ電極 143、少なくとも 1 つの第 9 プラグ電極 144、および、少なくとも 1 つの第 10 プラグ電極 145 を含む。

[0245] 第 6 プラグ電極 141 は、分離電極 46 用のソースプラグ電極からなる。第 6 プラグ電極 141 は、層間絶縁層 13 において第 2 トレンチ分離構造 104 を被覆する部分に埋設され、分離電極 46 に電氣的に接続されている。第 7 プラグ電極 142 は、第 1 ドレイン領域 108 用のドレインプラグ電極からなる。

[0246] 第 7 プラグ電極 142 は、層間絶縁層 13 において第 1 ドレイン領域 108 を被覆する部分に埋設され、第 1 ドレイン領域 108 に電氣的に接続されている。第 8 プラグ電極 143 は、第 1 ソース領域 109 用のソースプラグ電極からなる。第 8 プラグ電極 143 は、層間絶縁層 13 において第 1 ソース領域 109 を被覆する部分に埋設され、第 1 ソース領域 109 に電氣的に接続されている。

[0247] 第 9 プラグ電極 144 は、第 1 コンタクト領域 111 用のソースプラグ電

極からなる。第9プラグ電極144は、層間絶縁層13において第1コンタクト領域111を被覆する部分に埋設され、第1コンタクト領域111に電氣的に接続されている。第10プラグ電極145は、第1ゲート電極134用のゲートプラグ電極からなる。第10プラグ電極145は、層間絶縁層13において第1ゲート電極134を被覆する部分に埋設され、第1ゲート電極134に電氣的に接続されている。第10プラグ電極145は、第1ゲート電極134の第1引き出し部135に接続されていてもよい。

[0248] 半導体装置1は、層間絶縁層13内に形成された1つまたは複数の第1ドレイン配線146を含む。1つまたは複数の第1ドレイン配線146は、層間絶縁層13内に形成された配線層からなる。1つまたは複数の第1ドレイン配線146は、層間絶縁層13内に選択的に引き回され、第7プラグ電極142を介して第1ドレイン領域108に電氣的に接続されている。

[0249] 半導体装置1は、層間絶縁層13内に形成された1つまたは複数の第1ソース配線147を含む。1つまたは複数の第1ソース配線147は、層間絶縁層13内に形成された配線層からなる。1つまたは複数の第1ソース配線147は、層間絶縁層13内に選択的に引き回され、第6プラグ電極141、第8プラグ電極143および第9プラグ電極144を介して、分離電極46、第1ソース領域109および第1コンタクト領域111に電氣的に接続されている。

[0250] 半導体装置1は、層間絶縁層13内に形成された1つまたは複数の第1ゲート配線148を含む。1つまたは複数の第1ゲート配線148は、層間絶縁層13内に形成された配線層からなる。1つまたは複数の第1ゲート配線148は、層間絶縁層13内に選択的に引き回され、第10プラグ電極145を介して、第1ゲート電極134に電氣的に接続されている。

[0251] 図17、図20および図21を参照して、半導体装置1は、CMIS領域100の第1主面3において第2MIS領域153を区画する領域分離構造の一例としての第3トレンチ分離構造154 (third trench separation structure) を含む。第2MIS領域153は、第1デバイス領域6および第1

MIS領域103とは異なる電圧印加条件で制御されるデバイス領域である。第3トレンチ分離構造154は、DTI (deep trench isolation) 構造、または、STI (shallow trench isolation) 構造と称されてもよい。

[0252] 第3トレンチ分離構造154は、平面視において第2トレンチ分離構造104から間隔を空けて第1主面3の一部の領域を取り囲む環状に形成され、所定形状の第2MIS領域153を区画している。第3トレンチ分離構造154は、第1MIS領域103および第2MIS領域153の間の領域において第2トレンチ分離構造104と一体的に形成されていてもよい。

[0253] 第3トレンチ分離構造154は、この形態では、平面視において第1主面3の周縁（第1～第4側面5A～5D）に平行な4辺を有する四角環状に形成され、四角形状の第2MIS領域153を区画している。第3トレンチ分離構造154の平面形状は任意であり、多角環状に形成されていてもよい。第2MIS領域153は、第3トレンチ分離構造154の平面形状に応じて多角形状に区画されていてもよい。

[0254] 第3トレンチ分離構造154は、第1トレンチ分離構造43と同様に、分離幅W1および分離深さD1（つまりアスペクト比 $D1/W1$ ）を有している。第3トレンチ分離構造154の底壁は、第2半導体領域42の底部に対して $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下の間隔を空けて形成されていることが特に好ましい。

[0255] 第3トレンチ分離構造154は、第1方向Xに延びる部分および第2方向Yに延びる部分を円弧状に接続する角部を有している。この形態では、第3トレンチ分離構造154の四隅が、円弧状に形成されている。つまり、第2MIS領域153は、円弧状にそれぞれ延びる四隅を有する四角形状に区画されている。第3トレンチ分離構造154の角部は、円弧方向に沿って一定の分離幅W1を有していることが好ましい。

[0256] 第3トレンチ分離構造154は、第1トレンチ分離構造43と同様に、分離トレンチ44、分離絶縁膜45（分離絶縁体）および分離電極46を含むシングル電極構造を有している。第3トレンチ分離構造154の「分離トレ

ンチ４４」、「分離絶縁膜４５」および「分離電極４６」は、それぞれ「第３分離トレンチ」、「第３分離絶縁膜」および「第３分離電極」と称されてもよい。第３トレンチ分離構造１５４の分離トレンチ４４、分離絶縁膜４５および分離電極４６についての説明は、第１トレンチ分離構造４３の分離トレンチ４４、分離絶縁膜４５および分離電極４６についての説明が適用されるため、省略する。

[0257] 半導体装置１は、第２ＭＩＳ領域１５３において第１主面３の表層部に形成されたｐ型の第２ウェル領域１５５を含む。第２ウェル領域１５５は、第２ＭＩＳ領域１５３において第１主面３の表層部の全域に形成され、第３トレンチ分離構造１５４に接している。第２ウェル領域１５５は、第３トレンチ分離構造１５４の底壁に対して第１主面３側の領域に形成されている。第２ウェル領域１５５の底部は、第３トレンチ分離構造１５４の中間部に対して第３トレンチ分離構造１５４の底壁側の領域に形成されている。つまり、第２ウェル領域１５５の底部は、ボディ領域４７の底部の深さ位置に対して第３トレンチ分離構造１５４の底壁側の領域に形成されている。

[0258] 半導体装置１は、第３トレンチ分離構造１５４から間隔を空けて第２ウェル領域１５５の表層部に形成されたｎ型の第３ウェル領域１５６を含む。第３ウェル領域１５６は、平面視において第３トレンチ分離構造１５４に平行な４辺を有する四角形状に形成されていてもよい。第３ウェル領域１５６は、第２ウェル領域１５５の底部に対して第１主面３側の領域に形成されている。第３ウェル領域１５６は、第２ウェル領域１５５の一部を挟んで第２半導体領域４２に対向している。

[0259] 半導体装置１は、第３ウェル領域１５６の表層部に形成されたｐ型の第２ドリフト領域１５７を含む。第２ドリフト領域１５７は、第３ウェル領域１５６の周縁から間隔を空けて第３ウェル領域１５６の表層部に形成されている。第２ドリフト領域１５７は、平面視において一方方向（第１方向Ｘ）に延びる帯状に形成されていてもよい。第２ドリフト領域１５７は、第３ウェル領域１５６の底部から第１主面３側に間隔を空けて形成されている。第２

ドリフト領域 157 は、第3ウェル領域 156 の一部を挟んで第2ウェル領域 155 に対向している。

[0260] 半導体装置 1 は、第2ドリフト領域 157 の表層部に形成された p 型の第2ドレイン領域 158 を含む。第2ドレイン領域 158 は、第2ドリフト領域 157 の p 型不純物濃度を超える p 型不純物濃度を有している。第2ドレイン領域 158 は、第2ドリフト領域 157 の周縁から間隔を空けて第2ドリフト領域 157 の表層部に形成されている。第2ドレイン領域 158 は、平面視において一方方向（第1方向 X）に延びる帯状に形成されていてもよい。第2ドレイン領域 158 は、第2ドリフト領域 157 の底部から第1主面 3 側に間隔を空けて形成されている。第2ドレイン領域 158 は、第2ドリフト領域 157 の一部を挟んで第2ウェル領域 155 に対向している。

[0261] 半導体装置 1 は、第2ドリフト領域 157 から間隔を空けて第3ウェル領域 156 の表層部に形成された p 型の第2ソース領域 159 を含む。第2ソース領域 159 は、第2ドレイン領域 158 の p 型不純物濃度から第2ドリフト領域 157 の p 型不純物濃度を差し引いた p 型不純物濃度を有している。第2ソース領域 159 は、第3トレンチ分離構造 154 から間隔を空けて形成されている。第2ソース領域 159 は、平面視において一方方向（第1方向 X）に延びる帯状に形成されていてもよい。第2ソース領域 159 は、第2ドリフト領域 157 の底部の深さ位置から第1主面 3 側に間隔を空けて形成されている。

[0262] 半導体装置 1 は、第2ウェル領域 155 の表層部において第2ドリフト領域 157 および第2ソース領域 159 の間の領域に形成された第2チャネル領域 160 を含む。第2チャネル領域 160 は、第2MISFET 102 のチャネルを形成している。

[0263] 半導体装置 1 は、第2ウェル領域 155 の表層部に形成された p 型の第2コンタクト領域 161 を含む。第2コンタクト領域 161 は、第2ウェル領域 155 の p 型不純物濃度を超える p 型不純物濃度を有している。第2コンタクト領域 161 は、第3トレンチ分離構造 154 および第3ウェル領域 1

５６から間隔を空けて第３トレンチ分離構造１５４および第３ウェル領域１５６の間の領域に形成されている。第２コンタクト領域１６１は、平面視において第３トレンチ分離構造１５４に沿って延びる帯状に形成されている。第２コンタクト領域１６１は、第３ウェル領域１５６を取り囲む環状に形成されていることが好ましい。第２コンタクト領域１６１は、第３トレンチ分離構造１５４に接していてもよい。

[0264] 半導体装置１は、第２ＭＩＳ領域１５３において第１主面３を部分的に被覆する第３フィールド絶縁膜１７０を含む。第３フィールド絶縁膜１７０は、この形態では、酸化シリコン膜を含む。第３フィールド絶縁膜１７０は、具体的には、半導体チップ２の酸化物からなる酸化シリコン膜を含む。

[0265] 第３フィールド絶縁膜１７０は、第２ドリフト領域１５７を被覆している。第３フィールド絶縁膜１７０は、第２ドレイン領域１５８および第２コンタクト領域１６１の間の領域を被覆している。第３フィールド絶縁膜１７０は、第２ソース領域１５９および第２コンタクト領域１６１の間の領域を被覆している。第３フィールド絶縁膜１７０は、第３トレンチ分離構造１５４および第２コンタクト領域１６１の間の領域を被覆している。第３フィールド絶縁膜１７０は、第２ＭＩＳ領域１５３の周縁部において第３トレンチ分離構造１５４の内周壁から露出した分離絶縁膜４５に連なっている。

[0266] 第３フィールド絶縁膜１７０は、第１主面３をそれぞれ露出させる複数の第２開口１７１を含む。複数の第２開口１７１は、少なくとも１つの第２ドレイン開口１７１Ａ、少なくとも１つの第２チャネル開口１７１Ｂ、および、少なくとも１つの第２コンタクト開口１７１Ｃを含む。

[0267] 第２ドレイン開口１７１Ａは、第２ドレイン領域１５８を露出させている。第２ドレイン開口１７１Ａの個数は任意である。１つの第２ドレイン開口１７１Ａが形成されていてもよいし、複数の第２ドレイン開口１７１Ａが形成されていてもよい。第２チャネル開口１７１Ｂは、第２ソース領域１５９および第２チャネル領域１６０を露出させている。第２チャネル開口１７１Ｂの個数は任意である。１つの第２チャネル開口１７１Ｂが形成されてい

もよいし、複数の第2チャネル開口171Bが形成されていてもよい。

[0268] 第2コンタクト開口171Cは、第2コンタクト領域161を露出させている。第2コンタクト開口171Cの個数は任意である。1つの第2コンタクト開口171Cが形成されていてもよいし、複数の第2コンタクト開口171Cが形成されていてもよい。この場合、複数の第2コンタクト開口171Cが第2コンタクト領域161に沿って間隔を空けて形成されていることが好ましい。

[0269] 複数の第2開口171は、平面視において四角形状にそれぞれ形成されていてもよい。つまり、複数の第2開口171は、平面視において一方方向（第1方向X）に延びる辺、および、一方方向に交差する交差方向（第2方向Y）に延びる辺をそれぞれ有していてもよい。

[0270] 第3フィールド絶縁膜170は、複数の第2開口171をそれぞれ区画する複数の第3絶縁側壁170aを有している。複数の第3絶縁側壁170aは、複数の第2開口171の内壁の全周に亘ってそれぞれ形成されている。つまり、複数の第3絶縁側壁170aは、複数の第2開口171において一方方向（第1方向X）に延びる辺、および、一方方向に交差する交差方向（第2方向Y）に延びる辺にそれぞれ形成されている。各第3絶縁側壁170aは、第1主面3に対して鋭角を成すように斜め下り傾斜している。各第3絶縁側壁170aは、具体的には、第3フィールド絶縁膜170の主面側に位置する上端部、および、第1主面3側に位置する下端部を有し、上端部から下端部に向けて斜め下り傾斜している。

[0271] 各第3絶縁側壁170aは、第1主面3との間で 20° 以上 40° 以下の第3傾斜角度 θ_3 （ $20^\circ \leq \theta_3 \leq 40^\circ$ ）を成している。第3傾斜角度 θ_3 は、断面視において各第3絶縁側壁170aの上端部および下端部を結ぶ直線を設定した場合に、当該直線が第3フィールド絶縁膜170の内部において第1主面3に対して成す角度（絶対値）である。第3傾斜角度 θ_3 は、 40° 未満（ $\theta_3 < 40^\circ$ ）であることが好ましい。

[0272] 第3傾斜角度 θ_3 は、 $30^\circ \pm 6^\circ$ の範囲（ $24^\circ \leq \theta_3 \leq 36^\circ$ ）に収

まることが特に好ましい。第3傾斜角度 $\theta 3$ は、典型的には、 28° 以上 36° 以下の範囲($28^{\circ} \leq \theta 3 \leq 36^{\circ}$)に収まる。第3傾斜角度 $\theta 3$ は、第1フィールド絶縁膜80の第1傾斜角度 $\theta 1$ とほぼ等しい($\theta 1 \div \theta 3$)ことが好ましい。第3傾斜角度 $\theta 3$ は、第2フィールド絶縁膜120の第2傾斜角度 $\theta 2$ とほぼ等しい($\theta 2 \div \theta 3$)ことが好ましい。

[0273] 各第3絶縁側壁170aは、上端部および下端部の間の領域において第1主面3に向かって窪んだ湾曲状に傾斜していてもよい。この場合も、第3傾斜角度 $\theta 3$ は、断面視において各第3絶縁側壁170aの上端部および下端部を結ぶ直線を設定した場合に当該直線が第1主面3に対して成す角度(絶対値)となる。

[0274] 第3フィールド絶縁膜170は、第3フィールド厚さTF3を有している。第3フィールド厚さTF3は、第3フィールド絶縁膜170のうち第3絶縁側壁170aを形成する部分以外の部分の法線方向Zに沿う厚さである。第3フィールド厚さTF3は、分離絶縁膜45の第1分離厚さT11とほぼ等しくてもよい($TF3 \div T11$)。第3フィールド厚さTF3は、分離絶縁膜45の第2分離厚さT12を超えている($T12 < TF3$)であることが好ましい。

[0275] 第3フィールド厚さTF3は、上絶縁膜54の第1厚さT1以上($T1 \leq TF3$)であることが好ましい。第3フィールド厚さTF3は、第1厚さT1を超えている($T1 < TF3$)ことが特に好ましい。第3フィールド厚さTF3は、下絶縁膜55の第1下厚さT21(=第2厚さT2)とほぼ等しくてもよい($TF3 \div T21$)。第3フィールド厚さTF3は、下絶縁膜55の第2下厚さT22を超えている($T22 < TF3$)ことが好ましい。

[0276] 第3フィールド厚さTF3は、中間厚さTMを超えている($TM < TF3$)ことが好ましい。第3フィールド厚さTF3は、コンタクト絶縁膜73の第1コンタクト厚さT31(=第3厚さT3)とほぼ等しくてもよい($TF3 \div T31$)。第3フィールド厚さTF3は、コンタクト絶縁膜73の第2コンタクト厚さT32を超えている($T32 < TF3$)ことが好ましい。第

第3フィールド厚さ TF_3 は、第1フィールド絶縁膜80の第1フィールド厚さ TF_1 とほぼ等しい($TF_1 \div TF_3$)ことが好ましい。第3フィールド厚さ TF_3 は、第2フィールド絶縁膜120の第2フィールド厚さ TF_2 とほぼ等しい($TF_2 \div TF_3$)ことが好ましい。

[0277] 第3フィールド厚さ TF_3 は、 $0.1\mu m$ 以上 $1\mu m$ 以下であってもよい。第3フィールド厚さ TF_3 は、 $0.1\mu m$ 以上 $0.25\mu m$ 以下、 $0.25\mu m$ 以上 $0.5\mu m$ 以下、 $0.5\mu m$ 以上 $0.75\mu m$ 以下、または、 $0.75\mu m$ 以上 $1\mu m$ 以下であってもよい。第3フィールド厚さ TF_3 は、 $0.15\mu m$ 以上 $0.65\mu m$ 以下であることが好ましい。

[0278] 半導体装置1は、第2MIS領域153外の領域を被覆する前述の外側フィールド絶縁膜84を含む。外側フィールド絶縁膜84は、第2MIS領域153外の領域において第3トレンチ分離構造154の周囲を被覆している。外側フィールド絶縁膜84は、第2MIS領域153外の領域では、平面視において第3トレンチ分離構造154を取り囲んでおり、第3トレンチ分離構造154の外周壁から露出した分離絶縁膜45に連なっている。

[0279] 半導体装置1は、第2MIS領域153において第1主面3に形成された第3隠蔽面181 (hidden surface) および第3露出面182 (exposed surface) を含む。第3隠蔽面181は、第1主面3において第3フィールド絶縁膜170によって被覆された部分に形成されている。第3露出面182は、第1主面3において第3フィールド絶縁膜170から露出した部分に形成されている。換言すると、第1主面3は、第2MIS領域153において第3フィールド絶縁膜170によって区画された第3隠蔽面181および第3露出面182を含む。

[0280] 第3露出面182は、この形態では、第3隠蔽面181に対して半導体チップ2の厚さ方向(第2主面4側)に窪んでいる。第3露出面182は、具体的には、第3フィールド絶縁膜170の各第3絶縁側壁170aを起点に第3隠蔽面181に対して半導体チップ2の厚さ方向に一段窪んでいる。

[0281] 第3露出面182は、法線方向Zに関して、第2ソース領域159の底部

(第2ドレイン領域158の底部および第2コンタクト領域161の底部) および第3隠蔽面181の間の深さ位置に形成されている。第3露出面182は、法線方向Zに関して第3隠蔽面181に対して $0\mu\text{m}$ を超えて $0.5\mu\text{m}$ 以下(好ましくは $0.2\mu\text{m}$ 以下)の範囲で窪んでいることが好ましい。

[0282] 半導体装置1は、第2MIS領域153において第1主面3を選択的に被覆する第3主面絶縁膜183を含む。第3主面絶縁膜183は、この形態では、酸化シリコン膜を含む。第3主面絶縁膜183は、具体的には、半導体チップ2の酸化物からなる酸化シリコン膜を含む。第3主面絶縁膜183は、第1主面3において第3フィールド絶縁膜170外の領域を被覆している。

[0283] 第3主面絶縁膜183は、第3露出面182を被覆し、第3フィールド絶縁膜170の各第3絶縁側壁170aに連なっている。第3主面絶縁膜183は、第3フィールド絶縁膜170の厚さ方向中間部から半導体チップ2側(第3露出面182側)に間隔を空けて形成されている。第3主面絶縁膜183は、具体的には、断面視において第3フィールド絶縁膜170の厚さ方向中間部を第3露出面182(第1主面3)に沿って通過するラインを設定した場合、当該ラインから半導体チップ2側に間隔を空けて形成されている。

[0284] 第3主面絶縁膜183は、第1領域183aおよび第2領域183bを含む。第1領域183aは、第3隠蔽面181に対して半導体チップ2側に位置している。第2領域183bは、第3隠蔽面181に対して半導体チップ2とは反対側(第3フィールド絶縁膜170の主面側)に位置している。第1領域183aは、具体的には、断面視において第3隠蔽面181の上から第3隠蔽面181に平行に延びる延長線を設定した場合、当該延長線に対して半導体チップ2側に位置している。第2領域183bは、前記延長線を挟んで第1領域183aとは反対側(つまり半導体チップ2とは反対側)に位置している。

- [0285] 第3主面絶縁膜183は、第3フィールド絶縁膜170の第3フィールド厚さ T_{F3} 未満の第3絶縁厚さ T_{M13} ($T_{M13} < T_{F3}$) を有している。第3絶縁厚さ T_{M13} は、第3フィールド厚さ T_{F3} の5分の1以下 ($T_{M13} \leq 1/5 \times T_{F3}$) であることが好ましい。第3絶縁厚さ T_{M13} は、第1主面絶縁膜83の第1絶縁厚さ T_{M11} とほぼ等しくてもよい ($T_{M13} \div T_{M11}$)。
- [0286] 半導体装置1は、第1チャネル開口121B内において第3主面絶縁膜183を挟んで第2チャネル領域160に対向する第2ゲート電極184（主面電極）を含む。第2ゲート電極184は、この形態では、導電性ポリシリコンを含む。第2ゲート電極184には、ゲート電位が印加される。第2ゲート電極184は、第2チャネル領域160のオンオフを制御する。第2ゲート電極184は、具体的には、平面視において第2ドリフト領域157、第2ソース領域159および第2チャネル領域160に対向している。
- [0287] 第2ゲート電極184は、平面視において第2チャネル領域160に沿って延びる帯状に形成されている。第2ゲート電極184は、第3主面絶縁膜183の上から第2絶縁側壁120aを通して第2ドレイン領域158側に位置する第3フィールド絶縁膜170の上に引き出された第2引き出し部185を有している。第2引き出し部185は、第2ドレイン領域158から第2ソース領域159側に間隔を空けて形成され、第3フィールド絶縁膜170を挟んで第2ドリフト領域157に対向している。
- [0288] 第2ゲート電極184は、第3フィールド絶縁膜170の第3絶縁側壁170aよりも急峻な傾斜角度を有する側壁を有している。第2ゲート電極184の側壁の傾斜角度は、第2ゲート電極184の側壁の上端部および下端部を結ぶ直線を設定した場合に、当該直線が第2ゲート電極184の内部において第1主面3に対して成す角度（絶対値）である。第2ゲート電極184の側壁の傾斜角度は、 45° 以上 90° 以下であってもよい。第2ゲート電極184の側壁の傾斜角度は、 60° 以上 90° 以下であることが好ましい。

- [0289] 半導体装置 1 は、第 2 ゲート電極 184 の側壁を被覆する第 2 サイドウォール構造 186 を含む。第 2 サイドウォール構造 186 は、第 3 フィールド絶縁膜 170 および第 3 主面絶縁膜 183 の上に位置している。第 2 サイドウォール構造 186 は、酸化シリコンおよび窒化シリコンのうちの少なくとも 1 つを含む。第 2 サイドウォール構造 186 は、この形態では、酸化シリコンを含む。第 2 サイドウォール構造 186 は、窒化シリコンを含んでいてもよい。つまり、第 2 サイドウォール構造 186 は、第 3 フィールド絶縁膜 170 および第 3 主面絶縁膜 183 とは異なる絶縁体を含んでいてもよい。
- [0290] 半導体装置 1 は、第 2 MIS 領域 153 において第 1 主面 3 を被覆する前述の層間絶縁層 13 を含む。半導体装置 1 は、層間絶縁層 13 に埋設された複数のプラグ電極 191 ~ 195 を含む。複数のプラグ電極 191 ~ 195 は、チタン系金属膜およびタングステン膜を含む積層構造を有するタングステンプラグ電極からそれぞれなってもよい。複数のプラグ電極 191 ~ 195 は、少なくとも 1 つの第 11 プラグ電極 191、少なくとも 1 つの第 12 プラグ電極 192、少なくとも 1 つの第 13 プラグ電極 193、少なくとも 1 つの第 14 プラグ電極 194、および、少なくとも 1 つの第 15 プラグ電極 195 を含む。
- [0291] 第 11 プラグ電極 191 は、分離電極 46 用のソースプラグ電極からなる。第 11 プラグ電極 191 は、層間絶縁層 13 において第 3 トレンチ分離構造 154 を被覆する部分に埋設され、分離電極 46 に電氣的に接続されている。第 12 プラグ電極 192 は、第 2 ドレイン領域 158 用のドレインプラグ電極からなる。第 12 プラグ電極 192 は、層間絶縁層 13 において第 2 ドレイン領域 158 を被覆する部分に埋設され、第 2 ドレイン領域 158 に電氣的に接続されている。第 13 プラグ電極 193 は、第 2 ソース領域 159 用のソースプラグ電極からなる。第 13 プラグ電極 193 は、層間絶縁層 13 において第 2 ソース領域 159 を被覆する部分に埋設され、第 2 ソース領域 159 に電氣的に接続されている。
- [0292] 第 14 プラグ電極 194 は、第 2 コンタクト領域 161 用のソースプラグ

電極からなる。第14プラグ電極194は、層間絶縁層13において第2コンタクト領域161を被覆する部分に埋設され、第2コンタクト領域161に電氣的に接続されている。第15プラグ電極195は、第2ゲート電極184用のゲートプラグ電極からなる。第15プラグ電極195は、層間絶縁層13において第2ゲート電極184を被覆する部分に埋設され、第2ゲート電極184に電氣的に接続されている。第10プラグ電極145は、第2ゲート電極184の第2引き出し部185に接続されていてもよい。

[0293] 半導体装置1は、層間絶縁層13内に形成された1つまたは複数の第2ドレイン配線196を含む。1つまたは複数の第2ドレイン配線196は、層間絶縁層13内に形成された配線層からなる。1つまたは複数の第2ドレイン配線196は、層間絶縁層13内に選択的に引き回され、第12プラグ電極192を介して第2ドレイン領域158に電氣的に接続されている。

[0294] 半導体装置1は、層間絶縁層13内に形成された1つまたは複数の第2ソース配線197を含む。1つまたは複数の第2ソース配線197は、層間絶縁層13内に形成された配線層からなる。1つまたは複数の第2ソース配線197は、層間絶縁層13内に選択的に引き回され、第11プラグ電極191、第13プラグ電極193および第14プラグ電極194を介して、分離電極46、第2ソース領域159および第2コンタクト領域161に電氣的に接続されている。

[0295] 半導体装置1は、層間絶縁層13内に形成された1つまたは複数の第2ゲート配線198を含む。1つまたは複数の第2ゲート配線198は、層間絶縁層13内に形成された配線層からなる。1つまたは複数の第2ゲート配線198は、層間絶縁層13内に選択的に引き回され、第15プラグ電極195を介して、第2ゲート電極184に電氣的に接続されている。

[0296] 図22A～図22Uは、図12に示す領域（パワートランジスタ8が形成された領域）に対応し、半導体装置1の製造方法の一例を説明するための断面図である。図23A～図23Uは、図18に示す領域（n型MISFET102が形成された領域）に対応し、半導体装置1の製造方法の一例を説明

するための断面図である。

[0297] 図22Aおよび図23Aを参照して、半導体チップ2のベースとなる円盤状の半導体ウエハ201が用意される。半導体ウエハ201は、一方側の第1ウエハ主面203および他方側の第2ウエハ主面204を有している。第1ウエハ主面203および第2ウエハ主面204は、半導体チップ2の第1主面3および第2主面4にそれぞれ対応している。

[0298] 半導体ウエハ201は、第2ウエハ主面204の表層部にn型の第1半導体領域41を有している。第1半導体領域41は、この形態では、円盤状の半導体基板からなる。半導体ウエハ201は、第1ウエハ主面203の表層部にn型の第2半導体領域42を有している。第2半導体領域42は、この形態では、半導体基板の主面の上に形成されたエピタキシャル層からなる。

[0299] 次に、半導体装置1にそれぞれ対応した複数のデバイス形成領域205が、第1ウエハ主面203に設定される。図22A～図22Uでは、1つのデバイス形成領域205において図12に対応する領域が示され、図23A～図23Uでは、1つのデバイス形成領域205において図18に対応する領域が示されている。複数のデバイス形成領域205は、たとえば、平面視において第1方向Xおよび第2方向Yに間隔を空けて行列状に設定される。

[0300] 次に、第1MIS領域103において、p型の第1ウェル領域105およびn型の第1ドリフト領域107が、第1ウエハ主面203の表層部に形成される。第1ウェル領域105は、イオン注入マスク（図示せず）を介するイオン注入法によって第1ウエハ主面203にp型不純物を導入することによって形成される。第1ドリフト領域107は、イオン注入マスク（図示せず）を介するイオン注入法によって第1ウエハ主面203（具体的には第1ウェル領域105）にn型不純物を導入することによって形成される。

[0301] また、第2MIS領域153において、p型の第2ウェル領域155、n型の第3ウェル領域156およびp型の第2ドリフト領域157が、第1ウエハ主面203の表層部に形成される。第2ウェル領域155は、イオン注入マスク（図示せず）を介するイオン注入法によって第1ウエハ主面203

にp型不純物を導入することによって形成される。第3ウェル領域156は、イオン注入マスク（図示せず）を介するイオン注入法によって第1ウエハ主面203（具体的には第2ウェル領域155）にn型不純物を導入することによって形成される。

[0302] 第2ドリフト領域157は、イオン注入マスク（図示せず）を介するイオン注入法によって第1ウエハ主面203（具体的には第3ウェル領域156）にp型不純物を導入することによって形成される。第1ウェル領域105、第1ドリフト領域107、第2ウェル領域155、第3ウェル領域156および第2ドリフト領域157の形成工程は、必ずしもこのタイミングで実施される必要はなく、任意のタイミングで実施される。

[0303] 次に、図22Bおよび図23Bを参照して、第1ウエハ主面203の上に所定パターンを有するハードマスク206が形成される。ハードマスク206は、この形態では、酸化シリコン膜からなる。ハードマスク206は、酸化処理法（たとえば熱酸化処理法）および／またはCVD（Chemical Vapor Deposition）法によって形成されてもよい。ハードマスク206は、この形態では、熱酸化処理法によって形成され、マスク（図示せず）を介するエッチング法によって所定パターンに成形されている。

[0304] ハードマスク206は、具体的には、第1ウエハ主面203において複数のトレンチ207を形成すべき領域を露出させ、それら以外の領域を被覆している。複数のトレンチ207は、第1～第3トレンチ分離構造43、104、154の分離トレンチ44、トレンチゲート構造51のゲートトレンチ53、および、トレンチコンタクト構造71のコンタクトトレンチ72を含む。

[0305] 次に、半導体ウエハ201の不要な部分が、ハードマスク206を介するエッチング法によって除去される。エッチング法は、ウェットエッチング法および／またはドライエッチング法であってもよい。エッチング法は、異方性のドライエッチング（たとえばRIE（Reactive Ion Etching））法であることが好ましい。これにより、複数のトレンチ207が形成される。ハー

ドマスク 206 は、その後、除去される。

[0306] 次に、図 22C および図 23C を参照して、第 1 ベース絶縁膜 208（第 1 絶縁膜）が、第 1 ウエハ主面 203 および複数のトレンチ 207 の内壁に形成される。第 1 ベース絶縁膜 208 は、分離絶縁膜 45、下絶縁膜 55、コンタクト絶縁膜 73、第 1 ～第 3 フィールド絶縁膜 80、120、170 および外側フィールド絶縁膜 84 のベースとなる。第 1 ベース絶縁膜 208 は、この形態では、比較的低い第 1 エッチングレートを有する絶縁膜からなる。

[0307] 第 1 ベース絶縁膜 208 は、具体的には、酸化シリコン膜からなる。第 1 ベース絶縁膜 208 は、酸化処理法（たとえば熱酸化処理法）および／または CVD 法によって形成されてもよい。第 1 ベース絶縁膜 208 は、この形態では、熱酸化処理法によって形成される。つまり、第 1 ベース絶縁膜 208 は、半導体ウエハ 201 の酸化物からなり、比較的高い緻密度を有する酸化シリコン膜からなる。

[0308] 第 1 ベース絶縁膜 208 の厚さは、0.1 μm 以上 1 μm 以下であってもよい。第 1 ベース絶縁膜 208 の厚さは、0.1 μm 以上 0.25 μm 以下、0.25 μm 以上 0.5 μm 以下、0.5 μm 以上 0.75 μm 以下、または、0.75 μm 以上 1 μm 以下であってもよい。第 1 ベース絶縁膜 208 の厚さは、0.15 μm 以上 0.65 μm 以下であることが好ましい。

[0309] 次に、図 22D および図 23D を参照して、第 1 ベース電極膜 209 が、第 1 ベース絶縁膜 208 の上に形成される。第 1 ベース電極膜 209 は、第 1 ベース絶縁膜 208 を挟んで複数のトレンチ 207 を埋め、第 1 ベース絶縁膜 208 を挟んで第 1 ウエハ主面 203 を被覆する。第 1 ベース電極膜 209 は、分離電極 46、下電極 57 およびコンタクト電極 74 のベースとなる。第 1 ベース絶縁膜 208 は、この形態では、導電性ポリシリコンからなる。第 1 ベース電極膜 209 は、CVD 法によって形成されてもよい。

[0310] 次に、図 22E および図 23E を参照して、第 1 ベース電極膜 209 の不要な部分が、第 1 ベース絶縁膜 208 が露出するまで除去される。第 1 ベー

ス電極膜 209 の不要な部分は、エッチング法によって除去されてもよい。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。これにより、第 1 ベース電極膜 209 の一部が、第 1 ベース絶縁膜 208 を挟んで複数のトレンチ 207 に埋設される。

[0311] 次に、図 22 F および図 23 F を参照して、所定パターンを有する第 1 レジストマスク 210 が、第 1 ウエハ主面 203 の上に形成される。第 1 レジストマスク 210 は、下電極 57 を形成すべき領域を露出させ、それ以外の領域を被覆している。次に、第 1 ベース電極膜 209 の不要な部分が、第 1 レジストマスク 210 を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。これにより、分離電極 46、下電極 57 およびコンタクト電極 74 が形成される。第 1 レジストマスク 210 は、その後、除去される。

[0312] 次に、図 22 G および図 23 G を参照して、第 2 ベース絶縁膜 211（第 2 絶縁膜）が、第 1 ベース絶縁膜 208、分離電極 46、下電極 57 およびコンタクト電極 74 の上に形成される。第 2 ベース絶縁膜 211 は、第 1 ベース絶縁膜 208 と共に第 1 ～第 3 フィールド絶縁膜 80、120、170 および外側フィールド絶縁膜 84 のベースとなる積層絶縁膜 212 を形成する。第 2 ベース絶縁膜 211 は、この形態では、第 1 エッチングレートよりも高い第 2 エッチングレートを有する絶縁膜からなる。

[0313] 第 2 ベース絶縁膜 211 は、具体的には、第 1 ベース絶縁膜 208 とは異なる性質を有する酸化シリコン膜からなる。第 2 ベース絶縁膜 211 は、さらに具体的には、TEOS (Tetraethyl orthosilicate) 膜からなる。つまり、第 2 ベース絶縁膜 211 は、第 1 ベース絶縁膜 208 等に外部から付着された酸化物（半導体ウエハ 201 の酸化物とは別の酸化物）からなり、第 1 ベース絶縁膜 208 よりも低い緻密度を有する酸化シリコン膜からなる。第 2 ベース絶縁膜 211 は、CVD 法によって形成される。

[0314] 第 2 ベース絶縁膜 211 は、第 1 ベース絶縁膜 208 の厚さ未満の厚さを有している。第 2 ベース絶縁膜 211 は、第 1 ベース絶縁膜 208 の厚さの

1 / 2 以下の厚さを有していることが好ましい。第2ベース絶縁膜211は、第1ベース絶縁膜208の厚さの1 / 3 以下の厚さを有していることが特に好ましい。

[0315] 第2ベース絶縁膜211の厚さは、0.01 μm 以上0.5 μm 以下であってもよい。第2ベース絶縁膜211の厚さは、0.01 μm 以上0.1 μm 以下、0.1 μm 以上0.2 μm 以下、0.2 μm 以上0.3 μm 以下、0.3 μm 以上0.4 μm 以下、または、0.4 μm 以上0.5 μm 以下であってもよい。第2ベース絶縁膜211の厚さは、0.01 μm 以上0.2 μm 以下であることが好ましい。

[0316] 次に、第2ベース絶縁膜211が、加熱処理法によって焼成される。これにより、第2ベース絶縁膜211の緻密度が高められる。焼成後の第2ベース絶縁膜211の緻密度は、第1ベース絶縁膜208の緻密度よりも小さい。したがって、焼成後の第2ベース絶縁膜211の第2エッチングレートは、第1ベース絶縁膜208の第1エッチングレートよりも高い。第2ベース絶縁膜211に対する加熱工程は、必要に応じて省略されてもよい。ウェットエッチング法によって第2ベース絶縁膜211を除去する場合、第2ベース絶縁膜211に対する加熱工程は、第2エッチングレートを調整する上で有効である。

[0317] 次に、図22Hおよび図23Hを参照して、所定パターンを有する第2レジストマスク213が、第2ベース絶縁膜211の上に形成される。第2レジストマスク213は、具体的には、積層絶縁膜212（第2ベース絶縁膜211）において第1～第3フィールド絶縁膜80、120、170を形成すべき領域、外側フィールド絶縁膜84を形成すべき領域、分離電極46を形成すべき領域、および、コンタクト電極74を形成すべき領域を被覆し、下絶縁膜55を形成すべき領域（つまりゲートトレンチ53の一部）を露出させている。

[0318] 次に、積層絶縁膜212の不要な部分が、第2レジストマスク213を介するエッチング法によって除去される。この工程では、まず、第2ベース絶

縁膜 211 が、第 2 レジストマスク 213 を介するエッチング法によって除去される。第 2 ベース絶縁膜 211 は、酸性エッチャント（たとえばフッ酸）を用いた等方性のウエットエッチング法によって除去されることが好ましい。次に、第 1 ベース絶縁膜 208 が、第 2 レジストマスク 213 を介するエッチング法によって除去される。第 1 ベース絶縁膜 208 は、酸性エッチャント（たとえばフッ酸）を用いた等方性のウエットエッチング法によって除去されることが好ましい。第 1 ベース絶縁膜 208 の除去工程は、第 2 ベース絶縁膜 211 の除去工程と同時に同一条件で実施されることが特に好ましい。

[0319] 第 1 ベース絶縁膜 208 の除去速度は、第 2 ベース絶縁膜 211 の除去速度よりも低い。したがって、第 1 ベース絶縁膜 208 の除去工程時では、第 2 ベース絶縁膜 211 が第 1 ベース絶縁膜 208 よりも先に第 1 ウエハ主面 203 の面方向に拡がるように除去される。これにより、第 1 ベース絶縁膜 208 において第 2 ベース絶縁膜 211（第 2 レジストマスク 213）から露出する面積が増加する。

[0320] その結果、第 2 ベース絶縁膜 211 が存在しない場合と比較して、第 1 ベース絶縁膜 208 の主面を起点とする第 1 ベース絶縁膜 208 の除去量が増加する。これにより、比較的緩慢な第 1～第 3 絶縁側壁 80a、120a、170a をそれぞれ有する第 1～第 3 フィールド絶縁膜 80、120、170 が、第 1 ウエハ主面 203 の上に形成される。また、これにより、下絶縁膜 55 が、ゲートトレンチ 53 の内壁の上に形成される。第 2 レジストマスク 213 は、その後、除去される。

[0321] 次に、図 221 および図 231 を参照して、第 2 ベース絶縁膜 211 が除去される。第 2 ベース絶縁膜 211 は、実際には、第 1～第 3 フィールド絶縁膜 80、120、170 の形成工程後に、任意のタイミングで除去される。第 2 ベース絶縁膜 211 は、第 2 レジストマスク 213 の剥離工程、他の構造物（たとえば、コントロール IC11 側の構造物）を部分的に除去する際に使用される薬液、半導体ウエハ 201 の洗浄工程に使用される薬液等に

よって自然に除去されてもよい。この場合、第2ベース絶縁膜211の厚さは、自然に完全に除去される値に予め設定されていることが好ましい。

[0322] 第2ベース絶縁膜211は、第1～第3フィールド絶縁膜80、120、170等が薬液に起因して薄化されることを抑制する。むしろ、第2ベース絶縁膜211の一部が、第1～第3フィールド絶縁膜80、120、170の一部として残存してもよい。つまり、第1～第3フィールド絶縁膜80、120、170は、第1絶縁膜（酸化シリコン膜）、および、第1絶縁膜とは異なる物性を有する第2絶縁膜（TEOS膜）を含む積層構造をそれぞれ有していてもよい。

[0323] 次に、図22Jおよび図23Jを参照して、第3ベース絶縁膜214が、第1ウエハ主面203、分離電極46、下電極57、および、ゲートトレンチ53の内壁の上に形成される。第3ベース絶縁膜214は、上絶縁膜54、中間絶縁膜58、および、第1～第3主面絶縁膜83、133、183のベースとなる。第2ベース絶縁膜211は、この形態では、酸化シリコン膜からなる。第3ベース絶縁膜214は、酸化処理法（たとえば熱酸化処理法）および／またはCVD法によって形成されてもよい。第3ベース絶縁膜214は、この形態では、熱酸化処理法によって形成される。これにより、上絶縁膜54、中間絶縁膜58、および、第1～第3主面絶縁膜83、133、183が形成される。

[0324] 酸化処理法では、第1ウエハ主面203の酸化が半導体ウエハ201の厚さ方向に進行する。これにより、第1～第3フィールド絶縁膜80、120、170によって隠蔽された第1～第3隠蔽面81、131、181、および、第1～第3隠蔽面81、131、181に対して半導体ウエハ201の厚さ方向に窪んだ第1～第3露出面82、132、182が第1ウエハ主面203に形成される（図14A、図14B、図19および図21も併せて参照）。第1～第3露出面82、132、182は、第1ウエハ主面203において第1～第3主面絶縁膜83、133、183によって隠蔽された部分でもある。

[0325] 次に、図22Kおよび図23Kを参照して、第2ベース電極膜215が、第1ウエハ主面203の上に形成される。第2ベース電極膜215は、上絶縁膜54および中間絶縁膜58を挟んで複数のゲートトレンチ53を埋め、第1～第3フィールド絶縁膜80、120、170および第1～第3主面絶縁膜83、133、183を挟んで第1ウエハ主面203を被覆する。第2ベース電極膜215は、上電極56、第1ゲート電極134および第2ゲート電極184のベースとなる。第2ベース絶縁膜211は、この形態では、導電性ポリシリコンからなる。第2ベース電極膜215は、CVD法によって形成されてもよい。

[0326] 次に、図22Lおよび図23Lを参照して、所定パターンを有する第3レジストマスク216が、第2ベース電極膜215の上に形成される。第3レジストマスク216は、第1ゲート電極134および第2ゲート電極184を形成すべき領域を被覆し、それら以外の領域を露出させている。次に、第3レジストマスク216を介するエッチング法によって、第2ベース電極膜215の不要な部分が、第1～第3フィールド絶縁膜80、120、170および第1～第3主面絶縁膜83、133、183が露出するまで除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。これにより、上電極56、第1ゲート電極134および第2ゲート電極184が形成される。

[0327] 第1～第3フィールド絶縁膜80、120、170は、比較的緩慢な第1～第3絶縁側壁80a、120a、170aをそれぞれ有している。したがって、この工程では、第2ベース電極膜215の残渣物（残留物）が第1～第3絶縁側壁80a、120a、170aに付着した状態で残存することが抑制される。これにより、残渣物に起因する電気的特性の変動を抑制できる。また、第2ベース電極膜215の除去工程後、第2ベース電極膜215の残渣物の除去工程を省略できる。つまり、第2ベース電極膜215のオーバーエッチング工程を省略できる。これにより、第1～第3フィールド絶縁膜80、120、170および第1～第3主面絶縁膜83、133、183等

が薄化することを抑制できる。

[0328] 次に、図22Mおよび図23Mを参照して、第4ベース絶縁膜217が、第1ウエハ主面203の上に形成される。第4ベース絶縁膜217は、第1～第2サイドウォール構造136、186のベースとなる。第4ベース絶縁膜217は、この形態では、窒化シリコン膜からなる。第4ベース絶縁膜217は、CVD法によって形成されてもよい。

[0329] 次に、図22Nおよび図23Nを参照して、第4ベース絶縁膜217の不要な部分が、エッチング法によって除去される。第4ベース絶縁膜217は、第1～第2ゲート電極134、184の側壁に第4ベース絶縁膜217の一部が残存するように除去される。エッチング法は、ウェットエッチング法および／またはドライエッチング法であってもよい。エッチング法は、異方性のドライエッチング法であることが好ましい。これにより、第1～第2サイドウォール構造136、186が、第1～第2ゲート電極134、184に対して自己整合的に形成される。

[0330] 第1～第2ゲート電極134、184は、第1～第3フィールド絶縁膜80、120、170の第1～第3絶縁側壁80a、120a、170aよりも急峻な傾斜角度を有する側壁を有している。したがって、この工程では、第4ベース絶縁膜217の一部が第1～第2ゲート電極134、184の側壁に付着した状態で残存する一方で、第4ベース絶縁膜217の一部が第1～第3絶縁側壁80a、120a、170aに付着した状態で残存することが抑制される。

[0331] したがって、第4ベース絶縁膜217の除去工程後、第4ベース絶縁膜217の残渣物の除去工程を省略できる。つまり、第4ベース絶縁膜217のオーバーエッチング工程を省略できる。これにより、第1～第2サイドウォール構造136、186を形成できる一方で、第1～第3フィールド絶縁膜80、120、170および第1～第3主面絶縁膜83、133、183等の薄化を抑制できる。

[0332] 次に、図22Oおよび図23Oを参照して、第1デバイス領域6において

、ボディ領域47、ソース領域60およびコンタクト領域61が、第1ウエハ主面203の表層部に形成される。ボディ領域47、ソース領域60およびコンタクト領域61は、ゲートトレンチ53の側壁を介して第1ウエハ主面203の表層部にそれぞれ形成される。ボディ領域47、ソース領域60およびコンタクト領域61の形成工程は、任意の順序で実施される。ボディ領域47は、イオン注入マスク（図示せず）を介するイオン注入法によって第1ウエハ主面203にp型不純物を導入することによって形成される。

[0333] ソース領域60は、イオン注入マスク（図示せず）を介するイオン注入法によって第1ウエハ主面203にn型不純物を導入することによって形成される。ソース領域60は、ボディ領域47の表層部に位置するように形成される。コンタクト領域61は、第1ウエハ主面203の表層部に形成される。コンタクト領域61は、イオン注入マスク（図示せず）を介するイオン注入法によって第1ウエハ主面203にp型不純物を導入することによって形成される。コンタクト領域61は、ボディ領域47の表層部に位置するように形成される。

[0334] また、第2デバイス領域7の第1MIS領域103において、第1ドレイン領域108、第1ソース領域109および第1コンタクト領域111が、第1ウエハ主面203の表層部に形成される。第1ドレイン領域108、第1ソース領域109および第1コンタクト領域111は、第2主面絶縁膜133を介して第1ウエハ主面203の表層部にそれぞれ形成される。第1ドレイン領域108、第1ソース領域109および第1コンタクト領域111の形成工程は、任意の順序で実施される。この形態では、第1ドレイン領域108および第1ソース領域109が同時に形成される。

[0335] 第1ドレイン領域108および第1ソース領域109は、イオン注入マスク（図示せず）を介するイオン注入法によって第1ウエハ主面203にn型不純物を導入することによって形成される。第1ドレイン領域108は、第1ドリフト領域107の表層部に位置するように形成される。第1ソース領域109は、第1ウェル領域105の表層部に位置するように形成される。

第1コンタクト領域111は、イオン注入マスク（図示せず）を介するイオン注入法によって第1ウエハ主面203にp型不純物を導入することによって形成される。第1コンタクト領域111は、第1ウェル領域105の表層部に形成される。

[0336] また、第2デバイス領域7の第2MIS領域153において、第2ドレイン領域158、第2ソース領域159および第2コンタクト領域161が、第1ウエハ主面203の表層部に形成される。第2ドレイン領域158、第2ソース領域159および第2コンタクト領域161は、第3主面絶縁膜183を介して第1ウエハ主面203の表層部にそれぞれ形成される。第2ドレイン領域158、第2ソース領域159および第2コンタクト領域161の形成工程は、任意の順序で実施される。この形態では、第2ドレイン領域158および第2ソース領域159が同時に形成される。

[0337] 第2ドレイン領域158および第2ソース領域159は、イオン注入マスク（図示せず）を介するイオン注入法によって第1ウエハ主面203にp型不純物を導入することによって形成される。第2ドレイン領域158は、第2ドリフト領域157の表層部に位置するように形成される。第2ソース領域159は、第3ウェル領域156の表層部に位置するように形成される。第2コンタクト領域161は、イオン注入マスク（図示せず）を介するイオン注入法によって第1ウエハ主面203にp型不純物を導入することによって形成される。第2コンタクト領域161は、第2ウェル領域155の表層部に形成される。

[0338] これらの工程では、第1～第3フィールド絶縁膜80、120、170の第1～第3絶縁側壁80a、120a、170aに残渣物の付着が抑制された構造において、n型不純物およびp型不純物を第1ウエハ主面203に導入できる。したがって、n型不純物およびp型不純物の導入が、残渣物によって妨げられることを抑制できる。これにより、n型不純物およびp型不純物を第1ウエハ主面203に適切に導入できる。

[0339] 次に、図22Pおよび図23Pを参照して、最下絶縁膜218が、第1ウ

エハ主面 203 の上に形成される。最下絶縁膜 218 は、層間絶縁層 13 の最下層を形成する。最下絶縁膜 218 は、酸化シリコン膜および窒化シリコン膜のうちの少なくとも 1 つを含んでいてもよい。最下絶縁膜 218 は、CVD 法によって形成されてもよい。

[0340] 次に、図 22Q および図 23Q を参照して、所定パターンを有する第 4 レジストマスク 219 が、最下絶縁膜 218 の上に形成される。第 4 レジストマスク 219 は、最下絶縁膜 218 において複数のプラグ電極 91～95、141～145、191～195 用の複数のプラグ開口 220 を形成すべき領域をそれぞれ露出させ、それら以外の領域を被覆している。

[0341] 次に、最下絶縁膜 218 の不要な部分が、エッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。エッチング法は、異方性のドライエッチング法であることが好ましい。これにより、最下絶縁膜 218 に複数のプラグ開口 220 が形成される。第 4 レジストマスク 219 は、その後、除去される。

[0342] 次に、図 22R および図 23R を参照して、第 4 ベース電極膜 221 が、最下絶縁膜 218 の上に形成される。第 4 ベース電極膜 221 は、複数のプラグ開口 220 を埋めて最下絶縁膜 218 を被覆する。第 4 ベース電極膜 221 は、チタン系金属膜およびタングステン膜を含む積層構造を有していてもよい。第 4 ベース電極膜 221 は、スパッタ法および／または CVD 法によって形成されてもよい。

[0343] 次に、図 22S および図 23S を参照して、第 4 ベース電極膜 221 の不要な部分が、エッチング法によって除去される。第 4 ベース電極膜 221 は、最下絶縁膜 218 が露出するまで除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。これにより、複数のプラグ電極 91～95、141～145、191～195 が、最下絶縁膜 218 に埋め込まれる。

[0344] 次に、図 22T および図 23T を参照して、第 5 ベース電極膜 222 が、最下絶縁膜 218 の上に形成される。第 5 ベース電極膜 222 は、多層配線

の一部を形成する配線層のベースとなる。第5ベース電極膜222は、この形態では、ゲート配線14、ソース配線96、第1ドレイン配線146、第1ソース配線147、第1ゲート配線148、第2ドレイン配線196、第2ソース配線197、および、第2ゲート配線198のベースとなる。第5ベース電極膜222は、Al層、Cu層、AlCu合金層、AlSiCu合金層およびAlSi合金層のうちの少なくとも1種を含んでいてもよい。第5ベース電極膜222は、スパッタ法および／またはCVD法によって形成されてもよい。

[0345] 次に、図22Uおよび図23Uを参照して、第5ベース電極膜222の不要な部分が、レジストマスク（図示せず）を介するエッチング法によって除去される。第5ベース電極膜222の不要な部分は、最下絶縁膜218が露出するまで除去される。エッチング法は、ウェットエッチング法および／またはドライエッチング法であってもよい。これにより、ゲート配線14、ソース配線96、第1ドレイン配線146、第1ソース配線147、第1ゲート配線148、第2ドレイン配線196、第2ソース配線197、および、第2ゲート配線198が形成される。

[0346] 次に、層間絶縁層13の残りの部分が、最下絶縁膜218の上に形成される。層間絶縁層13の残りの部分は、酸化シリコン膜および窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。層間絶縁層13の残りの部分は、最下絶縁膜218と同様に、CVD法によって形成されてもよい。層間絶縁層13の残りの部分の形成工程途中に、多層配線の一部を形成する配線層が、第5ベース電極膜222と同様の工程を経て形成されてもよい。

[0347] 次に、第6ベース電極膜（図示せず）が、層間絶縁層13の上に形成される。第6ベース電極膜は、複数の端子電極16～20のベースとなる。第6ベース電極膜は、純Al層、純Cu層、AlCu合金層、AlSiCu合金層およびAlSi合金層のうちの少なくとも1種を含んでいてもよい。第6ベース電極膜は、スパッタ法および／またはCVD法によって形成されてもよい。次に、第6ベース電極膜の不要な部分が、レジストマスク（図示せず

）を介するエッチング法によって除去される。これにより、複数の端子電極 16～20 が形成される。

[0348] 次に、ド레인端子 15 が、第 2 ウエハ主面 204 の上に形成される。ド레인端子 15 は、第 2 ウエハ主面 204 の全域を被覆する。ド레인端子 15 は、Ti 層、Ni 層、Au 層、Ag 層および Al 層のうちの少なくとも 1 つを含んでいてもよい。ド레인端子 15 は、スパッタ法、蒸着法および／またはめっき法によって形成されてもよい。ド레인端子 15 の形成工程に先立って、半導体ウエハ 201 の薄化工程が実施されてもよい。この場合、半導体ウエハ 201 は、第 2 ウエハ主面 204 の研削によって薄化されてもよい。第 2 ウエハ主面 204 は、CMP (Chemical Mechanical Polishing) 法によって研削されてもよい。

[0349] その後、半導体ウエハ 201 が、複数のデバイス形成領域 205 に沿って切断される。これにより、1 枚の半導体ウエハ 201 から複数の半導体装置 1 が切り出される。以上を含む工程を経て、半導体装置 1 が製造される。

[0350] 以上、半導体装置 1 は、半導体チップ 2 および n 系統 ($n \geq 2$) のパワートランジスタ 8 を含む。 n 系統のパワートランジスタ 8 は、半導体チップ 2 に個別制御可能にそれぞれ形成された n 個 ($n \geq 2$) の系統トランジスタ 9 を含み、 n 個の系統トランジスタ 9 の選択制御によって単一の出力電流 IOUT (出力信号) を生成する。

[0351] n 系統のパワートランジスタ 8 は、具体的には、 n 個のゲート信号 G が個別入力されるように並列接続された n 個の系統トランジスタ 9 の並列回路によって構成されている。 n 個の系統トランジスタ 9 は、ゲート信号 G に応答して系統毎の電気信号を生成する。 n 系統のパワートランジスタ 8 は、 n 個の系統トランジスタ 9 によって生成された n 個の電気信号の加算値からなる単一の出力電流 IOUT を生成する。

[0352] n 系統のパワートランジスタ 8 は、 n 個の系統トランジスタ 9 の選択制御によってチャネル利用率およびオン抵抗 Ron が変化する。これにより、パワートランジスタ 8 は、異なるオン抵抗 Ron からそれぞれなる複数の動作

モードで制御可能になる。よって、オン抵抗可変型の半導体装置 1 を提供できる。この半導体装置 1 によれば、動作状況に応じた適切なオン抵抗 R_{on} でパワートランジスタ 8 を駆動制御できる。

[0353] パワートランジスタ 8 は、少なくとも 2 つの系統トランジスタ 9 の選択制御によって少なくとも 2 種の動作モードで制御されてもよい。パワートランジスタ 8 は、少なくとも 3 つの系統トランジスタ 9 の選択制御によって少なくとも 3 種の動作モードで制御されることが好ましい。

[0354] 半導体装置 1 は、半導体チップ 2 に区画された第 1 デバイス領域 6 を含む。パワートランジスタ 8 は、第 1 デバイス領域 6 に集約して形成された n 個の系統トランジスタ 9 を有している。この構造によれば、 n 個の系統トランジスタ 9 を半導体チップ 2 に離散的に配置せずに済むので、配線距離の短縮によって配線抵抗を削減できる。これにより、 n 個の系統トランジスタ 9 のスイッチング速度のバラつきを抑制できるから、パワートランジスタ 8 を適切に駆動制御できる。

[0355] n 個の系統トランジスタ 9 は、個別制御対象として系統化された 1 つまたは複数の単位トランジスタ 10 をそれぞれ含むことが好ましい。この構造によれば、単位トランジスタ 10 の個数やチャネル割合 RC を調整することにより、系統トランジスタ 9 毎にチャネル利用率およびオン抵抗特性を調整できる。これにより、パワートランジスタ 8 のオン抵抗特性を適切に調整できる。

[0356] 各単位トランジスタ 10 は、トレンチゲート構造 51 を有していてもよい。トレンチゲート構造 51 は、絶縁体（上絶縁膜 54、下絶縁膜 55 および中間絶縁膜 58）によって上下方向に絶縁分離されるようにゲートトレンチ 53 内に埋設された上電極 56 および下電極 57 を含むマルチ電極構造を有していてもよい。この構造において、下電極 57 は上電極 56 と同電位に固定されていることが好ましい。

[0357] この構造によれば、上電極 56 および下電極 57 の間の電圧降下を抑制できるから、上電極 56 および下電極 57 の間の電界集中を抑制できる。また

、半導体チップ2（特に第2半導体領域42）のオン抵抗 R_{on} を削減できる。この構造は、半導体装置1が車載用のデバイスとして提供される場合に有効である。

[0358] 半導体装置1は、半導体チップ2において第1デバイス領域6とは異なる領域に区画された第2デバイス領域7、および、第2デバイス領域7に形成されたコントロールIC11を含む。また、半導体装置1は、パワートランジスタ8およびコントロールIC11に電氣的に接続されるように半導体チップ2の上に形成された n 個のゲート配線14を含む。

[0359] コントロールIC11は、 n 個の系統トランジスタ9を個別制御する n 個のゲート信号 G を生成し、 n 個のゲート配線14に出力する。 n 個のゲート配線14は、コントロールIC11で生成された n 個のゲート信号 G を n 個の系統トランジスタ9に個別に伝達する。この構造によれば、パワートランジスタ8およびコントロールIC11を一体的に含むIPDを有する半導体装置1を提供できる。

[0360] 半導体装置1は、半導体チップ2および第1フィールド絶縁膜80を含む。第1フィールド絶縁膜80は、半導体チップ2の第1主面3を部分的に被覆し、第1主面3との間で成す第1傾斜角度 θ_1 が 20° 以上 40° 以下である第1絶縁側壁80aを有している。この構造によれば、第1絶縁側壁80aに残渣物が付着した状態で残存することを抑制できる。

[0361] また、比較的緩慢な第1傾斜角度 θ_1 を有する第1絶縁側壁80aによれば、たとえば、残渣物の除去工程を省略できるか、または、残渣物の除去工程の時短を図ることができる。したがって、残渣物の除去工程に起因する残渣物以外の構造物（たとえば第1フィールド絶縁膜80）の薄化を抑制できる。よって、残渣物に起因する半導体装置1の信頼性の低下を抑制できる。

[0362] 第1傾斜角度 θ_1 は、 40° 未満（ $\theta_1 < 40^\circ$ ）であることが好ましい。第1傾斜角度 θ_1 は、 $30^\circ \pm 6^\circ$ の範囲（ $24^\circ \leq \theta_1 \leq 36^\circ$ ）に収まるのが特に好ましい。第1傾斜角度 θ_1 は、典型的には、 28° 以上 36° 以下の範囲（ $28^\circ \leq \theta_1 \leq 36^\circ$ ）に収まる。第1フィールド絶縁膜

80は、半導体チップ2の酸化物からなることが好ましい。

[0363] 半導体装置1は、第1主面3において第1フィールド絶縁膜80で被覆された部分に形成された第1隠蔽面81を含む。この場合、半導体装置1は、第1主面3において第1フィールド絶縁膜80から露出する部分に第1隠蔽面81から半導体チップ2の厚さ方向に窪んで形成された第1露出面82を含んでいてもよい。

[0364] 半導体装置1は、第1露出面82を被覆する第1主面絶縁膜83を含んでいてもよい。この場合、第1主面絶縁膜83は、第1フィールド絶縁膜80の第1フィールド厚さ T_{F1} 未満の第1絶縁厚さ T_{M1} ($T_{M1} < T_{F1}$)を有していてもよい。この構造によれば、残渣物の除去工程に起因する比較的薄い第1絶縁厚さ T_{M1} を有する第1主面絶縁膜83の薄化を抑制できる。この場合、第1主面絶縁膜83は、第1フィールド絶縁膜80の第1絶縁側壁80aに連なっていることが好ましい。

[0365] 第1主面絶縁膜83は、第1隠蔽面81に対して半導体チップ2側に位置する第1領域83a、および、第1隠蔽面81に対して半導体チップ2とは反対側（第1フィールド絶縁膜80の主面側）に位置する第2領域83bを含んでいてもよい。第1主面絶縁膜83は、第1フィールド絶縁膜80の厚さ方向中間部から半導体チップ2側に間隔を空けて形成されていてもよい。第1主面絶縁膜83は、第1フィールド絶縁膜80の5分の1以下の厚さを有していてもよい。

[0366] 第1主面絶縁膜83は、第1主面3に第1デバイス領域6を区画する第1トレンチ分離構造43をさらに含んでいてもよい。第1トレンチ分離構造43は、第1主面3に形成された分離トレンチ44、分離トレンチ44の内壁を被覆する分離絶縁膜45、および、分離絶縁膜45を挟んで分離トレンチ44に埋設された分離電極46を含んでいてもよい。

[0367] この場合、第1フィールド絶縁膜80は、第1デバイス領域6において第1主面3を被覆していることが好ましい。この構造によれば、第1フィールド絶縁膜80の信頼性を向上できるので、第1デバイス領域6に形成される

機能デバイス（この形態ではパワートランジスタ 8）の信頼性を向上できる。

[0368] この場合、第 1 フィールド絶縁膜 80 は、分離絶縁膜 45 に連なっていることが好ましい。分離絶縁膜 45 は、分離トレンチ 44 の側壁を被覆する第 1 部分 45 a、および、分離トレンチ 44 の底壁を被覆する第 2 部分 45 b を含んでいてもよい。第 1 部分 45 a は第 1 分離厚さ $T11$ を有し、第 2 部分 45 b は第 2 分離厚さ $T12$ を有している。第 1 フィールド絶縁膜 80 は、第 2 分離厚さ $T12$ を超える第 1 フィールド厚さ $TF1$ を有していることが好ましい。第 2 分離厚さ $T12$ は、第 1 分離厚さ $T11$ 未満であることが好ましい。

[0369] 半導体装置 1 は、第 1 デバイス領域 6 において第 1 主面 3 に形成された機能デバイスを含んでいてもよい。この場合、第 1 フィールド絶縁膜 80 は、第 1 デバイス領域 6 において機能デバイスから間隔を空けて第 1 主面 3 を部分的に被覆していることが好ましい。この場合、第 1 フィールド絶縁膜 80 の信頼性を向上できるので、第 1 デバイス領域 6 に形成される機能デバイス（この形態ではパワートランジスタ 8）の信頼性を向上できる。

[0370] この場合、第 1 トレンチ分離構造 43 は半導体チップ 2 内において第 1 デバイス領域 6 を区画し、第 1 フィールド絶縁膜 80 は半導体チップ 2 の上において第 1 デバイス領域 6 を区画していることが好ましい。第 1 フィールド絶縁膜 80 は、分離絶縁膜 45 に連なってもよい。

[0371] 機能デバイスは、第 1 主面 3 に形成されたゲートトレンチ 53、絶縁体（上絶縁膜 54、下絶縁膜 55 および中間絶縁膜 58）によって上下方向に絶縁分離されるようにゲートトレンチ 53 内に埋設された上電極 56 および下電極 57 を含むマルチ電極構造を有するトレンチゲート構造 51 を含んでいてもよい。この場合、第 1 フィールド絶縁膜 80 は、トレンチゲート構造 51 から間隔を空けて形成されていることが好ましい。

[0372] 機能デバイスは、トレンチゲート構造 51 をそれぞれ有する複数の単位トランジスタ 10 を含んでいてもよい。この場合、機能デバイスは、個別制御

対象として系統化された1つまたは複数の単位トランジスタ10によってそれぞれ構成された n 個 ($n \geq 2$) の系統トランジスタ9を含み、 n 個の系統トランジスタ9の選択制御によって単一の出力電流 I_{OUT} を生成する n 系統のパワートランジスタ8 (ゲート分割トランジスタ) を含んでいてもよい。この構造によれば、第1フィールド絶縁膜80の信頼性を向上できる、 n 系統のパワートランジスタ8の信頼性を向上できる。

[0373] 半導体装置1は、 n 個の系統トランジスタ9を個別制御するゲート制御回路12を含んでいてもよい。ゲート制御回路12は、第1主面3において第1デバイス領域6とは異なる領域に形成されていることが好ましい。

[0374] 半導体装置1は、半導体チップ2および第2～第3フィールド絶縁膜120、170を含む。第2～第3フィールド絶縁膜120、170は、半導体チップ2の第1主面3を部分的に被覆し、第1主面3との間で成す第2～第3傾斜角度 θ_2 、 θ_3 が 20° 以上 40° 以下である第2～第3絶縁側壁120a、170aを有している。この構造によれば、第2～第3絶縁側壁120a、170aに残渣物が付着した状態で残存することを抑制できる。

[0375] また、比較的緩慢な第2～第3傾斜角度 θ_2 、 θ_3 を有する第2～第3絶縁側壁120a、170aによれば、たとえば、残渣物の除去工程を省略できるか、または、残渣物の除去工程の時短を図ることができる。したがって、残渣物の除去工程に起因する残渣物以外の構造物 (たとえば第2～第3フィールド絶縁膜120、170) の薄化を抑制できる。よって、残渣物に起因する半導体装置1の信頼性の低下を抑制できる。

[0376] 第2～第3傾斜角度 θ_2 、 θ_3 は、 40° 未満 ($\theta_1 < 40^\circ$) であることが好ましい。第2～第3傾斜角度 θ_2 、 θ_3 は、 $30^\circ \pm 6^\circ$ の範囲 ($24^\circ \leq \theta_1 \leq 36^\circ$) に収まるのが特に好ましい。第2～第3傾斜角度 θ_2 、 θ_3 は、典型的には、 28° 以上 36° 以下の範囲 ($28^\circ \leq \theta_1 \leq 36^\circ$) に収まる。第2～第3フィールド絶縁膜120、170は、半導体チップ2の酸化物からなることが好ましい。

[0377] 半導体装置1は、第1主面3において第2～第3フィールド絶縁膜120

、170で被覆された部分に形成された第2～第3隠蔽面131、181を含む。この場合、半導体装置1は、第1主面3において第2～第3フィールド絶縁膜120、170から露出する部分に第2～第3隠蔽面131、181から半導体チップ2の厚さ方向に窪んで形成された第2～第3露出面132、182を含んでもよい。

[0378] 半導体装置1は、第2～第3露出面132、182を被覆する第2～第3主面絶縁膜133、183を含んでもよい。この場合、第2～第3主面絶縁膜133、183は、第2～第3フィールド絶縁膜120、170の第2～第3フィールド厚さ $TF2$ 、 $TF3$ 未満の第2～第3絶縁厚さ $TM12$ 、 $TM13$ ($TM12$ 、 $TM13 < TF2$ 、 $TF3$) を有していてもよい。この構造によれば、残渣物の除去工程に起因する比較的薄い第2～第3絶縁厚さ $TM12$ 、 $TM13$ を有する第2～第3主面絶縁膜133、183の薄化を抑制できる。この場合、第2～第3主面絶縁膜133、183は、第2～第3フィールド絶縁膜120、170の第2～第3絶縁側壁120a、170aに連なっていることが好ましい。

[0379] 第2～第3主面絶縁膜133、183は、第2～第3隠蔽面131、181に対して半導体チップ2側に位置する第1領域133a、183a、および、第2～第3隠蔽面131、181に対して半導体チップ2とは反対側（第2～第3フィールド絶縁膜120、170の主面側）に位置する第2領域133b、183bを含んでもよい。第2～第3主面絶縁膜133、183は、第2～第3フィールド絶縁膜120、170の厚さ方向中間部から半導体チップ2側に間隔を空けて形成されていてもよい。第2～第3主面絶縁膜133、183は、第2～第3フィールド絶縁膜120、170の5分の1以下の厚さを有していてもよい。

[0380] 第2～第3主面絶縁膜133、183は、第1主面3にデバイス領域の一例としてのCMIS領域100（第1～第2MIS領域103、153）を区画する第2～第3トレンチ分離構造104、154をさらに含んでもよい。第2～第3トレンチ分離構造104、154は、第1主面3に形成さ

れた分離トレンチ44（第2～第3分離トレンチ）、分離トレンチ44の内壁を被覆する分離絶縁膜45（第2～第3分離絶縁膜）、および、分離絶縁膜45を挟んで分離トレンチ44に埋設された分離電極46（第2～第3分離電極）を含んでいてもよい。

[0381] この場合、第2～第3フィールド絶縁膜120、170は、第1～第2MIS領域103、153において第1主面3を被覆していることが好ましい。この構造によれば、第2～第3フィールド絶縁膜120、170の信頼性を向上できるので、第1～第2MIS領域103、153に形成される機能デバイス（この形態ではn型の第1MISFET101およびp型の第2MISFET102を含むCMIS100a）の信頼性を向上できる。

[0382] この場合、第2～第3フィールド絶縁膜120、170は、分離絶縁膜45に連なっていることが好ましい。分離絶縁膜45は、分離トレンチ44の側壁を被覆する第1部分45a、および、分離トレンチ44の底壁を被覆する第2部分45bを含んでいてもよい。第1部分45aは第1分離厚さT11を有し、第2部分45bは第2分離厚さT12を有している。第2～第3フィールド絶縁膜120、170は、第2分離厚さT12を超える第2～第3フィールド厚さTF2、TF3（ $T12 < TF2$ 、 $TF3$ ）を有していることが好ましい。第2分離厚さT12は、第1分離厚さT11未満であることが好ましい。

[0383] 半導体装置1は、第2～第3主面絶縁膜133、183を被覆する第1～第2ゲート電極134、184をさらに含んでいてもよい。この構造によれば、第2～第3絶縁側壁120a、170aに対する残渣物の付着を抑制できるので、残渣物に起因する第1～第2ゲート電極134、184の信頼性の低下を抑制できる。たとえば、第1～第2ゲート電極134、184の成膜性や、残渣物に起因するゲート閾値電圧の変動等を抑制できる。

[0384] 第1～第2ゲート電極134、184は、第2～第3主面絶縁膜133、183の上から第2～第3絶縁側壁120a、170aを通して第2～第3フィールド絶縁膜120、170の上に引き出された第1～第2引き出し部

135、185を有していてもよい。この構造によれば、第1～第2引き出し部135、185を有する構造において、残渣物に起因する第1～第2ゲート電極134、184の信頼性の低下を抑制できる。

[0385] 本発明は、さらに他の形態で実施できる。

[0386] 前述の実施形態の通り、比較的緩慢な第1～第3絶縁側壁80a、120a、170aを有する第1～第3フィールド絶縁膜80、120、170は、種々の機能デバイスに適用される。たとえば、LOCOS膜を備えた半導体装置において、当該LOCOS膜を比較的緩慢な第1～第3絶縁側壁80a、120a、170aを有する第1～第3フィールド絶縁膜80、120、170に置き換えることができる。

[0387] 前述の実施形態において、パワートランジスタ8を備えていない形態が採用されてもよい。つまり、前述の半導体装置1は、コントロールIC11のみを備えていてもよい。前述の実施形態において、コントロールIC11を備えていない形態が採用されてもよい。つまり、前述の半導体装置1は、パワートランジスタ8のみを備えていてもよい。むしろ、CMIS領域100のみを備えた半導体装置1が採用されてもよい。

[0388] 前述の実施形態では、トレンチゲート構造51の下電極57およびトレンチコンタクト構造71のコンタクト電極74がゲート電極として形成されていた。しかし、下電極57およびコンタクト電極74は、ソース電極として形成されていてもよい。つまり、下電極57およびコンタクト電極74は、フィールド電極として形成されていてもよい。この場合、コンタクト電極74にゲート配線14に代えてソース配線96が電氣的に接続される。この構造によれば、トレンチゲート構造51および半導体チップ2（具体的には第2半導体領域42）の間の寄生容量を低下させることができるから、スイッチング速度の向上できる。

[0389] 前述の実施形態では、コントロールIC11がセンストランジスタ21を含む例について説明した。センストランジスタ21は、パワートランジスタ8を流れる電流を監視する機能上、パワートランジスタ8と同様の構造を有

していることが好ましい。つまり、センストランジスタ 21 は、1 つまたは複数の単位トランジスタ 10（単位セル 50）を含むことが好ましい。

[0390] センストランジスタ 21 は、第 2 デバイス領域 7 に形成されていてもよいし、第 1 デバイス領域 6 に形成されていてもよい。センストランジスタ 21 が第 1 デバイス領域 6 に形成されている場合、複数の単位トランジスタ 10 のうちの 1 つまたは複数の単位トランジスタ 10（単位セル 50）をセンストランジスタ 21 として利用してもよい。この場合、センストランジスタ 21 として機能する単位トランジスタ 10（単位セル 50）を除く単位トランジスタ 10（単位セル 50）によってパワートランジスタ 8 が構成される。

[0391] 前述の実施形態では、半導体装置 1 が、第 2 MIS 領域 153 において p 型の第 2 ウェル領域 155、n 型の第 3 ウェル領域 156 および p 型の第 2 コンタクト領域 161 を含む例について説明した。しかし、半導体装置 1 は、必ずしも第 2 MIS 領域 153 において p 型の第 2 ウェル領域 155 および n 型の第 3 ウェル領域 156 を含んでいる必要はない。この場合、p 型のコンタクト領域 161 に代えて n 型のコンタクト領域 161 が採用されてもよい。n 型のコンタクト領域 161 は、第 2 半導体領域 42 の n 型不純物濃度を超える n 型不純物濃度を有していることが好ましい。

[0392] 前述の実施形態では、第 1 導電型が n 型、第 2 導電型が p 型の例について説明したが、第 1 導電型が p 型、第 2 導電型が n 型であってもよい。この場合の具体的な構成は、前述の説明および添付図面において、n 型領域を p 型領域に置き換え、p 型領域を n 型領域に置き換えることによって得られる。

[0393] 前述の実施形態では、トレンチゲート構造 51 の第 1 深さ D1 が第 1 トレンチ分離構造 43 の分離深さ D1 未満 ($D1 < D1$) であることが好ましい旨を説明した。この具体的な構造が図 24 に示される。図 24 は、図 12 に対応し、第 1 トレンチ分離構造 51 の変形例を示す断面図である。図 24 において前述の実施形態において説明した構造に対応する構造についての具体的な説明は省略される。

[0394] 図 24 を参照して、第 1 トレンチ分離構造 43 は、トレンチゲート構造 5

1の第1深さ D_1 を超える分離深さ D_I ($D_1 < D_I$)を有している。第1トレンチ分離構造43は、トレンチゲート構造51の第1幅 W_1 を超える分離幅 W_I ($W_1 < W_I$)を有している。したがって、前述の図22Bおよび図23Bの工程において分離トレンチ44に入り込むエッチャントの総量は、ゲートトレンチ53 (コンタクトトレンチ72) に入り込むエッチャントの総量よりも多くなる。その結果、第1トレンチ分離構造43 (分離トレンチ44) はトレンチゲート構造51 (ゲートトレンチ53) よりも深く形成される。このような構造によれば、第1トレンチ分離構造43によって第1デバイス領域6を他の領域から適切に区画できる。

[0395] このような構造は、第1トレンチ分離構造43に限らず、第2トレンチ分離構造104および第3トレンチ分離構造154にも適用できる。つまり、第2トレンチ分離構造104および第3トレンチ分離構造154も、トレンチゲート構造51の第1深さ D_1 を超える分離深さ D_I ($D_1 < D_I$)をそれぞれ有していてもよい。この場合、第2トレンチ分離構造104および第3トレンチ分離構造154は、第1トレンチ分離構造51とほぼ等しい分離深さ D_I を有していてもよい。

[0396] また、第2トレンチ分離構造104および第3トレンチ分離構造154は、トレンチゲート構造51の第1幅 W_1 を超える分離幅 W_I ($W_1 < W_I$)をそれぞれ有していてもよい。この場合、第2トレンチ分離構造104および第3トレンチ分離構造154は、第1トレンチ分離構造51とほぼ等しい分離幅 W_I を有していてもよい。このような構造によれば、第2トレンチ分離構造104によって第1MIS領域101を他の領域から適切に区画でき、第3トレンチ分離構造154によって第2MIS領域153を他の領域から適切に区画できる。

[0397] 以下、この明細書および図面から抽出される特徴の例を示す。

[0398] 絶縁側壁の傾斜角度が比較的急峻な場合 (たとえば傾斜角度が 45° を超える場合)、半導体装置の製造工程中において、絶縁側壁に残渣物 (残留物) が付着した状態で残存する。絶縁側壁に残渣物が付着した場合、当該残渣

物に起因して電気的特性が変動したり、成膜性が低下したりすることがある。

[0399] このような残渣物は、残渣物を残存させ得る成膜物に対するオーバーエッチング工程や、残渣物に対するエッチング工程を実施することによって除去される。オーバーエッチング工程とは、成膜物の除去に必要なエッチング量（エッチング時間）を超えて成膜物に対してエッチング工程を実施する工程のことを言う。

[0400] 残渣物の除去工程では、残渣物以外の構造物も薬液に暴露されるため、残渣物以外の構造物も僅かながら除去される。たとえば、残渣物の除去工程に起因してフィールド絶縁膜が薄化した場合、当該フィールド絶縁膜の信頼性が低下する。その結果、半導体装置の信頼性が低下する。以下の[A 1]～[A 2 0]は、信頼性を向上できる半導体装置を提供する。以下の[B 1]～[B 1 5]は、信頼性を向上できる半導体装置の製造方法を提供する。

[0401] [A 1] 主面(3)を有する半導体チップ(2)と、前記主面(3)を部分的に被覆し、前記主面(3)との間で成す傾斜角度($\theta 1$ 、 $\theta 2$ 、 $\theta 3$)が 20° 以上 40° 以下である絶縁側壁(80a、120a、170a)を有するフィールド絶縁膜(80、120、170)と、を含む、半導体装置(1)。

[0402] この半導体装置によれば、絶縁側壁に残渣物が付着した状態で残存することが抑制された構造を有している。また、比較的緩慢な絶縁側壁によれば、たとえば、残渣物の除去工程を省略できるか、または、残渣物の除去工程の時短を図ることができる。したがって、残渣物の除去工程に起因する残渣物以外の構造物（たとえばフィールド絶縁膜）の薄化を抑制できる。よって、半導体装置の信頼性の低下を抑制できる。

[0403] [A 2] 前記主面(3)において前記フィールド絶縁膜(80、120、170)で被覆された部分に形成された隠蔽面(81、131、181)と、前記主面(3)において前記フィールド絶縁膜(80、120、170)から露出する部分に前記隠蔽面(81、131、181)から前記半導体チ

ップ（２）の厚さ方向に窪んで形成された露出面（８２、１３２、１８２）と、をさらに含む、Ａ１に記載の半導体装置（１）。

[0404] [A 3] 前記フィールド絶縁膜（８０、１２０、１７０）の厚さ（ＴＦ１、ＴＦ２、ＴＦ３）未満の厚さ（ＴＭ１１、ＴＭ１２、ＴＭ１３）を有し、前記露出面（８２、１３２、１８２）を被覆する主面絶縁膜（８３、１３３、１８３）をさらに含む、Ａ２に記載の半導体装置（１）。

[0405] [A 4] 前記主面絶縁膜（８３、１３３、１８３）は、前記フィールド絶縁膜（８０、１２０、１７０）の前記絶縁側壁（８０ａ、１２０ａ、１７０ａ）に連なっている、Ａ３に記載の半導体装置（１）。

[0406] [A 5] 前記主面絶縁膜（８３、１３３、１８３）は、前記隠蔽面（８１、１３１、１８１）に対して前記半導体チップ（２）側に位置する第１領域（８３ａ、１３３ａ、１８３ａ）、および、前記隠蔽面（８１、１３１、１８１）に対して前記フィールド絶縁膜（８０、１２０、１７０）の上端部側に位置する第２領域（８３ｂ、１３３ｂ、１８３ｂ）を含む、Ａ３またはＡ４に記載の半導体装置（１）。

[0407] [A 6] 前記主面絶縁膜（８３、１３３、１８３）は、前記フィールド絶縁膜（８０、１２０、１７０）の厚さ方向中間部から前記半導体チップ（２）側に間隔を空けて形成されている、Ａ３～Ａ５のいずれか一つに記載の半導体装置（１）。

[0408] [A 7] 前記主面絶縁膜（８３、１３３、１８３）は、前記フィールド絶縁膜（８０、１２０、１７０）の５分の１以下の厚さを有している、Ａ３～Ａ６のいずれか一つに記載の半導体装置（１）。

[0409] [A 8] 前記主面絶縁膜（１３３、１８３）を被覆する主面電極（１３４、１８４）をさらに含む、Ａ３～Ａ７のいずれか一つに記載の半導体装置（１）。

[0410] [A 9] 前記主面電極（１３４、１８４）は、前記主面絶縁膜（１３３、１８３）の上から前記絶縁側壁（１２０ａ、１７０ａ）を通して前記フィールド絶縁膜（１２０、１７０）の上に引き出されている、Ａ８に記載の半導

体装置（１）。

[0411] [A 1 0] 前記主面（３）に形成された分離トレンチ（４４）、前記分離トレンチ（４４）の内壁を被覆する分離絶縁膜（４５）、および、前記分離絶縁膜（４５）を挟んで前記分離トレンチ（４４）に埋設された分離電極（４６）を含み、前記主面（３）にデバイス領域（６、７、１００、１０３、１５３）を区画するトレンチ分離構造（４３）をさらに含み、前記フィールド絶縁膜（８０、１２０、１７０）は、前記デバイス領域（６、７、１００、１０３、１５３）において前記主面（３）を被覆している、A 1～A 9のいずれか一つに記載の半導体装置（１）。

[0412] [A 1 1] 前記フィールド絶縁膜（８０、１２０、１７０）は、前記分離絶縁膜（４５）に連なっている、A 1 0に記載の半導体装置（１）。

[0413] [A 1 2] 前記分離絶縁膜（４５）は、前記分離トレンチ（４４）の側壁を被覆する第１部分（４５ a）、および、前記分離トレンチ（４４）の底壁を被覆する第２部分（４５ b）を含み、前記フィールド絶縁膜（８０、１２０、１７０）は、前記第２部分（４５ b）の厚さ（T 1 2）を超える厚さ（T F 1、T F 2、T F 3）を有している、A 1 0またはA 1 1に記載の半導体装置（１）。

[0414] [A 1 3] 前記フィールド絶縁膜（８０、１２０、１７０）は、平面視において一方方向（X）に延びる第１辺、および、前記一方方向（X）に交差する交差方向（Y）に延びる第２辺を有し、前記絶縁側壁（８０ a、１２０ a、１７０ a）は、前記フィールド絶縁膜（８０、１２０、１７０）の前記第１辺および前記第２辺に形成されている、A 1～A 1 2のいずれか一つに記載の半導体装置（１）。

[0415] [A 1 4] 前記フィールド絶縁膜（８０、１２０、１７０）は、前記半導体チップ（２）の酸化物からなる、A 1～A 1 3のいずれか一つに記載の半導体装置（１）。

[0416] [A 1 5] 主面（３）を有する半導体チップ（２）と、前記主面（３）に形成された分離トレンチ（４４）、前記分離トレンチ（４４）の内壁を被覆

する分離絶縁膜（４５）、および、前記分離絶縁膜（４５）を挟んで前記分離トレンチ（４４）に埋設された分離電極（４６）を含み、前記主面（３）にデバイス領域（６）を区画するトレンチ分離構造（４３）と、前記デバイス領域（６）において前記主面（３）に形成された機能デバイス（８）と、前記デバイス領域（６）において前記機能デバイス（８）から間隔を空けて前記主面（３）を部分的に被覆し、前記主面（３）との間で成す傾斜角度（ $\theta 1$ ）が 20° 以上 40° 以下である絶縁側壁（８０a）を有するフィールド絶縁膜（８０）と、を含む、半導体装置（１）。

[0417] この半導体装置によれば、絶縁側壁に残渣物が付着した状態で残存することが抑制された構造を有している。また、比較的緩慢な絶縁側壁によれば、たとえば、残渣物の除去工程を省略できるか、または、残渣物の除去工程の時短を図ることができる。したがって、残渣物の除去工程に起因する残渣物以外の構造物（たとえばフィールド絶縁膜）の薄化を抑制できる。また、フィールド絶縁膜の信頼性を向上できるので、デバイス領域に形成される機能デバイスの信頼性を向上できる。よって、半導体装置の信頼性の低下を抑制できる。

[0418] [A 1 6] 前記フィールド絶縁膜（８０、１２０、１７０）は、前記分離絶縁膜（４５）に連なっている、A 1 5に記載の半導体装置（１）。

[0419] [A 1 7] 前記機能デバイス（８）は、前記主面（３）に形成されたゲートトレンチ（５３）、絶縁体（５４、５５、５８）によって上下方向に絶縁分離されるように前記ゲートトレンチ（５３）内に埋設された上電極（５６）および下電極（５７）を有するトレンチゲート構造（５１）を含み、前記フィールド絶縁膜（８０）は、前記トレンチゲート構造（５１）から間隔を空けて形成されている、A 1 5またはA 1 6に記載の半導体装置（１）。

[0420] [A 1 8] 前記機能デバイス（８）は、複数の前記トレンチゲート構造（５１）をそれぞれ有する複数の単位トランジスタ（１０）を含む、A 1 7に記載の半導体装置。

[0421] [A 1 9] 前記機能デバイス（８）は、個別制御対象として系統化された

1つまたは複数の前記単位トランジスタ（10）によってそれぞれ構成された n 個（ $n \geq 2$ ）の系統トランジスタ（9）を含み、 n 個の前記系統トランジスタ（9）の選択制御によって単一の出力信号を生成する n 系統のゲート分割トランジスタ（8）を含む、A18に記載の半導体装置（1）。

[0422] [A20] 前記主面（3）において前記デバイス領域（6）とは異なる領域に形成され、 n 個の前記系統トランジスタ（9）を個別制御する制御回路（11）をさらに含む、A19に記載の半導体装置（1）。

[0423] [B1] 主面（203）を有する半導体ウエハ（201）を用意する工程と、第1エッチングレートを有し、前記主面（203）を被覆する第1絶縁膜（208）を形成する工程と、前記第1エッチングレートよりも高い第2エッチングレートを有し、前記第1絶縁膜（208）を被覆する第2絶縁膜（211）を形成し、前記第1絶縁膜（208）および前記第2絶縁膜（211）を含む積層構造を有する積層絶縁膜（212）を形成する工程と、前記積層絶縁膜（212）を部分的に被覆するマスク（213）を形成する工程と、前記マスク（213）を介するエッチング法によって前記積層絶縁膜（212）を部分的に除去することによって、前記主面（203）を部分的に被覆し、前記主面（203）の上に絶縁側壁（80a、120a、170a）を有し、前記主面（203）および前記絶縁側壁（80a、120a、170a）の間で成す傾斜角度（ $\theta 1$ 、 $\theta 2$ 、 $\theta 3$ ）が 20° 以上 40° 以下であるフィールド絶縁膜（80、120、170）を形成する工程と、を含む、半導体装置（1）の製造方法。

[0424] [B2] 前記第1絶縁膜（208）は、第1厚さを有し、前記第2絶縁膜（211）は、前記第1厚さ未満の第2厚さを有している、B1に記載の半導体装置（1）の製造方法。

[0425] [B3] 前記第1絶縁膜（208）は、酸化処理法によって形成された酸化膜からなり、前記第2絶縁膜（211）は、CVD法によって形成された酸化膜からなる、B1またはB2に記載の半導体装置（1）の製造方法。

[0426] [B4] 前記マスク（213）の形成工程前に前記第2絶縁膜（211）

を焼成する工程をさらに含む、B 3に記載の半導体装置（１）の製造方法。

[0427] [B 5] ウエットエッチング法によって、前記第２絶縁膜（２１１）が部分的に除去される、B 1～B 4のいずれか一つに記載の半導体装置（１）の製造方法。

[0428] [B 6] ウエットエッチング法によって、前記第１絶縁膜（２０８）が部分的に除去される、B 1～B 5のいずれか一つに記載の半導体装置（１）の製造方法。

[0429] [B 7] 前記第１絶縁膜（２０８）の除去工程は、前記第２絶縁膜（２１１）の除去工程と同一条件で実施される、B 1～B 6のいずれか一つに記載の半導体装置（１）の製造方法。

[0430] [B 8] 前記第１絶縁膜（２０８）の形成工程前に前記主面（２０３）にトレンチ（２０７、４４、５３、７２）を形成する工程をさらに含み、前記主面（２０３）および前記トレンチ（２０７、４４、５３、７２）の内壁を被覆する前記第１絶縁膜（２０８）が形成される、B 1～B 7のいずれか一つに記載の半導体装置（１）の製造方法。

[0431] [B 9] 前記第２絶縁膜（２１１）の形成工程前に前記第１絶縁膜（２０８）を挟んで前記トレンチ（２０７、４４、５３、７２）に電極（２０９、４６、５７、７４）を埋め込む工程をさらに含み、前記第２絶縁膜（２１１）は、前記第１絶縁膜（２０８）および前記電極（２０９、４６、５７、７４）を被覆する、B 8に記載の半導体装置（１）の製造方法。

[0432] [B 10] 前記フィールド絶縁膜（８０、１２０、１７０）の除去工程後、前記フィールド絶縁膜（８０、１２０、１７０）の厚さ未満の厚さを有し、前記主面（２０３）において前記フィールド絶縁膜（８０、１２０、１７０）から露出した部分を被覆する主面絶縁膜（８３、１３３、１８３）を形成する工程をさらに含む、B 1～B 9のいずれか一つに記載の半導体装置（１）の製造方法。

[0433] [B 11] 前記主面絶縁膜（８３、１３３、１８３）は、酸化処理法によって形成された酸化膜からなる、B 10に記載の半導体装置（１）の製造方

法。

- [0434] [B 1 2] 前記主面絶縁膜（83、133、183）は、前記フィールド絶縁膜（80、120、170）の厚さ方向中間部から前記半導体ウエハ（201）側に間隔を空けて形成される、B 1 0またはB 1 1に記載の半導体装置（1）の製造方法。
- [0435] [B 1 3] 前記主面絶縁膜（83、133、183）は、前記フィールド絶縁膜（80、120、170）の5分の1以下の厚さを有している、B 1 0～B 1 2のいずれか一つに記載の半導体装置（1）の製造方法。
- [0436] [B 1 4] 前記主面絶縁膜（83、133、183）、前記第1絶縁膜（208）および前記第2絶縁膜（211）を被覆する電極膜（215）を形成する工程と、前記電極膜（215）を部分的に除去することによって、少なくとも前記主面絶縁膜（83、133、183）の一部を被覆する主面電極（134、184）を形成する工程と、をさらに含む、B 1 0～B 1 3のいずれか一つに記載の半導体装置（1）の製造方法。
- [0437] [B 1 5] 前記フィールド絶縁膜（80、120、170）の形成工程後、エッチング法によって前記第2絶縁膜（211）を除去し、前記第1絶縁膜（208）からなる前記フィールド絶縁膜（80、120、170）を形成する工程を含む、B 1 0～B 1 4のいずれか一つに記載の半導体装置（1）の製造方法。
- [0438] 以下の[C 1]～[C 2 2]は、オン抵抗可変のトランジスタを備えた半導体装置を提供する。
- [0439] [C 1] 半導体チップ（2）と、前記半導体チップ（2）に形成された第1系統トランジスタ（9）および第2系統トランジスタ（9）を含み、前記第1系統トランジスタ（9）および前記第2系統トランジスタ（9）の選択制御によって単一の出力信号（I O U T）を生成する複数系統のゲート分割トランジスタ（8）と、を含む、半導体装置（1）。この構造によれば、オン抵抗可変のトランジスタを備えた半導体装置を提供できる。
- [0440] [C 2] 前記ゲート分割トランジスタ（8）は、通常動作時およびアクテ

ィブクランプ動作時において、前記第1系統トランジスタ（9）および前記第2系統トランジスタ（9）のスイッチングパターンが異なる複数の動作モードで制御される、C1に記載の半導体装置（1）。

[0441] [C3] 前記ゲート分割トランジスタ（8）は、前記通常動作時に前記第1系統トランジスタ（9）および前記第2系統トランジスタ（9）の双方によってオン状態に制御される、C2に記載の半導体装置（1）。

[0442] [C4] 前記ゲート分割トランジスタ（8）は、前記アクティブクランプ動作時に前記第1系統トランジスタ（9）および前記第2系統トランジスタ（9）のいずれか一方によってオン状態に制御される、C2またはC3に記載の半導体装置（1）。

[0443] [C5] 前記ゲート分割トランジスタ（8）は、前記通常動作時において第1オン抵抗で動作し、前記アクティブクランプ動作時において前記第1オン抵抗を超える第2オン抵抗で動作する、C2～C4のいずれか一つに記載の半導体装置（1）。

[0444] [C6] 前記第1系統トランジスタ（9）に第1ゲート信号（G）が個別入力され、前記第2系統トランジスタ（9）に第2ゲート信号（G）が個別入力される、C1～C5のいずれか一つに記載の半導体装置（1）。

[0445] [C7] 前記半導体チップ（2）の上で前記第1系統トランジスタ（9）に接続された第1ゲート配線（14）と、前記半導体チップ（2）の上で前記第2系統トランジスタ（9）に接続された第2ゲート配線（14）と、をさらに含む、C1～C6のいずれか一つに記載の半導体装置（1）。

[0446] [C8] 前記半導体チップ（2）に区画されたデバイス領域（6）をさらに含み、前記第1系統トランジスタ（9）および前記第2系統トランジスタ（9）は、前記デバイス領域（6）に集約して形成されている、C1～C7のいずれか一つに記載の半導体装置（1）。

[0447] [C9] 前記半導体チップ（2）に形成された複数の単位トランジスタ（10）をさらに含み、前記第1系統トランジスタ（9）は、複数の前記単位トランジスタ（10）から個別制御対象として系統化された1つまたは複数

の第1単位トランジスタ（10）を含み、前記第2系統トランジスタ（9）は、前記第1単位トランジスタ（10）を除く複数の前記単位トランジスタ（10）から個別制御対象として系統化された1つまたは複数の第2単位トランジスタ（10）を含む、C1～C8のいずれか一つに記載の半導体装置（1）。

[0448] [C10] 前記半導体チップ（2）において前記ゲート分割トランジスタ（8）とは異なる領域に形成され、前記ゲート分割トランジスタ（8）を制御する制御回路（11）をさらに含む、C1～C9のいずれか一つに記載の半導体装置（1）。

[0449] [C11] 半導体チップ（2）と、前記半導体チップ（2）に形成された第1系統トランジスタ（9）、第2系統トランジスタ（9）および第3系統トランジスタ（9）を含み、前記第1系統トランジスタ（9）、前記第2系統トランジスタ（9）および前記第3系統トランジスタ（9）の選択制御によって単一の出力信号（IOUT）を生成する複数系統のゲート分割トランジスタ（8）と、を含む、半導体装置（1）。この構造によれば、オン抵抗可変のトランジスタを備えた半導体装置を提供できる。

[0450] [C12] 前記ゲート分割トランジスタ（8）は、オン遷移動作時、通常動作時、オフ遷移動作時およびアクティブクランプ動作時のうちの少なくとも2つの動作時において、前記第1系統トランジスタ（9）、前記第2系統トランジスタ（9）および前記第3系統トランジスタ（9）のスイッチングパターンがそれぞれ異なる複数の動作モードで制御される、C11に記載の半導体装置（1）。

[0451] [C13] 前記ゲート分割トランジスタ（8）は、前記オン遷移動作時に前記第1系統トランジスタ（9）、前記第2系統トランジスタ（9）および前記第3系統トランジスタ（9）の全てによってオン状態に制御される、C12に記載の半導体装置（1）。

[0452] [C14] 前記ゲート分割トランジスタ（8）は、前記通常動作時に前記第1系統トランジスタ（9）、前記第2系統トランジスタ（9）および前記

第3系統トランジスタ（9）のうちのいずれか2つによってオン状態に制御される、C 1 2またはC 1 3に記載の半導体装置（1）。

[0453] [C 1 5] 前記ゲート分割トランジスタ（8）は、前記オフ遷移動作時に前記第1系統トランジスタ（9）、前記第2系統トランジスタ（9）および前記第3系統トランジスタ（9）の全てによってオン状態に制御される、C 1 2～C 1 4のいずれか一つに記載の半導体装置（1）。

[0454] [C 1 6] 前記ゲート分割トランジスタ（8）は、前記アクティブクランプ動作時に前記第1系統トランジスタ（9）、前記第2系統トランジスタ（9）および前記第3系統トランジスタ（9）のうちのいずれか1つによってオン状態に制御される、C 1 2～C 1 5のいずれか一つに記載の半導体装置（1）。

[0455] [C 1 7] 前記ゲート分割トランジスタ（8）は、前記オン遷移動作時に第1オン抵抗で動作し、前記通常動作時において第1オン抵抗を超える第2オン抵抗で動作し、前記オフ遷移動作時において前記第2オン抵抗未満の第3オン抵抗で動作し、前記アクティブクランプ動作時において前記第2オン抵抗を超える第4オン抵抗で動作する、C 1 2～C 1 6のいずれか一つに記載の半導体装置（1）。

[0456] [C 1 8] 前記第1系統トランジスタ（9）に第1ゲート信号（G）が個別入力され、前記第2系統トランジスタ（9）に第2ゲート信号（G）が個別入力され、前記第3系統トランジスタ（9）に第3ゲート信号（G）が個別入力される、C 1 1～C 1 7のいずれか一つに記載の半導体装置（1）。

[0457] [C 1 9] 前記半導体チップ（2）の上で前記第1系統トランジスタ（9）に接続された第1ゲート配線（14）と、前記半導体チップ（2）の上で前記第2系統トランジスタ（9）に接続された第2ゲート配線（14）と、前記半導体チップ（2）の上で前記第3系統トランジスタ（9）に接続された第3ゲート配線（14）と、をさらに含む、C 1 1～C 1 8のいずれか一つに記載の半導体装置（1）。

[0458] [C 2 0] 前記半導体チップ（2）に区画されたデバイス領域（6）をさ

らに含み、前記第1系統トランジスタ(9)、前記第2系統トランジスタ(9)および前記第3系統トランジスタ(9)は、前記デバイス領域(6)に集約して形成されている、C11~C19のいずれか一つに記載の半導体装置(1)。

[0459] [C21] 前記半導体チップ(2)に形成された複数の単位トランジスタ(10)をさらに含み、前記第1系統トランジスタ(9)は、複数の前記単位トランジスタ(10)から個別制御対象として系統化された1つまたは複数の第1単位トランジスタ(10)を含み、前記第2系統トランジスタ(9)は、前記第1単位トランジスタ(10)を除く複数の前記単位トランジスタ(10)から個別制御対象として系統化された1つまたは複数の第2単位トランジスタ(10)を含み、前記第3系統トランジスタ(9)は、前記第1単位トランジスタ(10)および前記第2単位トランジスタ(10)を除く複数の前記単位トランジスタ(10)から個別制御対象として系統化された1つまたは複数の第3単位トランジスタ(10)を含む、C11~C20のいずれか一つに記載の半導体装置(1)。

[0460] [C22] 前記半導体チップ(2)において前記ゲート分割トランジスタ(8)とは異なる領域に形成され、前記ゲート分割トランジスタ(8)を制御する制御回路(11)をさらに含む、C11~C21のいずれか一つに記載の半導体装置(1)。

[0461] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によって限定される。

符号の説明

[0462] 1 半導体装置
2 半導体チップ
3 第1主面
6 第1デバイス領域

- 8 パワートランジスタ（ゲート分割トランジスタ）
- 9 系統トランジスタ
- 10 単位トランジスタ
- 12 ゲート制御回路（制御回路）
- 43 第1トレンチ分離構造
- 44 分離トレンチ
- 45 分離絶縁膜
- 45a 分離絶縁膜の第1部分
- 45b 分離絶縁膜の第2部分
- 46 分離電極
- 51 トレンチゲート構造
- 53 ゲートトレンチ
- 54 上絶縁膜
- 55 下絶縁膜
- 56 上電極
- 57 下電極
- 58 中間絶縁膜
- 80 第1フィールド絶縁膜
- 80a 第1絶縁側壁
- 81 第1隠蔽面
- 82 第1露出面
- 83 第1主面絶縁膜
- 83a 第1主面絶縁膜の第1領域
- 83b 第1主面絶縁膜の第2領域
- 100 C M I S 領域
- 101 第1 M I S 領域
- 104 第2トレンチ分離構造
- 120 第2フィールド絶縁膜

1 2 0 a	第2絶縁側壁
1 3 1	第2隠蔽面
1 3 2	第2露出面
1 3 3	第2主面絶縁膜
1 3 3 a	第2主面絶縁膜の第1領域
1 3 3 b	第2主面絶縁膜の第2領域
1 3 4	第2ゲート電極（電極）
1 5 3	第2MIS領域
1 5 4	第3トレンチ分離構造
1 7 0	第3フィールド絶縁膜
1 7 0 a	第3絶縁側壁
1 8 1	第3隠蔽面
1 8 2	第3露出面
1 8 3	第3主面絶縁膜
1 8 3 a	第1領域
1 8 3 b	第2領域
1 8 4	第2ゲート電極（電極）
I O U T	出力電流（出力信号）
T F 1	第1フィールド厚さ
T F 2	第2フィールド厚さ
T F 3	第3フィールド厚さ
T I 1	第1分離厚さ
T I 2	第2分離厚さ
T M I 1	第1絶縁厚さ
T M I 2	第2絶縁厚さ
T M I 3	第3絶縁厚さ
θ 1	第1傾斜角度
θ 2	第2傾斜角度

θ_3 第3傾斜角度

請求の範囲

- [請求項1] 主面を有する半導体チップと、
前記主面を部分的に被覆し、前記主面との間で成す傾斜角度が 20° 以上 40° 以下である絶縁側壁を有するフィールド絶縁膜と、を含む、半導体装置。
- [請求項2] 前記主面において前記フィールド絶縁膜で被覆された部分に形成された隠蔽面と、
前記主面において前記フィールド絶縁膜から露出する部分に前記隠蔽面から前記半導体チップの厚さ方向に窪んで形成された露出面と、をさらに含む、請求項1に記載の半導体装置。
- [請求項3] 前記フィールド絶縁膜の厚さ未満の厚さを有し、前記露出面を被覆する主面絶縁膜をさらに含む、請求項2に記載の半導体装置。
- [請求項4] 前記主面絶縁膜は、前記フィールド絶縁膜の前記絶縁側壁に連なっている、請求項3に記載の半導体装置。
- [請求項5] 前記主面絶縁膜は、前記隠蔽面に対して前記半導体チップ側に位置する第1領域、および、前記隠蔽面に対して前記半導体チップとは反対側に位置する第2領域を含む、請求項3または4に記載の半導体装置。
- [請求項6] 前記主面絶縁膜は、前記フィールド絶縁膜の厚さ方向中間部から間隔を空けて前記半導体チップ側に形成されている、請求項3～5のいずれか一項に記載の半導体装置。
- [請求項7] 前記主面絶縁膜は、前記フィールド絶縁膜の5分の1以下の厚さを有している、請求項3～6のいずれか一項に記載の半導体装置。
- [請求項8] 前記主面絶縁膜を被覆する主面電極をさらに含む、請求項3～7のいずれか一項に記載の半導体装置。
- [請求項9] 前記主面電極は、前記主面絶縁膜の上から前記絶縁側壁を通して前記フィールド絶縁膜の上に引き出されている、請求項8に記載の半導体装置。

- [請求項10] 前記主面に形成された分離トレンチ、前記分離トレンチの内壁を被覆する分離絶縁膜、および、前記分離絶縁膜を挟んで前記分離トレンチに埋設された分離電極を含み、前記主面にデバイス領域を区画するトレンチ分離構造をさらに含み、
- 前記フィールド絶縁膜は、前記デバイス領域において前記主面を被覆している、請求項1～9のいずれか一項に記載の半導体装置。
- [請求項11] 前記フィールド絶縁膜は、前記分離絶縁膜に連なっている、請求項10に記載の半導体装置。
- [請求項12] 前記分離絶縁膜は、前記分離トレンチの側壁を被覆する第1部分、および、前記分離トレンチの底壁を被覆する第2部分を含み、
- 前記フィールド絶縁膜は、前記第2部分の厚さを超える厚さを有している、請求項10または11に記載の半導体装置。
- [請求項13] 前記フィールド絶縁膜は、平面視において一方方向に延びる第1辺、および、前記一方方向に交差する交差方向に延びる第2辺を有し、
- 前記絶縁側壁は、前記フィールド絶縁膜の前記第1辺および前記第2辺に形成されている、請求項1～12のいずれか一項に記載の半導体装置。
- [請求項14] 前記フィールド絶縁膜は、前記半導体チップの酸化物を含む、請求項1～13のいずれか一項に記載の半導体装置。
- [請求項15] 主面を有する半導体チップと、
- 前記主面に形成された分離トレンチ、前記分離トレンチの内壁を被覆する分離絶縁膜、および、前記分離絶縁膜を挟んで前記分離トレンチに埋設された分離電極を含み、前記主面にデバイス領域を区画するトレンチ分離構造と、
- 前記デバイス領域において前記主面に形成された機能デバイスと、
- 前記デバイス領域において前記機能デバイスから間隔を空けて前記主面を部分的に被覆し、前記主面との間で成す傾斜角度が 20° 以上 40° 以下である絶縁側壁を有するフィールド絶縁膜と、を含む、半

導体装置。

[請求項16] 前記フィールド絶縁膜は、前記分離絶縁膜に連なっている、請求項15に記載の半導体装置。

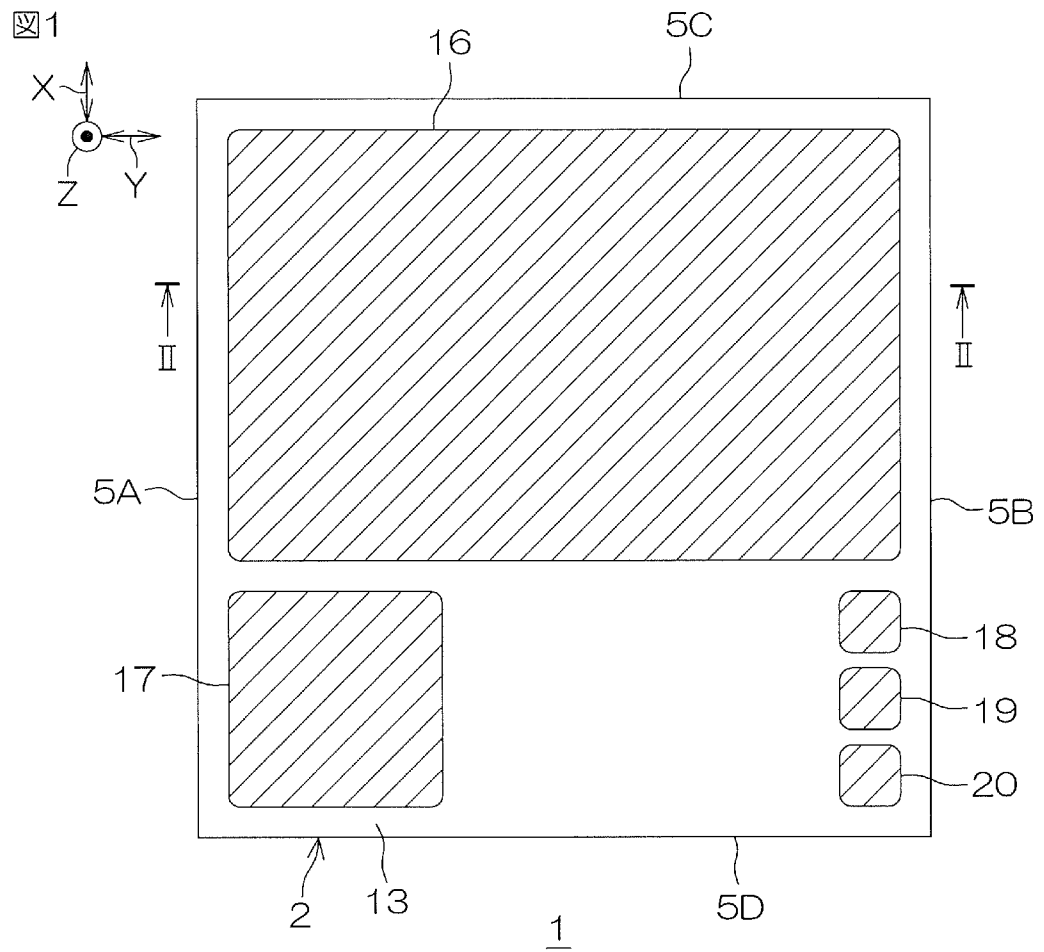
[請求項17] 前記機能デバイスは、前記主面に形成されたゲートトレンチ、絶縁体によって上下方向に絶縁分離されるように前記ゲートトレンチ内に埋設された上電極および下電極を有するトレンチゲート構造を含み、
前記フィールド絶縁膜は、前記トレンチゲート構造から間隔を空けて形成されている、請求項15または16に記載の半導体装置。

[請求項18] 前記機能デバイスは、複数の前記トレンチゲート構造をそれぞれ含む複数の単位トランジスタを含む、請求項17に記載の半導体装置。

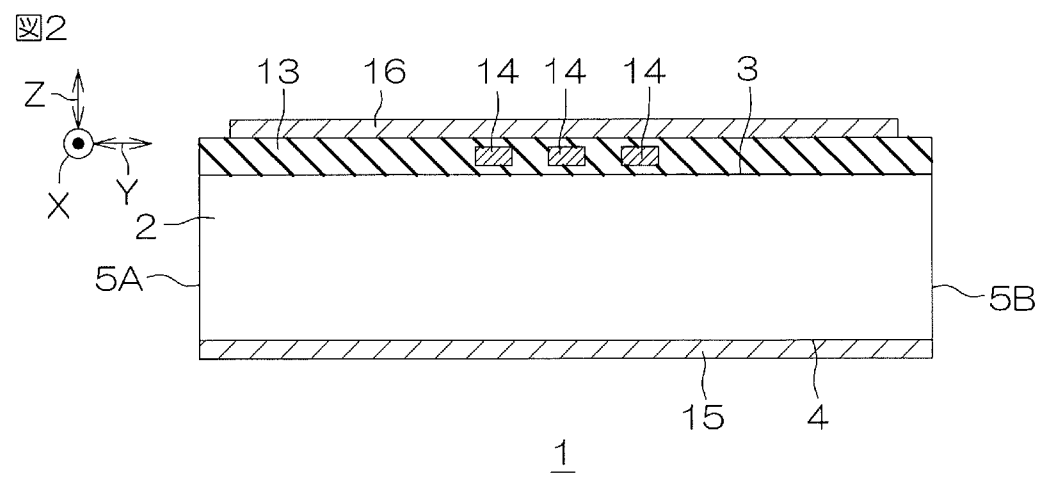
[請求項19] 前記機能デバイスは、個別制御対象として系統化された1つまたは複数の前記単位トランジスタによってそれぞれ構成された n 個（ $n \geq 2$ ）の系統トランジスタを含み、 n 個の前記系統トランジスタの選択制御によって単一の出力信号を生成する n 系統のゲート分割トランジスタを含む、請求項18に記載の半導体装置。

[請求項20] 前記主面において前記デバイス領域とは異なる領域に形成され、 n 個の前記系統トランジスタを個別制御する制御回路をさらに含む、請求項19に記載の半導体装置。

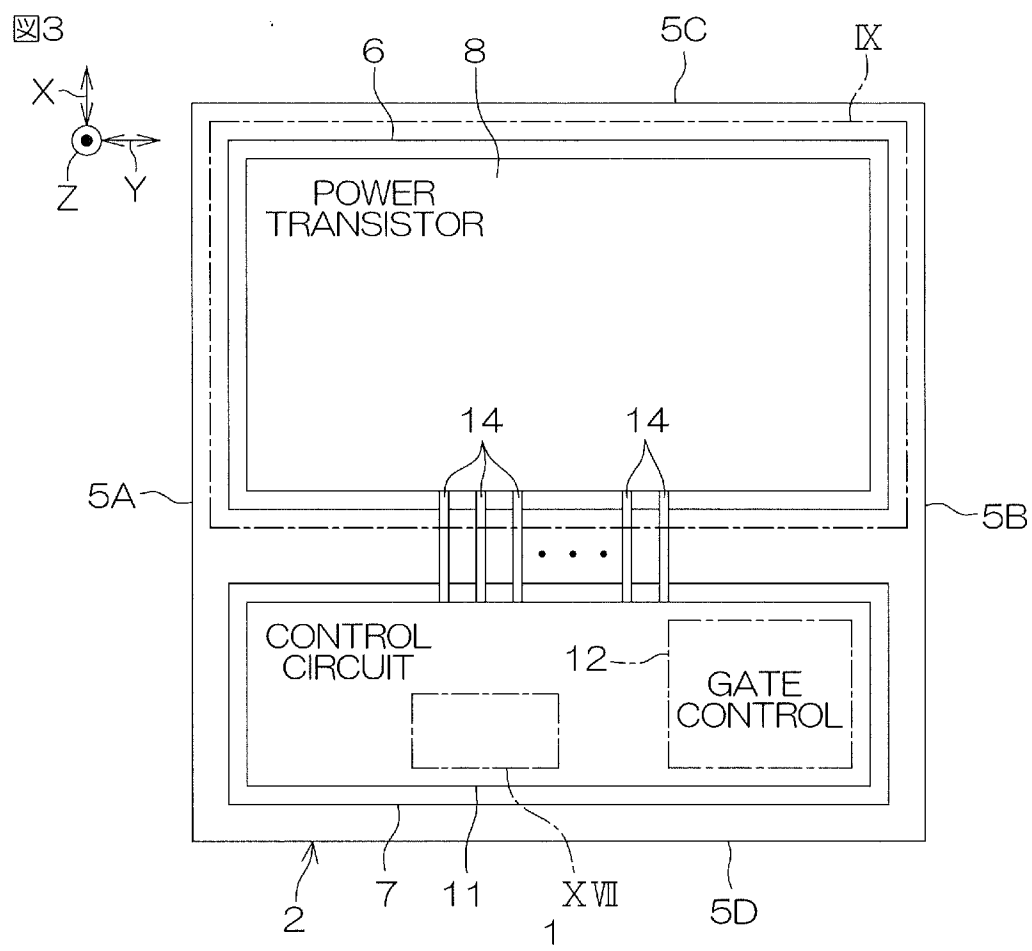
[図1]



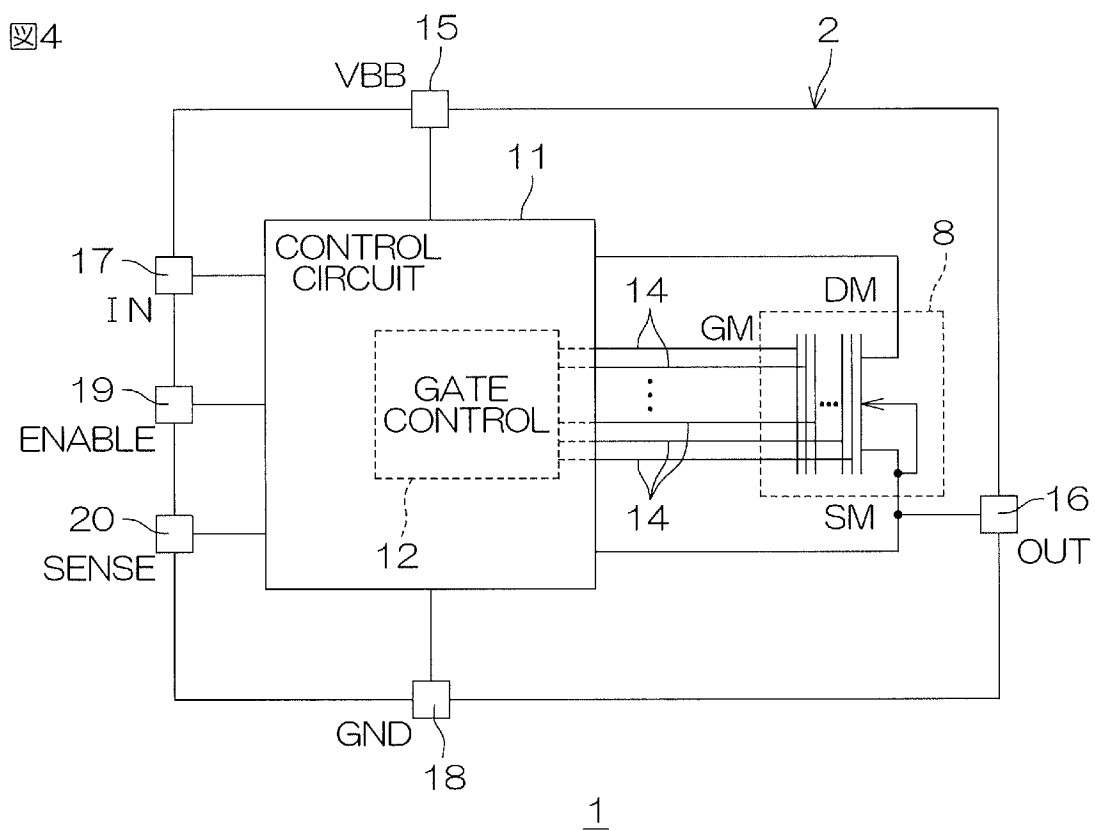
[図2]



[図3]

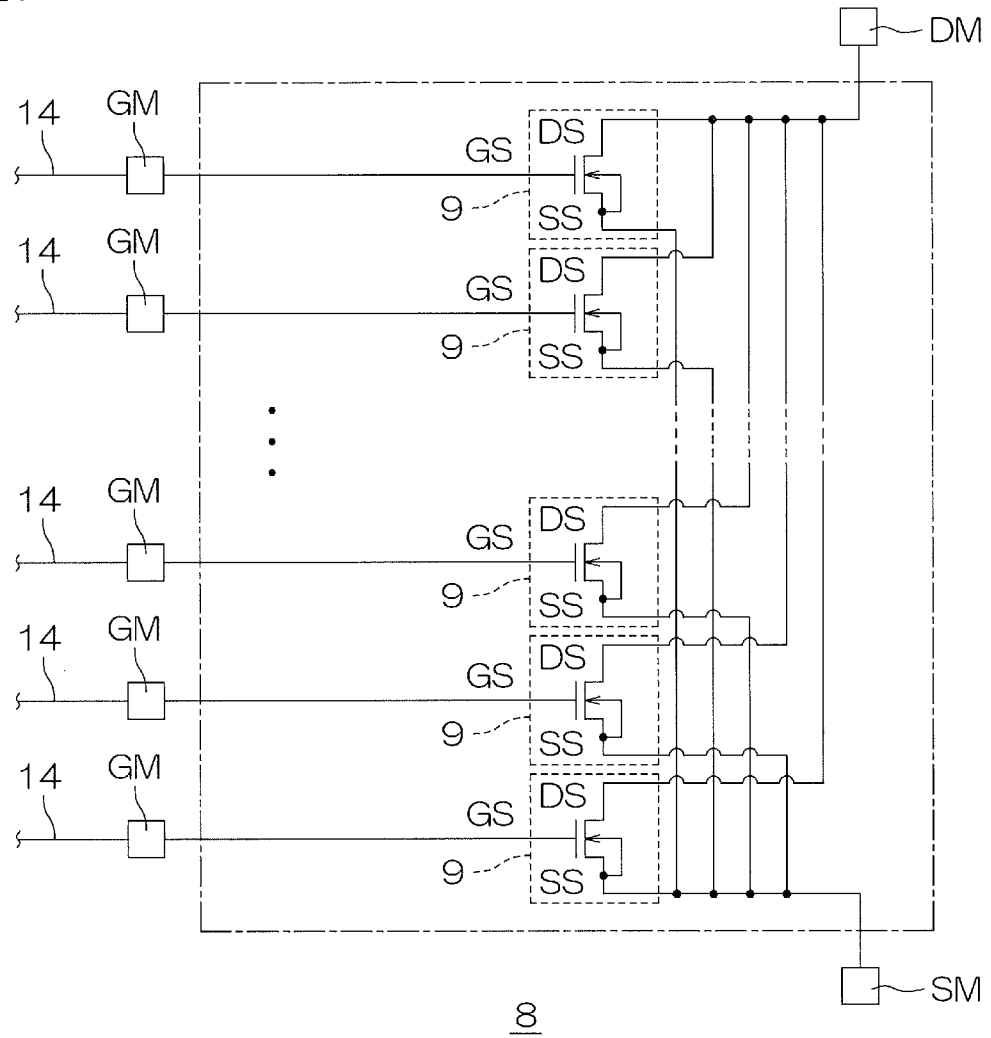


[図4]



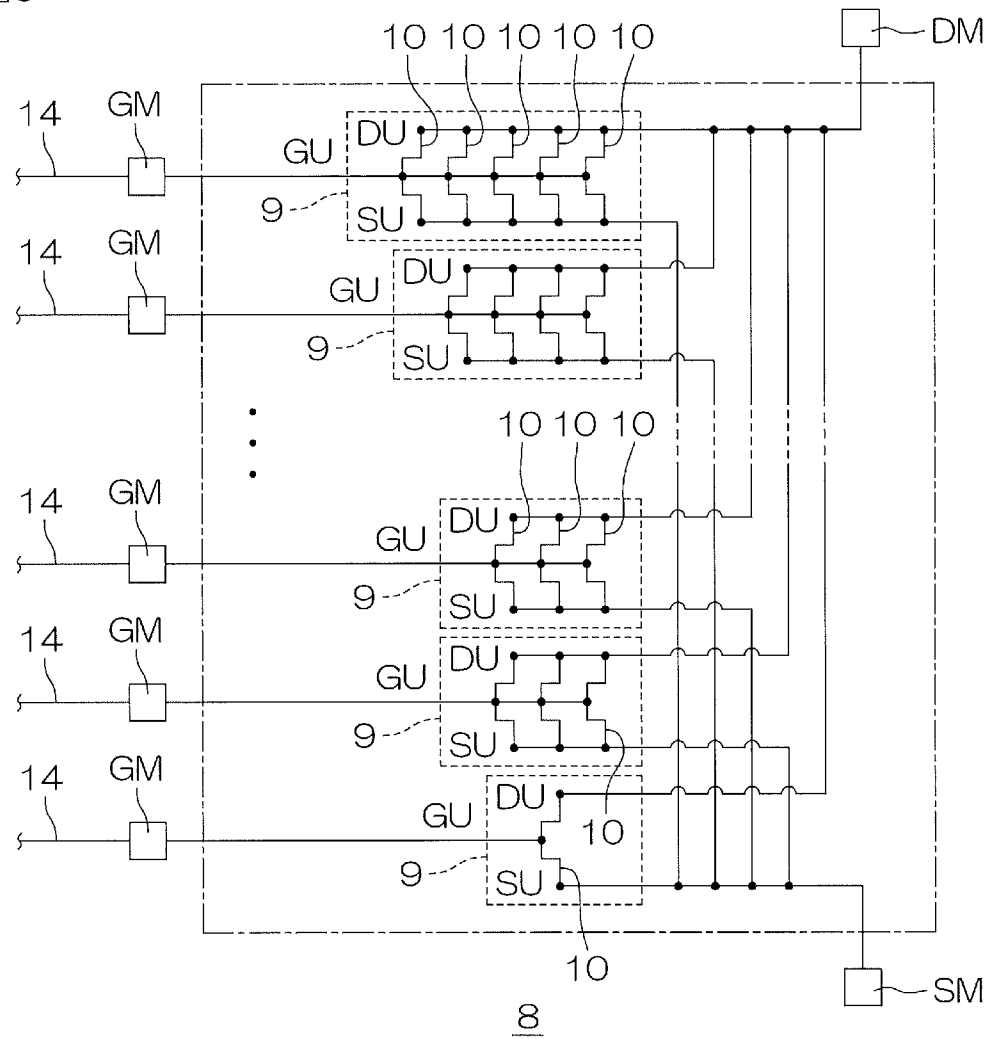
[図5]

図5

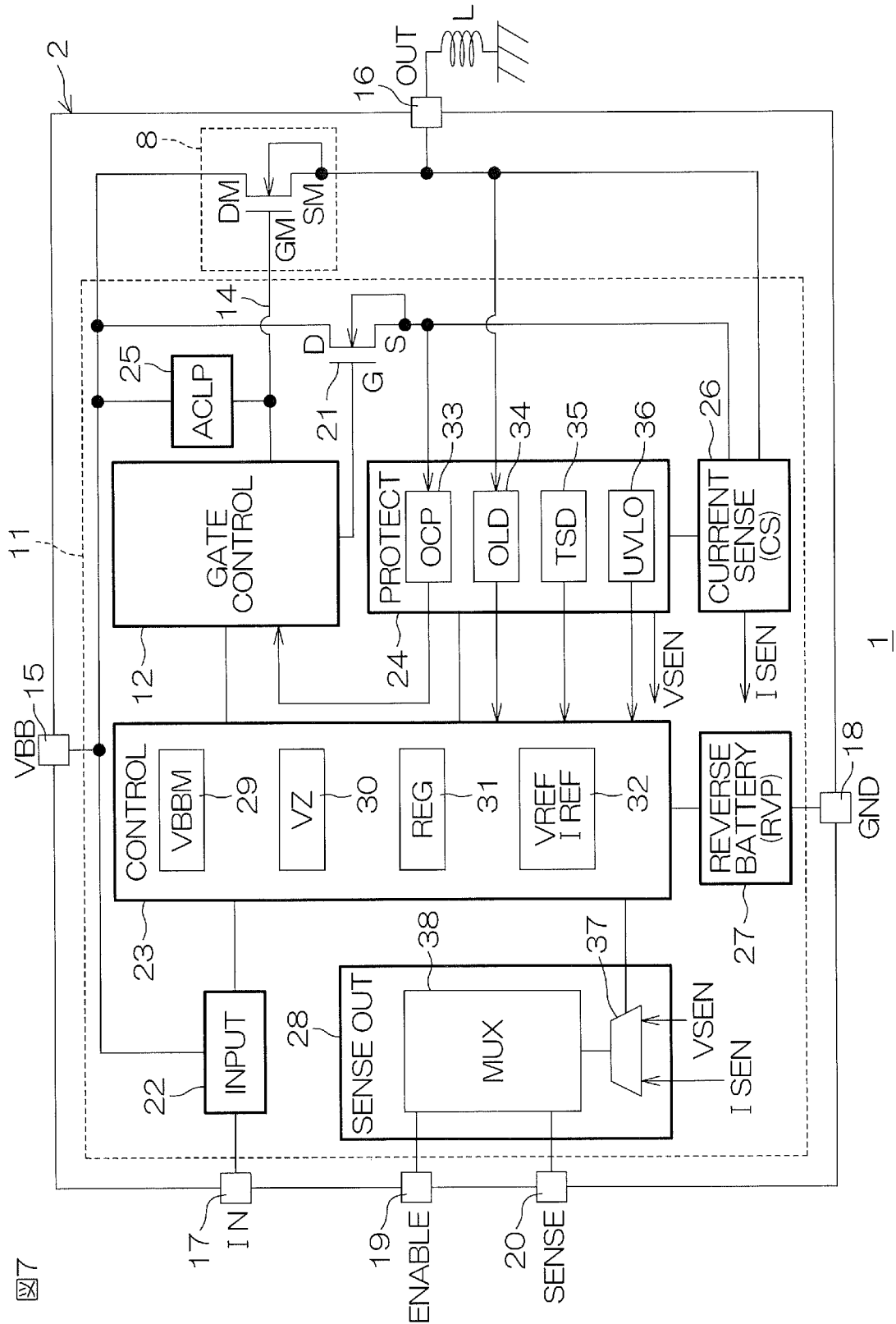


[図6]

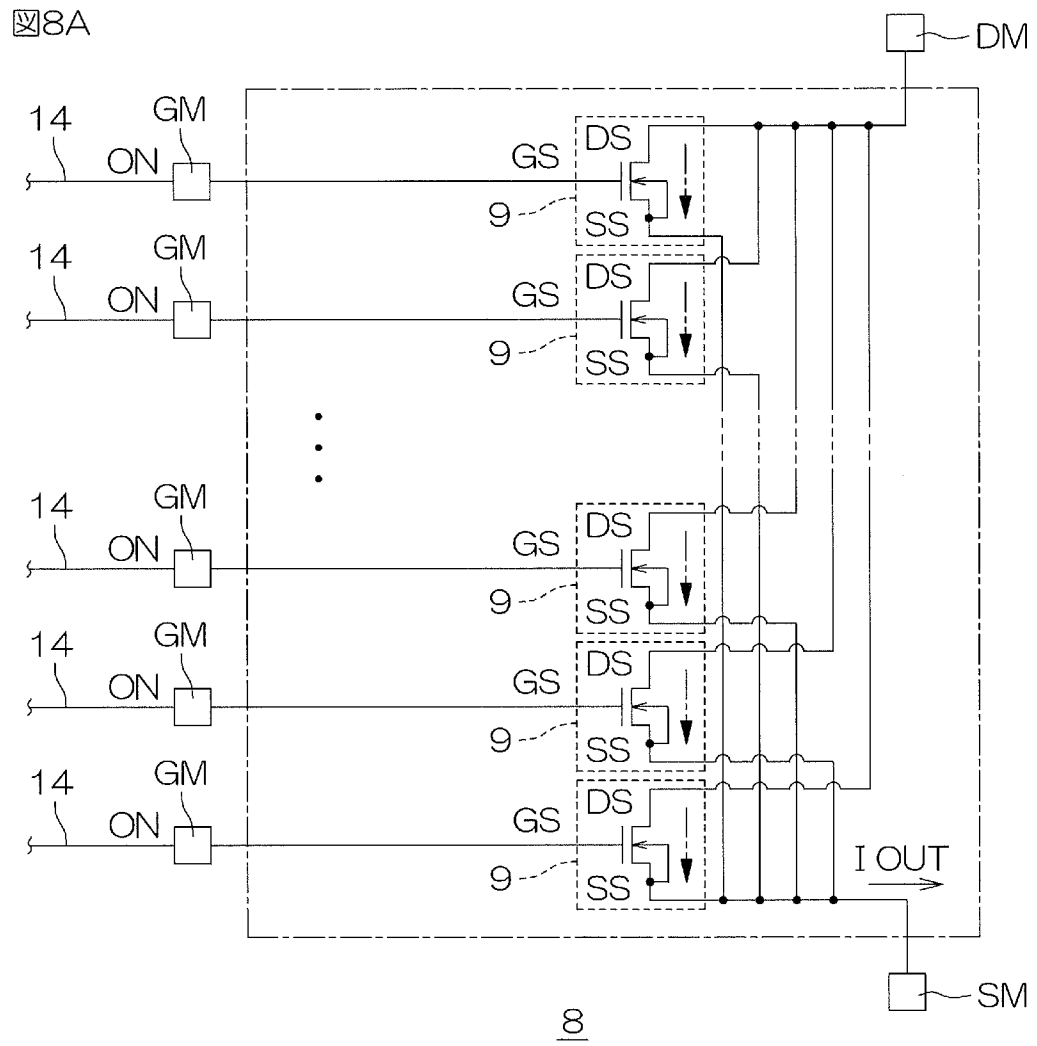
図6



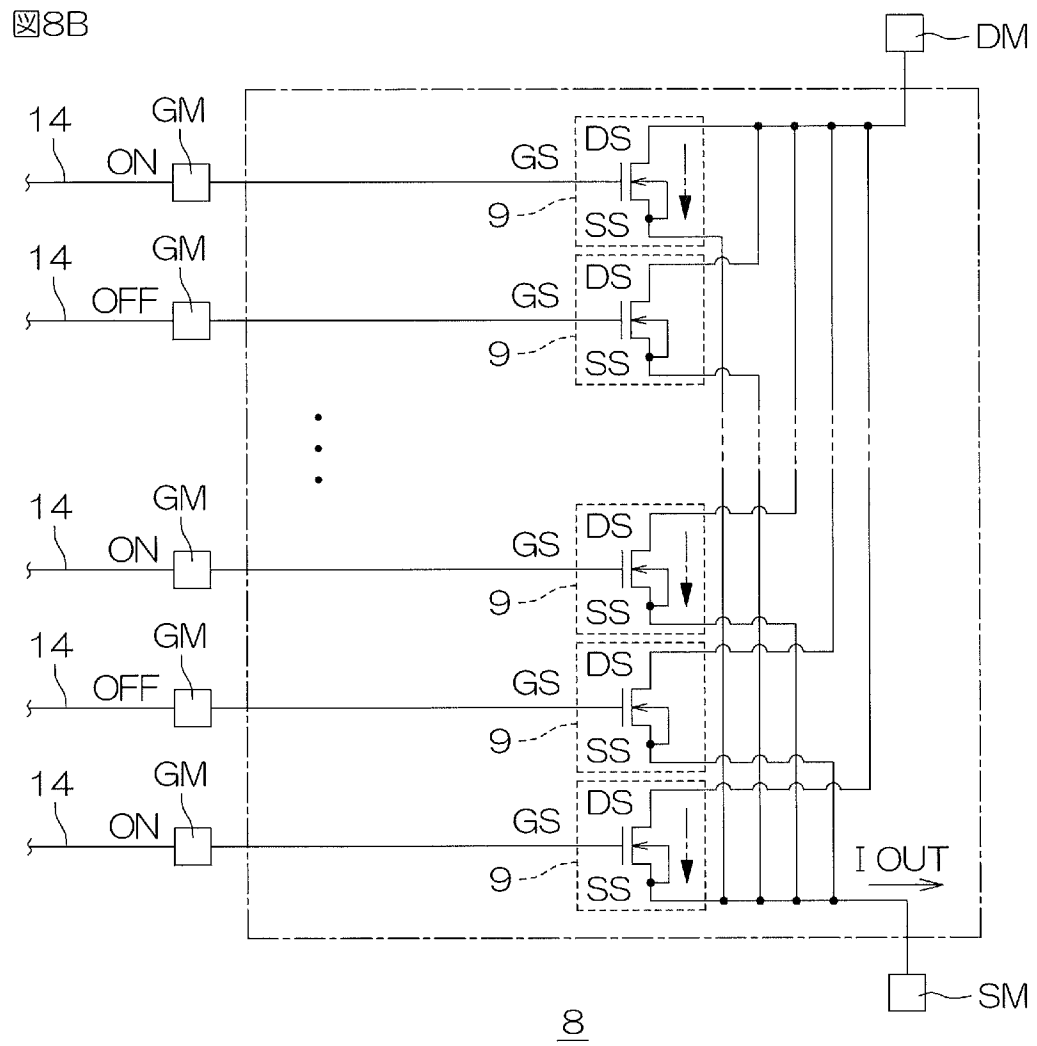
[図7]



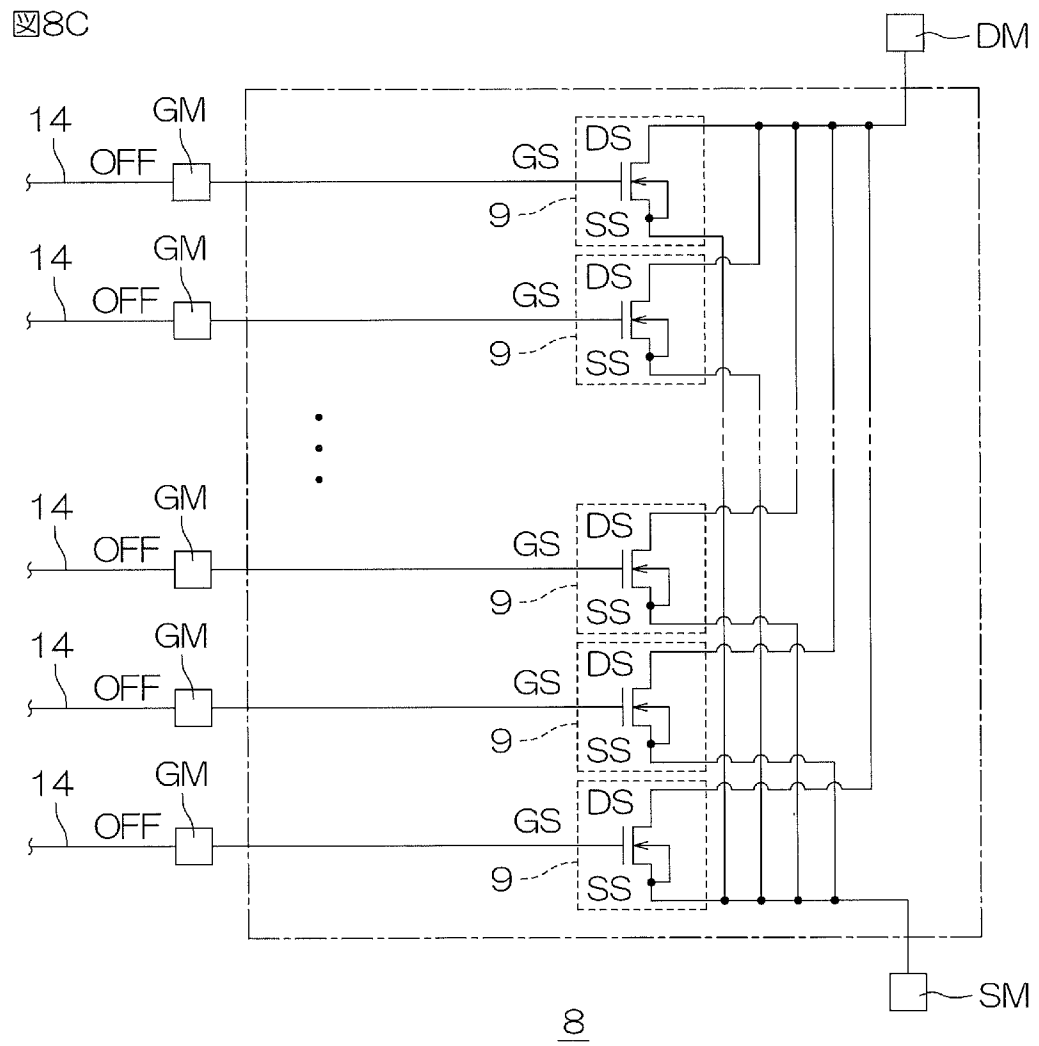
[図8A]



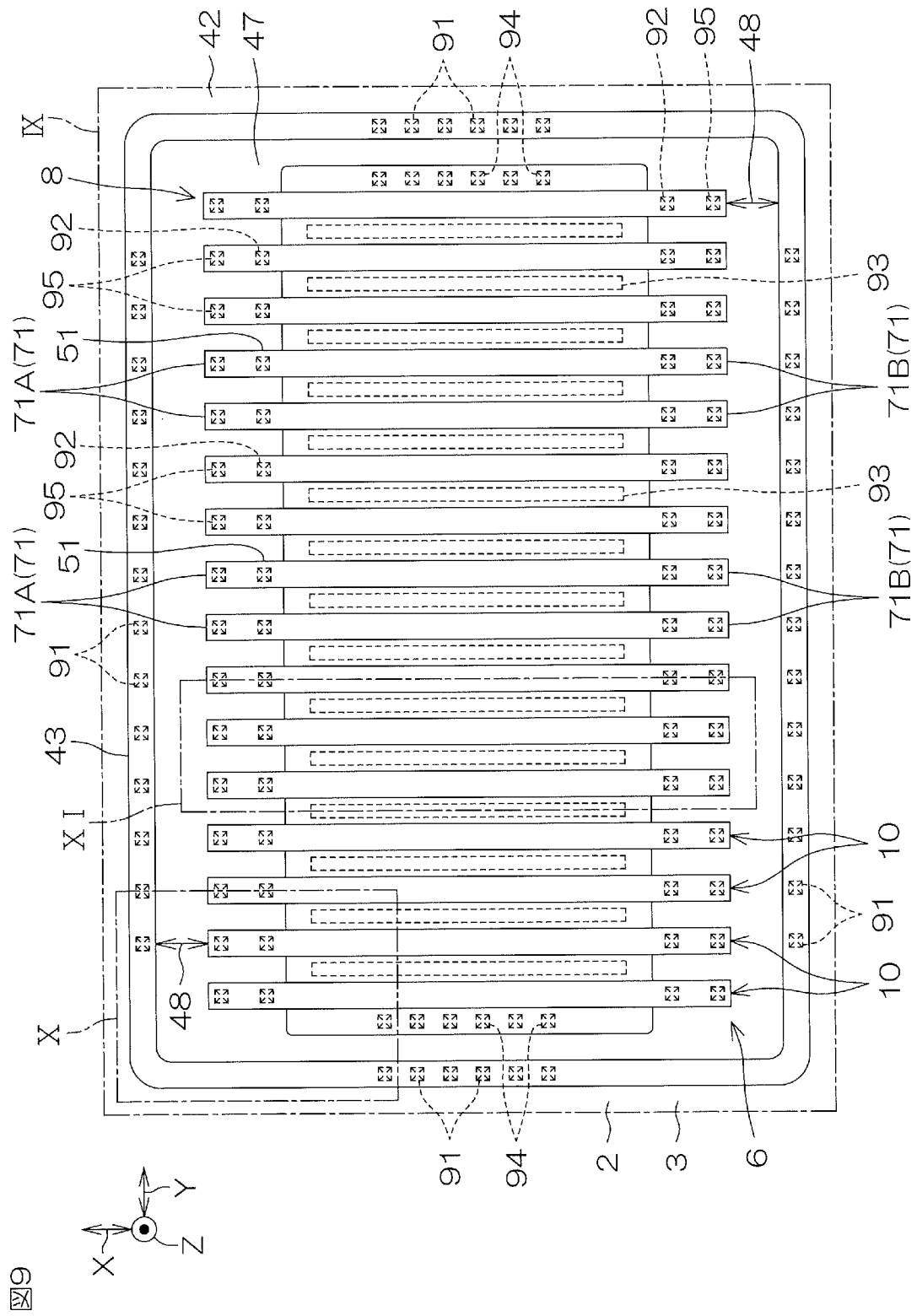
[図8B]



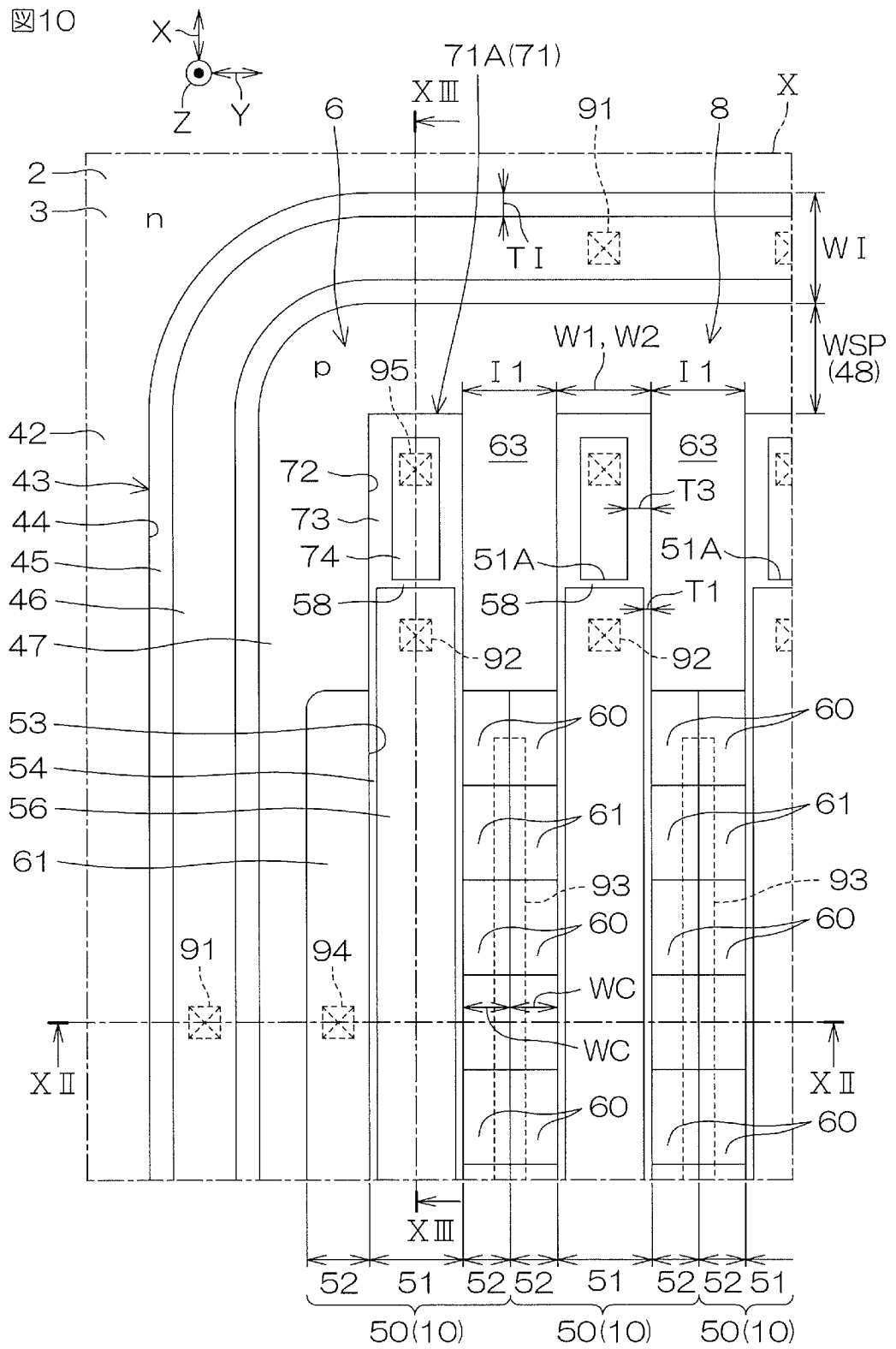
[図8C]



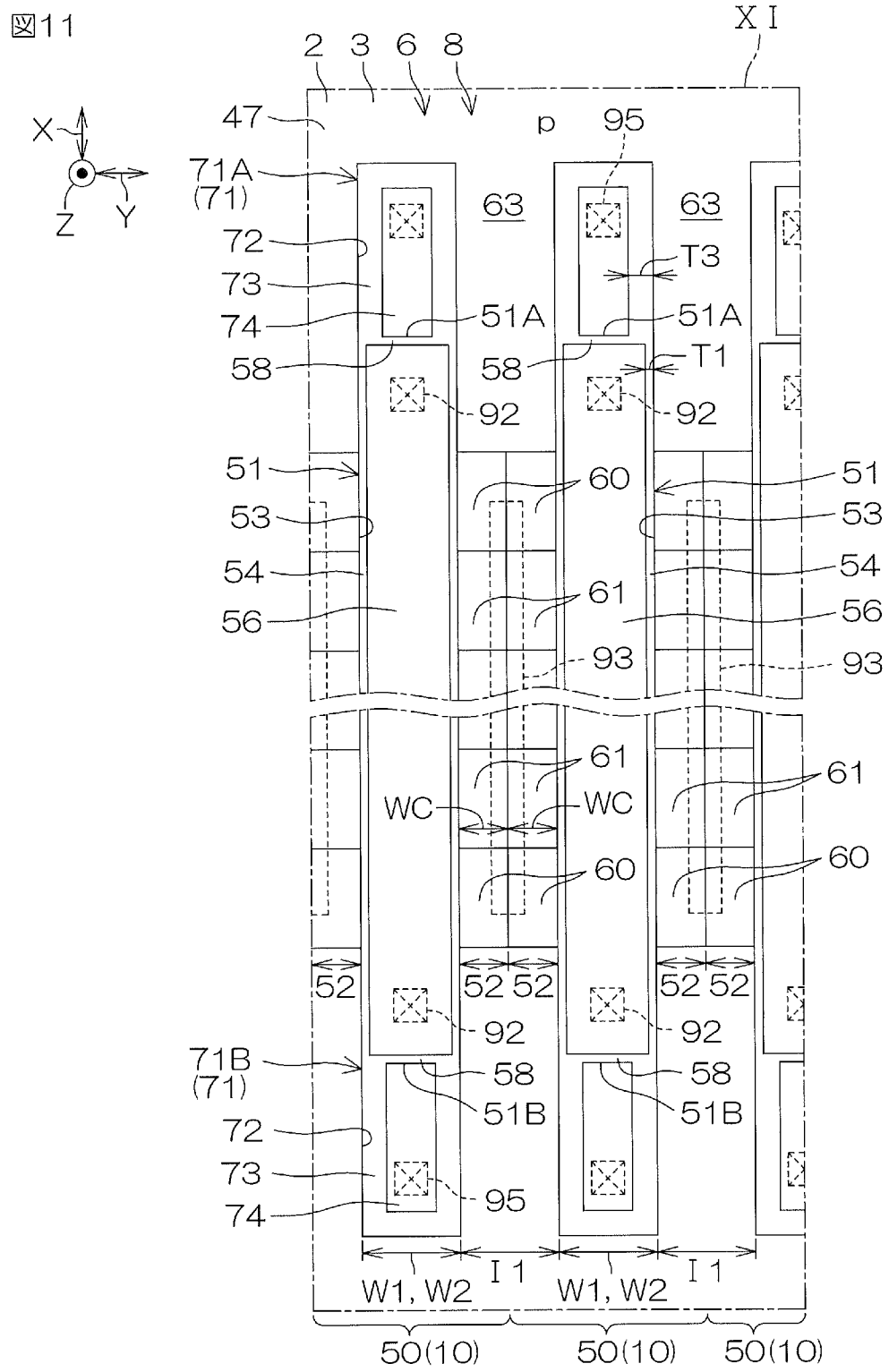
[図9]



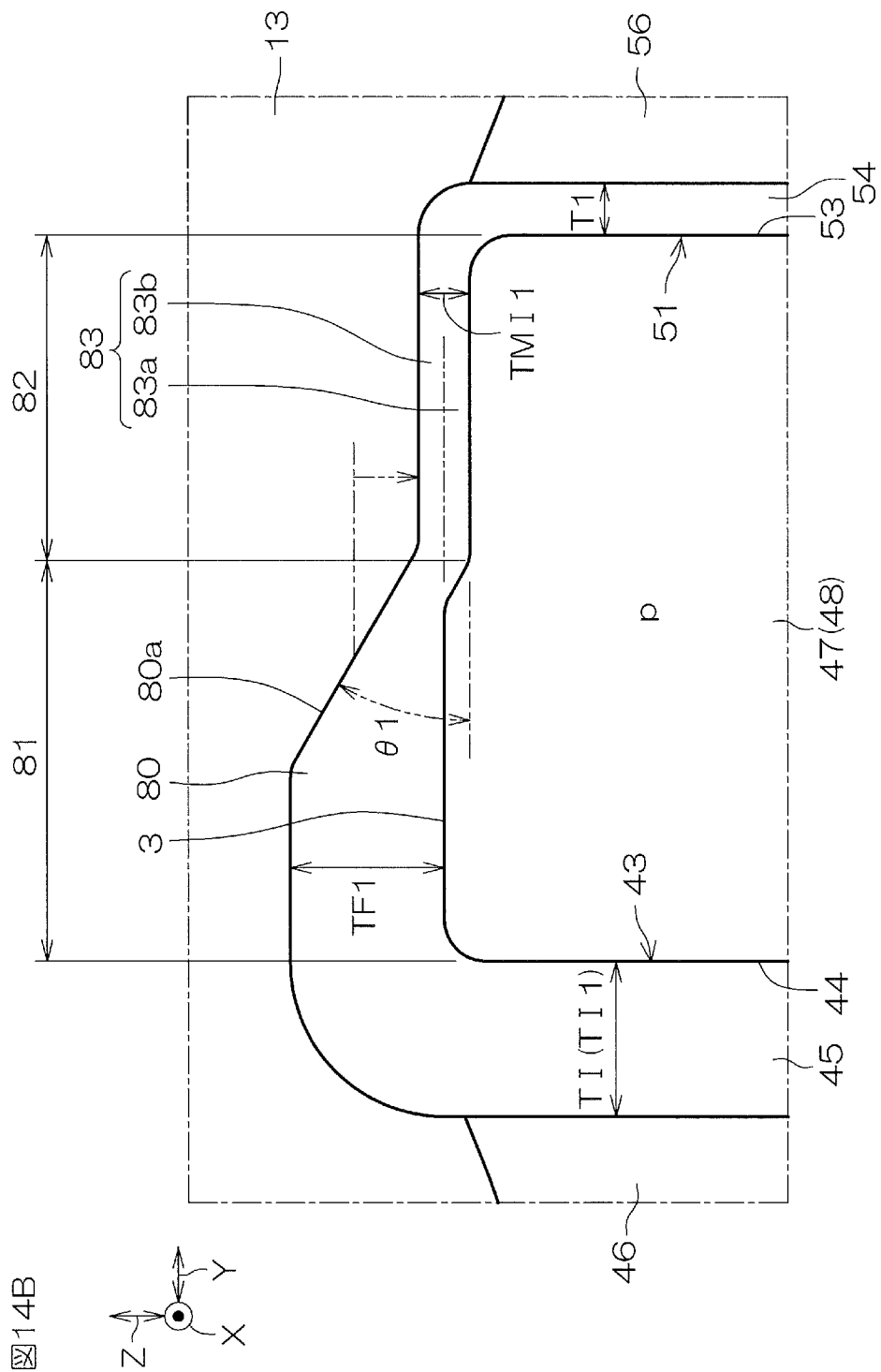
[図10]



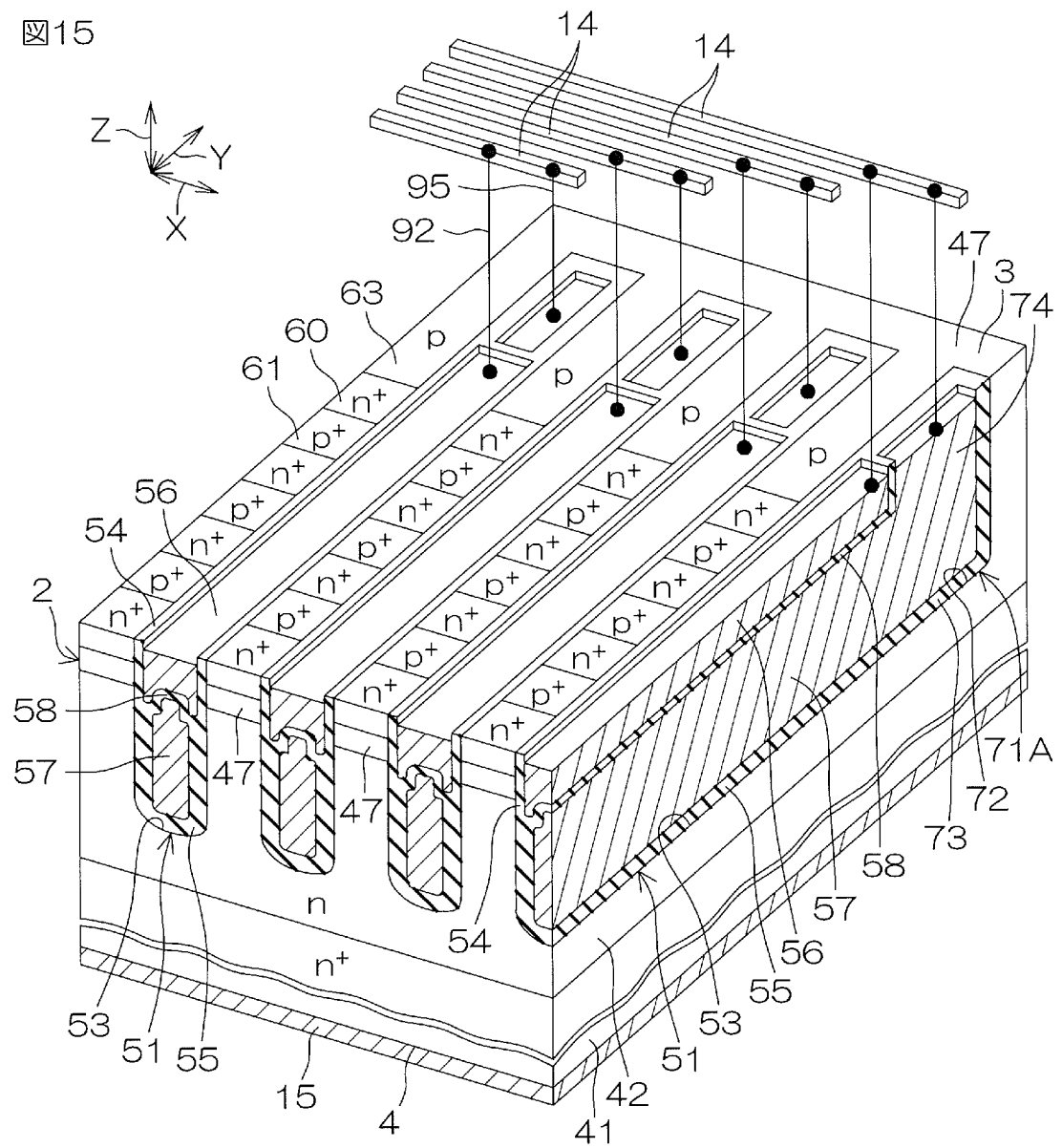
[図11]



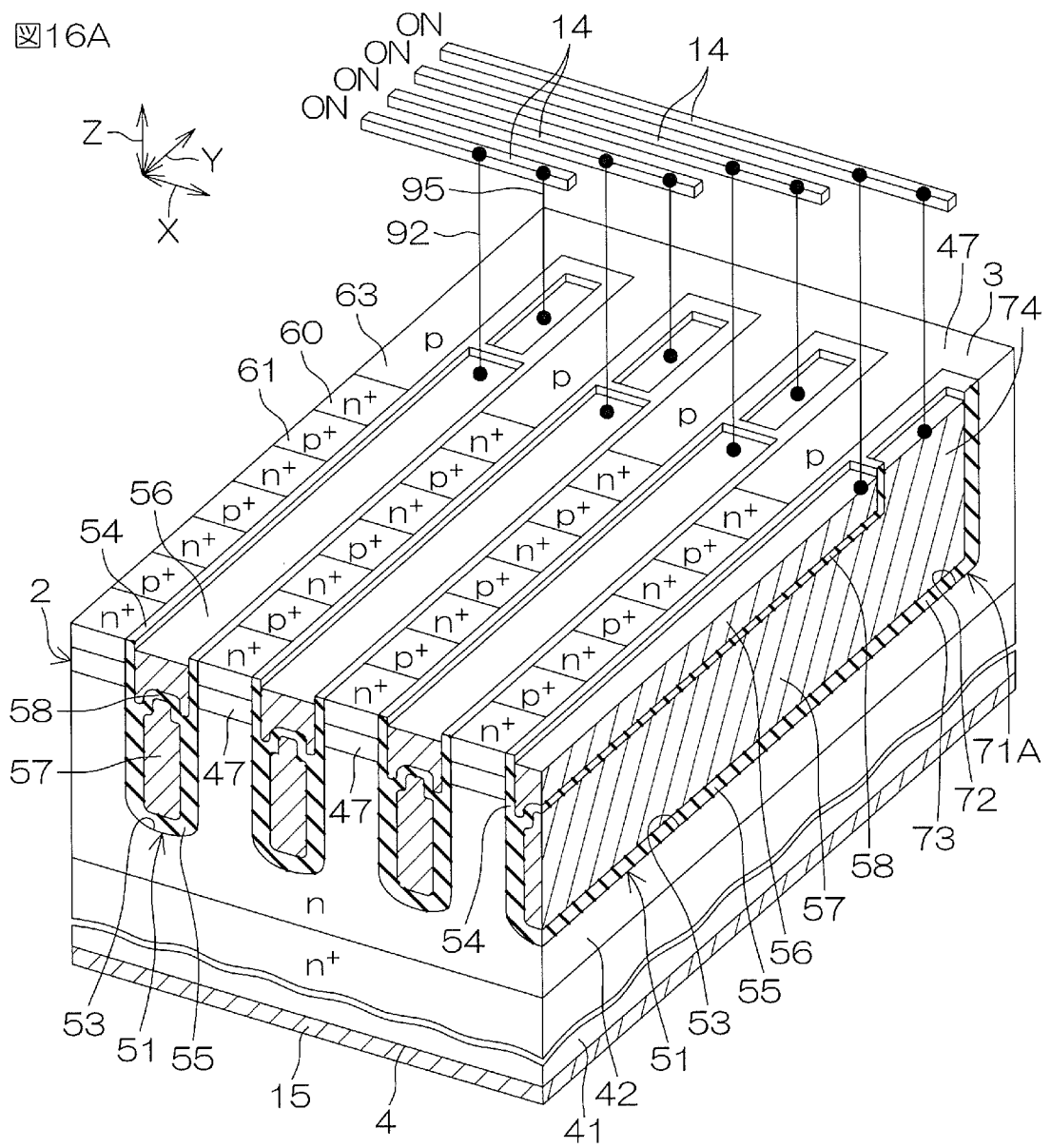
14B ㊦



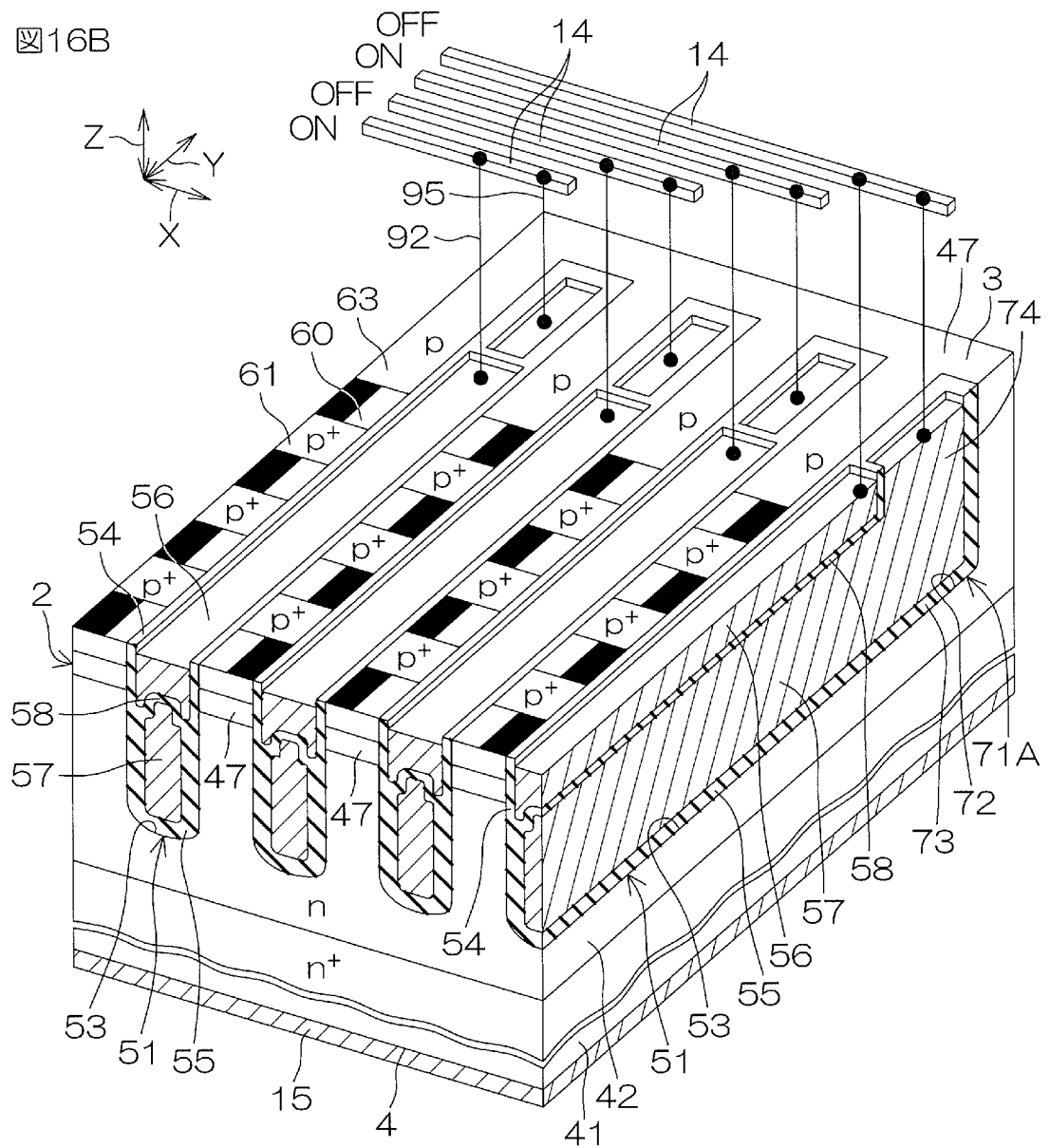
[図15]



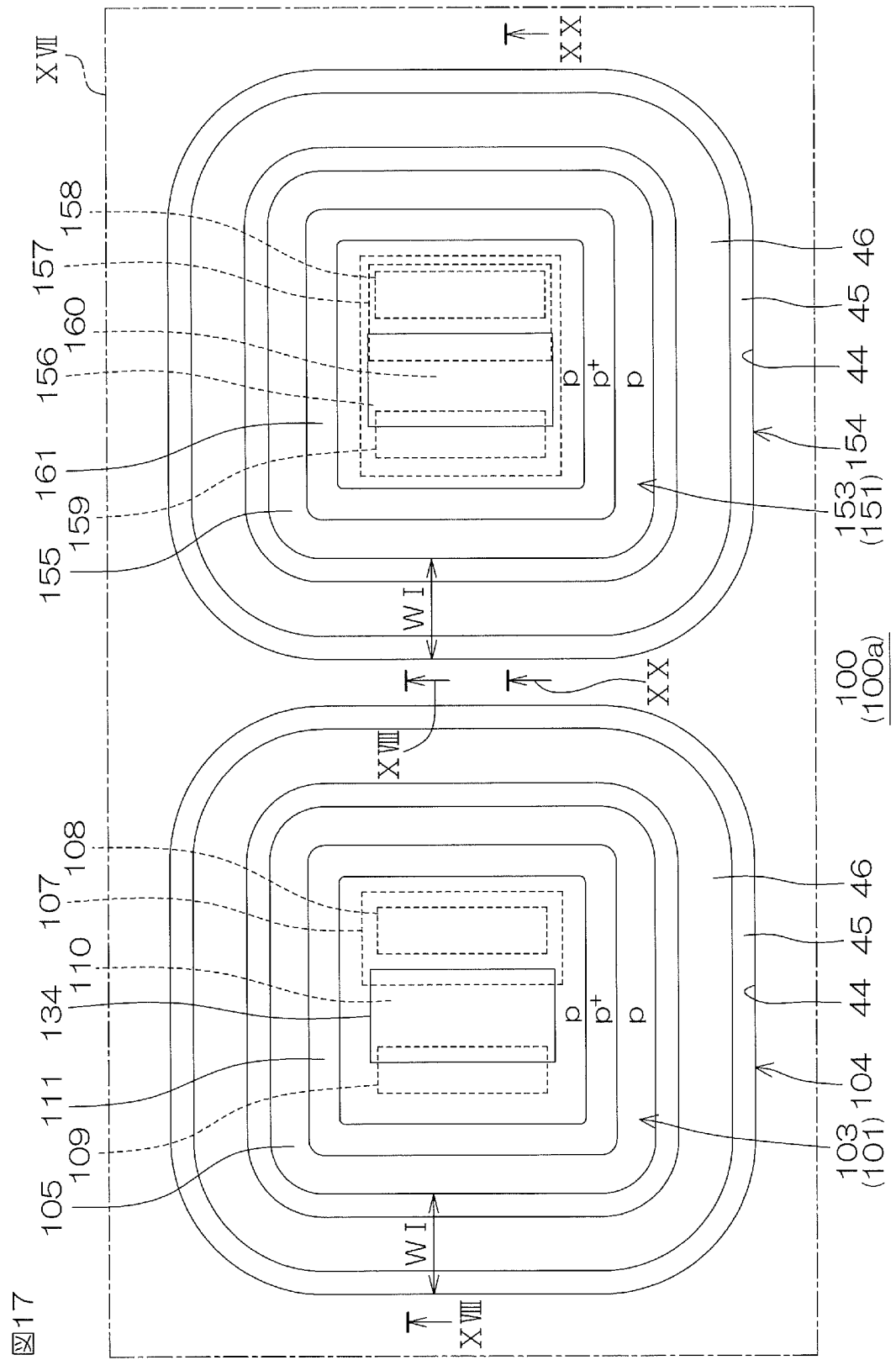
[図16A]



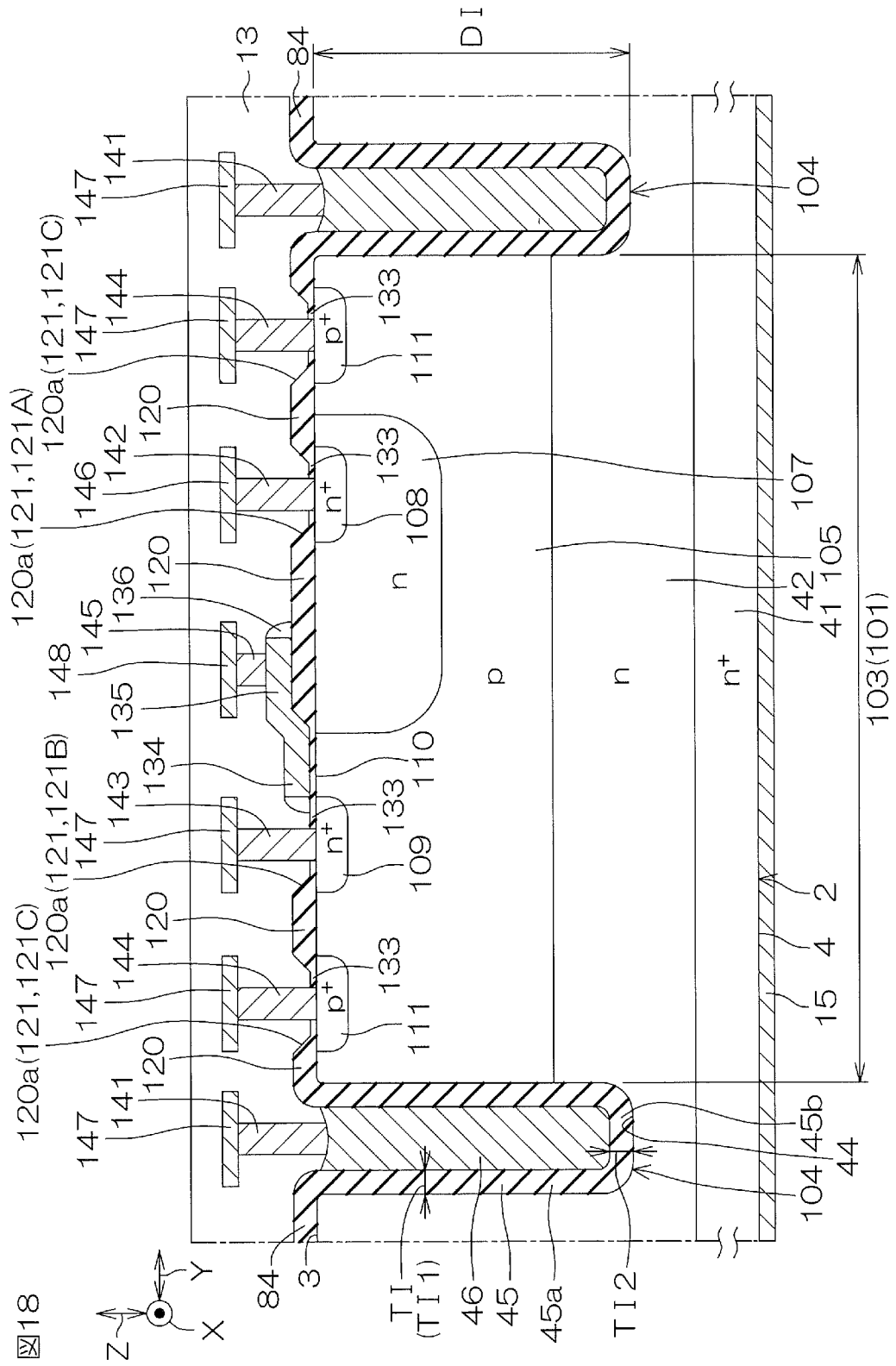
[図16B]



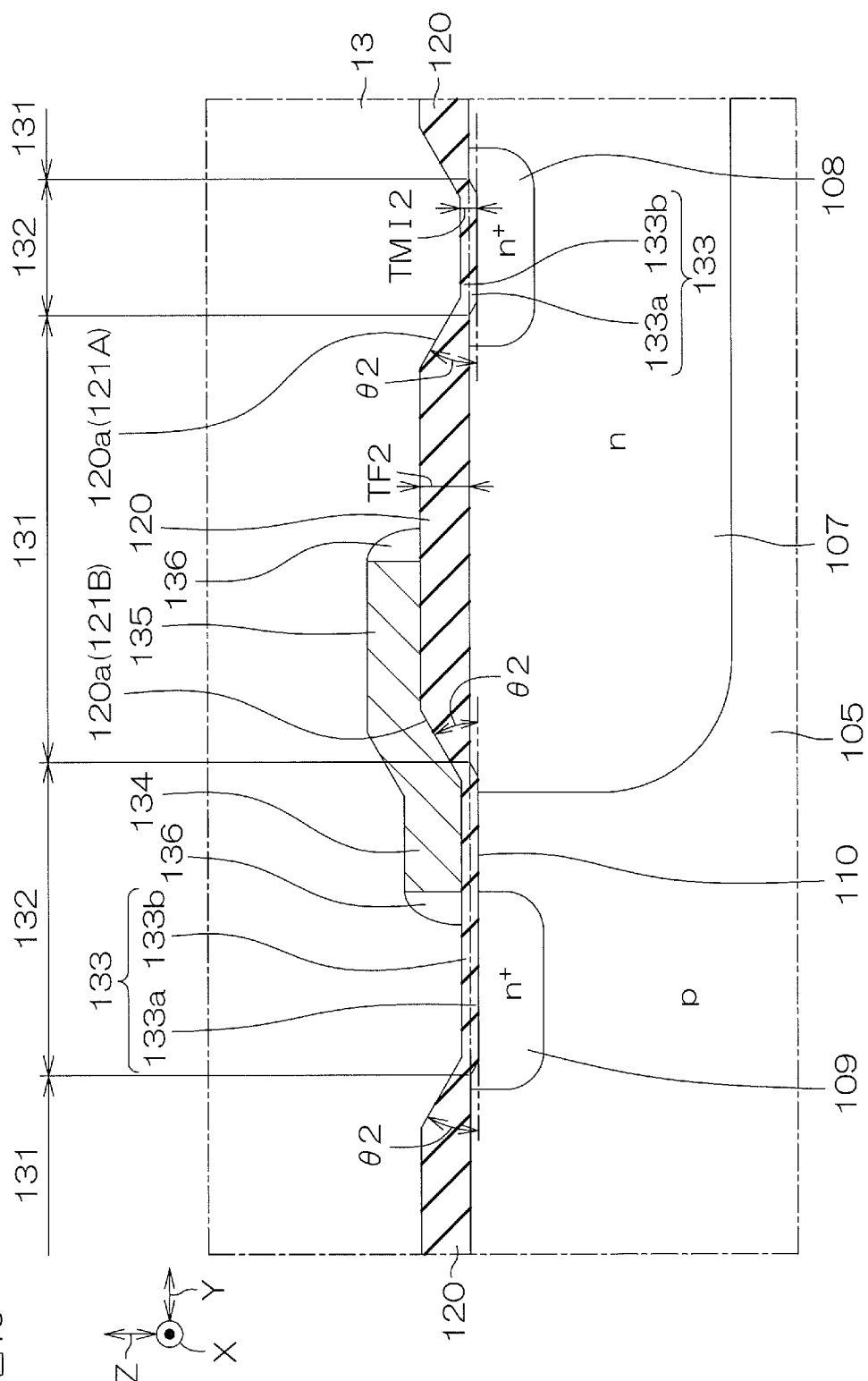
[図17]



[図18]

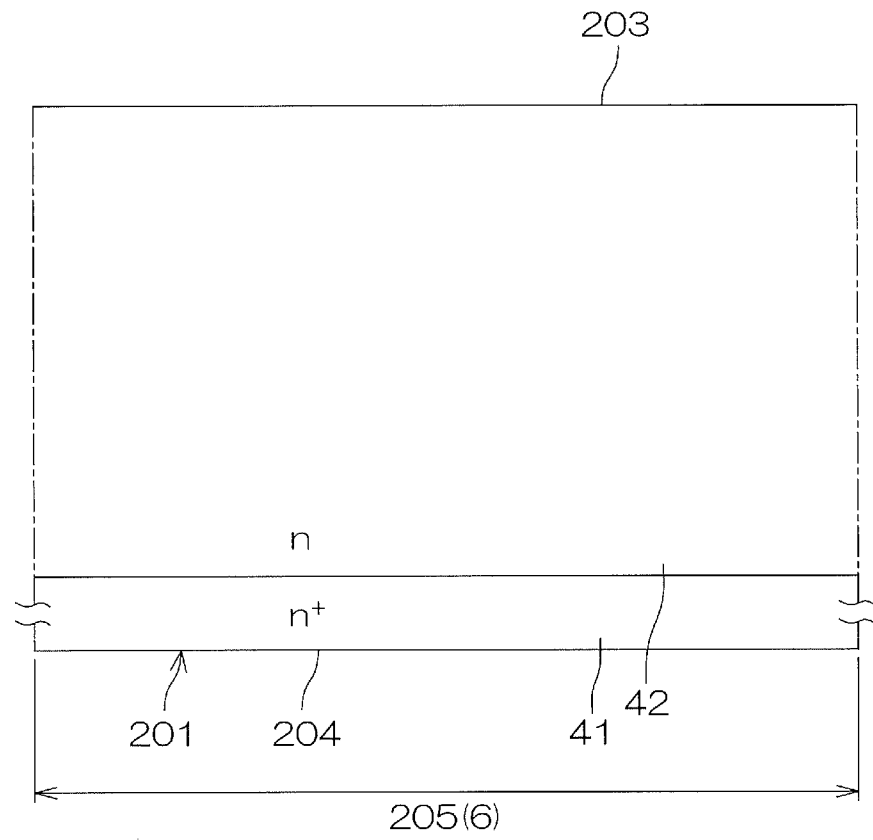
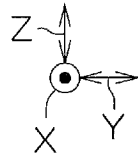


91X



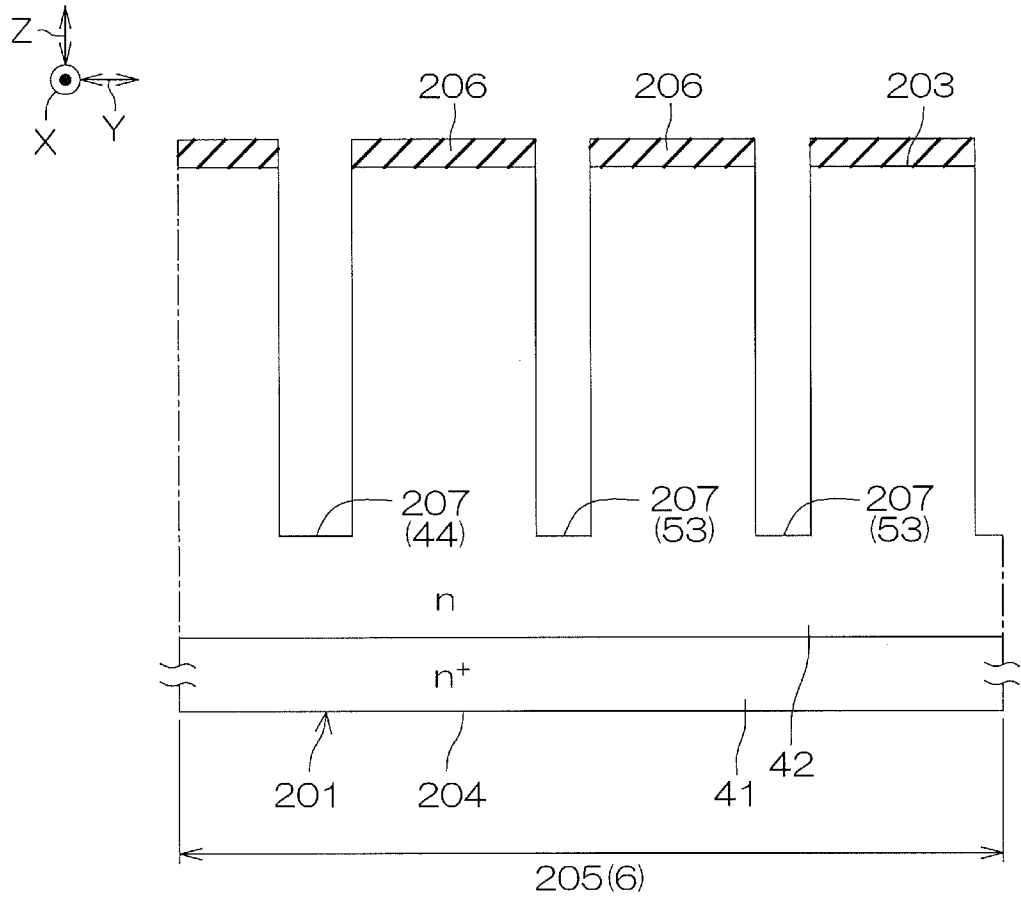
[図22A]

図22A



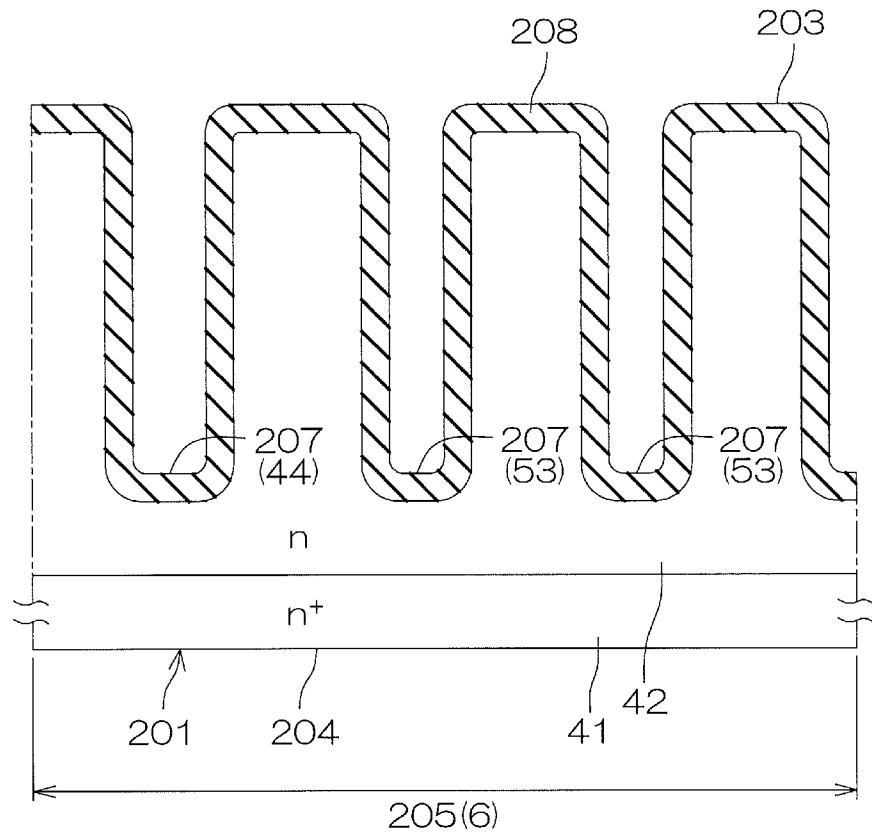
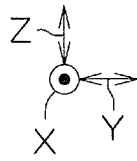
[図22B]

図22B



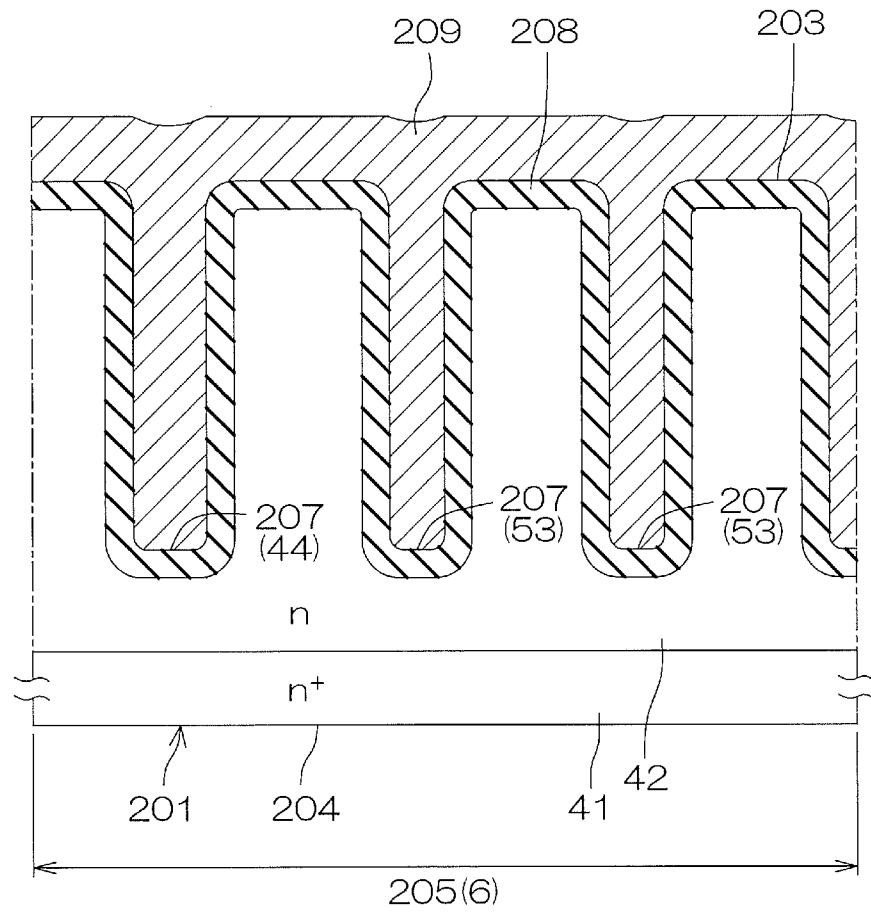
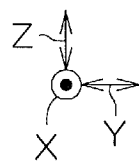
[図22C]

図22C



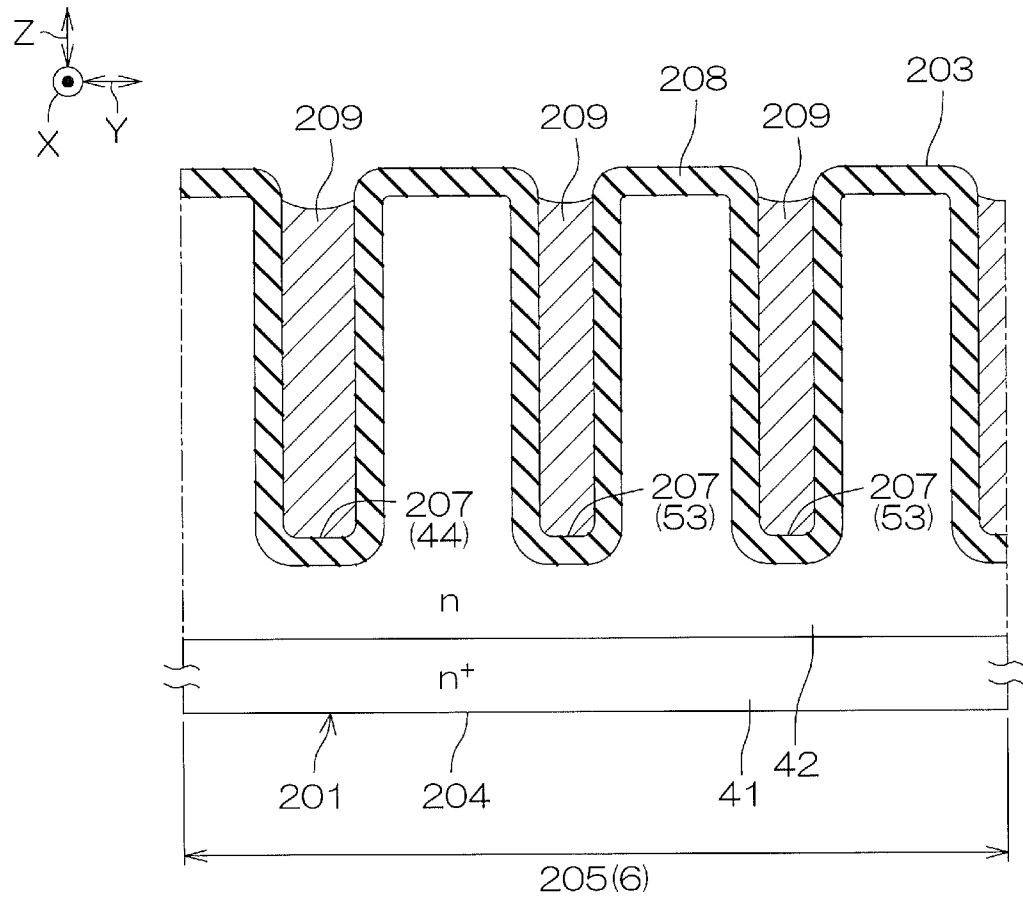
[図22D]

図22D



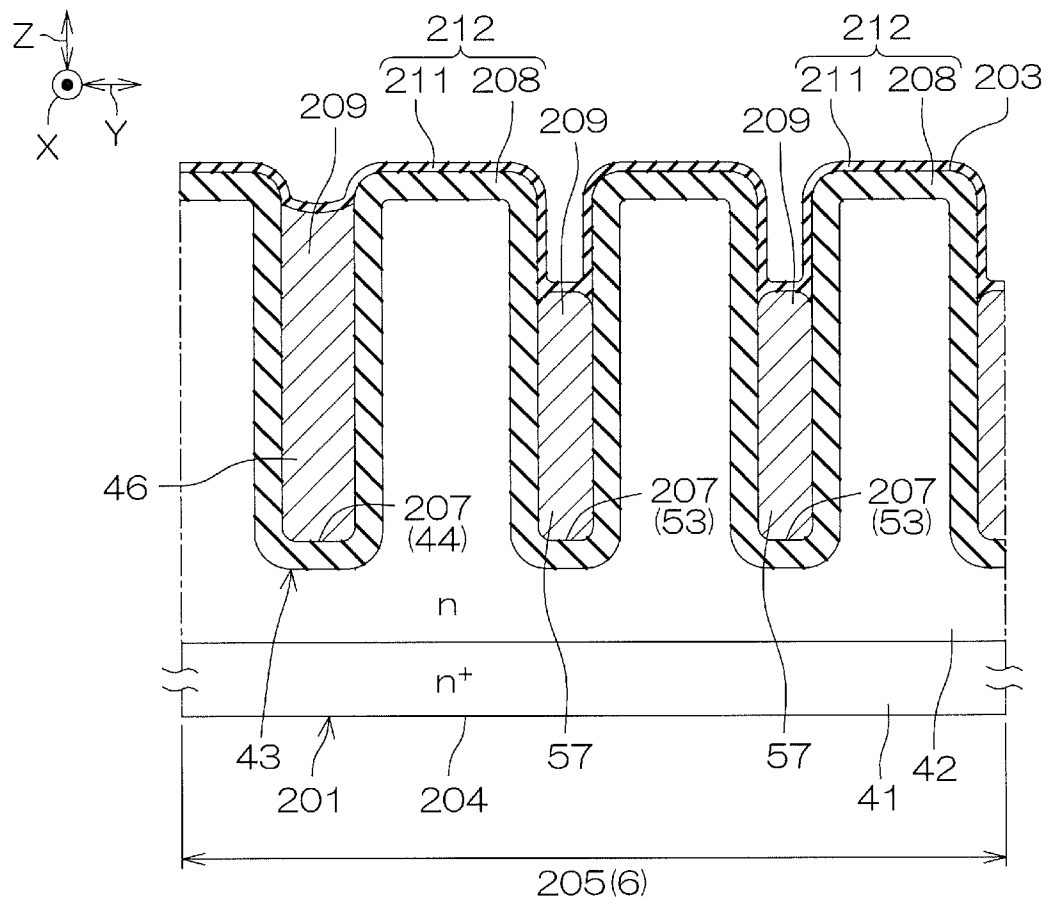
[図22E]

図22E



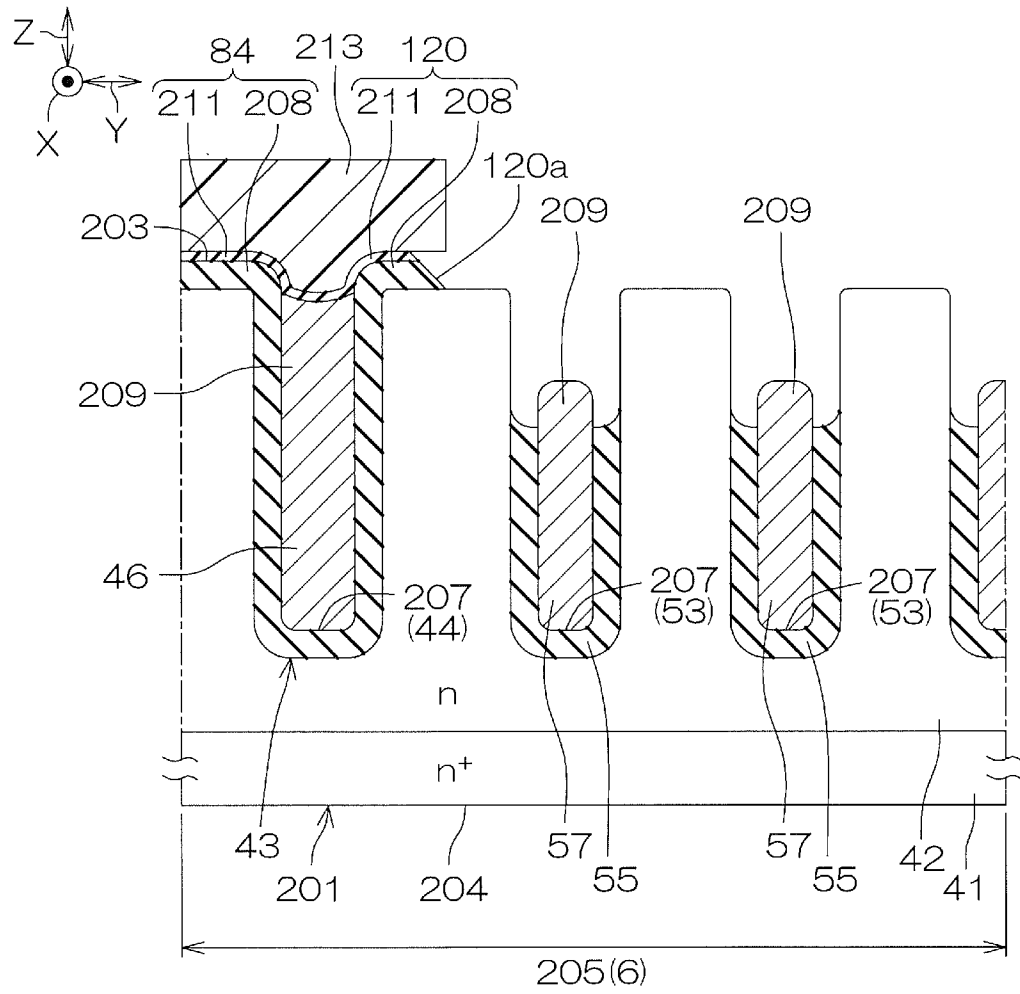
[図22G]

図22G



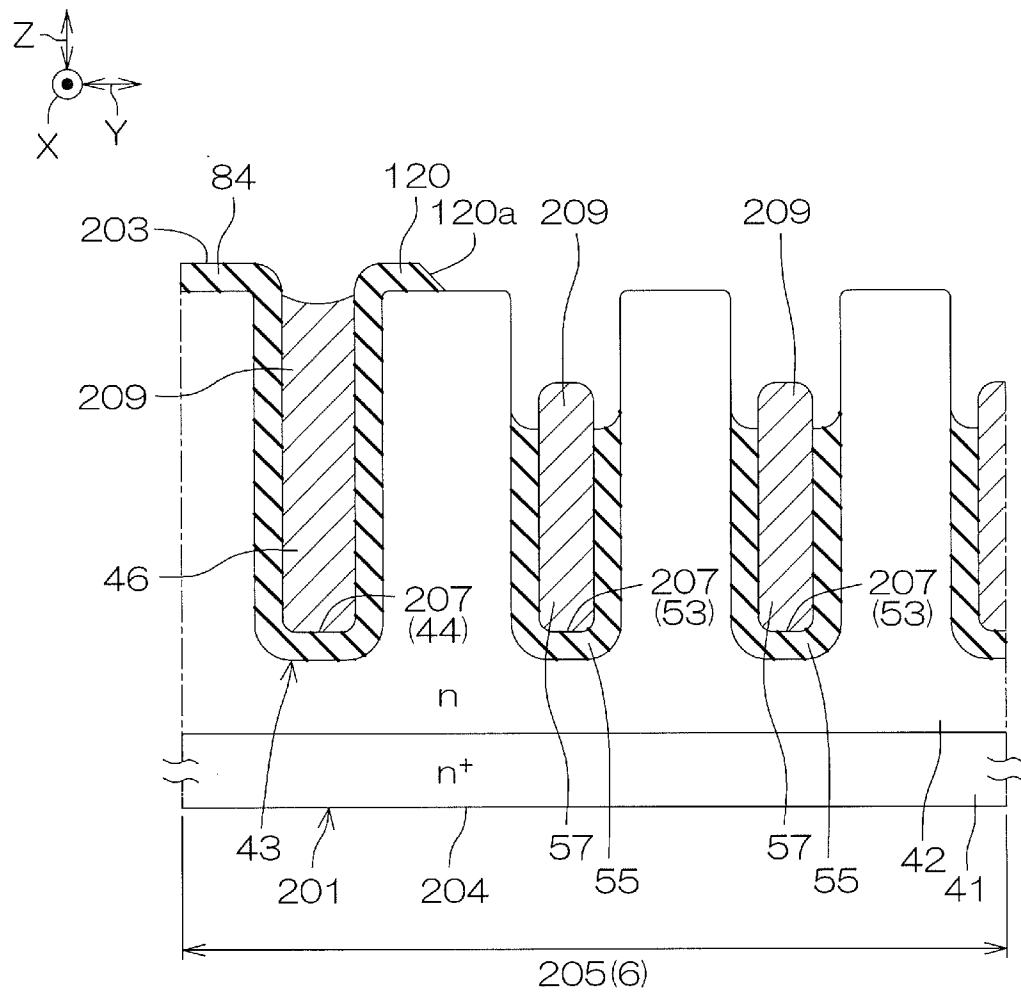
[図22H]

図22H



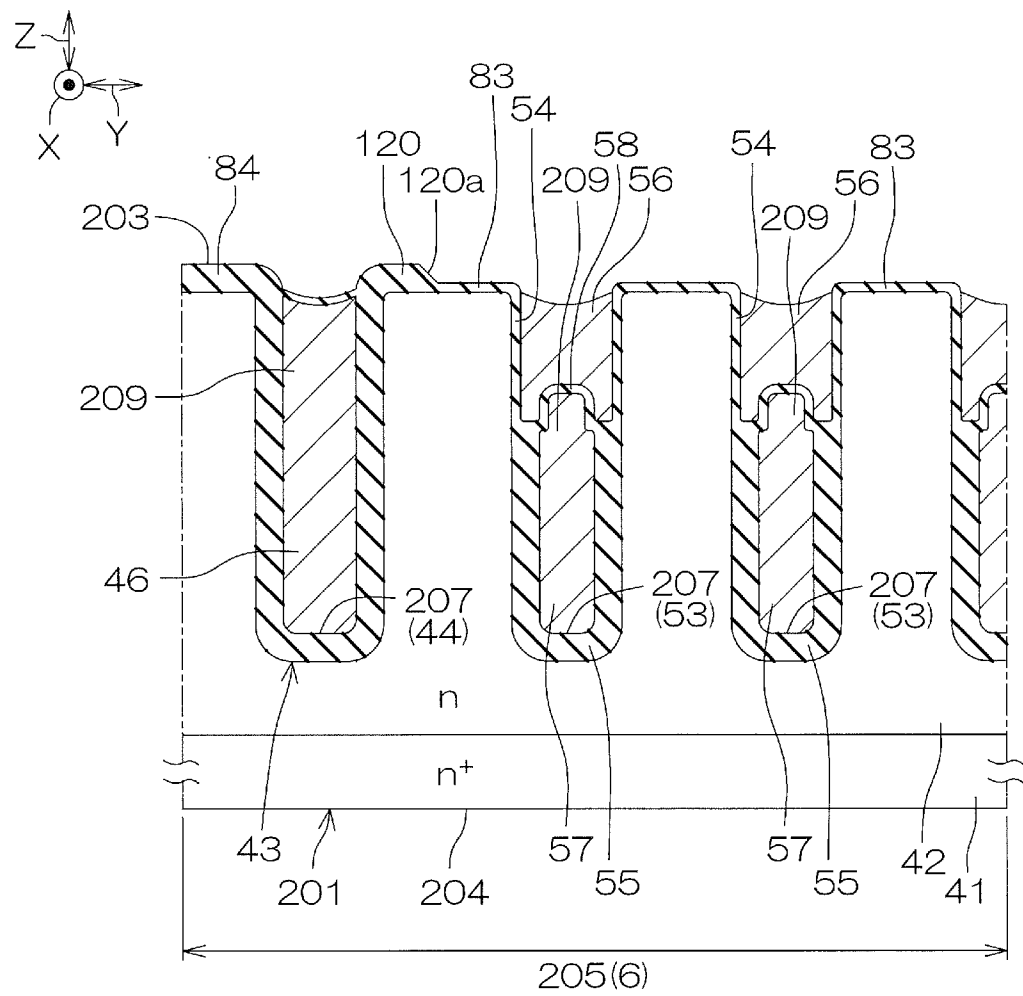
[図22I]

図22 I



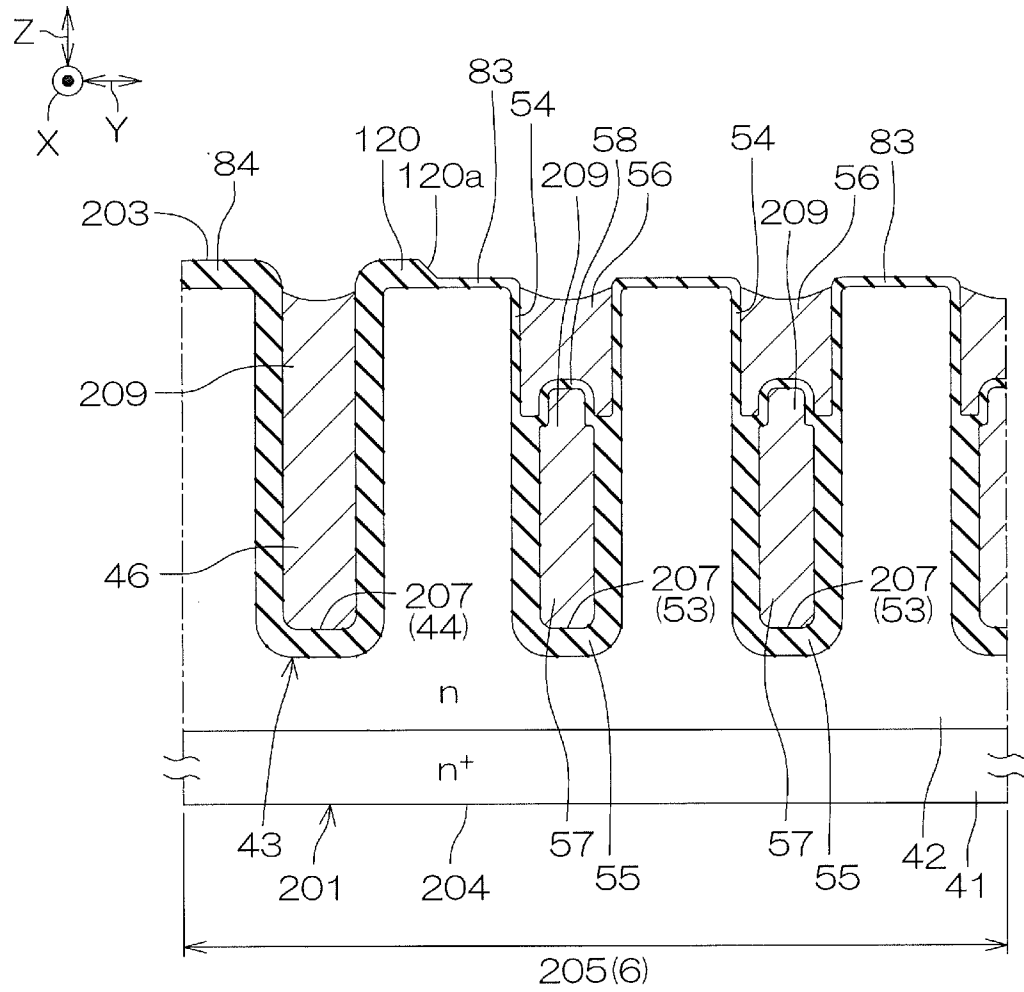
[図22L]

図22L

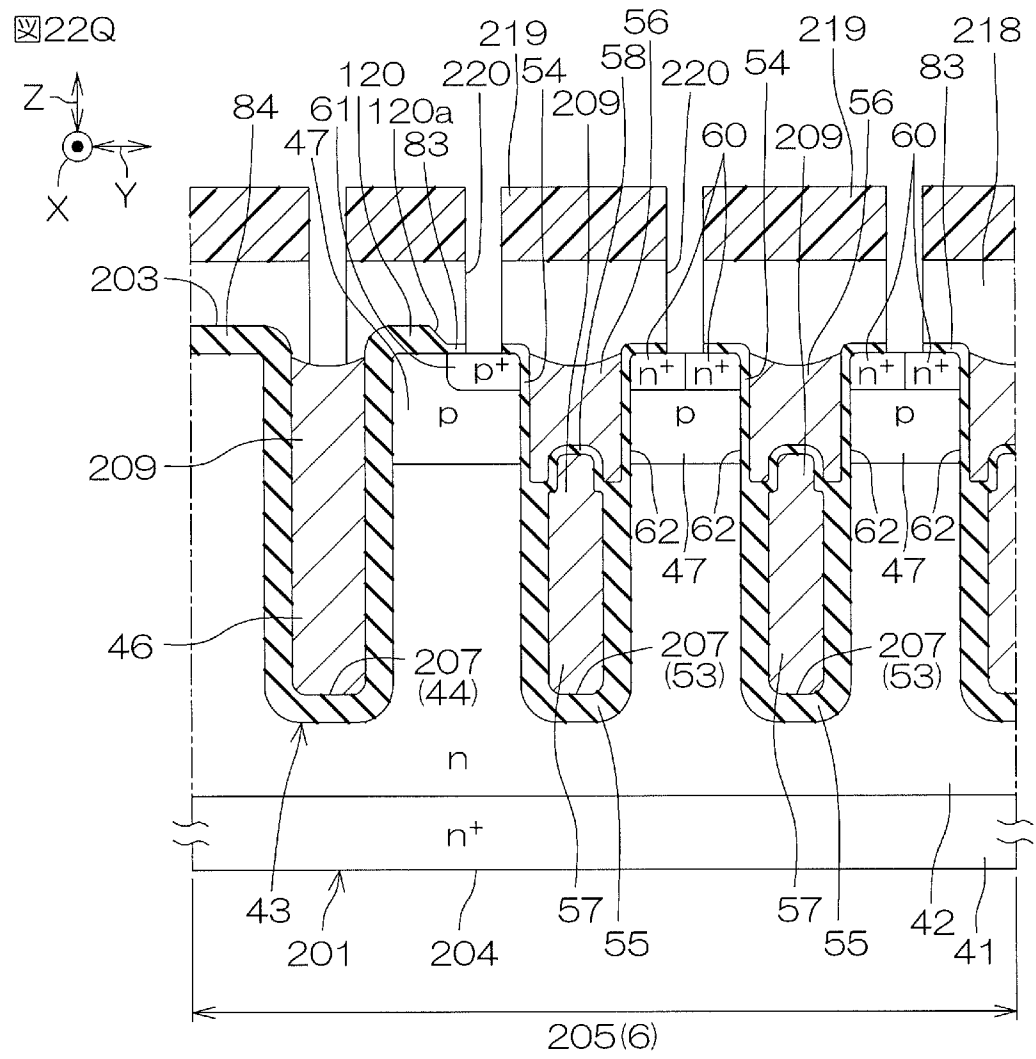


[図22N]

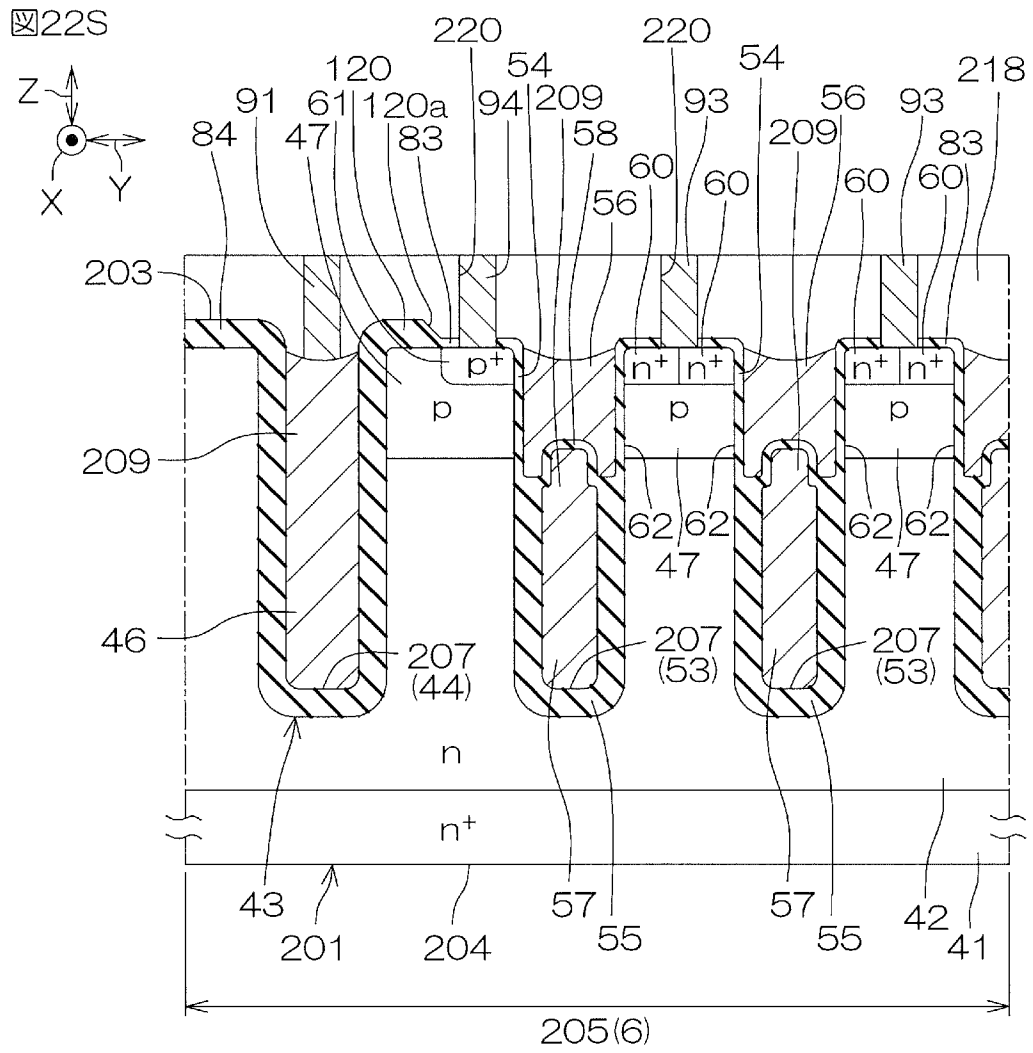
図22N



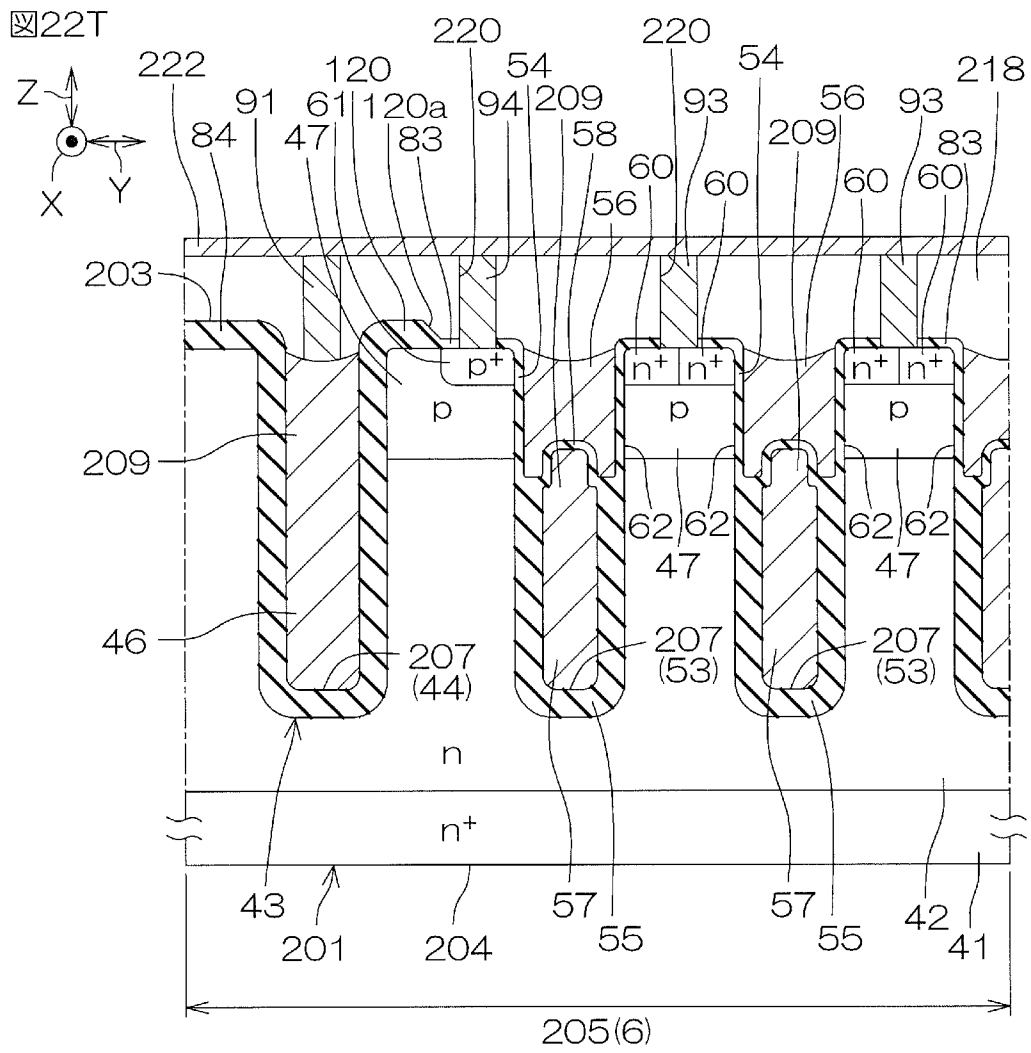
[図22Q]



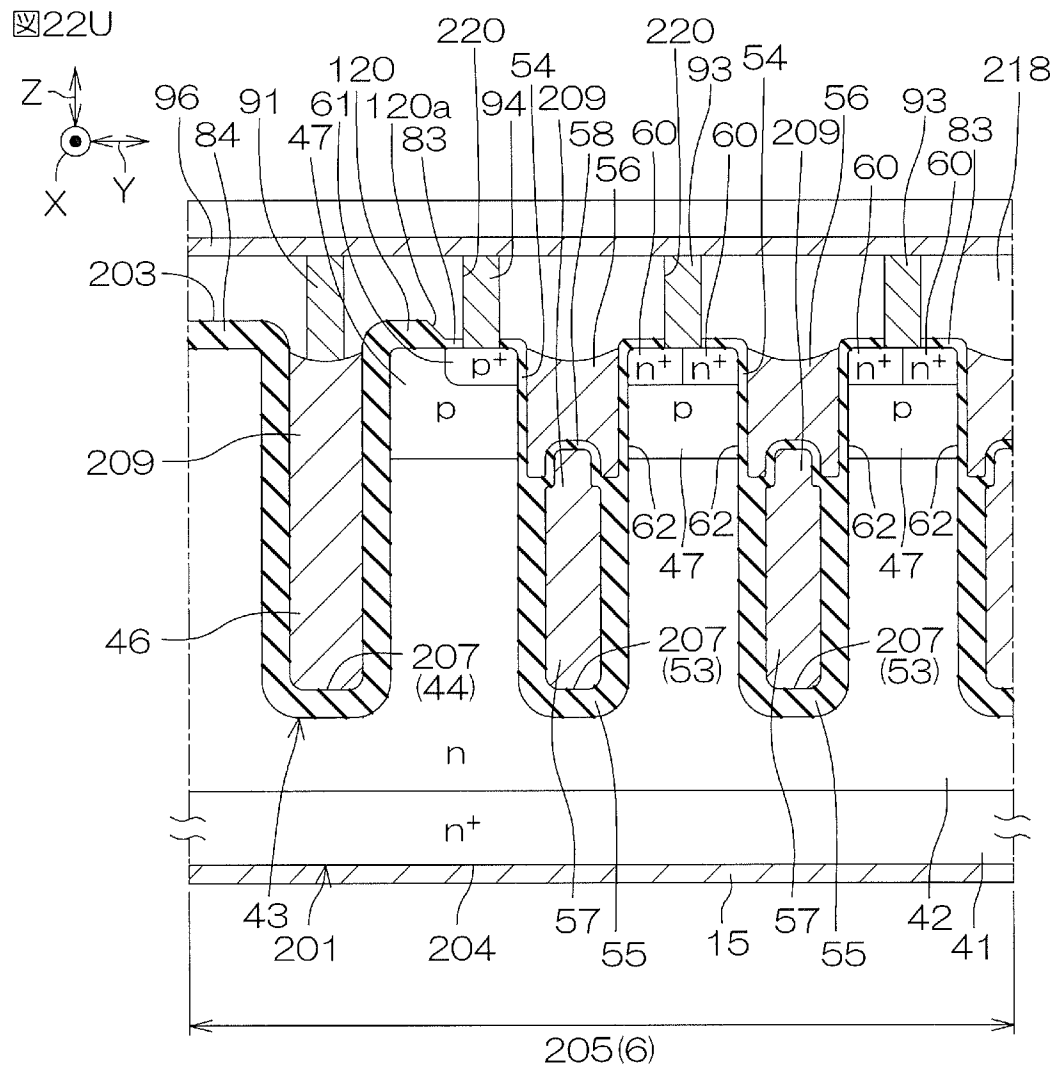
[図22S]



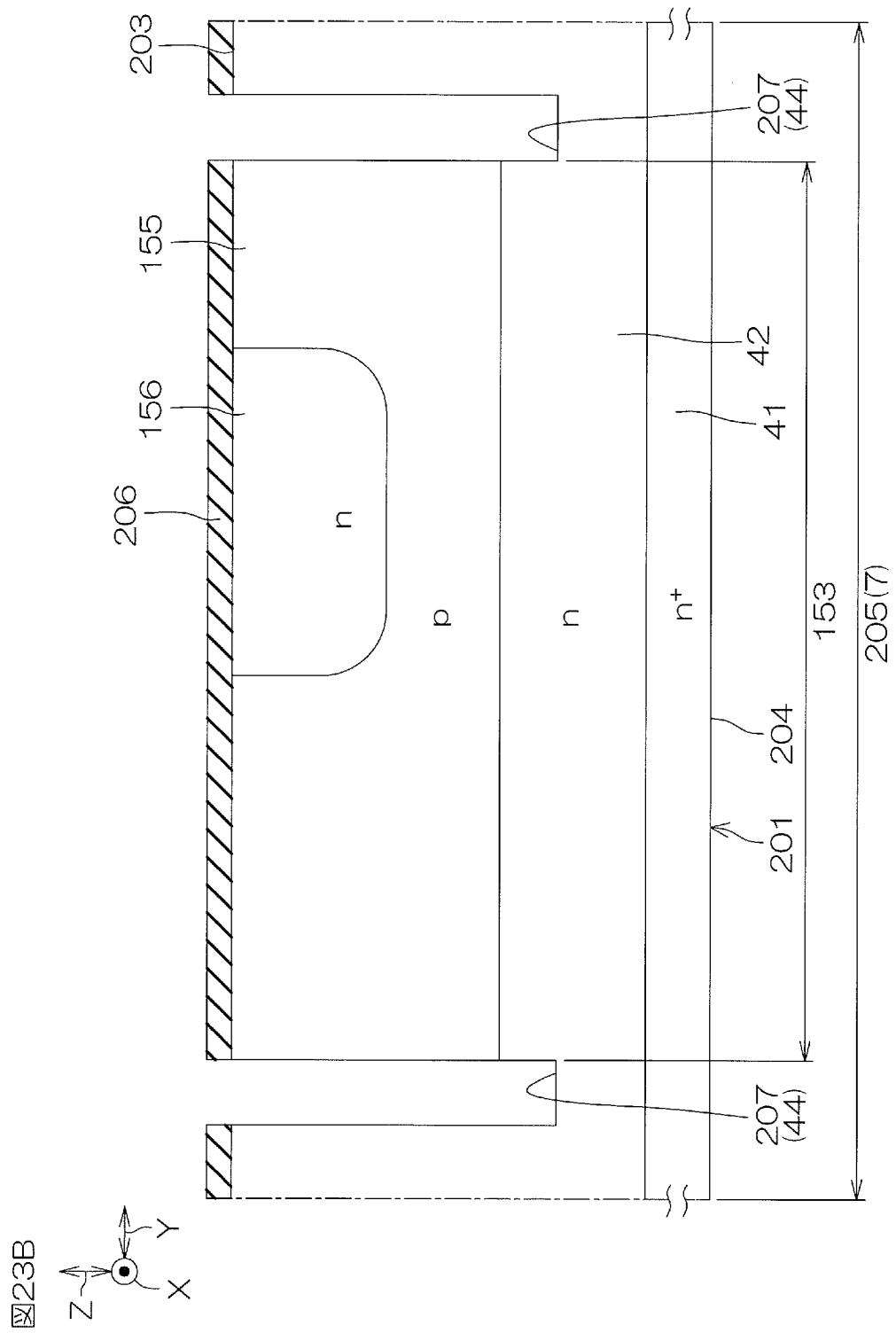
[図22T]



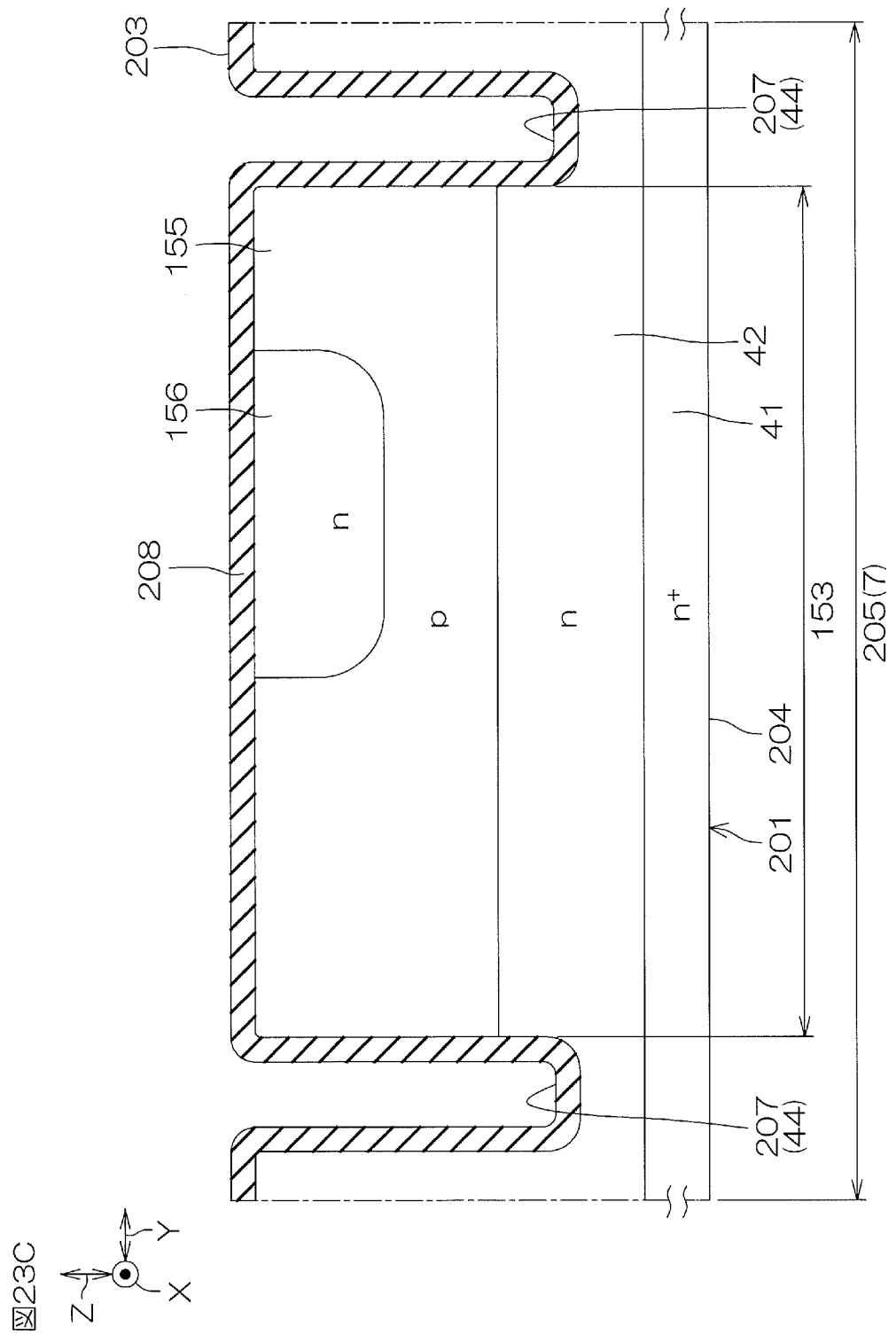
[図22U]



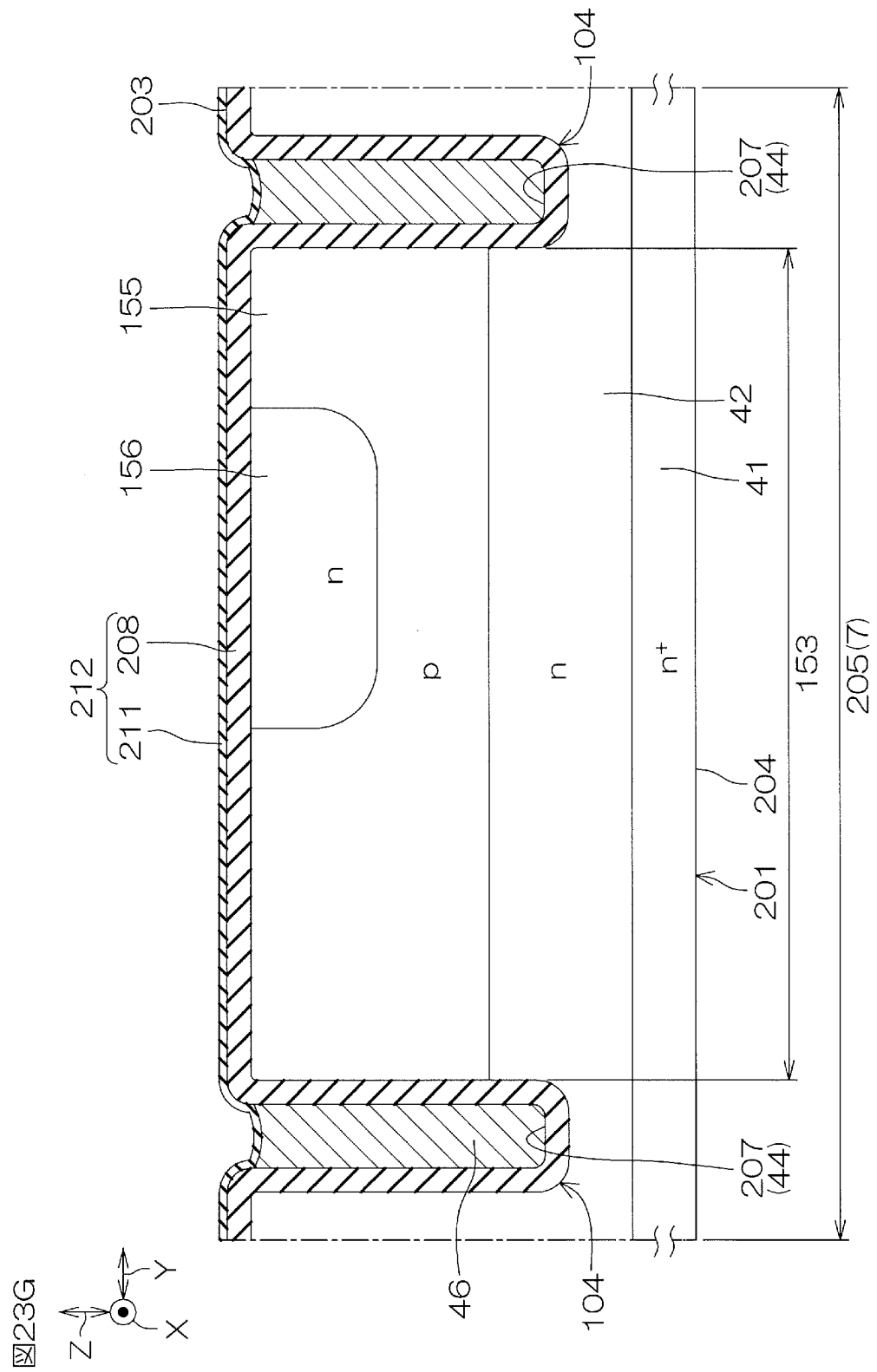
[図23B]



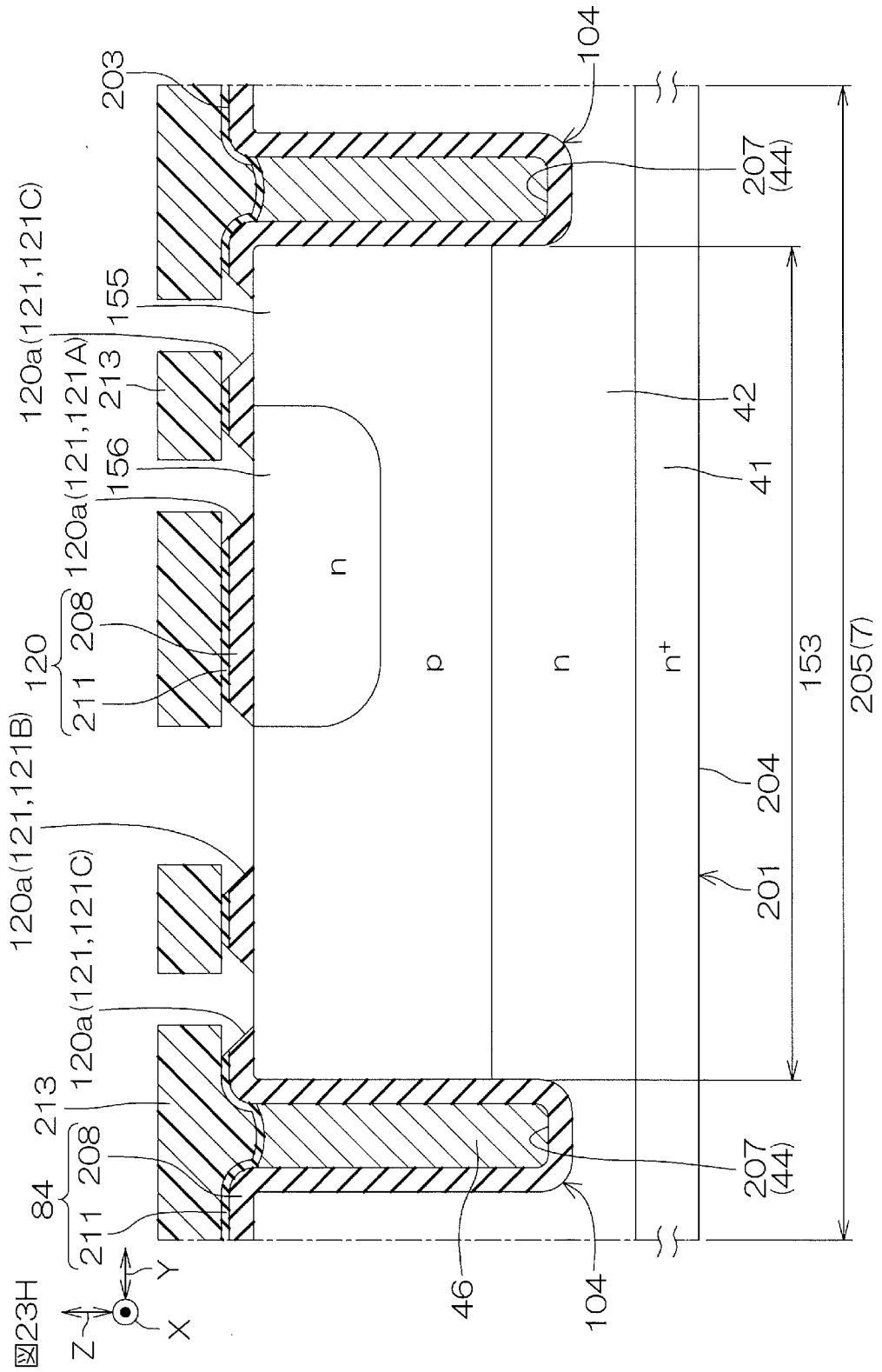
[図23C]



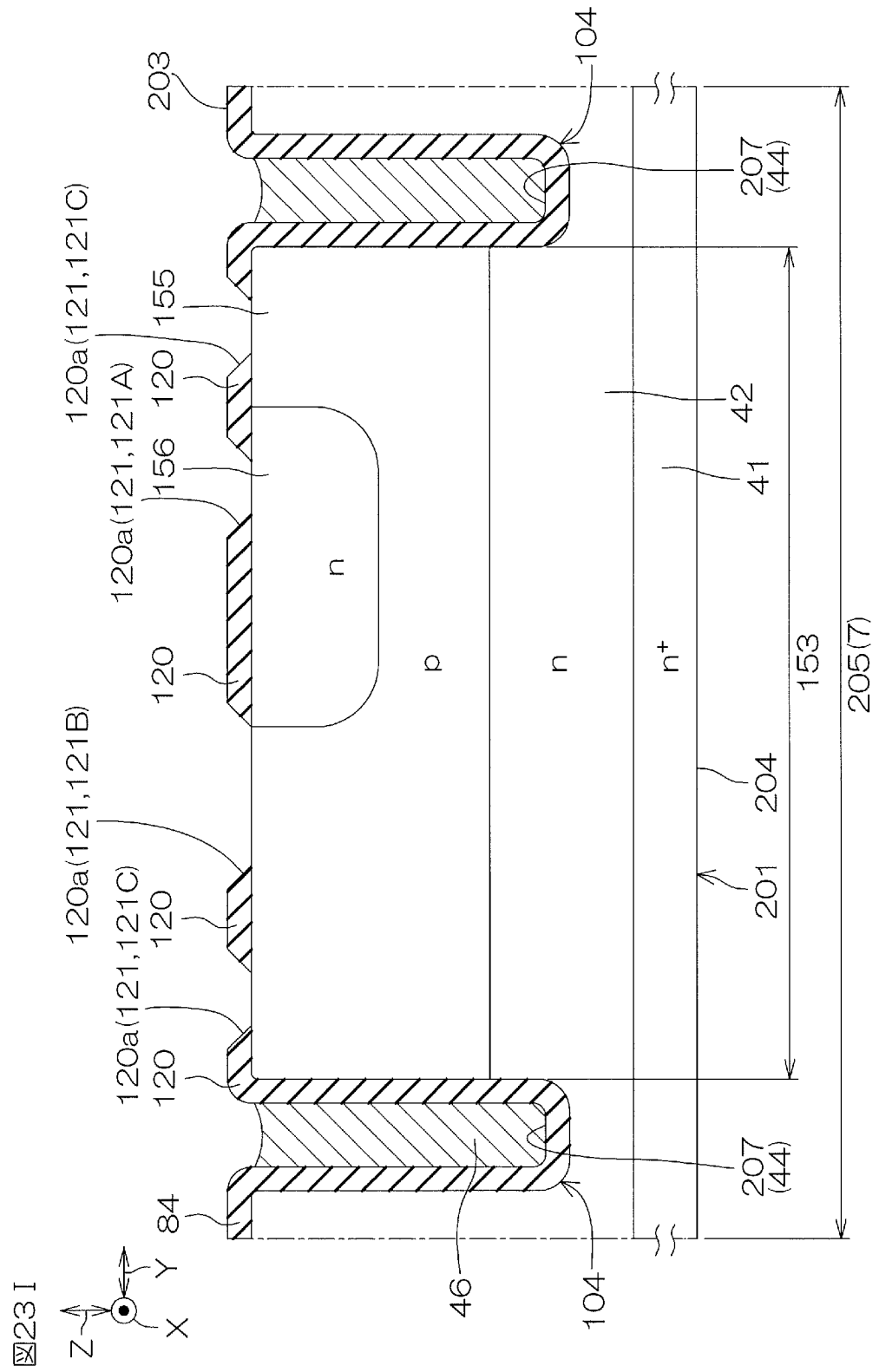
[図23G]



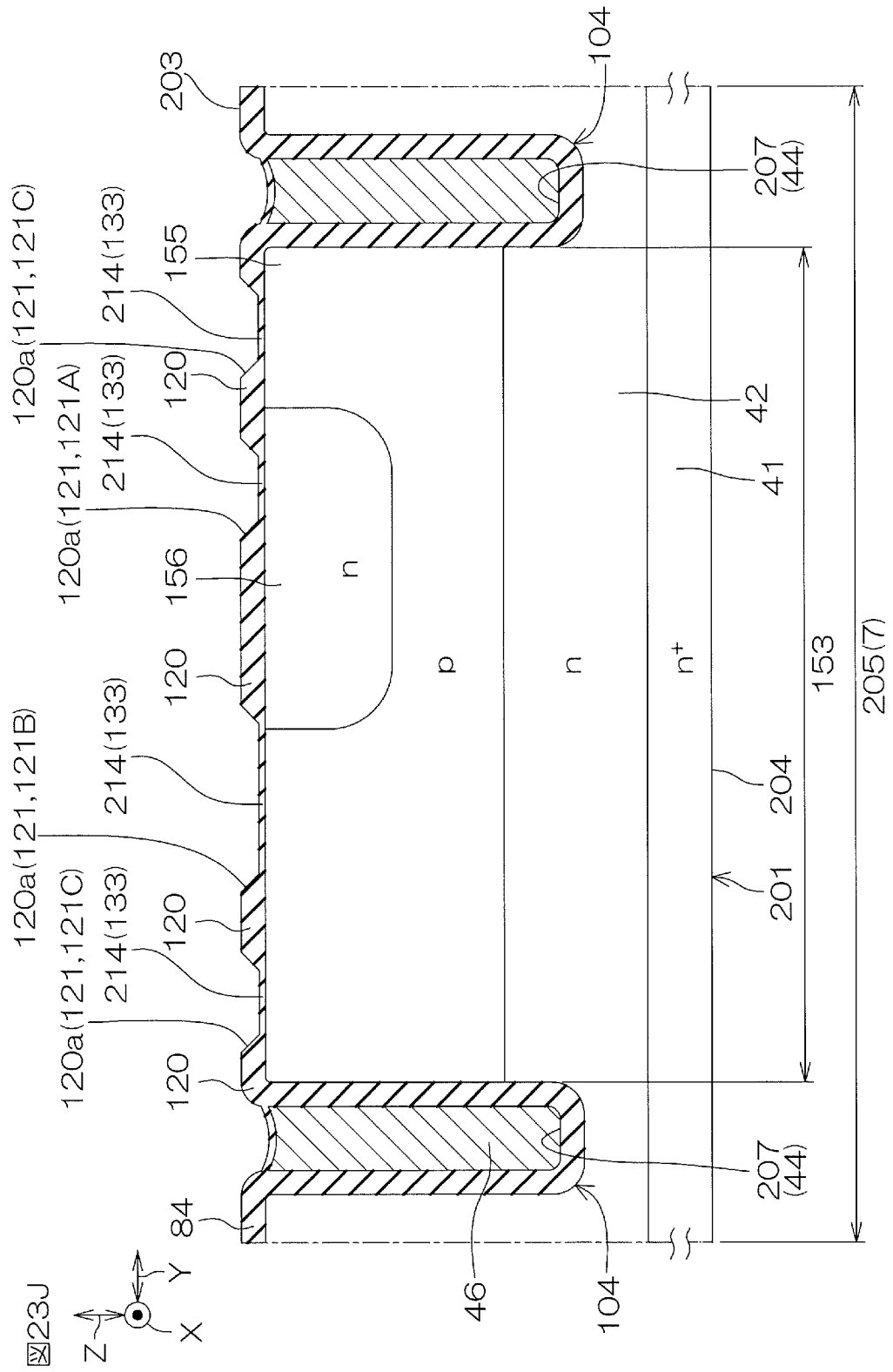
[図23H]



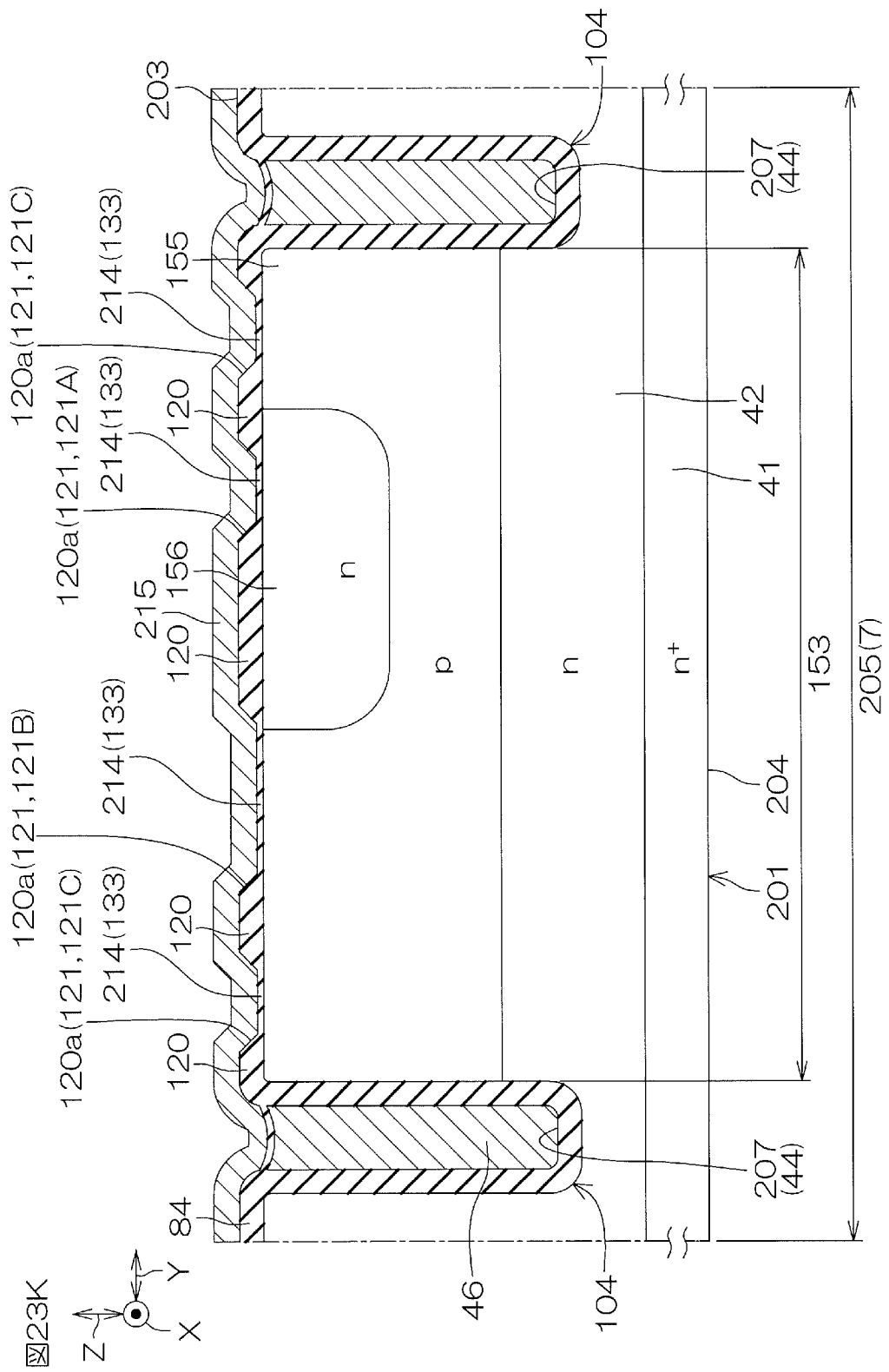
[図23I]



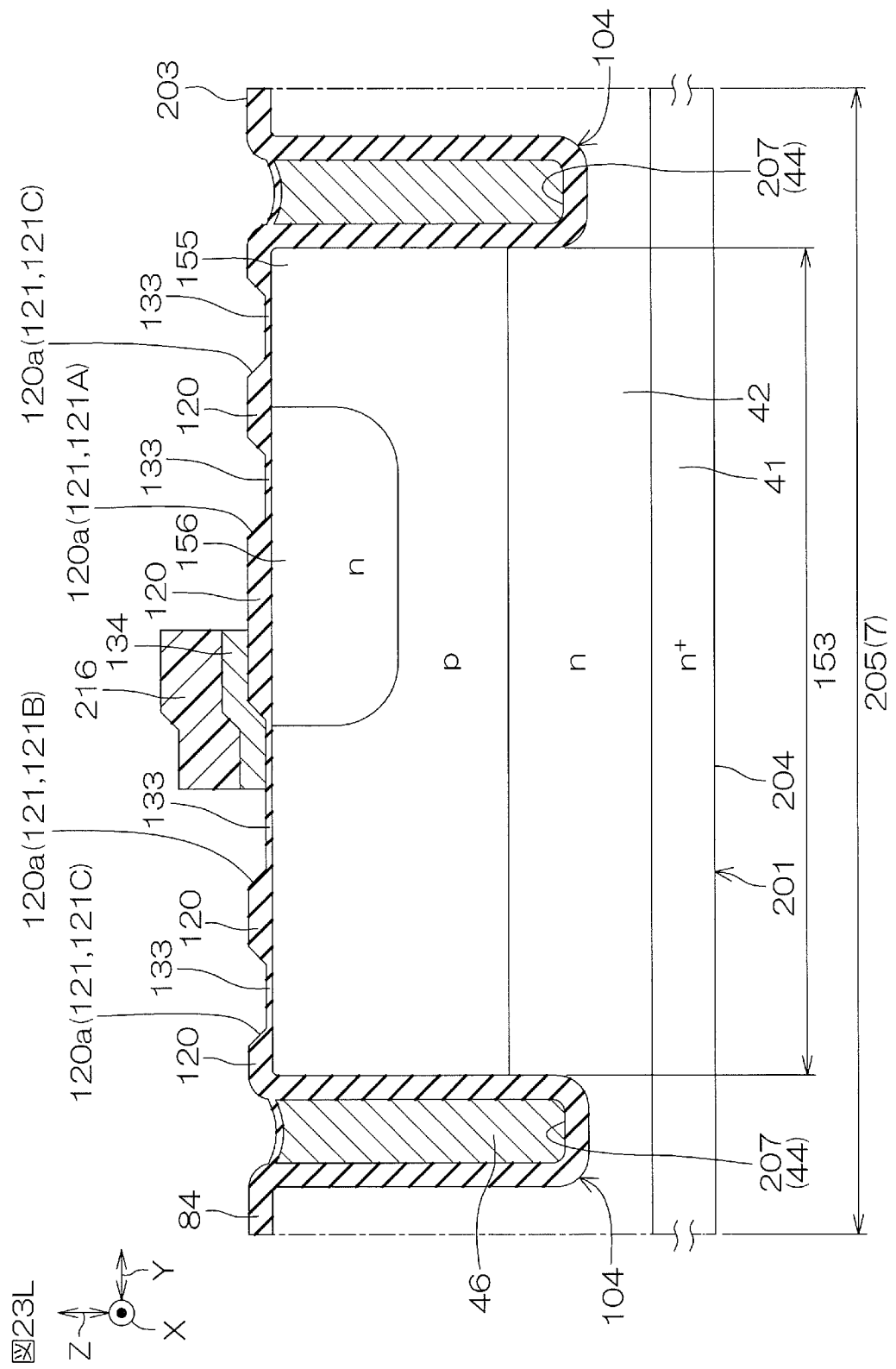
[図23J]



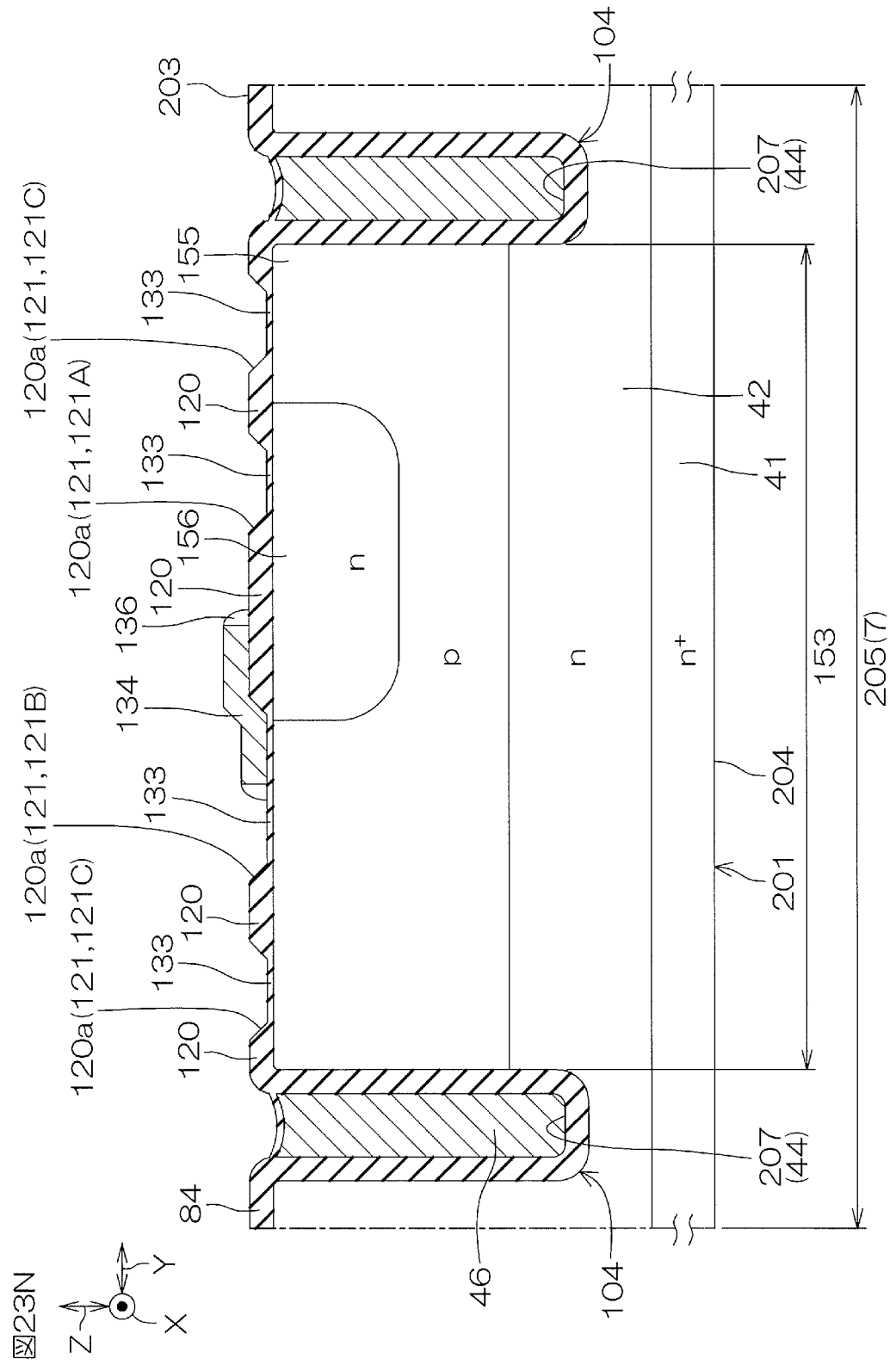
[図23K]



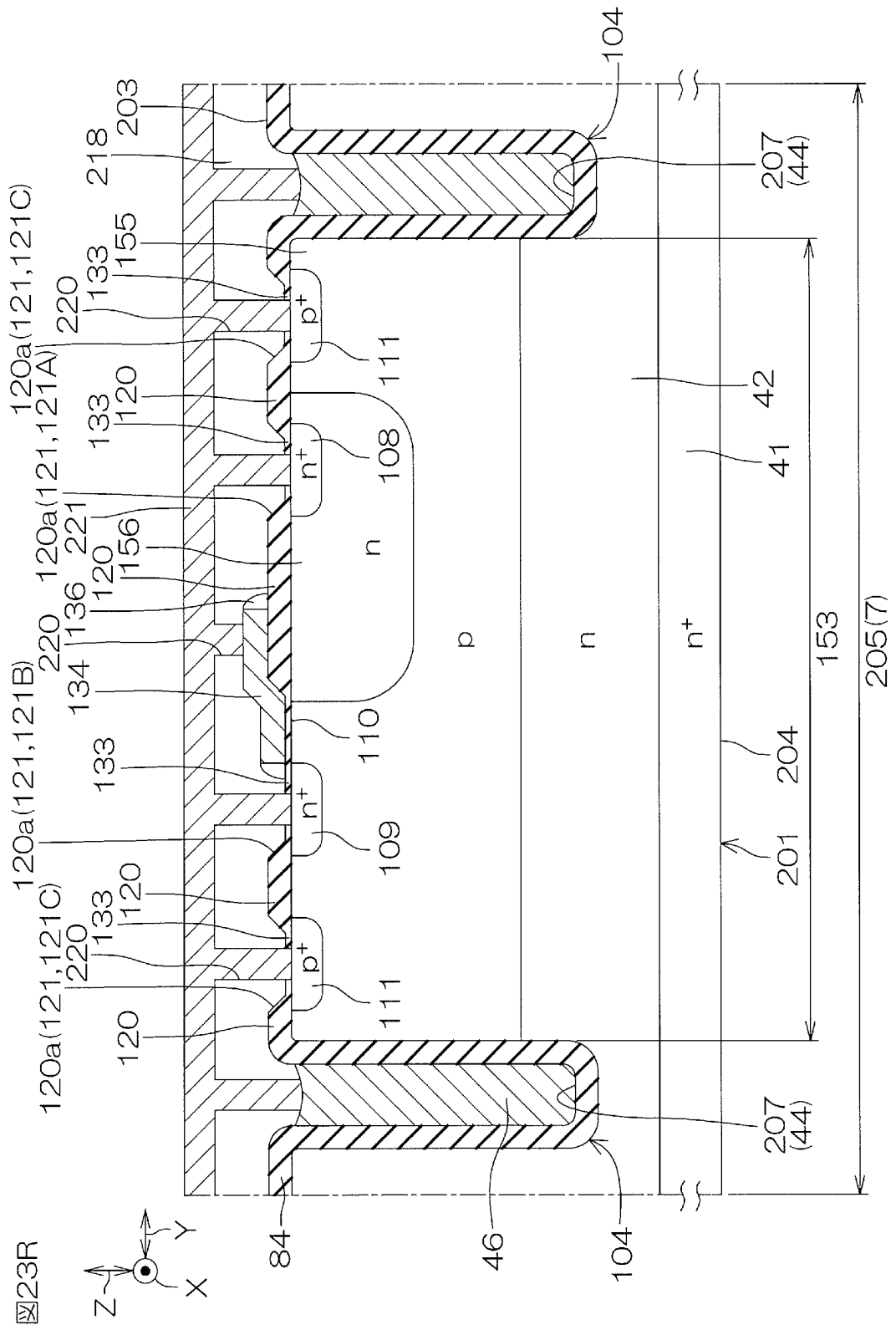
[図23L]



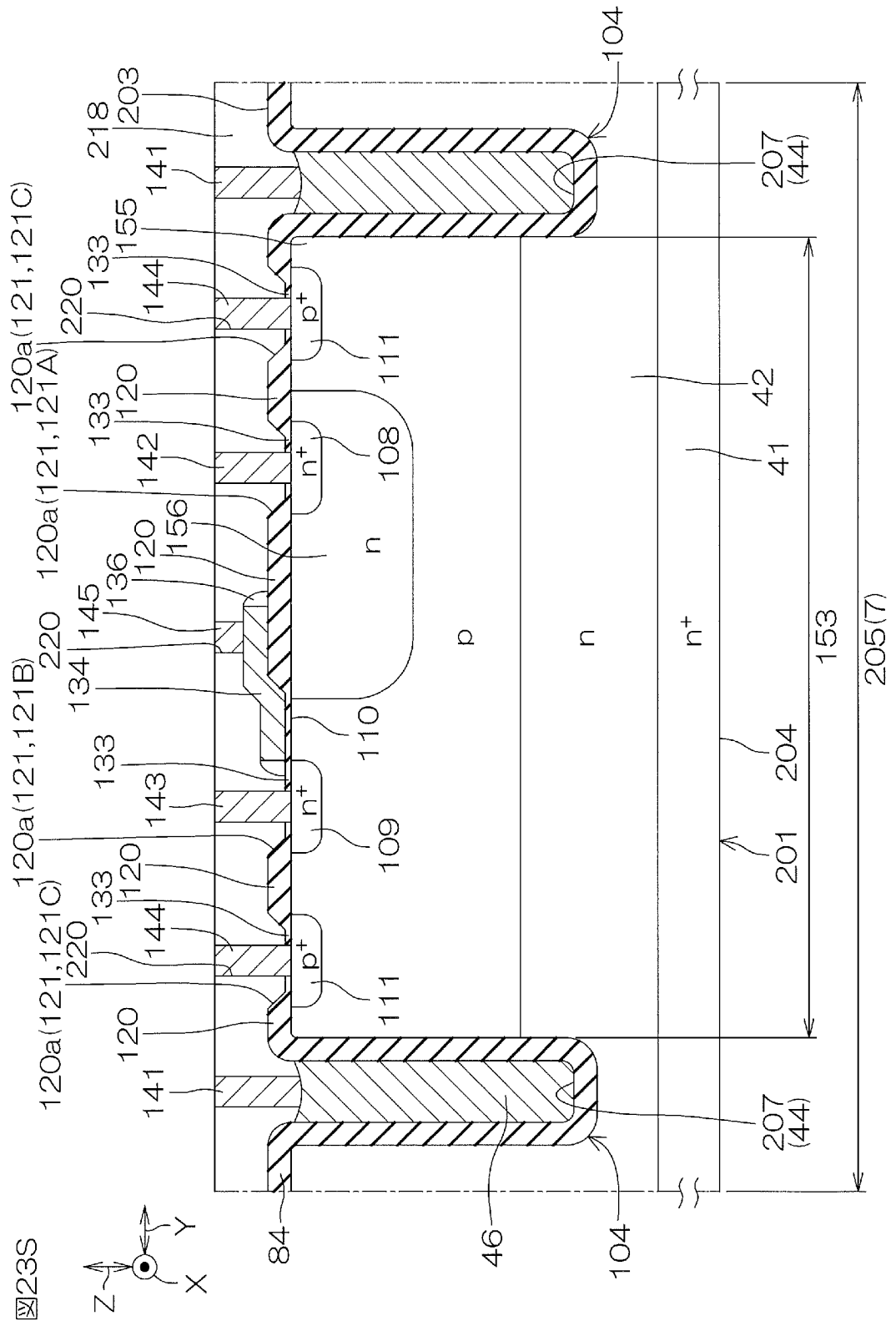
[図23N]



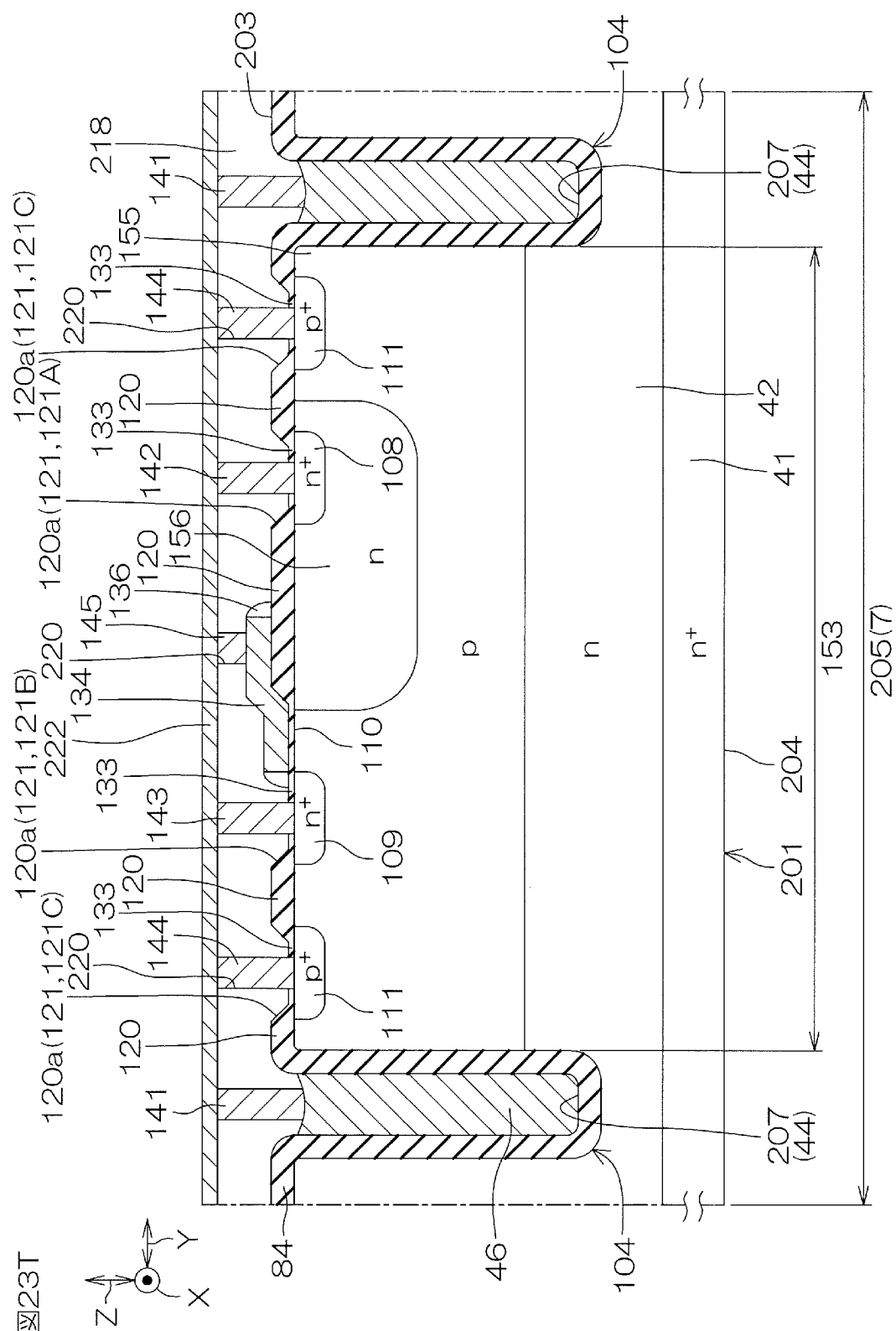
[図23R]



[図23S]



23T



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/034165

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/088(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 21/76**(2006.01)i; **H01L 29/06**(2006.01)i; **H01L 29/78**(2006.01)i
 FI: H01L27/088 A; H01L29/78 658J; H01L29/78 652Q; H01L29/78 652N; H01L29/78 652F; H01L29/78 653A; H01L29/78 652P; H01L29/78 656C; H01L29/78 301D; H01L27/088 E; H01L29/06 301V; H01L29/06 301F; H01L27/088 331G; H01L21/76 L

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/088; H01L21/336; H01L21/76; H01L29/06; H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-142676 A (FUJI FILM MICRODEVICES CO., LTD.) 16 May 2003 (2003-05-16) paragraphs [0041], [0052]-[0054], [0066], [0068], fig. 3	1, 13, 14
A	paragraphs [0041], [0052]-[0054], [0066], [0068], fig. 3	2-12, 15-20
X	JP 4-291768 A (FUJI ELECTRIC CO., LTD.) 15 October 1992 (1992-10-15) paragraphs [0007], [0008], fig. 1, 2, 5	1, 14
A	paragraphs [0007], [0008], fig. 1, 2, 5	2-13, 15-20
A	JP 2008-243848 A (SANKEN ELECTRIC CO., LTD.) 09 October 2008 (2008-10-09) entire text, all drawings	1-20
A	JP 4-286363 A (SHARP CORP.) 12 October 1992 (1992-10-12) entire text, all drawings	1-20
A	JP 2020-72158 A (ROHM CO., LTD.) 07 May 2020 (2020-05-07) entire text, all drawings	1-20

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

08 November 2021

Date of mailing of the international search report

22 November 2021

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/034165

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-129378 A (ROHM CO., LTD.) 16 August 2018 (2018-08-16) entire text, all drawings	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/034165

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2003-142676	A	16 May 2003	(Family: none)	
JP	4-291768	A	15 October 1992	(Family: none)	
JP	2008-243848	A	09 October 2008	(Family: none)	
JP	4-286363	A	12 October 1992	(Family: none)	
JP	2020-72158	A	07 May 2020	(Family: none)	
JP	2018-129378	A	16 August 2018	US 2018/0226480 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/088(2006.01)i; H01L 21/336(2006.01)i; H01L 21/76(2006.01)i; H01L 29/06(2006.01)i; H01L 29/78(2006.01)i FI: H01L27/088 A; H01L29/78 658J; H01L29/78 652Q; H01L29/78 652N; H01L29/78 652F; H01L29/78 653A; H01L29/78 652P; H01L29/78 656C; H01L29/78 301D; H01L27/088 E; H01L29/06 301V; H01L29/06 301F; H01L27/088 331G; H01L21/76 L																										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/088; H01L21/336; H01L21/76; H01L29/06; H01L29/78 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年																
日本国実用新案公報	1922-1996年																									
日本国公開実用新案公報	1971-2021年																									
日本国実用新案登録公報	1996-2021年																									
日本国登録実用新案公報	1994-2021年																									
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2003-142676 A（富士フイルムマイクロデバイス株式会社）16.05.2003（2003 - 05 - 16） 段落[0041], [0052]-[0054], [0066], [0068], 図3</td> <td>1, 13, 14</td> </tr> <tr> <td>A</td> <td>段落[0041], [0052]-[0054], [0066], [0068], 図3</td> <td>2-12, 15-20</td> </tr> <tr> <td>X</td> <td>JP 4-291768 A（富士電機株式会社）15.10.1992（1992 - 10 - 15） 段落[0007], [0008], 図1, 2, 5</td> <td>1, 14</td> </tr> <tr> <td>A</td> <td>段落[0007], [0008], 図1, 2, 5</td> <td>2-13, 15-20</td> </tr> <tr> <td>A</td> <td>JP 2008-243848 A（サンケン電気株式会社）09.10.2008（2008 - 10 - 09） 全文, 全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 4-286363 A（シャープ株式会社）12.10.1992（1992 - 10 - 12） 全文, 全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2020-72158 A（ローム株式会社）07.05.2020（2020 - 05 - 07） 全文, 全図</td> <td>1-20</td> </tr> </tbody> </table> ☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。 * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2003-142676 A（富士フイルムマイクロデバイス株式会社）16.05.2003（2003 - 05 - 16） 段落[0041], [0052]-[0054], [0066], [0068], 図3	1, 13, 14	A	段落[0041], [0052]-[0054], [0066], [0068], 図3	2-12, 15-20	X	JP 4-291768 A（富士電機株式会社）15.10.1992（1992 - 10 - 15） 段落[0007], [0008], 図1, 2, 5	1, 14	A	段落[0007], [0008], 図1, 2, 5	2-13, 15-20	A	JP 2008-243848 A（サンケン電気株式会社）09.10.2008（2008 - 10 - 09） 全文, 全図	1-20	A	JP 4-286363 A（シャープ株式会社）12.10.1992（1992 - 10 - 12） 全文, 全図	1-20	A	JP 2020-72158 A（ローム株式会社）07.05.2020（2020 - 05 - 07） 全文, 全図	1-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																								
X	JP 2003-142676 A（富士フイルムマイクロデバイス株式会社）16.05.2003（2003 - 05 - 16） 段落[0041], [0052]-[0054], [0066], [0068], 図3	1, 13, 14																								
A	段落[0041], [0052]-[0054], [0066], [0068], 図3	2-12, 15-20																								
X	JP 4-291768 A（富士電機株式会社）15.10.1992（1992 - 10 - 15） 段落[0007], [0008], 図1, 2, 5	1, 14																								
A	段落[0007], [0008], 図1, 2, 5	2-13, 15-20																								
A	JP 2008-243848 A（サンケン電気株式会社）09.10.2008（2008 - 10 - 09） 全文, 全図	1-20																								
A	JP 4-286363 A（シャープ株式会社）12.10.1992（1992 - 10 - 12） 全文, 全図	1-20																								
A	JP 2020-72158 A（ローム株式会社）07.05.2020（2020 - 05 - 07） 全文, 全図	1-20																								
国際調査を完了した日 08.11.2021		国際調査報告の発送日 22.11.2021																								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 市川 武宜 5F 4056 電話番号 03-3581-1101 内線 3514																								

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2018-129378 A (ローム株式会社) 16.08.2018 (2018 - 08 - 16) 全文, 全図	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/034165

引用文献			公表日	パテントファミリー文献	公表日
JP	2003-142676	A	16.05.2003	(ファミリーなし)	
JP	4-291768	A	15.10.1992	(ファミリーなし)	
JP	2008-243848	A	09.10.2008	(ファミリーなし)	
JP	4-286363	A	12.10.1992	(ファミリーなし)	
JP	2020-72158	A	07.05.2020	(ファミリーなし)	
JP	2018-129378	A	16.08.2018	US 2018/0226480 A1	