

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-41877
(P2017-41877A)

(43) 公開日 平成29年2月23日(2017.2.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO3K 3/286 (2006.01)	HO3K 3/286 B	5B015
HO1L 29/786 (2006.01)	HO1L 29/78 618B	5F048
HO1L 21/8234 (2006.01)	HO1L 29/78 613B	5F064
HO1L 27/088 (2006.01)	HO1L 27/08 102E	5F083
HO1L 27/08 (2006.01)	HO1L 27/08 331E	5F110

審査請求 未請求 請求項の数 6 O L (全 41 頁) 最終頁に続く

(21) 出願番号 特願2016-151288 (P2016-151288)
 (22) 出願日 平成28年8月1日(2016.8.1)
 (31) 優先権主張番号 特願2015-163432 (P2015-163432)
 (32) 優先日 平成27年8月21日(2015.8.21)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 青木 健
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 上妻 宗広
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 5B015 HH01 HH03 HH04 JJ03 JJ05
 JJ06 JJ07 JJ43 KA10 KA13
 QQ11 QQ16

最終頁に続く

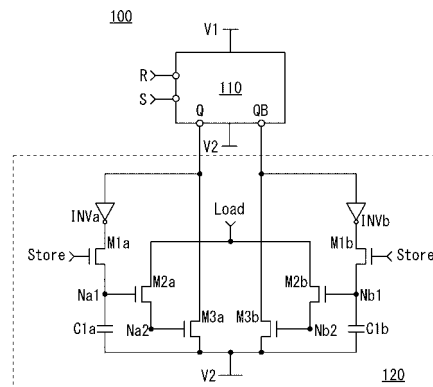
(54) 【発明の名称】 半導体装置、電子部品、および電子機器

(57) 【要約】

【課題】半導体素子の微細化に伴うリーク電流を低減し、電源電圧の供給の停止時のデータの保持期間を長くすることができる半導体装置を提供すること。

【解決手段】酸化物半導体をチャネル形成領域に有するトランジスタのオフ電流が低いことを利用してデータに応じた電荷を保持する構成において、データを読み出すトランジスタと、電荷を保持するためのトランジスタと、を別に設ける構成とし、ゲート絶縁膜におけるリーク電流を低減する構成とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 の回路と、第 2 の回路と、を有し、

前記第 1 の回路は、電源電圧の供給が行われる状態で、データを保持する機能を有し、

前記第 2 の回路は、電源電圧の供給が行われない状態で、前記データを保持する機能を有し、

前記第 2 の回路は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、を有し、

前記第 1 のトランジスタおよび前記第 2 のトランジスタは、チャンネル形成領域に酸化物半導体を有し、

前記第 3 のトランジスタは、チャンネル形成領域にシリコンを有し、

前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第 3 のトランジスタのゲートは、前記第 2 のトランジスタのソースまたはドレインの一方と電気的に接続される、半導体装置。

【請求項 2】

第 1 の回路と、第 2 の回路と、を有し、

前記第 1 の回路は、電源電圧の供給が行われる状態で、データを保持する機能を有し、

前記第 2 の回路は、電源電圧の供給が行われない状態で、前記データを保持する機能を有し、

前記第 2 の回路は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、を有し、

前記第 1 のトランジスタおよび前記第 2 のトランジスタは、チャンネル形成領域に酸化物半導体を有し、

前記第 1 のトランジスタのゲートは、前記データを前記第 1 の回路から前記第 2 の回路に退避させるための第 1 の制御信号が与えられ、

前記第 3 のトランジスタは、チャンネル形成領域にシリコンを有し、

前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第 3 のトランジスタのゲートは、前記第 2 のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第 2 のトランジスタのソースまたはドレインの他方は、前記データを前記第 2 の回路から前記第 1 の回路に復帰させるための第 2 の制御信号が与えられる、半導体装置。

【請求項 3】

請求項 1 または 2 において、

前記第 2 のトランジスタのゲート絶縁膜は、前記第 3 のトランジスタのゲート絶縁膜より厚い、半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、

容量素子を有し、

前記容量素子の一方の電極は、前記第 2 のトランジスタのゲートに電気的に接続される、半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一に記載の半導体装置と、

リードと、を有する電子部品。

【請求項 6】

請求項 5 に記載の電子部品と、

表示部、スピーカー、マイク、又は操作キーと、を有する電子機器。

【発明の詳細な説明】**【技術分野】**

10

20

30

40

50

【0001】

本発明の一態様は、半導体装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法、を一例として挙げるができる。

10

【0003】

なお本明細書において、半導体装置は、半導体素子を含む装置又は回路をいう。

【背景技術】

【0004】

PLD (Programmable Logic Device) や CPU (Central Processing Unit) などの半導体装置は、その用途によって多種多様な構成を有している。PLD や CPU には、レジスタ及びキャッシュメモリなどの記憶装置が設けられている。レジスタ及びキャッシュメモリは、ラッチや SRAM (Static Random Access Memory) が用いられることが多い。

20

【0005】

ラッチや SRAM のような揮発性の記憶装置と不揮発性の記憶装置とを組み合わせる半導体装置が開発されている。例えば、特許文献1では、不揮発性の記憶装置として、チャンネル形成領域に酸化物半導体を有するトランジスタ (OSTランジスタ) を、チャンネル形成領域にシリコンを有するトランジスタ (SITランジスタ) のゲートに接続した回路構成が開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許出願公開第2014/0126271号明細書

【発明の概要】

30

【発明が解決しようとする課題】

【0007】

半導体装置の低消費電力化、高速動作または集積度の向上を実現するためには、半導体装置に用いられるトランジスタなどの半導体素子を微細化する必要がある。しかし、トランジスタのサイズを縮小していくと、スケールング則に従いゲート絶縁膜も薄くなる。ゲート絶縁膜も薄くなると、トンネル電流の発生により、ゲートと半導体層との間に流れるリーク電流が大きくなる。

【0008】

上述した特許文献1の半導体装置では、OSTランジスタとSITランジスタの間のノードに電荷を蓄積することによりデータを保持している。このような半導体装置では、微細化によりSITランジスタのリーク電流が大きくなると、蓄積された電荷がリークしやすく、データの保持時間を長く確保することが難しくなる。

40

【0009】

上述したような技術的背景のもと、本発明の一態様は、データの保持時間を長くすることができる半導体装置の提供を、課題の一とする。或いは、本発明の一態様は、正常な動作を確保しつつ、低消費電力化を実現できる半導体装置の提供を、課題の一とする。また本発明の一態様は、新規な半導体装置の提供を、課題の一とする。

【0010】

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目

50

で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、及び/又は他の課題のうち、少なくとも一つの課題を解決するものである。

【課題を解決するための手段】

【0011】

本発明の一態様は、第1の回路と、第2の回路と、を有し、第1の回路は、電源電圧の供給が行われる状態で、データを保持する機能を有し、第2の回路は、電源電圧の供給が行われない状態で、データを保持する機能を有し、第2の回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、を有し、第1のトランジスタおよび第2のトランジスタは、チャンネル形成領域に酸化物半導体を有し、第3のトランジスタは、チャンネル形成領域にシリコンを有し、第2のトランジスタのゲートは、第1のトランジスタのソースまたはドレインの一方と電気的に接続され、第3のトランジスタのゲートは、第2のトランジスタのソースまたはドレインの一方と電気的に接続される、半導体装置である。

10

【0012】

本発明の一態様は、第1の回路と、第2の回路と、を有し、第1の回路は、電源電圧の供給が行われる状態で、データを保持する機能を有し、第2の回路は、電源電圧の供給が行われない状態で、データを保持する機能を有し、第2の回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、を有し、第1のトランジスタおよび第2のトランジスタは、チャンネル形成領域に酸化物半導体を有し、第1のトランジスタのゲートは、データを第1の回路から第2の回路に退避させるための第1の制御信号が与えられ、第3のトランジスタは、チャンネル形成領域にシリコンを有し、第2のトランジスタのゲートは、第1のトランジスタのソースまたはドレインの一方と電気的に接続され、第3のトランジスタのゲートは、第2のトランジスタのソースまたはドレインの一方と電気的に接続され、第2のトランジスタのソースまたはドレインの他方は、データを第2の回路から第1の回路に復帰させるための第2の制御信号が与えられる、半導体装置である。

20

【0013】

本発明の一態様において、第2のトランジスタのゲート絶縁膜は、第3のトランジスタのゲート絶縁膜より厚い、半導体装置が好ましい。

30

【0014】

本発明の一態様において、容量素子を有し、容量素子の一方の電極は、第2のトランジスタのゲートに電気的に接続される、半導体装置が好ましい。

【0015】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

【発明の効果】

【0016】

本発明の一態様は、データの保持時間を長くすることができる半導体装置を提供することができる。或いは、本発明の一態様は、正常な動作を確保しつつ、低消費電力化を実現できる半導体装置を提供することができる。また本発明の一態様は、新規な半導体装置を提供することができる。

40

【0017】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び/又は他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

50

【図面の簡単な説明】

【0018】

【図1】本発明の一態様を説明するための回路図。

【図2】本発明の一態様を説明するための回路図。

【図3】本発明の一態様を説明するためのタイミングチャート。

【図4】本発明の一態様を説明するための回路図。

【図5】本発明の一態様を説明するための回路図。

【図6】本発明の一態様を説明するための回路図。

【図7】本発明の一態様を説明するための回路図。

【図8】本発明の一態様を説明するための回路図。

10

【図9】本発明の一態様を説明するための回路図。

【図10】本発明の一態様を説明するための回路図。

【図11】本発明の一態様を説明するための断面模式図。

【図12】本発明の一態様を説明するための断面模式図。

【図13】本発明の一態様を説明するための断面模式図。

【図14】本発明の一態様を説明するための断面模式図。

【図15】本発明の一態様を説明するための断面模式図。

【図16】本発明の一態様を説明するための断面模式図。

【図17】半導体装置の具体例を説明するためのブロック図。

【図18】半導体装置の具体例を説明するためのブロック図。

20

【図19】半導体装置の具体例を説明するためのブロック図。

【図20】半導体装置の具体例を説明するためのブロック図。

【図21】電子機器の一例を示す図。

【図22】トランジスタの特性を説明するためのグラフ。

【図23】トランジスタの特性を説明するためのグラフ。

【図24】トランジスタの特性を説明するためのグラフ。

【発明を実施するための形態】

【0019】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

30

【0020】

なお本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。

【0021】

なお図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

40

【0022】

(実施の形態1)

本実施の形態では、レジスタ等に適用可能な不揮発性の記憶装置としての機能を有する半導体装置の一例について説明する。

【0023】

<半導体装置の構成>

図1は、半導体装置100を説明するための、回路構成の一例を示す回路図である。半導体装置100は、回路110と、回路120と、を有する。

【0024】

回路110は、電源電圧の供給が行われる状態で、データを記憶する機能を有する。回

50

路 1 2 0 は、電源電圧の供給が行われない状態でもデータを記憶する機能を有する。

【 0 0 2 5 】

回路 1 1 0 は、例えば、ラッチ等の回路である。図 1 では、回路 1 1 0 を R S 型ラッチとし、入力端子 R、入力端子 S、出力端子 Q、出力端子 Q B を示している。

【 0 0 2 6 】

回路 1 2 0 は、チャンネル形成領域に酸化物半導体を有するトランジスタ（以下、O S トランジスタ）と、チャンネル形成領域にシリコンを有するトランジスタ（以下、S i トランジスタ）と、を組み合わせ、データに応じた電荷をオフ電流が小さいトランジスタを利用して保持することで、データを記憶する回路である。

【 0 0 2 7 】

なお以下の説明では、データ ' 1 ' であれば電圧 V_{DD} （ハイレベルの電圧、あるいは単にハイレベルともいう）のことをいう。つまりデータ ' 1 ' を保持するのであれば、電圧 V_{DD} に応じた電荷を保持することをいう。逆に、データ ' 0 ' であれば電圧 V_{SS} （ローレベルの電圧、あるいは単にローレベルともいう）のことをいう。つまりデータ ' 0 ' を保持するのであれば、電圧 V_{SS} に応じた電荷を保持することをいう。

【 0 0 2 8 】

なお電源電圧の供給は、電圧 V_1 および電圧 V_2 を切り替えて制御することができる。例えば、電圧 V_1 を電圧 V_{DD} とし、電圧 V_2 を電圧 V_{SS} とするとき、電源電圧の供給が行われる。また電圧 V_1 と電圧 V_2 を同じ電圧、例えば、電圧 V_1 を電圧 V_{SS} とし、電圧 V_2 を電圧 V_{SS} とするとき、電源電圧の供給が行われない。

【 0 0 2 9 】

次いで、本発明の一態様における回路 1 2 0 について説明する。回路 1 2 0 は、回路 1 1 0 の電源電圧の供給が停止する期間の前に、出力端子 Q、Q B のデータを退避させて保持する機能を有する。また回路 1 2 0 は、電源電圧の供給が再開された後に、保持したデータを回路 1 1 0 の出力端子 Q、Q B に復帰させる機能を有する。

【 0 0 3 0 】

回路 1 2 0 は、出力端子 Q のデータを退避および復帰する回路として、インバータ I N V a と、トランジスタ M 1 a と、トランジスタ M 2 a と、トランジスタ M 3 a と、容量素子 C 1 a と、を有する。また回路 1 2 0 は、出力端子 Q B のデータを退避および復帰する回路として、インバータ I N V b と、トランジスタ M 1 b と、トランジスタ M 2 b と、トランジスタ M 3 b と、容量素子 C 1 b と、を有する。

【 0 0 3 1 】

なお以下の説明では、いずれのトランジスタも n チャンネル型のトランジスタとして説明するが、p チャンネル型でもよい。

【 0 0 3 2 】

インバータ I N V a の入力端子は、出力端子 Q に接続される。インバータ I N V a の出力端子は、トランジスタ M 1 a のソースまたはドレインの一方に接続される。トランジスタ M 1 a のソースまたはドレインの他方は、ノード N a 1 に接続される。トランジスタ M 1 a のゲートは、制御信号 S t o r e が与えられる。ノード N a 1 は、トランジスタ M 1 a のソースまたはドレインの他方と、トランジスタ M 2 a のゲートと、容量素子 C 1 a の一方の電極と、に接続されるノードである。トランジスタ M 2 a のソースまたはドレインの一方は、制御信号 L o a d が与えられる。トランジスタ M 2 a のソースまたはドレインの他方は、ノード N a 2 に接続される。ノード N a 2 は、トランジスタ M 2 a のソースまたはドレインの他方と、トランジスタ M 3 a のゲートと、に接続されるノードである。トランジスタ M 3 a のソースまたはドレインの一方は、出力端子 Q に接続される。トランジスタ M 3 a のソースまたはドレインの他方は、電圧 V_2 すなわち電圧 V_{SS} が与えられる。容量素子 C 1 a の他方の電極は、電圧 V_2 すなわち電圧 V_{SS} が与えられる。

【 0 0 3 3 】

インバータ I N V b の入力端子は、出力端子 Q B に接続される。インバータ I N V b の出力端子は、トランジスタ M 1 b のソースまたはドレインの一方に接続される。トランジ

10

20

30

40

50

スタM 1 bのソースまたはドレインの他方は、ノードN b 1に接続される。トランジスタM 1 bのゲートは、制御信号S t o r eが与えられる。ノードN b 1は、トランジスタM 1 bのソースまたはドレインの他方と、トランジスタM 2 bのゲートと、容量素子C 1 bの一方の電極と、に接続されるノードである。トランジスタM 2 bのソースまたはドレインの一方は、制御信号L o a dが与えられる。トランジスタM 2 bのソースまたはドレインの他方は、ノードN b 2に接続される。ノードN b 2は、トランジスタM 2 bのソースまたはドレインの他方と、トランジスタM 3 bのゲートと、に接続されるノードである。トランジスタM 3 bのソースまたはドレインの一方は、出力端子Q Bに接続される。トランジスタM 3 bのソースまたはドレインの他方は、電圧V 2すなわち電圧V_{SS}が与えられる。容量素子C 1 bの他方の電極は、電圧V 2すなわち電圧V_{SS}が与えられる。

10

【0034】

インバータI N V a、I N V bは、それぞれ出力端子Q、Q Bのデータの論理を反転した信号を出力するために設けられる。当該構成は、回路110と回路120との間で、データの退避および復帰の動作を行う際、退避データと復帰データが反転する関係にあるため、予め出力端子Q、Q Bのデータを反転させて退避するためである。別途、データを反転させて退避および復帰を行う構成であれば、インバータI N V a、I N V bを省略することも可能である。またインバータI N V a、I N V bは、出力端子Q、Q Bの電荷供給能力を大きくするためのバッファとして設けることもできる。

【0035】

制御信号S t o r eは、トランジスタM 1 a、M 1 bの導通状態を制御する信号である。ここでは、ハイレベルで導通状態、ローレベルで非導通状態とする。

20

【0036】

トランジスタM 1 a、M 1 bは、OSトランジスタのようにオフ電流が極めて小さいトランジスタを用いる構成とする。該構成とすることで、トランジスタM 1 a、M 1 bを非導通状態とした際、ノードN a 1、ノードN b 1に保持したデータに応じた電圧を保持し続けることができる。

【0037】

容量素子C 1 a、C 1 bは、ノードN a 1、ノードN b 1に保持したデータに応じた電圧を保持し続けるために設ける。なお容量素子C 1 a、C 1 bは、トランジスタM 2 a、M 2 bのゲート容量等を大きくしておくことで、省略することができる。

30

【0038】

トランジスタM 3 a、M 3 bは、OSトランジスタと比べて駆動能力の高いS iトランジスタを用いる構成とする。S iトランジスタは、駆動能力を高めるため、ゲート絶縁膜がOSトランジスタのゲート絶縁膜と比べて薄いトランジスタとする。該構成とすることで、ノードN a 2、ノードN b 2の電圧の変化に応じて、トランジスタM 3 a、M 3 bを流れる電流量を早く異ならせることができる。

【0039】

トランジスタM 2 a、M 2 bは、S iトランジスタと比べてゲート絶縁膜の厚いOSトランジスタを用いる構成とする。

【0040】

制御信号L o a dは、ノードN a 1、ノードN b 1に保持したデータに応じた電圧に従って、トランジスタM 3 a、M 3 bを流れる電流量を異ならせるための信号である。例えば、ノードN a 1がハイレベルで、制御信号L o a dをハイレベルとすると、トランジスタM 2 aが導通状態となり、ノードN a 2の電圧が上昇し、トランジスタM 3 aを流れる電流量が増加するように変化する。また例えば、ノードN b 1がローレベルで、制御信号L o a dをハイレベルとすると、トランジスタM 2 bが非導通状態となり、ノードN b 2の電圧が変化せず、トランジスタM 3 bを流れる電流量が変化しない。このトランジスタM 3 a、M 3 bを流れる電流量の変化によって、出力端子Q、Q Bの電圧に差が生じることを利用して、回路110にデータを復帰できる。

40

【0041】

50

本発明の一態様は、データを保持するノードに相当するノードN a 1、ノードN b 1に接続されるトランジスタM 2 a、M 2 bのゲート絶縁膜をSiトランジスタのスケーリング則によらずに厚くできる構成にできる。そのため、データの保持時間を長くすることができる。或いは、本発明の一態様は、回路1 1 0と回路1 2 0との間で電源電圧の供給の停止および再開に応じて、データの退避および復帰を実現できる構成である。そのため、データの保持をしつつ、電源電圧の供給の停止による低消費電力化を実現できる。

【0042】

<半導体装置の動作>

次いで、半導体装置の動作の一例について図2を参照して説明する。図2には、図1の回路1 1 0を、NOR回路を2つ有するRSラッチとした回路1 1 0 Aとした半導体装置1 0 0の回路図を示している。図3には、図2に示す半導体装置1 0 0における電源電圧の供給の停止および再開に伴う、データの退避、復帰を説明するためのタイミングチャート図を示す。

10

【0043】

図3に示すタイミングチャートでは、入力端子Rの信号波形、入力端子Sの信号波形、出力端子Qの信号波形、出力端子Q Bの信号波形、制御信号S t o r eの信号波形、制御信号L o a dの信号波形、電圧V 1の変化を表す波形、ノードN a 1の電圧の変化を表す波形、ノードN a 2の電圧の変化を表す波形、ノードN b 1の電圧の変化を表す波形、ノードN b 2の電圧の変化を表す波形をハイレベル、ローレベルで示している。また図3に示すタイミングチャート図では、波形の変化が現れる時刻を時刻T 1乃至T 1 4としている。また図3に示すタイミングチャート図では、通常動作を行う期間P 1、データの退避動作を行う期間P 2、電源電圧の供給が停止する期間P 3、データの復帰動作を行う期間P 4を示している。なお図3に示す各波形は遅延等を考慮していないが、実際の回路では入力する信号に遅れて出力する信号が変化する。

20

【0044】

また図4乃至7では、期間P 1乃至P 4における回路1 1 0 Aへの電源電圧の供給の状態、回路1 2 0における各トランジスタの状態、制御信号S t o r e、L o a dの状態、出力端子または各ノードにおけるデータに応じた電圧の状態、を表したものである。なお図4は、期間P 1のT 3乃至T 5に対応する。また図5は、期間P 2のT 6乃至T 7に対応する。図6は、期間P 3のT 8乃至T 9に対応する。図7は、期間P 4のT 1 0乃至T 1 1に対応する。

30

【0045】

期間P 1の時刻T 1では、入力端子Rの信号波形をローレベルからハイレベルにし、データをリセットする。出力端子Qの信号波形はハイレベルからローレベルとなる。出力端子Q Bの信号波形はローレベルからハイレベルとなる。そして、期間P 1の時刻T 2では、入力端子Rの信号波形をハイレベルからローレベルにし、出力端子Q、Q Bの状態が保持される。そして期間P 1の時刻T 3では、入力端子Sの信号波形をローレベルからハイレベルにし、データをセットする。出力端子Qの信号波形はローレベルからハイレベルとなる。出力端子Q Bの信号波形はハイレベルからローレベルとなる。そして、期間P 1の時刻T 4では、入力端子Sの信号波形をハイレベルからローレベルにする。そして、期間P 1の時刻T 5でも、出力端子Q、Q Bの状態が保持される。以上が期間P 1の説明である。

40

【0046】

次いで期間P 2の時刻T 6では、制御信号S t o r eをローレベルからハイレベルにし、回路1 1 0 Aのデータを回路1 2 0へ退避させる。出力端子Q、Q Bのデータに応じた電圧は、インバータで反転され、ノードN a 1、N b 1に与えられる。つまり、ノードN a 1にローレベル、ノードN b 1にハイレベルが与えられる。そして、期間P 2の時刻T 7では、制御信号S t o r eをハイレベルからローレベルにし、ノードN a 1、N b 1に与えたデータに対応する電圧を回路1 2 0に保持させる。このノードN a 1、N b 1に保持した電圧は、制御信号S t o r eをローレベルとし、トランジスタM 1 a、M 1 bを非

50

導通状態とすることで維持される。本発明の一態様の構成では、上述したようにトランジスタM2a、M2bは、SiトランジスタであるトランジスタM3a、M3bより厚いゲート絶縁膜を有するOSトランジスタで構成される。そのため、Siトランジスタの微細化が進み、ゲート絶縁膜の薄膜化が進んでも、データに応じた電圧を保持しやすくすることができる。以上が期間P2の説明である。

【0047】

次いで期間P3の時刻T8では、電圧V1をハイレベルからローレベル、すなわち電圧VDDから電圧VSSとし、回路110Aへの電源電圧の供給を停止する。出力端子Q、QBは、ローレベルとなる。一方で、期間P2で保持したノードNa1、Nb1の電圧は、制御信号Storeをローレベルとすることで保持される。そのため、電源電圧の供給が停止してもデータの保持が可能な不揮発性の記憶装置として機能させることができる。以上が期間P3の説明である。

10

【0048】

次いで時刻T9では、制御信号Loadをローレベルからハイレベルにし、回路120のノードNa1に保持した電圧に従ってデータを回路110Aへ復帰させる。ノードNb1にはハイレベルが保持されており、ノードNb1にゲートが接続されたトランジスタM2bは導通状態となる。したがって、制御信号Loadの波形の変化にしたがって、ノードNb2の電圧がローレベルからハイレベルに変化する。一方、ノードNa1にはローレベルが保持されており、ノードNa1にゲートが接続されたトランジスタM2aは非導通状態となる。したがってノードNa2の電圧は、ローレベルのままとなる。

20

【0049】

次いで期間P4の時刻T10では、電圧V1をローレベルからハイレベル、すなわち電圧VSSから電圧VDDとし、回路110Aへの電源電圧の供給を再開する。先に述べた時刻T9でのノードNa2、Nb2の電圧の違いに応じて、トランジスタM3a、M3bを流れる電流量に差が生じる。この電流量の差が出力端子Q、QBの電圧の立ち上がり差を生じさせるため、出力端子Qはハイレベル、出力端子QBはローレベルとなる。つまり、回路110Aに時刻T5での元のデータを復帰させることができる。そして、期間P4の時刻T11では、制御信号Loadをハイレベルからローレベルにし、同様にノードNb2の電圧もハイレベルからローレベルとなる。期間P1の時刻T12でも、出力端子Q、QBの状態が保持される。以上が期間P4の説明である。

30

【0050】

再び、期間P1の時刻T13では、入力端子Rの信号波形をローレベルからハイレベルにし、データをリセットする。出力端子Qの信号波形はハイレベルからローレベルとなる。出力端子QBの信号波形はローレベルからハイレベルとなる。そして、期間P1の時刻T14では、入力端子Rの信号波形をハイレベルからローレベルにし、出力端子Q、QBの状態が保持される。

【0051】

以上、説明したタイミングチャートの動作によって、図2に示す半導体装置100は、電源電圧の供給の停止および再開に伴う、データの退避、復帰を行うことができる。

40

【0052】

<半導体装置の変形例>

次いで、上述の半導体装置の変形例について説明する。

【0053】

図1で説明した回路110は、例えばラッチ又はフリップフロップを用いればよい。回路110は、適用するデータの種類に応じて、D型ラッチ、T型ラッチ、JK型ラッチ、又はRS型ラッチ等を用いることができる。

【0054】

例えば、図8(A)に示す回路110Bのようにリセット端子を有するD型ラッチとすることもできる。この場合、リセット用の入力端子R、データ入力用の入力端子D、クロック信号を与える端子CLKが設けられる。回路120は、図8(A)に示すように、出

50

力端子Q、QBに接続されるように設ければよい。

【0055】

また別の変形例として図1で説明した回路110は、例えばSRAM(Static Random Access Memory)を用いることができる。

【0056】

例えば、図8(B)に示す回路110CのようにSRAMに適用することができる。この場合、データ入力用の入力端子D、DBが設けられる。回路120は、図8(B)に示すように、インバータループを構成する2つの端子に接続されるように設ければよい。

【0057】

図1で説明した回路120は、例えばインバータINVa、INVbを省略することができる。図9には、インバータINVa、INVbを省略した回路120Aを有する半導体装置100の回路図を示す。図1で説明した回路120と異なる点は、トランジスタM3a、M3bに接続される出力端子Q、QBを変更する点にある。このようにすることで、インバータINVa、INVbがなくても、データの退避、復帰を行うことができる。

10

【0058】

また図1で説明したOSTランジスタで構成されるトランジスタM1a、M1b、M2a、M2bは、バックゲートを有するトランジスタとすることが好適である。該構成とすることで、バックゲートに与える電圧を変えることで閾値電圧の制御を容易に行うことができる。例えば、図10(A)に図示するように、トランジスタM1a、M1b、M2a、M2bのバックゲートに共通して電圧V3を与えて各トランジスタの閾値電圧を制御すればよい。なお電圧V3は、電圧V2よりも小さい電圧とすることでトランジスタの閾値電圧をプラスシフトしやすくできるため好適である。なおバックゲートを設けるトランジスタは、図10(B)に図示するように、データを保持するノードNa1、Nb1にソースまたはドレインの他方が接続されるトランジスタM1a、M1bのみとしてもよい。該構成とすることで、バックゲートのないトランジスタM2a、M2bを導通状態にしやすくすることができる。

20

【0059】

(実施の形態2)

本実施の形態では、上記実施の形態で説明したOSTランジスタについて説明する。

【0060】

30

<オフ電流特性について>

OSTランジスタは、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にすることでオフ電流を低くすることができる。ここで、実質的に真性とは、酸化物半導体中のキャリア密度が、 $8 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上であることを指す。酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。

【0061】

真性または実質的に真性にした酸化物半導体を用いたトランジスタは、キャリア密度が低いいため、閾値電圧がマイナスとなる電気特性になることが少ない。また、当該酸化物半導体を用いたトランジスタは、酸化物半導体のキャリアトラップが少ないため、電気特性の変動が小さく、信頼性の高いトランジスタとなる。また、当該酸化物半導体を用いたトランジスタは、オフ電流を非常に低くすることが可能となる。

40

【0062】

なおオフ電流を低くしたOSTランジスタでは、室温(25程度)にてチャネル幅 $1 \mu\text{m}$ あたりの規格化されたオフ電流が $1 \times 10^{-18} \text{A}$ 以下、好ましくは $1 \times 10^{-21} \text{A}$ 以下、更に好ましくは $1 \times 10^{-24} \text{A}$ 以下、又は85にて $1 \times 10^{-15} \text{A}$ 以下、好ましくは $1 \times 10^{-18} \text{A}$ 以下、更に好ましくは $1 \times 10^{-21} \text{A}$ 以下とすることができる。

50

【 0 0 6 3 】

< 温度特性について >

O S トランジスタは、S i トランジスタよりも高い温度で使用することができる。具体例を挙げて説明するため、図 2 2 (A) に O S トランジスタのゲート電圧 V_G - ドレイン電流 I_D 特性、及びゲート電圧 V_G - 電界効果移動度 μ_{FE} 特性の温度依存性を、図 2 2 (B) に S i トランジスタのゲート電圧 V_G - ドレイン電流 I_D 特性、及びゲート電圧 V_G - 電界効果移動度 μ_{FE} 特性の温度依存性を、示す。なお図 2 2 (A)、(B) においては、- 2 5 、 5 0 、 1 5 0 の温度での各電気的特性の測定結果を示している。なおドレイン電圧 V_D は 1 V としている。

【 0 0 6 4 】

なお図 2 2 (A) に示す O S トランジスタの電気的特性は、チャンネル長 $L = 0.45 \mu\text{m}$ 、チャンネル幅 $W = 10 \mu\text{m}$ 、ゲート絶縁層の酸化膜の膜厚 $T_{ox} = 20 \text{nm}$ でのグラフである。また図 2 2 (B) に示す S i トランジスタの電気的特性は、 $L = 0.35 \mu\text{m}$ 、 $W = 10 \mu\text{m}$ 、 $T_{ox} = 20 \text{nm}$ でのグラフである。

【 0 0 6 5 】

なお O S トランジスタの酸化物半導体層は、In - Ga - Zn 系酸化物で作製し、S i トランジスタは、シリコンウエハから作製したものである。

【 0 0 6 6 】

図 2 2 (A) 及び (B) からは、O S トランジスタの立ち上がりゲート電圧の温度依存性は小さいことがわかる。また、O S トランジスタのオフ電流が温度によらず測定下限 (I_0) 以下であるが、S i トランジスタのオフ電流は、温度依存性が大きい。図 2 2 (B) の測定結果は、1 5 0 では、S i トランジスタはオフ電流が上昇し、電流オン/オフ比が十分に大きくなることを示している。

【 0 0 6 7 】

図 2 2 (A) 及び (B) のグラフから、O S トランジスタをスイッチとして用いる場合、1 5 0 以上の温度下においても、動作させることができる。そのため、半導体装置の耐熱性を優れたものとすることができる。

【 0 0 6 8 】

< 耐圧特性について >

ここで O S トランジスタの電圧に対する耐圧について、S i トランジスタの耐圧と比較し、説明する。

【 0 0 6 9 】

図 2 3 では、O S トランジスタのドレイン耐圧について説明するため、S i トランジスタと O S トランジスタとの $V_D - I_D$ 特性図について示す。図 2 3 では、S i トランジスタと O S トランジスタとについて同じ条件での耐圧を比較するために、共にチャンネル長 L を $0.9 \mu\text{m}$ とし、チャンネル幅 W を $10 \mu\text{m}$ とし、酸化シリコンを用いたゲート絶縁膜の膜厚 T_{ox} を 20nm としている。なおゲート電圧は、2 V としている。

【 0 0 7 0 】

図 2 3 に示すように S i トランジスタでは、ドレイン電圧の増加に対して 4 V 程度でアバランシェブレイクダウンが起こるのに対して、O S トランジスタでは、ドレイン電圧の増加に対して 2 6 V 程度までアバランシェブレイクダウンが起きずに定電流を流すことができるのがわかる。

【 0 0 7 1 】

図 2 4 (A) では、ゲート電圧を変化させた際の、O S トランジスタの $V_D - I_D$ 特性図について示す。また図 2 4 (B) では、ゲート電圧を変化させた際の、S i トランジスタの $V_D - I_D$ 特性図について示す。図 2 4 (A)、(B) では、S i トランジスタと O S トランジスタとについて同じ条件での耐圧を比較するために、共にチャンネル長を $0.9 \mu\text{m}$ とし、チャンネル幅を $10 \mu\text{m}$ とし、酸化シリコンを用いたゲート絶縁膜の膜厚を 20nm としている。なおゲート電圧は、図 2 4 (A) の O S トランジスタでは 0.1 V、2.06 V、4.02 V、5.98 V、7.94 V と変化させ、図 2 4 (B) の S i トラン

10

20

30

40

50

ジスタでは 0.1 V、1.28 V、2.46 V、3.64 V、4.82 V と変化させている。

【0072】

図24(A)、(B)に示すようにSiトランジスタでは、ドレイン電圧の増加に対して4乃至5V程度でアバランシェブレークダウンが起こるのに対して、OSTランジスタでは、ドレイン電圧の増加に対して9V程度ではアバランシェブレークダウンが起きずに定電流を流すことができるのがわかる。

【0073】

図23、図24(A)、(B)からもわかるようにOSTランジスタはSiトランジスタと比べて耐圧が高い。そのため高い電圧が印加される箇所にOSTランジスタを適用しても、絶縁破壊を引き起こすことなく安定して使用することができる。

10

【0074】

<オフ電流>

本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い状態、pチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低いときのドレイン電流を言う場合がある。

20

【0075】

トランジスタのオフ電流は、 V_{gs} に依存する場合がある。従ってトランジスタのオフ電流がI以下となる V_{gs} が存在するときに、トランジスタのオフ電流がI以下である、と言う場合がある。トランジスタのオフ電流は、 V_{gs} が所定の値であるときのオフ電流、 V_{gs} が所定の範囲内の値であるときのオフ電流、または、 V_{gs} が十分に低減されたオフ電流が得られる値であるときのオフ電流を指す場合がある。

【0076】

一例として、しきい値電圧 V_{th} が0.5Vであり、 V_{gs} が0.5Vであるときのドレイン電流が 1×10^{-9} Aであり、 V_{gs} が0.1Vにおけるドレイン電流が 1×10^{-13} Aであり、 V_{gs} が-0.5Vにおけるドレイン電流が 1×10^{-19} Aであり、 V_{gs} が-0.8Vにおけるドレイン電流が 1×10^{-22} Aであるようなnチャネル型トランジスタを想定する。当該トランジスタのドレイン電流は、 V_{gs} が-0.5Vにおいて、または、 V_{gs} が-0.5V乃至-0.8Vの範囲において、 1×10^{-19} A以下であるから、当該トランジスタのオフ電流は 1×10^{-19} A以下である、と言う場合がある。当該トランジスタのドレイン電流が 1×10^{-22} A以下となる V_{gs} が存在するため、当該トランジスタのオフ電流は 1×10^{-22} A以下である、と言う場合がある。

30

【0077】

本明細書では、チャネル幅Wを有するトランジスタのオフ電流を、チャネル幅Wあたりの値で表す場合がある。また、所定のチャネル幅（例えば1 μ m）あたりの電流値で表す場合がある。後者の場合、オフ電流の単位は、電流/長さ（例えば、A/ μ m）で表される場合がある。

40

【0078】

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、室温、60、85、95、または125におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、5乃至35のいずれか一の温度）におけるオフ電流、を表す場合がある。室温、60、85、95、125、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温

50

度（例えば、5乃至35のいずれか一の温度）、におけるトランジスタのオフ電流がI以下となるV_{gs}が存在するときに、トランジスタのオフ電流がI以下である、と言う場合がある。

【0079】

トランジスタのオフ電流は、ドレインとソースの間の電圧V_{ds}に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、V_{ds}の絶対値が0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、または20Vにおけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証されるV_{ds}、または、当該トランジスタが含まれる半導体装置等において使用されるV_{ds}におけるオフ電流、を表す場合がある。V_{ds}が所定の値であるときに、トランジスタのオフ電流がI以下となるV_{gs}が存在する場合、トランジスタのオフ電流がI以下である、と言うことがある。ここで、所定の値とは、例えば、0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、20V、当該トランジスタが含まれる半導体装置等の信頼性が保証されるV_{ds}の値、または、当該トランジスタが含まれる半導体装置等において使用されるV_{ds}の値である。

10

【0080】

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

【0081】

本明細書では、オフ電流と同じ意味で、リーク電流と記載する場合がある。

20

【0082】

本明細書において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

【0083】

< 酸化物半導体の組成 >

なおOSトランジスタの半導体層に用いる酸化物半導体としては、少なくともインジウム(In)又は亜鉛(Zn)を含むことが好ましい。特にIn及びZnを含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ジルコニウム(Zr)、ハフニウム(Hf)及びアルミニウム(Al)の少なくともいずれかを有すればよい。

30

【0084】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種又は複数種を有してもよい。

【0085】

トランジスタの半導体層に用いる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化

40

50

物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

【0086】

例えば、In:Ga:Zn = 1:1:1、In:Ga:Zn = 3:1:2、In:Ga:Zn = 4:2:3、あるいはIn:Ga:Zn = 2:1:3の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0087】

<酸化物半導体中の不純物>

半導体層を構成する酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理（脱水素化処理）を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

10

【0088】

なお、酸化物半導体膜への脱水化処理（脱水素化処理）によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。

【0089】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素又は水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型（真性）化又はi型に限りなく近く実質的にi型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上であることをいう。

20

【0090】

<酸化物半導体の構造>

酸化物半導体の構造について説明する。

30

【0091】

なお本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0092】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

40

【0093】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに分けられる。または、酸化物半導体は、例えば、結晶性酸化物半導体と非晶質酸化物半導体とに分けられる。

【0094】

なお、非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。また、結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

50

【0095】

まずは、CAAC-OS膜について説明する。

【0096】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0097】

透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OS膜の明視野像および回折パターンの複合解析像(高分解能TEM像ともいう。)を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

10

【0098】

試料面と略平行な方向から、CAAC-OS膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0099】

一方、試料面と略垂直な方向から、CAAC-OS膜の平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

20

【0100】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2 θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

【0101】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2 θ が31°近傍のピークの他に、2 θ が36°近傍にもピークが現れる場合がある。2 θ が36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2 θ が31°近傍にピークを示し、2 θ が36°近傍にピークを示さないことが好ましい。

30

【0102】

CAAC-OS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

40

【0103】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0104】

不純物濃度が低く、欠陥準位密度が低い(酸素欠損の少ない)ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体

50

膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

【0105】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0106】

次に、微結晶酸化物半導体膜について説明する。

【0107】

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

【0108】

nc-OS膜は、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【0109】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

【0110】

次に、非晶質酸化物半導体膜について説明する。

【0111】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

【0112】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない

10

20

30

40

50

。

【0113】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

【0114】

なお、酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体(a-like OS: amorphous-like Oxide Semiconductor)膜と呼ぶ。

10

【0115】

a-like OS膜は、高分解能TEM像において鬆(ポイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OS膜であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

【0116】

なお、a-like OS膜およびnc-OS膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、InGaZnO₄の結晶は層状構造を有し、In-O層の間に、Ga-Zn-O層を2層有する。InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞がInGaZnO₄の結晶のa-b面に対応する。

20

【0117】

また、酸化物半導体膜は、構造ごとに密度が異なる場合がある。例えば、ある酸化物半導体膜の組成がわかれば、該組成と同じ組成における単結晶の密度と比較することにより、その酸化物半導体膜の構造を推定することができる。例えば、単結晶の密度に対し、a-like OS膜の密度は78.6%以上92.3%未満となる。また、例えば、単結晶の密度に対し、nc-OS膜の密度およびCAAC-OS膜の密度は92.3%以上100%未満となる。なお、単結晶の密度に対し密度が78%未満となる酸化物半導体膜は、成膜すること自体が困難である。

30

【0118】

上記について、具体例を用いて説明する。例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体膜において、菱面体晶構造を有する単結晶InGaZnO₄の密度は6.357g/cm³となる。よって、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体膜において、a-like OS膜の密度は5.0g/cm³以上5.9g/cm³未満となる。また、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体膜において、nc-OS膜の密度およびCAAC-OS膜の密度は5.9g/cm³以上6.3g/cm³未満となる。

40

【0119】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせるにより、所望の組成の単結晶に相当する密度を算出することができる。所望の組成の単結晶の密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、密度は、可能な限り少ない種類の単結晶

50

を組み合わせることで算出することが好ましい。

【0120】

なお、酸化半導体膜は、例えば、非晶質酸化半導体膜、*a-like* OS膜、微結晶酸化半導体膜、CAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0121】

以上説明したようにOSTランジスタは、極めて優れたオフ電流特性を実現できる。

【0122】

(実施の形態3)

本実施の形態では、開示する発明の一態様に係る半導体装置が有するランジスタの断面の構造について、図面を参照して説明する。

10

【0123】

<断面構造の模式図>

まず本発明の一態様に係る半導体装置の断面構造の模式図について、図11(A)、(B)で説明する。

【0124】

本発明の一態様における半導体装置が有するランジスタは、Siランジスタ及びOSTランジスタで構成される。半導体装置の断面構造としては、Siランジスタを有する層と、OSTランジスタを有する層とを積層して設ける構成を挙げることができる。それぞれの層では、同じ材料の半導体層で構成される、複数のランジスタを有する。

20

【0125】

本発明の一態様における半導体装置は、一例としては、図11(A)に示すように、Siランジスタを有する層31(図中、Si-FET Layerと表記)、配線が設けられる層32(図中、Wiring Layerと表記)、OSTランジスタを有する層33(図中、OS-FET Layerと表記)の順に積層して設けることができる。

【0126】

図11(A)に示す断面構造の模式図でSiランジスタを有する層31は、単結晶のシリコン基板に形成されるSiランジスタを有する。なおSiランジスタは、非晶質、微結晶、多結晶又は単結晶である、シリコン又はゲルマニウムなどの薄膜の半導体を半導体層に用いるランジスタでもよい。

30

【0127】

図11(A)に示す断面構造の模式図でOSTランジスタを有する層33は、平坦化された絶縁表面上に形成されるOSTランジスタを有する。

【0128】

図11(A)に示す断面構造の模式図で配線が設けられる層32は、Siランジスタを有する層31、及び/又はOSTランジスタを有する層33が有するランジスタ同士を電氣的に接続するための配線、あるいはランジスタに電圧を与えるための配線を有する。配線が設けられる層32は、図11(A)では層32を単層で示したが、複数積層して設ける構成としてもよい。

【0129】

なお図11(A)に示す断面構造の模式図でOSTランジスタを有する層33は、図11(A)では単層で示したが、積層して設ける構成としてもよい。積層する場合は、図11(B)に示す断面構造の模式図で表すことができる。

40

【0130】

図11(B)では、OSTランジスタを有する層33__1及び33__2とする2層構造を例示している。図11(B)に示す断面構造の模式図でOSTランジスタを有する層33__1及び33__2は、平坦化された絶縁表面上に形成されるOSTランジスタを有する。図11(B)では、2層を積層する例を示したが、積層数は限定されない。なおOSTランジスタを有する層33__1及び33__2の間には、配線が設けられる層32を設ける構成とすることができる。該構成とすることで、OSTランジスタ同士を電氣的に接続す

50

ることができる。

【0131】

上記実施の形態1の図1で説明したトランジスタM1a、M2a(M1b、M2b)はOSトランジスタであり、トランジスタM3a(M3b)はSiトランジスタである。そのため図1の各トランジスタを図11(A)、(B)の各層に適用する場合、Siトランジスタを有する層31は、トランジスタM3a(M3b)を有し、またOSトランジスタを有する層33、33_1、33_2は、トランジスタM1a、M2a(M1b、M2b)を有する構成となる。図11(A)、(B)に示すようにOSトランジスタを有する層をSiトランジスタを有する層と積層させることで、メモリセルの回路面積の縮小、すなわち半導体装置のチップ面積を縮小し、小型化を図ることができる。

10

【0132】

< Siトランジスタを有する層、配線が設けられる層の断面構造 >

次いで図12では、図11(A)、(B)で説明したSiトランジスタを有する層31、配線が設けられる層32の断面構造の一例について示す。図12では、Siトランジスタを有する層31が有するトランジスタ41の断面構造について説明する。図12のトランジスタ41の断面構造は、例えば、上記実施の形態1の図1で図示したトランジスタM3a(M3b)に適用することができる。

【0133】

なお図12において、破線A1-A2で示す領域では、トランジスタ41のチャンネル長方向における構造を示しており、破線A3-A4で示す領域では、トランジスタ41のチャンネル幅方向における構造を示している。

20

【0134】

図12で、トランジスタ41が形成される基板400は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図12では、単結晶シリコン基板を基板400として用いる場合を例示している。

【0135】

また、トランジスタ41は、素子分離法により電気的に分離されている。素子分離法として、トレンチ分離法(STI法: Shallow Trench Isolation)等を用いることができる。図12では、トレンチ分離法を用いてトランジスタ41を電気的に分離する場合を例示している。具体的に、図12では、エッチング等により基板400に形成されたトレンチに、酸化珪素などが含まれる絶縁物を埋め込んだ後、当該絶縁物をエッチング等により部分的に除去することで形成される素子分離領域401により、トランジスタ41を素子分離させる場合を例示している。

30

【0136】

また、トレンチ以外の領域に存在する基板400の凸部には、トランジスタ41の不純物領域402及び不純物領域403と、不純物領域402及び不純物領域403に挟まれたチャンネル形成領域404とが設けられている。さらに、トランジスタ41は、チャンネル形成領域404を覆う絶縁膜405と、絶縁膜405を間に挟んでチャンネル形成領域404と重なるゲート電極406とを有する。

【0137】

トランジスタ41では、チャンネル形成領域404における凸部の側部及び上部と、ゲート電極406とが絶縁膜405を間に挟んで重なることで、チャンネル形成領域404の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、トランジスタ41の基板上における専有面積を小さく抑えつつ、トランジスタ41におけるキャリアの移動量を増加させることができる。その結果、トランジスタ41は、オン電流が大きくなると共に、電界効果移動度が高められる。特に、チャンネル形成領域404における凸部のチャンネル幅方向の長さ(チャンネル幅)をW、チャンネル形成領域404における凸部の膜厚をTとすると、チャンネル幅Wに対する膜厚Tの比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ41のオン電流をより大きくすることができ、電界効果移動度もより高められる。

40

50

【 0 1 3 8 】

なお、バルクの半導体基板を用いたトランジスタ 4 1 の場合、アスペクト比は 0 . 5 以上であることが望ましく、1 以上であることがより望ましい。

【 0 1 3 9 】

トランジスタ 4 1 上には、絶縁膜 4 1 1 が設けられている。絶縁膜 4 1 1 には開口部が形成されている。そして、上記開口部には、不純物領域 4 0 2、不純物領域 4 0 3 にそれぞれ電氣的に接続されている導電膜 4 1 2、導電膜 4 1 3 と、ゲート電極 4 0 6 に電氣的に接続されている導電膜 4 1 4 とが、形成されている。

【 0 1 4 0 】

そして、導電膜 4 1 2 は、絶縁膜 4 1 1 上に形成された導電膜 4 1 6 に電氣的に接続されており、導電膜 4 1 3 は、絶縁膜 4 1 1 上に形成された導電膜 4 1 7 に電氣的に接続されており、導電膜 4 1 4 は、絶縁膜 4 1 1 上に形成された導電膜 4 1 8 に電氣的に接続されている。

10

【 0 1 4 1 】

なお図 1 2 において、図 1 1 (A)、(B) で図示した配線が設けられる層 3 2 は、導電膜 4 1 6、4 1 7、4 1 8 に相当する。なお配線が設けられる層 3 2 は、絶縁膜、該絶縁膜に設けられる開口部、該開口部を含む領域に設けられる導電膜を順に形成することで積層することができる。

【 0 1 4 2 】

< O S トランジスタを有する層の断面構造 >

20

次いで図 1 3 (A)、(B) では、図 1 1 (A)、(B) で説明した O S トランジスタを有する層 3 3 の断面構造の一例について示す。図 1 3 (A)、(B) では、O S トランジスタを有する層 3 3 が有するトランジスタ 4 2 の断面構造について説明する。図 1 3 (A)、(B) のトランジスタ 4 2 の断面構造は、例えば、上記実施の形態 1 の図 1 で図示したトランジスタ M 1 a、M 2 a (M 1 b、M 2 b) に適用することができる。

【 0 1 4 3 】

なお図 1 3 (A)、(B) において、図 1 2 と同様に、破線 A 1 - A 2 で示す領域では、トランジスタ 4 2 のチャンネル長方向における構造を示しており、破線 A 3 - A 4 で示す領域では、トランジスタ 4 2 のチャンネル幅方向における構造を示している。

【 0 1 4 4 】

30

図 1 1 (A)、(B) で説明した配線が設けられる層 3 2 の上層に設けられる、絶縁膜 4 2 0 上には、酸素、水素、水の拡散を防ぐブロッキング効果を有する絶縁膜 4 2 1 が設けられている。絶縁膜 4 2 1 は、密度が高く緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜 4 2 1 として、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜 4 2 1 として、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

【 0 1 4 5 】

40

絶縁膜 4 2 1 上には絶縁膜 4 2 2 が設けられており、絶縁膜 4 2 2 上には、トランジスタ 4 2 が設けられている。

【 0 1 4 6 】

トランジスタ 4 2 は、絶縁膜 4 2 2 上に、酸化物半導体を含む半導体膜 4 3 0 と、半導体膜 4 3 0 に電氣的に接続された、ソース電極またはドレイン電極として機能する導電膜 4 3 2 及び導電膜 4 3 3 と、半導体膜 4 3 0 を覆っているゲート絶縁膜 4 3 1 と、ゲート絶縁膜 4 3 1 を間に挟んで半導体膜 4 3 0 と重なるゲート電極 4 3 4 と、を有する。

【 0 1 4 7 】

なお、図 1 3 (A) において、トランジスタ 4 2 は、ゲート電極 4 3 4 を半導体膜 4 3 0 の片側において少なくとも有していれば良いが、絶縁膜 4 2 2 を間に挟んで半導体膜 4

50

30と重なるゲート電極を、さらに有していても良い。

【0148】

トランジスタ42が、一对のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電圧が他の配線から与えられている状態であっても良い。この場合、一对のゲート電極に、同じ高さの電圧が与えられていても良いし、他方のゲート電極にのみ接地電圧などの固定の電圧が与えられていても良い。他方のゲート電極に与える電圧を制御することで、トランジスタの閾値電圧を制御することができる。

【0149】

また、図13(A)では、トランジスタ42が、一のゲート電極434に対応した一のチャンネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ42は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャンネル形成領域を複数有する、マルチゲート構造であっても良い。

10

【0150】

また、図13(A)に示すように、トランジスタ42は、半導体膜430が、絶縁膜422上において順に積層された酸化物半導体膜430a乃至酸化物半導体膜430cを有する場合を例示している。ただし、本発明の一態様では、トランジスタ42が有する半導体膜430が、単膜の金属酸化物膜で構成されていても良い。

【0151】

なお酸化物半導体膜430bがIn-M-Zn酸化物(Mは、Ga、Y、Zr、La、Ce、またはNd)の場合、酸化物半導体膜430bを成膜するために用いるターゲットにおいて、金属元素の原子数比を $In : M : Zn = x_1 : y_1 : z_1$ とすると、 x_1 / y_1 は、1/3以上6以下、さらには1以上6以下であって、 z_1 / y_1 は、1/3以上6以下、さらには1以上6以下であることが好ましい。なお、 z_1 / y_1 を1以上6以下とすることで、酸化物半導体膜430bとしてCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In : M : Zn = 1 : 1 : 1$ 、 $In : M : Zn = 3 : 1 : 2$ 等がある。

20

【0152】

なお酸化物半導体膜430a、430cがIn-M-Zn酸化物(Mは、Ga、Y、Zr、La、Ce、またはNd)の場合、酸化物半導体膜430a、430cを成膜するために用いるターゲットにおいて、金属元素の原子数比を $In : M : Zn = x_2 : y_2 : z_2$ とすると、 $x_2 / y_2 < x_1 / y_1$ であって、 z_2 / y_2 は、1/3以上6以下、さらには1以上6以下であることが好ましい。なお、 z_2 / y_2 を1以上6以下とすることで、酸化物半導体膜430a、430cとしてCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In : M : Zn = 1 : 3 : 2$ 、 $In : M : Zn = 1 : 3 : 4$ 、 $In : M : Zn = 1 : 3 : 6$ 等がある。

30

【0153】

絶縁膜422は、加熱により酸素の一部を酸化物半導体膜430a乃至酸化物半導体膜430cに供給する機能を有する絶縁膜であることが望ましい。また、絶縁膜422は、欠陥が少ないことが好ましく、代表的には、ESR測定により得られる、シリコンのダングリングボンドに由来する $g = 2.001$ を持つスピンの密度が 1×10^{18} spins/cm³以下であることが好ましい。

40

【0154】

絶縁膜422は、加熱により上記酸素の一部を酸化物半導体膜430a乃至酸化物半導体膜430cに供給する機能を有するため、酸化物であることが望ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。絶縁膜422は、プラズマCVD(Chemical Vapor Deposition)法またはスパッタリング法等により、形成することができる。

50

【0155】

なお、本明細書中において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

【0156】

なお、図13(A)に示すトランジスタ42は、チャネル領域が形成される酸化物半導体膜430bの端部のうち、導電膜432及び導電膜433とは重ならない端部、言い換えると、導電膜432及び導電膜433が位置する領域とは異なる領域に位置する端部と、ゲート電極434とが、重なる構成を有する。酸化物半導体膜430bの端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、酸化物半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成され、n型化しやすいと考えられる。しかし、図13(A)に示すトランジスタ42では、導電膜432及び導電膜433とは重ならない酸化物半導体膜430bの端部と、ゲート電極434とが重なるため、ゲート電極434の電圧を制御することにより、当該端部にかかる電界を制御することができる。よって、酸化物半導体膜430bの端部を介して導電膜432と導電膜433の間に流れる電流を、ゲート電極434に与える電圧によって制御することができる。このようなトランジスタ42の構造を、Surrounded Channel (S-Channel)構造とよぶ。

【0157】

具体的に、S-Channel構造の場合、トランジスタ42がオフとなるような電圧をゲート電極434に与えたときは、当該端部を介して導電膜432と導電膜433の間に流れるオフ電流を小さく抑えることができる。そのため、トランジスタ42では、大きなオン電流を得るためにチャネル長を短くし、その結果、酸化物半導体膜430bの端部における導電膜432と導電膜433の間の長さが短くても、トランジスタ42のオフ電流を小さく抑えることができる。よって、トランジスタ42は、チャネル長を短くすることで、導通状態のときには大きいオン電流を得ることができ、非導通状態のときにはオフ電流を小さく抑えることができる。

【0158】

また、具体的に、S-Channel構造の場合、トランジスタ42が導通状態となるような電圧をゲート電極434に与えたときは、当該端部を介して導電膜432と導電膜433の間に流れる電流を大きくすることができる。当該電流は、トランジスタ42の電界効果移動度とオン電流の増大に寄与する。そして、酸化物半導体膜430bの端部と、ゲート電極434とが重なることで、酸化物半導体膜430bにおいてキャリアの流れる領域が、ゲート絶縁膜431に近い酸化物半導体膜430bの界面近傍のみでなく、酸化物半導体膜430bの広い範囲においてキャリアが流れるため、トランジスタ42におけるキャリアの移動量が増加する。この結果、トランジスタ42のオン電流が大きくなると共に、電界効果移動度が高くなり、代表的には電界効果移動度が $10\text{ cm}^2/\text{V}\cdot\text{s}$ 以上、さらには $20\text{ cm}^2/\text{V}\cdot\text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化物半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電流駆動力の指標であり、見かけ上の電界効果移動度である。

【0159】

なお、図13(A)の説明では、トランジスタ42が有する半導体膜430が、順に積層された酸化物半導体膜430a乃至酸化物半導体膜430cを有する構造として例示している。半導体膜430は、他の構造として図13(B)に示すような構造でもよい。図13(B)に示すように、半導体膜430が有する酸化物半導体膜430cは、導電膜432及び導電膜433の上層でゲート絶縁膜431と重畳させて設ける構成としてもよい。

【0160】

<Siトランジスタを有する層とOSトランジスタを有する層とを積層した断面構造>

10

20

30

40

50

次いで図14乃至16では、図12で説明したSiトランジスタを有する層31と、配線が設けられた層32と、図13(A)で説明したOSトランジスタを有する層33と、を積層した際の断面構造の一例について示す。

【0161】

図14は、図11(A)に示す模式図の断面構造の一例である。

【0162】

なお図14において、図12、図13(A)、(B)と同様に、破線A1-A2で示す領域では、トランジスタ41、42のチャンネル長方向における構造を示しており、破線A3-A4で示す領域では、トランジスタ41、42のチャンネル幅方向における構造を示している。

10

【0163】

なお本発明の一態様では、図14に示すように、トランジスタ41のチャンネル長方向とトランジスタ42のチャンネル長方向とが、必ずしも一致していなくともよい。

【0164】

なお図14においては、トランジスタ41とトランジスタ42とを電氣的に接続するために、絶縁膜420乃至絶縁膜422には開口部が設けられている。開口部に設けられる導電膜433は、上記開口部において導電膜418に接続されている。

【0165】

図14に示す断面構造では、図11(A)の説明でも述べたように、酸化物半導体膜にチャンネル形成領域を有するトランジスタ42を、単結晶のシリコン基板にチャンネル形成領域を有するトランジスタ41上に形成する。図14の構成とすることで、トランジスタ42のチャンネル形成領域と、トランジスタ41のチャンネル形成領域と、を互いに重ねて設けることができる。そのため該構成としたメモリセルを有する半導体装置では、レイアウト面積の縮小を図ることができる。

20

【0166】

なおOSトランジスタを有する層33に設けられるトランジスタ42を、上記実施の形態1の図1で図示したトランジスタM1a、M2a(M1b、M2b)に適用する場合、トランジスタM1a、M2a(M1b、M2b)同士を同じ層に設けてもよいし、異なる層に設けてもよい。

【0167】

例えば、OSトランジスタを有する層33に設けられるトランジスタ42を同じ層に設ける場合、図15に示す構成とすることができる。また、OSトランジスタを有する層33に設けられるトランジスタ42を異なる層に設ける場合、OSトランジスタを有する層33_1と層33_2を分け、配線が設けられる層32を間に介して積層する、図16に示す構成とすることができる。

30

【0168】

図15に示す断面構造とすることで、OSトランジスタ数が増えてもOSトランジスタを有する層33を1層設ければよいため、積層数を削減することができる。例えば図15ではトランジスタ42Aとトランジスタ42Bとを一度に作製することができる。そのため半導体装置を作製するための工程の削減を図ることができる。

40

【0169】

なお図15において、トランジスタ41、42A、42Bのチャンネル長方向における構造を示している。チャンネル幅方向の構造については図14で示した構造と同様であり、前述の構造を参照すればよい。

【0170】

図15の断面構造の構成を実施の形態1の各トランジスタに適用すると、トランジスタ42A、42BをトランジスタM1a、M2a(M1b、M2b)として、作製することができる。そのため、半導体装置の製造コストの低減を図ることができる。

【0171】

また、図16に示す断面構造とすることで、OSトランジスタ数が増えても、OSトラ

50

ンジスタを有する層 33_1、33_2 と複数の層に設ければよいため、トランジスタ数が増えても回路面積の増大を抑制することができる。そのため、半導体装置のチップ面積を縮小し、小型化を図ることができる。

【0172】

なお図16において、トランジスタ41、42C、42Dのチャンネル長方向における構造を示している。チャンネル幅方向の構造については図14で示した構造と同様であり、前述の構造を参照すればよい。

【0173】

図16の断面構造の構成を実施の形態1の各トランジスタに適用すると、トランジスタ42C、42DをトランジスタM1a、M2a(M1b、M2b)として、作製することができる。図16に示す断面構造とすることで、異なる層にあるOSTランジスタを有する層33_1、33_2とで膜厚、膜質等を異ならせたOSTランジスタとすることができる。そのため異なる特性を有するトランジスタの作り分けを図ることができる。例えば、ゲート絶縁膜を薄膜化してスイッチ特性を高めたトランジスタと、ゲート絶縁膜を厚膜化して耐圧性を高めたトランジスタを積層して設けることができる。そのため、半導体装置の高性能化を図ることができる。

【0174】

(実施の形態4)

本実施の形態では、PLDにおける半導体装置の応用例について説明する。図17はPLDが有するロジックアレイのブロック図についての一例を示す図である。ロジックアレイ300は、アレイ状の複数のLE301(Logic Element)を有する。ここでアレイ状とは、行列状にロジックエレメントが周期的に配列していることを指し、配列は図17の配列に限られない。本実施の形態で説明する半導体装置は、PLD内のレジスタとして機能する。

【0175】

また、LE301を囲むように、複数の配線が形成されている。図17においては、これらの配線は複数の水平な配線群303と複数の垂直な配線群304とにより構成される。配線群とは、複数の配線からなる配線の束である。水平な配線群303と垂直な配線群304とが交わる部分にはスイッチ部302が設けられる。また、水平な配線群303及び垂直な配線群304は入出力端子305に接続され、ロジックアレイ300の外部回路と信号の授受を行う。

【0176】

複数のLE301の入出力端子は、それぞれ周囲に設けられた水平な配線群303や垂直な配線群304に接続している。例えば、LE301の入出力端子は図17においてそれぞれ上下左右の側で水平な配線群303や垂直な配線群304と接続している。この入出力端子を用いることで、LE301は他のLE301に接続することができる。任意のLE301と、これと異なるLE301との接続経路は、スイッチ部302内に設けられた配線間の接続を切り替えるためのスイッチによって決定される。

【0177】

スイッチ部302内における、配線間の接続を切り替えるスイッチのオン又はオフは、コンフィギュレーションデータを記憶するコンフィギュレーションメモリに応じて決定される。スイッチ部302に設けられるコンフィギュレーションメモリは、書き換え可能な構成とする場合、記憶するコンフィギュレーションデータが電源電圧の供給の停止により消失しないよう、不揮発性の記憶素子を有する構成とすることが好ましい。

【0178】

図18は図17で示したLE301のブロック図である。図18に示すLE301は、一例として、ルックアップテーブル(Look Up Table:以下、LUT)311、フリップフロップ312及びマルチプレクサ313を有する。また図18では、LUT311及びマルチプレクサ313に接続されて、コンフィギュレーションメモリ314、315が設けられている。

10

20

30

40

50

【0179】

なおコンフィギュレーションメモリ314、315は、書き換え可能な構成とする場合、記憶するコンフィギュレーションデータが電源電圧の供給の停止により消失しないよう、不揮発性の記憶素子を有する構成とすることが好ましい。

【0180】

なおコンフィギュレーションデータとは、一例としては、LUT311のデータ、マルチプレクサ313の入力信号の選択情報、スイッチ部302の導通又は非導通のデータをいう。またコンフィギュレーションメモリとは、コンフィギュレーションデータを記憶する記憶素子をいう。

【0181】

LUT311は、コンフィギュレーションメモリ314に記憶されたコンフィギュレーションデータの内容によって、定められる論理回路が異なる。そして、コンフィギュレーションデータが確定すると、LUT311は、入力端子316に与えられた複数の入力信号の入力値に対する、一の出力値が定まる。そして、LUT311からは、上記出力値を含む信号が出力される。

【0182】

フリップフロップ312は、LUT311から出力される信号を保持し、クロック信号CLKに同期して当該信号に対応した出力信号が、マルチプレクサ313に出力される。

【0183】

マルチプレクサ313は、LUT311からの出力信号と、フリップフロップ312からの出力信号とが入力されている。そして、マルチプレクサ313は、コンフィギュレーションメモリ315に保持されているコンフィギュレーションデータに従って、上記2つの出力信号のいずれか一方に切り替えて出力する。マルチプレクサ313からの出力信号は、出力端子317から出力される。

【0184】

本発明の一態様では、フリップフロップ312といった一時的なデータの記憶を行う回路に、上記実施の形態で示した半導体装置を用いることで、電源電圧の供給の停止によるフリップフロップ内のデータの消失を防ぐことができる。また、電源電圧の供給を停止する前に保持していたデータの退避を短時間で行うことができ、さらに、電源電圧の供給を再開した後、短時間で上記データを復帰することができる。よって、PLDを構成する複数のロジックエレメントにおいて、電源電圧の供給の停止を行うことができる。従って、PLDの消費電力を小さく抑えることができる。

【0185】

(実施の形態5)

本実施の形態では、CPUにおける半導体装置の応用例について説明する。図19は、CPUのブロック図の一例を示す図である。本実施の形態で説明する半導体装置は、CPU内のレジスタとして機能する。

【0186】

CPU500は、一例として、プログラムカウンタ511、命令レジスタ512、命令デコーダ513、汎用レジスタ514、及びALU515(Arithmetic Logic Unit)を有する。CPU500の外部には、CPU500とのデータの入出力を行うための主記憶装置501が設けられる。

【0187】

プログラムカウンタ511は、読み出す(フェッチする)命令(コマンド)のアドレスを記憶するレジスタである。命令レジスタ512は、主記憶装置501から命令デコーダ513に送られるデータを一時的に記憶しておくレジスタである。命令デコーダ513は、入力されたデータをデコードし、汎用レジスタ514でのレジスタ指定、及びALU515での演算方法指定等の信号を生成する回路である。汎用レジスタ514は、主記憶装置501から読み出されたデータ、ALU515の演算処理の途中で得られたデータ、或いはALU515の演算処理の結果得られたデータ、などを記憶することができる。AL

10

20

30

40

50

U 5 1 5 は、四則演算、論理演算などの各種演算処理を行う機能を有する。なお、C P U 5 0 0 には、別途データキャッシュ等、すなわち演算結果などを一時的に記憶する回路があってもよい。

【 0 1 8 8 】

次いで、C P U 5 0 0 の動作について説明する。

【 0 1 8 9 】

C P U 5 0 0 は、プログラムカウンタ 5 1 1 で指定された、読み出す命令のアドレスを主記憶装置 5 0 1 に出力するよう、指示を行う。次いで主記憶装置 5 0 1 に記憶された、実行する命令のアドレスからデータを読み出し、命令レジスタ 5 1 2 に記憶させる。

【 0 1 9 0 】

命令デコーダ 5 1 3 は、命令レジスタ 5 1 2 に記憶されたデータをデコードし、命令を実行する。具体的には、汎用レジスタ 5 1 4 でのレジスタ指定、及び A L U 5 1 5 での演算方法指定等の信号を生成する。

【 0 1 9 1 】

汎用レジスタ 5 1 4 では、命令に従って、命令デコーダ 5 1 3 で指定されたデータを A L U 5 1 5 又は主記憶装置 5 0 1 に出力する。A L U 5 1 5 では、命令デコーダ 5 1 3 で指定された演算方法に基づいて、演算処理を実行し、演算結果を汎用レジスタ 5 1 4 に記憶する。

【 0 1 9 2 】

そして、命令の実行が終了すると、C P U 5 0 0 は、命令を読み出し、命令レジスタ 5 1 2 から読み出したデータをデコード、命令を実行するという動作を繰り返す。

【 0 1 9 3 】

本発明の一態様では、プログラムカウンタ 5 1 1、命令レジスタ 5 1 2、命令デコーダ 5 1 3、汎用レジスタ 5 1 4 といった一時的なデータの記憶を行うレジスタに、上記実施の形態で示した半導体装置を用いることで、電源電圧の供給の停止によるレジスタ内のデータの消失を防ぐことができる。また、電源電圧の供給を停止する前に保持していたデータの退避を短時間で行うことができ、さらに、電源電圧の供給を再開した後、短時間で上記データを復帰することができる。よって、C P U 5 0 0 全体、又は C P U 5 0 0 を構成する各種回路において、電源電圧の供給の停止を行うことができる。従って、C P U 5 0 0 の消費電力を小さく抑えることができる。

【 0 1 9 4 】

次いで、C P U 5 0 0 に対して電源電圧の供給を停止又は再開するための構成を、一例として図 2 0 に示す。図 2 0 には、C P U 5 0 0 と、パワースイッチ 5 2 1 と、電源制御回路 5 2 2 とを示す。

【 0 1 9 5 】

パワースイッチ 5 2 1 は、オン又はオフの状態に従って、C P U 5 0 0 への電源電圧の供給の停止又は再開を制御することができる。具体的には、電源制御回路 5 2 2 が、パワースイッチ 5 2 1 のオン又はオフするためのパワー制御信号 P o w e r _ E N を出力し、C P U 5 0 0 への電源電圧の供給の停止又は再開を制御する。パワースイッチ 5 2 1 をオンにすることで、電圧 V_{DD} 、 V_{SS} が与えられる配線より、C P U 5 0 0 への電源電圧の供給が行われる。またパワースイッチ 5 2 1 をオフにすることで、電圧 V_{DD} 、 V_{SS} が与えられる配線間の電流のパスが切断されるため、C P U 5 0 0 への電源電圧の供給が停止する。

【 0 1 9 6 】

電源制御回路 5 2 2 は、入力されるデータ D a t a の頻度に応じて、パワースイッチ 5 2 1 及び C P U 5 0 0 の動作を統轄的に制御する機能を有する。具体的には、電源制御回路 5 2 2 は、パワースイッチ 5 2 1 のオン又はオフするためのパワー制御信号 P o w e r _ E N、並びに半導体装置で退避及び復帰されるデータを制御する制御信号 S t o r e 及び制御信号 L o a d を出力する。制御信号 S t o r e 及び制御信号 L o a d は、上述したように、半導体装置内の電位を揮発性の回路と不揮発性の回路との間で退避及び復帰する

10

20

30

40

50

ための信号である。

【0197】

次いで、図20に示したCPU500、パワースイッチ521及び電源制御回路522の動作の一例について説明する。

【0198】

電源電圧の供給を継続、若しくは停止又は再開する際、電源制御回路522に入力されるデータDataの頻度をもとに判断する。具体的には、データDataがCPU500に継続して入力される場合、電源制御回路522は電源電圧の供給を継続するよう制御する。またデータDataがCPU500に間欠的に入力される場合、データDataが入力されるタイミングに従って、電源制御回路522は電源電圧の供給を停止又は再開するよう制御する。

10

【0199】

なお、電源制御回路522は、CPU500への電源電圧の供給が停止している間も継続し電源電圧の供給が行われる構成とすることが好ましい。当該構成とすることで、CPU500への電源電圧の供給を停止又は再開を、所望のタイミングで行うことができる。

【0200】

(実施の形態6)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD:Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレーヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図21に示す。

20

【0201】

図21(A)は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカ5006、操作キー5007、スタイラス5008等を有する。なお、図21(A)に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

30

【0202】

図21(B)は携帯情報端末であり、第1の筐体5601、第2の筐体5602、第1の表示部5603、第2の表示部5604、接続部5605、操作キー5606等を有する。第1の表示部5603は第1の筐体5601に設けられており、第2の表示部5604は第2の筐体5602に設けられている。そして、第1の筐体5601と第2の筐体5602とは、接続部5605により接続されており、第1の筐体5601と第2の筐体5602の間の角度は、接続部5605により変更が可能となっている。第1の表示部5603における映像の切り替えを、接続部5605における第1の筐体5601と第2の筐体5602との間の角度に従って、行う構成としても良い。また、第1の表示部5603及び第2の表示部5604の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。あるいは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

40

【0203】

図21(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。

50

【0204】

図21(D)は電気冷凍冷蔵庫であり、筐体5301、冷蔵室用扉5302、冷凍室用扉5303等を有する。

【0205】

図21(E)はビデオカメラであり、第1の筐体5801、第2の筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。操作キー5804及びレンズ5805は第1の筐体5801に設けられており、表示部5803は第2の筐体5802に設けられている。そして、第1の筐体5801と第2筐体5802とは、接続部5806により接続されており、第1の筐体5801と第2筐体5802との間の角度は、接続部5806により変更が可能となっている。表示部5803における映像の切り替えを、接続部5806における第1の筐体5801と第2の筐体5802との間の角度に従って行う構成としても良い。

10

【0206】

図21(F)は自動車であり、車体5101、車輪5102、ダッシュボード5103、ライト5104等を有する。

【0207】

(本明細書等の記載に関する付記)

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

【0208】

<実施の形態で述べた本発明の一態様に関する付記>

20

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互い構成例を適宜組み合わせることが可能である。

【0209】

なお、ある一つの実施の形態の中で述べる内容(一部の内容でもよい)は、その実施の形態で述べる別の内容(一部の内容でもよい)、及び/又は、一つ若しくは複数の別の実施の形態で述べる内容(一部の内容でもよい)に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0210】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

30

【0211】

なお、ある一つの実施の形態において述べる図(一部でもよい)は、その図の別の部分、その実施の形態において述べる別の図(一部でもよい)、及び/又は、一つ若しくは複数の別の実施の形態において述べる図(一部でもよい)に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【0212】

<図面を説明する記載に関する付記>

本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書で説明した記載に限定されず、状況に応じて適切に言い換えることができる。

40

【0213】

また、「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

【0214】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎

50

に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されない。

【0215】

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0216】

また、図面において、上面図（平面図、レイアウト図ともいう）や斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

【0217】

< 言い換え可能な記載に関する付記 >

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース又はドレインの一方」（又は第1電極、又は第1端子）と表記し、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第2電極、又は第2端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

【0218】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0219】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

【0220】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0221】

< 語句の定義に関する付記 >

以下では、上記実施の形態中で言及しなかった語句の定義について説明する。

【0222】

<< スイッチについて >>

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

【0223】

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

【0224】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、

10

20

30

40

50

MOSトランジスタなど)、ダイオード(例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM(Metal Insulator Metal)ダイオード、MIS(Metal Insulator Semiconductor)ダイオード、ダイオード接続のトランジスタなど)、又はこれらを組み合わせた論理回路などがある。

【0225】

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソースとドレインが電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソースとドレインが電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性(導電型)は特に限定されない。

10

【0226】

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス(DMD)のように、MEMS(マイクロ・エレクトロ・メカニカル・システム)技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0227】

<<チャンネル長について>>

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

20

【0228】

なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0229】

<<チャンネル幅について>>

本明細書等において、チャンネル幅とは、例えば、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

30

【0230】

なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0231】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅(以下、実効的なチャンネル幅と呼ぶ。)と、トランジスタの上面図において示されるチャンネル幅(以下、見かけ上のチャンネル幅と呼ぶ。)と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

40

【0232】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見

50

積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0233】

そこで、本明細書では、トランジスタの上面図において、半導体とゲートとが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅 (SCW: Surrounded Channel Width)」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

10

【0234】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0235】

<< 接続について >>

本明細書等において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的な作用を有する対象物が存在するとき、AとBとの電氣信号の授受を可能とするものをいう。

20

【0236】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合には、以下のように表現することができる。

30

【0237】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

40

【0238】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、ト

50

ランジスタのソース（又は第 1 の端子など）とランジスタのドレイン（又は第 2 の端子など）との間の経路であり、前記第 1 の接続経路は、Z 1 を介した経路であり、ランジスタのドレイン（又は第 2 の端子など）は、少なくとも第 3 の接続経路を介して、Y と電氣的に接続され、前記第 3 の接続経路は、前記第 2 の接続経路を有しておらず、前記第 3 の接続経路は、Z 2 を介した経路である。」と表現することができる。または、「ランジスタのソース（又は第 1 の端子など）は、少なくとも第 1 の接続経路によって、Z 1 を介して、X と電氣的に接続され、前記第 1 の接続経路は、第 2 の接続経路を有しておらず、前記第 2 の接続経路は、ランジスタを介した接続経路を有し、ランジスタのドレイン（又は第 2 の端子など）は、少なくとも第 3 の接続経路によって、Z 2 を介して、Y と電氣的に接続され、前記第 3 の接続経路は、前記第 2 の接続経路を有していない。」と表現することができる。または、「ランジスタのソース（又は第 1 の端子など）は、少なくとも第 1 の電氣的パスによって、Z 1 を介して、X と電氣的に接続され、前記第 1 の電氣的パスは、第 2 の電氣的パスを有しておらず、前記第 2 の電氣的パスは、ランジスタのソース（又は第 1 の端子など）からランジスタのドレイン（又は第 2 の端子など）への電氣的パスであり、ランジスタのドレイン（又は第 2 の端子など）は、少なくとも第 3 の電氣的パスによって、Z 2 を介して、Y と電氣的に接続され、前記第 3 の電氣的パスは、第 4 の電氣的パスを有しておらず、前記第 4 の電氣的パスは、ランジスタのドレイン（又は第 2 の端子など）からランジスタのソース（又は第 1 の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、ランジスタのソース（又は第 1 の端子など）と、ドレイン（又は第 2 の端子など）とを、区別して、技術的範囲を決定することができる。

10

20

【0239】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2 は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【符号の説明】

【0240】

A 1 - A 2	破線
A 3 - A 4	破線
C 1 a	容量素子
C 1 b	容量素子
M 1 a	ランジスタ
M 1 b	ランジスタ
M 2 a	ランジスタ
M 2 b	ランジスタ
M 3 a	ランジスタ
M 3 b	ランジスタ
N a 1	ノード
N a 2	ノード
N b 1	ノード
N b 2	ノード
P 1	期間
P 2	期間
P 3	期間
P 4	期間
P 7	時刻
T 1	時刻
T 2	時刻
T 3	時刻

30

40

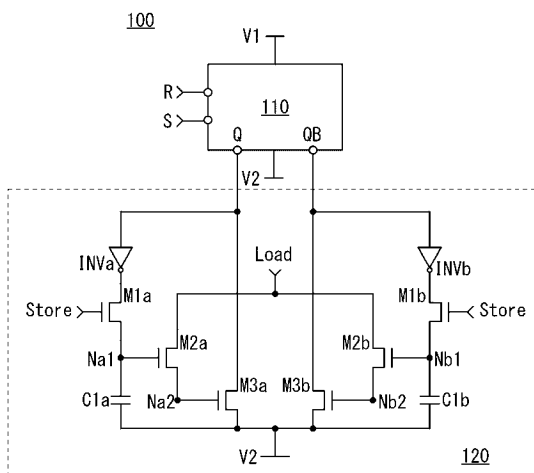
50

T 4	時刻	
T 5	時刻	
T 6	時刻	
T 8	時刻	
T 9	時刻	
T 1 0	時刻	
T 1 1	時刻	
T 1 2	時刻	
T 1 3	時刻	
T 1 4	時刻	10
3 1	層	
3 2	層	
3 3	層	
3 3 _ 1	層	
3 3 _ 2	層	
4 1	トランジスタ	
4 2	トランジスタ	
4 2 A	トランジスタ	
4 2 B	トランジスタ	
4 2 C	トランジスタ	20
4 2 D	トランジスタ	
1 0 0	半導体装置	
1 1 0	回路	
1 1 0 A	回路	
1 1 0 B	回路	
1 1 0 C	回路	
1 2 0	回路	
1 2 0 A	回路	
3 0 0	ロジックアレイ	
3 0 1	LE	30
3 0 2	スイッチ部	
3 0 3	配線群	
3 0 4	配線群	
3 0 5	入出力端子	
3 1 1	LUT	
3 1 2	フリップフロップ	
3 1 3	マルチプレクサ	
3 1 4	コンフィギュレーションメモリ	
3 1 5	コンフィギュレーションメモリ	
3 1 6	入力端子	40
3 1 7	出力端子	
5 0 0	CPU	
4 0 0	基板	
5 0 1	主記憶装置	
4 0 1	素子分離領域	
4 0 2	不純物領域	
4 0 3	不純物領域	
4 0 4	チャンネル形成領域	
4 0 5	絶縁膜	
4 0 6	ゲート電極	50

5 1 1	プログラムカウンタ	
4 1 1	絶縁膜	
4 1 2	導電膜	
5 1 2	命令レジスタ	
4 1 3	導電膜	
5 1 3	命令デコーダ	
4 1 4	導電膜	
5 1 4	汎用レジスタ	
5 1 5	A L U	
4 1 6	導電膜	10
4 1 7	導電膜	
4 1 8	導電膜	
4 2 0	絶縁膜	
5 2 1	パワースイッチ	
4 2 1	絶縁膜	
4 2 2	絶縁膜	
5 2 2	電源制御回路	
4 3 0	半導体膜	
4 3 0 a	酸化物半導体膜	
4 3 0 b	酸化物半導体膜	20
4 3 0 c	酸化物半導体膜	
4 3 1	ゲート絶縁膜	
4 3 2	導電膜	
4 3 3	導電膜	
4 3 4	ゲート電極	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	30
5 0 0 6	スピーカ	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	
5 1 0 4	ライト	
5 3 0 1	筐体	
5 3 0 2	冷蔵室用扉	
5 3 0 3	冷凍室用扉	40
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	50

- 5 8 0 1 筐体
- 5 8 0 2 筐体
- 5 8 0 3 表示部
- 5 8 0 4 操作キー
- 5 8 0 5 レンズ
- 5 8 0 6 接続部

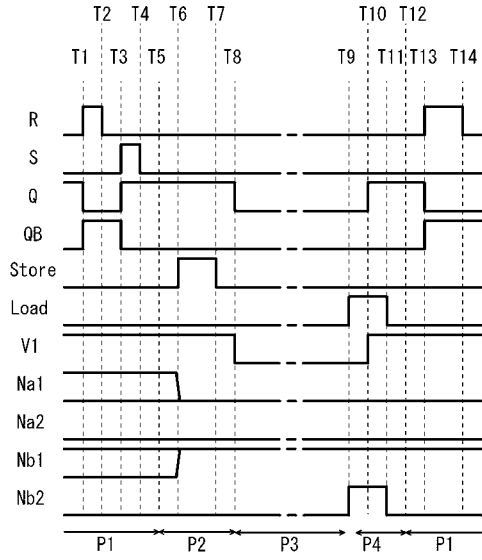
【 図 1 】



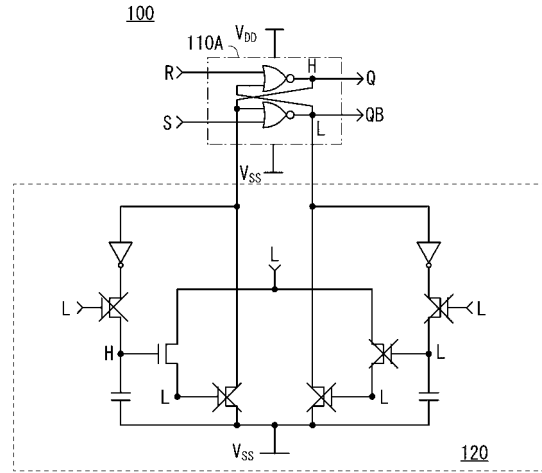
【 図 2 】



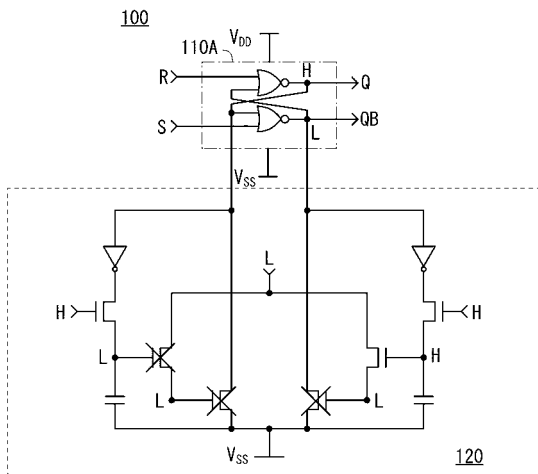
【 図 3 】



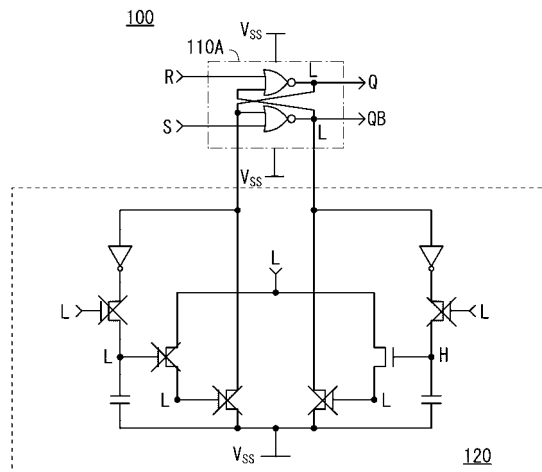
【 図 4 】



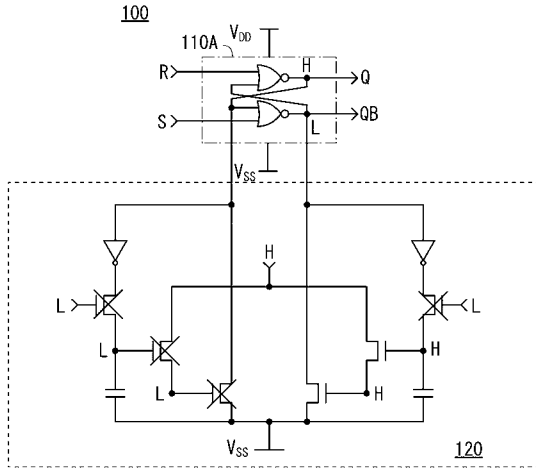
【 図 5 】



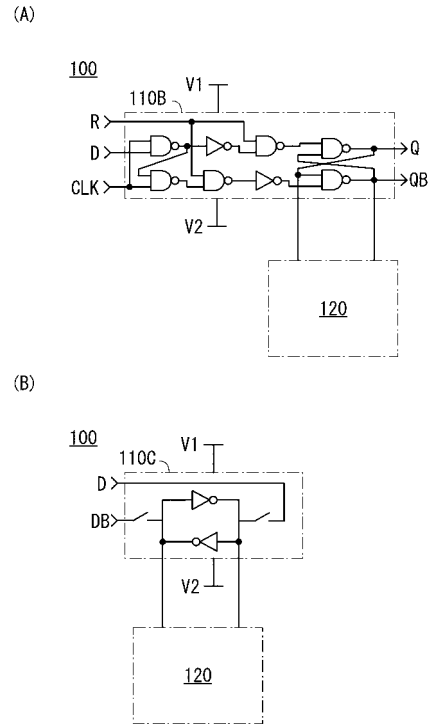
【 図 6 】



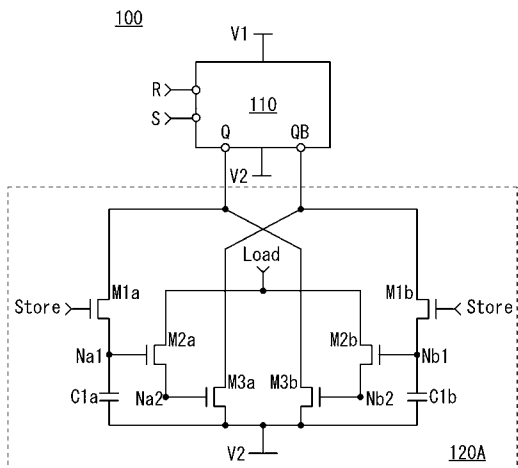
【 図 7 】



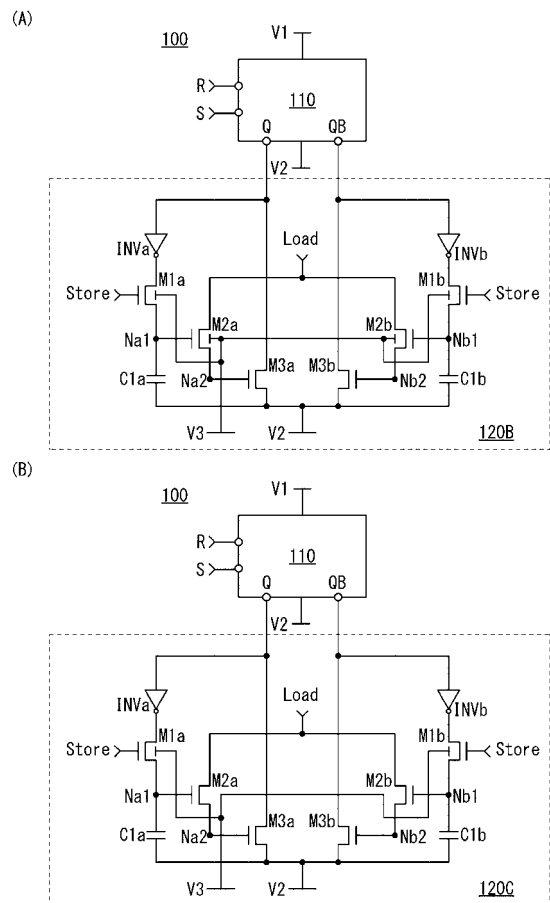
【 図 8 】



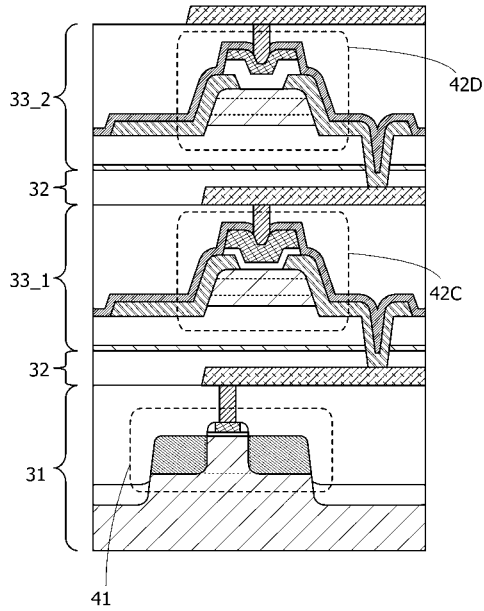
【 図 9 】



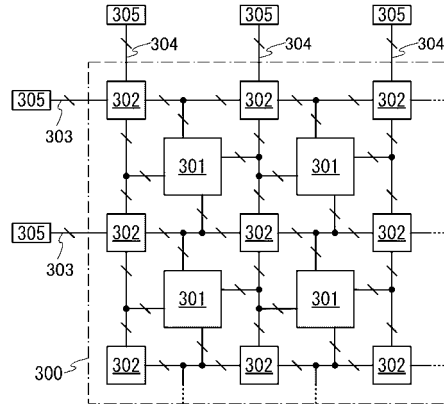
【 図 10 】



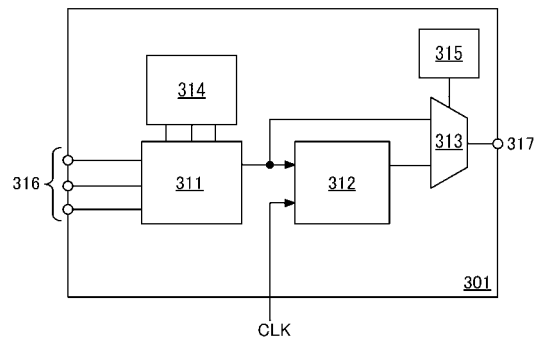
【 図 1 6 】



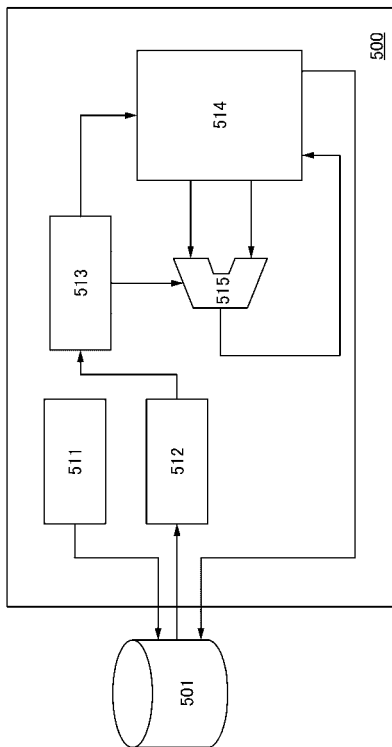
【 図 1 7 】



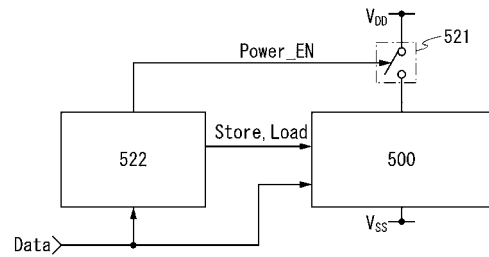
【 図 1 8 】



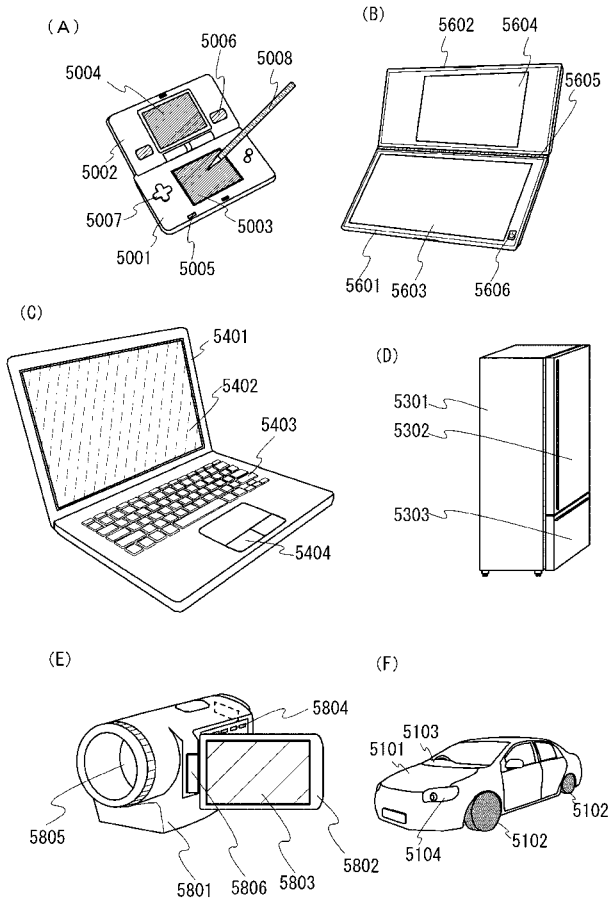
【 図 1 9 】



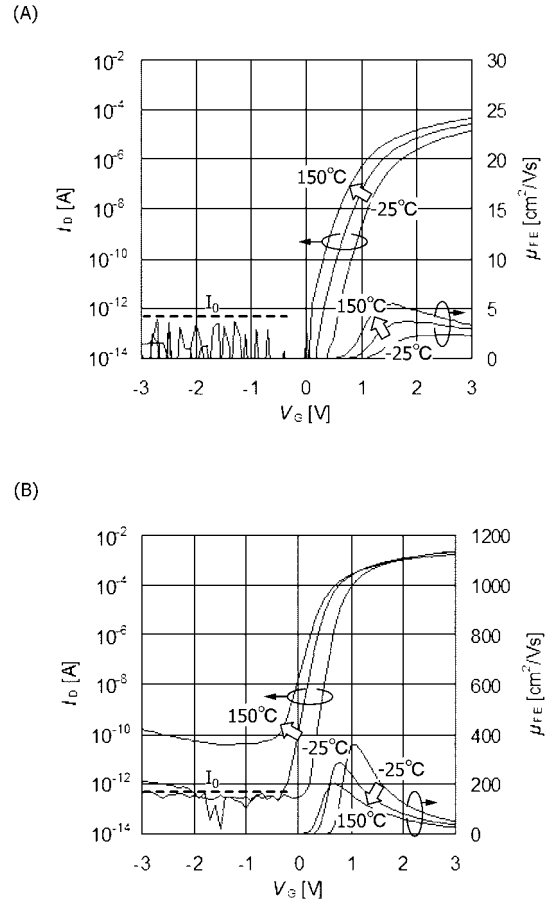
【 図 2 0 】



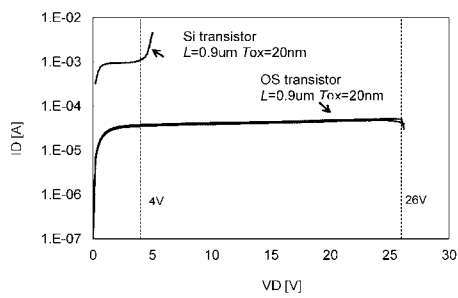
【 図 2 1 】



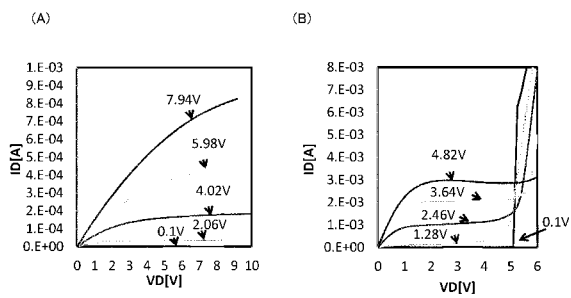
【 図 2 2 】



【 図 2 3 】



【 図 2 4 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 21/82 (2006.01)</i>	H 0 1 L 21/82 A	5 J 0 3 4
<i>H 0 1 L 27/06 (2006.01)</i>	H 0 1 L 27/06 1 0 2 A	5 M 0 2 4
<i>H 0 1 L 21/8242 (2006.01)</i>	H 0 1 L 27/08 1 0 2 C	
<i>H 0 1 L 27/108 (2006.01)</i>	H 0 1 L 27/08 1 0 2 H	
<i>H 0 1 L 27/10 (2006.01)</i>	H 0 1 L 27/10 3 2 1	
<i>H 0 1 L 21/8244 (2006.01)</i>	H 0 1 L 27/10 4 6 1	
<i>H 0 1 L 27/11 (2006.01)</i>	H 0 1 L 27/10 3 8 1	
<i>G 1 1 C 11/405 (2006.01)</i>	G 1 1 C 11/34 3 5 2 B	
<i>G 1 1 C 11/412 (2006.01)</i>	G 1 1 C 11/40 3 0 1	

Fターム(参考)	5F048	AA01	AA05	AB01	AB03	AC01	AC10	BA01	BA14	BA16	BA19
		BA20	BB02	BB03	BB14	BB16	BC18	BD02	BD06	BD10	BF12
		BF15	BF16	BG13	CB01	CB02	CB03	CB04	CB10	DA24	
	5F064	AA07	AA13	BB06	BB07	BB09	BB12	BB13	BB19	BB26	BB37
		CC09	CC23	CC25	EE22	EE27	GG03				
	5F083	AD03	AD69	BS02	BS10	BS14	BS22	BS26	BS43	GA06	GA10
		GA25	GA27	JA60	MA06	MA15	MA16	MA19	NA01	ZA01	ZA13
		ZA14									
	5F110	AA06	AA09	AA13	BB03	BB06	BB11	CC01	CC10	DD05	DD12
		DD13	DD14	DD15	DD17	EE38	FF02	GG01	GG06	GG07	GG13
		GG14	GG15	GG16	GG17	GG19	GG28	GG29	GG33	GG34	GG35
		GG58	NN72	QQ19							
	5J034	AA03	AB03	DB03							
	5M024	AA04	AA06	AA94	BB02	BB35	BB36	BB37	CC02	CC07	HH11
		PP02	PP03	PP05	PP07						