

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第1区分

【発行日】平成29年4月27日(2017.4.27)

【公開番号】特開2015-184208(P2015-184208A)

【公開日】平成27年10月22日(2015.10.22)

【年通号数】公開・登録公報2015-065

【出願番号】特願2014-62506(P2014-62506)

【国際特許分類】

G 01 D 21/00 (2006.01)

G 01 P 15/125 (2006.01)

【F I】

G 01 D 21/00 M

G 01 P 15/125 V

【手続補正書】

【提出日】平成29年3月21日(2017.3.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

物理量検出センサー素子と、

前記物理量検出センサー素子に接続されたICと、

を有し、

前記ICは、

ロジック回路と、

アナログ回路と、

電源電圧に基づいてロジック電源電圧を生成し、前記ロジック回路に前記ロジック電源電圧を供給する第1レギュレータと、

イネーブルに設定されている時に前記電源電圧に基づいて生成されるアナログ電源電圧を、前記アナログ回路に供給する第2レギュレータと、

前記第2レギュレータがディスイネーブルに設定されている時に、前記第1レギュレータを前記アナログ回路に接続するスイッチと、を含むことを特徴とする物理量検出センサー。

【請求項2】

請求項1において、

前記第2レギュレータを前記ディスイネーブルに設定するディスイネーブル信号により、前記スイッチがオフからオンに切替えられることを特徴とする物理量検出センサー。

【請求項3】

請求項1または2において、

前記ロジック電源電圧の電圧レベルと前記アナログ電源電圧の電圧レベルとが実質的に等しいことを特徴とする物理量検出センサー。

【請求項4】

請求項1乃至3のいずれか一項において、

前記物理量検出センサー素子は静電容量型センサー素子であり、

前記アナログ回路は、前記静電容量型センサー素子からの電荷を電圧に変換する電荷-電圧変換回路を含み、

前記第2レギュレータがディスイネーブルに設定されている時に、前記電荷・電圧変換回路はディスイネーブルに設定されることを特徴とする物理量検出センサー。

【請求項5】

請求項4において、

前記アナログ回路は、前記電荷・電圧変換回路からの出力信号を、設定されたゲインで増幅するプログラマブルゲインアンプをさらに有し、

前記第2レギュレータがディスイネーブルに設定されている時に、前記プログラマブルゲインアンプはディスイネーブルに設定されることを特徴とする物理量検出センサー。

【請求項6】

請求項5において、

前記アナログ回路は、前記プログラマブルゲインアンプからの出力信号を、アナログ・デジタル変換するアナログ・デジタル変換器をさらに有し、

前記第2レギュレータがディスイネーブルに設定されている時に、前記アナログ・デジタル変換器はディスイネーブルに設定されることを特徴とする物理量検出センサー。

【請求項7】

請求項6において、

外部トリガーに基づいて前記アナログ回路が前記物理量検出センサーからの信号を処理する処理期間が設定され、前記処理期間内に前記第2レギュレータはイネーブルに設定され、前記処理期間外では前記アナログ回路はディスイネーブルに設定され、

前記プログラマブルゲインアンプおよび前記アナログ・デジタル変換器の少なくとも一方は、前記処理期間内に設定された休止期間にディスイネーブルに設定されることを特徴とする物理量検出センサー。

【請求項8】

請求項1乃至7のいずれか一項において、

前記第1レギュレータは、

非反転入力端子と反転入力端子との間に、仕事関数差電圧によるオフセット電圧を有する差動型の増幅回路と、

前記増幅回路の出力ノードと第1の電源ノードとの間に直列に設けられる第1の抵抗及び第2の抵抗と、

前記第1の抵抗と前記第2の抵抗の接続ノードに一端が接続される位相補償用キャパシターと、  
を含み、

前記接続ノードの信号が、前記増幅回路の前記非反転入力端子に帰還され、前記出力ノードの信号が、前記増幅回路の前記反転入力端子に帰還されることを特徴とする物理量検出センサー。

【請求項9】

請求項8において、

前記第1レギュレータは、

前記第1レギュレータの起動時と、前記第2レギュレータがイネーブルに設定される過負荷時に電流を生成する電流源と、

前記電流源に流れる電流と等しい電流を前記第1レギュレータに増加させるカレントミラ回路と、

をさらに有することを特徴とする物理量検出センサー。

【請求項10】

請求項1乃至9のいずれか一項において、

前記第2レギュレータは、

バンドギャップリファレンス回路と、

前記バンドギャップリファレンス回路からのバンドギャップリファレンス電圧を増幅するアンプと、

前記アンプの負帰還経路に設けられた分圧回路と、

を有し、

前記バンドギャップリファレンス電圧を基準電圧として、前記分圧回路の電圧と前記バンドギャップリファレンス電圧との電位が一致するように、前記アンプにより負帰還制御されていることを特徴とする物理量検出センサー。

【請求項 1 1】

請求項 1 乃至 1 0 のいずれか一項において、

前記第 1 レギュレータは、前記ロジック電源電圧よりも大きい検査電圧を生成し、前記スイッチを介して前記検査電圧を前記アナログ回路に供給することを特徴とする物理量検出センサー。

【請求項 1 2】

請求項 1 乃至 1 1 のいずれか一項記載の物理量検出センサーを有することを特徴とする電子機器。

【請求項 1 3】

請求項 1 乃至 1 1 のいずれか一項記載の物理量検出センサーを有することを特徴とする移動体。

【請求項 1 4】

物理量検出センサー素子に接続される電子回路であって、

ロジック回路と、

アナログ回路と、

電源電圧に基づいてロジック電源電圧を生成し、前記ロジック回路に前記ロジック電源電圧を供給する第 1 レギュレータと、

イネーブルに設定されている時に前記電源電圧に基づいて生成されるアナログ電源電圧を、前記アナログ回路に供給する第 2 レギュレータと、

前記第 2 レギュレータがディスイネーブルに設定されている時に、前記第 1 レギュレータを前記アナログ回路に接続するスイッチと、を含むことを特徴とする電子回路。

【請求項 1 5】

請求項 1 4 において、

前記第 2 レギュレータを前記ディスイネーブルに設定するディスイネーブル信号により、前記スイッチがオフからオンに切替えられることを特徴とする電子回路。

【請求項 1 6】

請求項 1 4 または 1 5 において、

前記ロジック電源電圧の電圧レベルと前記アナログ電源電圧の電圧レベルとが実質的に等しいことを特徴とする電子回路。

【請求項 1 7】

請求項 1 4 乃至 1 6 のいずれか一項において、

前記第 1 レギュレータは、前記ロジック電源電圧よりも大きい検査電圧を生成し、前記スイッチを介して前記検査電圧を前記アナログ回路に供給することを特徴とする電子回路。

【請求項 1 8】

請求項 1 4 乃至 1 7 のいずれか一項において、

前記物理量検出センサー素子は静電容量型センサー素子であり、

前記アナログ回路は、前記静電容量型センサー素子からの電荷を電圧に変換する電荷 - 電圧変換回路を含み、

前記第 2 レギュレータがディスイネーブルに設定されている時に、前記電荷 - 電圧変換回路はディスイネーブルに設定されることを特徴とする電子回路。

【請求項 1 9】

請求項 1 8 において、

前記アナログ回路は、前記電荷 - 電圧変換回路からの出力信号を、設定されたゲインで增幅するプログラマブルゲインアンプをさらに有し、

前記第 2 レギュレータがディスイネーブルに設定されている時に、前記プログラマブル

ゲインアンプはディスイネーブルに設定されることを特徴とする電子回路。

【請求項 20】

請求項 19において、

前記アナログ回路は、前記プログラマブルゲインアンプからの出力信号を、アナログ - デジタル変換するアナログ - デジタル変換器をさらに有し、

前記第 2 レギュレータがディスイネーブルに設定されている時に、前記アナログ - デジタル変換器はディスイネーブルに設定されることを特徴とする電子回路。

【請求項 21】

請求項 20において、

外部トリガーに基づいて前記アナログ回路が前記物理量検出センサー<sub>素子</sub>からの信号を処理する処理期間が設定され、前記処理期間内に前記第 2 レギュレータはイネーブルに設定され、前記処理期間外では前記アナログ回路はディスイネーブルに設定され、

前記プログラマブルゲインアンプおよび前記アナログ - デジタル変換器の少なくとも一方は、前記処理期間内に設定された休止期間にディスイネーブルに設定されることを特徴とする電子回路。

【請求項 22】

請求項 14 乃至 21 のいずれか一項において、

前記第 1 レギュレータは、

非反転入力端子と反転入力端子との間に、仕事関数差電圧によるオフセット電圧を有する差動型の増幅回路と、

前記増幅回路の出力ノードと第 1 の電源ノードとの間に直列に設けられる第 1 の抵抗及び第 2 の抵抗と、

前記第 1 の抵抗と前記第 2 の抵抗の接続ノードに一端が接続される位相補償用キャパシターと、

を含み、

前記接続ノードの信号が、前記増幅回路の前記非反転入力端子に帰還され、前記出力ノードの信号が、前記増幅回路の前記反転入力端子に帰還されることを特徴とする電子回路。

【請求項 23】

請求項 22において、

前記第 1 レギュレータは、

前記第 1 レギュレータの起動時と、前記第 2 レギュレータがイネーブルに設定される過負荷時に電流を生成する電流源と、

前記電流源に流れる電流と等しい電流を前記第 1 レギュレータに増加させるカレントミラー回路と、

をさらに有することを特徴とする電子回路。

【請求項 24】

請求項 14 乃至 23 のいずれか一項において、

前記第 2 レギュレータは、

バンドギャップリファレンス回路と、

前記バンドギャップリファレンス回路からのバンドギャップリファレンス電圧を増幅するアンプと、

前記アンプの負帰還経路に設けられた分圧回路と、  
を有し、

前記バンドギャップリファレンス電圧を基準電圧として、前記分圧回路の電圧と前記バンドギャップリファレンス電圧との電位が一致するように、前記アンプにより負帰還制御されていることを特徴とする電子回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正の内容】

【0002】

特許文献1では、電源遮断が行われない内部電源Vint0と、電源遮断が行われる内部電源Vint1との間を接続する電源スイッチSWを設けている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

ここで、可動電極31Aと固定電極21とのペアと、可動電極31Bと固定電極23とのペアとを、第1容量形成部41と称する。同様に、可動電極31Aと固定電極22とのペアと、可動電極31Bと固定電極24とのペアとを、第2容量形成部42と称する。差動容量型加速度センサー素子10は、第1容量形成部41の一端11と、第2容量形成部42の一端12と、第1，第2容量形成部41，42の共通端13とを含む。図2(B)に示す加速度aが作用したとき、第1容量形成部41の容量値は減少する一方で、第2容量形成部42の容量値は増大する。このため、共通端13に電荷を供給した状態で錘部31に加速度aが作用すると、第1，第2容量形成部41，42の一端11，12からそれぞれ出力される電荷(信号)は絶対値が等しく符号が逆の差動信号対となる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

第1～第3の差動容量型加速度センサー素子10X，10Y，10Zの各々は、図2(A)に示す第1，第2容量形成部41，42を有し、第1，第2容量形成部41，42の固定容量間には軸毎に異なるオフセットがある。オフセットがあるまま加速度を検出すると、加速度が作用しない時でも加速度が存在する値が出力されてしまう。そこで、オフセット調整(キャリブレーション)が必要となる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

マルチプレクサー110の後段には、アナログ回路である容量検出回路(広義には信号処理部)130として、例えば電荷-電圧変換(QV)アンプ131、プログラマブルゲインアンプ(PGA)132及びアナログ-デジタル変換器(ADC)133等を有する。QVアンプ131は、時分割入力される差動容量型加速度センサー素子10X，10Y，10Zからの電荷を電圧に変換する。差動容量型加速度センサー素子10X，10Y，10Zからの出力は差動信号であるから、QVアンプ131は差動増幅回路として機能する。PGA132は、QVアンプ131の出力を、各軸毎に設定されたゲインで増幅する。ADC133は、PGA132の出力をアナログ-デジタル変換する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

**【0045】**

A D C 1 3 3 の後段には、デジタルフィルター 1 4 0、レジスタ 1 5 0、シリアル - パラレルインターフェイス回路 ( S P I ) 1 6 0 が設けられている。容量検出回路 1 3 0 により検出された容量に基づく加速度信号は、S P I 1 6 0 を介して出力される。

**【手続補正7】**

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正の内容】

**【0048】**

I C 1 0 0 には、外部から電源電圧 V D D , G N D が入力される。I C 1 0 0 には、電源電圧 V D D ( 例えは 3 V ) を降圧してロジック電源電圧 V D D L ( 例えは 1 . 8 V ) を生成する第 1 レギュレータ R E G 1 と、電源電圧 V D D を降圧してアナログ電源電圧 V D D A ( 例えは 1 . 8 V ) を生成する第 2 レギュレータ R E G 2 とが設けられている。なお、第 1 レギュレータ R E G 1 は、加速度センサー 1 の起動によりイネーブルとなり、加速度センサー 1 が稼働している間 ( スタンバイ、休止期間等を含む ) に亘ってロジック電源電圧 V D D L を生成するロジック電源回路である。一方、第 2 レギュレータ R E G 2 は、イネーブルまたはディスイネーブルに切り替えられるアナログ電源回路であり、イネーブル期間のみアナログ電源電圧 V D D A を生成する。

**【手続補正8】**

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正の内容】

**【0068】**

また、P G A 1 3 2 のイネーブル期間は、サンプル A 期間とサンプル B 期間とに二分される。同様に、A D C 1 3 3 の動作期間は、サンプリング期間と比較期間とに二分される。P G A 1 3 2 のサンプル B 期間は、A D C 1 3 3 のサンプリング期間と時間軸上で重複して設定できる。また、A D C 1 3 3 の比較期間は、P G A 1 3 2 のサンプル A 期間と時間軸上で重複して設定できる。それにより、温度計測、X 軸加速度計測、Y 軸加速度計測及び Z 軸加速度計測の各期間を短縮でき、トータルの 1 回計測期間も短縮される。

**【手続補正9】**

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正の内容】

**【0070】****( 7 ) 第 1 レギュレータ R E G 1**

図 1 2 に、第 1 レギュレータ R E G 1 の一例を示す。第 1 レギュレータ R E G 1 は、非反転入力端子と反転入力端子の間に、仕事関数差電圧によるオフセット電圧 V O F F を有する差動型の增幅回路 A M と、増幅回路 A M の出力ノード N Q 1 と第 1 の電源ノード V S S との間に直列に設けられる第 1 の抵抗 R B 1 及び第 2 の抵抗 R B 2 と、第 1 の抵抗 R B 1 と第 2 の抵抗 R B 2 の接続ノード N Q 2 に一端が接続される位相補償用キャパシター C 0 を含む。第 1 、第 2 の抵抗 R B 1 、R B 2 の接続ノード N Q 2 の信号が、増幅回路 A M の非反転入力端子に帰還され、増幅回路 A M の出力ノード N Q 1 の信号が、増幅回路 A M の反転入力端子に帰還される。