(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0130634
(43) 공개일자 2023년09월12일

(51) 국제특허분류(Int. Cl.)
H01L 25/065 (2023.01) *H01L 21/48* (2006.01)
H01L 23/367 (2006.01) *H01L 23/498* (2006.01)
H01L 23/538 (2006.01) *H01L 25/00* (2014.01)
H01L 25/16 (2023.01) *H01L 25/18* (2023.01)
(52) CPC특허분류
H01L 25/0655 (2023.08)
H01L 21/4857 (2013.01)
(21) 출원번호 10-2023-7022732
(22) 출원일자(국제) 2021년12월07일
심사청구일자 없음
(85) 번역문제출일자 2023년07월05일
(86) 국제출원번호 PCT/US2021/062237
(87) 국제공개번호 WO 2022/154905
국제공개일자 2022년07월21일
(30) 우선권주장
17/148,367 2021년01월13일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
부트, 조안 레이 빌라바
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브5775
파틸, 애니켓
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브5775
(뒷면에 계속)
(74) 대리인
특허법인 남앤남

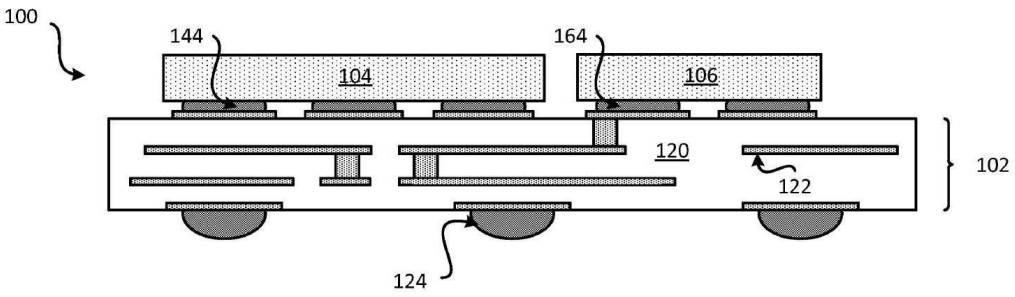
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 **대각 라우팅을 위해 구성된 기판 및 상호연결 디바이스를포함하는 패키지**

(57) 요 약

복수의 상호연결부들을 포함하는 기판, 기판에 결합된 제1 집적 디바이스, 기판에 결합된 제2 집적 디바이스 및 기판에 결합된 상호연결 디바이스를 포함하는 패키지. 제1 집적 디바이스, 제2 집적 디바이스, 상호연결 디바이스 및 기판은 제1 집적 디바이스와 제2 집적 디바이스 사이의 전기 신호에 대한 전기 경로를 제공하도록 구성되고, 전기 경로는 적어도 기판을 통해, 상호연결 디바이스를 통해 그리고 다시 기판을 통해 연장된다. 전기 경로는 대각선으로 연장되는 적어도 하나의 상호연결부를 포함한다.

대 표 도



(선행 기술)

(52) CPC특허분류
H01L 23/3675 (2013.01)
H01L 23/49816 (2013.01)
H01L 23/5381 (2013.01)
H01L 23/5384 (2013.01)
H01L 23/5386 (2013.01)
H01L 25/16 (2023.08)
H01L 25/18 (2023.08)
H01L 25/50 (2013.01)
(72) 발명자
왕, 지지에
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브5775
위, 홍복
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브5775

명 세 서

청구범위

청구항 1

패키지로서,

복수의 상호연결부들을 포함하는 기판;

상기 기판에 결합된 제1 집적 디바이스;

상기 기판에 결합된 제2 집적 디바이스; 및

상기 기판에 결합된 상호연결 디바이스

를 포함하고,

상기 제1 집적 디바이스, 상기 제2 집적 디바이스, 상기 상호연결 디바이스 및 상기 기판은 상기 제1 집적 디바이스와 상기 제2 집적 디바이스 사이의 전기 신호에 대한 전기 경로를 제공하도록 구성되고, 상기 전기 경로는 적어도 상기 기판을 통해, 상기 상호연결 디바이스를 통해 그리고 다시 상기 기판을 통해 연장되고, 그리고

상기 전기 경로는 대각선으로 연장되는 적어도 하나의 상호연결부를 포함하는, 패키지.

청구항 2

제1 항에 있어서,

상기 제2 집적 디바이스는 상기 제1 집적 디바이스에 대해 대각선 방향으로 위치되는, 패키지.

청구항 3

제1 항에 있어서,

상기 제2 집적 디바이스는 상기 기판 내의 상호연결부들에 대해 대각을 이루는 적어도 하나의 상호연결부를 통해 상기 제1 집적 디바이스에 전기적으로 결합되도록 구성되는, 패키지.

청구항 4

제1 항에 있어서,

상기 상호연결 디바이스는 상기 제1 집적 디바이스 및 상기 제2 집적 디바이스에 대해 회전 구성으로 상기 기판에 결합되는, 패키지.

청구항 5

제1 항에 있어서,

상기 상호연결 디바이스는,

제1 방향으로 배열된 제1 복수의 상호연결부들 – 상기 제1 복수의 상호연결부들은 제1 쌍의 집적 디바이스들 사이에 적어도 하나의 전기 경로를 제공하도록 구성됨 –; 및

제2 방향으로 배열된 제2 복수의 상호연결부들

을 포함하고,

상기 제2 방향은 상기 제1 방향에 직교하고, 그리고

상기 제2 복수의 상호연결부들은 제2 쌍의 집적 디바이스들 사이에 적어도 하나의 전기 경로를 제공하도록 구성되는, 패키지.

청구항 6

제1 항에 있어서,

상기 상호연결 디바이스는 상기 제1 집적 디바이스와 상기 제2 집적 디바이스 사이에 대각 상호연결부들을 제공하도록 구성된 맨해튼 구성(Manhattan configuration)으로 배열된 제1 복수의 상호연결부들을 포함하는, 패키지.

청구항 7

제1 항에 있어서,

상기 기판에 결합된 제3 집적 디바이스, 및

상기 기판에 결합된 제4 집적 디바이스

를 더 포함하고,

상기 제3 집적 디바이스는 상기 기판을 통해 상기 제1 집적 디바이스에 전기적으로 결합되도록 구성되고,

상기 제3 집적 디바이스는 상기 기판을 통해 상기 제2 집적 디바이스에 전기적으로 결합되도록 구성되고,

상기 제4 집적 디바이스는 상기 기판을 통해 상기 제1 집적 디바이스에 전기적으로 결합되도록 구성되고,

상기 제4 집적 디바이스는 상기 기판을 통해 상기 제2 집적 디바이스에 전기적으로 결합되도록 구성되고,

상기 제2 집적 디바이스는 상기 기판의 제1 사분면에 결합되고,

상기 제3 집적 디바이스는 상기 기판의 제2 사분면에 결합되고,

상기 제1 집적 디바이스는 상기 기판의 제3 사분면에 결합되고, 그리고

상기 제4 집적 디바이스는 상기 기판의 제4 사분면에 결합되는, 패키지.

청구항 8

제1 항에 있어서,

상기 상호연결 디바이스는 다이 기판, 적어도 하나의 유전체 층 및 복수의 상호연결부들을 포함하는, 패키지.

청구항 9

제1 항에 있어서,

상기 상호연결 디바이스는 트랜지스터가 없는 다이를 포함하는, 패키지.

청구항 10

제1 항에 있어서,

상기 상호연결 디바이스는 적어도 하나의 유전체 층 및 제2 복수의 상호연결부들을 포함하는 브라이드 기판(bride substrate)을 포함하는, 패키지.

청구항 11

제1 항에 있어서,

상기 상호연결 디바이스는 상기 제1 집적 디바이스와 상기 제2 집적 디바이스 사이의 브리지로서 구성되는, 패키지.

청구항 12

제1 항에 있어서,

상기 패키지는 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 휴대폰, 스마트폰, 개인 디지털 보조기, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 사물 인터넷(IoT) 디바이스 및 자동차 차량의 디바이스로 구성된 그룹으로부터

선택된 디바이스에 집적되는, 패키지.

청구항 13

장치로서,

복수의 상호연결부들을 포함하는 기판;

상기 기판에 결합된 제1 집적 디바이스;

상기 기판에 결합된 제2 집적 디바이스; 및

상기 기판에 결합된 디바이스 상호연결 수단

을 포함하고,

상기 제1 집적 디바이스, 상기 제2 집적 디바이스, 디바이스 상호연결 수단 및 상기 기판은 상기 제1 집적 디바이스와 상기 제2 집적 디바이스 사이의 전기 신호에 대한 전기 경로를 제공하도록 구성되고, 상기 전기 경로는 적어도 상기 기판을 통해, 상기 디바이스 상호연결 수단을 통해 그리고 다시 상기 기판을 통해 연장되며, 그리고

상기 전기 경로는 대각선 방향으로 연장되는 적어도 하나의 상호연결부를 포함하는, 장치.

청구항 14

제13 항에 있어서,

상기 제2 집적 디바이스는 상기 기판 내의 상호연결부들에 대해 대각을 이루는 적어도 하나의 상호연결부를 통해 상기 제1 집적 디바이스에 전기적으로 결합되도록 구성되는, 장치.

청구항 15

제13 항에 있어서,

상기 디바이스 상호연결 수단은 상기 제1 집적 디바이스 및 상기 제2 집적 디바이스에 대해 회전 구성으로 상기 기판에 결합되는, 장치.

청구항 16

제13 항에 있어서,

상기 디바이스 상호연결 수단은 맨해튼 구성으로 배열된 제1 복수의 상호연결부들을 포함하는, 장치.

청구항 17

제16 항에 있어서,

상기 맨해튼 구성으로 배열된 제1 복수의 상호연결부들은 상기 제1 집적 디바이스와 상기 제2 집적 디바이스 사이에 대각 상호연결부들을 제공하도록 구성되는, 장치.

청구항 18

제13 항에 있어서,

상기 기판에 결합된 제3 집적 디바이스를 더 포함하고,

상기 제3 집적 디바이스는 상기 기판을 통해 상기 제1 집적 디바이스에 전기적으로 결합되도록 구성되고, 그리고

상기 제3 집적 디바이스는 상기 기판을 통해 상기 제2 집적 디바이스에 전기적으로 결합되도록 구성되는, 장치.

청구항 19

제13 항에 있어서,

상기 디바이스 상호연결 수단은 다이 기판, 적어도 하나의 유전체 층 및 제2 복수의 상호연결부들을 포함하는,

장치.

청구항 20

제13 항에 있어서,

상기 디바이스 상호연결 수단은 상기 제1 집적 디바이스와 상기 제2 집적 디바이스 사이의 브리지 기판으로서 구성되는, 장치.

청구항 21

패키지를 제조하기 위한 방법으로서,

복수의 상호연결부들을 포함하는 기판을 제공하는 단계;

상기 기판에 제1 집적 디바이스를 결합하는 단계;

상기 기판에 제2 집적 디바이스를 결합하는 단계; 및

상기 기판에 상호연결 디바이스를 결합하는 단계

를 포함하고,

상기 제1 집적 디바이스, 상기 제2 집적 디바이스, 상기 상호연결 디바이스 및 상기 기판은 상기 제1 집적 디바이스와 상기 제2 집적 디바이스 사이의 전기 신호에 대한 전기 경로를 제공하도록 구성되고, 상기 전기 경로는 적어도 상기 기판을 통해, 상기 상호연결 디바이스를 통해 그리고 다시 상기 기판을 통해 연장되고, 그리고

상기 전기 경로는 대각선 방향으로 연장되는 적어도 하나의 상호연결부를 포함하는,

패키지를 제조하기 위한 방법.

청구항 22

제21 항에 있어서,

상기 제2 집적 디바이스는 대각을 이루는 적어도 하나의 상호연결부를 통해 상기 제1 집적 디바이스에 전기적으로 결합되도록 구성되는, 패키지를 제조하기 위한 방법.

청구항 23

제21 항에 있어서,

상기 상호연결 디바이스는 상기 제1 집적 디바이스 및 상기 제2 집적 디바이스에 대해 회전 구성으로 상기 기판에 결합되는, 패키지를 제조하기 위한 방법.

청구항 24

제21 항에 있어서,

상기 상호연결 디바이스는 맨해튼 구성으로 배열된 제1 복수의 상호연결부들을 포함하는, 패키지를 제조하기 위한 방법.

청구항 25

제24 항에 있어서,

상기 맨해튼 구성으로 배열된 상기 제1 복수의 상호연결부들은 상기 제1 집적 디바이스와 상기 제2 집적 디바이스 사이에 대각 상호연결부들을 제공하도록 구성되는, 패키지를 제조하기 위한 방법.

발명의 설명

기 술 분 야

[0001] [0001] 본 특허 출원은 2021년 1월 13일자로 미국 특허청에 출원된 계류중인 정규 출원 제17/148,367호에 대한

우선권 및 그 이익을 주장한다.

[0002] [0002] 다양한 특징들은 집적 디바이스를 포함하는 패키지들과 관련되지만, 보다 구체적으로는 집적 디바이스 및 기판을 포함하는 패키지와 관련된다.

배 경 기 술

[0003] [0003] 도 1은 기판(102), 집적 디바이스(104) 및 집적 디바이스(106)를 포함하는 패키지(100)를 예시한다. 기판(102)은 적어도 하나의 유전체 층(120), 복수의 상호연결부들(122) 및 복수의 솔더 상호연결부들(124)을 포함한다. 복수의 솔더 상호연결부들(144)은 기판(102) 및 집적 디바이스(104)에 결합된다. 복수의 솔더 상호연결부들(164)은 기판(102) 및 집적 디바이스(106)에 결합된다. 집적 디바이스(104)와 집적 디바이스(106)를 전기적으로 결합하면, 집적 디바이스(104)와 집적 디바이스(106) 사이의 상호연결부가 매우 길어질 수 있으며, 이는 패키지 성능들의 저하로 이어질 수 있다. 보다 컴팩트한 패키지들과 더 나은 성능의 패키지들을 제공해야 할 필요성이 지속적으로 제기되고 있다.

발명의 내용

[0004] [0004] 다양한 특징들은 집적 디바이스를 포함하는 패키지와 관련되지만, 보다 구체적으로는 집적 디바이스 및 기판을 포함하는 패키지와 관련된다.

[0005] [0005] 일 예는 복수의 상호연결부들을 포함하는 기판, 기판에 결합된 제1 집적 디바이스, 기판에 결합된 제2 집적 디바이스 및 기판에 결합된 상호연결 디바이스를 포함하는 패키지를 제공한다. 제1 집적 디바이스, 제2 집적 디바이스, 상호연결 디바이스 및 기판은 제1 집적 디바이스와 제2 집적 디바이스 사이의 전기 신호에 대한 전기 경로를 제공하도록 구성되고, 전기 경로는 적어도 기판을 통해, 상호연결 디바이스를 통해 그리고 다시 기판을 통해 연장된다. 전기 경로는 대각선으로 연장되는 적어도 하나의 상호연결부를 포함한다.

[0006] [0006] 다른 실시예는 복수의 상호연결부들을 포함하는 기판, 기판에 결합된 제1 집적 디바이스, 기판에 결합된 제2 집적 디바이스 및 기판에 결합된 디바이스 상호연결 수단을 포함하는 장치를 제공한다. 제1 집적 디바이스, 제2 집적 디바이스, 디바이스 상호연결 수단 및 기판은 제1 집적 디바이스와 제2 집적 디바이스 사이의 전기 신호에 대한 전기 경로를 제공하도록 구성되며, 전기 경로는 적어도 기판을 통해, 디바이스 상호연결 수단을 통해 그리고 다시 기판을 통해 연장된다. 전기 경로는 대각선으로 연장되는 적어도 하나의 상호연결부를 포함한다.

[0007] [0007] 다른 실시예는 패키지를 제조하는 방법을 제공한다. 이 방법은 복수의 상호연결부들을 포함하는 기판을 제공한다. 이 방법은 제1 집적 디바이스를 기판에 결합한다. 이 방법은 제2 집적 디바이스를 기판에 결합한다. 이 방법은 상호연결 디바이스를 기판에 결합한다. 제1 집적 디바이스, 제2 집적 디바이스, 상호연결 디바이스 및 기판은 제1 집적 디바이스와 제2 집적 디바이스 사이의 전기 신호에 대한 전기 경로를 제공하도록 구성되고, 전기 경로는 적어도 기판을 통해, 상호연결 디바이스를 통해 그리고 다시 기판을 통해 연장된다. 전기 경로는 대각선으로 연장되는 적어도 하나의 상호연결부를 포함한다.

도면의 간단한 설명

[0008] [0008] 다양한 특징들, 성질 및 장점들은 유사한 참조 부호들이 전체에 걸쳐 대응적으로 식별되는 도면들과 함께 고려될 때, 아래에 개시된 상세한 설명으로부터 명백해질 수 있다.

[0009] [0009] 도 1은 집적 디바이스 및 기판을 포함하는 패키지의 측면도를 예시한다.

[0010] [0010] 도 2는 기판에 결합된 상호연결 디바이스를 포함하는 패키지의 평면도를 예시한다.

[0011] [0011] 도 3은 기판에 결합된 상호연결 디바이스를 포함하는 패키지의 측면도를 예시한다.

[0012] [0012] 도 4는 기판에 결합된 상호연결 디바이스를 포함하는 패키지 내의 가능한 전기 경로들에 대한 도면을 예시한다.

[0013] [0013] 도 5는 기판에 결합된 상호연결 디바이스를 포함하는 패키지 내의 가능한 전기 경로들에 대한 도면을 예시한다.

[0014] [0014] 도 6은 기판에 결합된 상호연결 디바이스를 포함하는 패키지 내의 가능한 전기 경로들에 대한 도면을 예시한다.

[0015] 도 7은 기판에 결합된 상호연결 디바이스를 포함하는 패키지 내의 가능한 전기 경로들에 대한 도면을 예시한다.

[0016] 도 8a 내지 도 8d는 상호연결 디바이스를 제조하기 위한 예시적인 순서를 예시하고,

[0017] 도 9는 상호연결 디바이스를 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

[0018] 도 10a 내지 도 10c는 기판 제조를 위한 예시적인 순서를 예시한다.

[0019] 도 11은 기판을 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

[0020] 도 12a 내지 도 12b는 기판에 결합된 상호연결 디바이스를 포함하는 패키지를 제조하기 위한 예시적인 순서를 예시한다.

[0021] 도 13은 기판에 결합된 상호연결 디바이스를 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도를 예시하고,

[0022] 도 14는 다이, 전자 회로, 집적 디바이스, 집적 수동 소자(IPD), 수동 구성요소, 패키지 및/또는 본 명세서에 설명된 디바이스 패키지를 집적할 수 있는 다양한 전자 디바이스들을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0009] [0023] 이하의 설명에서는, 본 개시의 다양한 양태들에 대한 완전한 이해를 제공하기 위해 구체적인 세부 사항들이 제공된다. 그러나, 당업자에게는 이러한 특정 세부 사항들 없이도 양태들이 실시될 수 있다는 것이 이해될 것이다. 예를 들어, 회로들은 불필요한 세부 사항으로 양태들을 모호하게 하지 않기 위해 블록 다이어그램들로 도시될 수 있다. 다른 예들에서, 본 개시의 양태들을 모호하게 하지 않기 위해, 잘 알려진 회로들, 구조들 및 기술들은 상세하게 도시되지 않을 수 있다.

[0010] [0024] 본 개시는 복수의 상호연결부들을 포함하는 기판, 기판에 결합된 제1 집적 디바이스, 기판에 결합된 제2 집적 디바이스 및 기판에 결합된 상호연결 디바이스를 포함하는 패키지를 설명한다. 제1 집적 디바이스, 제2 집적 디바이스, 상호연결 디바이스 및 기판은 제1 집적 디바이스와 제2 집적 디바이스 사이의 전기 신호에 대한 전기 경로를 제공하도록 구성되며, 전기 경로는 적어도 기판을 통과한 다음 상호연결 디바이스를 통과하고 다시 기판을 통과하도록 연장된다. 전기 경로는 대각선으로 연장되는 적어도 하나의 상호연결부를 포함한다.

[0011] [0025] 기판은 보드에 전기 경로들을 제공하기 위한 복수의 상호연결부들을 더 포함한다. 집적 디바이스는 기판의 제1 표면(또는 제2 표면)에 결합된다. 상호연결 디바이스는 기판의 제1 표면(또는 제2 표면)에 결합된다. 제1 집적 디바이스, 제2 집적 디바이스, 상호연결 디바이스 및 기판은 제1 집적 디바이스와 제2 집적 디바이스 사이의 전기 신호에 대한 전기 경로를 제공하도록 구성되며, 전기 경로는 적어도 기판을 통해 연장된 다음 상호연결 디바이스를 통해 다시 기판을 통해 연장된다. 상호연결 디바이스는 기판에 결합된 2 개의 집적 디바이스들 사이에 적어도 하나의 전기 경로(예를 들어, 전기 연결)를 제공할 수 있다. 상호연결 디바이스는 기판(예를 들어, 실리콘), 복수의 상호연결부들 및 적어도 하나의 유전체 층을 포함하는 상호연결 집적 디바이스일 수 있다. 상호연결 디바이스는 적어도 하나의 유전체 층 및 복수의 상호연결부들을 포함하는 기판일 수 있다. 상호연결 디바이스의 복수의 상호연결부들은 맨해튼 구성(Manhattan configuration)으로 배열될 수 있다. 맨하탄 구성으로 배열된 복수의 상호연결부들은 제1 집적 디바이스와 제2 집적 디바이스 사이에 대각 상호연결부들을 제공하도록 구성될 수 있다. 대각 상호연결부들은 집적 디바이스들 사이에 더 짧은 경로들을 제공하는 것을 도와서 각각의 집적 디바이스들의 성능을 향상시킬 수 있다.

[0012] **대각 라우팅을 위해 구성된 상호연결 디바이스를 포함하는 예시적인 패키지**

[0013] [0026] 도 2는 상호연결 디바이스를 포함하는 패키지(200)의 평면도를 예시한다. 패키지(200)는 기판(202), 상호연결 디바이스(201), 집적 디바이스(203), 집적 디바이스(205), 집적 디바이스(207), 및 집적 디바이스(209)를 포함한다. 상호연결 디바이스(201), 집적 디바이스(203), 집적 디바이스(205), 집적 디바이스(207) 및 집적 디바이스(209)는 기판(202)에 결합된다. 추가로 후술되는 바와 같이, 상호연결 디바이스(201)는 패키지(200)에 대각 라우팅을 제공하도록 구성되는 인터포저, 기판 및/또는 다이를 포함할 수 있다. 상호연결 디바이스(201)는 디바이스 상호연결을 위한 수단일 수 있다. 상호연결 디바이스(201)는 둘 이상의 집적 디바이스들 사이의 브리지로서 구성될 수 있다.

[0014] [0027] 도 2는 서로 다른 집적 디바이스들 사이의 전기 신호를 위한 다양한 상호연결부들 및 전기 경로들을 예

시한다. 예를 들어, 도 2는 (ⅰ) 집적 디바이스(203)와 집적 디바이스(207) 사이의 복수의 상호연결부들(237), (ⅱ) 집적 디바이스(203)와 집적 디바이스(209) 사이의 복수의 상호연결부들(239), (ⅲ) 집적 디바이스(205)와 집적 디바이스(207) 사이의 복수의 상호연결부들(257), (ⅳ) 집적 디바이스(205)와 집적 디바이스(209) 사이의 복수의 상호연결부들(259), (ⅴ) 상호연결 디바이스(201)와 집적 디바이스(203) 사이의 복수의 상호연결부들(231), (ⅵ) 상호연결 디바이스(201)와 집적 디바이스(205) 사이의 복수의 상호연결부들(251), (ⅶ) 상호연결 디바이스(201)와 집적 디바이스(207) 사이의 복수의 상호연결부들(271), (ⅷ) 상호연결 디바이스(201)와 집적 디바이스(209) 사이의 복수의 상호연결부들(291), (ⅸ) 상호연결 디바이스(201) 내의 복수의 상호연결부들(235) 및 (ⅹ) 상호연결 디바이스(201) 내의 복수의 상호연결부들(279)을 예시한다.

[0015] [0028] 집적 디바이스(203)와 집적 디바이스(207) 사이의 복수의 상호연결부들(237)은 기판(202) 내의 상호연결부들을 포함할 수 있다. 집적 디바이스(203)와 집적 디바이스(209) 사이의 복수의 상호연결부들(239)은 기판(202) 내의 상호연결부들을 포함할 수 있다. 집적 디바이스(205)와 집적 디바이스(207) 사이의 복수의 상호연결부들(257)는 기판(202) 내의 상호연결부들을 포함할 수 있다. 집적 디바이스(205)와 집적 디바이스(209) 사이의 복수의 상호연결부들(259)은 기판(202) 내의 상호연결부들을 포함할 수 있다. 상호연결 디바이스(201)와 집적 디바이스(203) 사이의 복수의 상호연결부들(231)은 기판(202) 내의 상호연결부들을 포함할 수 있다. 상호연결 디바이스(201)와 집적 디바이스(205) 사이의 복수의 상호연결부들(251)은 기판(202) 내의 상호연결부들을 포함할 수 있다. 상호연결 디바이스(201)와 집적 디바이스(207) 사이의 복수의 상호연결부들(271)은 기판(202) 내의 상호연결부들을 포함할 수 있다. 상호연결 디바이스(201)와 집적 디바이스(209) 사이의 복수의 상호연결부들(291)은 기판(202) 내의 상호연결부들을 포함할 수 있다. 복수의 상호연결부들(235)은 상호연결 디바이스(201) 내의 상호연결부들(예를 들어, 제1 금속층 내의 상호연결부들)을 포함할 수 있다. 복수의 상호연결부들(279)은 상호연결 디바이스(201) 내의 상호연결부들(예를 들어, 제2 금속층 내의 상호연결부들)을 포함할 수 있다. 다양한 전기 경로들을 획정하는 상호연결부들은 맨해튼 상호연결부들(예를 들어, X-Y 평면에서 수직 및/또는 수평으로 연장되는 상호연결부들) 및/또는 (X-Y 평면에서의) 대각 상호연결부들을 포함할 수 있다. 상호연결 디바이스(201)의 맨해튼 상호연결부들은 상호연결 디바이스(201)의 측벽들과 동일한 방향을 따라 연장되는 상호연결부들일 수 있다. 상호연결 디바이스(201)의 맨해튼 상호연결부들은 상호연결 디바이스(201)의 측벽에 평행 및/또는 수직인 상호연결부들일 수 있다. 복수의 상호연결부들(235) 및/또는 복수의 상호연결부들(279)은 상호연결 디바이스(201)의 맨해튼 상호연결부들의 예들일 수 있다.

[0016] [0029] 집적 디바이스(203)는 상호연결 디바이스(201)를 통해 집적 디바이스(205)에 전기적으로 결합되도록 구성될 수 있다. 예를 들어, 집적 디바이스(203)는 복수의 상호연결부들(231), 복수의 상호연결부들(235) 및 복수의 상호연결부들(251)을 통해 집적 디바이스(205)에 전기적으로 결합되도록 구성될 수 있다. 이러한 일 예에서, 집적 디바이스(203)와 집적 디바이스(205) 사이의 적어도 하나의 전기 신호는 기판(202) 내의 상호연결부들을 통해, 상호연결 디바이스(201) 내의 상호연결부들을 통해, 그리고 다시 기판(202) 내의 상호연결부들을 통해 이동할 수 있다.

[0017] [0030] 집적 디바이스(207)는 상호연결 디바이스(201)를 통해 집적 디바이스(209)에 전기적으로 결합되도록 구성될 수 있다. 예를 들어, 집적 디바이스(207)는 복수의 상호연결부들(271), 복수의 상호연결부들(279) 및 복수의 상호연결부들(291)을 통해 집적 디바이스(209)에 전기적으로 결합되도록 구성될 수 있다. 이러한 일 예에서, 집적 디바이스(207)와 집적 디바이스(205) 사이의 적어도 하나의 전기 신호는 기판(202) 내의 상호연결부들을 통해, 상호연결 디바이스(201) 내의 상호연결부들을 통해, 그리고 다시 기판(202) 내의 상호연결부들을 통해 이동할 수 있다.

[0018] [0031] 상호연결 디바이스(201)의 사용은 서로에 대해 대각선으로 위치하는 집적 디바이스들(예를 들어, 제1 사분면(211)과 제3 사분면(213)에 위치하는 집적 디바이스들) 사이의 상호연결 거리를 감소시키는 데 도움이 되는 대각 상호연결부들을 제공한다. 이는 집적 디바이스들의 성능을 향상시키는 데 도움이 된다. 상호연결 디바이스(201)는 맨해튼 구성으로 배열되는 상호연결부들을 포함하며, 여기서 상호연결 디바이스(201) 내의 상호연결부들은 서로 직교 및/또는 평행하다는 점에 유의한다. 상호연결 디바이스(201) 내의 상호연결부들은 상호연결 디바이스(201)의 측면 표면(들)과 직교 및/또는 평행할 수 있다. 예를 들어, 제1 방향의 상호연결부들은 상호연결 디바이스(201)의 제1 금속층에 위치할 수 있고, 제2 방향의 상호연결부들은 상호연결 디바이스(201)의 제2 금속층에 위치할 수 있다. 제2 방향은 제1 방향에 직교할 수 있고, 그 반대의 경우도 마찬가지이다. 제1 방향은 제1 대각선 방향을 포함할 수 있고, 제2 방향은 제1 대각선 방향에 직교하는(예를 들어, 수직인) 제2 대각선 방향을 포함할 수 있다. 대각선 방향들은 기판(202)의 방향들에 상대적일 수 있다. 따라서, 상호연결 디바이스(201)의 상호연결부들이 상호연결 디바이스(201) 내에서 수직 및 수평(X-Y 평면에서)일 수 있지만, 상호연결

디바이스(201)가 회전 구성으로 기판(202)에 결합될 때, 이들 상호연결부들(예를 들어, 235, 279)은 기판(202)에 대한(예를 들어, 기판(202)의 측면에 대한) 대각 상호연결부들 및 기판(202)의 상호연결부들로서 구성된다. 상호연결 디바이스(201)의 상호연결부들은 (ⅰ) 제1 방향으로 배열된 제1 복수의 상호연결부들(235)-제1 복수의 상호연결부들(235)은 제1 쌍의 집적 디바이스들(예를 들어, 집적 디바이스들(203 및 205)) 사이에 적어도 하나의 전기 경로를 제공하도록 구성됨- 및 (ⅱ) 제2 방향으로 배열된 제2 복수의 상호연결부들(279)-제2 방향이 제1 방향에 직교하며, 제2 복수의 상호연결부들(279)이 제2 쌍의 집적 디바이스들(예를 들어, 집적 디바이스들(207 및 209)) 사이에 적어도 하나의 전기 경로를 제공하도록 구성됨-을 포함할 수 있다.

[0019] [0032] 도 2는 집적 디바이스(203), 집적 디바이스(205), 집적 디바이스(207) 및 집적 디바이스(209)가 사분면 구성으로 배열된 것을 예시한다. 집적 디바이스(205)는 기판(202)의 제1 사분면(211)에 결합될 수 있고, 집적 디바이스(207)는 기판(202)의 제2 사분면(212)에 결합될 수 있고, 집적 디바이스(203)는 기판(202)의 제3 사분면(213)에 결합될 수 있고, 집적 디바이스(209)는 기판(202)의 제4 사분면(214)에 결합될 수 있다. 제1 사분면(211)은 제3 사분면에 대각선으로 위치할 수 있다. 제2 사분면(212)은 제4 사분면(214)에 대각선으로 위치할 수 있다. 상호연결 디바이스(201)는 (ⅰ) 제1 사분면(211)과 제3 사분면(213)의 집적 디바이스들 사이의 대각 상호연결부들 및 (ⅱ) 제2 사분면(212)과 제4 사분면(214)의 집적 디바이스들 사이의 대각 상호연결부들을 허용한다. 상호연결 디바이스(201)는 제1 집적 디바이스 및 제2 집적 디바이스에 대해 회전 구성으로 기판(202)에 결합된다. 상호연결 디바이스(201)의 회전은 집적 디바이스들 사이의 대각 상호연결부들을 허용한다(상호연결 디바이스(201)의 대부분의 상호연결부들이 상호연결 디바이스(201)에서 대각을 이루지 않는 경우에도). 상호연결 디바이스(201)는 적어도 하나의 집적 디바이스(예를 들어, 203, 205, 207, 209)에 대해 45 도 회전될 수 있다. 상호연결 디바이스(201)는 다른 집적 디바이스(들)에 대해 다른 각도들(예를 들어, 1 도 내지 89 도)로 회전될 수 있음에 유의한다. 또한, 상호연결 디바이스(201)는 기판(202)의 상호연결부들보다 더 미세한(예를 들어, 더 작은) 상호연결부들 간격 및 폭을 갖는 상호연결부들을 포함할 수 있다. 상호연결 디바이스(201)의 적어도 하나의 측벽이 기판(202)의 측벽 및/또는 적어도 하나의 집적 디바이스(예를 들어, 203, 205, 207, 209)의 측벽(들)에 대각을 이루는 경우, 상호연결 디바이스(201)는 적어도 하나의 집적 디바이스에 대해 회전된 것으로 간주될 수 있다. 상호연결 디바이스(201)의 적어도 하나의 측벽이 기판(202)의 측벽 및/또는 적어도 하나의 집적 디바이스(예를 들어, 203, 205, 207, 209)의 측벽(들)에 평행하지 않고 수직이 아닌 경우, 상호연결 디바이스(201)는 적어도 하나의 집적 디바이스에 대해 회전된 것으로 간주될 수 있다. 패키지(200) 및/또는 기판(202)의 평면도는 패키지(200) 및/또는 기판(202)의 일부를 나타낼 수 있고, 패키지(200) 및/또는 기판(202)의 전체 평면도를 반드시 나타내는 것은 아닐 수 있음에 유의한다. 또한, 도 2에 도시된 사분면들은 패키지(200)의 일부 및/또는 기판(202)의 일부를 나타낼 수 있다.

[0020] [0033] 도 3은 상호연결 디바이스를 포함하는 패키지(200)의 측면도를 예시한다. 패키지(200)는 복수의 솔더 상호연결부들(380)을 통해 보드(390, 예를 들어, 인쇄 회로 기판(PCB))에 결합된다. 패키지(200)는 입력/출력 핀 수가 많으면서도 컴팩트한 소형 팩터를 갖는 패키지를 제공한다. 패키지(200)는 향상된 커패시턴스 밀도, 집적 디바이스들 사이의 더 짧은 경로들, 더 낮은 인덕턴스, 및/또는 더 적은 라우팅 제약조건들을 제공할 수 있다.

[0021] [0034] 패키지(200)는 기판(202), 상호연결 디바이스(201), 집적 디바이스(203), 집적 디바이스(205), 집적 디바이스(207)(도시되지 않음), 집적 디바이스(209)(도시되지 않음) 및 열 분산기(308)를 포함한다. 상호연결 디바이스(201)는 둘 이상의 집적 디바이스들 사이의 브리지로서 구성될 수 있다. 상호연결 디바이스(201)는 고밀도 상호연결 디바이스일 수 있다. 열 분산기(308)는 열 인터페이스 재료(TIM)(382)를 통해 기판(202)에 결합된다. 열 분산기(308)는 열 인터페이스 재료(TIM)(383)를 통해 집적 디바이스(203)에 결합된다. 열 분산기(308)는 열 인터페이스 재료(TIM)(385)를 통해 집적 디바이스(205)에 결합된다.

[0022] [0035] 추가로 후술되는 바와 같이, 집적 디바이스(예를 들어, 203, 205, 207, 209), 상호연결 디바이스(예를 들어, 201) 및 기판(202)은 전기 신호(예를 들어, 제1 전기 신호, 제2 전기 신호)가 두 집적 디바이스들(예를 들어, 203, 205) 사이에서 이동할 때, 전기 신호가 적어도 기판(202)을 통해 이동한 다음 상호연결 디바이스(예를 들어, 201)를 통해 이동하고, 다시 기판(202)을 통해 이동하는 방식으로 함께 결합된다. 이는 기판(202)에 의해 제공되는 제1 전기 접점과 기판(202)에 의해 제공되는 제2 전기 접점 사이에 적어도 하나의 전기 경로를 제공하는 상호연결 디바이스(예를 들어, 201)에 의해 달성될 수 있는데, 여기서 제1 접점은 집적 디바이스(예를 들어, 203, 205)에 전기적으로 연결되고, 제2 접점은 상호연결부들 중 하나 이상에 전기적으로 연결된다. 위의 예에서, 상호연결 디바이스(201)는 적어도 하나의 전기 신호가 두 개의 집적 디바이스들(예를 들어, 203, 205) 사이를 이동할 때, 적어도 하나의 전기 신호가 상호연결 디바이스(201)를 통해 이동할 수 있도록 브리지로서 구

성될 수 있다. 적어도 하나의 전기 신호는 패키지, 집적 디바이스(들), 기판 및/또는 상호연결 디바이스(들)의 상호연결부들(예를 들어, 트레이스들, 비아들, 패드들, 솔더 상호연결부들, 필러 상호연결부들)에 의해 획정되는 적어도 하나의 전기 경로를 통해 이동할 수 있다.

[0023] [0036] 기판(202)은 제1 표면(예를 들어, 최상부 표면) 및 제2 표면(예를 들어, 하부 표면)을 포함한다. 기판(202)은 적어도 하나의 유전체 층(320), 복수의 상호연결부들(322), 제1 솔더 레지스트 층(324) 및 제2 솔더 레지스트 층(326)을 포함한다. 복수의 상호연결부들(322)은 보드(예를 들어, 390)로 및/또는 보드로부터 적어도 하나의 전기 경로를 제공하도록 구성될 수 있다. 복수의 상호연결부들(322)은 적어도 하나의 집적 디바이스(예를 들어, 203, 205, 207, 209)에 적어도 하나의 전기적 경로를 제공할 수 있다. 복수의 상호연결부들(322)은 둘 이상의 집적 디바이스들(예를 들어, 203, 205, 207, 209) 사이에 적어도 하나의 전기 경로(예를 들어, 전기 연결)를 제공할 수 있다. 복수의 상호연결부들(322)은 제1 최소 피치 및 제1 최소 라인 및 간격(L/S)을 가질 수 있다. 일부 구현예들에서, 복수의 상호연결부들(322)의 제1 최소 피치는 약 100 내지 200 마이크로미터(㎛)의 범위 내에 있다. 일부 구현예들에서, 복수의 상호연결부들(322)에 대한 제1 최소 라인 및 간격(L/S)은 약 9/9 내지 12/12 마이크로미터(㎛)의 범위 내에 있다(예를 들어, 약 9 내지 12 마이크로미터(㎛)의 최소 라인 폭, 약 9 내지 12 마이크로미터(㎛)의 최소 간격). 서로 다른 구현예들은 서로 다른 기판들을 사용할 수 있다. 기판(202)은 라미네이트 기판, 코어리스 기판, 유기 기판, 코어 층을 포함하는 기판(예를 들어, 코어형 기판)일 수 있다. 일부 실시예들에서, 적어도 하나의 유전체 층(320)은 코어 층 및/또는 프리프레그 층들을 포함할 수 있다. 적어도 하나의 유전체 층(320)은 대략 3.5 내지 3.7 범위의 유전 상수를 가질 수 있다. 적어도 하나의 유전체 층(320)은 기판(202)을 보강하기 위한 유리 직물들을 포함할 수 있다. 기판의 제조의 일 예는 도 10a 내지 도 10c에서 추가로 후술된다. 추가로 후술되는 바와 같이, 일부 구현예들에서, 기판(202)은 변형된 세미-어디티브 공정(modified semi-additive process)(mSAP) 또는 세미-어디티브 공정(SAP)을 사용하여 제조될 수 있다.

[0024] [0037] 제1 집적 디바이스(203)는 기판(202)의 제1 표면(예를 들어, 최상부 표면)에 결합된다. 집적 디바이스(203)는 복수의 솔더 상호연결부들(330)을 통해 기판과 결합된다. 복수의 솔더 상호연결부들(330)은 필러 상호연결부들(예를 들어, 구리 필러들) 및/또는 솔더 상호연결부들을 포함할 수 있다. 언더필(333)은 기판(202)과 집적 디바이스(203)(예를 들어, 제1 집적 디바이스) 사이에 위치한다. 언더필(333)은 복수의 솔더 상호연결부들(330)을 둘러싸고 있을 수 있다. 집적 디바이스(205)는 기판(202)의 제1 표면(예를 들어, 최상부 표면)에 결합된다. 집적 디바이스(205)(예를 들어, 제2 집적 디바이스)는 복수의 솔더 상호연결부들(350)을 통해 기판에 결합된다. 복수의 솔더 상호연결부들(350)은 필러 상호연결부들(예를 들어, 구리 필러들) 및/또는 솔더 상호연결부들을 포함할 수 있다. 언더필(353)은 기판(202)과 집적 디바이스(205) 사이에 위치한다. 언더필(353)은 복수의 솔더 상호연결부들(350)을 둘러싸고 있을 수 있다.

[0025] [0038] 상호연결 디바이스(201)는 기판(202)의 제1 표면에 결합된다. 추가로 후술되는 바와 같이, 상호연결 디바이스(201)는 고밀도 상호연결 디바이스일 수 있다. 상호연결 디바이스(201)는 복수의 솔더 상호연결부들(310) 및/또는 필러 상호연결부들(예를 들어, 구리 필러 상호연결부들)을 통해 기판(202)에 결합될 수 있다. 상호연결 디바이스(201)는 제1 집적 디바이스(203)와 제2 집적 디바이스(205) 사이에 측면에 위치한다. 이러한 구성은 기판(202)의 라우팅 혼잡을 줄이거나, 그리고/또는 집적 디바이스들 사이의 전류들(예를 들어, 신호들)에 대한 경로들을 줄임으로써 패키지의 성능을 개선하는 데 도움이 된다. 그 결과, 보다 컴팩트한 폼 팩터를 갖춘 패키지가 탄생된다. 또한, 상호연결 디바이스(201)는 기판(202)의 비용을 낮추는 데 도움이 될 수 있다. 일부 구현예들에서, 적어도 하나의 상호연결 디바이스는 기판(202)의 다른 표면 위에 위치할 수 있다. 일부 구현예들에서, 상호연결 디바이스는 기판(202) 내부에 집적되거나 내장될 수 있다. 상호연결 디바이스는 적어도 하나의 전기 신호에 대해 적어도 하나의 전기 경로를 제공하도록 구성될 수 있다. 추가로 후술되는 바와 같이, 상호연결 디바이스(예를 들어, 201)는 브리지로서 구성될 수 있다. 상호연결 디바이스(예를 들어, 201)는 다이(예를 들어, 수동 디바이스 다이)를 포함할 수 있다. 브리지 및/또는 수동 디바이스 다이로서 구성된 상호연결 디바이스는 트랜지스터들과 같은 능동 디바이스들이 없을 수 있다. 따라서, 브리지 및/또는 수동 디바이스 다이로서 구성된 상호연결 디바이스는 트랜지스터가 없을 수 있다. 그러나, 브리지 및/또는 수동 디바이스 다이로서 구성된 상호연결 디바이스는 다른 집적 디바이스들을 전기적으로 결합하는 회로의 일부가 아닌 트랜지스터를 포함할 수 있다.

[0026] [0039] 집적 디바이스(예를 들어, 203, 205, 207, 209)는 다이(예를 들어, 반도체 베어 다이)를 포함할 수 있다. 집적 디바이스는 무선 주파수(RF) 디바이스, 수동 디바이스, 필터, 커패시터, 인덕터, 안테나, 송신기, 수신기, 갈륨 비소(GaAs) 기반 집적 디바이스, 표면 음향파(SAW) 필터들, 벌크 음향파(BAW) 필터, 발광 다이오

드(LED) 집적 디바이스, 실리콘(Si) 기반 집적 디바이스, 실리콘 카바이드(SiC) 기반 집적 디바이스, 메모리, 전력 관리 프로세서 및/또는 이들의 조합들을 포함할 수 있다. 집적 디바이스(예를 들어, 203, 205, 207, 209)는 적어도 하나의 전자 회로(예를 들어, 제1 전자 회로, 제2 전자 회로 등...)를 포함할 수 있다.

[0027] [0040] 다양한 구성요소들은 다양한 치수들 및 구성요소들 사이의 다양한 간격들을 가질 수 있다. 예를 들어, 상호연결 디바이스(201)는 약 8x8 밀리미터의 치수들을 가질 수 있고, 하나 이상의 집적 디바이스(예를 들어, 203, 205, 207, 209)는 약 15x10 밀리미터의 치수들을 가질 수 있다. 상호연결 디바이스(201)와 집적 디바이스(예를 들어, 203, 205, 207, 209) 사이의 간격은 약 300 마이크로미터일 수 있다. 인접한 두 개의 집적 디바이스들(예를 들어, 203 및 209, 203 및 207) 사이의 간격은 약 500 마이크로미터일 수 있다. 이러한 치수들은 예시적인 것임에 유의한다. 일부 구현예들에서, 치수들 및/또는 간격은 더 크거나 더 작을 수 있다. 서로 다른 구현예들은 서로 다른 구성요소들을 기판(202)에 결합시킬 수 있다. 기판(202)에 결합될 수 있는 다른 구성요소들(예를 들어, 표면 실장 구성요소들)은 수동 디바이스(예를 들어, 커패시터)를 포함할 수 있다.

[0028] [0041] 서로 다른 구현예들은 서로 다른 상호연결 디바이스(201)를 사용할 수 있다. 상호연결 디바이스(201)는 상호연결부들을 갖는 기판(예를 들어, 상호연결부들을 갖는 인터포저)으로서 구현될 수 있다. 상호연결 디바이스(201)는 다이(예를 들어, 실리콘 다이)로서 구현될 수 있다. 상호연결 디바이스(201)는 제2 최소 피치 및 제2 최소 라인 및 간격(L/S)을 갖는 고밀도 상호연결 디바이스일 수 있다. 일부 구현예들에서, 상호연결 디바이스(예를 들어, 201)의 상호연결부들에 대한 제2 최소 피치는 약 100 내지 200 마이크로미터(㎛)의 범위 내에 있다. 일부 구현예들에서, 상호연결 디바이스(예를 들어, 201)의 상호연결부들을 위한 제2 최소 라인 및 간격(L/S)은 약 3/2 내지 5/5 마이크로미터(㎛)의 범위 내에 있다(예를 들어, 약 3 내지 5 마이크로미터(㎛)의 최소 라인 폭, 약 3 내지 5 마이크로미터(㎛)의 최소 간격). 상호연결 디바이스(201)는 기판(202)의 제1 최소 피치보다 작은 개개의 제2 최소 피치를 갖는 상호연결부들을 가질 수 있다. 유사하게, 상호연결 디바이스(201)는 기판(202)의 제1 최소 라인 및 간격(L/S)보다 작은 개개의 최소 피치를 갖는 상호연결부들을 가질 수 있다. 피치는 인접한 두 상호연결부들 사이의 중심 대 중심 거리로 정의될 수 있다. 상호연결 디바이스(예를 들어, 201)는 집적 디바이스 근처 영역 및/또는 집적 디바이스들 사이에 배치되도록 구성된 국소화된 집적 디바이스이다. 상호연결 디바이스의 크기는 서로 다른 구현예들에 따라 다를 수 있다. 그러나, 상호연결 디바이스의 풋프린트는 기판(202)의 풋프린트보다 작을 수 있다.

[0029] [0042] 추가로 후술되는 바와 같이, 집적 디바이스들(예를 들어, 203, 205)과 주고받는 일부 전기 신호들(예를 들어, 제1 전기 신호, 제2 전기 신호)은 상호연결 디바이스(201)를 통해 이동하도록 구성될 수 있다. 고밀도 상호연결부들을 갖는 상호연결 디바이스들은 패키지(200)의 크기를 증가시키지 않고도, 패키지(200)가 더 많은 I/O 핀 수들을 제공할 수 있게 한다. 예를 들어, 상호연결 디바이스(201)를 사용하면 기판(202)에 더 적은 수의 금속층들이 존재할 수 있고, 이는 패키지(200)의 전체 높이를 감소시키는 데 도움이 될 수 있다. 하나 이상의 상호연결 디바이스(201)는 핀 수 및/또는 넷리스트들의 수가 많기 때문에 기판(202)의 특정 영역들(예를 들어, 집적 디바이스 근처의 영역들)에서의 혼잡 및/또는 얽힘을 감소시키는 데 도움이 될 수 있다. 상호연결 디바이스(201)는 제1 집적 디바이스들(203) 및/또는 제2 집적 디바이스(205)보다 더 낮은 높이를 가질 수 있다.

[0030] [0043] 전술한 바와 같이, 상호연결 디바이스(201)는 패키지(200)를 위한 대각 라우팅을 제공하도록 구성되는 인터포저, 기판 및/또는 다이를 포함할 수 있다. 도 3은 상호연결 디바이스(201)가 적어도 하나의 유전체 층(311), 복수의 상호연결부들(312), 패시베이션 층(314) 및 기판(316)을 포함함을 예시한다. 기판(316)은 실리콘(Si), 유리, 또는 석영을 포함할 수 있다. 기판(316)은 다이 기판일 수 있다. 상호연결 디바이스(201)는 전면과 후면을 포함할 수 있다. 상호연결 디바이스(201)의 후면은 기판(316)을 포함하는 면일 수 있다. 상호연결 디바이스(201)의 전면은 패시베이션 층(314)을 포함하는 면 및/또는 솔더 상호연결부가 상호연결 디바이스(201)에 결합되는 면이 될 수 있다. 상호연결 디바이스의 전면은 상호연결 디바이스의 후면과 반대편일 수 있다. 추가로 후술되는 바와 같이, 상호연결 디바이스(201)(및/또는 본 개시에서 설명되는 상호연결 디바이스 중 임의의 것)는 브리지로서 구성될 수 있다. 복수의 상호연결부들(312)은 복수의 상호연결부들(235) 및/또는 복수의 상호연결부들(279)을 포함할 수 있다.

[0031] [0044] 상호연결 디바이스(201)는 다이(예를 들어, 수동 디바이스 다이)를 포함할 수 있다. 브리지 및/또는 수동 디바이스 다이로서 구성되는 상호연결 디바이스는 트랜지스터들과 같은 능동 디바이스들이 없을 수 있다. 따라서, 브리지 및/또는 수동 디바이스 다이로서 구성된 상호연결 디바이스는 트랜지스터가 없을 수 있다. 그러나, 브리지 및/또는 수동 디바이스 다이로서 구성된 상호연결 디바이스는 집적 디바이스들 사이에서 회로의 일부가 아닌 트랜지스터(들)를 포함할 수 있다. 따라서, 상호연결 디바이스는 트랜지스터들을 포함할 수 있지만, 이러한 트랜지스터들은 집적 디바이스들 사이의 전기 경로들에 포함되지 않는다. 전술한 바와 같이, 상호

연결 디바이스의 상호연결부들은 기판(202)의 상호연결부들보다 더 높은 밀도(예를 들어, 더 낮은 최소 피치 및/또는 더 낮은 최소 L/S)를 가질 수 있다. 패시베이션 층(314)은 상호연결 디바이스(201)의 제1 표면 상에 위치한다. 복수의 솔더 상호연결부들(310)은 상호연결 디바이스(201)의 제1 표면에 결합된다.

[0032] [0045] 전술한 바와 같이, 상호연결 디바이스는 기판(202)에 결합되는 구성요소일 수 있고, 따라서 패키지(200)는 패키지(200)의 전체 크기를 증가시키지 않고도 더 많은 I/O 핀 수들을 제공할 수 있고, 그리고/또는 집적 디바이스들 사이의 더 짧은 경로들을 제공할 수 있다. 일부 구현예들에서, 하나 이상의 집적 디바이스들과 주고받는 하나 이상의 전기 신호들은 하나 이상의 상호연결 디바이스들을 통해 이동할 수 있다. 하나 이상의 상호연결 디바이스들(예를 들어, 201)은 핀 수 및/또는 넷리스트들의 수가 많기 때문에 기판의 특정 영역들에서의 혼잡 및/또는 얽힘을 감소시키는 데 도움이 될 수 있다. 넷리스트는 회로의 구성요소들의 배열 및 구성요소들이 전기적으로 결합되는 방식이다. 하나 이상의 상호연결 디바이스(201)는 향상된 커패시턴스 밀도를 가지며, 집적 디바이스들 사이의 더 짧은 경로들을 제공하고, 인덕턴스를 낮추는 것을 돕거나, 라우팅 제약조건들을 감소시킨다.

[0033] [0046] 일부 구현예들에서, 적어도 하나의 유전체 층(311)은 프리프레그 층들 및/또는 포토-이미징 가능한 유전체 층들을 포함할 수 있다. 적어도 하나의 유전체 층(311)은 대략 3.3 내지 4.0 범위의 유전 상수를 가질 수 있다. 일부 구현예들에서, 상호연결 디바이스의 적어도 하나의 유전체 층(311)은 유리 직물들을 포함할 수 있다. 그러나, 유리 직물들은 기판(202)의 적어도 하나의 유전체 층(320) 내의 유리 직물들보다 더 미세할 것이다.

[0034] [0047] 일부 구현예들에서, 상호연결 디바이스(201)는 기판(202)과 유사한 인터포저 및/또는 기판을 포함할 수 있다. 상호연결 디바이스(201)는 코어리스 기판 또는 코어형 기판을 포함할 수 있다. 상호연결 디바이스(201)는 도 3에 설명된 바와 같이 복수의 상호연결부들 및 적어도 하나의 유전체 층을 가질 수 있다. 그러나, 상호연결 디바이스(201)가 기판 및/또는 인터포저로서 구현될 때, 유전체 층(들) 및/또는 복수의 상호연결부들은 도 3에 설명된 것과 서로 다를 수 있다. 상호연결 디바이스(201)는 기판(202)을 제조하는 데 사용된 공정과 유사한 공정을 사용하여 제조될 수 있다. 일부 구현예들에서, 상호연결 디바이스(201)는 이하의 도 10a 내지 도 10c에 설명된 것과 같은 공정을 사용하여 제조될 수 있다. 도 10a 내지 도 10c에 설명된 공정이 상호연결 디바이스(201)를 제조하기 위해 사용될 때, 상호연결 디바이스(201)는 기판(202)의 상호연결부와 유사한 폭 및/또는 간격을 갖는 상호연결부들을 가질 수 있다.

[0035] [0048] 도 4는 전기 신호들이 개념적으로 패키지를 통해 어떻게 이동할 수 있는지에 대한 보기를 예시한다. 도 4는 전기 경로(413), 전기 경로(411) 및 전기 경로(415)를 통해 집적 디바이스(205)에 전기적으로 결합되도록 구성되는 집적 디바이스(203)를 예시한다. 전기 경로들(411, 413 및 415)은 집적 디바이스(203)와 집적 디바이스(205) 사이의 전류들에 대한 예시적인 경로들의 개념적 표현들일 수 있다. 전기 경로는 상호연결부들, 필러 상호연결부들 및/또는 솔더 상호연결부들을 포함할 수 있다. 전기 경로(411)는 전기 경로들(413 및 415)에 전기적으로 결합되도록 구성된다. 전기 경로들(411, 413 및/또는 415)은 적어도 하나의 전기 신호가 상호연결 디바이스(201)의 전면을 통해 유입 및 유출될 수 있는 경로(들)를 개념적으로 예시할 수 있다.

[0036] [0049] 전기 경로들(411, 413 및 415)은 전류들(예를 들어, 신호들)이 상호연결 디바이스(201)를 통해 이동하는 전기 경로들이다. 전기 경로들(411, 413 및 415)은 기판(402) 내의 상호연결부들, 상호연결 디바이스(201) 내의 상호연결부들 및/또는 솔더 상호연결부들(예를 들어, 330, 310, 350)을 포함할 수 있다. 전기 경로들(413, 411 및/또는 415)은 도 2의 복수의 상호연결부들(231, 235 및 251)을 포함할 수 있다. 각각의 전기 경로(예를 들어, 413, 415)는 기판(202)의 복수의 상호연결부들(322)로부터의 개개의 상호연결부들을 포함할 수 있다.

[0037] [0050] 일 실시예에서, 집적 디바이스(203) 및 집적 디바이스(205)는, 집적 디바이스(203)와 집적 디바이스(205) 사이의 적어도 하나의 전류(예를 들어, 전기 신호)가 (ⅰ) 복수의 솔더 상호연결부들(330)로부터의 제1 솔더 상호연결부(들), (ii) 기판(202)의 복수의 상호연결부들(322)로부터의 제1 상호연결부(들), (iii) 복수의 솔더 상호연결부들(310)로부터의 제1 솔더 상호연결부(들), (iv) 상호연결 디바이스(201)로부터의 제1 상호연결부(들)(예를 들어, 312), (v) 복수의 솔더 상호연결부들(310)로부터의 제2 솔더 상호연결부(들), (vi) 기판(202)의 복수의 상호연결부들(322)로부터의 제2 상호연결부(들) 및 (vii) 복수의 솔더 상호연결부들(350)로부터의 제1 솔더 상호연결부를 통해 이동하도록 함께 전기적으로 결합되도록 구성된다.

[0038] [0051] 전기 경로(411)는 (ⅰ) 복수의 솔더 상호연결부들(310)로부터의 제1 솔더 상호연결부(들), (ii) 상호연결 디바이스(201)로부터의 제1 및/또는 제2 상호연결부(들)(예를 들어, 312) 및/또는 (iii) 복수의 솔더 상호연결부들(310)로부터의 제2 솔더 상호연결부(들)를 포함할 수 있다.

[0039] [0052] 전기 경로(413)는 (ⅰ) 복수의 솔더 상호연결부들(330)로부터의 제1 솔더 상호연결부(들), (ii) 기판(202)의 복수의 상호연결부들(322)로부터의 제1 상호연결부(들), (iii) 복수의 솔더 상호연결부들(310)로부터의 제1 솔더 상호연결부(들) 및/또는 (iv) 상호연결 디바이스(201)로부터의 제1 상호연결부(들)(예를 들어, 312)을 포함할 수도 있다.

[0040] [0053] 전기 경로(415)는 (ⅰ) 복수의 솔더 상호연결부들(350)로부터의 제1 솔더 상호연결부(들), (ii) 기판(202)의 복수의 상호연결부들(322)로부터의 제2 상호연결부(들), (iii) 복수의 솔더 상호연결부들(310)로부터의 제2 솔더 상호연결부(들) 및/또는 (iv) 상호연결 디바이스(201)로부터의 제2 상호연결부(들)(예를 들어, 312)을 포함할 수도 있다.

[0041] [0054] 본 개시에 설명된 다양한 전기 경로들 중 둘 이상은 서로 전기적으로 결합되도록 구성될 수 있음이 주목된다. 예를 들어, 전기 경로(411)는 전기 경로(413) 및 전기 경로(415)에 전기적으로 결합되도록 구성될 수 있다. 하나 이상의 신호들에 대한 전기 경로(들)는 상호연결 디바이스(예를 들어, 201)의 전면을 통해 들어오고 나갈 수 있음에 유의한다. 이는, 상호연결 디바이스를 통해 이동하는 적어도 하나의 전기 신호는 (ⅰ) 상호연결 디바이스의 전면을 통해 진입하고, (ii) 상호연결 디바이스 내의 상호연결부(들)를 통해 이동하며, (iii) 상호연결 디바이스의 전면을 통해 빠져나갈 수 있음을 의미한다.

[0042] [0055] 도 5는 전기 신호들이 개념적으로 패키지를 통해 어떻게 이동할 수 있는지에 대한 다른 보기를 예시한다. 도 5는 전기 경로(517), 전기 경로(511) 및 전기 경로(519)를 통해 집적 디바이스(209)에 전기적으로 결합되도록 구성되는 집적 디바이스(207)를 예시한다. 전기 경로들(511, 517 및 519)은 집적 디바이스(207)와 집적 디바이스(209) 사이의 전류들에 대한 예시적인 경로들의 개념적 표현들일 수 있다. 전기 경로는 상호연결부들, 필러 상호연결부들 및/또는 솔더 상호연결부들을 포함할 수 있다. 전기 경로(511)는 전기 경로들(517 및 519)에 전기적으로 결합되도록 구성된다. 전기 경로들(511, 517 및/또는 519)은 적어도 하나의 전기 신호가 상호연결 디바이스(201)의 전면을 통해 유입 및 유출될 수 있는 경로(들)를 예시할 수 있다.

[0043] [0056] 전기 경로들(511, 517 및 519)은 전류들(예를 들어, 신호들)이 상호연결 디바이스(201)를 통해 이동하는 전기 경로들이다. 전기 경로들(511, 517 및 519)은 기판(402) 내의 상호연결부들, 상호연결 디바이스(201) 내의 상호연결부들 및/또는 솔더 상호연결부들(예를 들어, 570, 310, 590)을 포함할 수 있다. 전기 경로들(517, 511 및/또는 519)은 도 2의 복수의 상호연결부들(271, 279 및 291)을 포함할 수 있다. 각각의 전기 경로(예를 들어, 517, 519)는 기판(202)의 복수의 상호연결부들(322)로부터의 개개의 상호연결부들을 포함할 수 있다.

[0044] [0057] 일 실시예에서, 집적 디바이스(207) 및 집적 디바이스(209)는, 집적 디바이스(207)와 집적 디바이스(209) 사이의 적어도 하나의 전류(예를 들어, 전기 신호)가 (ⅰ) 복수의 솔더 상호연결부들(570)로부터의 제1 솔더 상호연결부(들), (ii) 기판(202)의 복수의 상호연결부들(322)로부터의 제3 상호연결부(들), (iii) 복수의 솔더 상호연결부들(310)로부터의 제3 솔더 상호연결부(들), (iv) 상호연결 디바이스(201)로부터의 제3 상호연결부(들)(예를 들어, 312), (v) 복수의 솔더 상호연결부들(310)로부터의 제4 솔더 상호연결부(들), (vi) 기판(202)의 복수의 상호연결부들(322)로부터의 제4 상호연결부(들) 및 (vii) 복수의 솔더 상호연결부들(590)로부터의 제1 솔더 상호연결부를 통해 이동하도록 함께 전기적으로 결합되도록 구성된다.

[0045] [0058] 전기 경로(511)는 (ⅰ) 복수의 솔더 상호연결부들(310)로부터의 제3 솔더 상호연결부(들), (ii) 상호연결 디바이스(201)로부터의 제3 및/또는 제4 상호연결부(들)(예를 들어, 312), 및/또는 (iii) 복수의 솔더 상호연결부들(310)로부터의 제4 솔더 상호연결부(들)을 포함할 수 있다. 전기 경로(511)는 전기 경로(411)의 상호연결부들과 서로 다른 금속층에 위치한 상호연결부들을 포함할 수 있다.

[0046] [0059] 전기 경로(517)는 (ⅰ) 복수의 솔더 상호연결부들(570)로부터의 제1 솔더 상호연결부(들), (ii) 기판(202)의 복수의 상호연결부들(322)로부터의 제3 상호연결부(들), (iii) 복수의 솔더 상호연결부들(310)로부터의 제3 솔더 상호연결부(들) 및/또는 (iv) 상호연결 디바이스(201)로부터의 제3 상호연결부(들)(예를 들어, 312)을 포함할 수도 있다.

[0047] [0060] 전기 경로(519)는 (ⅰ) 복수의 솔더 상호연결부들(590)로부터의 제1 솔더 상호연결부(들), (ii) 기판(202)의 복수의 상호연결부들(322)로부터의 제4 상호연결부(들), (iii) 복수의 솔더 상호연결부들(310)로부터의 제4 솔더 상호연결부(들) 및/또는 (iv) 상호연결 디바이스(201)로부터의 제4 상호연결부(들)(예를 들어, 312)을 포함할 수도 있다.

[0048] [0061] 도 6은 전기 신호들이 개념적으로 패키지를 통해 어떻게 이동할 수 있는지에 대한 다른 보기를 예시한다. 도 6은 전기 경로(637)를 통해 집적 디바이스(207)에 전기적으로 결합되도록 구성되는 집적 디바이

스(203)를 예시한다. 전기 경로(637)는 기판(402) 내의 상호연결부들(예를 들어, 322) 및/또는 솔더 상호연결부들(예를 들어, 330, 570)을 포함할 수 있다. 전기 경로(637)는 도 2의 복수의 상호연결부들(237)을 포함할 수 있다.

[0049] [0062] 도 7은 전기 신호들이 개념적으로 패키지를 통해 어떻게 이동할 수 있는지에 대한 다른 보기를 예시한다. 도 7은 전기 경로(739)를 통해 집적 디바이스(209)에 전기적으로 결합되도록 구성되는 집적 디바이스(203)를 예시한다. 전기 경로(739)는 기판(402) 내의 상호연결부들(예를 들어, 322) 및/또는 솔더 상호연결부들(예를 들어, 330, 590)을 포함할 수 있다. 전기 경로(739)는 도 2의 복수의 상호연결부들(239)을 포함할 수 있다.

[0050] [0063] 서로 다른 구현예들은 서로 다른 수의 전기 경로들 및/또는 서로 다른 라우팅을 취하는 전기 경로들을 가질 수 있다.

[0051] [0064] 전기 경로들은 적어도 하나의 전기 신호가 상호연결 디바이스(예를 들어, 201)의 전면을 통해 들어오고 나갈 수 있는 경로(들)를 예시할 수 있다. 이는 상호연결 디바이스를 통해 이동하는 전기 신호는 (ⅰ) 상호연결 디바이스의 전면을 통해 진입하고, (ii) 상호연결 디바이스 내의 상호연결부(들)을 통해 이동하고, (iii) 상호연결 디바이스의 전면을 통해 빠져나갈 수 있다는 것을 의미한다. 그러나, 본 개시에 도시된 전기 신호들의 경로들은 예시적 및/또는 개념적이라는 점에 유의해야 한다. 서로 다른 구현예들에서는 전기 신호들에 대해 서로 다른 경로들을 사용할 수 있다. 또한, 전기 신호들 및/또는 전기 경로들은 서로 다른 유형들의 상호연결부들(예를 들어, 비아들, 트레이스들, 패드들, 필러들), 솔더 상호연결부들 및/또는 구성요소들(예를 들어, 수동 디바이스들)을 통해 이동할 수 있다. 따라서, 예를 들어, 일부 구현예들에서, 집적 디바이스와 상호연결 디바이스 사이를 이동하는 전기 신호는 집적 디바이스와 상호연결 디바이스 사이의 적어도 하나의 개재 구성요소(예를 들어, 수동 디바이스, 커패시터)를 통해 이동할 수 있다. 서로 다른 구현예들은 서로 다른 집적 디바이스들에 대해 주고받는 전기 신호들의 수가 서로 다를 수 있다. 이러한 전기 신호들의 경로는 다를 수 있다. 전기 신호에는 I/O 신호들이 포함될 수 있다. I/O 신호들 대신에, 본 개시에 도시된 예시적인 경로들은 전원 및/또는 접지에도 적용될 수 있다.

[0052] [0065] 전술한 바와 같이, 상호연결 디바이스(201)는 다이(예를 들어, 브리지 다이) 또는 기판(예를 들어, 브리지 기판, 인터포저)으로서 구현될 수 있다. 상호연결 디바이스(201)가 기판(예를 들어, 브리지 기판)으로서 구현될 때, 기판은 코어형 기판 또는 코어리스 기판일 수 있다. 상호연결 디바이스(201)는 다양한 크기들 및 형상들을 가질 수 있다. 예를 들어, 일부 구현예들에서, 상호연결 디바이스(201)는 직사각형 형상(예를 들어, 정사각형 형상)을 가질 수 있고, 측면 크기가 8 ㎜ x 8 ㎜ 이하일 수 있다. 집적 디바이스들(예를 들어, 203, 205, 207, 209)은 직사각형 형상(예를 들어, 정사각형 형상)을 갖는다. 일부 구현예들에서, 상호연결 디바이스(201)는 집적 디바이스로부터 약 300 마이크로미터의 간격을 두고 이격될 수 있다. 본 개시에 설명된 패키지들 중 임의의 패키지는 패키지 온 패키지(PoP)의 일부일 수 있음에 유의한다. 또한, 본 개시에 설명된 패키지들(예를 들어, 200, 700)은 인터포저에 결합될 수 있다.

[0053] **상호연결 디바이스의 제조를 위한 예시적인 순서**

[0054] [0066] 도 8a 내지 도 8d는 상호연결 디바이스를 제공하거나 제조하기 위한 예시적인 순서를 예시한다. 일부 구현예들에서, 도 8a 내지 도 8d의 순서는 도 3의 상호연결 디바이스(201) 또는 본 개시에 개시된 상호연결 디바이스 중 임의의 상호연결 디바이스를 제공하거나 제작하는 데 사용될 수 있다. 도 8a 내지 도 8d의 순서는 상호연결 다이(예를 들어, 상호연결 집적 디바이스)를 포함하는 상호연결 디바이스를 제조하는 데 사용될 수 있다.

[0055] [0067] 도 8a 내지 도 8d의 순서는, 상호연결 디바이스를 제공하거나 제조하기 위한 순서를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 결합할 수 있음에 유의해야 한다. 일부 구현예들에서, 공정들의 순서는 변경되거나 수정될 수 있다. 일부 구현예들에서, 하나 이상의 공정들은 본 개시의 범위를 벗어나지 않고 교체되거나 대체될 수 있다. 서로 다른 구현예들은 상호연결 디바이스를 서로 다르게 제조할 수 있다.

[0056] [0068] 도 8a에 도시된 바와 같이, 스테이지 1은 기판(316)이 제공된 후의 상태를 예시한다. 기판(316)은 유리 및/또는 실리콘을 포함할 수 있다.

[0057] [0069] 스테이지 2는 복수의 상호연결부들(822)이 기판(316) 위에 형성된 후의 상태를 예시한다. 복수의 상호연결부들(822)은 트레이스들 및/또는 패드들을 포함할 수 있다. 복수의 상호연결부들(822)을 형성하는 것은 시드 층 형성, 리소그래피 공정, 도금 공정, 박리 공정 및/또는 에칭 공정의 수행을 포함할 수 있다. 복수의 상

호연결부들(822)은 복수의 상호연결부들(312)의 일부일 수 있다.

[0058] [0070] 스테이지 3은 유전체 층(830)이 복수의 상호연결부들(822) 및 기판(316) 위에 형성된 후의 상태를 예시한다. 유전체 층(830)은 복수의 상호연결부들(822) 및 유전체 층(820) 위에 증착 및/또는 코팅될 수 있다. 유전체 층(830)은 폴리머를 포함할 수 있다. 유전체 층(830)은 유전체 층(311)과 유사할 수 있다.

[0059] [0071] 스테이지 4는 유전체 층(830)에 캐비티(831)가 형성된 후의 상태를 예시한다. 에칭 공정은 캐비티(831)를 형성하기 위해 사용될 수 있다.

[0060] [0072] 스테이지 5는 도 8b에 도시된 바와 같이, 유전체 층(830) 위에 복수의 상호연결부들(832)이 형성된 후의 상태를 예시한다. 복수의 상호연결부들(832)은 비아들, 트레이스들 및/또는 패드들을 포함할 수 있다. 복수의 상호연결부들(832)을 형성하는 것은 리소그래피 공정, 도금 공정, 박리 공정 및/또는 에칭 공정의 수행을 포함할 수 있다. 복수의 상호연결부들(832)은 복수의 상호연결부들(312)의 일부일 수 있다.

[0061] [0073] 스테이지 6은 유전체 층(840)이 복수의 상호연결부들(832) 및 유전체 층(830) 위에 형성된 후의 상태를 예시한다. 유전체 층(840)은 복수의 상호연결부들(832) 및 유전체 층(830) 위에 증착 및/또는 코팅될 수 있다. 유전체 층(840)은 폴리머를 포함할 수 있다. 유전체 층(840)은 유전체 층(830)과 유사할 수 있다.

[0062] [0074] 스테이지 7은 유전체 층(840) 내에 캐비티들(841)이 형성된 후의 상태를 예시한다. 에칭 공정이 캐비티들(841)을 형성하는 데 사용될 수 있다.

[0063] [0075] 스테이지 8은 유전체 층(840) 위에 복수의 상호연결부들(842)이 형성된 후의 상태를 예시한다. 복수의 상호연결부들(842)은 비아들, 트레이스들 및/또는 패드들을 포함할 수 있다. 복수의 상호연결부들(842)을 형성하는 것은 리소그래피 공정, 도금 공정, 박리 공정 및/또는 에칭 공정의 수행을 포함할 수 있다. 복수의 상호연결부들(842)은 복수의 상호연결부들(312)의 일부일 수 있다.

[0064] [0076] 스테이지 9는 도 8c에 도시된 바와 같이, 유전체 층(850)이 복수의 상호연결부들(842) 및 유전체 층(840) 위에 형성된 후의 상태를 예시한다. 유전체 층(850)은 복수의 상호연결부들(842) 및 유전체 층(840) 위에 증착 및/또는 코팅될 수 있다. 유전체 층(850)은 폴리머를 포함할 수 있다. 유전체 층(850)은 유전체 층(840)과 유사할 수 있다.

[0065] [0077] 스테이지 10은 유전체 층(850)에 캐비티들(851)이 형성된 후의 상태를 예시한다. 에칭 공정은 캐비티들(851)을 형성하기 위해 사용될 수 있다.

[0066] [0078] 스테이지 11은 유전체 층(850) 위에 복수의 상호연결부들(852)이 형성된 후의 상태를 예시한다. 복수의 상호연결부들(852)은 비아들, 트레이스들 및/또는 패드들을 포함할 수 있다. 복수의 상호연결부들(852)을 형성하는 것은 리소그래피 공정, 도금 공정, 박리 공정 및/또는 에칭 공정의 수행을 포함할 수 있다. 복수의 상호연결부들(852)은 복수의 상호연결부들(312)의 일부일 수 있다.

[0067] [0079] 스테이지 12는 도 8d에 도시된 바와 같이, 패시베이션 층(314)이 적어도 하나의 유전체 층(311) 위에 형성된 후의 상태를 예시한다. 적어도 하나의 유전체 층(311)은 유전체 층들(830, 840 및 850)을 나타낼 수 있다. 스테이지 12는 복수의 상호연결부들(312)을 예시할 수 있으며, 복수의 상호연결부들(832, 842 및/또는 852)을 포함할 수 있다. 스테이지 12는 상호연결 디바이스(201)를 예시할 수 있다.

[0068] [0080] 스테이지 13은 복수의 솔더 상호연결부들(310)이 상호연결 디바이스(201)에 결합된 후의 상태를 예시할 수 있다. 스테이지 13은 도 3에 설명된 바와 같은 상호연결 디바이스(201)의 일 예를 예시할 수 있다. 일부 구현예들에서, 상호연결 디바이스(201)는 웨이퍼의 일부이고, 웨이퍼를 개별 상호연결 디바이스들로 절단하기 위해 싱귤레이션이 수행될 수 있다.

[0069] **상호연결 디바이스를 제조하기 위한 방법의 예시적인 흐름도**

[0070] [0081] 일부 구현예들에서, 상호연결 디바이스를 포함하는 패키지를 제조하는 것은 여러 공정들을 포함한다. 도 9는 고밀도 상호연결 디바이스를 제공하거나 제조하기 위한 방법(900)의 예시적인 흐름도를 예시한다. 일부 구현예들에서, 도 9의 방법(900)은 본 개시에 설명된 도 3의 고밀도 상호연결 디바이스(예를 들어, 201)를 제공하거나 제조하는 데 사용될 수 있다. 그러나, 방법(900)은 본 개시에 설명된 임의의 상호연결 디바이스들 중 임의의 상호연결 디바이스를 제공하거나 제작하는 데 사용될 수 있다.

[0071] [0082] 도 9의 방법은 상호연결 디바이스를 제공하거나 제조하기 위한 방법을 단순화 및/또는 명확화하기 위해 하나 이상의 공정들을 결합할 수 있다는 점에 유의해야 한다. 일부 구현예들에서, 공정들의 순서는 변경되거나

수정될 수 있다. 도 9는 재분배 상호연결부들을 제작하는 측면에서 설명될 것이다. 그러나, 도 9의 방법은 임의의 유형의 상호연결부를 제조하는 데 사용될 수 있다.

[0072] [0083] 방법은 (905에서) 기판(예를 들어, 316)을 제공한다. 기판(316)은 유리, 석영 및/또는 실리콘을 포함할 수 있다. 도 8a의 스테이지 1은 기판의 일 예를 예시하고 설명한다.

[0073] [0084] 방법은 기판(예를 들어, 316) 상에 복수의 상호연결부들(822)를 형성함으로써 제1 금속층을 형성한다(910에서). 복수의 상호연결부들을 형성하는 것은 리소그래피 공정 수행, 도금 공정 수행, 스트리핑 공정 수행 및/또는 에칭 공정 수행을 포함할 수 있다. 도 8a의 스테이지 2는, 상호연결 디바이스를 위한 제1 금속층을 형성하는 일 예를 예시하고 설명한다.

[0074] [0085] 방법은 유전체 층(예를 들어, 830) 및 복수의 상호연결부들(832)을 제1 금속층 위에 형성함으로써 제2 금속층을 형성한다(915에서). 유전체 층은 폴리머를 포함할 수 있다. 유전체 층 및 복수의 상호연결부들을 형성하는 것은 유전체 층(820) 및 상호연결부(822) 위에 유전체 층(830)을 배치하고, 리소그래피 공정을 수행하고, 도금 공정을 수행하고, 스트리핑 공정을 수행하고, 그리고/또는 에칭 공정을 수행하는 것을 포함할 수 있다. 도 8a 내지 도 8b의 스테이지 3 내지 스테이지 5는 상호연결 디바이스를 위한 제2 금속층(예를 들어, 재분배 층, 재분배 금속층)을 형성하는 일 예를 예시하고 설명한다. 재분배 층(RDL)은 금속화 층의 한 형태일 수 있다. RDL은 U자형 또는 V자형을 포함하는 상호연결부를 포함할 수 있다. "U자형" 및" V자형"은 서로 바꿔 사용할 수 있다. "U자형" 및 "V자형"이라는 용어들은 상호연결부들 및/또는 재배포 상호연결부들의 측면 프로파일 형상을 지칭할 수 있다. U자형 상호연결부 및 V자형 상호연결부는 최상부 부분과 하부 부분을 가질 수 있다. U자형 상호연결부(또는 V자형 상호연결부)의 하부 부분은 다른 U자형 상호연결부(또는 V자형 상호연결부)의 최상부 부분에 결합될 수 있다. 금속층 및 유전체 층을 형성하는 것은 라인의 백 엔드(BEOL) 공정을 사용하는 것을 포함할 수 있다.

[0075] [0086] 방법은 하나 이상의 유전체 층들(예를 들어, 840, 850) 및 복수의 상호연결부들(예를 들어, 842, 852)을 제2 금속층 위에 형성함으로써 추가의 금속층(들)을 형성한다(920에서). 유전체 층은 폴리머를 포함할 수 있다. 유전체 층 및 복수의 상호연결부들을 형성하는 것은 유전체 층(830) 및 상호연결(832) 위에 하나 이상의 유전체 층들(예를 들어, 840, 850)을 배치하고, 리소그래피 공정을 수행하고, 도금 공정을 수행하고, 스트리핑 공정을 수행하고, 그리고/또는 에칭 공정을 수행하는 것을 포함할 수 있다. 도 8b 내지 도 8c의 스테이지 7 내지 스테이지 11은 상호연결 디바이스를 위한 추가의 금속층들을 형성하는 일 예를 예시하고 설명한다. 추가의 금속층들 및 추가 유전체 층들을 형성하는 것은 라인 후단(BEOL) 공정을 사용하는 것을 포함할 수 있다.

[0076] [0087] 이 방법은 상호연결 디바이스(예를 들어, 201)의 유전체 층 위에 패시베이션 층(예를 들어, 314)을 형성한다(925에서). 패시베이션 층(예를 들어, 314)은 유전체 층(311) 위에 배치될 수 있다. 도 8d의 스테이지 12는 상호연결 디바이스의 유전체 층 위에 형성되는 패시베이션 층의 일 예를 예시하고 설명한다.

[0077] [0088] 이 방법은 복수의 솔더 상호연결부들(예를 들어, 310)을 상호연결 디바이스(예를 들어, 201)에 결합시킨다(930에서). 도 8d의 스테이지 13은 상호연결 디바이스에 결합된 솔더 상호연결부들의 일 예를 예시하고 설명할 수 있다.

[0078] [0089] 일부 구현예들에서, 상호연결 디바이스(201)는 웨이퍼의 일부이고, 웨이퍼를 개별 상호연결 디바이스들로 절단하기 위해 싱귤레이션이 수행될 수 있다. 방법(900)은 복수의 상호연결부들(312)을 포함하는 상호연결 디바이스(201)를 제조하는 데 사용될 수 있다.

[0079] **기판 제조를 위한 예시적인 순서**

[0080] [0090] 일부 구현예들에서, 기판의 제조는 여러 공정들을 포함한다. 도 10a 내지 도 10c는 기판을 제공하거나 제작하기 위한 일 예의 순서를 예시한다. 일부 구현예들에서, 도 10a 내지 도 10c의 순서는 도 3의 기판(202)을 제공하거나 제조하는 데 사용될 수 있다. 그러나, 도 10a 내지 도 10c의 공정은 본 개시에 설명된 기판들 중 임의의 기판을 제조하는 데 사용될 수 있다. 예를 들어, 상호연결 디바이스(201)가 기판 및/또는 인터포저로서 구현되는 경우, 도 10a 내지 도 10c의 공정은 상호연결 디바이스(201)를 제조하는 데 사용될 수 있다.

[0081] [0091] 도 10a 내지 도 10c의 순서는 기판을 제공하거나 제조하기 위한 순서를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 결합할 수 있다는 점에 유의해야 한다. 일부 구현예들에서, 공정들의 순서는 변경되거나 수정될 수 있다. 일부 구현예들에서, 공정들 중 하나 이상이 본 개시의 범위를 벗어나지 않고 교체되거나 대체될 수 있다.

[0082] [0092] 도 10a에 도시된 바와 같이, 스테이지 1은 캐리어(1000)가 제공되고 캐리어(1000) 위에 금속층이 형성된 후의 상태를 도시한다. 금속층은 상호연결부들(1002)을 형성하도록 패턴화될 수 있다. 도금 공정 및 에칭 공정은 금속층 및 상호연결부들을 형성하는 데 사용될 수 있다.

[0083] [0093] 스테이지 2는 캐리어(1000) 및 상호연결부들(1002) 상에 유전체 층(1020)이 형성된 후의 상태를 예시한다. 유전체 층(1020)은 폴리이미드를 포함할 수 있다. 그러나, 서로 다른 구현예들은 유전체 층을 위해 서로 다른 재료들을 사용할 수 있다.

[0084] [0094] 스테이지 3은 유전체 층(1020) 내에 복수의 캐비티들(1010)이 형성된 후의 상태를 예시한다. 복수의 캐비티들(1010)은 에칭 공정(예를 들어, 포토 에칭 공정) 또는 레이저 공정을 사용하여 형성될 수 있다.

[0085] [0095] 스테이지 4는 상호연결부들(1012)이 유전체 층(1020) 내부 및 그 위에 형성된 후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스들이 형성될 수 있다. 도금 공정은 상호연결부들을 형성하는 데 사용될 수 있다.

[0086] [0096] 스테이지 5는 유전체 층(1020) 위에 다른 유전체 층(1022)이 형성된 후의 상태를 예시한다. 유전체 층(1022)은 유전체 층(1020)과 동일한 재료일 수 있다. 그러나, 서로 다른 구현예들은 유전체 층에 대해 서로 다른 재료들을 사용할 수 있다.

[0087] [0097] 스테이지 6은 도 10b에 도시된 바와 같이, 복수의 캐비티들(1030)이 유전체 층(1022)에 형성된 후의 상태를 예시한다. 에칭 공정 또는 레이저 공정이 캐비티들(1030)을 형성하는 데 사용될 수 있다.

[0088] [0098] 스테이지 7은 유전체 층(1022) 내 및 유전체 층 위에 상호연결부들(1014)이 형성된 후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스가 형성될 수 있다. 도금 공정은 상호연결부들을 형성하는 데 사용될 수 있다.

[0089] [0099] 스테이지 8은 유전체 층(1022) 위에 다른 유전체 층(1024)이 형성된 후의 상태를 예시한다. 유전체 층(1024)은 유전체 층(1020)과 동일한 재료일 수 있다. 그러나, 다른 구현예들은 유전체 층에 대해 서로 다른 재료들을 사용할 수 있다.

[0090] [00100] 스테이지 9는 유전체 층(1024) 내에 복수의 캐비티들(1040)이 형성된 후의 상태를 예시한다. 에칭 공정 또는 레이저 공정이 캐비티들(1040)을 형성하는 데 사용될 수 있다.

[0091] [00101] 스테이지 10은 도 10c에 도시된 바와 같이, 상호연결부들(1016)이 유전체 층(1024) 내부 및 그 위에 형성된 후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스가 형성될 수 있다. 도금 공정이 상호연결부들을 형성하는 데 사용될 수 있다.

[0092] [00102] 상호연결부들(1002, 1012, 1014 및/또는 1016)의 일부 또는 전부는 기판(202)의 복수의 상호연결부들(322)을 규정할 수 있다. 유전체 층들(1020, 1022, 1024)은 적어도 하나의 유전체 층(320)에 의해 표시될 수 있다.

[0093] [00103] 스테이지 11은 캐리어(1000)가 유전체 층(320)으로부터 분리(예를 들어, 제거, 연마)되어 기판(202)을 떠난 후의 상태를 예시한다.

[0094] [00104] 스테이지 12는 제1 솔더 레지스트 층(324) 및 제2 솔더 레지스트 층(326)이 기판(202) 위에 형성된 후의 상태를 예시한다.

[0095] [00105] 서로 다른 구현예들은 금속층(들)을 형성하기 위해 상이한 공정들을 사용할 수 있다. 일부 구현예들에서, 금속층(들)을 형성하기 위한 화학 기상 증착(CVD) 공정 및/또는 물리적 기상 증착(PVD) 공정이 사용된다. 예를 들어, 스퍼터링 공정, 스프레이 코팅 공정 및/또는 도금 공정이 금속층(들)을 형성하는 데 사용될 수 있다.

[0096] **기판을 제조하기 위한 방법의 예시적인 흐름도**

[0097] [00106] 일부 구현예들에서, 기판의 제조는 여러 공정들을 포함한다. 도 11은 기판을 제공하거나 제조하기 위한 방법(1100)의 일 예시적인 흐름도를 예시한다. 일부 구현예들에서, 도 11의 방법(1100)은 도 3의 기판을 제공하거나 제조하는 데 사용될 수 있다. 예를 들어, 도 11의 방법은 기판(202)을 제조하는 데 사용될 수 있다. 상호연결 디바이스가 기판 및/또는 인터포저로서 구현되는 경우, 도 11의 방법은 상호연결 디바이스를 제조하는 데 사용될 수 있다.

[0098] [00107] 도 11의 방법은 기판을 제공하거나 제조하기 위한 방법을 단순화 및/또는 명확화하기 위해 하나 이상의 공정들을 결합할 수 있음에 유의해야 한다. 일부 구현예들에서, 공정들의 순서는 변경되거나 수정될 수 있다.

[0099] [00108] 방법은 캐리어(1000)를 제공한다(1105에서). 서로 다른 구현예들은 캐리어를 위해 서로 다른 재료들을 사용할 수 있다. 캐리어는 기판, 유리, 석영 및/또는 캐리어 테이프를 포함할 수 있다. 도 10a의 스테이지 1은 캐리어가 제공된 후의 상태에 대한 일 예를 예시하고 설명한다.

[0100] [00109] 방법은 캐리어(1000) 위에 금속층을 형성한다(1110에서). 금속층은 상호연결부들을 형성하도록 패턴화될 수 있다. 도금 공정은 금속층 및 상호연결부들을 형성하는 데 사용될 수 있다. 도 10a의 스테이지 1은 금속층 및 상호연결부들(1002)이 형성된 후의 상태에 대한 일 예를 예시하고 설명한다.

[0101] [00110] 이 방법은 캐리어(1000) 및 상호연결부들(1002) 위에 유전체 층(1020)을 형성한다(1115에서). 유전체 층(1020)은 폴리이미드를 포함할 수 있다. 유전체 층의 형성은 또한 유전체 층(1020) 내에 복수의 캐비티들(예를 들어, 1010)을 형성하는 것을 포함할 수 있다. 복수의 캐비티들은 에칭 공정(예를 들어, 포토 에칭) 또는 레이저 공정을 사용하여 형성될 수 있다. 도 10a의 스테이지 2 내지 스테이지 3은 유전체 층 및 유전체 층 내의 캐비티들을 형성하는 일 예를 예시하고 설명한다.

[0102] [00111] 이 방법은 유전체 층 내 및 유전체 층 위에 상호연결부들을 형성한다(1120에서). 예를 들어, 상호연결부들(1012)은 유전체 층(1020) 내 및 그 위에 형성될 수 있다. 도금 공정은 상호연결부들을 형성하는 데 사용될 수 있다. 상호연결부들을 형성하는 것은 유전체 층 위 및/또는 유전체 층 내에 패턴화된 금속층을 제공하는 것을 포함할 수 있다. 도 10a의 스테이지 4는 유전체 층 내 및 유전체 층 위에 상호연결부들을 형성하는 일 예를 예시하고 설명한다.

[0103] [00112] 이 방법은 유전체 층(1020) 및 상호연결부들 위에 유전체 층(1022)을 형성한다(1125에서). 유전체 층(1022)은 폴리이미드를 포함할 수 있다. 유전체 층의 형성은 또한 유전체 층(1022) 내에 복수의 캐비티들(예를 들어, 1030)을 형성하는 것을 포함할 수 있다. 복수의 캐비티들은 에칭 공정 또는 레이저 공정을 사용하여 형성될 수 있다. 도 10a 내지 도 10b의 스테이지 5 내지 스테이지 6은 유전체 층 및 유전체 층 내의 캐비티들을 형성하는 것을 예시한다.

[0104] [00113] 이 방법은 유전체 층 내 및/또는 유전체 층 위에 상호연결부들을 형성한다(1130에서). 예를 들어, 상호연결부들(1014)이 형성될 수 있다. 도금 공정은 상호연결부들을 형성하는 데 사용될 수 있다. 상호연결부들의 형성은 유전체 층 위에 패턴화된 금속층을 제공하는 것을 포함할 수 있다. 도 10b의 스테이지 7은 유전체 층 내 및 유전체 층 위에 상호연결부들을 형성하는 예를 예시하고 설명한다.

[0105] [00114] 이 방법은 1125 및 도 1130에 설명된 바와 같이 추가의 유전체 층(들) 및 추가의 상호연결부들을 형성할 수 있다. 도 10b 내지 도 10c의 스테이지 8 내지 스테이지 10은 유전체 층 내 및 유전체 층 위에 추가의 상호연결부들을 형성하는 일 예를 예시하고 설명한다.

[0106] [00115] 모든 유전체 층(들) 및 추가의 상호연결부들이 형성되면, 방법은 캐리어(예를 들어, 1000)를 유전체 층(1020)으로부터 분리(예를 들어, 제거, 연마)하여 기판이 남게 한다. 일부 구현예들에서, 방법은 기판 위에 솔더 레지스트 층들(예를 들어, 324, 326)을 형성할 수 있다.

[0107] [00116] 서로 다른 구현예들은 금속층(들)을 형성하기 위해 서로 다른 공정들을 사용할 수 있다. 일부 구현예들에서, 금속층(들)을 형성하기 위한 화학 기상 증착(CVD) 공정 및/또는 물리적 기상 증착(PVD) 공정이 사용된다. 예를 들어, 스퍼터링 공정, 스프레이 코팅 공정 및/또는 도금 공정이 금속층(들)을 형성하는 데 사용될 수 있다.

[0108] **기판에 결합된 상호연결 디바이스를 포함하는 패키지를 제조하기 위한 예시적인 순서**

[0109] [00117] 도 12a 내지 도 12b는 기판에 결합된 상호연결 디바이스를 포함하는 패키지를 제공하거나 제조하기 위한 예시적인 순서를 예시한다. 일부 구현예들에서, 도 12a 내지 도 12b의 순서는 도 3의 기판(202) 및 상호연결 디바이스(201)를 포함하는 패키지(200), 또는 본 개시에 설명된 패키지들 중 임의의 패키지를 제공하거나 제조하는 데 사용될 수 있다.

[0110] [00118] 도 12a 내지 도 12b의 순서는 패키지를 제공하거나 제조하기 위한 순서를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 결합할 수 있다는 점에 유의해야 한다. 일부 구현예들에서, 공정들의 순서는 변경되거나 수정될 수 있다. 일부 구현예들에서, 하나 이상의 공정들은 본 개시의 범위를 벗어나지 않고 교체되거나 대체될 수 있다. 도 12a 내지 도 12b의 순서는 (웨이퍼의 일부로서) 한 번에 하나의 패키지 또는 다수

의 패키지들을 제조하는 데 사용될 수 있다.

[0111] [00119] 도 12a에 도시된 바와 같이, 스테이지 1은 기판(202)이 제공된 후의 상태를 예시한다. 기판(202)은 공급자에 의해 제공되거나 제조될 수 있다. 도 10a 내지 도 10c에 도시된 공정과 유사한 공정이 기판(202)을 제조하는 데 사용될 수 있다. 그러나, 서로 다른 구현예들은 기판(202)을 제조하기 위해 서로 다른 공정들을 사용할 수 있다. 기판(202)을 제조하기 위해 사용될 수 있는 공정들의 예들에는 세미-어디티브 공정(SAP) 및 변형된 세미-어디티브 공정(mSAP)이 포함된다. 기판(202)은 적어도 하나의 유전체 층(320) 및 복수의 상호연결부들(322)을 포함한다. 기판(202)은 라미네이트 기판, 코어리스 기판, 유기 기판, 코어 층을 포함하는 기판(예를 들어, 코어 기판)일 수 있다. 일부 구현예들에서, 적어도 하나의 유전체 층(320)은 코어 층 및/또는 프리프레그 층을 포함할 수 있다.

[0112] [00120] 스테이지 2는 집적 디바이스(203), 집적 디바이스(205) 및 상호연결 디바이스(201)가 기판(202)의 제1 표면(예를 들어, 최상부 표면)에 결합된 후의 상태를 예시한다. 집적 디바이스(203)는 복수의 솔더 상호연결부들(330)을 통해 기판(202)에 결합될 수 있다. 집적 디바이스(205)는 복수의 솔더 상호연결부들(350)을 통해 기판(202)에 결합될 수 있다. 상호연결 디바이스(201)는 복수의 솔더 상호연결부들(310)을 통해 기판(202)에 결합될 수 있다. 다른 집적 디바이스들(예를 들어, 207, 209)은 기판(202)에 결합될 수 있다. 집적 디바이스들은 도 2에 설명된 바와 같이, 집적 디바이스(207)가 기판(202)의 제2 사분면(212)에 위치하고, 집적 디바이스(205)가 기판(202)의 제1 사분면(211)에 위치하고, 집적 디바이스(203)가 기판(202)의 제3 사분면(213)에 위치하고, 집적 디바이스(209)가 기판(202)의 제4 사분면(214)에 위치하도록 기판(202)에 결합될 수도 있다.

[0113] [00121] 스테이지 3은 열 인터페이스 재료(TIM들)가 기판(202) 및 집적 디바이스들 위에 제공된 후의 상태를 예시한다. 예를 들어, TIM(382)이 기판(202) 위에 증착될 수 있고, TIM(383)이 집적 디바이스(203)의 후면 위에 증착될 수 있고, TIM(385)이 집적 디바이스(205)의 후면 상에 증착될 수 있다. 다른 TIM들은 기판(202)에 결합된 다른 집적 디바이스들 위에 증착될 수 있다.

[0114] [00122] 도 12b에 도시된 바와 같이, 스테이지 4는 열 분산기(308)가 다양한 TIM들을 통해 기판(202) 및 집적 디바이스들에 결합된 후의 상태를 예시한다. 픽 앤 플레이스 공정은 열 분산기(308)를 TIM들(382, 383 및 385)을 통해 기판(202) 및 집적 디바이스들에 결합시키는 데 사용될 수 있다. 일부 구현예들에서, TIM들(382, 383 및 385)은 동일한 TIM의 일부일 수 있다.

[0115] [00123] 스테이지 5는 복수의 솔더 상호연결부들(380)이 기판(202)의 제2 표면(예를 들어, 하부 표면)에 결합된 후의 상태를 예시한다. 복수의 솔더 상호연결부들(380)은 기판(202)의 복수의 상호연결부들(322)로부터의 상호연결부들에 결합될 수 있다. 솔더 리플로우 공정은 복수의 솔더 상호연결부들(380)을 기판(202)에 결합시키는 데 사용될 수 있다. 스테이지 5는 도 2 내지 도 7에 설명된 바와 같이 패키지(200)를 예시할 수 있다. 본 개시에 설명된 패키지들(예를 들어, 200,)은 한 번에 하나씩 제조될 수도 있고, 하나 이상의 웨이퍼들의 일부로서 함께 제조된 다음 개별 패키지들로 단일화될 수도 있다.

[0116] **기판에 결합된 상호연결 디바이스를 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도**

[0117] [00124] 일부 구현예들에서, 기판에 결합된 고밀도 상호연결 디바이스를 포함하는 패키지의 제조은 여러 공정들을 포함한다. 도 13은 기판에 결합된 고밀도 상호연결 디바이스를 포함하는 패키지를 제공하거나 제조하기 위한 방법(1300)의 예시적인 흐름도를 예시한다. 일부 구현예들에서, 도 13의 방법(1300)은 본 개시에 설명된 도 3의 패키지(200)를 제공하거나 제조하는 데 사용될 수 있다. 그러나, 방법(1300)은 본 개시에 설명된 패키지들을 제공하거나 제조하는 데 사용될 수 있다.

[0118] [00125] 도 13의 방법은 기판에 결합된 고밀도 상호연결 디바이스를 포함하는 패키지를 제공하거나 제조하기 위한 방법을 단순화 및/또는 명확화하기 위해 하나 이상의 공정들을 결합할 수 있음에 유의해야 한다. 일부 구현예들에서, 공정들의 순서는 변경되거나 수정될 수 있다.

[0119] [00126] 방법은 기판(예를 들어, 202)을 제공한다(1305에서). 기판(202)은 공급자에 의해 제공되거나 제조될 수 있다. 기판(202)은 제1 표면 및 제2 표면을 포함한다. 기판(202)은 적어도 하나의 유전체 층(320) 및 복수의 상호연결부들(322)을 포함한다. 서로 다른 구현예들은 서로 다른 기판들을 제공할 수 있다. 도 10a 내지 도 10c에 도시된 공정과 유사한 공정이 기판(202)을 제조하는 데 사용될 수 있다. 그러나, 서로 다른 구현예들은 기판(202)을 제조하기 위해 서로 다른 공정들을 사용할 수 있다. 도 12a의 스테이지 1은 기판 제공의 예를 예시하고 설명한다.

[0120] [00127] 방법은 적어도 하나의 집적 디바이스(예를 들어, 203, 205) 및 상호연결 디바이스(예를 들어, 201)를

기판의 제1 표면(예를 들어, 202)에 결합시킨다(1310에서). 집적 디바이스(203)는 복수의 솔더 상호연결부들(330)을 통해 기판(202)에 결합될 수 있다. 복수의 솔더 상호연결부들(330)은 기판(202)의 복수의 상호연결부들(322)로부터의 상호연결부들에 결합될 수 있다. 집적 디바이스(203)는 제1 집적 디바이스(203)의 전면(예를 들어, 활성면)이 기판(202)을 향하도록 기판(202)에 결합될 수 있다. 일 예로서, 집적 디바이스(203) 및 상호연결 디바이스(201)는 기판(202)에 결합되어 집적 디바이스, 상호연결 디바이스 및 기판이 함께 결합됨으로써 제1 전기 신호가 집적 디바이스와 보드(예를 들어, 390) 사이에서 이동할 때, 제1 전기 신호가 기판(202)을 통과한 다음 상호연결 디바이스(201)를 통과하고 다시 기판(202)을 통과하도록 결합될 수 있다. 제1 전기 신호의 전기 경로는 대각선으로 연장되는 적어도 하나의 상호연결부를 포함할 수 있다. 기판(202)은 집적 디바이스들이 기판(202)에 결합되기 전에 플립될 수 있다.

[0121] [00128] 집적 디바이스(205)는 복수의 솔더 상호연결부들(350)을 통해 기판(202)에 결합될 수 있다. 복수의 솔더 상호연결부들(350)은 기판(202)의 복수의 상호연결부들(322)로부터의 상호연결부들에 결합될 수 있다. 집적 디바이스(205)는 집적 디바이스(205)의 전면(예를 들어, 활성면)이 기판(202)을 향하도록 기판(202)에 결합될 수 있다.

[0122] [00129] 일 예로서, 제1 집적 디바이스(203), 제2 집적 디바이스(205) 및 상호연결 디바이스(201)는 기판(202)에 결합되어, 집적 디바이스, 상호연결 디바이스 및 기판이 함께 결합됨으로써 제1 전기 신호가 제1 집적 디바이스(203)와 제2 집적 디바이스(205) 사이에서 이동할 때, 제1 전기 신호가 상호연결 디바이스(201)를 통해 이동하는 방식으로 결합될 수 있다. 예를 들어, 제1 집적 디바이스(203)와 제2 집적 디바이스(205) 사이의 제1 전기 신호는 기판(202)을 통과한 다음 상호연결 디바이스(201)를 통과하고 다시 기판(202)을 통과할 수 있다. 제1 전기 신호의 전기 경로는 대각선으로 연장되는 적어도 하나의 상호연결부를 포함할 수 있다. 도 12a의 스테이지 2는 집적 디바이스들 및 기판에 결합된 상호연결 디바이스의 일 예를 예시하고 설명한다. 집적 디바이스를 기판에 결합하는 것은 또한 각각의 집적 디바이스(예를 들어, 203, 205)와 기판(202) 사이에 언더필(예를 들어, 313, 333, 353)을 제공하는 것을 포함할 수 있다. 도 12a의 스테이지 2는 언더필이 제공되는 일 예를 예시하고 설명한다.

[0123] [00130] 이 방법은 기판 및/또는 집적 디바이스들 위에 적어도 하나의 열 인터페이스 재료(TIM)를 제공한다(1315에서). 예를 들어, TIM(382)은 기판(202) 위에 증착될 수 있고, TIM(383)은 집적 디바이스(203)의 후면 위에 증착될 수 있고, TIM(385)은 집적 디바이스(205)의 후면 위에 증착될 수 있다. 도 12a의 스테이지 3은 TIM 제공의 일 예를 예시하고 설명한다.

[0124] [00131] 이 방법은 열 분산기를 기판 및 집적 디바이스들에 결합시킨다(1320에서). 예를 들어, 픽 앤 플레이스 공정이 열 분산기(308)를 TIM들(382, 383 및 385)을 통해 기판(202) 및 집적 디바이스들에 결합시키는 데 사용될 수 있다. 도 12b의 스테이지 4는 열 분산기를 기판 및 집적 디바이스들에 결합하는 일 예를 예시하고 설명한다.

[0125] [00132] 이 방법은 복수의 솔더 상호연결부들(예를 들어, 380)을 기판(예를 들어, 202)의 제2 표면에 결합시킨다(1320에서). 도 12b의 스테이지 5는 솔더 상호연결부들을 기판에 결합하는 일 예를 예시하고 설명한다.

[0126] **예시적인 전자 디바이스들**

[0127] [00133] 도 14는 전술한 디바이스, 집적 디바이스, 집적 회로(IC) 패키지, 집적 회로(IC) 디바이스, 반도체 디바이스, 집적 회로, 다이, 인터포저, 패키지, 패키지-온-패키지(PoP), 시스템 인 패키지(SiP) 또는 시스템 온 칩(SoC) 중 어느 하나와 집적될 수 있는 다양한 전자 디바이스들을 예시한다. 예를 들어, 휴대 전화 디바이스(1402), 랩톱 컴퓨터 디바이스(1404), 고정 위치 단말 디바이스(1406), 웨어러블 디바이스(1408), 또는 자동차 차량(1410)은 본 명세서에 설명된 바와 같은 디바이스(1400)를 포함할 수 있다. 디바이스(1400)는 예를 들어, 본 명세서에 설명된 디바이스들 및/또는 집적 회로(IC) 패키지들 중 임의의 것일 수 있다. 도 14에 예시된 디바이스들(1402, 1404, 1406 및 1408) 및 차량(1410)은 단지 예시적인 것일 뿐이다. 다른 전자 디바이스들은 또한 모바일 디바이스들, 휴대용 개인 통신 시스템(PCS) 유닛들, 휴대용 데이터 유닛들, 예를 들어 개인 디지털 보조기들, 위성 위치 확인 시스템(GPS) 지원 디바이스들, 내비게이션 디바이스들, 셋톱 박스들, 음악 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 검침 장비와 같은 고정 위치 데이터 유닛들, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들(예를 들어, 시계들, 안경들), 사물 인터넷(IoT) 디바이스들, 서버들, 라우터들, 자동차 차량들(예를 들어, 자율주행 차량들)에 구현된 전자 디바이스들, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 검색하는 임의의 다른 디바이스, 또는 이들의 임의의 조합을 포함하는 디바이스들(예를 들어, 전자 디바이스들)의 그룹을 포함하는(그러나, 이에 제한되지 않음) 디바이스(1400)를 특

징으로 할 수 있다.

[0128] [00134] 도 2 내지 도 7, 도 8a 내지 도 8d, 도 9, 도 10a 내지 도 10c, 도 11, 도 12a 내지 도 12b 및/또는 도 13 내지 도 14에 예시된 구성요소들, 공정들, 특징들 및/또는 기능들 중 하나 이상은 단일 구성요소, 공정, 특징 또는 기능으로 재배열 및/또는 결합될 수 있거나, 여러 구성요소들, 공정들 또는 기능들로 구체화될 수 있다. 본 개시를 벗어나지 않고 추가의 요소들, 구성요소들, 공정들 및/또는 기능들이 추가될 수도 있다. 또한, 도 2 내지 도 7, 도 8a 내지 도 8d, 도 9, 도 10a 내지 도 10c, 도 11, 도 12a 내지 도 12b 및/또는 도 13 내지 도 14 및 본 개시에서의 해당 설명은 다이 및/또는 IC들에 제한되지 않는다는 것에 주목해야 한다. 일부 구현예들에서, 도 2 내지 도 7, 도 8a 내지 도 8d, 도 9, 도 10a 내지 도 10c, 도 11, 도 12a 내지 도 12b 및/또는 도 13 내지 도 14 및 그 대응하는 설명은 디바이스들 및/또는 집적 디바이스들을 제조, 생성, 제공 및/또는 생산하기 위해 사용될 수 있다. 일부 구현예들에서, 디바이스는 다이, 집적 디바이스, 집적 수동 디바이스(IPD), 다이 패키지, 집적 회로(IC) 디바이스, 디바이스 패키지, 집적 회로(IC) 패키지, 웨이퍼, 반도체 디바이스, 패키지 온 패키지(PoP) 디바이스, 방열 디바이스 및/또는 인터포저를 포함할 수 있다.

[0129] [00135] 본 개시의 도면들은 다양한 부품들, 구성요소들, 물체들, 디바이스들, 패키지들, 집적 디바이스들, 집적 회로들 및/또는 트랜지스터들의 실제 표현들 및/또는 개념적 표현들을 나타낼 수 있음에 유의해야 한다. 일부 예들에서, 도면들은 실척대로 그려지지 않을 수 있다. 일부 예들에서, 명확성을 위해 모든 구성 요소들 및/또는 부품들이 표시되지 않은 경우도 있다. 일부 예들에서, 도면들에 도시된 다양한 부품들 및/또는 구성요소들의 포지션, 위치, 크기들 및/또는 형상들은 예시적인 것일 수 있다. 일부 구현예들에서, 도면들에 도시된 다양한 구성요소들 및/또는 부품들은 선택적일 수 있다.

[0130] [00136] 본 명세서에서 "예시적"이라는 단어는 "예, 예시 또는 실례로서의 역할"을 의미하는 것으로 사용된다. 본 명세서에서 "예시적"으로서 설명되는 구현예 또는 양태는 반드시 본 개시의 다른 양태들보다 선호되거나 유리한 것으로 해석되어야 하는 것은 아니다. 마찬가지로, "양태들"이라는 용어는 본 개시의 모든 양태들이 논의된 특징, 이점 또는 작동 모드를 포함할 것을 요구하지 않는다. 본 명세서에서 "결합된"이라는 용어는 두 물체들 사이의 직접적 또는 간접적 결합(예를 들어, 기계적 결합)을 지칭하기 위해 사용된다. 예를 들어, 물체(A)가 물체(B)에 물리적으로 닿아 있고, 물체(B)가 물체(C)에 닿아 있는 경우, 물체들(A 및 C)은 서로 직접 물리적으로 닿지 않더라도 서로 결합된 것으로 간주될 수 있다. "전기적으로 결합된"이라는 용어는 두 물체들이 직접 또는 간접적으로 함께 결합되어 전류(예를 들어, 신호, 전원, 접지)가 두 물체들 사이를 이동할 수 있음을 의미할 수 있다. 전기적으로 결합된 두 물체들는 두 물체들 사이에 전류가 흐르거나 흐르지 않을 수 있다. "제1", "제2", "제3" 및 "제4"(및/또는 제4를 초과하는 임의의 것)라는 용어의 사용은 임의적이다. 설명된 구성요소들 중 임의의 구성요소는 제1 구성요소, 제2 구성요소, 제3 구성요소 또는 제4 구성요소일 수 있다. 예를 들어, 제2 구성요소로 지칭되는 구성요소는 제1 구성요소, 제2 구성요소, 제3 구성요소 또는 제4 구성요소일 수 있다. "캡슐화"라는 용어는 물체가 다른 물체를 부분적으로 캡슐화하거나 완전히 캡슐화할 수 있음을 의미한다. "최상부"와 "하부"라는 용어는 임의적이다. 최상부에 위치한 구성요소는 하부에 위치한 구성요소 위에 위치할 수 있다. 최상부 구성요소는 하부 구성요소로 간주될 수 있으며, 그 반대의 경우도 마찬가지이다. 본 개시에 설명된 바와 같이, 제2 구성요소 "위에" 위치하는 제1 구성요소는 하부 또는 최상부가 임의로 정의되는 방식에 따라, 제1 구성요소가 제2 구성요소의 위 또는 아래에 위치한다는 것을 의미할 수 있다. 다른 예에서, 제1 구성요소는 제2 구성요소의 제1 표면 위(예를 들어, 상)에 위치할 수 있고, 제3 구성요소는 제2 구성요소의 제2 표면 위(예를 들어, 아래)에 위치할 수 있으며, 여기서 제2 표면은 제1 표면과 대향한다. 또한, 본 출원에서 다른 구성요소 위에 위치한 하나의 구성요소의 맥락에서 사용되는 "위에"라는 용어는 다른 구성요소 및/또는 다른 구성요소 내에 있는(예를 들어, 구성요소의 표면에 있거나 구성요소에 내장된) 구성요소를 의미하는 것으로 사용될 수 있음에 유의해야 한다. 따라서, 예를 들어, 제2 구성요소 위에 있는 제1 구성요소는 (1) 제1 구성요소가 제2 구성요소 위에 있지만 제2 구성요소에 직접 닿지 않고, (2) 제1 구성요소가 제2 구성요소 위에 (예를 들어, 표면 위에) 있고, 및/또는 (3) 제1 구성요소가 제2 구성요소 내에 (예를 들어, 임베디드) 있음을 의미할 수 있다. 제2 구성요소 "내에" 위치한 제1 구성요소는 제2 구성요소 내에 부분적으로 위치하거나 제2 구성요소 내에 완전히 위치할 수 있다. 본 개시에서 사용된 "약 '값 x'" 또는 "대략 값 x"라는 용어는 '값 x'의 10 % 이내를 의미한다. 예를 들어, 약 1 또는 대략 1의 값은 0.9 내지 1.1 범위의 값을 의미한다.

[0131] [00137] 일부 구현예들에서, 상호연결부들은 두 지점들, 요소들 및/또는 구성요소들 사이의 전기적 연결을 허용하거나 용이하게 하는 디바이스 또는 패키지의 요소 또는 구성요소이다. 일부 구현예들에서, 상호연결부는 트레이스, 비아, 패드, 필러, 금속화 층, 재분배 층 및/또는 언더 범프 금속화(UBM) 층/상호연결부를 포함할 수 있다. 일부 구현예들에서, 상호연결부는 신호(예를 들어, 데이터 신호), 접지 및/또는 전력에 대한 전기 경로

를 제공하도록 구성될 수 있는 전기 전도성 재료를 포함할 수 있다. 상호연결부는 하나를 초과하는 요소 또는 구성요소를 포함할 수 있다. 상호연결부는 하나 이상의 상호연결부들로 정의될 수 있다. 상호연결부는 하나 이상의 금속층들을 포함할 수 있다. 상호연결부는 회로의 일부일 수 있다. 서로 다른 구현예들은 상호연결부들을 형성하기 위해 서로 다른 공정들 및/또는 순서들을 사용할 수 있다. 일부 구현예들에서, 화학 기상 증착(CVD) 공정, 물리적 기상 증착(PVD) 공정, 스퍼터링 공정, 스프레이 코팅 및/또는 도금 공정이 상호연결부들을 형성하기 위해 사용될 수 있다.

[0132] [00138] 또한, 본 명세서에 포함되는 다양한 개시들은 순서도, 흐름도, 구조도 또는 블록도로 묘사된 공정으로 설명될 수 있음에 유의한다. 흐름도는 동작들을 순차적인 공정로 설명할 수 있지만, 많은 동작들이 병렬적으로 또는 동시에 수행될 수 있다. 또한, 작업들의 순서는 재조정될 수 있다. 공정은 그 연산들이 완료될 때 종료된다.

[0133] [00139] 이하, 본 발명의 이해를 용이하게 하기 위해 추가 예들을 설명한다.

[0134] [00140] 양태 1: 복수의 상호연결부들을 포함하는 기판; 기판에 결합된 제1 집적 디바이스; 기판에 결합된 제2 집적 디바이스; 및 기판에 결합된 상호연결 디바이스를 포함하고, 제1 집적 디바이스, 제2 집적 디바이스, 상호연결 디바이스 및 기판은 제1 집적 디바이스와 제2 집적 디바이스 사이의 전기 신호에 대한 전기 경로를 제공하도록 구성되고, 전기 경로는 적어도 기판을 통해, 상호연결 디바이스를 통해 그리고 다시 기판을 통해 연장되고, 그리고 전기 경로는 대각선으로 연장되는 적어도 하나의 상호연결부를 포함하는, 패키지.

[0135] [00141] 양태 2: 양태 1에 있어서, 제2 집적 디바이스는 제1 집적 디바이스에 대해 대각선 방향으로 위치되는, 패키지.

[0136] [00142] 양태 3: 양태 1 또는 양태 2에 있어서, 제2 집적 디바이스는 기판 내의 상호연결부들에 대해 대각을 이루는 적어도 하나의 상호연결부를 통해 제1 집적 디바이스에 전기적으로 결합되도록 구성되는, 패키지.

[0137] [00143] 양태 4: 양태 1 내지 양태 3에 있어서, 상호연결 디바이스는 제1 집적 디바이스 및 제2 집적 디바이스에 대해 회전 구성으로 기판에 결합되는, 패키지.

[0138] [00144] 양태 5: 양태 1 내지 양태 4에 있어서, 상호연결 디바이스는, 제1 방향으로 배열된 제1 복수의 상호연결부들－제1 복수의 상호연결부들은 제1 쌍의 집적 디바이스들 사이에 적어도 하나의 전기 경로를 제공하도록 구성됨－; 및 제2 방향으로 배열된 제2 복수의 상호연결부들을 포함하고, 제2 방향은 제1 방향에 직교하고, 그리고 제2 복수의 상호연결부들은 제2 쌍의 집적 디바이스들 사이에 적어도 하나의 전기 경로를 제공하도록 구성되는, 패키지.

[0139] [00145] 양태 6: 양태 1 내지 양태 4에 있어서, 상호연결 디바이스는 제1 집적 디바이스와 제2 집적 디바이스 사이에 대각 상호연결부들을 제공하도록 구성된 맨해튼 구성(Manhattan configuration)으로 배열된 제1 복수의 상호연결부들을 포함하는, 패키지.

[0140] [00146] 양태 7: 양태 1 내지 양태 6에 있어서, 기판에 결합된 제3 집적 디바이스, 및 기판에 결합된 제4 집적 디바이스를 더 포함하고, 제3 집적 디바이스는 기판을 통해 제1 집적 디바이스에 전기적으로 결합되도록 구성되고, 제3 집적 디바이스는 기판을 통해 제2 집적 디바이스에 전기적으로 결합되도록 구성되고, 제4 집적 디바이스는 기판을 통해 제1 집적 디바이스에 전기적으로 결합되도록 구성되고, 제4 집적 디바이스는 기판을 통해 제2 집적 디바이스에 전기적으로 결합되도록 구성되고, 제2 집적 디바이스는 기판의 제1 사분면에 결합되고, 제3 집적 디바이스는 기판의 제2 사분면에 결합되고, 제1 집적 디바이스는 기판의 제3 사분면에 결합되고, 그리고 제4 집적 디바이스는 기판의 제4 사분면에 결합되는, 패키지.

[0141] [00147] 양태 8: 양태 1 내지 양태 7에 있어서, 상호연결 디바이스는 다이 기판, 적어도 하나의 유전체 층 및 복수의 상호연결부들을 포함하는, 패키지.

[0142] [00148] 양태 9: 양태 1 내지 양태 8에 있어서, 상호연결 디바이스는 트랜지스터가 없는 다이를 포함하는, 패키지.

[0143] [00149] 양태 10: 양태 1 내지 양태 7에 있어서, 상호연결 디바이스는 적어도 하나의 유전체 층 및 제2 복수의 상호연결부들을 포함하는 브라이드 기판(bride substrate)을 포함하는, 패키지.

[0144] [00150] 양태 11: 양태 1 내지 양태 10에 있어서, 상호연결 디바이스는 제1 집적 디바이스와 제2 집적 디바이스 사이의 브리지로서 구성되는, 패키지.

[0145] [00151] 양태 12: 양태 1 내지 양태 11에 있어서, 패키지가 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 휴대폰, 스마트폰, 개인 디지털 보조기, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 사물 인터넷(IoT) 디바이스 및 자동차 차량의 디바이스로 구성된 그룹으로부터 선택된 디바이스에 집적되는, 패키지.

[0146] [00152] 양태 13: 장치로서, 복수의 상호연결부들을 포함하는 기판; 기판에 결합된 제1 집적 디바이스; 기판에 결합된 제2 집적 디바이스; 및 기판에 결합된 디바이스 상호연결 수단을 포함하고, 제1 집적 디바이스, 제2 집적 디바이스, 디바이스 상호연결 수단 및 기판은 제1 집적 디바이스와 제2 집적 디바이스 사이의 전기 신호에 대한 전기 경로를 제공하도록 구성되고, 전기 경로는 적어도 기판을 통해, 디바이스 상호연결 수단을 통해 그리고 다시 기판을 통해 연장되며, 그리고 전기 경로는 대각선 방향으로 연장되는 적어도 하나의 상호연결부를 포함하는, 장치.

[0147] [00153] 양태 14: 양태 13에 있어서, 제2 집적 디바이스는 기판 내의 상호연결부들에 대해 대각을 이루는 적어도 하나의 상호연결부를 통해 제1 집적 디바이스에 전기적으로 결합되도록 구성되는, 장치.

[0148] [00154] 양태 15: 양태 13 또는 양태 14에 있어서, 디바이스 상호연결 수단은 제1 집적 디바이스 및 제2 집적 디바이스에 대해 회전 구성으로 기판에 결합되는, 장치.

[0149] [00155] 양태 16: 양태 13 내지 양태 15에 있어서, 디바이스 상호연결 수단은 맨해튼 구성으로 배열된 제1 복수의 상호연결부들을 포함하는, 장치.

[0150] [00156] 양태 17: 양태 13 내지 양태 16에 있어서, 맨해튼 구성으로 배열된 제1 복수의 상호연결부들은 제1 집적 디바이스와 제2 집적 디바이스 사이에 대각 상호연결부들을 제공하도록 구성되는, 장치.

[0151] [00157] 양태 18: 양태 13 내지 양태 17에 있어서, 기판에 결합된 제3 집적 디바이스를 더 포함하고, 제3 집적 디바이스는 기판을 통해 제1 집적 디바이스에 전기적으로 결합되도록 구성되고, 그리고 제3 집적 디바이스는 기판을 통해 제2 집적 디바이스에 전기적으로 결합되도록 구성되는, 장치.

[0152] [00158] 양태 19: 양태 13 내지 양태 18에 있어서, 디바이스 상호연결 수단은 다이 기판, 적어도 하나의 유전체 층 및 제2 복수의 상호연결부들을 포함하는, 장치.

[0153] [00159] 양태 20: 양태 13 내지 양태 18에 있어서, 디바이스 상호연결 수단은 제1 집적 디바이스와 제2 집적 디바이스 사이의 브리지 기판으로서 구성되는, 장치.

[0154] [00160] 양태 21: 패키지를 제조하기 위한 방법으로서, 복수의 상호연결부들을 포함하는 기판을 제공하는 단계; 기판에 제1 집적 디바이스를 결합하는 단계; 기판에 제2 집적 디바이스를 결합하는 단계; 및 기판에 상호연결 디바이스를 결합하는 단계를 포함하고, 제1 집적 디바이스, 제2 집적 디바이스, 상호연결 디바이스 및 기판은 제1 집적 디바이스와 제2 집적 디바이스 사이의 전기 신호에 대한 전기 경로를 제공하도록 구성되고, 전기 경로는 적어도 기판을 통해, 상호연결 디바이스를 통해 그리고 다시 기판을 통해 연장되고, 그리고 전기 경로는 대각선 방향으로 연장되는 적어도 하나의 상호연결부를 포함하는, 방법.

[0155] [00161] 양태 22: 양태 21에 있어서, 제2 집적 디바이스는 대각을 이루는 적어도 하나의 상호연결부를 통해 제1 집적 디바이스에 전기적으로 결합되도록 구성되는, 방법.

[0156] [00162] 양태 23: 양태 21 또는 양태 22에 있어서, 상호연결 디바이스는 제1 집적 디바이스 및 제2 집적 디바이스에 대해 회전 구성으로 기판에 결합되는, 방법.

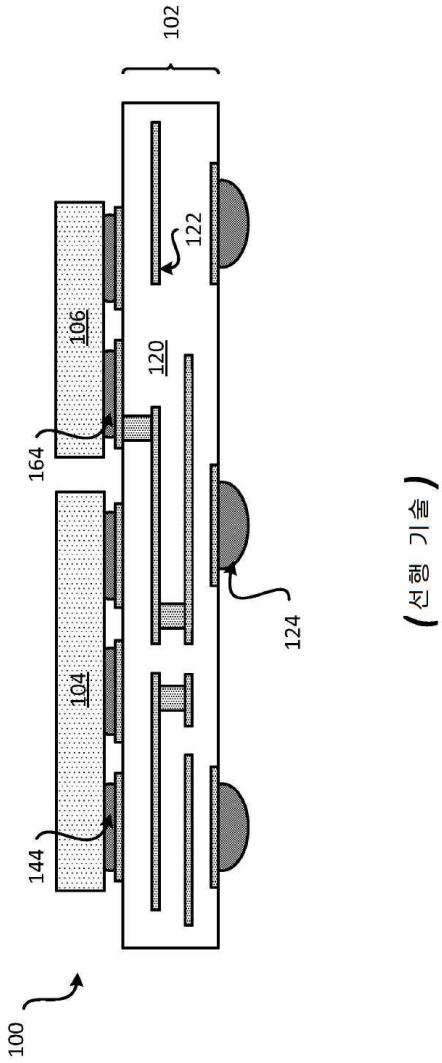
[0157] [00163] 양태 24: 양태 21 내지 양태 23에 있어서, 상호연결 디바이스는 맨해튼 구성으로 배열된 제1 복수의 상호연결부들을 포함하는, 방법.

[0158] [00164] 양태 25: 양태 21 내지 양태 24에 있어서, 맨해튼 구성으로 배열된 제1 복수의 상호연결부들은 제1 집적 디바이스와 제2 집적 디바이스 사이에 대각 상호연결부들을 제공하도록 구성되는, 방법.

[0159] [00165] 본 명세서에 설명된 개시의 다양한 특징들은 본 개시를 벗어나지 않고 서로 다른 시스템들에서 구현될 수 있다. 전술한 본 개시의 양태들은 단지 예들일 뿐이며, 본 개시를 제한하는 것으로 해석되어서는 안 된다는 점에 유의해야 한다. 본 개시의 양태들에 대한 설명은 예시적이며 청구항들의 범위를 제한하기 위한 것으로 의도되지 않는다. 따라서, 본 교시내용들은 다른 유형들의 장치들에 쉽게 적용될 수 있으며, 당업자들에게는 많은 대안들, 수정들 및 변형들이 명백할 것이다.

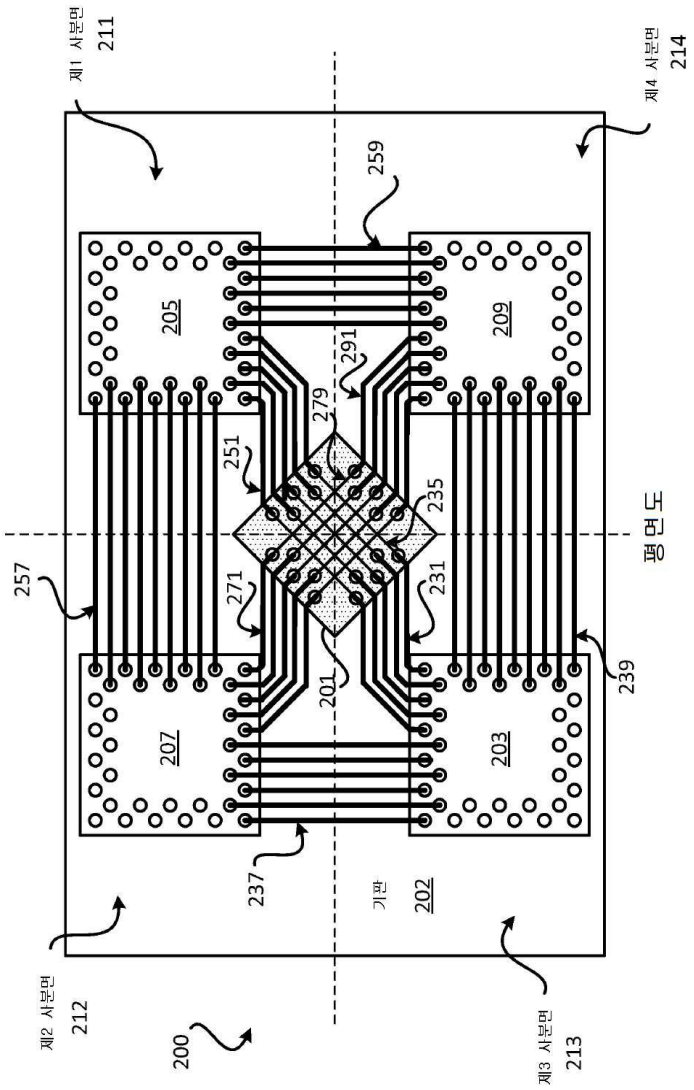
도면

도면1

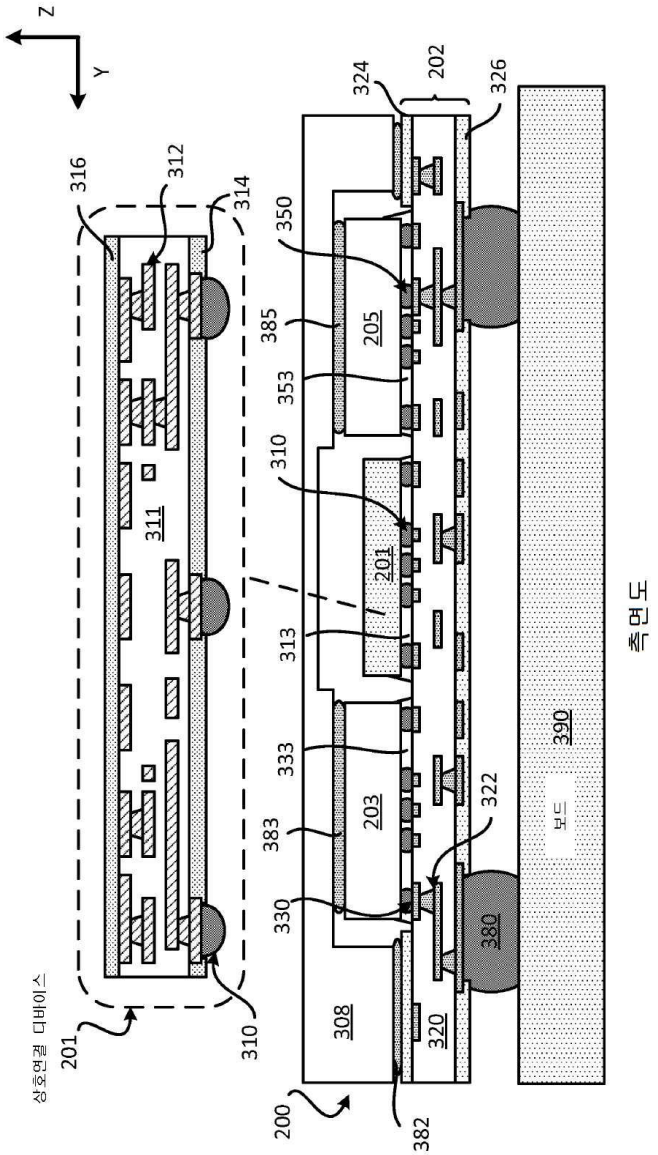


(선행 기술)

도면2

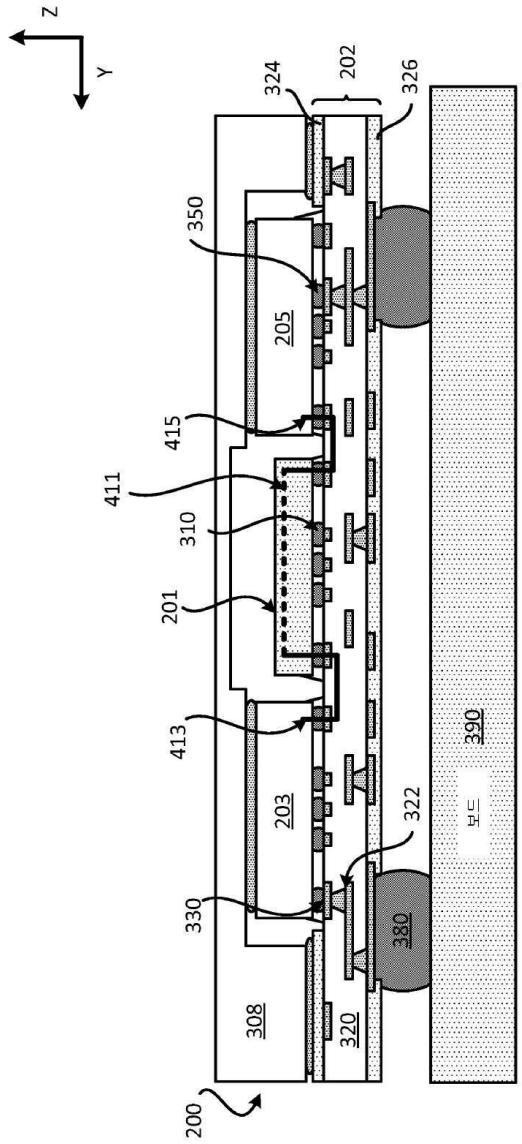

제1 사분면
211
제4 사분면
214
259
205
209
291
279
251
235
257
271
231
239
201
207
203
237
기판
202
제2 사분면
212
200
제3 사분면
213
평면도

도면3


Z
Y
316
312
314
350
324
202
326
385
205
353
310
311
201
313
333
203
383
322
330
380
390
보드
308
320
200
382
310
201
상호연결 디바이스

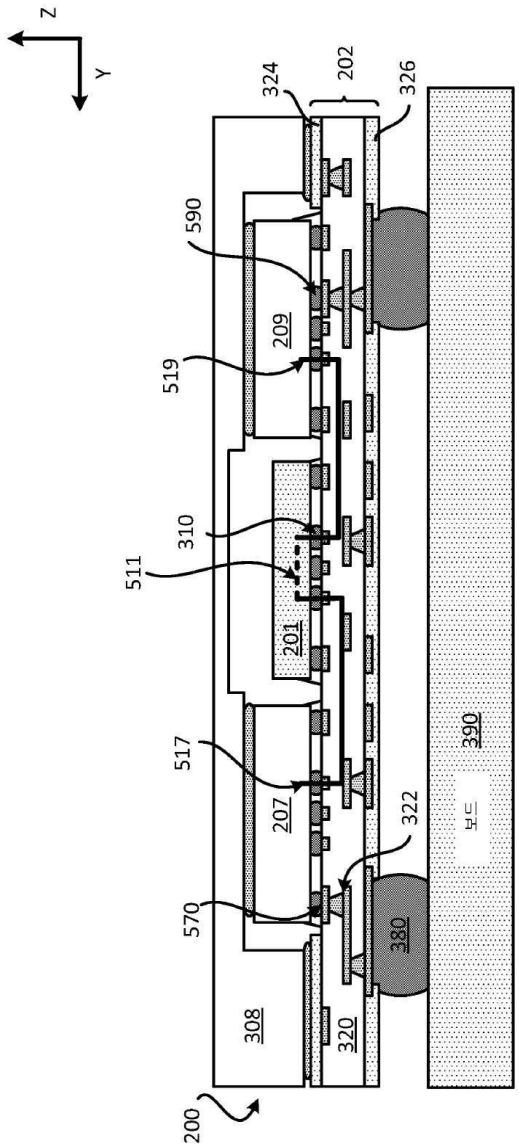
측면도

도면4


Z
Y
324
202
326
350
205
415
411
310
201
413
203
322
330
380
390
보드
308
320
200

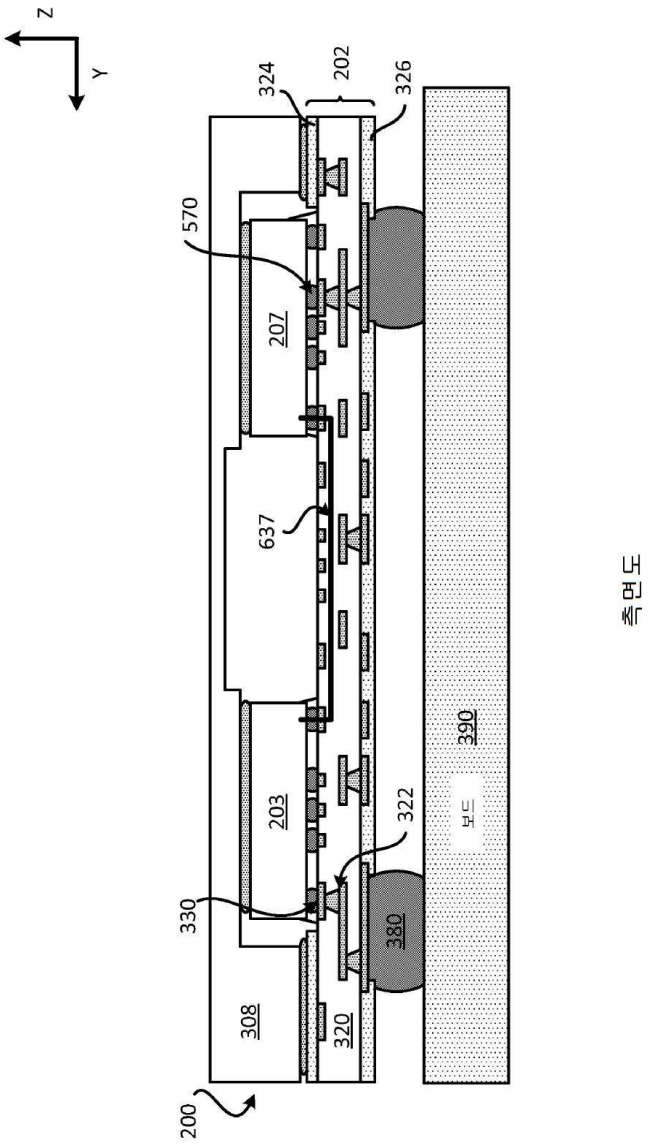
측면도

도면5


Z
Y
324
202
326
590
209
519
310
511
201
517
207
322
390
보드
570
380
308
320
200

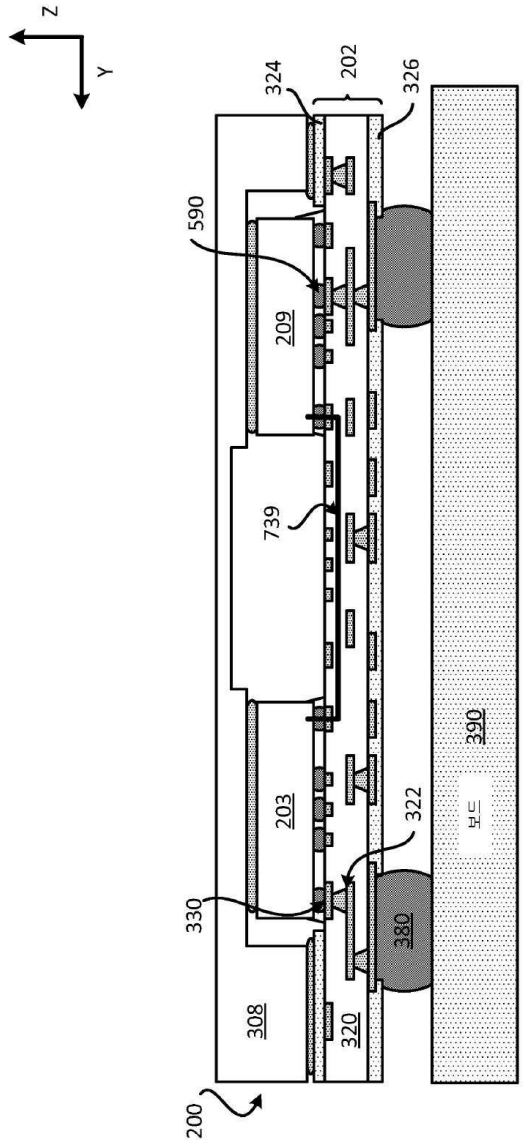
측면도

도면6



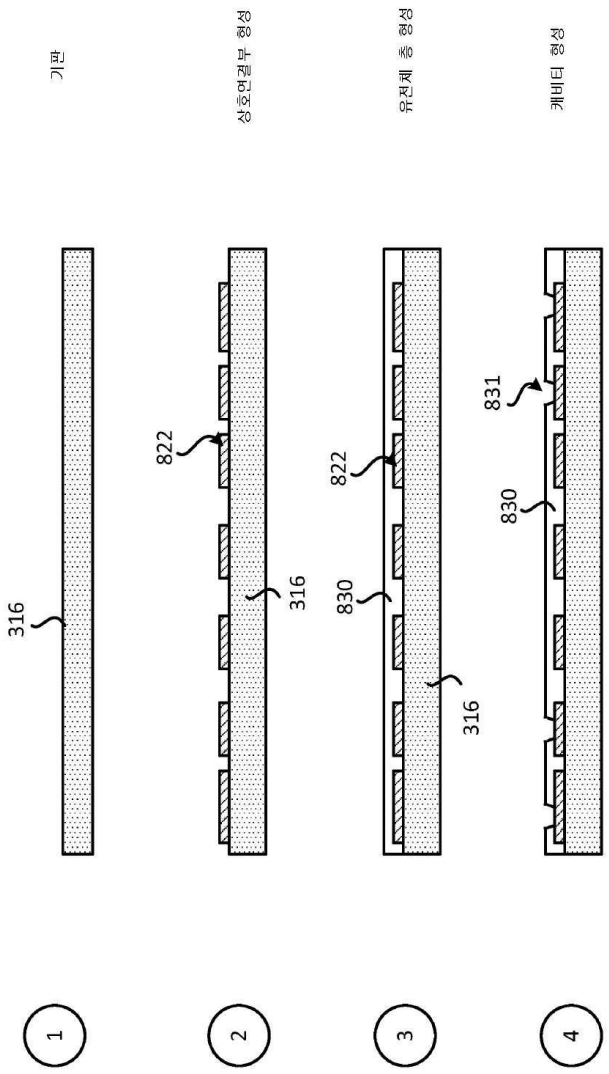
측면도

도면7

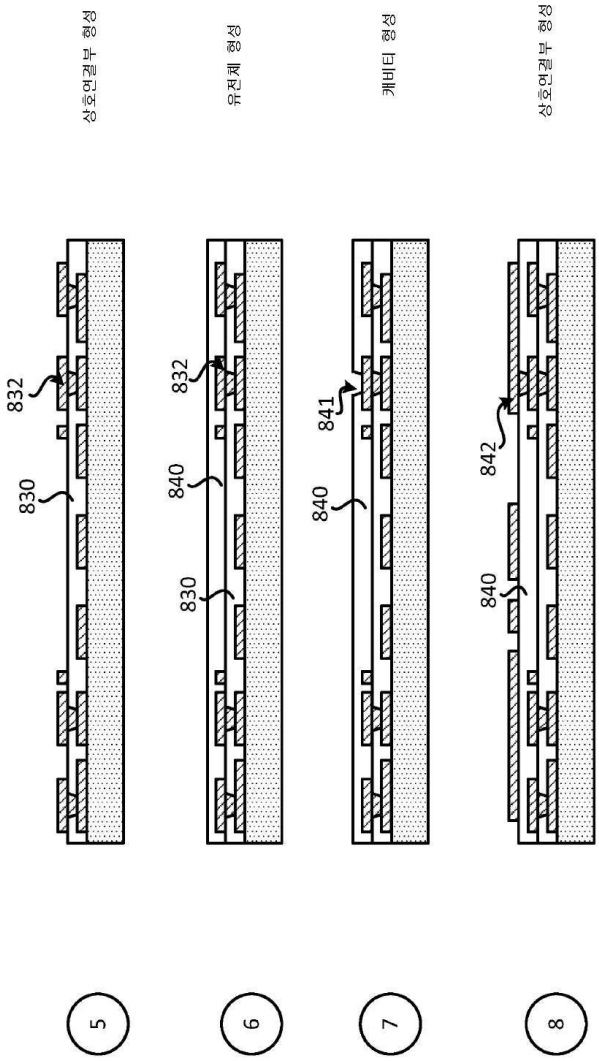


측면도

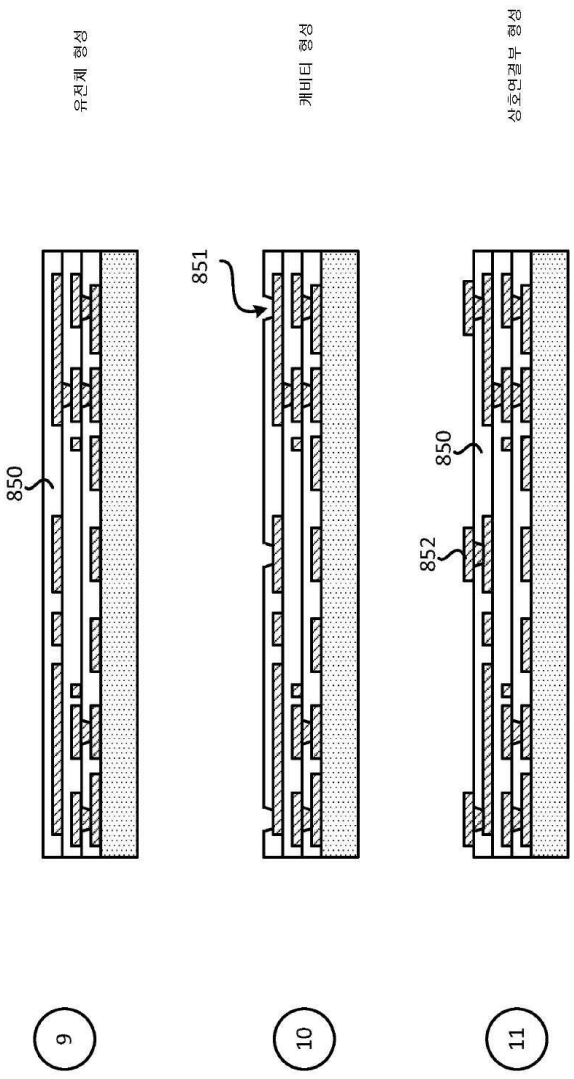
도면8a



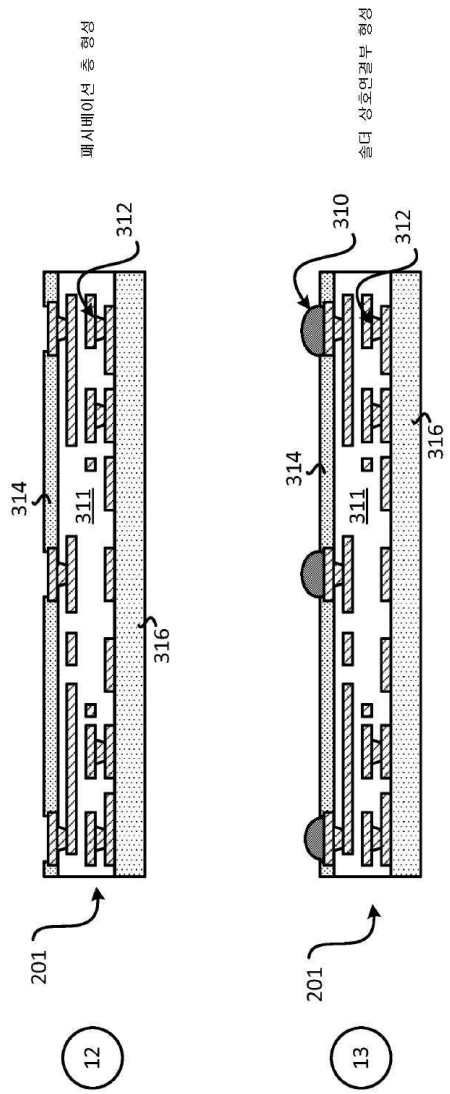
도면8b


상호연결부 형성
유전체 형성
캐비티 형성
상호연결부 형성
832
830
832
840
830
841
840
842
840
5
6
7
8

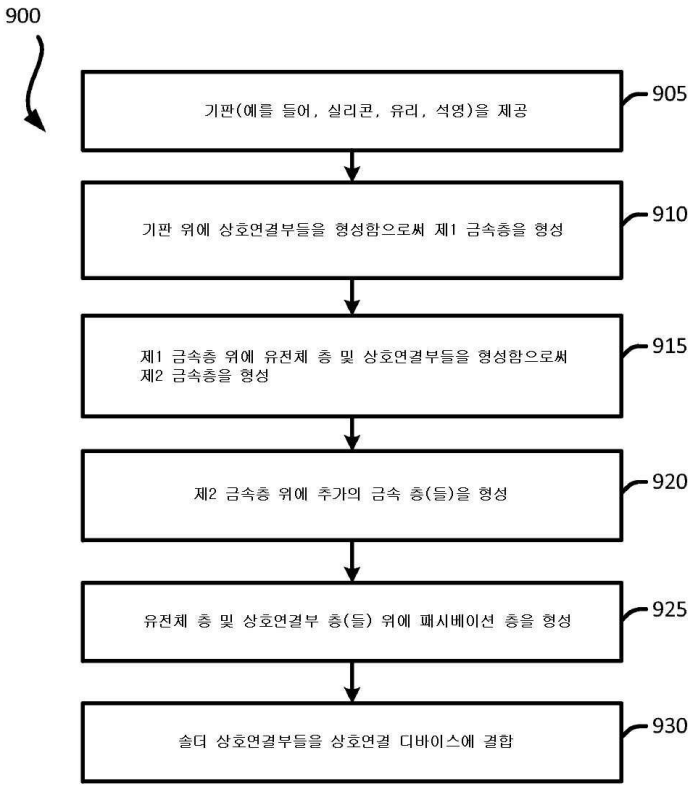
도면8c



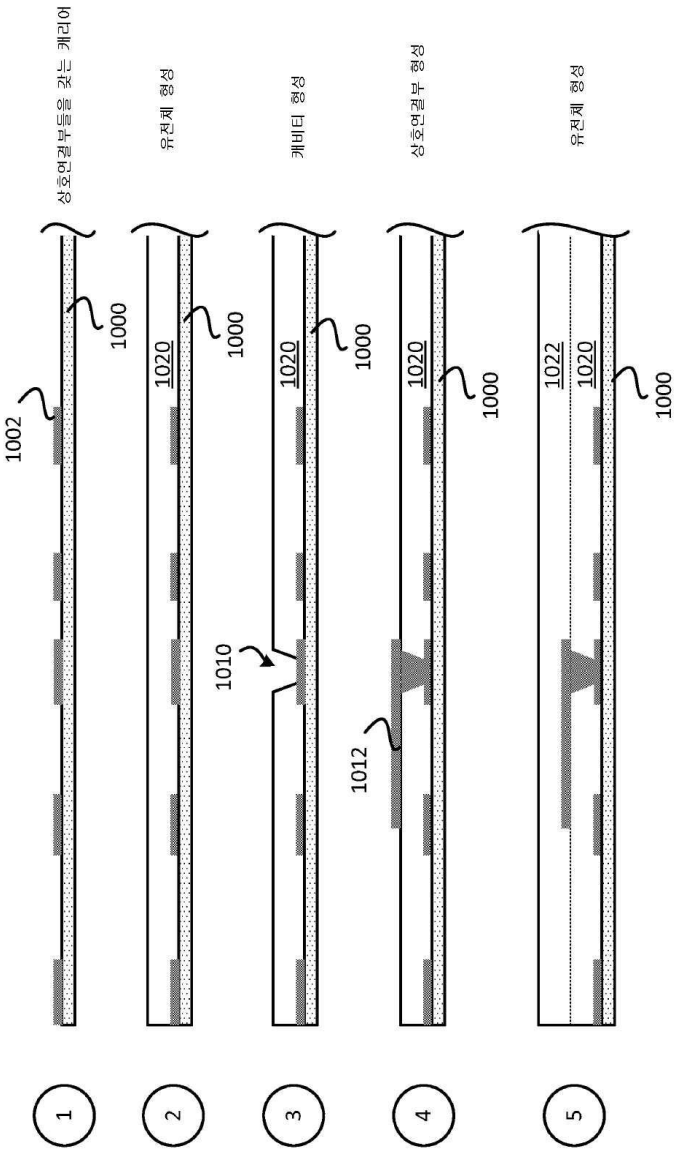
도면8d


패시베이션 층 형성
312
314
311
316
201
12
솔더 상호연결부 형성
310
312
314
311
316
201
13

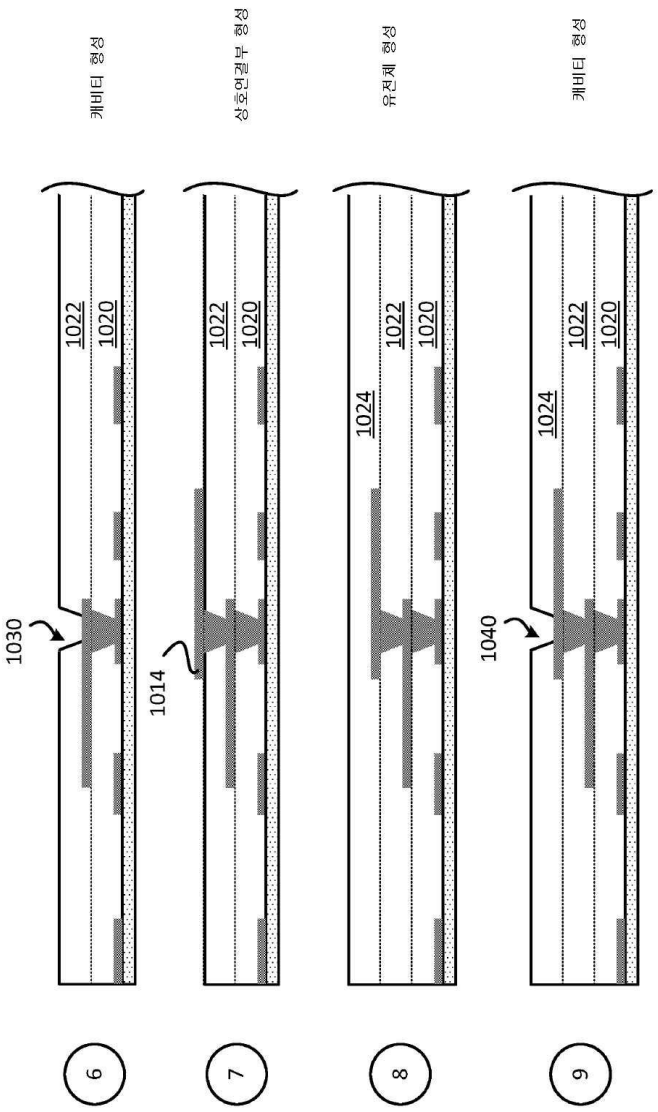
도면9


900
기판(예를 들어, 실리콘, 유리, 석영)을 제공
905
기판 위에 상호연결부들을 형성함으로써 제1 금속층을 형성
910
제1 금속층 위에 유전체 층 및 상호연결부들을 형성함으로써 제2 금속층을 형성
915
제2 금속층 위에 추가의 금속 층(들)을 형성
920
유전체 층 및 상호연결부 층(들) 위에 패시베이션 층을 형성
925
솔더 상호연결부들을 상호연결 디바이스에 결합
930

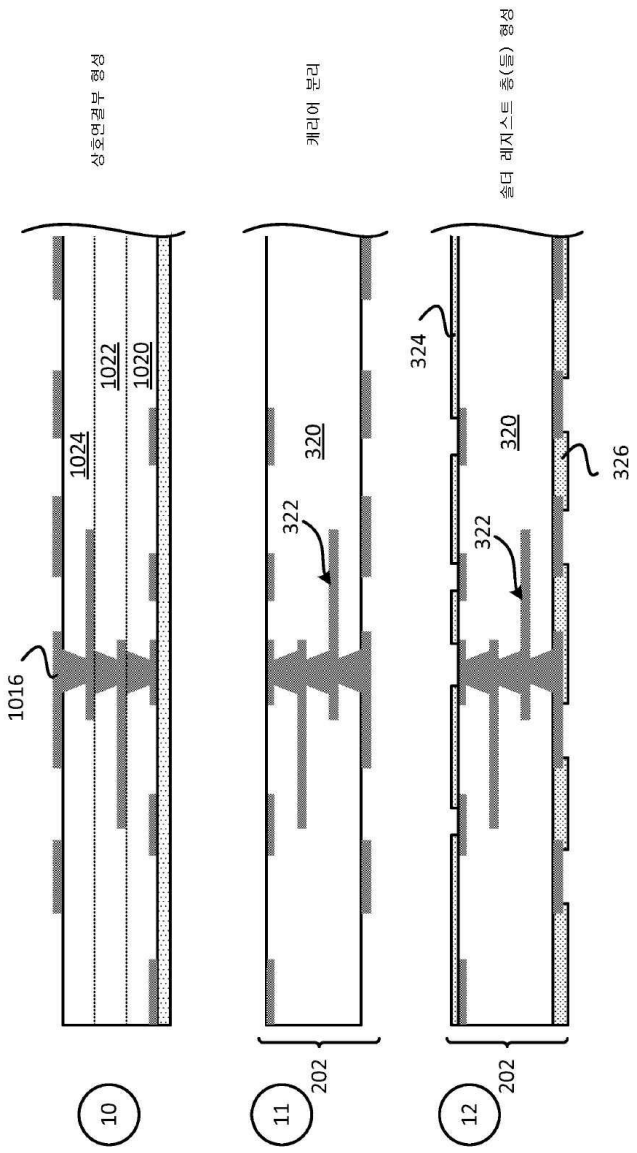
도면10a


상호연결부들을 갖는 캐리어
유전체 형성
캐비티 형성
상호연결부 형성
유전체 형성
1000
1002
1020
1010
1012
1022
1
2
3
4
5

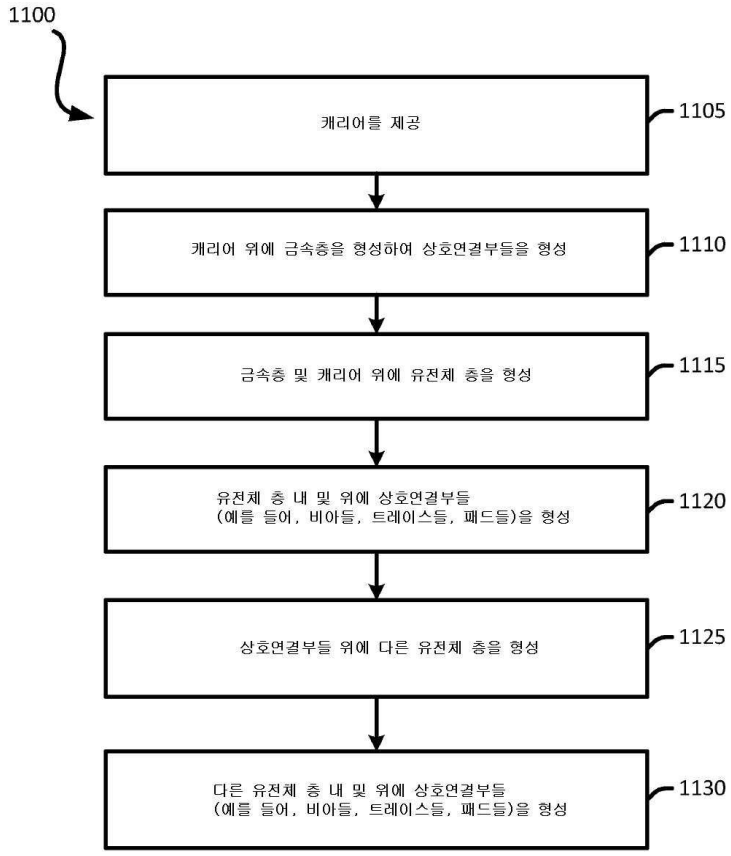
도면10b


캐비티 형성
상호연결부 형성
유전체 형성
캐비티 형성
1030
1014
1040
1022
1020
1024
6
7
8
9

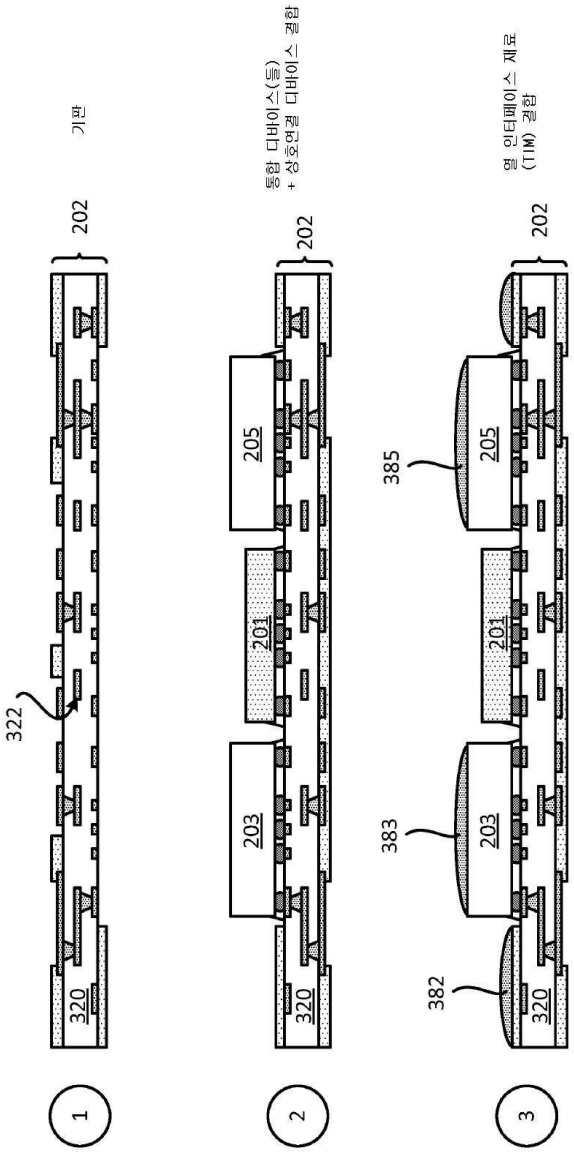
도면10c


상호연결부 형성
캐리어 분리
솔더 레지스트 층(들) 형성
1016
1024
1022
1020
322
320
324
326
10
11
12
202
202

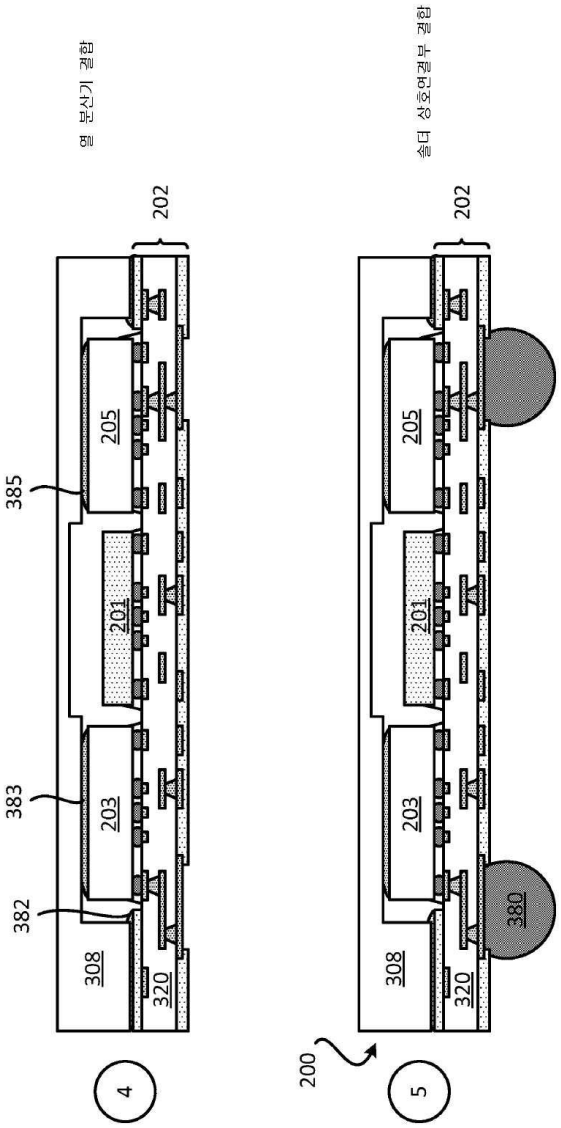
도면11


1100
캐리어를 제공
1105
캐리어 위에 금속층을 형성하여 상호연결부들을 형성
1110
금속층 및 캐리어 위에 유전체 층을 형성
1115
유전체 층 내 및 위에 상호연결부들
(예를 들어, 비아들, 트레이스들, 패드들)을 형성
1120
상호연결부들 위에 다른 유전체 층을 형성
1125
다른 유전체 층 내 및 위에 상호연결부들
(예를 들어, 비아들, 트레이스들, 패드들)을 형성
1130

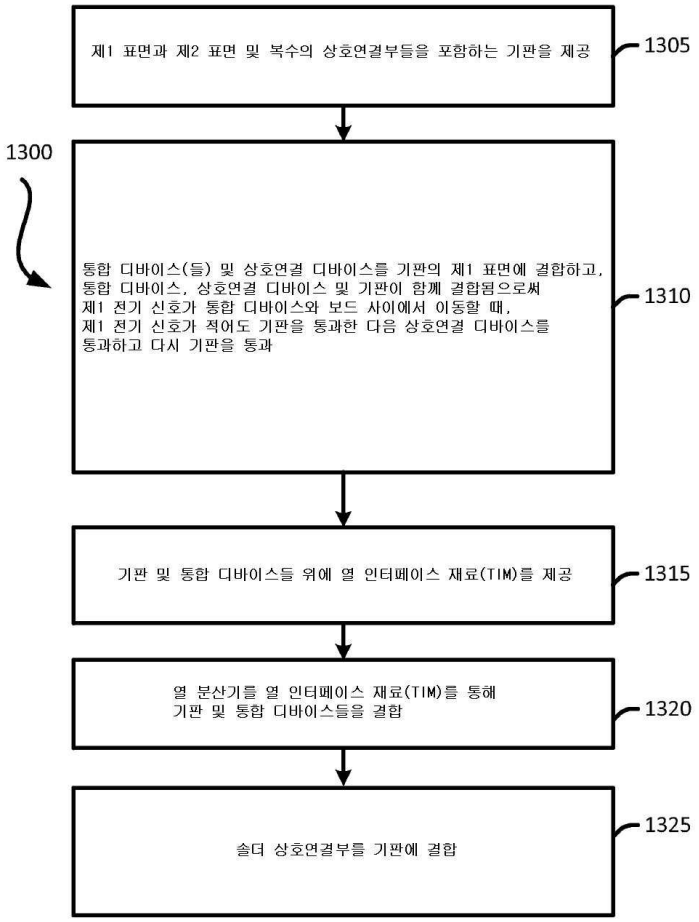
도면12a


기판
202
322
320
1
동합 디바이스(들)
+ 상호연결 디바이스 결합
202
205
201
203
320
2
열 인터페이스 재료
(TIM) 결합
202
385
205
201
383
203
382
320
3

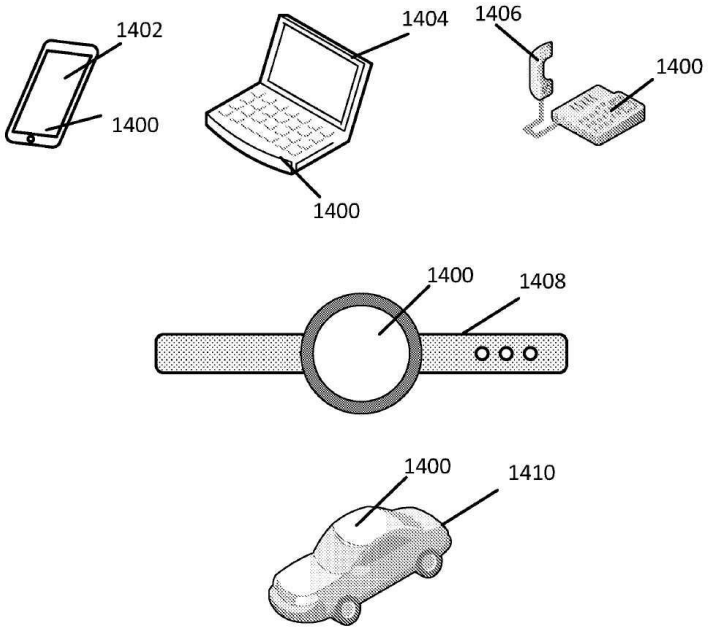
도면12b


열 분산기 결합
202
385
205
201
383
203
382
308
320
4
솔더 상호연결부 결합
202
205
201
203
380
308
320
200
5

도면13


제1 표면과 제2 표면 및 복수의 상호연결부들을 포함하는 기판을 제공
1305
1300
통합 디바이스(들) 및 상호연결 디바이스를 기판의 제1 표면에 결합하고, 통합 디바이스, 상호연결 디바이스 및 기판이 함께 결합됨으로써 제1 전기 신호가 통합 디바이스와 보드 사이에서 이동할 때, 제1 전기 신호가 적어도 기판을 통과한 다음 상호연결 디바이스를 통과하고 다시 기판을 통과
1310
기판 및 통합 디바이스들 위에 열 인터페이스 재료(TIM)를 제공
1315
열 분산기를 열 인터페이스 재료(TIM)를 통해 기판 및 통합 디바이스들을 결합
1320
솔더 상호연결부를 기판에 결합
1325

도면14


1402
1400
1404
1400
1406
1400
1400
1408
1400
1410