



등록특허 10-2094738



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년03월31일
(11) 등록번호 10-2094738
(24) 등록일자 2020년03월24일

- (51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01)
- (21) 출원번호 10-2014-7027729
- (22) 출원일자(국제) 2013년03월20일
심사청구일자 2018년03월19일
- (85) 번역문제출일자 2014년10월01일
- (65) 공개번호 10-2014-0146088
- (43) 공개일자 2014년12월24일
- (86) 국제출원번호 PCT/IB2013/000422
- (87) 국제공개번호 WO 2013/140227
국제공개일자 2013년09월26일
- (30) 우선권주장
61/613,363 2012년03월20일 미국(US)
- (56) 선행기술조사문헌
JP2008078489 A
KR101098216 B1
KR1020080053377 A*
US20090179232 A1*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
헵타곤 마이크로 옵틱스 피티이. 리미티드
싱가포르 738317 싱가포르 우드랜즈 루프 26
- (72) 발명자
부에티겐 베른하르트
스위스 씨에이치-8134 아들리스빌 브레이텐스트라
쎄 10
레만 미카엘
스위스 씨에이치-8408 빈터후르 벨프린게르스트라
쎄 149디
바엘로 부르노
스위스 씨에이치-8004 쥬리히 칼즈레이스트라쎄
218
- (74) 대리인
서장찬, 박병석

전체 청구항 수 : 총 19 항

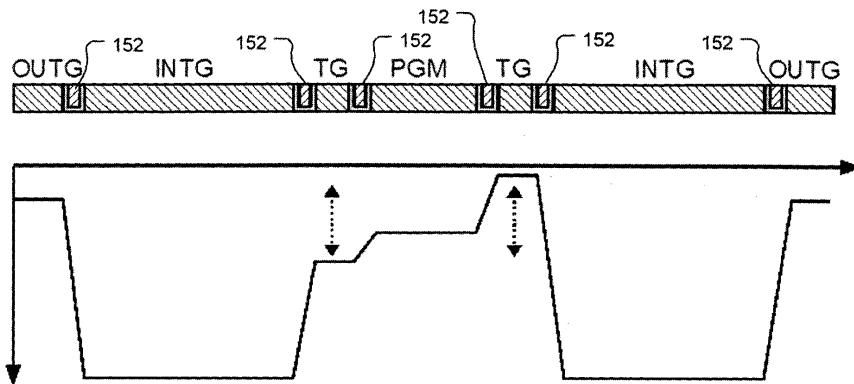
심사관 : 심병로

(54) 발명의 명칭 P N-구조의 게이트 복조 화소

(57) 요약

본 발명의 전자 화상 처리 목적을 위한 신규한 포토-감지 엘리먼트는, 특히 타임-오프-플라이트 3D 화상 처리 센서 화소용으로 적합하다. 이 엘리먼트는 싱글 게이트 아키텍처에 기반한 전하-도메인 포토-검출 및 처리를 가능하게 한다. 게이트의 n 및 p-도핑된 임플란트를 위한 소정 영역이 규정된다. 인 종류의 싱글 게이트 아키텍처는 낮은 노이즈 광자 검출 및 높은-스피드 전하 이송 방법을 동시에 가능하게 한다. 공지된 화소 구조와 비교해서 강력한 이득은, 겹치는 게이트 구조 또는 매우 높은-오믹(ohmic) 폴리-실리콘 증착과 같은, 특별한 처리 스텝이 요구되지 않는 것이다. 이 점에서, 엘리먼트는 처리 방법을 완화하므로, 이 장치가, 예를 들어 표준 CMOS 기술의 사용에 의해 통합될 수 있다. 타임-오프-플라이트 화소 기술에 관해서, 중요한 도전은 측면 전기장의 생성이다. 이 엘리먼트는 플린징 장(fringing field) 및 큰 측면 전기장의 생성을 허용하는 것이다.

대표도



명세서

청구범위

청구항 1

복조 화소로서:

광전하가 생성되는 기판과;

상기 기판상의 게이트층으로서, 복수의 서로 반대방향의 p-n 접합을 갖는 게이트 층을 포함하여 구성되는 것을 특징으로 하는 복조 화소.

청구항 2

제1항에 있어서,

게이트 층이 기판에 걸쳐서 중착된 층 내에 형성되는 것을 특징으로 하는 복조 화소.

청구항 3

제1항에 있어서,

기판이 실리콘이고 게이트 층이 폴리실리콘인 것을 특징으로 하는 복조 화소.

청구항 4

제1항에 있어서,

게이트 층에 인접한 센스 노드를 더 포함하여 구성되는 것을 특징으로 하는 복조 화소.

청구항 5

제1항에 있어서,

게이트 층이 토글 게이트 및 통합 게이트를 형성하기 위해 도핑되는 것을 특징으로 하는 복조 화소.

청구항 6

제5항에 있어서,

접한 게이트가 대향하는 도핑 타입을 갖는 것을 특징으로 하는 복조 화소.

청구항 7

제1항에 있어서,

게이트 층이 드리프트 및 포토 감지 파트를 형성하는 것을 특징으로 하는 복조 화소.

청구항 8

제1항에 있어서,

드리프트 및 포토 감지 파트가 광전하를 복조 파트에 제공하는 것을 특징으로 하는 복조 화소.

청구항 9

제1항에 있어서,

게이트 층이 도핑되어, 복조 파트를 위한 토글 게이트 및 통합 게이트를 형성하는 것을 특징으로 하는 복조 화소.

청구항 10

제1항에 있어서,

p-n 접합의 p 영역과 n 영역 사이에 진성 영역을 더 포함하여 구성되는 것을 특징으로 하는 복조 화소.

청구항 11

제1항에 있어서,

게이트 층 내의 p+/n+ 및 p-/n- 다중-스텝 또는 그레이마스크 도핑을 더 포함하여 구성되는 것을 특징으로 하는 복조 화소.

청구항 12

복조 화소를 조립하는 방법으로서:

광전하가 생성되는 기판에 걸쳐서 게이트 층을 증착하는 스텝과;

복수의 서로 반대방향의 p-n 접합을 갖는 게이트 층을 도핑하는 스텝을 포함하여 구성되는 것을 특징으로 하는 복조 화소를 조립하는 방법.

청구항 13

제12항에 있어서,

기판이 실리콘이고 게이트 층이 폴리실리콘인 것을 특징으로 하는 방법.

청구항 14

제12항에 있어서,

게이트 층에 인접한 센스 노드를 형성하는 스텝을 더 포함하여 구성되는 것을 특징으로 하는 방법.

청구항 15

제12항에 있어서,

토글 게이트 및 통합 게이트를 형성하기 위해 게이트 층을 도핑하는 스텝을 더 포함하여 구성되는 것을 특징으로 하는 방법.

청구항 16

제15항에 있어서,

접한 게이트가 대향하는 도핑 타입을 갖는 것을 특징으로 하는 방법.

청구항 17

제12항에 있어서,

게이트 층이 드리프트 및 포토 감지 파트를 형성하는 것을 특징으로 하는 방법.

청구항 18

제12항에 있어서,

드리프트 및 포토 감지 파트가 광전하를 복조 파트에 제공하는 것을 특징으로 하는 방법.

청구항 19

제12항에 있어서,

p-n 접합의 p 영역과 n 영역 사이에 진성 영역을 형성하는 스텝을 더 포함하여 구성되는 것을 특징으로 하는 방법.

발명의 설명

기술 분야

[0001] 본 출원은, 그 개시 내용이 참조로 본 명세서에 통합된 2012년 3월 20일 출원된 U.S 예비 출원 번호 제 61/613,363호의 35 U.S.C 119(e)하에서의 이득을 청구한다.

배경 기술

[0002] 일반적으로, 2개의 다른 타입의 장치가 과거의 전하 영역(전하 도메인)에서 포토-검출에 대해서 사용되는데: 제 1타입은 PPD(pinned photodiode)(예를 들어, Nobukazu Teranishi 등, "No image lag photodiode structure in the interline CCD image sensor", IEEE, 1982)이고, 이는 오늘날 대부분의 CMOS(complementary metal-oxide semiconductor) 처리 기술에서 이용가능하고, 제2타입은 MOS 게이트 구조를 사용하고, 이는 CMOS 기술로 또는 최적화된 CCD(charge-coupled device) 기술로 조립될 수 있다.

[0003] 편 형성된 포토다이오드(PPD)는 기판 내에 일반적으로 2개의 임플란트를 갖는데, 그 도핑 농도가 선택되어, 완전 공핍된 영역이 기판 표면에서 매우 얇은 비-공핍된 층 아래에 생성되도록 한다. 도 1을 참조해서, 기판(12)이 p-도핑되는 것으로 상정하면, 2개의 임플란트 스텝(step)은 깊은 n- 임플란트(14) 및 얕은 p+ 임플란트(16)를 포함하여 구성되고, 여기서 p+는 기판(12)에 대한 전기적 접속을 생성하기 위해서 측면으로 n- 층을 넘어 연장한다. 구조의 한 측면에는, 폴리-실리콘 게이트(18)가 위치되어, PPD 영역(14) 밖으로의 센스 노드 확산(20)으로 전하의 전달을 가능하게 한다. 소위, 전달 게이트 주위의 영역만 아니라 게이트 자체는, 전하 이송 처리에 관해서 통상적으로 최적화된다. 편 영역(14)은 포토-감지 영역(24)을 규정하는데, 여기서 광자는 전하로 변환된다. 전달 게이트(18)가 낮은 포텐셜로 설정됨에 따라, 포토-생성된 전하가 PPD 영역(14) 내에 저장된다.

[0004] 도 2를 참조해서, MOS 게이트 구조는, 통상적으로 폴리-실리콘 게이트(22)를 적용해야 하는데, 이는 일반적으로, 적어도 관심 파장에 대해서 또는 적어도 긴 파장 >500나노미터(nm)에 대해서, 포토-투명이어야 한다. 광자는 게이트(22) 아래에서 기판(12)의 영역(24) 내에 전하를 생성하는데, 여기서 이들은, 나타낸 바와 같이, 인접한 전달 게이트(18)가 다른 스토리지 게이트 영역 또는 센스 노드(20)에 대해서 채널을 개방할 때까지 저장될 수 있다. 센스 노드(20)는, CMOS 처리를 사용할 때, 전형적으로 각각의 화소 내에 분리해서 통합되는 한편, CCD 기술을 사용할 때, 단지 하나의 센스 노드 및 다수의 스토리지 및 시프트 레지스터가 있게 된다. 그런데, 포토-감지 엘리먼트의 원리는 양쪽 경우에서 동일하다.

[0005] 양쪽 타입의 전하 영역 포토-검출 장치는 전하 핸들링에서 동일한 단점을 갖는다. 전하는 한 포토-검출 엘리먼트로부터 다른 스토리지 또는 센스 영역으로 전달될 필요가 있으므로, 이 종류의 이송 처리의 효율은 이 처리를 지원하는 전기장에 크게 의존한다. 특히, 더 큰 화소 사이즈, 예를 들어 1마이크로미터보다 큰 화소 사이즈의 극단적인 조건에서, 포토-검출 영역은 센스 노드를 향한 전하 이송을 지원하는 효과적인 측면 전기장을 나타내지 않는다. 이 경우는 전달 게이트가 높은 포텐셜 레벨로 설정되는 경우에 대해서도 3에 묘사된다. 감지 영역(24) 내의 평탄한 포텐셜 분포에 기인해서, 싱글 전하가 열적 운동 처리에 의해 센스 노드(20)로 이송되는데, 이는 전기장에 기인한 전하 운동보다 느린 몇몇 정도의 크기로 될 수 있다.

[0006] 전하 이송을 가속하기 위한 제1솔루션은 Seitz에 의한 U.S. 특허 번호 제8,299,504 B2호에 개시된다. 싱글 고-저항성 게이트는 게이트 자체를 통해 흐르는 전류에 의해 측면 드리프트 장을 생성한다. 이 접근은 실제로 검증된다. 그런데, 큰 화소 어레이는, 동작의 다이나믹 모드에서 동작할 때 영구적인 저항성 손실 플러스 부가적인 용량성 손실에 기인해서, 상당한 양의 파워를 소모하다.

[0007] 전하 이송을 가속하기 위한 다른 가능한 솔루션은 Buettgen에 의한 U.S. 특허 번호 제8,115,158 B2호에 개시되는데, 이는 그 개시 내용이 참조로 본 명세서에 통합된다.

[0008] 도 4에 나타낸 바와 같이, 포토-감지 영역을 교차하는 싱글 게이트 대신, 다수의 인접한 게이트(22-1 내지 22-n)가 포토 민감성 영역(24) 위에 작고 좁은 게이트의 게이트 체인을 형성하는데 사용된다. 증가하는 전압을 게이트(22-1 내지 22-n)에 인가함으로써, 도 5에 나타낸 바와 같은 포텐셜 분포가 생성된다. 이 방법은, 실제로 자체의 성능을 입증한다. U.S. 특허 번호 제8,115,158 B2호의 방법과 비교해서, 영구적인 파워 소모는 기대되지 않는다.

[0009] 반도체 재료(12)의 포텐셜 분포가 도 5에 나타낸 바와 같이 이상적으로 보인다. 2개의 게이트 사이에서 증가하는 포텐셜은 이상적으로 포지티브이다. 그런데, 이는, 인접한 게이트(22)와 2개의 게이트 22-x와 22-(x+1) 간의 스페이스 사이에 적용된 포텐셜 스텝에 의존한다. 게이트가 서로에 근접하게 위치될수록, 2개의 게이트 간의

소정의 포텐셜 범프(potential bump)의 생성은 더 잘 되지 않는다. 이것이, 게이트-게이트 거리가 전형적으로 나노미터 범위인 곳에서 CCD 처리에서 겹치는 게이트 구조가 사용되는 이유이다.

[0010] PPD 화소에 관한 다수의 접근이 전하 이송을 가속하기 위해 연구된다. 제1예는 스페이스에 걸쳐서 일종의 편 전압 변조(pinning voltage modulation)를 달성하기 위해서 n- 임플란트 층의 성형으로 이루어진다. 이는, Cedric Tubert 등의 "High Speed Dual Port Pinned-photodiode for Time-of-Flight Imaging", IISW, 2009에 기술된다. 다른 접근은, n- 임플란트에 대한 도핑 그라디언트를 적용함으로써 공간적인 편 전압 변조를 개발하는 것이다. 이는, 예를 들어 A. Spickermann 등의 "CMOS 3D image sensor based on pulse modulated time-of-flight principle and intrinsic lateral drift-field photodiode pixels" ESSCIRC, 2011에 보인다.

[0011] 모든 PPD-기반의 방법은 공통 단점을 갖는데: 드리프트 전압 제어의 전체 가불성은, 편 전압이 도핑 농도에 의해 사전 결정되고, 외부 소스로부터 제어될 수 없기 때문에, 게이트-기반의 접근과 비교된다. 이는, PPD 화소가 많은 적용에서 매력적이지 않게 한다. 스피드 개선 접근에 관해서, 편 전압의 소정의 공간적인 변조는 또한 민감성의 변조와 연관해서 진행한다. 포텐셜 범프의 최소화 및 이상적인 포텐셜 분포 함수의 단계적인 근사는 중요한 관심사다. 특별한 그레이마스크(graymask) 또는 다수의 임플란트 스텝이 파운드리(foundry)에 의해 연구되어야 하는데, 이는 표준 화상 처리보다 통상적이지 않다.

[0012] 게이트-기반의 접근에 관해서, 처리 기술에 대한 특별한 요구조건이 본 명세서에서 역시 설정되는데: 매우 높은 저항성 게이트가 파워 소모를 가능한 낮게 유지하기 위해서 사용되어야 하며 또는 좁은 게이트 캡 또는 십자어 겹치는 게이트가 인접한 게이트 간의 포텐셜 범프를 회피하기 위해서 필요로 된다. 다수의 게이트의 사용에 의한 포텐셜 그라디언트의 이산은 항상 스텝 기능을 이끌어내지만 완전한 일정한 그라디언트를 이끌어내지 않는다.

발명의 내용

해결하려는 과제

[0013] 개시된 구조는 전기적인 드리프트 장의 생성을 가능하게 하는 한편, PPD 또는 게이트-기반의 접근의 상기 언급한 단점을 회피한다. 예를 들어, 몇몇 경우에 있어서는, 좁은 게이트, 겹치는 게이트, 다중-임플란트 스텝 또는 그레이마스크의 처리에 대한 특별한 요구조건을 회피할 수 있는 한편, 이상적인 일정한 전기장 분포의 스텝적인 근사에 따라 한 스토리지 영역으로부터 다음 영역으로의 포텐셜 범프를 또한 회피할 수 있다.

과제의 해결 수단

[0014] 본 발명은 복조 또는 타임-오프-플라이트 화소에서의 드리프트 장의 생성에 관한 것이다. 전형적인 처리에서 변경을 요구하는 CCD-유사 겹치는 게이트 또는 좁은-이격된 게이트를 사용하는 분리된 게이트의 사용 대신, 분리된 세미-차폐된 영역이 예를 들어 빅(big) 폴리-실리콘 게이트를 도핑함으로써 생성된다. 다른 도핑 영역은 서로 pn-접합을 통해서 분리된다. 그러므로, 이 기술은, 소위 PN-구조의 게이트로 불린다.

[0015] PN-구조의 게이트가 폴리-실리콘 재료 시스템에서 기술되는 한편, 다른 반도체 재료가 가능하고, 제외되지 않는 것을, 주의해야 한다.

[0016] 일반적으로, 한 면에 따르면, 복조 화소로서: 광전하가 생성되는 기판과; 하나 이상의 p-n 접합을 갖는 기판에 걸친 게이트 층을 포함하여 구성되는 것을 특징으로 한다.

[0017] 실시형태에 있어서는, 게이트 층은, 폴리실리콘 같은 기판 상의 차폐 또는 절연 층의 상부에 증착되는 층 내에 형성된다. 통상적으로, 센스 노드는 게이트 층에 인접해서 위치된다. 이는, 토클 게이트 및 통합 게이트를 사용하는 광전하의 운동을 허용한다. 이들은 대향하는 도핑 타입을 갖는다.

[0018] 한 실시형태에 있어서, 게이트 층이 드리프트 및 포토 감지 파트를 형성한다. 드리프트 및 포토 감지 파트가 광전하를 복조 파트에 제공하다.

[0019] 일반적으로, 본 발명의 다른 면에 따르면, 복조 화소를 조립하는 방법으로서: 광전하가 생성되는 기판에 걸쳐서 게이트 층을 증착하는 스텝과; 하나 이상의 p-n 접합을 갖도록 게이트 층을 도핑하는 스텝을 포함하여 구성되는 것을 특징으로 한다.

발명의 효과

[0020]

파트의 구성 및 조합의 다양한 신규한 상세한 설명을 포함하는 본 발명의 상기 및 다른 형태 및 장점은, 첨부 도면 및 청구항 내의 지적을 참조로 이하 더 상세히 설명된다. 본 발명을 실시하는 특정 방법 및 장치가 본 발명을 제한하는 것이 아닌 예시로서 나타낸다. 본 발명의 원리 및 형태는 본 발명의 범위를 벗어남이 없이 다양하고 다수의 실시형태로 채용될 수 있다.

도면의 간단한 설명

[0021]

첨부 도면에 있어서, 참조번호가 다른 도면을 통해서 동일 부분을 언급한다. 본 도면은 스케일할 필요가 없고; 본 발명의 원리를 나타내기 위해서 대신 강조된다. 도면에서:

도 1은 센스 노드 임플란트를 포함하는 편 형성된 포토다이오드(PPD)를 나타내는 개략적인 단면도;

도 2는 센스 노드 임플란트를 포함하는 통상적인 MOS 게이트 화소를 나타내는 개략적인 단면도;

도 3은 포토 민감성 영역으로부터 센스 노드를 향해 전하를 전달하기 위해서 전달 게이트가 높은 포텐셜 레벨로 설정될 때, PPD만 아니라 MOS 게이트 구조에 대한 포텐셜 분포를 나타내는 도면;

도 4는 센스 노드를 향해서 증가하는 포텐셜 분포를 생성하기 위한 게이트 체인 기반의 접근을 나타내는 개략적인 단면도;

도 5는 가속된 전하 이송을 강제하는 게이트에 의해 생성된 증가하는 포텐셜을 갖는 포텐셜 분포를 나타내는 도면;

도 6은 성글 pn-구조의 게이트를 나타내는 개략적인 단면도;

도 7은 대향해서 지향된 다이오드의 직렬 접속에 의한 게이트의 모델링 및 적합한 다이오드 바이어싱에 의한 임의의 포텐셜 분포의 생성을 위한 예;

도 8A 및 8B는 역 바이어스 조건 및 포워드 바이어스 조건 각각의 pn-접합에서의 포텐셜 분포를 나타낸 도면;

도 9는 균등하지 않게 분산된 드리프트 장 포텐셜을 위한 포텐셜 분포를 나타낸 도면;

도 10은 n-타입 PGM 및 성글 p-타입 토글 게이트 및 포텐셜 분포를 갖는 복조 영역의 개략적인 단면도;

도 11은 통합 게이트 포텐셜이 낮게 되어 전하가 센스 노드로 아웃게이트에 걸쳐서 흐르게 하는 시프트 동안 포텐셜 분포를 나타내는 복조 영역의 개략적인 단면도;

도 12는 PGM과 TG 사이의 더 높은 포텐셜을 허용하는 더블 토글 게이트를 갖는 복조 영역 내의 포텐셜 분포를 나타내는 복조 영역의 개략적인 단면도;

도 13은 pn-구조의 게이트를 갖는 사일로(silo) 드리프트 장 화소의 개략적인 평면도;

도 14는 JFET와 유사하게 기능하는 세미-도핑 폴리 게이트를 나타내는 개략적인 단면도;

도 15는 세미-도핑된 게이트 및 대응하는 포텐셜 분포를 갖는 드리프트 장 영역을 나타내는 개략적인 단면도;

도 16은 p-타입 영역이 게이트를 서로 분리할 때, 세미-도핑된 게이트 및 대응하는 포텐셜 분포를 갖는 복조 영역을 나타내는 개략적인 단면도;

도 17은 세미-도핑 pn-구조의 게이트에 기반한 사일로 드리프트 장 화소의 개략적인 평면도;

도 18은 2개의 진성 영역을 갖는 PN-구조의 게이트에 대한 포텐셜 분포를 나타내는 개략적인 단면도;

도 19는 한 큰 진성 영역을 갖는 PN-구조의 게이트에 대한 포텐셜 분포를 나타낸 개략적인 단면도;

도 20은 빌트-인 드리프트 장을 생성하기 위해서 도핑 농도의 스텝적인 변화를 갖는 PN-구조의 게이트에 대한 포텐셜 분포를 나타내는 개략적인 단면도;

도 21은 n+/n-/p-/p+ 도핑된 게이트를 갖는 PN-구조의 게이트에 대한 포텐셜 분포를 나타내는 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0022]

기본적인 아이디어는 본 발명의 한 실행에 따른 임의의 배열과 통합하는 도 6에 나타낸다. p-타입 기판(12)이

특정한 예시에 있어서 사용된다. 그런데, 다른 예에 있어서는, n-타입 기판이 사용된다. 게이트(22)가 증착된 후 기판(12) 상에 패턴되며, 기판으로부터 절연 층(112)을 통해 전기적으로 차폐된다.

[0023] 싱글 게이트(12)가 n- 및 p-도핑된 영역(110-1 내지 110-n)을 갖는 구조로 되는데, 여기서 이들 영역 간의 거리는 제로로부터 수 마이크로미터까지 변화될 수 있다. 적합한 전압을 n- 및/또는 p-게이트 영역(110-1 내지 110-n)에 인가함으로써, 전압 분포의 CCD-유사 제어가 달성되는데, 이는 반도체 벌크 재료(12) 내에서 CCD-유사 전하 이송을 가능하게 한다. n- 및 p-도핑된 영역 간의 영역 중 한 영역마다 또는 몇몇 영역에만 낮게 n- 또는 p-타입 도핑되거나 몇몇 예에서는 진성이 된다(이들 영역 또는 인터페이스 중 몇몇은 도 6에서 참조 부호 115로 나타낸다).

[0024] 이 예에 있어서는, n-도핑된 센스 노드(20)가 사용된다. 이는, 포토-생성된 전하를 감지하도록 사용되지만 리셋 국면 동안 포토 민감성 영역(24)을 공급하는데 사용된다.

[0025] 다른 실시형태에 있어서는, 매립된 채널이 부가된다. 이는, 게이트(22) 아래 및 포토 민감성 영역(24) 내의 다른 n- 임플란트를 수반한다.

[0026] pn-구조의 게이트(22)는 도 7에 나타낸 바와 같은 복수의 다이오드를 직렬접속하는 것으로 모델화될 수 있다. 임의의 전압 분포(116)가 보이는데, 이런 전압분포는 게이트(22)의 다이오드를 적절한 전압으로 설정함으로써 생성된다. 게이트(22)를 통한 전류는, 어떠한 경우에도 전류 경로 내의 적어도 하나의 pn-접합을 역 바이어스 동작 모드인 사실에 기인해서, 회피된다.

[0027] pn-다이오드 구조를 갖는 폴리-실리콘 층이 공지된다. 다이오드 특성은 폴리-실리콘 재료의 그레인 사이즈에 의존해서 측정되고, 광학 특성이 개발되는데, 예를 들어 Sooraj V. Karnik, "Lateral polysilicon p+-p-n+ and p+-n-n+ diodes", 고체-상태 전자공학, www.sciencedirect.com, 2002에서 이용 가능; Ming-Dou Ker 등, "Design of Negative Charge Pump Circuit with Polysilicon Diodes in a 0.25- μ m CMOS Process"; 및 S. Radovanovic 등 "High-speed lateral polysilicon photodiode in standard CMOS technology"를 참조한다. 그런데, 공지된 문헌 중 어느 것도, 폴리실리콘 게이트에 있어서 복수의 pn 다이오드를 교차로 대향하는 방향으로 배치하는 것에 의해, 반도체 재료 내의 전하의 흐름의 제어를 위해 해당 폴리-실리콘 게이트의 2차원의 pn-구조를 반도체 재료내의 전하의 흐름 제어에 특화시키는 기술을 제안하지 않는다.

[0028] 게이트(22)가 완전히 도핑되면, 게이트는 도 8A에 나타낸 바와 같이 설정된다. 양쪽 n-영역(110-n)만 아니라 p-타입 영역(110-p) 모두가 외측면으로부터 접촉되면, n-타입 영역은 인접한 p-타입 영역 이하인 V다이오드 ~0.3V 이상이 되지 않아야 하는데, 그렇지 않으면 높은 전류가 흐르기 시작하게 된다. 포워드-바이어스된 다이오드가 실현된다.

[0029] 역-바이어스된 모드에 있어서는, n- 및 p-타입 영역 간의 차이가 적용될 수 있는데, 여기서 더 높은 전압이 n-타입 영역에 가해진다. 전압이 브레이크다운 전압을 초과하지 않는 한 누설 전류만이 흐르는 것이 기대된다. 이 특성 전압 레벨은 폴리-실리콘 재료의 그레인 사이즈, 도핑 농도 및 n- 및 p-타입 영역 간의 거리와 같은 다이오드의 특성에 강하게 의존한다.

[0030] 도 8A는 큰 공급 폭 110-d를 갖는 역 바이어스된 pn-접합에 대한 전압 분포를 나타낸다. 도 8B는 포워드 바이어스 경우의 다이오드를 나타내는데, 여기서 공급 폭은 따라서 더 작게 된다.

[0031] CMOS 처리에서 n+/p+ 드레인/소스 도핑을 사용하는 것은 제너(Zener) 다이오드 특성을 이끌어낼 수도 있는데, 여기서 역 바이어스는 상당한 전류 흐름으로 귀결된다. 이는, n- 및 p-타입 영역 간에 소정의 스페이스를 삽입 함으로써, 적합하게 다이오드의 설계에서 고려되어야 한다. 이 경우, 실제로 PIN 다이오드가 실현되는데, 여기서 n- 및 p-도핑된 영역 간의 층은 비-도핑되고, 가능하게는 진성 실리콘 재료로 된다. 또한, 다수의 추가의 도핑 스텝이 몇몇 예에서 사용될 수 있다.

[0032] pn-구조의 게이트 기술로 드리프트 장을 생성하기 위한 개념을 도 9에 나타낸다. 동등한 사이즈의 n-도핑된 영역(110-1, 110-3, ...) 및 p-도핑된 영역(110-2, 110-4, ...)의 드리프트 게이트가 보인다. $V_n > V_p - V$ 다이오드를 확실히 하면, 상당한 전류 흐름은 기대되지 않는다. 이는 각각의 영역과 접촉해서, 상기 조건에 따라 적합한 전압을 적용함으로써 실현될 수 있다. 다른 가능성은 제2게이트 영역마다 접촉시키고, 이들에 대해서 증가하는 전압을 인가하는 것이다.

[0033] 도 10은 본 발명의 실시형태에 따른 타임-오프-플라이트(time-of-flight) 화소 내의 복조 영역을 도시한다. 이는, 통상적으로 메가헤르츠 범위에서 기가헤르츠까지의 고주파에서 구동하는 일반적으로 다수의 게이트를 갖는

다. 이들은 토글 게이트 TG로 불린다. 전형적으로, 2개 이상의 토글 게이트 TG가 있다. 도시된 예에서, 토글 게이트 TG는 p-도핑된 폴리실리콘으로부터 구성된다. 더욱이, 복조 영역은 더 바람직하게는 n-도핑된 미들 포토게이트 PGM, n-도핑된 통합 게이트 INTG만 아니라 p-도핑된 아웃게이트 OUTG를 포함한다. 통합 게이트 INTG 가 스토리지 엘리먼트로서 역할을 하는 한편, 아웃게이트 OUTG가 센스 노드 영역으로부터 통합 영역을 결합 해제하기 위해 사용된다.

[0034] 본 예의 실시형태는 미들 포토게이트 PGM, 통합 게이트 INTG 및 아웃게이트 OUTG의 어느 측면 상의 2개의 토글 게이트 TG를 나타낸다. 따라서, 복조 처리는 2 출력 샘플을 전달한다.

[0035] 이 도면에서는, 본 발명에 따라서 적용될 수 있는 게이트의 n-타입 및 p-타입 영역 간의 갭은 없다. 전하 흐름의 복조는, 포텐셜 분포의 플롯으로 도시된 샘플링 함수에 따라서, TG 게이트를 토글링함으로써, 미들 3개의 게이트 PGM 및 TG의 영역 내에서 발생한다. 전하는 2개의 통합 게이트 중 하나로 흐르게 되어, 거기에 저장된다.

[0036] 통합 게이트 INTG는 통합 동안, 예를 들어 5V인 가장 높은 포텐셜을 갖는 게이트이다. 이것이, n-타입 폴리-실리콘이 이 도면에서 이들을 위해 선택된 이유이다. 아웃게이트 OUTG는 통합 게이트 및 센스 노드 사이에 장벽을 건설하기 위해서, 비교적 낮은 포텐셜, 예를 들어 1V를 갖는다. 그러므로, p-타입 폴리-실리콘이 사용된다. 이 구성과 함께 시작한다. 도 10은, 또한 통합 및 복조 국면 동안 포텐셜 분포를 나타낸다.

[0037] 통합된 전하를 관독하기 위해서, 이들은 소위 시프트 국면 동안 센스 노드로 전달된다. 시프트 모드에서, 포텐셜은 도 11에 나타낸 바와 같이 설정된다.

[0038] 도 12는 몇몇 적용에 대해서 더 좋은 복조 성능을 허용하는 대안의 게이트 구조를 나타낸다. 토글 게이트 TG1, TG2는 더블 pn 배열을 갖는다. 더블 토글 게이트를 갖는 복조 영역은 PGM 및 TG 간의 더 높은 포텐셜 스텝을 허용한다.

[0039] 통합된 U.S. 특허 번호 제8,115,158 B2호에 개시된 드리프트 장 복조 화소는 도 13에 도시된 바와 같이 드리프트 및/또는 포토 감지 파트(24) 및 복조 파트(120)를 갖는다. 드리프트 및/또는 포토 감지 파트(24)는 삼각형 형상을 갖는데, 이에 기인해서 화소는 흔히 사일로 화소 아키텍처로 언급된다. 싱글 pn-구조의 게이트(110)가 포토 감지 파트(24) 내에 형성되는데, 이는 n-도핑된 폴리실리콘(124-1, 124-3, 124-5) 및 p-도핑된 폴리 실리콘(124-2, 124-4, 124-6)의 대안의 밴드를 포함하여 구성된다. 게이트(110)는 이격되고 도 6에 나타낸 바와 같이 절연 층에 의해 기판으로부터 전기적으로 절연된다.

[0040] 드리프트 파트(24)의 이 구조는 복조 파트(120)에 대해서 아래의 기판 내에 형성된 포토생성된 전하 캐리어를 통과하는데, 이는 미들 포토게이트 PGM 및 2개의(레프트, 라이트) 토글 게이트 TG를 포함하여 구성된다. 따라서, 포토생성된 전하 캐리어는 대안적으로 레프트 또는 라이트 통합 게이트 INTG 내에 저장된다. 완성된 샘플이 생성되면, 레프트 또는 라이트 통합 게이트 INTG 각각에 통합된 포토생성된 전하는 각각의 레프트 및 라이트 센스 노드(130-L, 130-R)를 각각의 레프트 및 라이트 아웃 게이트 OUTG를 통해 통과한다.

[0041] 덤프 노드(136)가 제공되는데, 여기서 포토생성된 전하는 변조 사이클에 선행해서 플러시(flushed)될 수 있다.

[0042] 베이스 도핑 농도가 디폴트(default)로 부가되기 때문에, 반도체 칩 패(fab)에 의해 제공된 많은 표준 처리가 진성 폴리-실리콘 증착을 제공하지 않을 수 있다. 그럼에도, 소스/드레인 확산 스텝이 n-타입 및 p-타입 영역을 규정하기 위해서 여전히 사용될 수 있다.

[0043] 임플란트 스텝의 에너지 도즈(dose) 및 게이트의 두께에 의존해서, 한 도핑 타입의 규정이 게이트의 전체 깊이에 영향을 미치지 않을 수 있게 될 수도 있다. 이 경우, 세미-도핑된 게이트가 된다.

[0044] 게이트(150)의 n-타입 베이스 도핑 및 p-타입 세미-도핑 영역(152)의 예를 도 14에 나타낸다. 그런데, 이는, 일례로서 만이고, 본 발명은 n-타입 베이스 도핑에 제한되지 않고, 또한 대향하는 p-타입 베이스 도핑은 다른 옵션이다.

[0045] 이 예에 있어서, 레프트 n 측면(150-L)은 라이트 n 측면(150-R), 예를 들어 2V보다 더 높은 포텐셜, 예를 들어 3V로 설정된다. p-타입 영역(152)은 더 낮은 포텐셜, 예를 들어 1V로 설정된다. 기능적인 원리는 JFET 장치와 유사하다. p-전압에 의존해서, 아래의 채널은 거의 저항성이다. 결과적으로, 선형 포텐셜 분포가 도면에 나타낸 바와 같이 바닥 표면에 생성된다.

[0046] p-타입 폴리-실리콘(152)의 포텐셜은 기판 내의 포텐셜에 직접 영향을 주지만 2개의 인접한 n-타입 아이슬랜드

(150-L, 150-R) 간의 저항을 변조한다. 이는, n-타입 영역 간의 매우 높은-오믹(ohmic) 접속을 생성하고; 드리프트 장이 높은-저항성 게이트로 실행될 수 있다.

[0047] 포텐셜 차이가 너무 크지 않으면, "채널"은 저항성으로만 된다. 그렇지 않으면, 장치는 포화(saturation)될 수 있고, 그 결과 포텐셜 분포는 더 이상 선형이 되지 않는다.

[0048] 도 15는 3개의 아이슬랜드 150-L, 150-C, 150-R를 규정하기 위해서, p-타입 도핑 150-L, 150-R의 2개의 스테이지를 사용해서 드리프트 영역을 생성하기 위한 일례를 나타낸다.

[0049] 도 16에 나타낸 화소의 복조 영역에서, p-도핑된 영역(152)은 다른 게이트를 효과적으로 분리하고, 아웃 게이트 OUTG를 통합 게이트 INTG로부터 분리하며, 통합 게이트 INTG를 토글 게이트 TG로부터 그리고 토글 게이트 TG를 미들 게이트 PGM로부터 분리한다. 그 다음, 매우 낮은 포텐셜이 p-도핑된 영역(152)에 인가된다. 여기서, p-영역(152)은 가능한 작게 되어야 한다.

[0050] 도 17은 세미-도핑된 pn-구조의 게이트에 기반한 드리프트 장 및 복조 영역을 위한 상기 존재하는 실시형태와 결합하는 일례의 사일로 드리프트 장 화소를 나타낸다.

[0051] 싱글 pn-구조의 게이트(110)가 p-도핑된 영역(152)을 포함하여 구성되는 포토 감지 파트(24) 내에 형성된다. 도 6에 나타낸 바와 같이, 게이트(110)는 이격되고 절연 층에 의해 기판으로부터 전기적으로 절연된다.

[0052] 드리프트 파트(24) 내의 이 구조는 변조 파트(120)에 대해서 아래의 기판 내에 형성된 포토생성된 전하 캐리어를 통과하는데, 이는 미들 포토게이트 PGM 및 2개의(레프트, 라이트) 토글 게이트 TG를 포함하여 구성된다. 따라서 포토생성된 전하 캐리어는 대안적으로 레프트 또는 라이트 통합 게이트 INTG 내에 저장된다. 완성된 샘플이 생성되면, 레프트 또는 라이트 통합 게이트 INTG 각각에 통합된 포토생성된 전하는 각각의 레프트 및 라이트 센스 노드(130-L, 130-R)를 각각의 레프트 및 라이트 아웃 게이트 OUTG를 통해 통과한다.

[0053] 본 발명의 몇몇 예의 실시형태를 이하에 나타낸다.

[0054] 이상적인 일정한 드리프트 장이 P-진성-N 구조로 생성된다.

[0055] 완전히 도핑된 게이트를 고려하면, 이상적인 일정한 드리프트 장을 생성하기 위한 하나 이상의 가요성이 주어진다. n- 및 p-도핑된 영역을 잡아당기고 낮게-도핑 또는 더욱이는 전체적으로 도핑되지 않은 각각의 진성 폴리-실리콘 게이트 영역을 사이에 생성함으로써, 소위 PIN 다이오드 구조가 생성된다. 진성 영역은 완전히 공핍될 수 있고 따라서 큰 길이의 이상적인 일정한 드리프트 장을 생성할 수 있다. 전압 레벨, n- 및 p-타입 영역의 도핑 농도, 폴리-실리콘 재료의 그레이인 사이즈 등에 의존하는 진성 영역의 최대 길이가 있다. 소정의 경우에 있어서는, 수 마이크로미터가 현실적인 수준의 길이이다.

[0056] 2개의 진성 영역을 갖는 제1예의 pn-구조의 게이트를 도 18에 나타낸다.

[0057] pn-구조의 게이트의 다른 예를 도 19에 나타내는데, 여기서는 한 큰 진성 영역이 사용된다.

[0058] 이 개념은, 진성 영역이 완전히 공핍되는데 너무 크지 않는 것으로 상정할 수 있으면, 작동한다.

[0059] 처리가 다중 임플란트 스텝을 허용하면, 빌트-인 드리프트 장이 하이-로우 접합(high-low junction)의 개발에 의해 실현될 수 있다. 예를 도 20에 나타낸다. 또 다른 개선이 임플란트 영역을 약간 당김으로써 달성될 수도 있으므로, 사이의 진성 영역이 임플란트 영역으로부터 임플란트 영역으로의 포텐셜 강하의 몇몇 종류의 스트레칭을 가능하게 한다. 그레이마스크는, 연속적인 다중-임플란트 스텝을 요구하지 않고, 스페이스에 걸쳐서 다른 도핑 농도를 실현하기 위해서 많은 도움을 주게 된다.

[0060] 공핍 폭을 연장하도록 허용하는 p+ 및 n+ 도핑된 게이트 영역 사이의 진성 영역을 개발하는 대신, 다른 가능성이 p- 및 n- 영역의 2차의 약한 임플란트를 사용할 수도 있다. 이는 도 22에 나타낸다.

[0061] 본 발명은 소정의 제한 없이 다른 예의 실시형태와 결합될 수 있다. 예를 들어, 드리프트 영역은 동시에 하이-로우 접합 및 PIN 다이오드와 함께 게이트 구조를 가질 수 있다.

[0062] 바람직한 실시형태를 참조로 본 발명을 나타내고 설명했지만, 당업자는, 첨부된 청구항들에 의해 망라되는 본 발명의 범위를 벗어남이 없이, 다양한 변경이 가능한 것으로 이해한다.

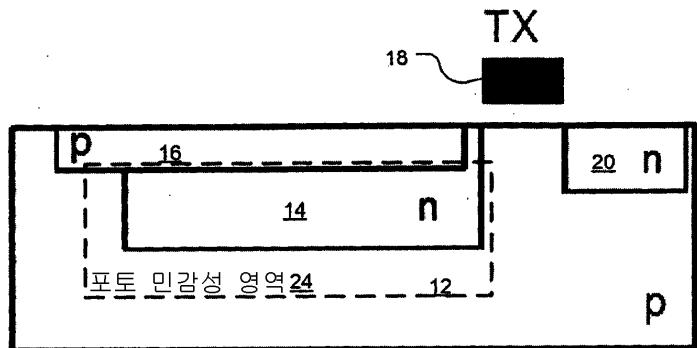
부호의 설명

[0063] 12 - p-타입 기판,

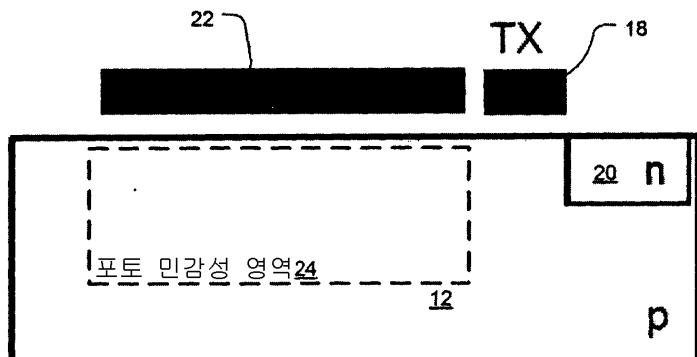
22 - 게이트,
112 - 절연 층.

도면

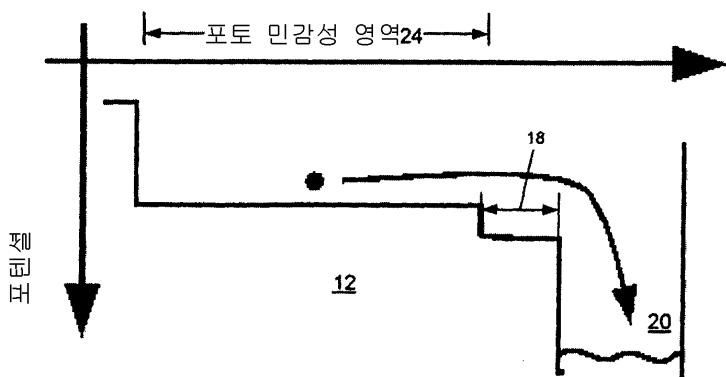
도면1



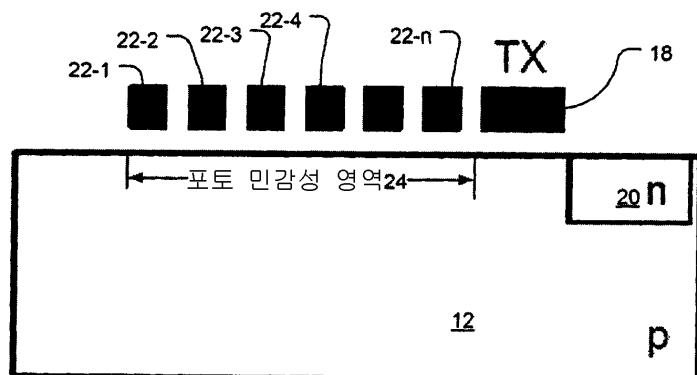
도면2



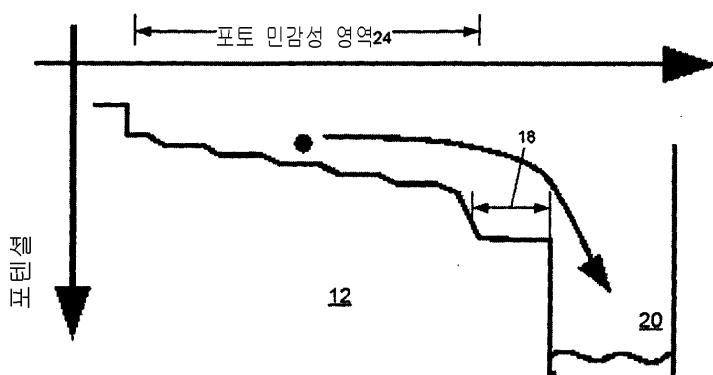
도면3



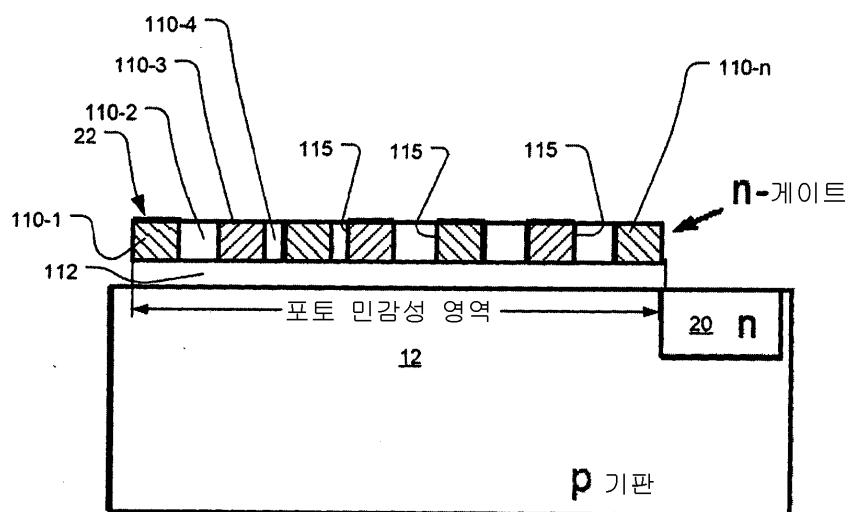
도면4



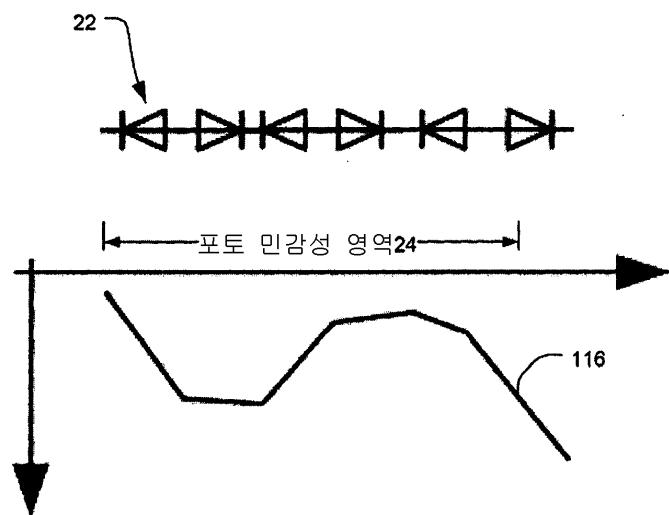
도면5



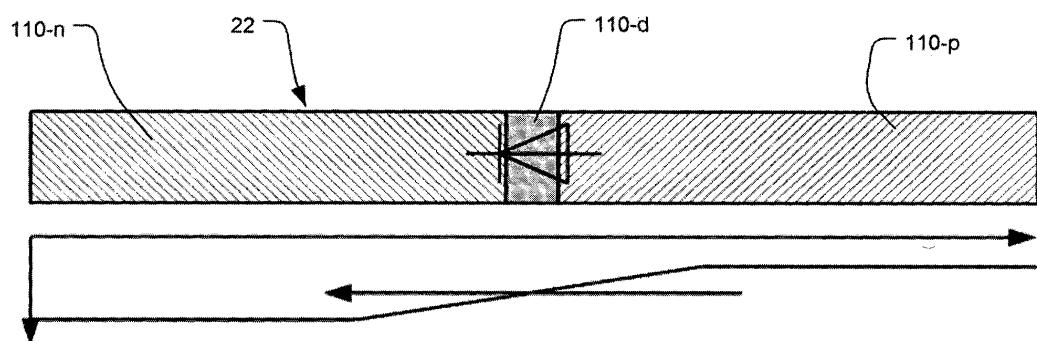
도면6



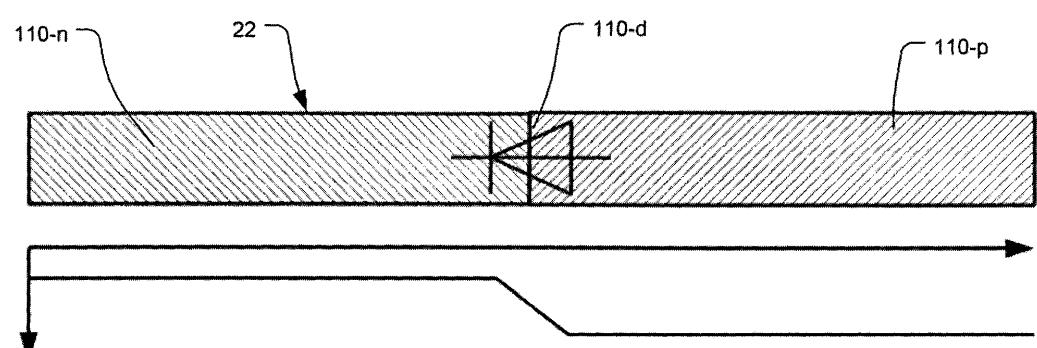
도면7



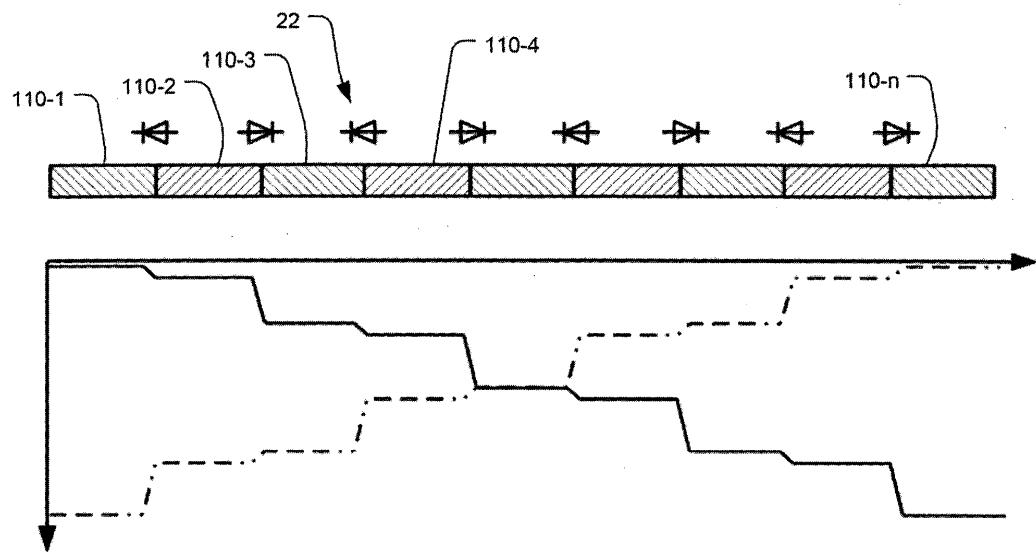
도면8a



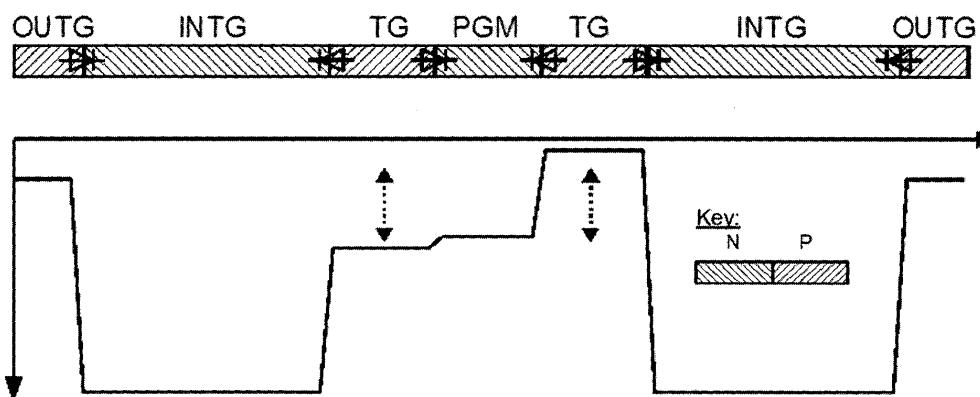
도면8b



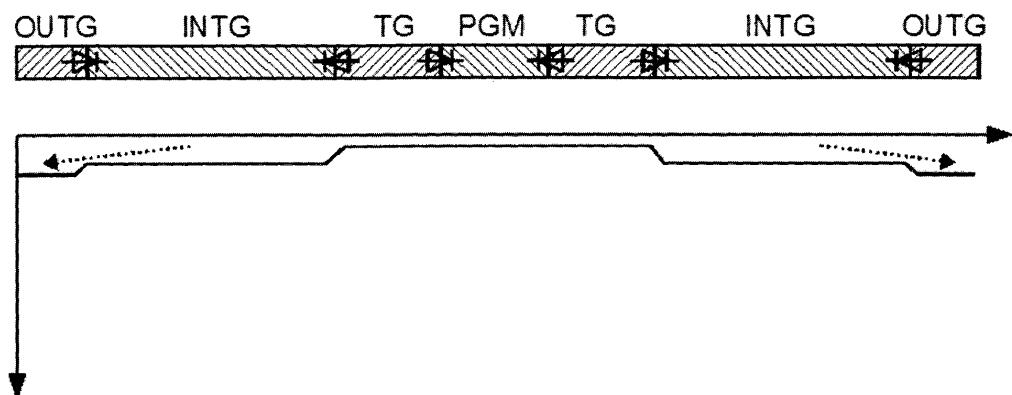
도면9



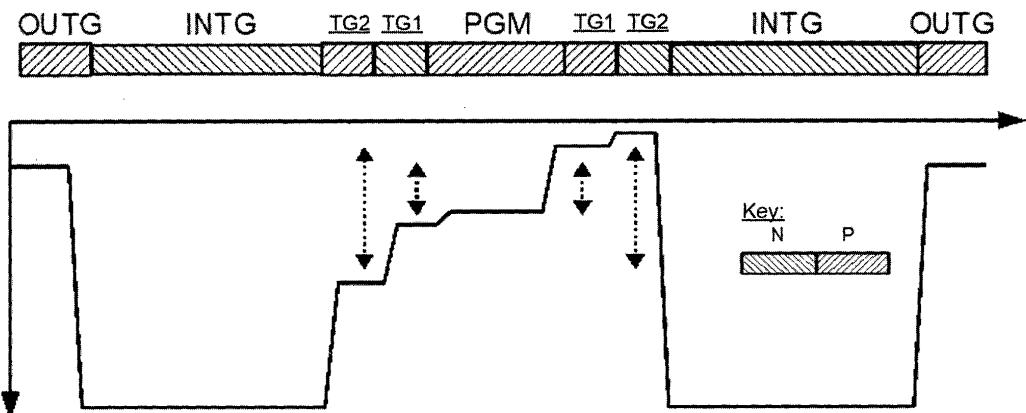
도면10



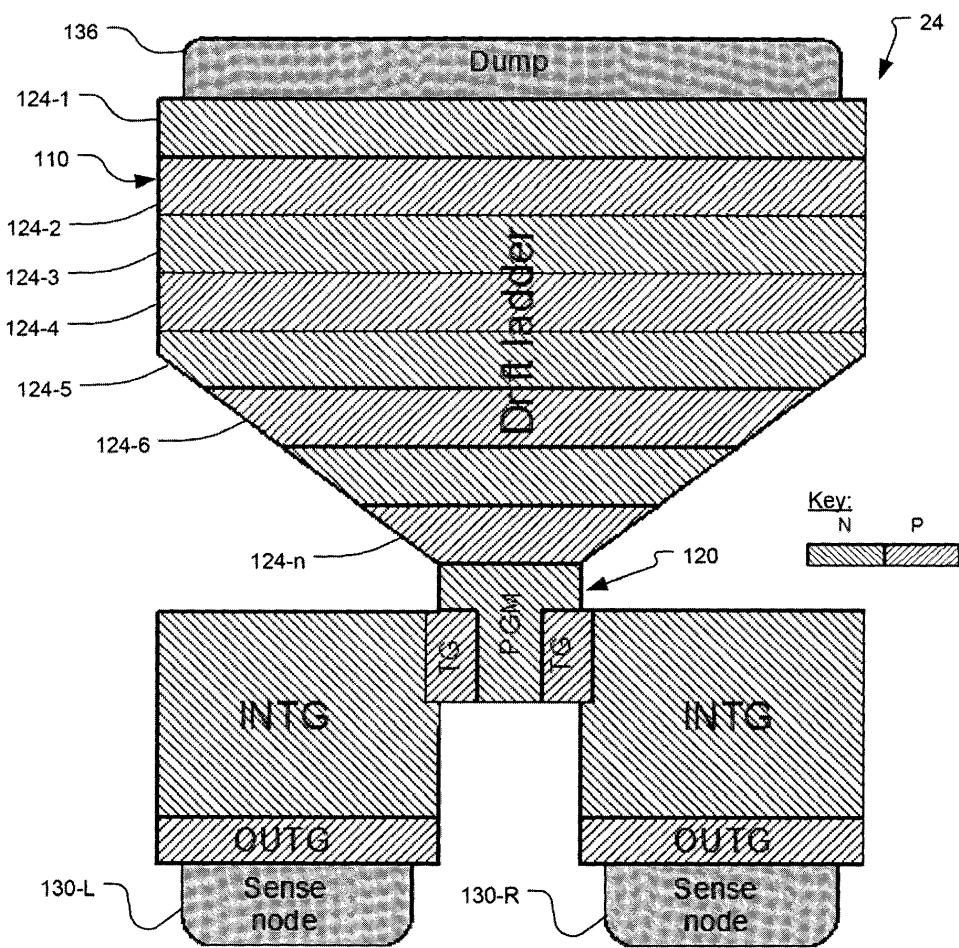
도면11



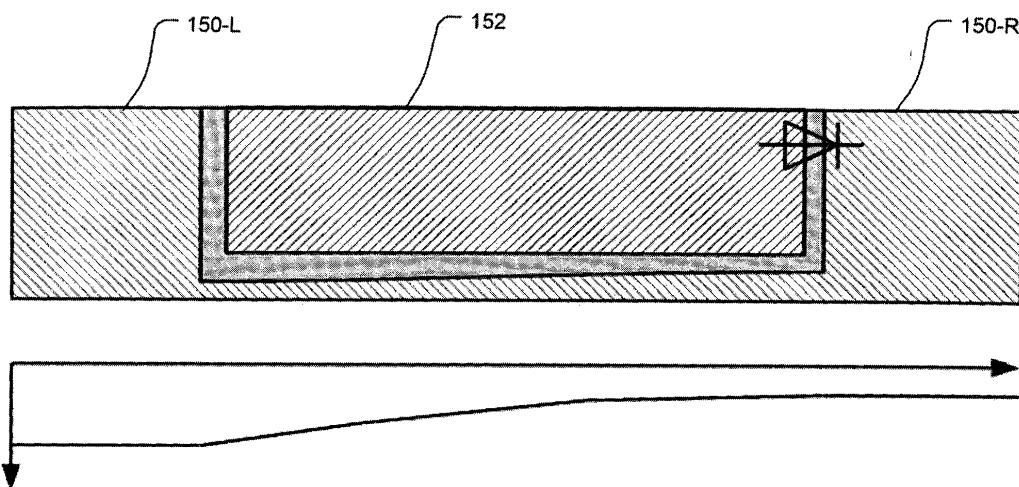
도면12



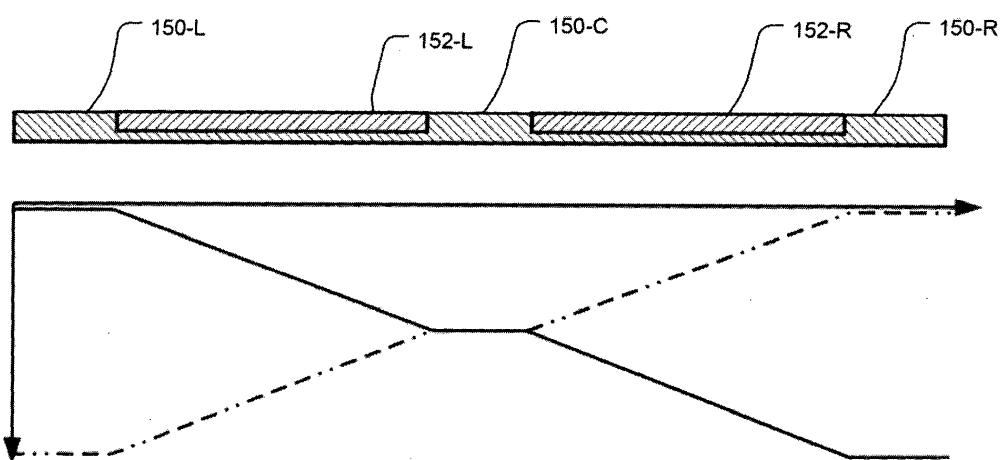
도면13



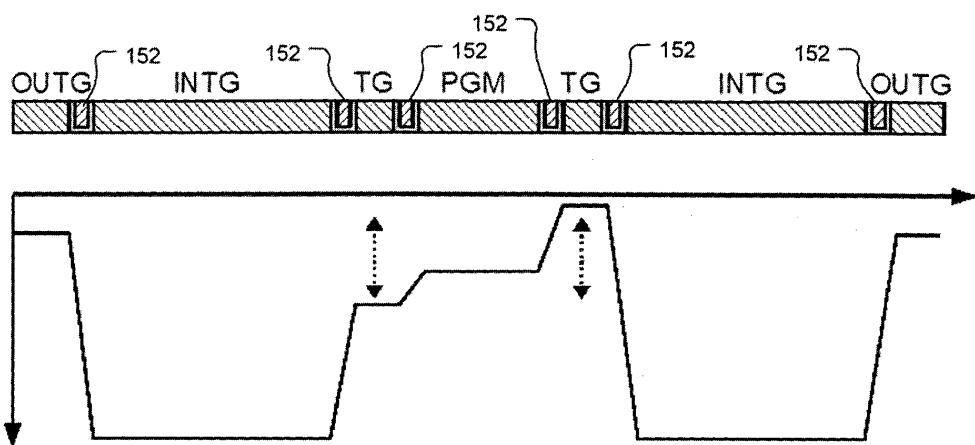
도면14



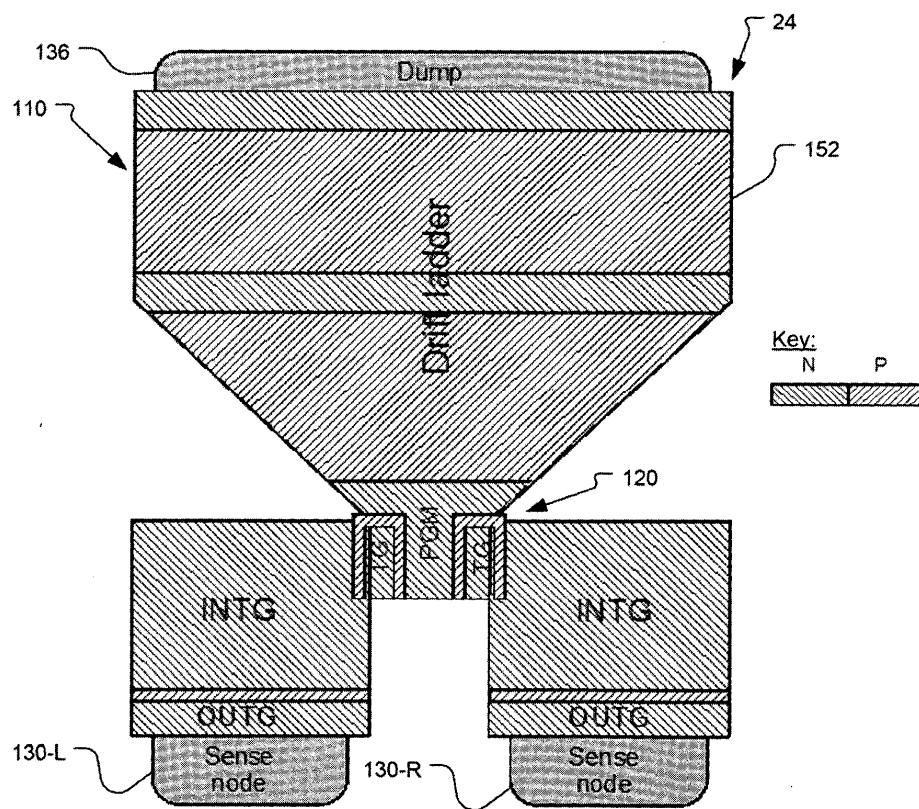
도면15



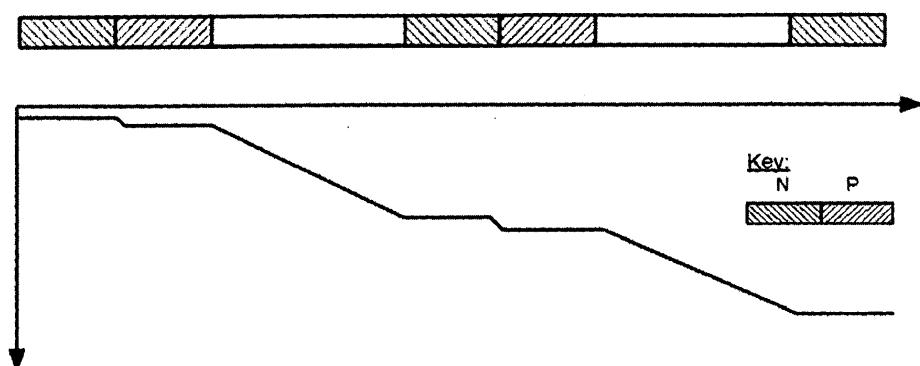
도면16



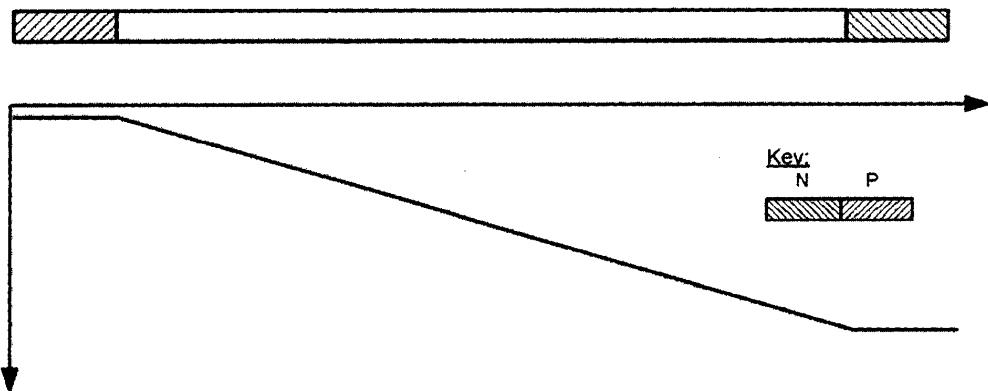
도면17



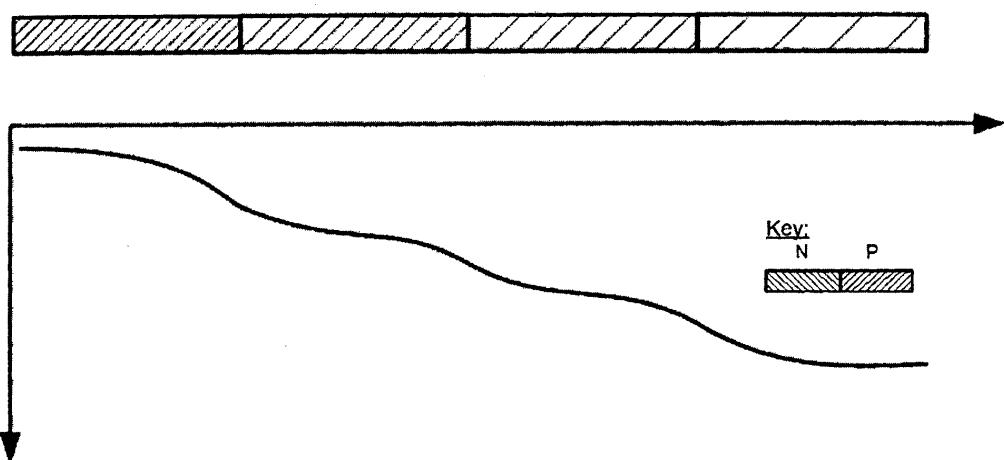
도면18



도면19



도면20



도면21

