

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4430836号
(P4430836)

(45) 発行日 平成22年3月10日(2010.3.10)

(24) 登録日 平成21年12月25日(2009.12.25)

(51) Int.Cl.	F 1
G06F 1/04 (2006.01)	GO6F 1/04 301F
G06F 1/10 (2006.01)	GO6F 1/04 330A
G01R 31/28 (2006.01)	GO1R 31/28 V
H03L 7/14 (2006.01)	HO3L 7/14 Z

請求項の数 3 (全 17 頁)

(21) 出願番号	特願2001-129127 (P2001-129127)
(22) 出願日	平成13年4月26日 (2001.4.26)
(65) 公開番号	特開2002-32144 (P2002-32144A)
(43) 公開日	平成14年1月31日 (2002.1.31)
審査請求日	平成19年1月15日 (2007.1.15)
(31) 優先権主張番号	09/562043
(32) 優先日	平成12年5月1日 (2000.5.1)
(33) 優先権主張国	米国(US)

(73) 特許権者	398038580 ヒューレット・パッカード・カンパニー HEWLETT-PACKARD COMPANY アメリカ合衆国カリフォルニア州パロアルト ハノーバー・ストリート 3000
(74) 代理人	100087642 弁理士 古谷 聰
(74) 代理人	100063897 弁理士 古谷 韶
(74) 代理人	100076680 弁理士 溝部 孝彦

最終頁に続く

(54) 【発明の名称】クロックの停止中に位相ロック・ループ・フィードバックのロックを維持するためのシステム及び方法

(57) 【特許請求の範囲】

【請求項 1】

通常動作モード及びテスト・モード中、及び、通常動作モードからテスト・モードへの切り換え中において、集積回路内の位相ロック・ループのロックを維持する方法であって、

通常動作モード中は、リアル・クロック信号を出力するリアル・クロック・ツリーによって、前記位相ロック・ループの位相ロック・ループ・フィードバック経路を形成するステップと、

前記リアル・クロック・ツリーを停止し、それによって、通常動作モードからテスト・モードに移行するステップと、

テスト・モード中は、コピー・クロック信号を出力するコピー・クロック・ツリーによって、前記位相ロック・ループの位相ロック・ループ・フィードバック経路を形成して、前記位相ロック・ループによって、通常動作モード及びテスト・モード中、及び、通常動作モードからテスト・モードへの切り換え中に、ロックが維持されるようにするステップであって、前記コピー・クロック信号が前記リアル・クロック信号をまねるように試みることからなる、ステップ

を含む、方法。

【請求項 2】

集積回路内の位相ロック・ループのロックを維持して、該集積回路のテストを容易にする方法であって、

通常動作モード中は、リアル・クロック信号を出力するリアル・クロック・ツリーによって、位相ロック・ループの位相ロック・ループ・フィードバック経路を形成するステップと、

前記リアル・クロック・ツリーを停止し、それによって、通常動作モードからテスト・モードに移行するステップと、

テスト・モード中は、コピー・クロック信号を出力するコピー・クロック・ツリーによって、前記位相ロック・ループの位相ロック・ループ・フィードバック経路を形成して、前記位相ロック・ループがロックを維持するようにするステップであって、前記コピー・クロック信号が前記リアル・クロック信号をまねるように試みることからなる、ステップと、

前記集積回路の電子コンポーネントに既知のデータをスキャンインするステップと、少なくとも1つのクロック間にわたって、前記集積回路の電子コンポーネントにフル・スピードのクロックを供給するステップであって、前記少なくとも1つのクロック間ににおける前記フル・スピードのクロックの位相角が、前記リアル・クロック・ツリーの停止前の該リアル・クロック・ツリーの位相角に実質的に等しいことからなる、ステップと、

前記集積回路の電子コンポーネントからデータをスキャンアウトするステップを含む、方法。

【請求項3】

通常動作モード及びテスト・モード中、及び、通常動作モードとテスト・モード間の切り換え中において、集積回路内の位相ロック・ループのロックを維持するためのシステムであって、

クロック入力、フィードバック入力、及び、出力を有する位相ロック・ループであって、前記クロック入力は、クロック信号を受信することが可能であり、前記フィードバック入力はフィードバック信号を受信することが可能であることからなる、位相ロック・ループと、

前記位相ロック・ループの出力に電気的に結合された入力を有し、イネーブルの時には、該入力において受信した信号を出力し、ディスエーブルの時には、該入力において受信した信号を出力しないように動作するクロッキングゲートと、

前記クロッキングゲートの出力に電気的に結合されて、前記集積回路の電気コンポーネントにリアル・クロック信号を供給するためのリアル・クロック・ツリーと、

前記位相ロック・ループの出力に電気的に結合されて、コピー・クロック信号を生成するためのコピー・クロック・ツリーと、

前記リアル・クロック・ツリーに電気的に結合されて、前記リアル・クロック信号を受信することが可能な第1の入力、前記コピー・クロック・ツリーに電気的に結合されて、前記コピー・クロック信号を受信することが可能な第2の入力、及び、前記位相ロック・ループの前記フィードバック入力に電気的に結合されて、前記フィードバック信号を出力することが可能なマルチブレクサ出力を有するマルチブレクサと、

前記クロッキングゲートに電気的に結合されて、前記クロッキングゲートを選択的に制御し、かつ、前記マルチブレクサに電気的に結合されて、前記マルチブレクサを選択的に制御するためのコントローラ

を備え、

通常動作モード時には、前記コントローラは、前記クロッキングゲートをイネーブルにするとともに、前記第1の入力で受信されたリアル・クロック信号が前記マルチブレクサ出力から出力されるように前記マルチブレクサを制御し、これによって、前記リアル・クロック信号を前記フィードバック信号とする、前記位相ロック・ループ、前記クロッキングゲート、前記リアル・クロック・ツリー、及び前記マルチブレクサからなる位相ロック・ループ・フィードバック経路を形成して、通常動作モードの間ロックが維持されるようにし、

通常動作モードからテスト・モードに切り換えるときには、前記コントローラは、單一

のクロックサイクル内で、前記クロッキングゲートをディスエーブルにするとともに、前記第2の入力で受信されたコピー・クロック信号が前記マルチプレクサ出力から出力されるように前記マルチプレクサを制御し、これによって、前記コピー・クロック信号を前記フィードバック信号とする、前記位相ロック・ループ、前記コピー・クロック・ツリー、及び前記マルチプレクサからなる、テスト・モード用の位相ロック・ループ・フィードバック経路を形成して、通常動作モードからテスト・モードへの切り換え中、及び、テスト・モードの間ロックが維持されるようにすることからなる、システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

本発明は、一般に、位相ロック・ループに関連したクロッキングシステム及び方法に関するものであり、とりわけ、通常動作モード及びクロック信号が停止されるテスト・モード中、及び、通常動作モードからテスト・モードにスイッチされる間、集積回路内における位相ロック・ループのロックを維持するためのクロッキング方式に関するものである。

【0002】

【従来の技術】

今日の電子システムの高度化は、電子システムを構成するデジタル集積回路によって処理される複雑な機能の結果もたらされたものである。デジタル集積回路は、コンピュータ及び他のデジタル電子製品における大部分の電子回路を構成している。デジタル集積回路は、例えば、中央演算処理装置(CPU)、プログラマブル論理アレイ(PLA)、特定用途向け集積回路(ASIC)、または、デジタル信号プロセッサ(DSP)として構成することが可能である。これらのデジタル集積回路の高機能性及び動作速度は、いずれも、集積回路の製造及び設計テクノロジが向上した結果、より小形で、より高速のデバイスが得られるようになったために、急速に増すことになった。

20

【0003】

コンピュータや電子装置(電子デバイスを含む)の性能は、中央クロッキング信号(すなわち、システムの同期用クロック信号。中央クロック信号とも記載)の配信時間が、全ての集積回路及びそのコンポーネントに対して等しくなると向上する。システムの異なるコンポーネントに対する配信時間の非同一性は、スキューと定義される。従って、スキューは、基本的に、システムの異なるコンポーネントに対する中央クロックの配信時間の質または質の不足度の尺度になる。システムの質を高めるには、システムのスキューを最小限に抑えることが望ましい。システムのスキューに影響する要因の1つは、システム内における各種集積回路の位置である。クロックからシステムの異なる宛先ポイントまでの物理的距離が異なるからである。当該技術において既知のように、導体の物理的長さが異なれば、それぞれの集積回路に対する遅延時間も異なることになる。システム内の集積回路に対するクロック信号の配信に関連した上述のスキュー以外に、各集積回路内におけるクロック配信方式に関連したスキューも存在する。

30

【0004】

当該技術において既知のように、中央クロックから異なる距離に位置するそれぞれの集積回路に対するクロックの配信に関連したスキューは、追加配線を使用して、中央クロックとそれぞれの集積回路との間に等距離の導体を設けるか、または、導体内に遅延素子を設けることによって、容易に最小限に抑えられる。しかし、特定の集積回路内に同じ導体長または遅延コンポーネントを利用するこの方法は、一方の集積回路の動作速度と他方の集積回路のそれが大きく異なるため、実行不能である。場合によっては、2つの集積回路の動作速度が、50パーセントも異なることもあり得る。

40

【0005】

システム内における集積回路の一様でない動作速度に対応する解決法の1つは、集積回路に対するクロック信号の入力に位相ロック・ループを組み込むことである。位相ロック・ループは、特定の集積回路内のクロック信号に対して自動補正要素を提供するので、システム全体内における集積回路間のクロック変動が最小になる。1つの構成例において、ク

50

ロックが、第1の集積回路の入力でいったん受信されてから、第1の集積回路全体に分配されるのに3ナノ秒かかり、第2の集積回路の入力でいったん受信されてから、第2の集積回路全体に分配されるのに1.50ナノ秒かかる場合、分配されるクロック信号の伝搬速度比は1:2になる。従って、第1の集積回路と第2の集積回路の間には1.50ナノ秒のスキューが生じる。位相ロック・ループは、このスキューを補償しようとする。しかし、理想的な位相ロック・ループを設計し、実施することは事実上不可能であるため、位相ロック・ループに用いられる電子部品の品質及び位相ロック・ループの設計に応じて、システムに関連したスキューが残存する。

【0006】

位相ロック・ループによる補償を最大にするためには、位相ロック・ループ・フィードバック経路が生じることになるフィードバック・ポイントを適正に選択することが重要である。従って、位相ロック・ループ・フィードバック経路のフィードバック・ポイントは、集積回路内の最終クロック位置に対応して選択すべきである。しかし、現行の設計では、いったん集積回路に入力されたクロック信号は、40,000の最終クロック位置まで伝搬することになる。従って、フィードバック・ポイントの最良位置を決定するのは現実的ではない。実際は、40,000の最終クロック位置の1つが、フィードバック・ポイントとしてランダムに選択される。

【0007】

電子システムの重要な側面は、システムのさまざまなコンポーネントをテストして、動作及び相互接続が適正であることを確認しなければならないことである。テスト手順（テスト・モード）を実施するには、システムの中央クロックを停止または停止しなければならない。次に、既知のテスト・データを、システムのそれぞれの電子コンポーネントにスキャンインする。次に、最少数のクロック・サイクルにわたって、システムの最高動作周波数で、クロックを再始動する。システム・クロックを、再び停止して、それぞれの電子コンポーネントからデータをスキャンアウトする。システムの動作を、スキャンアウトされたデータと予測結果とを比較することによる分析ができる。「ストップ・アンド・スキャン」または「ストップ・アンド・ステップ」と呼ばれるこのプロセスによって、データが、適正なタイミング要件を満たして、システム内の位置間を移動することができる。

【0008】

電子装置のテストに関連した重要な問題は、装置のクロックを休止または停止することである。位相ロック・ループ・フィードバック経路のフィードバック・ポイントは、クロックと結合されているので、フィードバック経路が遮断され、位相ロック・ループは、クロック停止中、位相ロックを維持しない。当該技術において既知のように、位相ロック・ループがロックを維持しなければ、位相ロック・ループは機能しないことになる。位相ロック・ループのロックが効かなくなるクロック停止の問題を取り扱う既知の解決法の1つが、コピーすなわち「ダミー」・クロックを発生することである。リアル・クロック・ツリーは、ツリーの根の近くでマスク・オフして、クロックを停止させることが可能であるが、コピー・クロック・ツリーは、クロック・ツリーの根からマスクされない主ブランチである。コピー・クロック・ツリーは、マスク・オフまたは停止されないので、リアル・クロック・ツリーのクロックを停止して、同時に、コピー・クロックから位相ロック・ループのフィードバック・ポイントを生じさせて、そのフィードバック経路とそのロックを維持することができる。さらに、リアル・クロックをマスクすることによって、テスト・モードにある間に、リアル・クロックを再始動し、nステップ動作させ、再停止させることができるので、テスト手順が容易になる。

【0009】

位相ロック・ループのロックを維持するために、リアル・ツリー・ブランチのコピーを利用することの欠点は、ある1つの処理の間及びいくつかの動作状態にわたって、リアル・クロック・ツリーに整合して（または、一致した状態で）、追隨するのが極めて困難であるという点である。コピー・クロックのこの不整合及び追隨誤差の程度に応じて、集積回

10

20

30

40

50

路の内部クロックと外部クロックとの間における集積回路クロック・スキューが比例的に増大する。このクロック・スキューは、通常の非テスト・モードにおいて、重大な欠点となる。コピー・クロックからのフィードバック・ポイントを利用した位相ロック・ループに関連したクロック・スキューは、位相ロック・ループによる補償を施さない場合よりも大きくなる場合もある。

【0010】

【発明が解決しようとする課題】

従って、本発明の目的は、通常動作モード及びテスト・モードのいずれにおいても、位相ロック・ループ・フィードバック経路のロックを維持し、同時に、システムの全体的なスキューを最小限に抑えることが可能なクロッキングシステム及び方法を提供することにある。10

【0011】

【課題を解決するための手段】

本発明によれば、通常動作モードとテスト・モードの両方において、及び、通常動作モードからテスト・モードにシステムを切り換える間、位相ロック・ループ・フィードバック経路のロックを維持し、同時に、システムの全体的なスキューを最小限に抑えることが可能なシステム及び方法が得られる。

【0012】

本発明の実施態様の1つによれば、通常動作モードとテスト・モードの両方において、集積回路内の位相ロック・ループ・フィードバック経路のロックを維持する方法が得られる20。この方法には、通常動作モード中に、リアル・クロック・ツリーからのリアル・クロック信号によって位相ロック・ループの位相ロック・ループ・フィードバック経路を閉じることが含まれる。次に、リアル・クロック・ツリーを停止することによって、システムが、通常モードからテスト・モードに移行する。テスト・モード中は、コピー・クロック・ツリーからのコピー・クロック信号によって、位相ロック・ループの位相ロック・ループ・フィードバック経路が閉じられ、これにより、位相ロック・ループによってロックが維持される。リアル・クロックの停止及びリアル・クロックからコピー・クロックへのフィードバック・ポイントの切り換えは、單一クロック・サイクルで実施される。

【0013】

この方法には、テスト・モード中に、集積回路の電子コンポーネントに既知データをスキャンインすることも含まれる。フルスピードのクロックが、少なくとも1クロック・サイクルにわたって、集積回路の電子コンポーネントに供給される。そのクロック・サイクル後に、電子コンポーネント内のデータは、集積回路の電子コンポーネントからスキャンアウトされる。スキャン・データは、予測データと比較され、比較手順が済むと、集積回路はリセットされる。30

【0014】

この方法には、さらに、通常のイネーブルモード中に、リアル・クロック・ツリー及びコピー・クロック・ツリーに位相ロック・ループの出力信号を供給することが含まれる。リアル・クロック・ツリーを停止するステップには、さらに、クロッキングゲート及びリアル・クロック・ツリーをディスエーブル(禁止)して、位相ロック・ループの出力信号がクロッキングゲートを通過しないようにすることが含まれる。さらに、位相ロック・フィードバック入力信号が、通常動作モード中は、リアル・クロック信号から得られ、テスト・モード中は、コピー・クロック・信号から得られるように、集積回路のモードに基づいて選択的に制御される。40

【0015】

本発明には、通常モード及びテスト・モード中、及び、通常動作モードとテスト・モードとの切り換えの間、集積回路内における位相ロック・ループのロックを維持するためのシステムも含まれている。このシステムは、クロック入力、フィードバック入力、及び、出力を有する位相ロック・ループを備える。位相ロック・ループのクロック入力は、クロック信号を受信することが可能である。クロッキングゲートは、位相ロック・ループの出力50

に電気的に結合された入力を有する。リアル・クロック・ツリーは、クロッキングゲートの出力に電気的に結合される。リアル・クロック・ツリーは、集積回路の電気コンポーネントにクロック信号を供給する。コピー・クロック・ツリーは、やはり、位相ロック・ループの出力に電気的に結合される。マルチブレクサは、リアル・クロック・ツリーに電気的に結合された第1の入力と、コピー・クロック・ツリーに電気的に結合された第2の入力を有する。マルチブレクサは、位相ロック・ループのフィードバック入力に電気的に結合された出力を有する。コントローラは、クロッキングゲートの出力を選択的に制御するためにクロッキングゲートに電気的に結合され、マルチブレクサの出力を選択的に制御するためにマルチブレクサに電気的に結合される。

【0016】

10

【発明の実施の形態】

好適な実施態様に関する下記の詳細な説明では、本発明を実施することが可能な例示的な特定の実施態様を図示した添付図面を参照する。他の実施態様を利用することもできるし、本発明の範囲を逸脱することなく、構造的または論理的変更を施すことも可能である。従って、以下の詳細な説明は、限定の意味で記載するものではなく、本発明の範囲は、特許請求の範囲によって画定されるものである。

【0017】

本発明は、通常動作モードとテスト・モードの両方の間、及び、通常動作モードとテスト・モードを切り換える間、集積回路内における位相ロック・ループのロックを維持するためのシステム及び方法を提供する。本発明によれば、集積回路内のクロック信号に関連したスキューが最小限に抑えられる。本発明には、2つの個別の（例えば並置関係にある）位相ロック・ループ・フィードバック経路が含まれており、第1の位相ロック・ループ・フィードバック経路は、集積回路の通常動作モード中に、位相ロック・ループに供給されるリアル・クロック・ツリーから選択されるフィードバック・ポイントを有するようになっている。第2の位相ロック・ループ・フィードバック経路には、集積回路のテスト・モード中に、位相ロック・ループに供給されるコピー・クロック・ツリーから選択されるフィードバック・ポイントが含まれている。位相ロック・ループへの入力に設けられたフィードバック経路は、テスト手順を開始するために、リアル・クロック・ツリーが停止される同一のクロック・サイクルにおいて、リアル・クロック信号フィードバック経路からコピー・クロック信号フィードバック経路に切り換えられる。従って、本発明によれば、システムのモードに関係なく、システムのスキューを最小限に抑える位相ロック・ループ・フィードバック経路が得られる。

20

【0018】

30

本発明をより良く理解するために、先ず、図1及び図2に示す従来技術による構成について説明する。

【0019】

40

図1は、電子装置100に関する従来技術によるクロッキング方式を例示したブロック図である。電子装置100は、例えば、いくつかの集積回路を組み込んだコンピュータまたは他のデジタル電子製品である。電子装置100には、クロック102、クロック信号103、及び、集積回路104、106、および、108が含まれている。図1には、3つの集積回路が含まれているが、電子装置100が任意数の集積回路を備えることは可能であり、その場合も本発明の範囲内である。

【0020】

集積回路104には、位相ロック・ループ110、電子コンポーネント112、114及び116、リアル・クロック信号118、及び、位相ロック・ループ・フィードバック経路120が含まれている。集積回路106には、位相ロック・ループ122、電子コンポーネント124、126及び128、リアル・クロック信号130、及び、位相ロック・ループ・フィードバック経路132が含まれている。集積回路108には、位相ロック・ループ134、電子コンポーネント136、138及び140、リアル・クロック信号142、及び、位相ロック・ループ・フィードバック経路144が含まれている。図1には

50

、1つの集積回路につき3つの電気コンポーネントが含まれているが、各集積回路内に、関連する信号も含めて、任意の数の電子コンポーネントを含めることができ、その場合も本発明の範囲内である。

【0021】

位相ロック・ループ110、122及び134は、電子コンポーネント112、114、116、124、126、128、136、138及び140に対するクロック信号103の配信時間に関連したスキューを最小限に抑えるため、集積回路104、106及び108内において必要とされる。

【0022】

位相ロック・ループの設計には、位相ロック・ループの全体的な効率を高め、あるいは、低下させる2つの特性が存在する。第1に、位相ロック・ループの設計及び個別コンポーネントは、集積回路に関連したスキューを最小限にするように選択することが可能である。回路設計に関して今日理解されているところに従って、最適な位相ロック・ループ設計が規定される。第2に、位相ロックループのフィードバック経路が生じるフィードバック・ポイントを選択することが可能である。理想的には、位相ロック・ループのフィードバック経路は、リアル・クロックが送り出される特定のポイントにより与えられるのが望ましい。しかし、今日の集積回路では、クロック信号を供給する位置は40,000を超える。従って、スキューを最小限にするのを容易にするため、リアル・クロック・ツリーの任意の最終ブランチが選択される。

【0023】

集積回路104、106及び108を備える電子装置100は、2つの特定モードの一方で好適に動作する。先ず、集積回路104、106、及び108を備える電子装置100は、電子装置100の全ての電子コンポーネントがその意図した機能を実行している通常動作モードで好適に動作する。第2に、電子装置100は、テスト・モードで好適に動作する。テスト・モードにおいて、クロック102は、休止または停止される。既知のデータが、電子コンポーネント112、114、116、124、126、128、136、138及び140のような電子装置100のそれぞれの部分にスキャンインされる。クロック102は、電子装置100の最高周波数の動作を意味する、フルスピードで再始動される。テストには最小限の時間しか要しない。テストによっては、1または2クロック・サイクルしか必要としない場合もあるし、500クロック・サイクルまで必要とする場合もある。次に、データが、電子コンポーネント112、114、116、124、126、128、136、138及び140からスキャンアウトされ、予測値と比較される。スキャンアウト値が予測値と等しい場合、電子装置100は適正に動作している。このテスト手順は、「ストップ・アンド・スキャン」または「ストップ・アンド・ステップ」と呼ばれる。ストップ・アンド・スキャンまたはストップ・アンド・ステップ技法は、電子装置100がその最高周波数で動作できることを確認するための強力なツールである。この技法によれば、データが適正なタイミング・シーケンスである位置から他の位置へと移動していることも確認される。

【0024】

図1に示す電子装置100は、上述のテスト・モードにおいて適正に動作することはできない。電子装置100には、リアル・クロック信号118、130及び142からそれぞれ生じる、位相ロック・ループ110、122及び134のフィードバック経路120、132及び144が含まれている。クロック102が停止すると、全てのリアル・クロック信号が停止し、位相ロック・ループ・フィードバック経路120、132及び144は、もはや、位相ロック・ループ110、122及び134にロックをもたらさない。従つて、位相ロック・ループ110、122及び134は、不規則かつ不確定な状態に陥る。関連するフィードバック経路120、132及び144によって、ロックを維持するための適正なフィードバックが得られないので、位相ロック・ループ110、122及び134は、広い周波数範囲にわたってふらつく、クロック信号を生じることになる。

【0025】

10

20

30

40

50

従って、図1に示す構成によれば、通常動作モードにおける電子装置100に関連したスキューが最小限に抑えられるが、テスト・モード中、位相ロック・ループ110、122及び134のロックを維持することができないので、極めて望ましくない結果を生じることになる。

【0026】

図2は、従来技術による第2のクロッキング方式を採用した電子装置150のブロック図である。電子装置150は、クロック152、クロック信号153、及び、集積回路154、156及び158を備えている。集積回路154には、位相ロック・ループ160、電子コンポーネント162、164及び166、コピー・クロック・ツリー168、リアル・クロック信号170、及び、コピー・クロック信号172が含まれている。集積回路156には、位相ロック・ループ174、電子コンポーネント176、178及び180、コピー・クロック・ツリー182、リアル・クロック信号184、及び、コピー・クロック信号186が含まれている。集積回路158には、位相ロック・ループ188、電子コンポーネント190、192及び194、コピー・クロック・ツリー196、リアル・クロック信号198及びコピー・クロック信号200が含まれている。

【0027】

電子装置150は、次のように動作する。クロック信号153が、クロック152から集積回路154、156及び158の位相ロック・ループ160、174及び188に供給される。次に、リアル・クロック信号170、184及び198が、位相ロック・ループ160、174及び188から伝搬して、電子コンポーネント162、164、166、176、178、180、190、192及び194に分岐される。リアル・クロック信号170、184及び198は、位相ロック・ループ160、174及び188からコピー・クロック・ツリー168、182及び196にも送られる。コピー・クロック・ツリー168、182及び196は、リアル・クロック信号170、194及び198をまねようとする、コピーまたは「ダミー」・クロックを発生する。コピー・クロック・ツリー168、182及び196は、位相ロック・ループ160、174及び188の入力に、それぞれ、コピー・クロック信号172、186及び200を供給する。

【0028】

集積回路154、156、及び158をテストするためにクロックを停止しても、コピー・クロック・ツリー168、182及び196の分岐後の時点で、クロックが停止されるので、位相ロック・ループ160、174及び188の位相ロック・ループ・フィードバック経路に影響を及ぼすことはない。従って、関連するフィードバック経路は、リアル・クロック信号170、184及び198に基づいたフィードバックポイントから生じるのではなく、コピー・クロック信号172、186及び200をそれぞれ含んでいる。

【0029】

テスト・モード中は、図1に関連して説明したように、それぞれの電子コンポーネントにデータをスキャンインすることができ、クロックをステップ駆動することができ、電子コンポーネントからデータをスキャンアウトすることができるので、電子装置150は、適正に動作することになる。しかし、図2に示すクロッキング方式には、コピー・クロック・ツリー168、182及び196内に生じたリアル・クロック信号170、184及び198の「コピー」は、ある1つの処理の間及びいくつかの動作状態にわたって、リアル・クロック信号170、184及び198に整合し、追隨するのが困難であるという点で、重大な欠点がある。この整合要件は、フィードバック・ループが、クロック・ツリー待ち時間に、集積回路の処理及び動作の変動を補償するために、特定の集積回路内におけるクロック時間配置を正確に制御する場合に重要である。この不整合及び追従誤差の程度に従って、システム内の集積回路間のクロック・スキューが比例的に増大する。コピー・クロック168、182及び196及びコピー・クロック信号172、186及び200の唯一の目的が、電子装置150の動作全体のうちのごくわずかな時間を占めるテスト手順の間ロックを維持することである場合、このクロック・スキューは、通常の非テスト・モードにおいて被るかなりのペナルティになる。

10

20

30

40

50

【 0 0 3 0 】

図3は、本発明によるクロッキングシーケンスを用いる集積回路220のブロック図である。集積回路220は、位相ロック・ループ222、クロッキングゲート224、リアル・クロック・ツリー226、電子コンポーネント228、コピー・クロック・ツリー230、クロック・コントローラ232、及びマルチプレクサ234を備えている。図3には単一の集積回路を示しているが、これは、单なる例示である。図3に示していないクロックから生成されるクロック信号236に、任意の数の集積回路を接続することが可能である。さらに、電子コンポーネント228には、必要に応じて、さまざまな機能を実施することができる任意数の個別の電子コンポーネントを含めることができる。

【 0 0 3 1 】

10

図3に示すクロッキング方式には、2つの個別の並列に延びる位相ロック・ループ・フィードバック経路が含まれているという点で、集積回路220のクロッキング方式は、図1及び2に示す集積回路のクロッキング方式と異なる。位相ロック・ループ(PLL)222からのフィードバック経路の1つには、クロッキングゲート224、リアル・クロック・ツリー226及びマルチプレクサ234が含まれている。位相ロック・ループ222からの第2のフィードバック経路には、コピー・クロック・ツリー230及びマルチプレクサ234が含まれている。

【 0 0 3 2 】

20

集積回路220は、次のように動作する。位相ロック・ループ222は、位相ロックループ222の入力においてクロック信号236を受信する。クロック信号236は、図1及び2にそれぞれ示すクロック102及び152のようなクロックから伝搬する。位相ロック・ループ222の出力は、クロッキングゲート224及びコピー・クロック・ツリー230に供給される。通常動作中は、クロッキングゲート224は、クロック信号236がクロッキングゲート224を通過できるようにし、クロック信号236は、リアル・クロック・ツリー226を介して多くの電子コンポーネント228に送られる。テスト・モード中は、クロッキングゲート224はディスエーブル状態になり、その結果、クロック信号236のリアル・クロック・ツリー226への伝搬が阻止される。リアル・クロック・ツリー226は、電子コンポーネント228を駆動するための、クロック信号236が伝搬していくさまざまな経路を示している。クロック信号226は、リアル・クロック・ツリー236から出て、マルチプレクサ234の入力に供給される。

30

【 0 0 3 3 】

位相ロック・ループ222は、コピー・クロック・ツリー230にもクロック信号236を供給する。コピー・クロック・ツリー230は、前述のように生成されるリアル・クロック・ツリー226のコピーである。コピー・クロック・ツリー230は、マルチプレクサ234の入力にコピー・クロック信号を供給する。コピー・クロック・ツリーは、また、クロック・コントローラ232に対して、通常のコピー・クロック信号及びコピー・クロック・ツリーの初期のさまざまな意味（または向き）を表す1つ以上の初期タップ信号を含む複数のクロック信号を供給する。

【 0 0 3 4 】

40

クロック・コントローラ232は、リアル・クロック・ツリー226及びリアル・クロック信号を含むフィードバック経路と、コピー・クロック・ツリー230及びコピー・クロック信号を含むフィードバック経路のいずれか、位相ロック・ループ222へのフィードバック入力として供給されるかを制御する。クロック・コントローラ232は、イネーブル／ディスエーブル信号をクロッキングゲートに供給して、クロッキングゲート224をイネーブルにし、クロック信号236がクロッキングゲート224を通過して、リアル・クロック・ツリー226に到達できるようにするか、あるいは、クロッキングゲート224をディスエーブルにして、クロック信号236を停止するようにする。さらに、クロック・コントローラ232は、マルチプレクサ234に選択入力信号を供給する。クロック・コントローラ232は、どちらのフィードバック経路が位相ロック・ループ222にフィードバック入力を供給するかを選択する。通常動作モードの場合、クロック・コントローラ232は、フィードバック入力を供給するかを選択する。

50

ーラ 232 は、クロッキングゲート 224 をイネーブルにして、クロック信号 236 がリアル・クロック・ツリー 226 に供給されるようにする。リアル・クロック・ツリー 226 からのリアル・クロック信号は、次に、電子コンポーネント 228 に供給される。また、通常動作モード中に、クロック・コントローラ 232 は、マルチブレクサ 234 に信号を供給し、マルチブレクサ 234 の出力がリアル・クロック・ツリー 226 からのものであるようにする。従って、位相ロック・ループ 222 に対するフィードバック入力には、リアル・クロック信号を含むフィードバック経路が含まれる。従って、通常動作モード下では、位相ロック・ループ・フィードバック信号がリアル・クロック信号から生じるので、集積回路 220 のスキーは最小限に抑えられる。

【0035】

10

通常動作モードにある間、コピー・クロック・ツリー 230 を含む位相ロック・ループ・フィードバック経路は、サイクルを続行するが、マルチブレクサ 234 が、位相ロック・ループ・フィードバック入力として、リアル・クロック・ツリー 226 を含むフィードバック経路を絶えず選択しているので、コピー・クロック・ツリーの信号が、位相ロック・ループ 222 のフィードバック入力まで伝搬することはない。

【0036】

集積回路 220 が、通常動作モードからテスト・モードに切り換わると、2つの特定の変化が生じる。第1に、クロック・コントローラ 232 が、クロッキングゲート 224 に信号を供給して、クロッキングゲートをディスエーブルにする。クロッキングゲート 224 がディスエーブルになると、クロック信号 236 が、クロッキングゲート 224 内で停止して、リアル・クロック・ツリー 226 や電子コンポーネント 228 まで伝搬しなくなる。第2に、クロック・コントローラ 232 が、マルチブレクサ 234 に信号を供給し、コピー・クロック・ツリー 230 からの信号が、入力として位相ロック・ループ 222 のフィードバック入力に供給されるようになる。これら2つの変化、すなわち、クロッキングゲート 224 内におけるクロック信号 236 の停止、及び、リアル・クロック信号を含む経路からコピー信号を含む経路への位相ロック・ループ・フィードバック経路の切り替わりは、同じクロックサイクルにおいて生じる。従って、位相ロック・ループ 222 は、通常動作モードからテスト・モードに切り換わる間、ロックを維持する。

20

【0037】

30

テスト・モードにおいて、適正な動作及び相互接続を確認するために、集積回路 220 がテストされる。分かりやすくするために図3には示していない既知の手段によって、既知のデータが電子コンポーネント 228 にスキャンインされる。次に、リアル・クロック・ツリー 226 が再起動されて、電子コンポーネント 228 に対して出力を生成し、1つ以上のクロック・サイクルを電子コンポーネント 228 に与える。望ましい実施態様の1つでは、リアル・クロック・ツリー 226 は、1または2クロック・サイクルだけしか与えない。もう1つの望ましい実施態様では、500クロック・サイクルまで必要になる。電子コンポーネント 228 内のデータは、サイクル間に電子コンポーネント 228 からスキャンアウトされ、分析される。このストップ・アンド・スキャン・プロセスは、必要に応じて、全てのテストが完了するまで繰り返すことが可能である。スキャンアウト・データは、予測データと比較される。スキャンアウト・データが所望のデータに一致すれば、集積回路 220 が適正に動作していることが確認される。コピー・クロック・ツリー 230 を含む位相ロック・ループ・フィードバック経路は、テスト・モード中、位相ロック・ループ 222 のロックを維持する。

40

【0038】

図3を参照して図示し説明した本発明は、通常動作モードにおいて、リアル・クロック・ツリー 226 から生じるフィードバック経路を組み込むことによって、クロック・スキーを最小限に抑える。さらに、図3に示す構成によれば、テスト・モード中、コピー・クロック信号を含むフィードバック経路を組み込むことによって、位相ロック・ループ 222 のロックが維持される。

【0039】

50

図4は、本発明によるマルチプレクサ234の回路図である。マルチプレクサ224には、ORゲート260及び262、ANDゲート264、バッファ266及びインバータ268が含まれている。信号270が、クロックコントローラ232からORゲート260に供給され、一方、信号270の反転信号が、ORゲート262に供給される。図3のリアル・クロック・ツリー226からのクロック信号に対応するリアル・クロック信号272が、ORゲート260に供給される。図3のコピー・クロック・ツリー230からのクロック信号に対応するコピー・クロック信号274が、ORゲート262に供給される。ORゲート260及び262とインバータ268の構成によって、ORゲート260と262の出力は、常に互いに逆になる。従って、ANDゲート264の出力は、リアル・クロック信号272またはコピー・クロック信号274のいずれかに一致する。選択された信号は、バッファ266を通って伝搬し、前述のように、位相ロック・ループ・フィードバック経路入力として供給される。
10

【0040】

図5は、本発明に従って集積回路をテストする方法を示すフロー・チャートである。方法300は、ステップ302に示すように、集積回路の起動及びリセットを行って、その意図する機能を実施できるようにすることから始まる。ステップ304では、システム・クロックは通常動作モードで動作している。ステップ306では、リアル・クロック信号により、集積回路の位相ロック・ループのフィードバック経路に対してフィードバック・ポイントが与えられる。ステップ308では、集積回路の電子コンポーネントに供給されるクロック信号が停止される。電子コンポーネントへのクロック信号の停止と同時に、ステップ310及び312に示すように、位相ロック・ループのフィードバック経路が切り替わり、フィードバック・ポイントが、リアル・クロック信号からではなく、コピー・クロック信号から生じるようになる。従って、フィードバック経路のロックは、通常動作モードからテスト・モードに切り換わる間、維持されることになる。
20

【0041】

ステップ314では、既知のデータすなわちテスト・データが、既知の手段によって集積回路の電子コンポーネントにスキャンインされる。ステップ316では、1サイクルの間に、クロックが、フルスピードで電子コンポーネントに送り込まれ、電子コンポーネントの状態を進める。ステップ318では、クロックが再び停止される。ステップ320に示すように、集積回路の電子コンポーネント内に生成されたデータが、電子コンポーネントからスキャンアウトされる。ステップ322では、テスト結果の分析が行われる。すなわち、スキャンアウトされたテストデータ（スキャンアウトテストデータ）と予測結果が比較される。スキャンアウトテストデータは、記録され、集積回路がその特定のテストに合格したか、不合格であったかが判定される。判定ステップ324では、全てのテストが完了したか否かが判定される。全てのテストが完了した場合は、システムを、通常動作モードにリセットまたは切り換えることが可能である。しかし、全てのテストが完了したわけではない場合、ステップ314に示すように、新たな既知のデータ・セットが集積回路にスキャンインされ、処理が繰り返される。
30

【0042】

本発明によれば、通常動作モードとテスト・モードの両方において、及び、通常動作モードからテスト・モードへの切り替えの間、集積回路における位相ロック・ループのロックを維持するためのシステム及び方法が得られる。本発明によれば、集積回路内のクロック信号に関連したスキーが最小限に抑えられる。本発明には、2つの個別の位相ロック・ループ・フィードバック経路が含まれており、第1の位相ロック・ループ・フィードバック経路は、集積回路の通常動作モード中に、位相ロック・ループに供給されるリアル・クロック・ツリーから選択されるフィードバック・ポイントを含むようになっている。第2の位相ロック・ループ・フィードバック経路には、集積回路のテスト・モード中に、位相ロック・ループに供給されるコピー・クロック・ツリーから選択されるフィードバック・ポイントが含まれている。位相ロック・ループへの入力に設けられたフィードバック経路は、テスト手順を開始するためにリアル・クロック・ツリーを停止する同じクロック・サ
40

イクルにおいて、リアル・クロック信号フィードバック経路からコピー・クロック信号フィードバック経路に切り換えられる。ロックは、通常動作モードからテスト・モードへの切り換え中を含む全期間にわたって維持される。従って、本発明によれば、システムのモードに関係なく、システムのスキーを最小限に抑える位相ロック・ループ・フィードバック経路が得られる。

【0043】

望ましい実施態様を説明するために、特定の実施態様について例示して解説したが、本発明の範囲を逸脱することなく、図示し、解説した特定の実施態様の代わりに、同じ目的を達成するように計算されたさまざまな代替の及び／または等価な実施例を使用できることは当業者には明らかであろう。化学、機械、電気機械、電気及びコンピュータの技術者には容易に明らかになるように、本発明は多種多様な実施態様で実施することが可能である。本出願は、本明細書に記載の望ましい実施態様に関するいかなる改変または変更をも包含するものとする。従って、本発明は、特許請求の範囲及びその同等物によってのみしか制限されない。

【0044】

以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

1. 通常動作モード及びテスト・モード中、及び、通常動作モードからテスト・モードへの切り換え中における、集積回路内の位相ロック・ループのロックを維持する方法であつて、
20

前記通常動作モード中に、リアル・クロック・ツリーからのリアル・クロック信号によって、前記位相ロック・ループの位相ロック・ループ・フィードバック経路を閉じるステップと、

前記リアル・クロック・ツリーを停止し、それによって、通常モードからテスト・モードに移行するステップと、

テスト・モード中に、コピー・クロック・ツリーからのコピー・クロック信号によって、前記位相ロック・ループの前記位相ロック・ループ・フィードバック経路を閉じ、前記位相ロック・ループによって、通常動作モード及びテスト・モード中、及び、通常動作モードからテスト・モードへの切り換え中に、ロックが維持されるようにするステップ
30

を含む、方法。

2. 通常動作モード中、前記位相ロック・ループの出力信号を前記リアル・クロック・ツリー及び前記コピー・クロック・ツリーに供給するステップをさらに含む、上項1の方法。
40

3. リアル・クロック・ツリーを停止する前記ステップが、前記リアル・クロック・ツリーに配置されたクロック・ゲートをディスエーブルにして、前記位相ロック・ループの出力信号が前記ゲートを通過しないようにするステップをさらに含む、上項1の方法。

4. 集積回路のモードに基づいて位相ロック・ループ・フィードバック入力信号を選択的に制御するステップをさらに含む、上項1の方法。

5. 前記リアル・クロック・ツリー及び前記コピー・クロック・ツリーにクロック信号を供給するステップをさらに含む、上項1の方法。
40

6. リアル・クロック・ツリーを停止する前記ステップが、前記リアル・クロック・ツリーに供給されるクロック信号は停止するが、前記コピー・クロック・ツリーに対するクロック信号の供給は続行するステップをさらに含む、上項5の方法。

7. リアル・クロック・ツリーを停止する前記ステップ及びコピー・クロック信号によって前記位相ロック・ループ・フィードバック経路を閉じる前記ステップが、前記リアル・クロック・ツリーに供給されるクロック信号を停止し、それによって、通常動作モードからテスト・モードに移行するステップ、及び、单一のクロック・サイクルにおいて、前記リアル・クロック信号を含む状態から、前記コピー・クロック信号を含む状態に、前記位相ロック・ループ・フィードバック経路を切り換えるステップ、をさらに含む、上項5の方法。
50

8 . テスト・モード中に集積回路のテストを行うステップをさらに含む、上項 1 の方法。

9 . 集積回路をテストする前記ステップが、

前記集積回路の電子コンポーネントに既知のデータをスキャンインするステップと、
少なくとも 1 クロック・サイクルにわたって、前記集積回路の電子コンポーネントにフル・スピードのクロックを供給するステップと、

前記集積回路の電子コンポーネントからデータをスキャンアウトするステップをさらに含む、上項 8 の方法。

10 . 前記スキャンされたデータと予測データを比較するステップをさらに含む、上項 9 の方法。 10

11 . スキャンされたデータと予測データを比較する前記ステップの後に、前記集積回路をリセットするステップをさらに含む、上項 10 の方法。 10

12 . 全てのテストが完了するまで、前記テストするステップを繰り返すステップをさらに含む、上項 10 の方法。 10

13 . 集積回路内の位相ロック・ループのロックを維持して、該集積回路のテストを容易にする方法であって、

通常動作モード中に、リアル・クロック・ツリーからのリアル・クロック信号によって、前記位相ロック・ループの位相ロック・ループ・フィードバック経路を閉じるステップと、

前記リアル・クロック・ツリーを停止し、それによって、通常動作モードからテスト・モードに移行するステップと、 20

テスト・モード中に、コピー・クロック・ツリーからのコピー・クロック信号によって前記位相ロック・ループの位相ロック・ループ・フィードバック経路を閉じて、前記位相ロック・ループがロックを維持するようにするステップと、

前記集積回路の電子コンポーネントに既知のデータをスキャンインするステップと、
少なくとも 1 つのクロック間にわたって、前記集積回路の電子コンポーネントにフル・スピードのクロックを供給するステップと、

前記集積回路の電子コンポーネントからデータをスキャンアウトするステップを含む、方法。 20

14 . 通常動作モード中に、前記リアル・クロック・ツリー及び前記コピー・クロック・ツリーに前記位相ロック・ループの出力信号を供給するステップをさらに含む、上項 13 の方法。 30

15 . リアル・クロック・ツリーを停止する前記ステップが、前記リアル・クロック・ツリーに配置されたクロッキングゲートをディスエーブルにし、前記位相ロック・ループの出力信号が、前記ゲートを通過しないようにするステップをさらに含む、上項 13 の方法。

16 . 前記集積回路のモードに従って位相ロック・ループ・フィードバック入力信号を選択的に制御するステップをさらに含む、上項 13 の方法。

17 . 前記リアル・クロック・ツリー及び前記コピー・クロック・ツリーにクロック信号を供給するステップをさらに含む、上項 13 の方法。 40

18 . リアル・クロック・ツリーを停止する前記ステップが、前記リアル・クロック・ツリーに供給されるクロック信号は停止するが、前記コピー・クロック・ツリーに対するクロック信号の供給は続行するステップをさらに含む、上項 17 の方法。

19 . リアル・クロック・ツリーを停止する前記ステップ及びコピー・クロック信号によって前記位相ロック・ループ・フィードバック経路を閉じる前記ステップが、前記リアル・クロック・ツリーに供給されるクロック信号を停止し、それによって、通常動作モードからテスト・モードに移行するステップ、及び、単一のクロック・サイクルにおいて、前記リアル・クロック信号を含む状態から、前記コピー・クロック信号を含む状態に、前記位相ロック・ループ・フィードバック経路を切り換えるステップをさらに含む、上項 17 の方法。

20 . 前記スキャンされたデータと予測データを比較するステップをさらに含む、上項 1 50

3 の方法。

21. スキャンされたデータと予測データを比較する前記ステップの後に、集積回路をリセットするステップをさらに含む、上項 20 の方法。

22. 全てのテストが完了するまでテストするステップを繰り返すステップをさらに含む、上項 20 の方法。

23. 通常動作モード及びテスト・モード中、及び、通常動作モードからテスト・モードへの切り換え中において、集積回路内の位相ロック・ループのロックを維持するためのシステムであって、

クロック信号を受信することが可能なクロック入力、フィードバック入力、及び、出力を有する位相ロック・ループと、

前記位相ロック・ループの出力に電気的に結合された入力を有するクロッキングゲートと、

前記クロッキングゲートの出力に電気的に結合されて、前記集積回路の電気コンポーネントに前記クロック信号を供給するリアル・クロック・ツリーと、

前記位相ロック・ループの出力に電気的に結合されたコピー・クロック・ツリーと、

前記リアル・クロック・ツリーに電気的に結合された第 1 の入力、前記コピー・クロック・ツリーに電気的に結合された第 2 の入力、及び、前記位相ロック・ループの前記フィードバック入力に電気的に結合された出力を有するマルチブレクサと、

前記クロッキングゲートに電気的に結合されて、前記クロッキングゲートの出力を選択的に制御し、前記マルチブレクサに電気的に結合されて、前記マルチブレクサの出力を選択的に制御するためのコントローラ

を備えるシステム。

24. 前記コントローラが、前記クロッキングゲートにおいて前記リアル・クロック・ツリーを停止し、単一のクロック・サイクル内で、前記リアル・クロック・ツリーから前記コピー・クロック・ツリーに前記マルチブレクサの出力を切り換える、上項 23 のシステム。

25. 前記マルチブレクサが、

前記リアル・クロック・ツリーに電気的に結合された第 1 の入力、及び、前記コントローラからのコントローラ信号に電気的に結合された第 2 の入力を有する第 1 の OR ゲートと、

前記コントローラ信号に電気的に結合されたインバータと、

前記コピー・クロック・ツリーに電気的に結合された第 1 の入力、及び、前記インバータの出力に結合された第 2 の入力を有する第 2 の OR ゲートと、

前記第 1 の OR ゲートの出力に電気的に結合された第 1 の入力、前記第 2 の OR ゲートの出力に電気的に結合された第 2 の入力、及び、前記マルチブレクサの出力に対応する出力を有する AND ゲート

をさらに備える、上項 23 のシステム。

【 0045 】

本発明の概要を以下に示す。本発明は、通常動作モード中及びテストモード中のいずれにおいても、さらに、通常動作モードからテストモードへの切り換え中においても、集積回路内の位相ロックループのロックを維持するためのシステム及び方法である。この方法は、通常動作モード中に、リアルクロックツリーからのリアルクロック信号によって位相ロックループの位相ロックループフィードバック経路を閉じるステップを含む。リアルクロックツリーは選択的に停止され、これによって、通常動作モードからテストモードに移行する。位相ロックループの位相ロックループフィードバック経路は、コピークロックツリーからのクロック信号のコピー信号（コピークロック信号）によって閉じられ、これによって、位相ロックループはロックを維持する。リアルクロックツリーを停止するステップと、コピークロック信号で位相ロックループフィードバック経路を閉じるステップは、通常動作モードからテストモードへの切り換えの間、ロックが維持されるように单一クロックサイクル内で完了する。

10

20

30

40

50

【0046】

【発明の効果】

本発明によれば、集積回路を含む電子装置の動作モードに関係なく、位相ロック・ループ・フィードバックによるクロックの位相ロックを維持して、システムの全体的なスキーを最小限に抑えることが可能な手段が提供される。

【図面の簡単な説明】

【図1】従来技術による電子装置のクロッキング方式を示すブロック図である。

【図2】従来技術による電子装置のクロッキング方式の第2の実施態様を示すブロック図である。

【図3】本発明による特定の集積回路のクロッキング方式を示すブロック図である。 10

【図4】本発明によるマルチプレクサの回路図である。

【図5】本発明による集積回路のテスト方法を示すフローチャートである。

【符号の説明】

220 集積回路

222 位相ロック・ループ

224 クロッキングゲート

226 リアルクロックツリー

228 電子コンポーネント

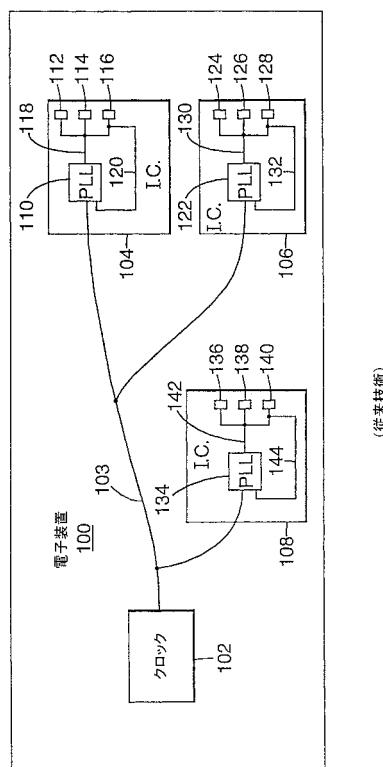
230 コピークロックツリー

232 クロックコントローラ 20

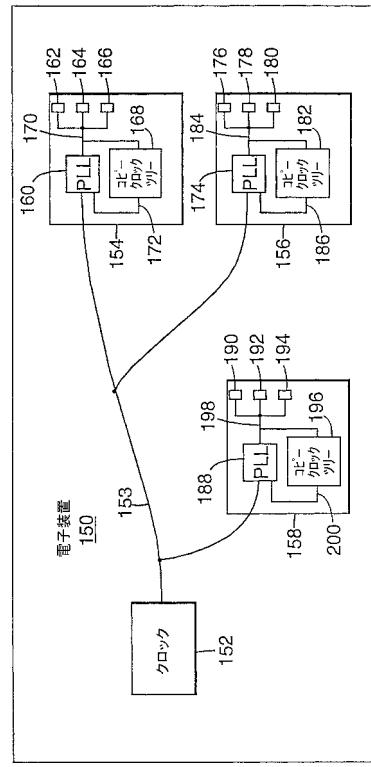
234 マルチプレクサ

236 クロック信号

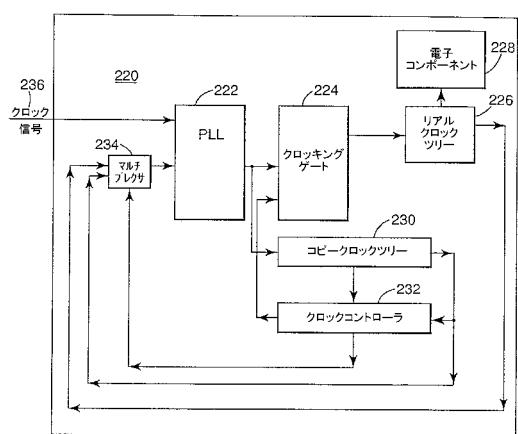
【図1】



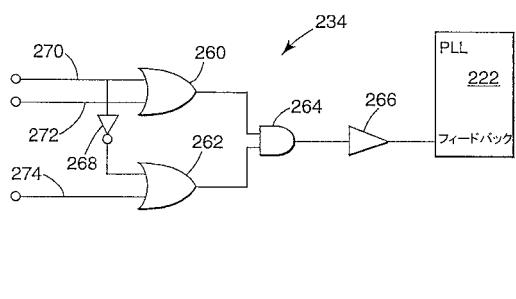
【図2】



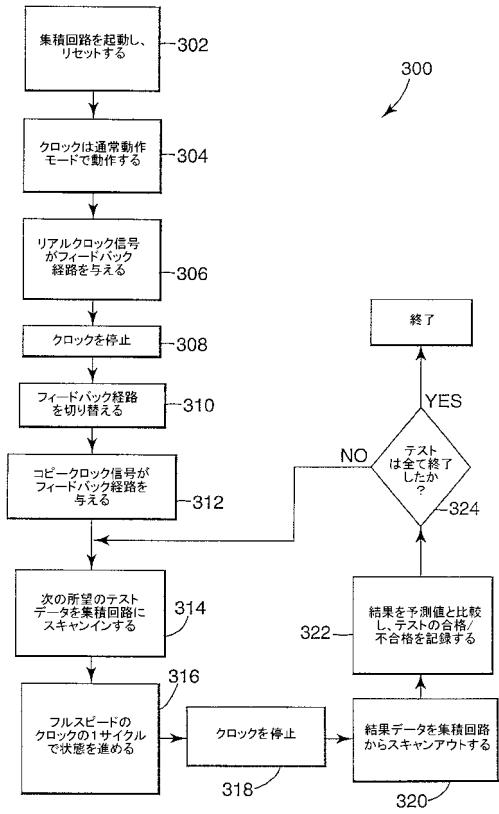
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 エドワード・アール・ヘルダー

アメリカ合衆国カリフォルニア州 94539 , フレモント , カミノ・サンタ・バーバラ・4229
3

審査官 小林 正明

(56)参考文献 特開平05-037367(JP,A)

特開平08-286780(JP,A)

特開平09-005397(JP,A)

特開平09-008652(JP,A)

特開2000-339959(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 1/04

G01R 31/28

G06F 1/10

H03L 7/14