

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年4月11日(11.04.2024)



(10) 国際公開番号

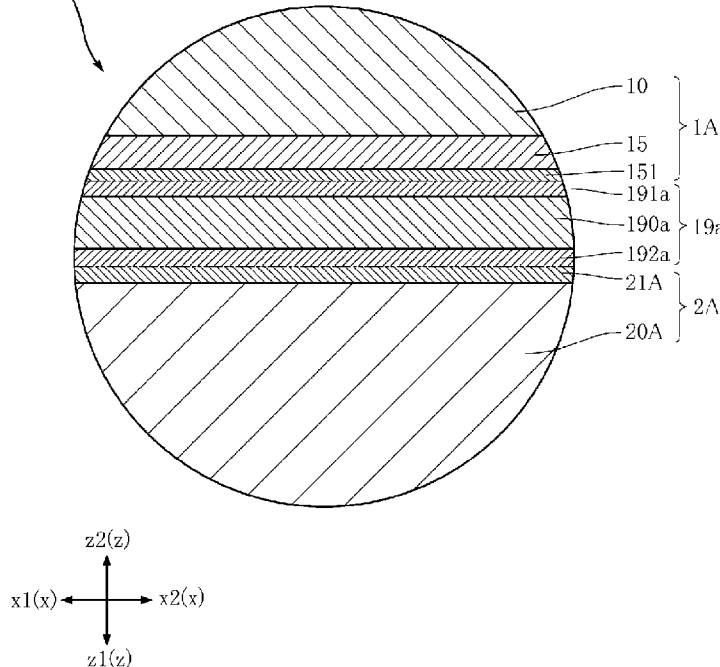
WO 2024/075514 A1

- (51) 国際特許分類:  
*H01L 23/40* (2006.01) *H01L 21/52* (2006.01)  
*B23K 20/00* (2006.01)
- (21) 国際出願番号: PCT/JP2023/033925
- (22) 国際出願日: 2023年9月19日(19.09.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2022-159985 2022年10月4日(04.10.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 佐藤 央至(SATO Oji); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 安西 智洋(YASUNISHI Tomohiro); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 志水 哲也(SHIMIZU Tetsuya); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.); 〒5430014 大阪府大阪市天王寺区玉造元町2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: JOINING STRUCTURE AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 接合構造体および半導体装置

FIG.14 B11



(57) Abstract: This joining structure comprises a first joining target that has a first joining layer, a second joining target that has a second joining layer, and an intermediate joining material that is between the first joining target and the second joining target. The intermediate joining material has a base material layer and a first surface layer and second surface layer that are disposed on either side of the base material layer. The first joining layer and the first surface layer are joined by solid phase bonding. The second joining layer and the second surface layer are joined by solid phase bonding. The main

WO 2024/075514 A1

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

---

component of the base material layer is Cu.

(57) 要約: 接合構造体は、第1接合層を有する第1接合対象物と、第2接合層を有する第2接合対象物と、前記第1接合対象物および前記第2接合対象物の間に介在する中間接合材とを備える。前記中間接合材は、基材層と、前記基材層の両側に配置された第1表面層および第2表面層とを有する。前記第1接合層と前記第1表面層とは、固相接合によって接合されている。前記第2接合層と前記第2表面層とは、固相接合によって接合されている。前記基材層は、Cuを主成分とする。

## 明 細 書

発明の名称：接合構造体および半導体装置

### 技術分野

[0001] 本開示は、接合構造体および半導体装置に関する。

### 背景技術

[0002] 従来、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) または I G B T (Insulated Gate Bipolar Transistor) などの電力用スイッチング素子を備える半導体装置が知られている。このような半導体装置は、産業機器から家電や情報端末、自動車用機器まで様々な電子機器に搭載される。特許文献1には、従来の半導体装置（パワーモジュール）が開示されている。特許文献1に記載のパワーモジュールは、複数のトランジスタ、主基板、信号基板および信号端子を備える。複数のトランジスタは、主基板に搭載される。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：特開2015-126342号公報

### 発明の概要

#### 発明が解決しようとする課題

[0004] 特許文献1のようなパワーモジュールでは、2つの接合対象物を接合させる接合構造体が採用される。接合構造体は、確実な接合を達成しつつ、熱を伝えやすいことが好ましい。

[0005] 本開示は、従来よりも改良が施された接合構造体、延いてはそのような接合構造体を含む半導体装置を提供することを一の課題とする。特に本開示は、上記した事情に鑑み、より熱を伝えやすい接合構造体（延いては半導体装置）を提供することを一の課題とする。

#### 課題を解決するための手段

[0006] 本開示の第1の側面によって提供される接合構造体は、第1接合層を有す

る第1接合対象物と、第2接合層を有する第2接合対象物と、前記第1接合対象物および前記第2接合対象物の間に介在する中間接合材と、を備える。前記中間接合材は、基材層と、前記基材層の両側に配置された第1表面層および第2表面層と、を有する。前記第1接合層と前記第1表面層とは、固相接合によって接合されている。前記第2接合層と前記第2表面層とは、固相接合によって接合されている。前記基材層は、Cuを主成分とする。

### 発明の効果

[0007] 上記構成によれば、より熱を伝えやすい接合構造体、延いてはそのような接合構造体を含む半導体装置を提供することができる。

### 図面の簡単な説明

[0008] [図1]図1は、本開示の第1実施形態にかかる半導体装置を示す斜視図である。

[図2]図2は、本開示の第1実施形態にかかる半導体装置を示す部分斜視図である。

[図3]図3は、本開示の第1実施形態にかかる半導体装置を示す部分斜視図である。

[図4]図4は、本開示の第1実施形態にかかる半導体装置を示す平面図である。

[図5]図5は、本開示の第1実施形態にかかる半導体装置を示す部分平面図である。

[図6]図6は、本開示の第1実施形態にかかる半導体装置を示す部分右側面図である。

[図7]図7は、本開示の第1実施形態にかかる半導体装置を示す部分左側面図である。

[図8]図8は、本開示の第1実施形態にかかる半導体装置を示す部分平面図である。

[図9]図9は、本開示の第1実施形態にかかる半導体装置を示す右側面図である。

[図10]図10は、本開示の第1実施形態にかかる半導体装置を示す底面図である。

[図11]図11は、図5のX1-X1線に沿う断面図である。

[図12]図12は、図5のX11-X11線に沿う断面図である。

[図13]図13は、図12の一部を拡大した部分拡大断面図である。

[図14]図14は、本開示の第1実施形態にかかる実装構造体の一例を示す部分拡大断面図である。

[図15]図15は、本開示の第1実施形態にかかる実装構造体の他の例を示す部分拡大断面図である。

[図16]図16は、図12の一部を拡大した部分拡大断面図である。

[図17]図17は、本開示の第1実施形態にかかる実装構造体の他の例を示す部分拡大断面図である。

[図18]図18は、本開示の第1実施形態にかかる実装構造体の他の例を示す部分拡大断面図である。

[図19]図19は、図5のX1X-X1X線に沿う断面図である。

[図20]図20は、図5のXX-XX線に沿う断面図である。

[図21]図21は、図5のXX1-XX1線に沿う断面図である。

[図22]図22は、図5のXX11-XX11線に沿う断面図である。

[図23]図23は、本開示の第1実施形態にかかる半導体装置の第1変形例を示す部分右側面図である。

[図24]図24は、本開示の第1実施形態にかかる実装構造体の他の例を示す部分拡大断面図である。

[図25]図25は、本開示の第2実施形態にかかる実装構造体を示す部分拡大断面図である。

### 発明を実施するための形態

[0009] 本開示の半導体装置の好ましい実施の形態について、図面を参照して、以下に説明する。以下では、同一あるいは類似の構成要素に、同じ符号を付して、重複する説明を省略する。本開示における「第1」、「第2」、「第3

」等の用語は、単に識別のために用いたものであり、必ずしもそれらの対象物に順列を付することを意図していない。

- [0010] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B（の）上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B（の）上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B（の）上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B（の）上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B（の）上に位置していること」を含む。また、「ある方向に見てある物Aがある物Bに重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。

- [0011] 半導体装置A1：

図1～図22は、本開示の一実施形態にかかる半導体装置A1を示している。半導体装置A1は、複数の半導体素子1、支持導体2、支持基板3、複数の電力端子41～43、複数の制御端子44、信号基板5、接着層6、第1導通部材71、第2導通部材72、複数のワイヤ73～76、樹脂部材8および樹脂充填部88を備える。また、半導体装置A1は、接合構造体B1～B4を有する。

- [0012] 支持導体2は、第1導電部2Aおよび第2導電部2Bを含む。複数の制御端子44は、複数の第1制御端子45および複数の第2制御端子46を含む。信号基板5は、第1信号基板5Aおよび第2信号基板5Bを含む。接着層6は、第1接着体6Aおよび第2接着体6Bを含む。

[0013] 説明の便宜上、互いに直交する3つの方向を、x方向、y方向、z方向とする。一例として、z方向は、半導体装置A1の厚さ方向である。x方向は、半導体装置A1の平面図（図4参照）における左右方向である。y方向は、半導体装置A1の平面図（図4参照）における上下方向である。以下の説明において、「平面視」とは、z方向に見たときをいう。なお、「上」、「下」、「上方」、「下方」、「上面」および「下面」などの記載は、z方向における各部品等の相対的位置関係を示すものであり、必ずしも重力方向との関係を規定する用語ではない。x方向は、本開示の「第1方向」の一例である。

[0014] 複数の半導体素子1：

複数の半導体素子1はそれぞれ、半導体装置A1の機能中枢となる電子部品である。複数の半導体素子1の各構成材料は、たとえばSiC（炭化ケイ素）を主とする半導体材料である。この半導体材料は、SiCに限定されず、Si（シリコン）、GaN（窒化ガリウム）あるいはC（ダイヤモンド）などであってもよい。各半導体素子1は、たとえば、MOSFET（Metal Oxide Semiconductor Field Effect Transistor）などのスイッチング機能を有するパワー半導体チップである。本実施形態においては、各半導体素子1がMOSFETである場合を示すが、これに限定されず、IGBT（Insulated Gate Bipolar Transistor；絶縁ゲートバイポーラトランジスタ）などの他のトランジスタであってもよい。各半導体素子1は、いずれも同一素子である。各半導体素子1は、たとえばnチャネル型のMOSFETであるが、pチャネル型のMOSFETであってもよい。

[0015] 複数の半導体素子1は、複数の第1スイッチング素子1Aおよび複数の第2スイッチング素子1Bを含む。図8に示すように、半導体装置A1は、4つの第1スイッチング素子1Aと4つの第2スイッチング素子1Bを備えるが、第1スイッチング素子1Aの数および第2スイッチング素子1Bの数は、本構成に限定されない。第1スイッチング素子1Aの数および第2スイッチング素子1Bの数は、半導体装置A1に要求される性能に応じて適宜変更

される。第1スイッチング素子1Aの数および第2スイッチング素子1Bの数とは、等しくても、異なってもよい。第1スイッチング素子1Aの数および第2スイッチング素子1Bの数は、半導体装置A1が取り扱う電流容量によって決定される。

[0016] 半導体装置A1は、たとえばハーフブリッジ型のスイッチング回路として構成される。この場合、複数の第1スイッチング素子1Aは、半導体装置A1の上アーム回路を構成し、複数の第2スイッチング素子1Bは、半導体装置A1の下アーム回路を構成する。上アーム回路において、複数の第1スイッチング素子1Aは互いに並列に接続され、下アーム回路において、複数の第2スイッチング素子1Bは互いに並列に接続される。また、各第1スイッチング素子1Aと各第2スイッチング素子1Bとは、直列に接続される。

[0017] 複数の半導体素子1（複数の第1スイッチング素子1Aおよび複数の第2スイッチング素子1B）はそれぞれ、図13および図16に示すように、素子主面10aおよび素子裏面10bを有する。各半導体素子1において、素子主面10aおよび素子裏面10bは、z方向に離間する。素子主面10aは、z2側を向き、素子裏面10bは、z1側を向く。

[0018] 複数の第1スイッチング素子1Aはそれぞれ、図8、図12、図13および図21などに示すように、支持導体2（第1導電部2A）に搭載されている。図8に示す例では、複数の第1スイッチング素子1Aは、たとえばy方向に配列され、互いに離間する。複数の第1スイッチング素子1Aはそれぞれ、中間接合材19aを介して、支持導体2（第1導電部2A）に導通接合されている。各第1スイッチング素子1Aは、第1導電部2Aに接合された際、素子裏面10bが支持導体2（第1導電部2A）に対向する。

[0019] 複数の第2スイッチング素子1Bはそれぞれ、図8、図12、図16および図20などに示すように、支持導体2（第2導電部2B）に搭載されている。図8に示す例では、複数の第2スイッチング素子1Bは、たとえばy方向に配列され、互いに離間する。複数の第2スイッチング素子1Bはそれぞれ、中間接合材19bを介して、支持導体2（第2導電部2B）に導通接合

されている。各第2スイッチング素子1Bは、第2導電部2Bに接合された際、素子裏面10bが支持導体2（第2導電部2B）に対向する。図8から理解されるように、x方向に見て、複数の第1スイッチング素子1Aと複数の第2スイッチング素子1Bとが重なる。この構成と異なり、複数の第1スイッチング素子1Aと複数の第2スイッチング素子1Bとは、x方向に見て、重なっていなくてもよい。

[0020] 複数の半導体素子1（複数の第1スイッチング素子1Aおよび複数の第2スイッチング素子1B）はそれぞれ、図8、図13および図16に示すように、第1主面電極11、第2主面電極12、第3主面電極13および裏面電極15を有する。以下で説明する、第1主面電極11、第2主面電極12、第3主面電極13および裏面電極15の各構成は、各半導体素子1において共通する。第1主面電極11、第2主面電極12および第3主面電極13は、素子主面10aに設けられている。第1主面電極11、第2主面電極12および第3主面電極13は、図示しない絶縁膜により絶縁されている。裏面電極15は、素子裏面10bに設けられている。裏面電極15は、素子裏面10bの全域（あるいは略全域）を覆っている。裏面電極15は、たとえばAg（銀）めっきにより構成される。

[0021] 各半導体素子1がMOSFETで構成された例では、第1主面電極11は、たとえばゲート電極であって、各半導体素子1を駆動させるための駆動信号（たとえばゲート電圧）が入力される。第2主面電極12は、たとえばソース電極であって、ソース電流が流れる。第3主面電極13は、たとえばソースセンス電極であって、第2主面電極12と同電位である。第3主面電極13は、第2主面電極12と同じソース電流が流れる。裏面電極15は、たとえばドレイン電極であって、ドレイン電流が流れる。

[0022] 各半導体素子1は、第1主面電極11（ゲート電極）に駆動信号（ゲート電圧）が入力されると、この駆動信号に応じて、導通状態と遮断状態とが切り替わる。この導通状態と遮断状態とが切り替わる動作をスイッチング動作という。導通状態では、裏面電極15（ドレイン電極）から第2主面電極1

2（ソース電極）に順方向電流が流れ、遮断状態では、この順方向電流が流れない。半導体装置A1は、各半導体素子1の機能により、第1電源電圧（たとえば直流電圧）を第2電源電圧（たとえば交流電圧）に変換する。第1電源電圧は、電力端子41と2つの電力端子42との間に入力（印加）され、第2電源電圧は、2つの電力端子43に入力（印加）される。

[0023] 半導体装置A1は、図5および図8などに示すように、2つのサーミスタ17を備える。各サーミスタ17は、温度検出用のセンサとして用いられる。

[0024] 支持導体2：

支持導体2は、複数の半導体素子1（複数の第1スイッチング素子1Aおよび複数の第2スイッチング素子1B）を支持する。支持導体2は、支持基板3上に接合されている。支持導体2は、たとえば平面視矩形形状である。支持導体2は、第1導通部材71および第2導通部材72とともに、複数の第1スイッチング素子1Aおよび複数の第2スイッチング素子1Bによってスイッチングされる主回路電流の経路を構成する。

[0025] 支持導体2は、第1導電部2Aおよび第2導電部2Bを含む。図14および図15に示すように、第1導電部2Aは、本体層20A、接合層21Aおよび接合層22Aを有する。図17および図18に示すように、第2導電部2Bは、本体層20B、接合層21Bおよび接合層22Bを有する。本体層20Aおよび本体層20Bはそれぞれ、金属製の板状部材である。この金属は、Cu（銅）またはCu合金である。接合層21A、接合層22A、接合層21B、および接合層22Bの具体的構成は、後述する。第1導電部2Aおよび第2導電部2Bは、複数の電力端子41～43とともに、複数の第1スイッチング素子1Aおよび複数の第2スイッチング素子1Bへの導通経路を構成する。第1導電部2Aおよび第2導電部2Bはそれぞれ、たとえば平面視矩形形状である。第1導電部2Aおよび第2導電部2Bはそれぞれ、たとえばx方向の寸法が15mm以上25mm以下であり、たとえばy方向の寸法が30mm以上40mm以下であり、z方向の寸法が1.0mm以上5.

0 mm以下（好ましくは2.0 mm程度）である。第1導電部2Aおよび第2導電部2Bのこれらの寸法は、上記した数値例に限定されず、半導体装置A1の仕様に依じて適宜変更されうる。

[0026] 図11～図22に示すように、第1導電部2Aは、中間接合材29aを介して支持基板3に接合され、第2導電部2Bは、中間接合材29bを介して支持基板3に接合されている。第1導電部2Aには、中間接合材19aを介して、複数の第1スイッチング素子1Aがそれぞれ接合されている。第2導電部2Bには、中間接合材19bを介して、複数の第2スイッチング素子1Bがそれぞれ接合されている。第1導電部2Aおよび第2導電部2Bは、図3、図8、図11、図12および図19に示すように、x方向に離間する。これらの図に示す例では、第1導電部2Aは、第2導電部2Bよりもx1側に位置する。第1導電部2Aと第2導電部2Bとは、x方向に見て重なる。

[0027] 支持導体2（第1導電部2Aおよび第2導電部2Bの各々）は、主面201および裏面202を有する。主面201および裏面202は、図11～図22に示すように、z方向に離間する。主面201は、z2側を向き、裏面202は、z1側を向く。裏面202は、支持基板3に対向する。

[0028] 接合構造体B11, B12:

図14に示すように、半導体装置A1は、接合構造体B11を有する。接合構造体B11は、第1接合対象物としての第1スイッチング素子1Aと、第2接合対象物としての第1導電部2Aとが、中間接合材19aを介して接合された構造体である。

[0029] 中間接合材19aは、基材層190a、第1表面層191aおよび第2表面層192aを有する。

[0030] 基材層190aは、Cu（銅）を主成分とする。基材層190aがCu（銅）を主成分とする構成としては、Cu（銅）のみからなる構成、Cu（銅）に添加金属等が加えられた構成、種々のCu（銅）合金等、が含まれる。以降の説明において「ある部材がある金属を主成分とする」との構成についても、同様である。基材層190aの厚さは何ら限定されず、本実施形態に

においては、基材層190aは、第1表面層191aおよび第2表面層192aよりも厚い。基材層190aの厚さは、たとえば50 $\mu\text{m}$ 以上300 $\mu\text{m}$ 以下である。

[0031] 第1表面層191aは、基材層190aのz方向のz2側に配置されている。第1表面層191aは、第1スイッチング素子1Aと固相接合されている。固相接合は、同じ金属を主成分とする2つの層が、互いに直接接した状態で、所定の圧力と温度とが加えられることによって実現される接合手法であり、たとえば固相拡散接合、固相変形接合、等を含む。本実施形態においては、第1表面層191aは、Ag（銀）を主成分とする。第1表面層191aの厚さは何ら限定されず、本実施形態においては、第1表面層191aは、基材層190aよりも薄い。第1表面層191aの厚さは、たとえば0.1 $\mu\text{m}$ 以上15 $\mu\text{m}$ 以下である。

[0032] 本実施形態においては、第1スイッチング素子1Aが接合層151をさらに有する。接合層151は、接合構造体B11において、第1接合層に相当する。接合層151は、裏面電極15のz方向のz1側に配置されている。接合層151は、第1表面層191aと固相接合されている。本実施形態においては、接合層151は、Ag（銀）を主成分とする。接合層151の厚さは何ら限定されず、たとえば0.01 $\mu\text{m}$ 以上5 $\mu\text{m}$ 以下である。

[0033] なお、第1表面層191aおよび接合層151は、互いに固相接合が可能な構成であれば、主成分とされる金属は、何ら限定されない。

[0034] 互いに固相接合された第1表面層191aと接合層151との境界は、たとえば異種金属の境界である基材層190aと第1表面層191aとの境界とくらべて不明瞭である。第1表面層191aと接合層151との境界は、ほとんど認識できないか、固相接合時に生じた僅かな空隙等の存在によって認識できる程度である場合が、一般的である。これらの点は、本開示における他の固相接合の部位において同様である。

[0035] 第2表面層192aは、基材層190aのz方向のz1側に配置されている。第2表面層192aは、第1導電部2Aと固相接合されている。本実施

形態においては、第2表面層192aは、Ag（銀）を主成分とする。第2表面層192aの厚さは何ら限定されず、本実施形態においては、第2表面層192aは、基材層190aよりも薄い。第2表面層192aの厚さは、たとえば0.1 $\mu$ m以上15 $\mu$ m以下である。

[0036] 第1導電部2Aの接合層21Aは、接合構造体B11において、第2接合層に相当する。接合層21Aは、本体層20Aのz方向のz2側に配置されている。接合層21Aは、第2表面層192aと固相接合されている。本実施形態においては、接合層21Aは、Ag（銀）を主成分とする。接合層21Aの厚さは何ら限定されず、たとえば0.1 $\mu$ m以上15 $\mu$ m以下である。

[0037] なお、第2表面層192aおよび接合層21Aは、互いに固相接合が可能な構成であれば、主成分とされる金属は、何ら限定されない。

[0038] 図17に示すように、半導体装置A1は、接合構造体B12を有する。接合構造体B12は、第1接合対象物としての第2スイッチング素子1Bと、第2接合対象物としての第2導電部2Bとが、中間接合材19bを介して接合された構造体である。

[0039] 中間接合材19bは、基材層190b、第1表面層191bおよび第2表面層192bを有する。

[0040] 基材層190bは、Cu（銅）を主成分とする。基材層190bの厚さは何ら限定されず、本実施形態においては、基材層190bは、第1表面層191bおよび第2表面層192bよりも厚い。基材層190bの厚さは、たとえば50 $\mu$ m以上300 $\mu$ m以下である。

[0041] 第1表面層191bは、基材層190bのz方向のz2側に配置されている。第1表面層191bは、第2スイッチング素子1Bと固相接合されている。本実施形態においては、第1表面層191bは、Ag（銀）を主成分とする。第1表面層191bの厚さは何ら限定されず、本実施形態においては、第1表面層191bは、基材層190bよりも薄い。第1表面層191bの厚さは、たとえば0.1 $\mu$ m以上15 $\mu$ m以下である。

- [0042] 本実施形態においては、第2スイッチング素子1Bが第1スイッチング素子1Aと同様の接合層151をさらに有する。第2スイッチング素子1Bの接合層151は、第1表面層191bと固相接合されている。
- [0043] なお、第1表面層191bおよび接合層151は、互いに固相接合が可能な構成であれば、主成分とされる金属は、何ら限定されない。
- [0044] 第2表面層192bは、基材層190bのz方向のz1側に配置されている。第2表面層192bは、第2導電部2Bと固相接合されている。本実施形態においては、第2表面層192bは、Ag（銀）を主成分とする。第2表面層192bの厚さは何ら限定されず、本実施形態においては、第2表面層192bは、基材層190bよりも薄い。第2表面層192bの厚さは、たとえば0.1 $\mu$ m以上15 $\mu$ m以下である。
- [0045] 第2導電部2Bの接合層21Bは、接合構造体B12において、第2接合層に相当する。接合層21Bは、本体層20Bのz方向のz2側に配置されている。接合層21Bは、第2表面層192bと固相接合されている。本実施形態においては、接合層21Bは、Ag（銀）を主成分とする。接合層21Bの厚さは何ら限定されず、たとえば0.1 $\mu$ m以上15 $\mu$ m以下である。
- [0046] なお、第2表面層192bおよび接合層21Bは、互いに固相接合が可能な構成であれば、主成分とされる金属は、何ら限定されない。
- [0047] 支持基板3：  
支持基板3は、支持導体2を支持する。支持基板3は、たとえばDBC（Direct Bonded Copper）基板で構成される。この構成とは異なり、支持基板3は、たとえばDBA（Direct Bonded Aluminum）基板で構成されてもよい。支持基板3は、絶縁層31、第1金属層32および第2金属層33を含む。
- [0048] 絶縁層31は、たとえば熱伝導性に優れたセラミックにより構成される。このようなセラミックとしては、たとえばAlN（窒化アルミニウム）、SiN（窒化ケイ素）、Al<sub>2</sub>O<sub>3</sub>（酸化アルミニウム）またはZTA（ジルコニア強化アルミナ）などがある。絶縁層31は、セラミックではなく、絶

縁樹脂により構成されてもよい。絶縁層 31 は、たとえば平面視矩形形状である。

[0049] 第1金属層 32 は、絶縁層 31 の上面（z 2 側を向く面）に形成されている。第1金属層 32 の構成材料は、たとえば Cu を含む。当該構成材料は、Cu ではなく Al（アルミニウム）を含んでいてもよい。第1金属層 32 は、第1部分 32A および第2部分 32B を含む。第1部分 32A および第2部分 32B は、x 方向に離間する。第1部分 32A は、第2部分 32B の x 1 側側に位置する。第1部分 32A は、第1導電部 2A が接合され、第1導電部 2A を支持する。第2部分 32B は、第2導電部 2B が接合され、第2導電部 2B を支持する。第1部分 32A および第2部分 32B はそれぞれ、たとえば平面視矩形形状である。

[0050] 第2金属層 33 は、絶縁層 31 の下面（z 1 側を向く面）に形成されている。第2金属層 33 の構成材料は、第1金属層 32 の構成材料と同じである。第2金属層 33 の下面（z 1 側を向く面）は、図 10～図 22 に示すように、樹脂部材 8 から露出する。この構成と異なり、第2金属層 33 の下面は、樹脂部材 8 に覆われていてもよい。第2金属層 33 の下面が樹脂部材 8 から露出する構成においては、当該下面には、図示しない放熱部材（たとえばヒートシンク）などを取り付け可能である。第2金属層 33 は、平面視において、第1部分 32A および第2部分 32B の両方に重なる。

[0051] 接合構造体 B13, B14 :

図 15 に示すように、半導体装置 A1 は、接合構造体 B13 を有する。接合構造体 B13 は、第1接合対象物としての第1導電部 2A と、第2接合対象物としての支持基板 3 とが、中間接合材 29a を介して接合された構造体である。

[0052] 中間接合材 29a は、基材層 290a、第1表面層 291a および第2表面層 292a を有する。

[0053] 基材層 290a は、Cu（銅）を主成分とする。基材層 290a の厚さは何ら限定されず、本実施形態においては、基材層 290a は、第1表面層 2

91aおよび第2表面層292aよりも厚い。基材層290aの厚さは、たとえば50 $\mu\text{m}$ 以上300 $\mu\text{m}$ 以下である。

[0054] 第1表面層291aは、基材層290aのz方向のz2側に配置されている。第1表面層291aは、第1導電部2Aと固相接合されている本実施形態においては、第1表面層291aは、Ag（銀）を主成分とする。第1表面層291aの厚さは何ら限定されず、本実施形態においては、第1表面層291aは、基材層290aよりも薄い。第1表面層291aの厚さは、たとえば0.1 $\mu\text{m}$ 以上15 $\mu\text{m}$ 以下である。

[0055] 第1導電部2Aの接合層22Aは、接合構造体B13において、第1接合層に相当する。接合層22Aは、本体層20Aのz方向のz1側に配置されている。接合層22Aは、第1表面層291aと固相接合されている。本実施形態においては、接合層22Aは、Ag（銀）を主成分とする。接合層22Aの厚さは何ら限定されず、たとえば0.1 $\mu\text{m}$ 以上15 $\mu\text{m}$ 以下である。

[0056] なお、第1表面層291aおよび接合層22Aは、互いに固相接合が可能な構成であれば、主成分とされる金属は、何ら限定されない。

[0057] 第2表面層292aは、基材層290aのz方向のz1側に配置されている。第2表面層292aは、支持基板3と固相接合されている。本実施形態においては、第2表面層292aは、Ag（銀）を主成分とする。第2表面層292aの厚さは何ら限定されず、本実施形態においては、第2表面層292aは、基材層290aよりも薄い。第2表面層292aの厚さは、たとえば0.1 $\mu\text{m}$ 以上15 $\mu\text{m}$ 以下である。

[0058] 本実施形態の支持基板3は、接合層321Aをさらに有する。接合層321Aは、接合構造体B13において、第2接合層に相当する。接合層321Aは、第1部分32Aのz方向のz2側に配置されている。接合層321Aは、第2表面層292aと固相接合されている。本実施形態においては、接合層321Aは、Ag（銀）を主成分とする。接合層321Aの厚さは何ら限定されず、たとえば0.1 $\mu\text{m}$ 以上15 $\mu\text{m}$ 以下である。

- [0059] なお、第2表面層292aおよび接合層321Aは、互いに固相接合が可能な構成であれば、主成分とされる金属は、何ら限定されない。
- [0060] 図18に示すように、半導体装置A1は、接合構造体B14を有する。接合構造体B14は、第1接合対象物としての第2導電部2Bと、第2接合対象物としての支持基板3とが、中間接合材29bを介して接合された構造体である。
- [0061] 中間接合材29bは、基材層290b、第1表面層291bおよび第2表面層292bを有する。
- [0062] 基材層290bは、Cu（銅）を主成分とする。基材層290bの厚さは何ら限定されず、本実施形態においては、基材層290bは、第1表面層291bおよび第2表面層292bよりも厚い。基材層290bの厚さは、たとえば50 $\mu$ m以上300 $\mu$ m以下である。
- [0063] 第1表面層291bは、基材層290bのz方向のz2側に配置されている。第1表面層291bは、第2スイッチング素子1Bと固相接合されている。本実施形態においては、第1表面層291bは、Ag（銀）を主成分とする。第1表面層291bの厚さは何ら限定されず、本実施形態においては、第1表面層291bは、基材層290bよりも薄い。第1表面層291bの厚さは、たとえば0.1 $\mu$ m以上15 $\mu$ m以下である。
- [0064] 第2導電部2Bの接合層22Bは、接合構造体B14において、第1接合層に相当する。接合層22Bは、本体層20Bのz方向のz1側に配置されている。接合層22Bは、第1表面層291bと固相接合されている。本実施形態においては、接合層22Bは、Ag（銀）を主成分とする。接合層22Bの厚さは何ら限定されず、たとえば0.1 $\mu$ m以上15 $\mu$ m以下である。
- [0065] なお、第1表面層291bおよび接合層22Bは、互いに固相接合が可能な構成であれば、主成分とされる金属は、何ら限定されない。
- [0066] 第2表面層292bは、基材層290bのz方向のz1側に配置されている。第2表面層292bは、支持基板3と固相接合されている。本実施形態

においては、第2表面層292bは、Ag（銀）を主成分とする。第2表面層292bの厚さは何ら限定されず、本実施形態においては、第2表面層292bは、基材層290bよりも薄い。第2表面層292bの厚さは、たとえば0.1 $\mu$ m以上15 $\mu$ m以下である。

[0067] 本実施形態の支持基板3は、接合層321Bをさらに有する。接合層321Bは、接合構造体B14において、第2接合層に相当する。接合層321Bは、第2部分32Bのz方向のz2側に配置されている。接合層321Bは、第2表面層292bと固相接合されている。本実施形態においては、接合層321Bは、Ag（銀）を主成分とする。接合層321Bの厚さは何ら限定されず、たとえば0.1 $\mu$ m以上15 $\mu$ m以下である。

[0068] なお、第2表面層292bおよび接合層321Bは、互いに固相接合が可能な構成であれば、主成分とされる金属は、何ら限定されない。

[0069] 複数の電力端子41～43：

複数の電力端子41～43はそれぞれ、板状の金属板からなる。この金属板の構成材料は、たとえばCuまたはCu合金である。図1～図5、図8および図10に示す例では、半導体装置A1は、1つの電力端子41、2つの電力端子42および2つの電力端子43を備える。

[0070] 電力端子41と2つの電力端子42との間には、上記第1電源電圧が印加される。電力端子41は、たとえば直流電源の正極に接続される端子（P端子）であり、2つの電力端子42はそれぞれ、たとえば直流電源の負極に接続される端子（N端子）である。この構成と異なり、電力端子41がN端子であり、2つの電力端子42がそれぞれP端子であってもよい。この場合には、端子の極性を変更したことに合わせて、パッケージ内部の配線を適宜変更すればよい。2つの電力端子43にはそれぞれ、上記第2電源電圧が印加される。2つの電力端子43はそれぞれ、複数の第1スイッチング素子1Aおよび複数の第2スイッチング素子1Bの各スイッチング動作によって電圧変換された電圧（上記第2電源電圧）を出力する出力端子である。複数の電力端子41～43はそれぞれ、樹脂部材8に覆われた部分と樹脂部材8から

露出する部分とを含む。

[0071] 電力端子41は、図8、図12および図19に示すように、第1導電部2Aと一体的に形成されている。この構成と異なり、電力端子41は、第1導電部2Aと分離され、第1導電部2Aに導通接合されていてもよい。電力端子41は、図8になどに示すように、複数の半導体素子1および第1導電部2A（支持導体2）よりもx2側に位置する。絶縁層31は、第1導電部2Aに導通し、且つ、第1導電部2Aを介して、複数の第1スイッチング素子1Aの裏面電極15（ドレイン電極）に導通する。電力端子41は、「第1電力端子」の一例である。

[0072] 2つの電力端子42はそれぞれ、図8および図11などに示すように、第1導電部2Aから離間する。2つの電力端子42にはそれぞれ、第2導通部材72が接合されている。2つの電力端子42はそれぞれ、図8に示すように、複数の半導体素子1および第1導電部2A（支持導体2）よりもx2側に位置する。2つの電力端子42はそれぞれ、第2導通部材72に導通し、第2導通部材72を介して、複数の第2スイッチング素子1Bの第2主面電極12（ソース電極）に導通する。各電力端子42は、「第2電力端子」の一例である。

[0073] 電力端子41および2つの電力端子42はそれぞれ、樹脂部材8から、x2側に突き出ている。電力端子41および2つの電力端子42は、互いに離間する。2つの電力端子42は、y方向において、電力端子41を挟んで互いに反対側に位置する。図6、図7および図9から理解されるように、電力端子41および2つの電力端子42は、y方向に見て互いに重なる。

[0074] 2つの電力端子43はそれぞれ、図8および図11に示すように、たとえば第2導電部2Bと一体的に形成されている。この構成と異なり、2つの電力端子43はそれぞれ、第2導電部2Bと分離され、第2導電部2Bに導通接合された構成でもよい。2つの電力端子43はそれぞれ、図8に示すように、複数の半導体素子1および第2導電部2B（支持導体2）よりも、x1側に位置する。各電力端子43は、第1導電部2Aに導通し、且つ、第1導

電部 2 A を介して、各第 2 スイッチング素子 1 B の裏面電極 1 5 (ドレイン) に導通する。なお、電力端子 4 3 の数は、2 つに限定されず、たとえば 1 つであってもよいし、3 つ以上であってもよい。たとえば、電力端子 4 3 が 1 つである場合、第 2 導電部 2 B の y 方向における中央部分に繋がっていることが望ましい。各電力端子 4 3 は、「第 3 電力端子」の一例である。

[0075] 複数の制御端子 4 4 :

複数の制御端子 4 4 はそれぞれ、複数の半導体素子 1 (複数の第 1 スイッチング素子 1 A および複数の第 2 スイッチング素子 1 B) の駆動を制御するためのピン状の端子である。複数の制御端子 4 4 はそれぞれ、たとえばプレフィット端子である。複数の制御端子 4 4 の各 z 方向の寸法は、たとえば 10 mm 以上 30 mm 以下 (一例では 15.8 mm) である。制御端子 4 4 の z 方向の寸法は、後述のホルダ 4 4 1 の下端 (z 1 側側の端部) から後述の金属ピン 4 4 2 の上端 (z 2 側側の端部) までの長さである。複数の制御端子 4 4 は、図 1 および図 4 に示すように、複数の第 1 制御端子 4 5 および複数の第 2 制御端子 4 6 を含む。複数の第 1 制御端子 4 5 は、複数の第 1 スイッチング素子 1 A の制御に用いられる。複数の第 2 制御端子 4 6 は、複数の第 2 スイッチング素子 1 B の制御に用いられる。

[0076] 複数の第 1 制御端子 4 5 :

複数の第 1 制御端子 4 5 は、図 4 に示すように、y 方向に間隔を隔てて配置されている。複数の第 1 制御端子 4 5 は、信号基板 5 (第 1 信号基板 5 A) に固定される。複数の第 1 制御端子 4 5 は、図 5 ~ 図 7 および図 1 2 に示すように、x 方向において、複数の第 1 スイッチング素子 1 A と複数の電力端子 4 1, 4 2 との間に位置する。複数の第 1 制御端子 4 5 は、図 1 および図 4 に示すように、第 1 駆動端子 4 5 A および複数の第 1 検出端子 4 5 B ~ 4 5 E を含む。

[0077] 第 1 駆動端子 4 5 A は、複数の第 1 スイッチング素子 1 A の駆動信号入力用の端子 (ゲート端子) である。第 1 駆動端子 4 5 A には、複数の第 1 スイッチング素子 1 A を駆動させるための第 1 駆動信号が入力される (たとえば

ゲート電圧が印加される)。

[0078] 第1検出端子45Bは、複数の第1スイッチング素子1Aのソース信号検出用の端子(ソースセンス端子)である。第1検出端子45Bは、複数の第1スイッチング素子1Aの導通状態を検出するための第1検出信号が出力される。たとえば、第1検出端子45Bから、第1検出信号として、第1スイッチング素子1Aの第2主面電極12(ソース電極)に印加される電圧(ソース電流に対応した電圧)が検出される。

[0079] 第1検出端子45Cおよび第1検出端子45Dは、2つのサーミスタ17の一方にそれぞれ導通する端子である。当該一方のサーミスタ17は、後述の第1信号基板5Aに搭載されたものである。

[0080] 第1検出端子45Eは、複数の第1スイッチング素子1Aのドレイン信号検出用の端子(ドレインセンス端子)である。第1検出端子45Eから、複数の第1スイッチング素子1Aの各裏面電極15(ドレイン電極)に印加される電圧(ドレイン電流に対応した電圧)が検出される。

[0081] 複数の第2制御端子46:

複数の第2制御端子46は、図4に示すように、y方向に間隔を隔てて配置されている。複数の第2制御端子46は、信号基板5(第2信号基板5B)に固定される。複数の第2制御端子46は、図5~図7および図12に示すように、x方向において、複数の第2スイッチング素子1Bと複数の電力端子43との間に位置する。複数の第2制御端子46は、図1および図4に示すように、第2駆動端子46Aおよび複数の第2検出端子46B~46Eを含む。

[0082] 第2駆動端子46Aは、複数の第2スイッチング素子1Bの駆動信号入力用の端子(ゲート端子)である。第2駆動端子46Aには、複数の第2スイッチング素子1Bを駆動させるための第2駆動信号が入力される(たとえばゲート電圧が印加される)。

[0083] 第2検出端子46Bは、複数の第2スイッチング素子1Bのソース信号検出用の端子(ソースセンス端子)である。複数の第2検出端子46Bは、複

数の第2スイッチング素子1Bの導通状態を検出するための第2検出信号が出力される。たとえば、第2検出端子46Bから、第2検出信号として、第2スイッチング素子1Bの第2主面電極12（ソース電極）に印加される電圧（ソース電流に対応した電圧）が検出される。

[0084] 第2検出端子46Cおよび第2検出端子46Dは、2つのサーミスタ17の他方にそれぞれ導通する端子である。当該他方のサーミスタ17は、後述の第2信号基板5Bに搭載されたものである。

[0085] 第2検出端子46Eは、複数の第2スイッチング素子1Bのドレイン信号検出用の端子（ドレインセンス端子）である。第2検出端子46Eから、複数の第2スイッチング素子1Bの各裏面電極15（ドレイン電極）に印加される電圧（ドレイン電流に対応した電圧）が検出する。

[0086] 複数の制御端子44：

複数の制御端子44（複数の第1制御端子45および複数の第2制御端子46）はそれぞれ、ホルダ441および金属ピン442を含む。

[0087] ホルダ441は、導電性材料からなる。ホルダ441は、図13および図16に示すように、導電性接合材449を介して、信号基板5（後述の第1金属層52）に接合される。ホルダ441は、筒状部、上端鏝部および下端鏝部を含む。上端鏝部は、筒状のz方向上方（z2側）の端部に繋がり、下端鏝部は、筒状部のz方向下方（z1側）の端部に繋がる。ホルダ441のうちの少なくとも上端鏝部および筒状部に、金属ピン442が挿通されている。ホルダ441は、樹脂部材8に覆われている。

[0088] 金属ピン442は、z方向に延びる棒状部材である。金属ピン442は、ホルダ441に圧入されることで支持されている。金属ピン442は、少なくともホルダ441を介して、信号基板5（後述の第1金属層52）に導通する。図13および図16に示すように、金属ピン442の下端（z1側側の端部）がホルダ441の挿通孔内で導電性接合材449に接している場合には、金属ピン442は、導電性接合材449を介しても、信号基板5に導通する。

[0089] 信号基板 5 :

信号基板 5 は、複数の制御端子 4 4 を支持する。信号基板 5 は、z 方向において、支持導体 2 と各制御端子 4 4 との間に介在する。信号基板 5 の厚さ（厚さ方向 z の寸法）は、たとえば 0.5 mm 以上 1.0 mm 以下である。各制御端子 4 4 の厚さ方向 z の寸法は、当該信号基板 5 の厚さ（厚さ方向 z の寸法）に対して 20 倍以上 30 倍以下である。信号基板 5 は、第 1 信号基板 5 A および第 2 信号基板 5 B を含む。

[0090] 第 1 信号基板 5 A は、図 5、図 1 2 および図 1 3 に示すように、第 1 導電部 2 A 上に配置され、複数の第 1 制御端子 4 5 を支持する。第 1 信号基板 5 A は、図 1 2、図 1 3 および図 1 9 に示すように、接着層 6（第 1 接着体 6 A）を介して、第 1 導電部 2 A に接着される。

[0091] 第 2 信号基板 5 B は、図 5、図 1 2 および図 1 6 に示すように、第 2 導電部 2 B 上に配置され、複数の第 2 制御端子 4 6 を支持する。第 2 信号基板 5 B は、図 1 2、図 1 6 および図 1 9 に示すように、接着層 6（第 2 接着体 6 B）を介して、第 2 導電部 2 B に接着される。

[0092] 信号基板 5（第 1 信号基板 5 A および第 2 信号基板 5 B のそれぞれ）は、たとえば DBC 基板で構成される。信号基板 5 は、互いに積層された絶縁基板 5 1、第 1 金属層 5 2 および第 2 金属層 5 3 を有する。以下で説明する絶縁基板 5 1、第 1 金属層 5 2 および第 2 金属層 5 3 は、特段の断りがない限り、第 1 信号基板 5 A および第 2 信号基板 5 B で共通する。

[0093] 絶縁基板 5 1 は、たとえばセラミックにより構成される。このようなセラミックスとしては、たとえば AlN、SiN または Al<sub>2</sub>O<sub>3</sub> などが採用される。絶縁基板 5 1 は、たとえば平面視矩形形状である。絶縁基板 5 1 は、図 1 3 および図 1 6 に示すように、主面 5 1 a および裏面 5 1 b を有する。主面 5 1 a および裏面 5 1 b は、z 方向に離間する。主面 5 1 a は、z 2 側を向き、裏面 5 1 b は、z 1 側を向く。裏面 5 1 b は、支持導体 2 に対向する。

[0094] 第 2 金属層 5 3 は、図 1 3 および図 1 6 に示すように、絶縁基板 5 1 の裏

面51bに形成される。第2金属層53は、接着層6を介して、支持導体2に接着される。第1信号基板5Aの第2金属層53は、後述の第1接着体6Aを介して、第1導電部2Aに接着され、第2信号基板5Bの第2金属層53は、第2接着体6Bを介して、第2導電部2Bに接着される。第2金属層53は、たとえばCuまたはCu合金により構成される。第2金属層53が、「金属層」の一例である。

[0095] 第1金属層52は、図13および図16に示すように、絶縁基板51の主面51aに形成される。複数の制御端子44はそれぞれ、第1金属層52に立設されている。第1信号基板5Aの第1金属層52には、複数の第1制御端子45が立設され、第2信号基板5Bの第1金属層52には、複数の第2制御端子46が立設される。第1金属層52は、たとえばCuまたはCu合金により構成される。図8に示すように、第1金属層52は、複数の配線層521～526を含む。複数の配線層521～526は、互いに離間し、絶縁されている。

[0096] 配線層521は、図8に示すように、複数のワイヤ73が接合され、各ワイヤ73を介して、各半導体素子1の第1主面電極11（ゲート電極）に導通する。第1信号基板5Aの配線層521は、各ワイヤ73を介して、各第1スイッチング素子1Aの第1主面電極11に導通する。第2信号基板5Bの配線層521は、各ワイヤ73を介して、各第2スイッチング素子1Bの第1主面電極11に導通する。

[0097] 配線層526は、図8に示すように、複数のワイヤ75が接合され、各ワイヤ75を介して、配線層521に導通する。第1信号基板5Aの配線層526は、各ワイヤ75、第1信号基板5Aの配線層521および各ワイヤ73を介して、各第1スイッチング素子1Aの第1主面電極11（ゲート電極）に導通する。第2信号基板5Bの配線層526は、各ワイヤ75、第2信号基板5Bの配線層521および各ワイヤ73を介して、各第2スイッチング素子1Bの第1主面電極11（ゲート電極）に導通する。第1信号基板5Aの配線層526には、第1駆動端子45Aが接合されており、第2信号基

板5Bの配線層526には、第2駆動端子46Aが接合されている。

[0098] 配線層522は、図8に示すように、複数のワイヤ74が接合され、各ワイヤ74を介して、各半導体素子1の第3主面電極13（ソースセンス電極）に導通する。第1信号基板5Aの配線層522は、各ワイヤ74を介して、各第1スイッチング素子1Aの第3主面電極13（ソースセンス電極）に導通する。第2信号基板5Bの配線層522は、各ワイヤ74を介して、各第2スイッチング素子1Bの第3主面電極13（ソースセンス電極）に導通する。第1信号基板5Aの配線層522には、第1検出端子45Bが接合されており、第2信号基板5Bの配線層522には、第2検出端子46Bが接合されている。

[0099] 配線層523および配線層524は、図8に示すように、サーミスタ17が接合されている。図8に示すように、第1信号基板5Aの配線層523および配線層524には、第1検出端子45Cおよび第1検出端子45Dがそれぞれ接合されている。第2信号基板5Bの配線層523および配線層524には、第2検出端子46Cおよび第2検出端子46Dがそれぞれ接合されている。

[0100] 配線層525は、各ワイヤ76が接合され、各ワイヤ76を介して、支持導体2に導通する。図8に示すように、第1信号基板5Aの配線層525は、ワイヤ76を介して、第1導電部2Aに導通する。第2信号基板5Bの配線層525は、ワイヤ76を介して、第2導電部2Bに導通する。第1信号基板5Aの配線層525には、第1検出端子45Eが接合されている。第2信号基板5Bの配線層525には、第2検出端子46Eが接合されている。

[0101] なお、信号基板5は、DBC基板ではなく、ガラスエポキシ基板などのプリント基板であってもよい。当該プリント基板には、上記配線層521～526が少なくとも形成されている。

[0102] 接着層6：

接着層6は、信号基板5と支持導体2とを接着する。接着層6は、z方向において信号基板5と支持導体2との間に介在する。接着層6は、平面視に

において、信号基板5に重なる。接着層6の厚さ（z方向の寸法）は、たとえば $20\mu\text{m}$ 以上 $200\mu\text{m}$ 以下（一例では $85\mu\text{m}$ ）である。

[0103] 接着層6は、図12～図16に示すように、第1接着体6Aおよび第2接着体6Bを含む。第1接着体6Aは、第1信号基板5Aと第1導電部2Aとを接着する。第1接着体6Aは、第1信号基板5Aと第1導電部2Aとの間に介在し、平面視において第1信号基板5Aに重なる。第2接着体6Bは、第2信号基板5Bと第2導電部2Bとを接着する。第2信号基板5Bと第2導電部2Bとの間に介在し、平面視において第2信号基板5Bに重なる。

[0104] 接着層6（第1接着体6Aおよび第2接着体6Bのそれぞれ）は、図13および図16に示すように、絶縁層61および一对の粘着層62、63を含む。以下に説明する絶縁層61および一对の粘着層62、63は、特段の断りがない限り、第1接着体6Aおよび第2接着体6Bのそれぞれで共通する。

[0105] 絶縁層61は、樹脂材料により構成される。当該樹脂材料は、耐熱性および絶縁性を考慮すると、たとえばポリイミドが好ましい。第1接着体6Aの絶縁層61は、第1信号基板5Aと第1導電部2Aとを電氣的に絶縁し、第2接着体6Bの絶縁層61は、第2信号基板5Bと第2導電部2Bとを電氣的に絶縁する。絶縁層61は、たとえばフィルム状である。絶縁層61は、フィルム状ではなく、シート状あるいは板状であってもよい。本開示において、シートとは、フィルムと同様に柔らかいが、フィルムよりも厚いものである。板状とは、フィルムおよびシートよりも硬く、曲げにくいものであり、シートよりも厚いものである。なお、フィルム、シート、板状の定義は、これに限定されず、慣用的な分類に沿って適宜変更される。絶縁層61の厚さ（厚さ方向zの寸法）は、各制御端子44の厚さ方向zの寸法に対して0.1%以上1.0%以下である。また、絶縁層61の厚さ（厚さ方向zの寸法）は、接着層6の厚さ（厚さ方向zの寸法）に対して20%以上75%以下である。絶縁層61の厚さ（z方向の寸法）は、たとえば $10\mu\text{m}$ 以上 $150\mu\text{m}$ 以下（一例では $25\mu\text{m}$ ）である。

- [0106] 絶縁層61は、図13および図16に示すように、主面61aおよび裏面61bを含む。主面61aおよび裏面61bは、z方向に離間する。主面61aは、z2側（z方向上方）を向き、裏面61bは、z1側（z方向下方）を向く。
- [0107] 一对の粘着層62, 63は、絶縁層61のz方向の両面に形成される。一对の粘着層62, 63はそれぞれ、たとえばシリコン系粘着剤、または、アクリル系粘着剤などのいずれかにより構成される。一对の粘着層62, 63の各々の厚さ（厚さ方向zの寸法）は、絶縁層61の厚さ（厚さ方向zの寸法）に対して10%以上150%以下である。一对の粘着層62, 63の各厚さ（z方向の寸法）は、たとえば5 $\mu$ m以上50 $\mu$ m以下（一例では30 $\mu$ m）である。
- [0108] 粘着層62は、図13および図16に示すように、主面61aに形成される。粘着層62は、z方向において、絶縁層61と信号基板5との間に介在する。第1接着体6Aの粘着層62は、z方向において、第1接着体6Aの絶縁層61と第1信号基板5Aとの間に介在し、第2接着体6Bの粘着層62は、z方向において、第2接着体6Bの絶縁層61と第2信号基板5Bとの間に介在する。
- [0109] 粘着層63は、図13および図16に示すように、裏面61bに形成される。粘着層63は、z方向において、絶縁層61と支持導体2との間に介在する。第1接着体6Aの粘着層63は、z方向において、第1接着体6Aの絶縁層61と第1導電部2Aとの間に介在し、第2接着体6Bの粘着層63は、第2接着体6Bの絶縁層61と第2導電部2Bとの間に介在する。
- [0110] 上記した構成から理解されるように、本開示の接着層6は、たとえば両面粘着テープのようなものである。半導体装置A1の製造工程において、接着層6は、たとえば複数の制御端子44が接合された信号基板5に貼り付けられた後、支持導体2に貼り付けられる。なお、接着層6は、両面粘着テープでなくてもよく、2つの部材を接着する際に、はんだのように一時的に熔融状態となるものを除く。換言すると、接着層6は、2つの部材を接着する際

に、溶融状態になることなく、接着可能なものであればよい。

[0111] 第1導通部材71および第2導通部材72：

第1導通部材71および第2導通部材72は、支持導体2とともに、複数の半導体素子1（複数の第1スイッチング素子1Aおよび複数の第2スイッチング素子1B）によってスイッチングされる主回路電流の経路を構成する。第1導通部材71および第2導通部材72は、第1導電部2Aおよび第2導電部2Bの各主面201からz2側に離間し、且つ、平面視において各主面201に重なる。第1導通部材71および第2導通部材72はそれぞれ、たとえば金属製の板材により構成される。当該金属は、たとえばCuまたはCu合金である。第1導通部材71および第2導通部材72には、適宜折り曲げ加工が施されている。

[0112] 第1導通部材71は、複数の第1スイッチング素子1Aと第2導電部2Bとを導通させる。第1導通部材71は、図5および図8に示すように、各第1スイッチング素子1Aの第2主面電極12（ソース電極）と第2導電部2Bとに接続され、各第1スイッチング素子1Aの第2主面電極12と第2導電部2Bとを導通させる。第1導通部材71は、複数の第1スイッチング素子1Aによってスイッチングされる主回路電流の経路を構成する。第1導通部材71は、図5、図8および図12に示すように、主部711、複数の第1接続端部712および複数の第2接続端部713を含む。

[0113] 主部711は、x方向において、複数の第1スイッチング素子1Aと第2導電部2Bとの間に位置する。主部711は、y方向に延びる帯状の部位である。図12に示すように、主部711は、複数の第1接続端部712および複数の第2接続端部713よりも、z2側に位置する。本実施形態では、図5、図8および図12に示すように、主部711には、複数の開口711aが形成されている。複数の開口711aはそれぞれ、第1導通部材71（主部711）をz方向に貫通する貫通孔である。複数の開口711aは、y方向に間隔を隔てて並ぶ。複数の開口711aは、平面視において、第2導通部材72に重ならない。複数の開口711aは、樹脂部材8を形成するた

めに流動性の樹脂材料を注入する際に、主部711（第1導通部材71）の付近において上側（z2側側）と下側（z1側側）との間で樹脂材料を流動しやすくするために形成される。主部711の形状は、本構成に限定されず、たとえば開口711aが形成されていなくてもよい。

[0114] 複数の第1接続端部712および複数の第2接続端部713はそれぞれ、主部711に繋がっており、複数の第1スイッチング素子1Aに対向して配置される。図12に示すように、複数の第1接続端部712はそれぞれ、導電性接合材719を介して、複数の第1スイッチング素子1Aの各第2主面電極12に接合される。複数の第2接続端部713はそれぞれ、導電性接合材719を介して、第2導電部2Bに接合される。導電性接合材719は、たとえば、はんだ、金属ペースト材あるいは焼結金属などである。図8、図12、図13および図21に示す例では、各第1接続端部712には、開口712aが形成される。各開口712aは、平面視において、各第1スイッチング素子1Aの中央部に重なって形成されることが好ましい。各開口712aは、図12、図13および図21に示すように、たとえば各第1接続端部712をz方向に貫通する貫通孔である。開口712aは、たとえば支持導体2に対して第1導通部材71を位置決めする際に使用される。

[0115] 図示された例では、複数の第1接続端部712および複数の第2接続端部713はそれぞれ、主部711によって互いに繋がっているが、この構成とは異なり、主部711が複数の部位に分割され、当該分割された部位が複数の第1接続端部712の各々と複数の第2接続端部713の各々とを繋ぐ構成であってもよい。つまり、複数の第1スイッチング素子1Aの各々に対して、それぞれ1つの第1導通部材71を備える構成であってもよい。

[0116] 第2導通部材72は、図5に示すように、各第2スイッチング素子1Bの第2主面電極12（ソース電極）と、複数の電力端子42とに接続され、各第2スイッチング素子1Bの第2主面電極12と各電力端子42とを導通させる。第2導通部材72は、複数の第2スイッチング素子1Bによってスイッチングされる主回路電流の経路を構成する。第2導通部材72は、x方向

の最大寸法がたとえば25mm以上40mm以下であり、y方向の最大寸法がたとえば30mm以上45mm以下である。図5などに示すように、第2導通部材72は、一对の第1配線部721、第2配線部722、第3配線部723および第4配線部724を含む。

[0117] 一对の第1配線部721の一方は、一对の電力端子42の一方に接続され、一对の第1配線部721の他方は、一对の電力端子42の他方に接続される。図5に示すように、一对の第1配線部721はそれぞれ、平面視において、x方向に延びる帯状である。一对の第1配線部721は、y方向に離間し、且つ、平行（あるいは略平行）に配置されている。図5および図11に示すように、一对の第1配線部721はそれぞれ、第1端部721aを含む。各第1端部721aは、各第1配線部721のうちのx2側側の端部である。図11に示すように、各第1端部721aは、各第1配線部721の他の部分よりも、z1側に位置する。図11に示すように、各第1端部721aは、一对の電力端子42のそれぞれに、導電性接合材729を介して接合される。導電性接合材729は、たとえばはんだ、金属ペーストあるいは焼結金属などである。図5に示す例では、各第1配線部721には、複数の切り欠きが形成されている。各第1配線部721に形成された複数の切り欠きは、平面視においてたとえば半円状であり、平面視において支持導体2に重なる。

[0118] 第2配線部722は、図5に示すように、一对の第1配線部721の両方に繋がる。第2配線部722は、y方向において、一对の第1配線部721に挟まれている。第2配線部722は、平面視において、y方向に延びる帯状である。第2配線部722は、図5に示すように、複数の第2スイッチング素子1Bに重なる。第2配線部722は、各第2スイッチング素子1Bに接続される。第2配線部722は、複数の凹状領域722aを有する。複数の凹状領域722aはそれぞれ、図20に示すように、第2配線部722の他の部位よりもz方向下方（z1側）に突き出ている。第2配線部722の各凹状領域722aと、複数の第2スイッチング素子1Bの各第2主面電極

12（ソース電極）とは、図20に示すように、導電性接合材729を介して接合される。図5および図20に示す例では、各凹状領域722aには、スリットが形成されている。スリットは、各凹状領域722aのy方向における中央に位置し、x方向に延びる。各凹状領域722aは、スリットを挟んでy方向に離れた2つの部位からなる。なお、各凹状領域722aにスリットが形成されていなくてもよい。

[0119] 第3配線部723は、図5に示すように、一对の第1配線部721の両方に繋がる。第1配線部721は、y方向において、一对の第1配線部721に挟まれている。第3配線部723は、平面視において、y方向に延びる带状である。第3配線部723は、x方向において、第2配線部722と離間する。第3配線部723は、第2配線部722と平行（あるいは略平行）に配置される。第3配線部723は、図5に示すように、平面視において、複数の第1スイッチング素子1Aに重なる。第3配線部723は、z方向において、第1導通部材71の各第1接続端部712よりも上方（z2側）に位置する。第3配線部723は、平面視において、第1接続端部712に重なる。

[0120] 複数の第4配線部724はそれぞれ、図5に示すように、第2配線部722および第3配線部723の両方に繋がる。各第4配線部724は、x方向において、第2配線部722と第3配線部723とに挟まれている。各第4配線部724は、平面視において、x方向に延びる带状である。複数の第4配線部724は、y方向に離間しており、平面視において、平行（あるいは略平行）に配置される。また、複数の第4配線部724は、一对の第1配線部721と平行（あるいは略平行）に配置される。複数の第4配線部724はそれぞれ、x方向における一端が、第3配線部723のうちの平面視においてy方向に隣接する2つの第1スイッチング素子1Aの間に重なる部分に繋がる。また、複数の第4配線部724はそれぞれ、x方向における他端が、第2配線部722のうちの平面視においてy方向に隣接する2つの第2スイッチング素子1Bの間に重なる部分に繋がる。複数の第4配線部724は

それぞれ、たとえば第1導通部材71（主部711）に重なる。

[0121] 複数のワイヤ73～76：

複数のワイヤ73～76はそれぞれ、たとえばボンディングワイヤであり、互いに離間する2つの部位を導通させる。各ワイヤ73～76の構成材料は、たとえばAu（金）、AlあるいはCuのいずれかを含む。

[0122] 複数のワイヤ73は、配線層521と各半導体素子1の第1主面電極11（ゲート電極）とに接合され、これらを導通させる。図8に示すように、複数のワイヤ73は、第1信号基板5Aの配線層521と各第1スイッチング素子1Aの第1主面電極11に接合されたものと、第2信号基板5Bの配線層521と各第2スイッチング素子1Bの第1主面電極11に接合されたものを含む。

[0123] 複数のワイヤ74は、配線層522と各半導体素子1の第3主面電極13（ソースセンス電極）とに接合され、これらを導通させる。図8に示すように、複数のワイヤ74は、第1信号基板5Aの配線層522と各第1スイッチング素子1Aの第3主面電極13に接合されたものと、第2信号基板5Bの配線層522と各第2スイッチング素子1Bの第3主面電極13に接合されたものを含む。複数のワイヤ74は、各半導体素子1に第3主面電極13がない構成では、各第3主面電極13の代わりに、各第2主面電極12に接合される。

[0124] 複数のワイヤ75は、配線層521と配線層526とに接合され、これらを導通させる。図8に示すように、複数のワイヤ75は、第1信号基板5Aの配線層521と第1信号基板5Aの配線層526とに接合されたものと、第2信号基板5Bの配線層521と第2信号基板5Bの配線層526とに接合されたものを含む。

[0125] 複数のワイヤ76は、配線層525と支持導体2とに接合され、これらを導通させる。図8に示すように、複数のワイヤ76は、第1信号基板5Aの配線層525と第1導電部2Aとに接合されたものと、第2信号基板5Bの配線層525と第2導電部2Bとに接合されたものを含む。

[0126] 樹脂部材 8 :

樹脂部材 8 は、複数の半導体素子 1（複数の第 1 スイッチング素子 1 A および複数の第 2 スイッチング素子 1 B）を保護する封止材である。樹脂部材 8 は、複数の半導体素子 1（複数の第 1 スイッチング素子 1 A および複数の第 2 スイッチング素子 1 B）と、支持導体 2（第 1 導電部 2 A および第 2 導電部 2 B）と、支持基板 3（第 2 金属層 3 3 の下面を除く）と、複数の電力端子 4 1 ~ 4 3 の一部ずつと、複数の制御端子 4 4 の一部ずつと、信号基板 5（第 1 信号基板 5 A および第 2 信号基板 5 B）と、接着層 6（第 1 接着体 6 A および第 2 接着体 6 B）と、第 1 導通部材 7 1 と、第 2 導通部材 7 2 と、複数のワイヤ 7 3 ~ 7 6 とを覆っている。樹脂部材 8 は、たとえば黒色のエポキシ樹脂により構成される。樹脂部材 8 は、たとえばモールド成形により形成される。樹脂部材 8 は、たとえば x 方向の寸法が 3 5 mm 以上 6 0 mm 以下程度であり、たとえば y 方向の寸法が 3 5 mm 以上 5 0 mm 以下程度であり、たとえば z 方向の寸法が 4 mm 以上 1 5 mm 以下程度である。これらの寸法は、各方向に沿う最大部分の大きさである。樹脂部材 8 は、樹脂主面 8 1、樹脂裏面 8 2 および複数の樹脂側面 8 3 1 ~ 8 3 4 を有する。

[0127] 樹脂主面 8 1 および樹脂裏面 8 2 は、図 6、図 7、図 9、図 1 1、図 1 2 および図 1 9 ~ 図 2 2 に示すように、z 方向に離間する。樹脂主面 8 1 は、z 2 側を向き、樹脂裏面 8 2 は、z 1 側を向く。樹脂主面 8 1 から複数の制御端子 4 4（複数の第 1 制御端子 4 5 および複数の第 2 制御端子 4 6）が突き出ている。樹脂裏面 8 2 は、図 1 0 に示すように、平面視において、支持基板 3 の第 2 金属層 3 3 の下面を囲む枠状である。当該第 2 金属層 3 3 の下面は、樹脂裏面 8 2 から露出し、たとえば樹脂裏面 8 2 と面一である。複数の樹脂側面 8 3 1 ~ 8 3 4 はそれぞれ、樹脂主面 8 1 および樹脂裏面 8 2 の双方に繋がり、且つ、z 方向においてこれらに挟まれている。図 4 などに示すように、樹脂側面 8 3 1 と樹脂側面 8 3 2 とは、x 方向に離間する。樹脂側面 8 3 1 は、x 1 側を向き、樹脂側面 8 3 2 は、x 2 側を向く。樹脂側面 8 3 1 から 2 つの電力端子 4 3 が突き出しており、樹脂側面 8 3 2 から複数の

電力端子 4 1, 4 2 が突き出ている。図 4 などに示すように、樹脂側面 8 3 3 と樹脂側面 8 3 4 とは、y 方向に離間する。樹脂側面 8 3 3 は、y 1 側を向き、樹脂側面 8 3 4 は、y 2 側を向く。

[0128] 樹脂側面 8 3 2 には、図 4 に示すように複数の凹部 8 3 2 a が形成されている。各凹部 8 3 2 a は、平面視において、x 方向に窪んだ部位である。複数の凹部 8 3 2 a は、平面視において、電力端子 4 1 と 2 つの電力端子 4 2 の一方との間に形成されたものと、電力端子 4 1 と 2 つの電力端子 4 2 の他方との間に形成されたものがある。複数の凹部 8 3 2 a は、電力端子 4 1 と 2 つの電力端子 4 2 の一方との樹脂側面 8 3 2 に沿う沿面距離、および、電力端子 4 1 と 2 つの電力端子 4 2 の他方との樹脂側面 8 3 2 に沿う沿面距離を大きくするために設けられている。

[0129] 樹脂部材 8 は、図 1 1 および図 1 2 などに示すように、複数の第 1 突出部 8 5 1、複数の第 2 突出部 8 5 2 および樹脂空隙部 8 6 を有する。

[0130] 複数の第 1 突出部 8 5 1 はそれぞれ、樹脂主面 8 1 から z 方向に突出する。複数の第 1 突出部 8 5 1 は、平面視において、樹脂部材 8 の四隅付近に配置されている。各第 1 突出部 8 5 1 の先端 (z 2 側の端部) には、第 1 突出端面 8 5 1 a が形成されている。複数の第 1 突出部 8 5 1 の各第 1 突出端面 8 5 1 a は、樹脂主面 8 1 と平行 (あるいは略平行) である。複数の第 1 突出端面 8 5 1 a は、同一平面 (x-y 平面) 上に配置される。各第 1 突出部 8 5 1 は、たとえば有底中空の円錐台状である。複数の第 1 突出部 8 5 1 は、制御用の回路基板などに半導体装置 A 1 が搭載される際に、スペーサーとして利用される。当該制御用の回路基板は、半導体装置 A 1 によって生成された電源を利用する機器が有するものである。図 1 1 に示すように、複数の第 1 突出部 8 5 1 はそれぞれ、凹部 8 5 1 b と、当該凹部 8 5 1 b に形成された内壁面 8 5 1 c とを有する。各第 1 突出部 8 5 1 の形状は柱状であればよく、円柱状であることが好ましい。凹部 8 5 1 b の形状は円柱状であって、平面視において内壁面 8 5 1 c は単一の真円状であることが好ましい。

[0131] 半導体装置 A 1 は、ねじ止めなどの方法によって、上記制御用の回路基板

などに固定される場合がある。この場合には、各第1突出部851の凹部851bの内壁面851cに、雌ねじのねじ山を形成することが可能である。各第1突出部851の凹部851bにインサートナットなどを埋め込んでもよい。

[0132] 複数の第2突出部852は、図12などに示すように、樹脂主面81からz方向に突出する。複数の第2突出部852は、平面視において複数の制御端子44に重なる。複数の制御端子44の各金属ピン442は、各第2突出部852から突き出ている。各第2突出部852は、円錐台状である。各第2突出部852は、各制御端子44においてホルダ441と金属ピン442の一部とを覆う。

[0133] 樹脂空隙部86は、図11に示すように、z方向において、樹脂主面81から第1導電部2Aおよび第2導電部2Bの各主面201に通じる。樹脂空隙部86は、テーパ状に形成されており、樹脂主面81から各主面201にz方向に向かうにつれて、z方向に直交する平面による断面積が小さくなる。樹脂空隙部86は、樹脂部材8のモールド成形時に形成され、当該モールド成形時に樹脂部材8が形成されない部分である。

[0134] 樹脂空隙部86は、たとえば樹脂部材8のモールド成形の際に押さえ部材が占めていたことによって流動性の樹脂材料が充填されなかったことで形成される。当該押さえ部材は、モールド成形の際に、各主面201への押圧力を与えるものであり、第2導通部材72の各第1配線部721に形成された上記切り欠きに挿通される。これにより、第2導通部材72に干渉することなく上記押さえ部材により支持導体2（第1導電部2Aおよび第2導電部2B）を押さえることができ、支持導体2が接合される支持基板3の反りを抑制することができる。

[0135] 本実施形態において、半導体装置A1は、図11に示すように、樹脂充填部88を備える。樹脂充填部88は、樹脂空隙部86を埋めるように、樹脂空隙部86に充填されている。樹脂充填部88は、たとえば樹脂部材8と同様にエポキシ樹脂からなるが、樹脂部材8と異なる樹脂材料であってもよい。

- 。
- [0136] 次に、接合構造体B 1 1～B 1 4および半導体装置A 1の作用について説明する。
- [0137] 接合構造体B 1 1～B 1 4は、中間接合材1 9 a, 1 9 b, 2 9 a, 2 0 bを有する。中間接合材1 9 a, 1 9 b, 2 9 a, 2 0 bは、基材層1 9 0 a, 1 9 0 b, 2 9 0 a, 2 9 0 bを有する。基材層1 9 0 a, 1 9 0 b, 2 9 0 a, 2 9 0 bは、Cu（銅）を主成分とする。このため、基材層1 9 0 a, 1 9 0 b, 2 9 0 a, 2 9 0 bに相当する部材が、たとえばAl（アルミニウム）を主成分とする場合と比較して、より効率よく電熱することが可能である。したがって、より熱を伝えやすい接合構造体B 1 1～B 1 4および半導体装置A 1を提供することができる。
- [0138] 第1表面層1 9 1 a, 1 9 1 b, 2 9 1 a, 2 9 1 bと第1接合層に相当する部材とは、Ag（銀）を主成分とする。また、第2表面層1 9 2 a, 1 9 2 b, 2 9 2 a, 2 9 2 bと第2接合層に相当する部材とは、Ag（銀）を主成分とする。これにより、これらの固相接合をより確実に行うことが可能であり、接合構造体B 1 1～B 1 4を高めることができる。
- [0139] 半導体装置A 1は、複数の第1スイッチング素子1 Aおよび複数の第2スイッチング素子1 Bと支持導体2と支持基板3とが、接合構造体B 1 1～B 1 4を介して接合された構成である。これにより、複数の第1スイッチング素子1 Aおよび複数の第2スイッチング素子1 Bからの熱を、接合構造体B 1 1, B 1 2、支持導体2、接合構造体B 1 3, B 1 4および支持基板3を介して、半導体装置A 1外に効率よく放熱することが可能である。
- [0140] 図2 3～図2 5は、本開示の変形例および他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。また、各変形例および各実施形態における各部の構成は、技術的な矛盾を生じない範囲において相互に適宜組み合わせ可能である。
- [0141] 半導体装置A 1 1 :

図23は、半導体装置A1の第1変形例を示している。本変形例の半導体装置A11は、ヒートシンク9をさらに備える。ヒートシンク9は、複数の第1スイッチング素子1Aおよび第2スイッチング素子1Bからの熱をより効率よく放熱するためのものである。ヒートシンク9の具体的構成は何ら限定されない。図24に示すように、本実施形態のヒートシンク9は、本体部90および接合層91を有する。

[0142] 本体部90は、たとえばAl（アルミニウム）等の金属からなる。図示された例においては、本体部90は、z方向のz2側に位置する部分と、当該部分からz方向のz1側に各々が延びる複数のフィンとを有する。

[0143] 図23に示すように、ヒートシンク9は、中間接合材39を介して支持基板3に接合されている。図24に示すように、半導体装置A11は、接合構造体B15を有する。接合構造体B15は、第1接合対象物としての支持基板3と、第2接合対象物としてのヒートシンク9とが、中間接合材39を介して接合された構造体である。

[0144] 中間接合材39は、基材層390、第1表面層391および第2表面層392を有する。

[0145] 基材層390は、Cu（銅）を主成分とする。基材層390の厚さは何ら限定されず、本実施形態においては、基材層390は、第1表面層391および第2表面層392よりも厚い。基材層390の厚さは、たとえば50 $\mu$ m以上300 $\mu$ m以下である。

[0146] 第1表面層391は、基材層390のz方向のz2側に配置されている。第1表面層391は、支持基板3と固相接合されている本実施形態においては、第1表面層391は、Ag（銀）を主成分とする。第1表面層391の厚さは何ら限定されず、本実施形態においては、第1表面層391は、基材層390よりも薄い。第1表面層391の厚さは、たとえば0.1 $\mu$ m以上15 $\mu$ m以下である。

[0147] 支持基板3は、接合層331をさらに有する。接合層331は、接合構造体B15において、第1接合層に相当する。接合層331は、第2金属層3

3のz方向のz1側に配置されている。接合層331は、第1表面層391と固相接合されている。本実施形態においては、接合層331は、Ag（銀）を主成分とする。接合層331の厚さは何ら限定されず、たとえば0.1 $\mu$ m以上15 $\mu$ m以下である。

[0148] なお、第1表面層391および接合層331は、互いに固相接合が可能な構成であれば、主成分とされる金属は、何ら限定されない。

[0149] 第2表面層392は、基材層390のz方向のz1側に配置されている。第2表面層392は、ヒートシンク9と固相接合されている。本実施形態においては、第2表面層392は、Ag（銀）を主成分とする。第2表面層392の厚さは何ら限定されず、本実施形態においては、第2表面層392は、基材層390よりも薄い。第2表面層392の厚さは、たとえば0.1 $\mu$ m以上15 $\mu$ m以下である。

[0150] ヒートシンク9の接合層91は、接合構造体B15において、第2接合層に相当する。接合層91は、本体部90のz方向のz2側に配置されている。接合層91は、第2表面層392と固相接合されている。本実施形態においては、接合層91は、Ag（銀）を主成分とする。接合層91の厚さは何ら限定されず、たとえば0.1 $\mu$ m以上15 $\mu$ m以下である。

[0151] なお、第2表面層392および接合層91は、互いに固相接合が可能な構成であれば、主成分とされる金属は、何ら限定されない。

[0152] 本変形例によっても、より熱を伝えやすい接合構造体B11～B15および半導体装置A11を提供することができる。また、支持基板3とヒートシンク9とは、中間接合材39を介して固相接合により接合されている。これにより、複数の第1スイッチング素子1Aおよび複数の第2スイッチング素子1Bからの熱をより効率よくヒートシンク9に放熱することができる。

[0153] 接合構造体B2：

図25は、本開示の第2実施形態にかかる接合構造体を示している。本実施形態の接合構造体B2は、第1接合対象物としての第1スイッチング素子1A、第2接合対象物としての第1導電部2A、および中間接合材19aを

有する。

[0154] 本実施形態の中間接合材 19 a は、基材層 190 a、第 1 表面層 191 a、第 2 表面層 192 a、第 1 中間層 193 a、第 2 中間層 194 a、第 3 中間層 195 a および第 4 中間層 196 a を有する。

[0155] 第 1 中間層 193 a は、基材層 190 a と第 1 表面層 191 a との間に介在する。第 2 中間層 194 a は、基材層 190 a と第 2 表面層 192 a との間に介在する。第 1 中間層 193 a および第 2 中間層 194 a は、たとえば Ni（ニッケル）を主成分とする。第 1 中間層 193 a および第 2 中間層 194 a の厚さは、たとえば 0.1  $\mu\text{m}$  以上 15  $\mu\text{m}$  以下である。

[0156] 第 3 中間層 195 a は、第 1 表面層 191 a と第 1 中間層 193 a との間に介在する。第 4 中間層 196 a は、第 2 表面層 192 a と第 2 中間層 194 a との間に介在する。第 3 中間層 195 a および第 4 中間層 196 a は、たとえば Cu（銅）を主成分とする。第 3 中間層 195 a および第 4 中間層 196 a の厚さは、たとえば 0.01  $\mu\text{m}$  以上 10  $\mu\text{m}$  以下である。

[0157] なお、接合構造体 B2 における中間接合材 19 a の構成が、上述の中間接合材 19 b、中間接合材 29 a、中間接合材 29 b および中間接合材 39 に適用されてもよい。

[0158] 本実施形態によっても、より熱を伝えやすい接合構造体 B2 を提供することができる。また、本実施形態から理解されるように、本開示の接合構造体の具体的構成は何ら限定されない。

[0159] 本開示にかかる接合構造体および半導体装置は、上記した実施形態に限定されるものではない。本開示の接合構造体および半導体装置の各部の具体的な構成は、種々に設計変更自在である。本開示は、以下の付記に記載された実施形態を含む。

[0160] 付記 1.

第 1 接合層を有する第 1 接合対象物と、

第 2 接合層を有する第 2 接合対象物と、

前記第 1 接合対象物および前記第 2 接合対象物の間に介在する中間接合材

と、を備え、

前記中間接合材は、基材層と、前記基材層の両側に配置された第1表面層および第2表面層と、を有し、

前記第1接合層と前記第1表面層とは、固相接合によって接合されており、

前記第2接合層と前記第2表面層とは、固相接合によって接合されており、

前記基材層は、Cuを主成分とする、接合構造体。

付記2.

前記第1接合層および前記第1表面層は、Agを主成分とする、付記1に記載の接合構造体。

付記3.

前記第2接合層および前記第2表面層は、Agを主成分とする、付記1または2に記載の接合構造体。

付記4.

前記基材層は、前記第1表面層よりも厚い、付記1ないし3のいずれかに記載の接合構造体。

付記5.

前記基材層は、前記第2表面層よりも厚い、付記1ないし4のいずれかに記載の接合構造体。

付記6.

前記第1接合対象物は、Cuを主成分とする第1本体部をさらに有する、付記1ないし5のいずれかに記載の接合構造体。

付記7.

前記第2接合対象物は、Cuを主成分とする第2本体部をさらに有する、付記1ないし6のいずれかに記載の接合構造体。

付記8.

前記中間接合材は、前記基材層と前記第1表面層との間に介在する第1中

間層をさらに有する、付記 1 ないし 7 のいずれかに記載の接合構造体。

付記 9.

前記中間接合材は、前記基材層と前記第 2 表面層との間に介在する第 2 中間層をさらに有する、付記 8 に記載の接合構造体。

付記 10.

前記中間接合材は、前記第 1 表面層と前記第 1 中間層との間に介在する第 3 中間層をさらに有する、付記 9 に記載の接合構造体。

付記 11.

前記中間接合材は、前記第 2 表面層と前記第 2 中間層との間に介在する第 4 中間層をさらに有する、付記 10 に記載の接合構造体。

付記 12.

前記第 1 中間層および前記第 2 中間層は、Ni を主成分とする、付記 11 に記載の接合構造体。

付記 13.

前記第 3 中間層および前記第 4 中間層は、Cu を主成分とする、付記 12 に記載の接合構造体。

付記 14.

半導体素子と、

導電部と、

支持基板と、を備え、

付記 1 ないし 13 のいずれかに記載の接合構造体を有する、半導体装置

付記 15.

前記半導体素子が前記第 1 接合対象物をなし且つ前記導電部が前記第 2 接合対象物をなす前記接合構造体を有する、付記 14 に記載の半導体装置。

付記 16.

前記導電部が前記第 1 接合対象物をなし且つ前記支持基板が前記第 2 接合対象物をなす前記接合構造体を有する、付記 14 または 15 に記載の半導体装置。

付記 17.

ヒートシンクをさらに備え、

前記支持基板が前記第 1 接合対象物をなし且つ前記ヒートシンクが前記第 2 接合対象物をなす前記接合構造体を有する、付記 14 ないし 16 のいずれかに記載の半導体装置。

## 符号の説明

- [0161] A 1, A 1 1 : 半導体装置
- B 1, B 1 1, B 1 2, B 1 3, B 1 4, B 1 5 : 接合構造体
- B 2, B 3, B 4 : 接合構造体                      1 : 半導体素子
- 1 A : 第 1 スイッチング素子                      1 B : 第 2 スイッチング素子
- 2 : 支持導体                      2 A : 第 1 導電部
- 2 B : 第 2 導電部                      3 : 支持基板
- 5 : 信号基板                      5 A : 第 1 信号基板
- 5 B : 第 2 信号基板                      6 : 接着層
- 6 A : 第 1 接着体                      6 B : 第 2 接着体
- 8 : 樹脂部材                      9 : ヒートシンク
- 1 0 a : 素子主面                      1 0 b : 素子裏面
- 1 1 : 第 1 主面電極                      1 2 : 第 2 主面電極
- 1 3 : 第 3 主面電極                      1 5 : 裏面電極
- 1 7 : サーミスタ                      1 9 a : 中間接合材
- 1 9 b : 中間接合材                      2 0 A, 2 0 B : 本体層
- 2 0 b : 中間接合材                      2 1 A, 2 1 B, 2 2 A, 2 2 B : 接合層
- 2 9 a, 2 9 b : 中間接合材                      3 1 : 絶縁層
- 3 2 : 第 1 金属層                      3 2 A : 第 1 部分
- 3 2 B : 第 2 部分                      3 3 : 第 2 金属層
- 3 9 : 中間接合材                      4 1, 4 2, 4 3 : 電力端子
- 4 4 : 制御端子                      4 5 : 第 1 制御端子                      4 5 A : 第 1 駆動端子

4 5 B, 4 5 C, 4 5 D, 4 5 E : 第 1 検出端子  
4 6 : 第 2 制御端子            4 6 A : 第 2 駆動端子  
4 6 B, 4 6 C, 4 6 D, 4 6 E : 第 2 検出端子            5 1 : 絶縁基板  
5 1 a : 主面            5 1 b : 裏面  
5 2 : 第 1 金属層            5 3 : 第 2 金属層  
6 1 : 絶縁層            6 1 a : 主面  
6 1 b : 裏面            6 2, 6 3 : 粘着層  
7 1 : 第 1 導通部材            7 2 : 第 2 導通部材  
7 3, 7 4, 7 5, 7 6 : ワイヤ            8 1 : 樹脂主面  
8 2 : 樹脂裏面            8 6 : 樹脂空隙部  
8 8 : 樹脂充填部            9 0 : 本体部  
9 1 : 接合層            1 5 1 : 接合層  
1 9 0 a, 1 9 0 b : 基材層            1 9 1 a, 1 9 1 b : 第 1 表面層  
1 9 2 a, 1 9 2 b : 第 2 表面層            1 9 3 a : 第 1 中間層  
1 9 4 a : 第 2 中間層            1 9 5 a : 第 3 中間層  
1 9 6 a : 第 4 中間層            2 0 1 : 主面  
2 0 2 : 裏面            2 9 0 a, 2 9 0 b : 基材層  
2 9 1 a, 2 9 1 b : 第 1 表面層            2 9 2 a, 2 9 2 b : 第 2 表面層  
3 2 1 A, 3 2 1 B, 3 3 1 : 接合層            3 9 0 : 基材層  
3 9 1 : 第 1 表面層            3 9 2 : 第 2 表面層  
4 4 1 : ホルダ            4 4 2 : 金属ピン  
4 4 9 : 導電性接合材            5 2 1 ~ 5 2 6 : 配線層  
7 1 1 : 主部            7 1 1 a : 開口  
7 1 2 : 第 1 接続端部            7 1 2 a : 開口  
7 1 3 : 第 2 接続端部            7 1 9 : 導電性接合材  
7 2 1 : 第 1 配線部            7 2 1 a : 第 1 端部  
7 2 2 : 第 2 配線部            7 2 2 a : 凹状領域  
7 2 3 : 第 3 配線部            7 2 4 : 第 4 配線部

7 2 9 : 導電性接合材            8 3 1 : 樹脂側面  
8 3 2 : 樹脂側面            8 3 2 a : 凹部  
8 3 3, 8 3 4 : 樹脂側面            8 5 1 : 第 1 突出部  
8 5 1 a : 第 1 突出端面            8 5 1 b : 凹部  
8 5 1 c : 内壁面            8 5 2 : 第 2 突出部

## 請求の範囲

- [請求項1] 第1接合層を有する第1接合対象物と、  
第2接合層を有する第2接合対象物と、  
前記第1接合対象物および前記第2接合対象物の間に介在する中間接合材と、を備え、  
前記中間接合材は、基材層と、前記基材層の両側に配置された第1表面層および第2表面層と、を有し、  
前記第1接合層と前記第1表面層とは、固相接合によって接合されており、  
前記第2接合層と前記第2表面層とは、固相接合によって接合されており、  
前記基材層は、Cuを主成分とする、接合構造体。
- [請求項2] 前記第1接合層および前記第1表面層は、Agを主成分とする、請求項1に記載の接合構造体。
- [請求項3] 前記第2接合層および前記第2表面層は、Agを主成分とする、請求項1または2に記載の接合構造体。
- [請求項4] 前記基材層は、前記第1表面層よりも厚い、請求項1ないし3のいずれかに記載の接合構造体。
- [請求項5] 前記基材層は、前記第2表面層よりも厚い、請求項1ないし4のいずれかに記載の接合構造体。
- [請求項6] 前記第1接合対象物は、Cuを主成分とする第1本体部をさらに有する、請求項1ないし5のいずれかに記載の接合構造体。
- [請求項7] 前記第2接合対象物は、Cuを主成分とする第2本体部をさらに有する、請求項1ないし6のいずれかに記載の接合構造体。
- [請求項8] 前記中間接合材は、前記基材層と前記第1表面層との間に介在する第1中間層をさらに有する、請求項1ないし7のいずれかに記載の接合構造体。
- [請求項9] 前記中間接合材は、前記基材層と前記第2表面層との間に介在する

第2中間層をさらに有する、請求項8に記載の接合構造体。

[請求項10] 前記中間接合材は、前記第1表面層と前記第1中間層との間に介在する第3中間層をさらに有する、請求項9に記載の接合構造体。

[請求項11] 前記中間接合材は、前記第2表面層と前記第2中間層との間に介在する第4中間層をさらに有する、請求項10に記載の接合構造体。

[請求項12] 前記第1中間層および前記第2中間層は、Niを主成分とする、請求項11に記載の接合構造体。

[請求項13] 前記第3中間層および前記第4中間層は、Cuを主成分とする、請求項12に記載の接合構造体。

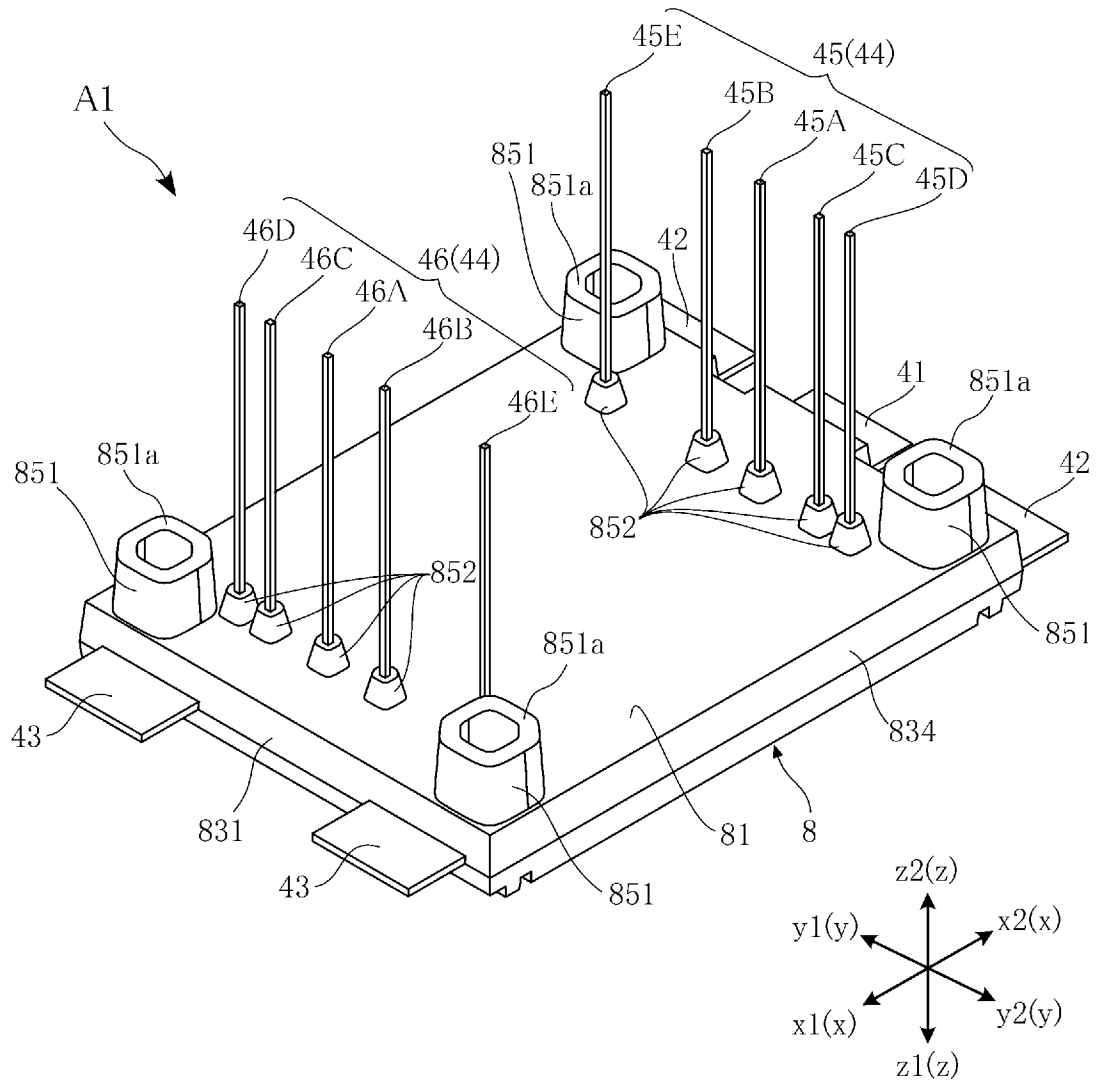
[請求項14] 半導体素子と、  
導電部と、  
支持基板と、を備え、  
請求項1ないし13のいずれかに記載の接合構造体を有する、半導体装置。

[請求項15] 前記半導体素子が前記第1接合対象物をなし且つ前記導電部が前記第2接合対象物をなす前記接合構造体を有する、請求項14に記載の半導体装置。

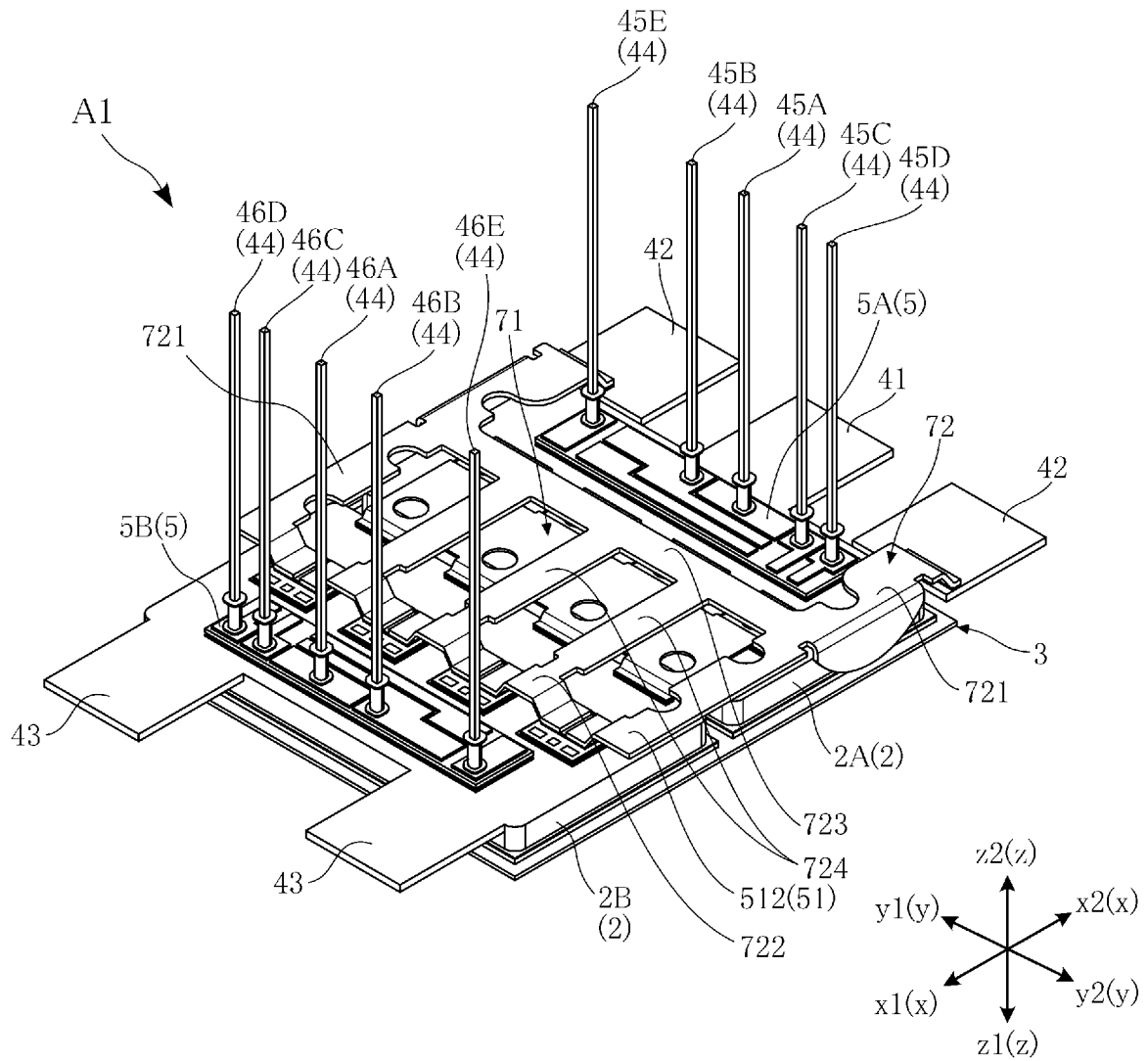
[請求項16] 前記導電部が前記第1接合対象物をなし且つ前記支持基板が前記第2接合対象物をなす前記接合構造体を有する、請求項14または15に記載の半導体装置。

[請求項17] ヒートシンクをさらに備え、  
前記支持基板が前記第1接合対象物をなし且つ前記ヒートシンクが前記第2接合対象物をなす前記接合構造体を有する、請求項14ないし16のいずれかに記載の半導体装置。

[図1]  
FIG.1



[図2]  
FIG.2



[]3  
FIG.3

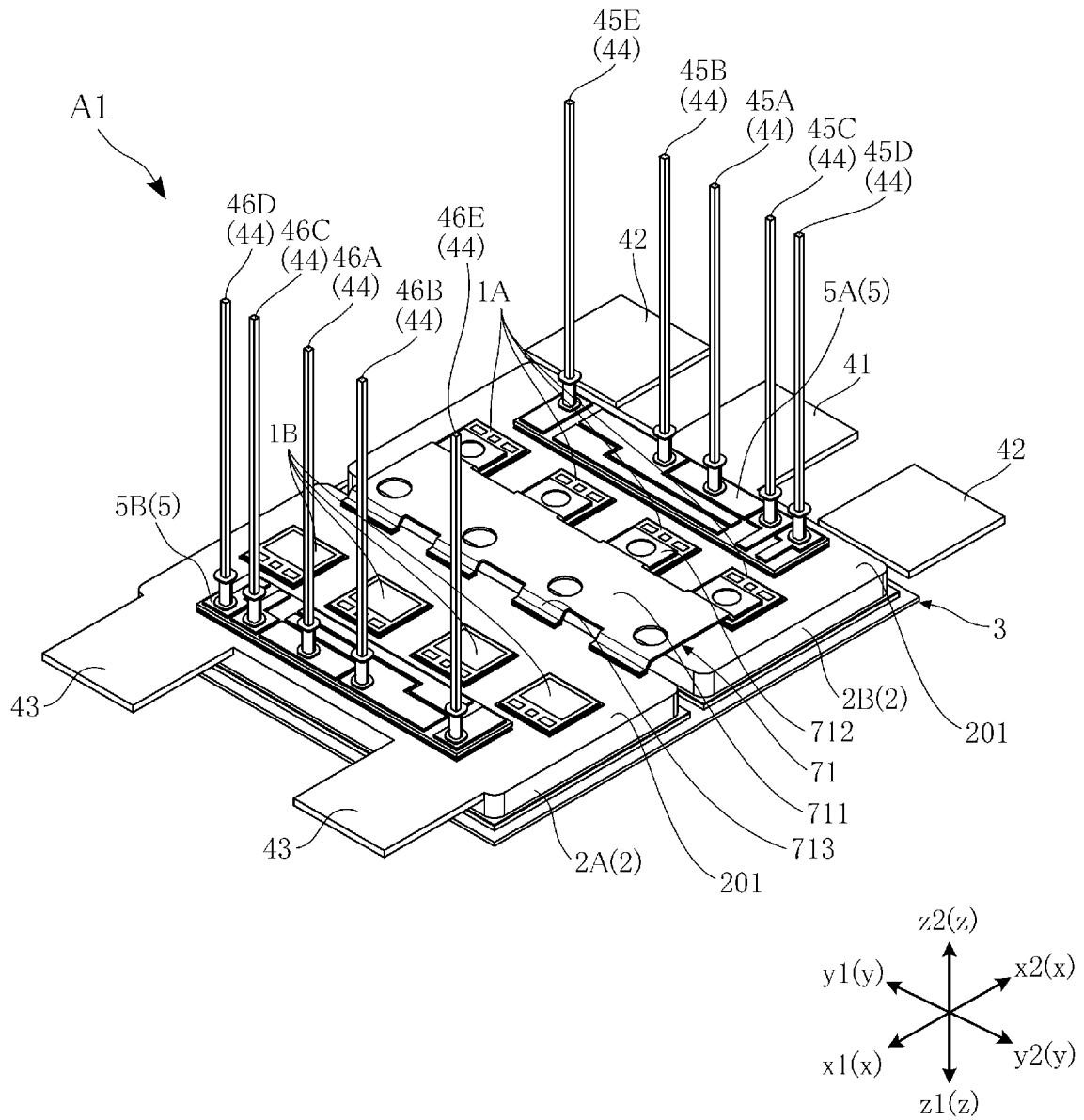
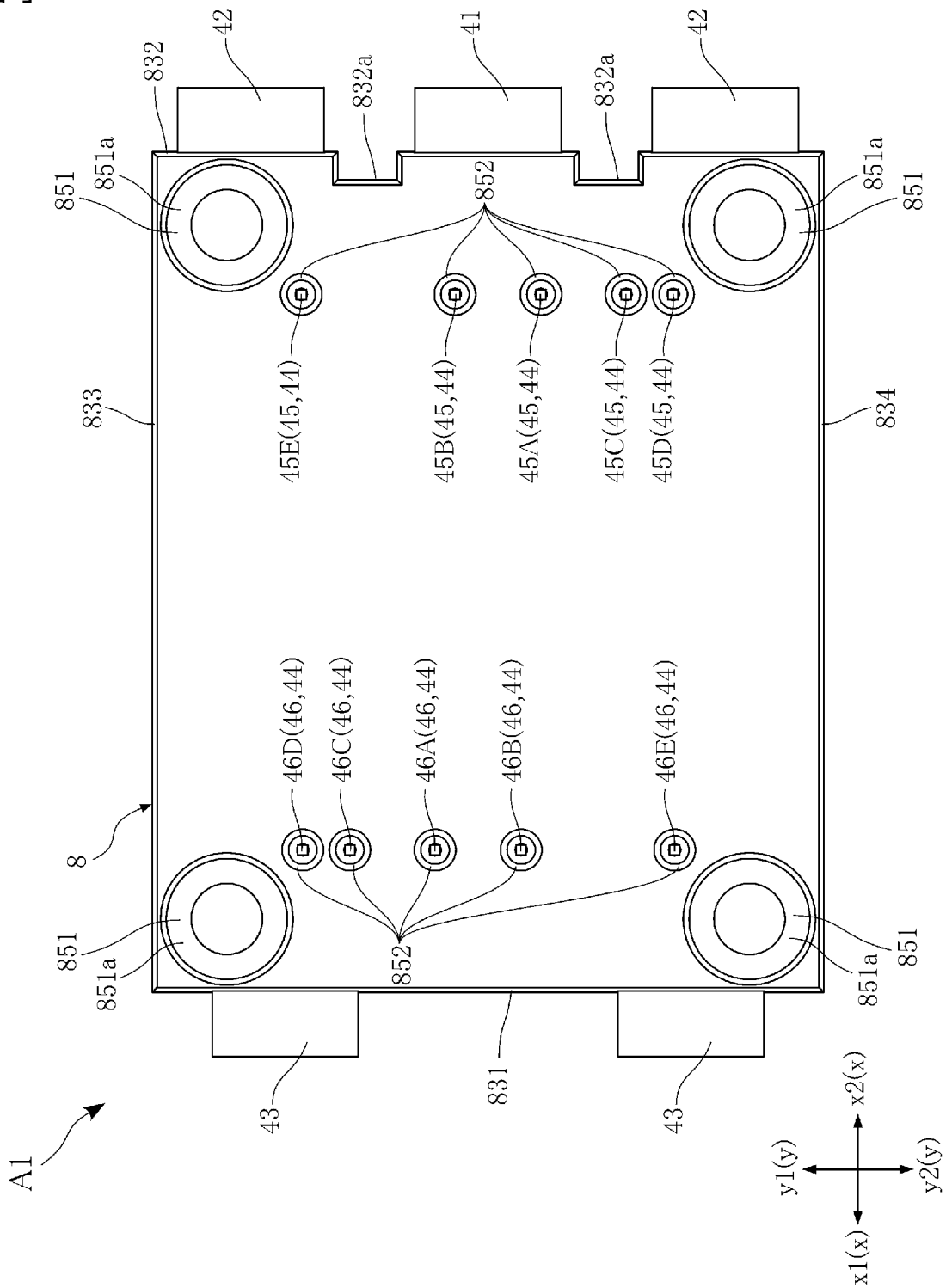


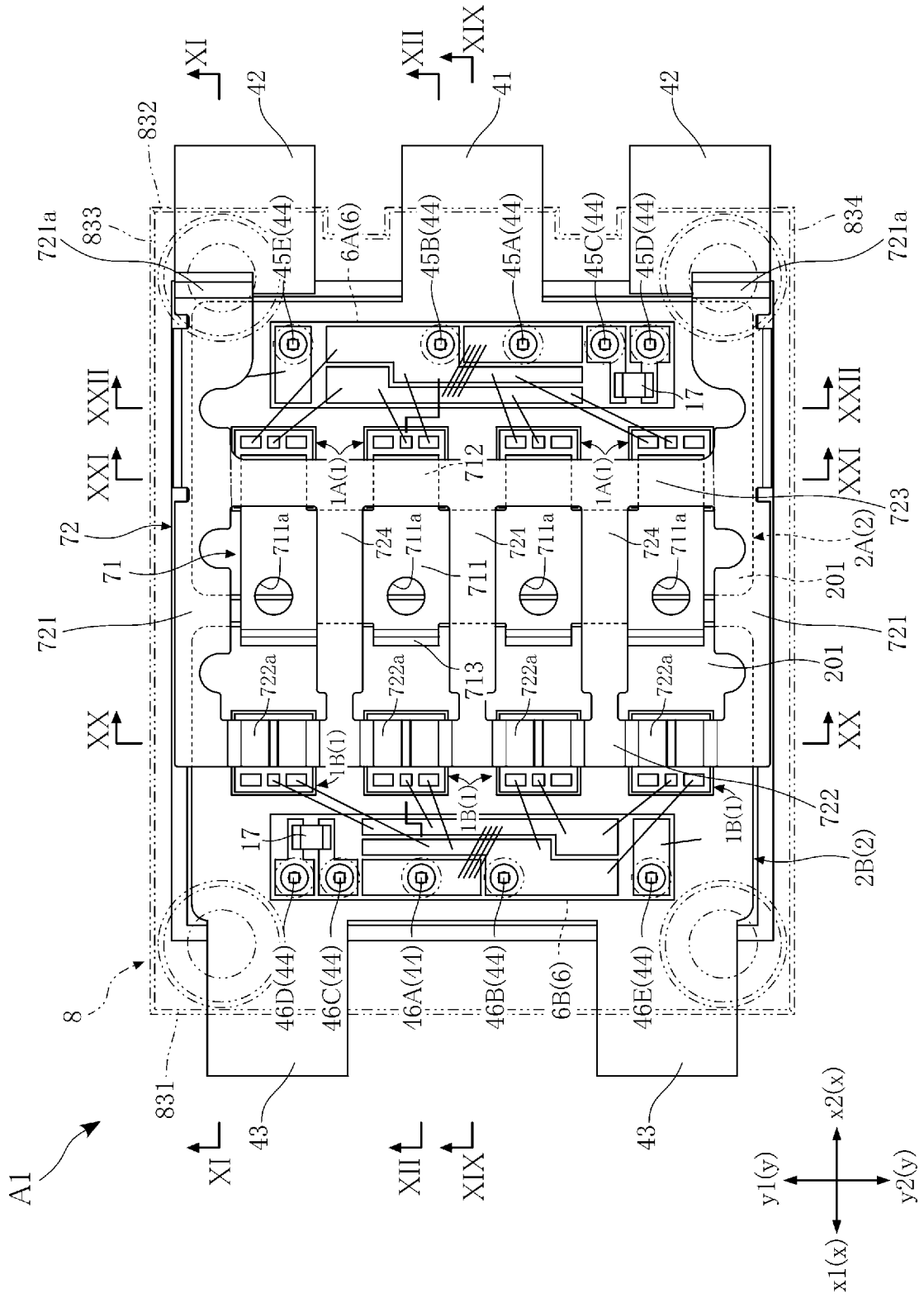
FIG. 4

[FIG. 4]



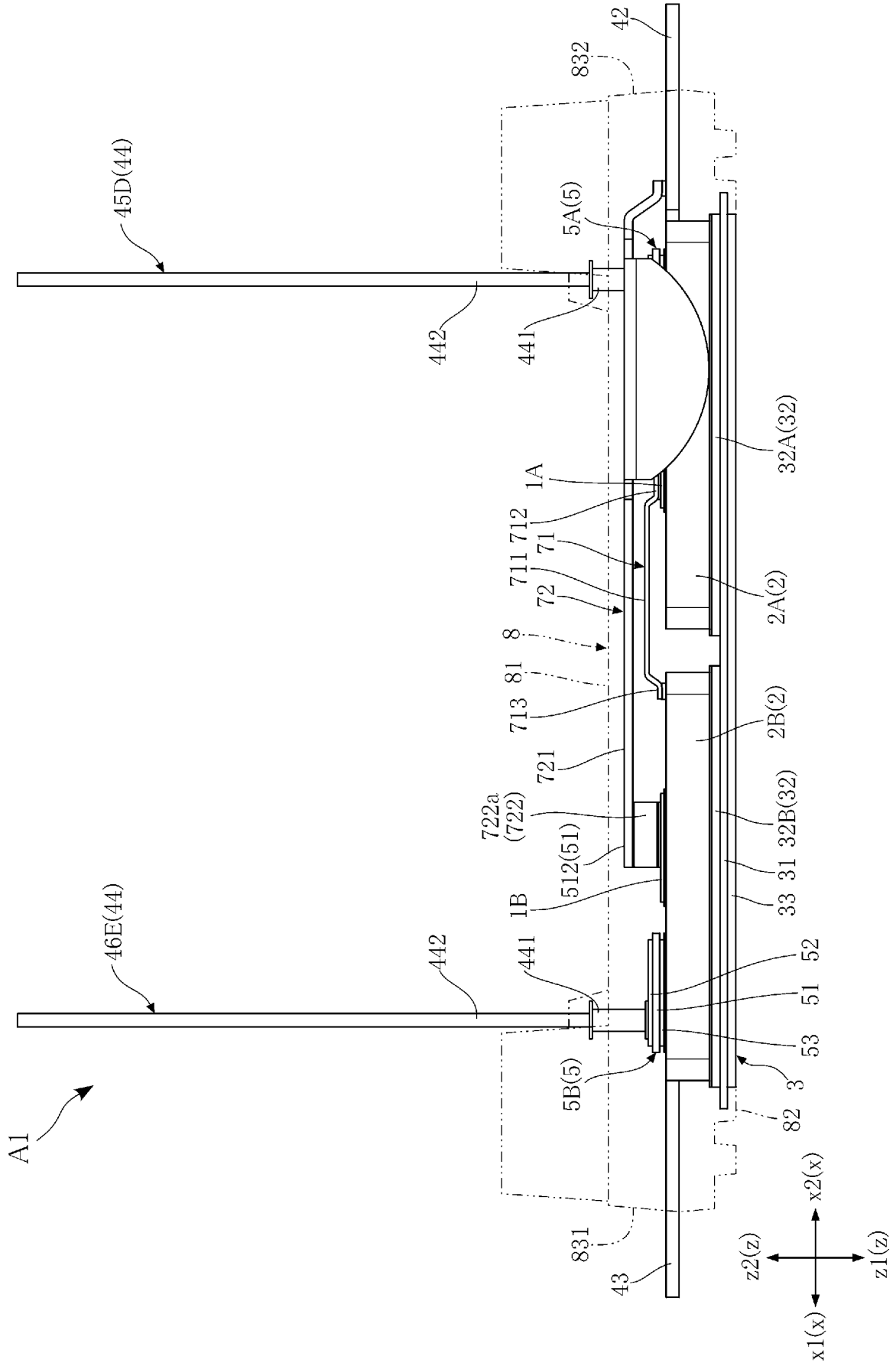
[FIG. 5]

FIG. 5



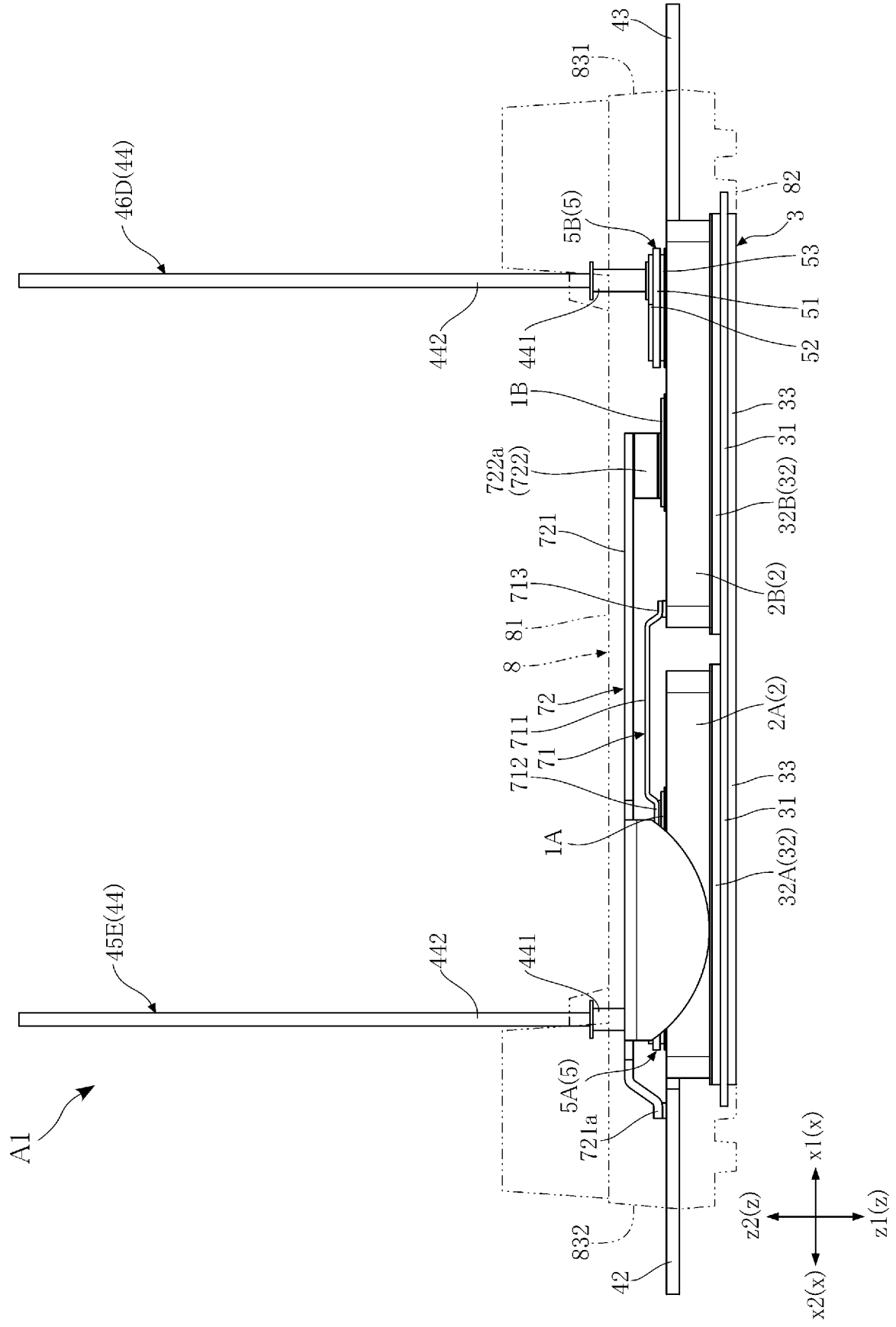
[図6]

FIG.6



[FIG. 7]

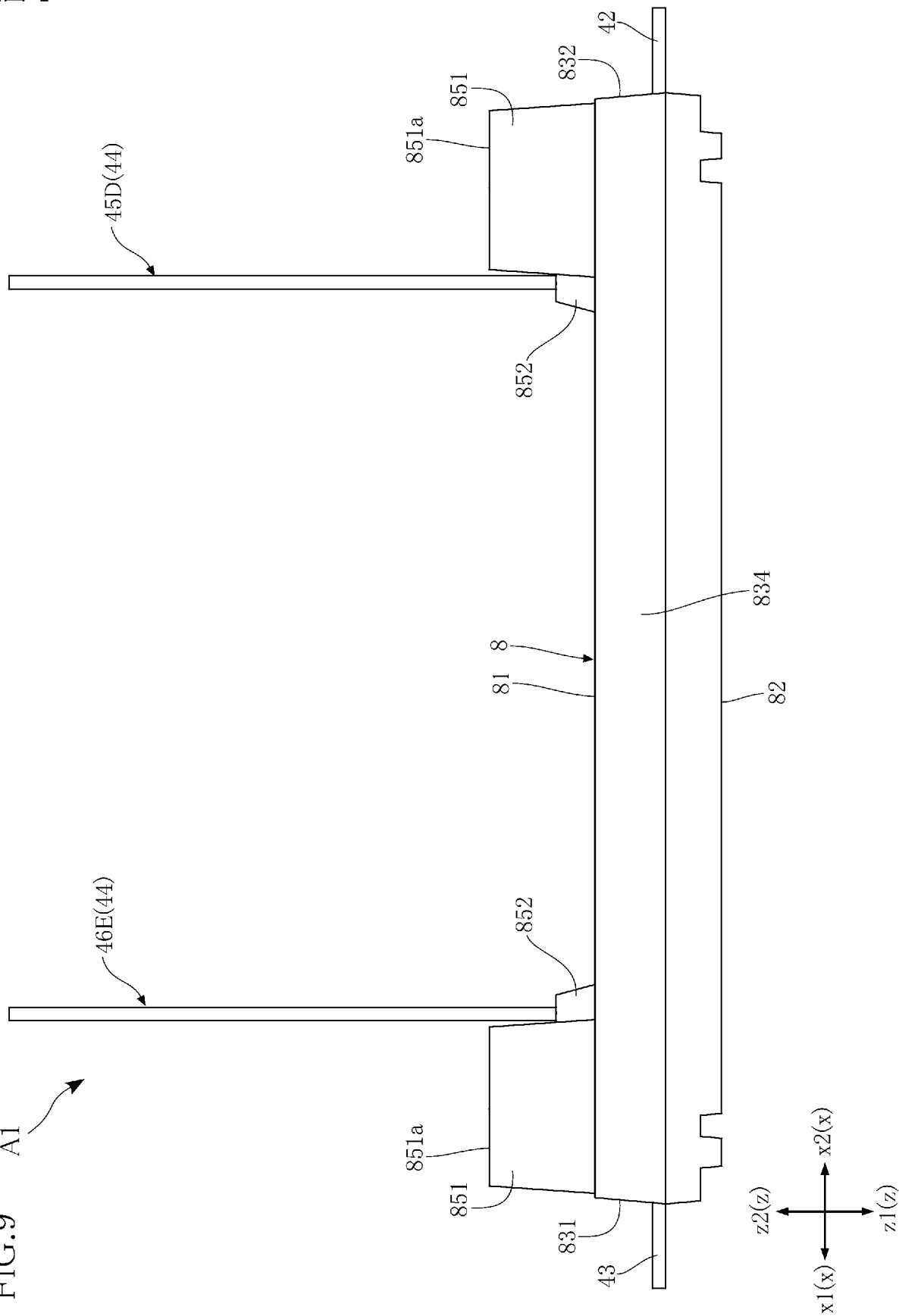
FIG. 7



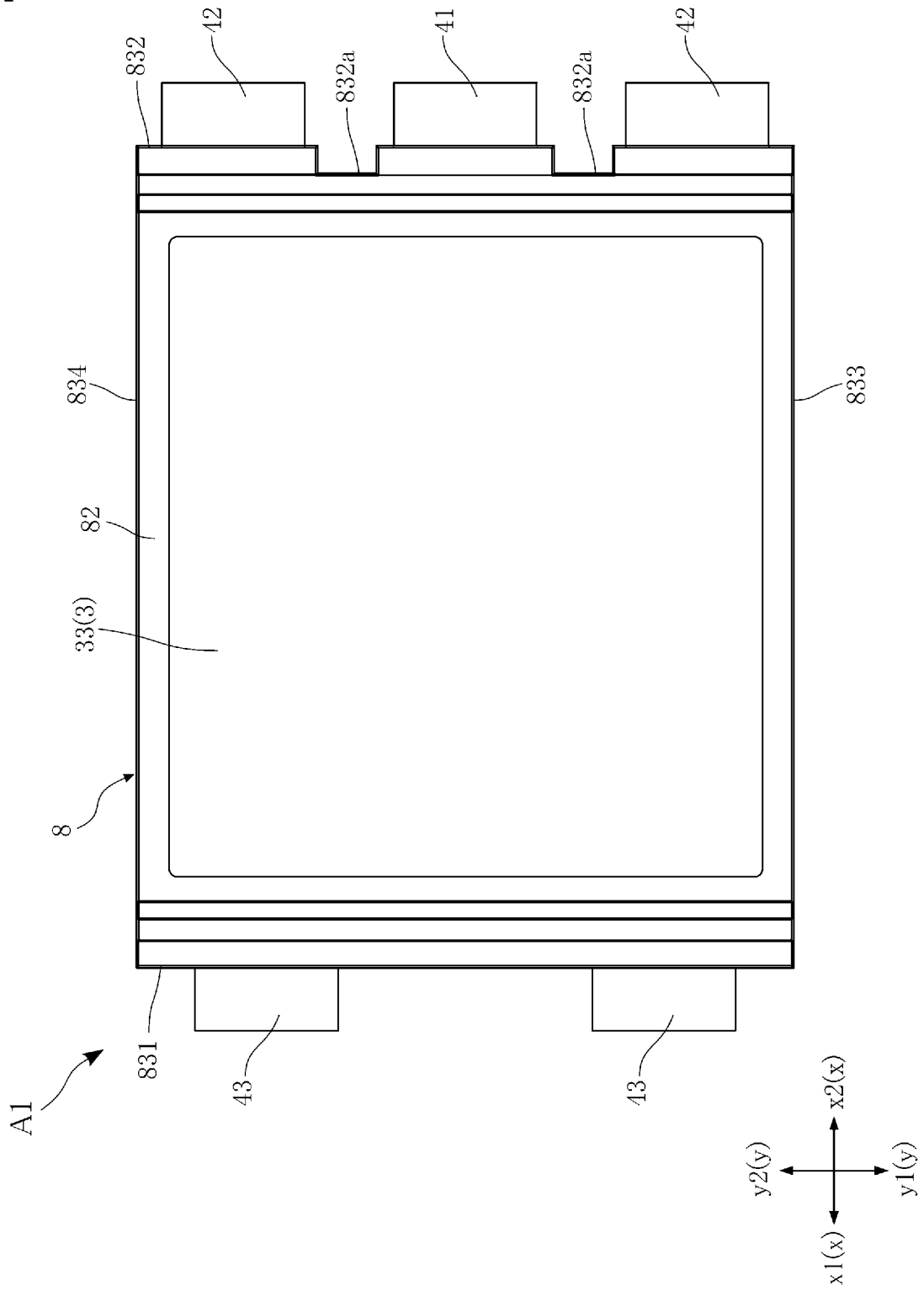


[図9]

FIG.9 A1

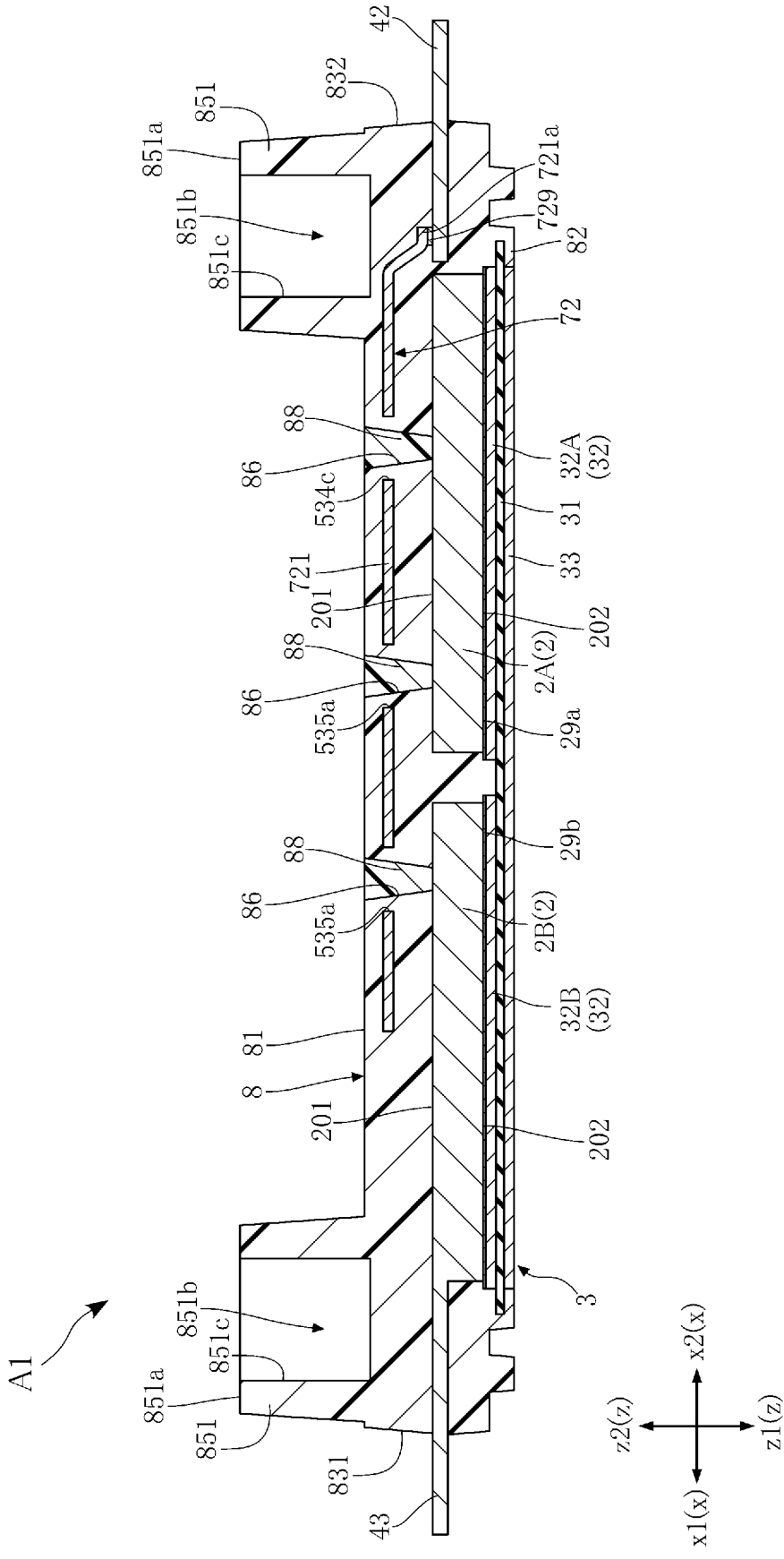


[FIG. 10]



[FIG. 11]

FIG. 11



[FIG.12]

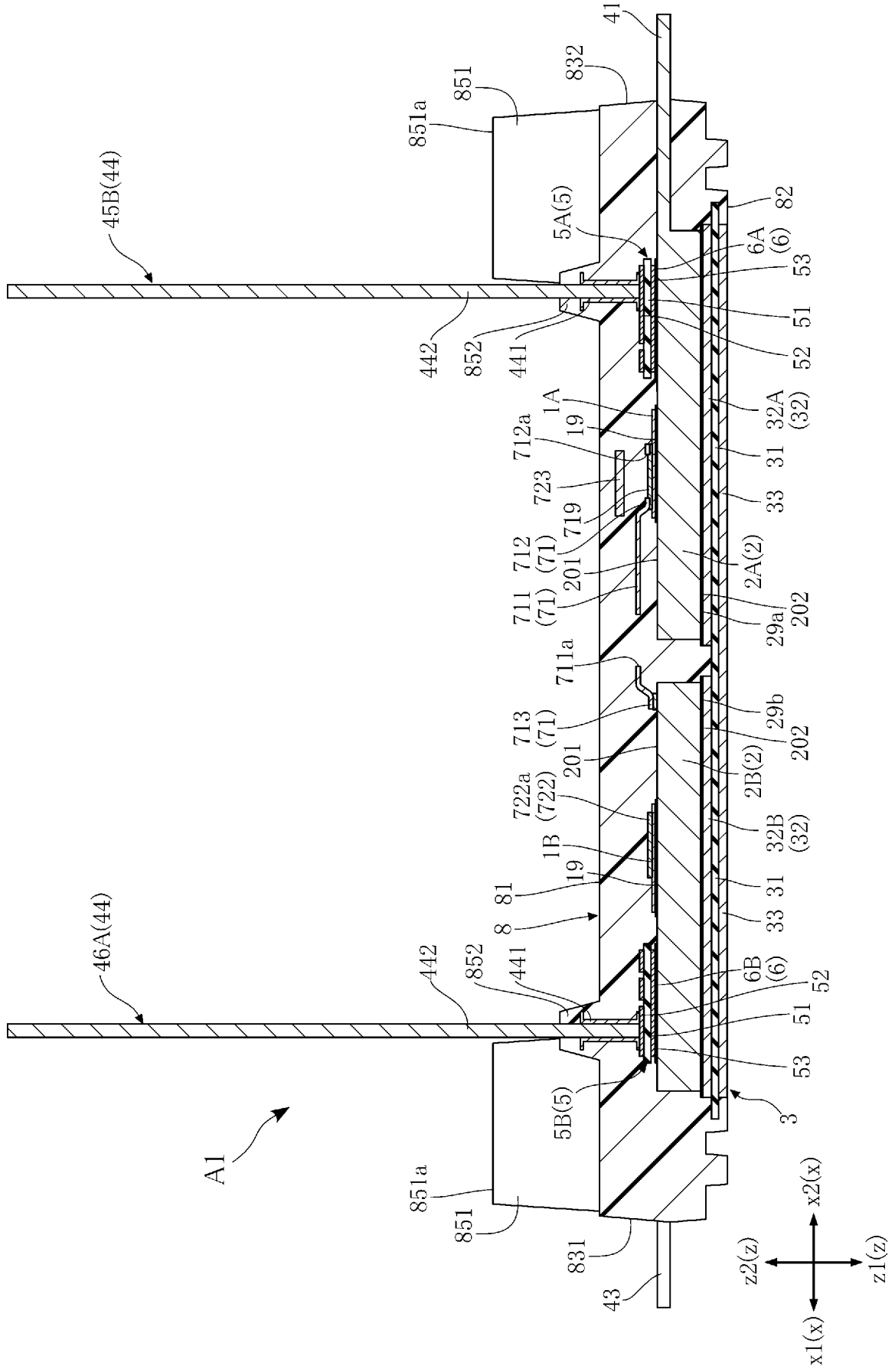
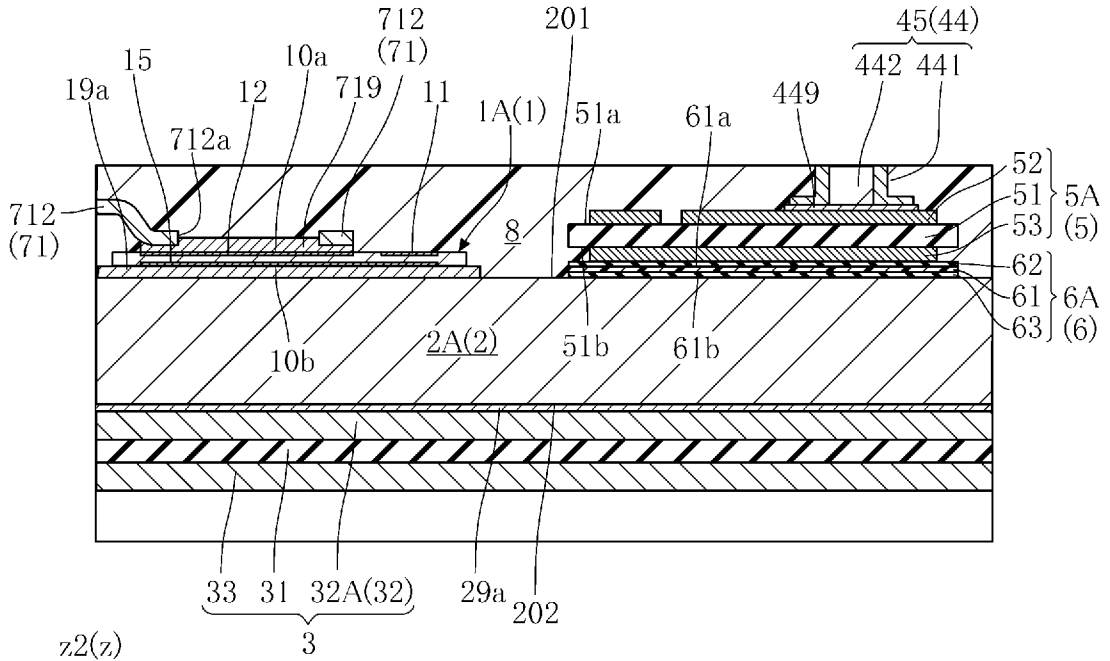

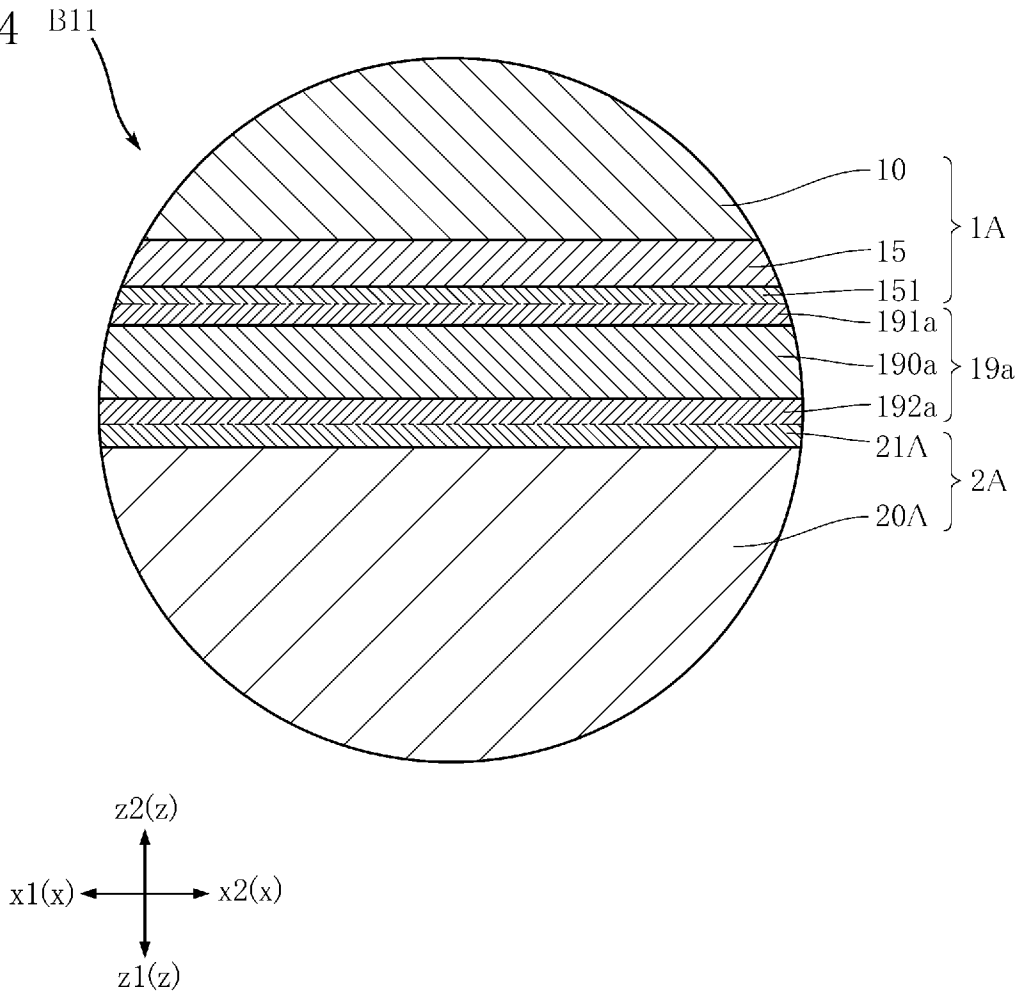


FIG.12

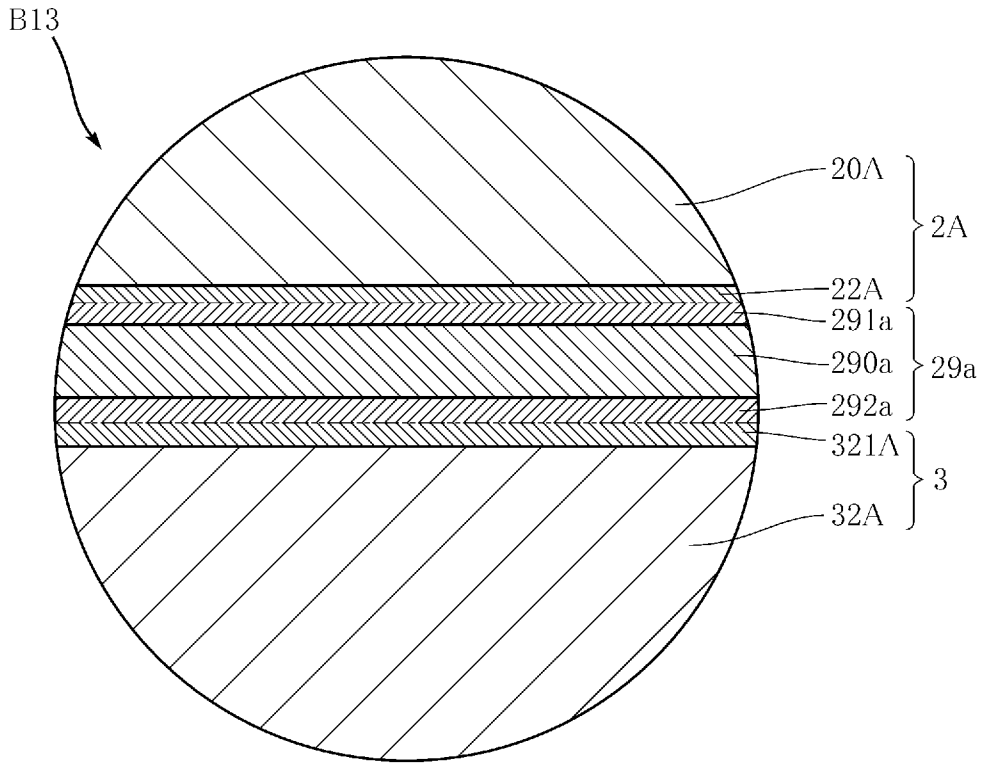
[]13]  
FIG.13



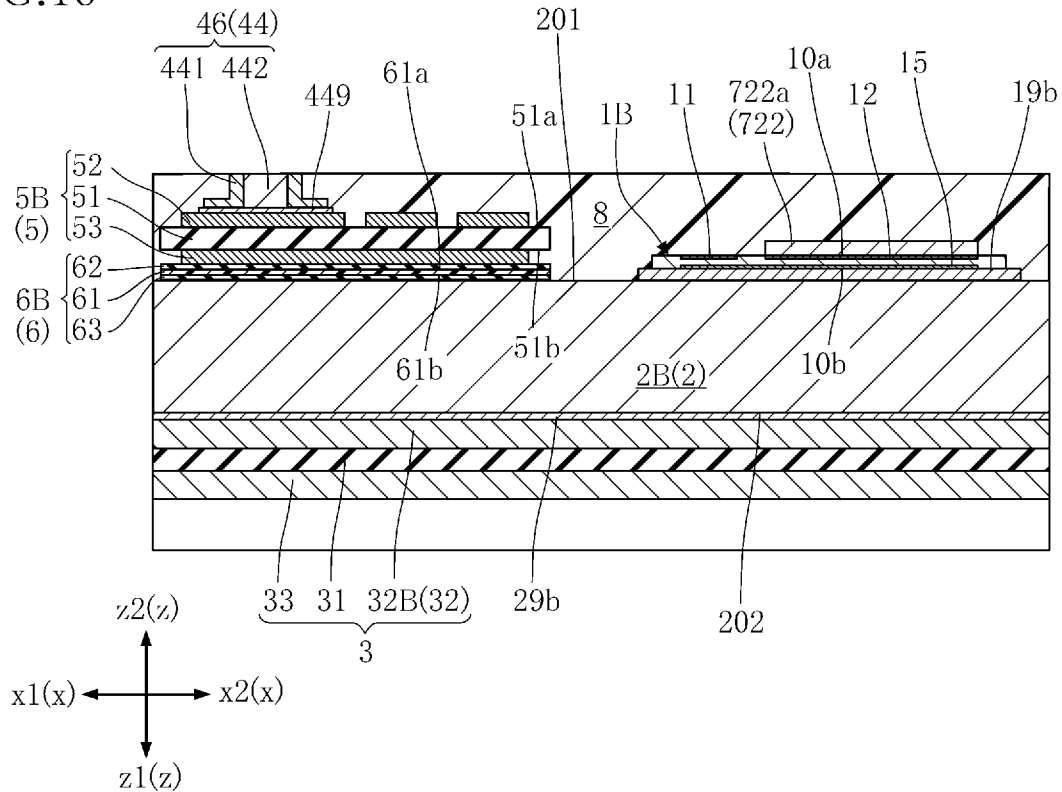
[]14]  
FIG.14

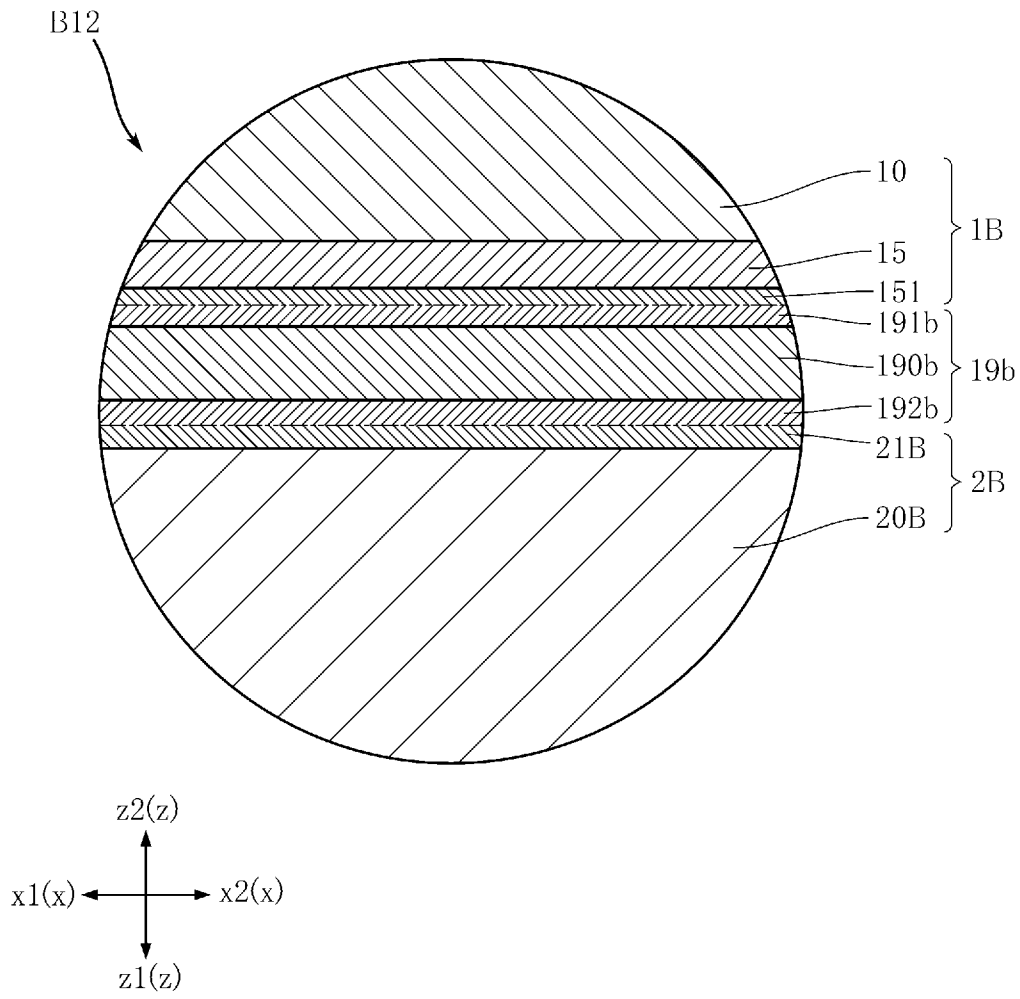


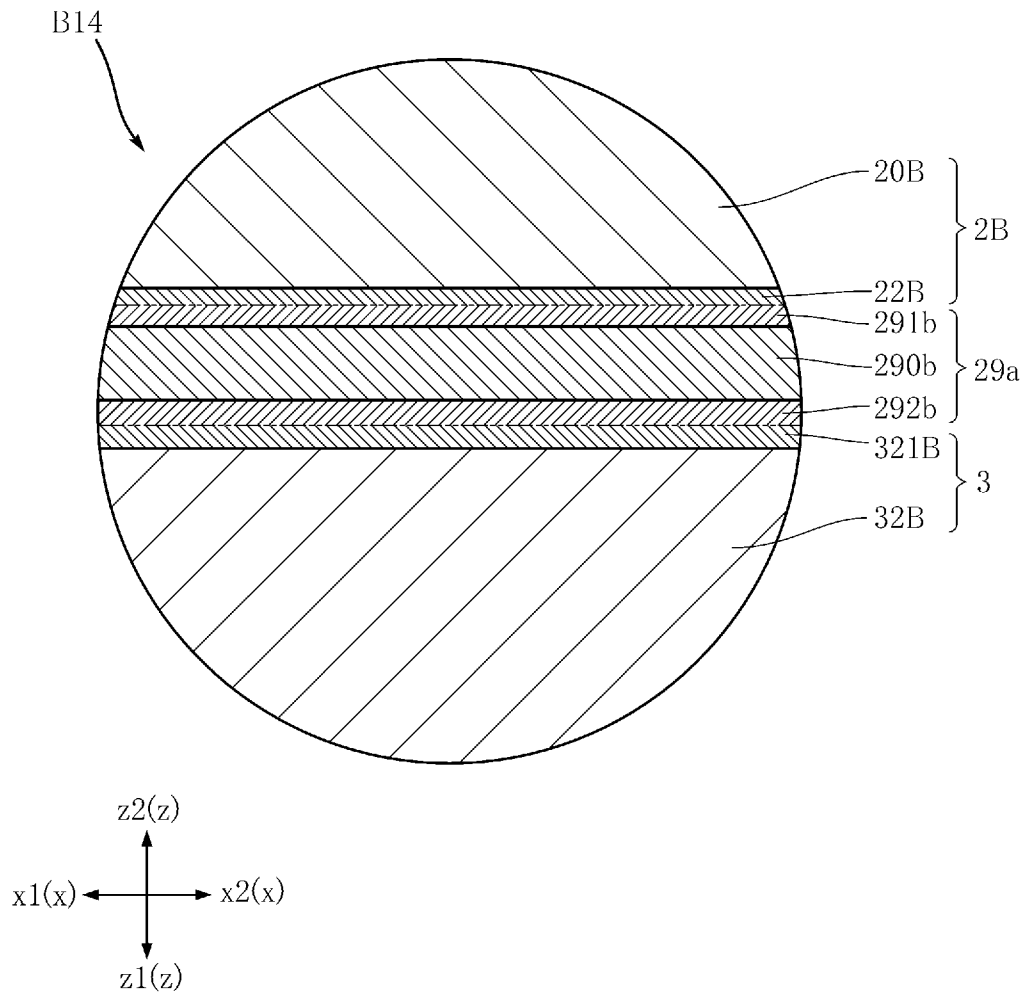
[FIG.15]  
FIG.15



[FIG.16]  
FIG.16



[17]  
FIG.17

[]18]  
FIG.18

[FIG. 19]

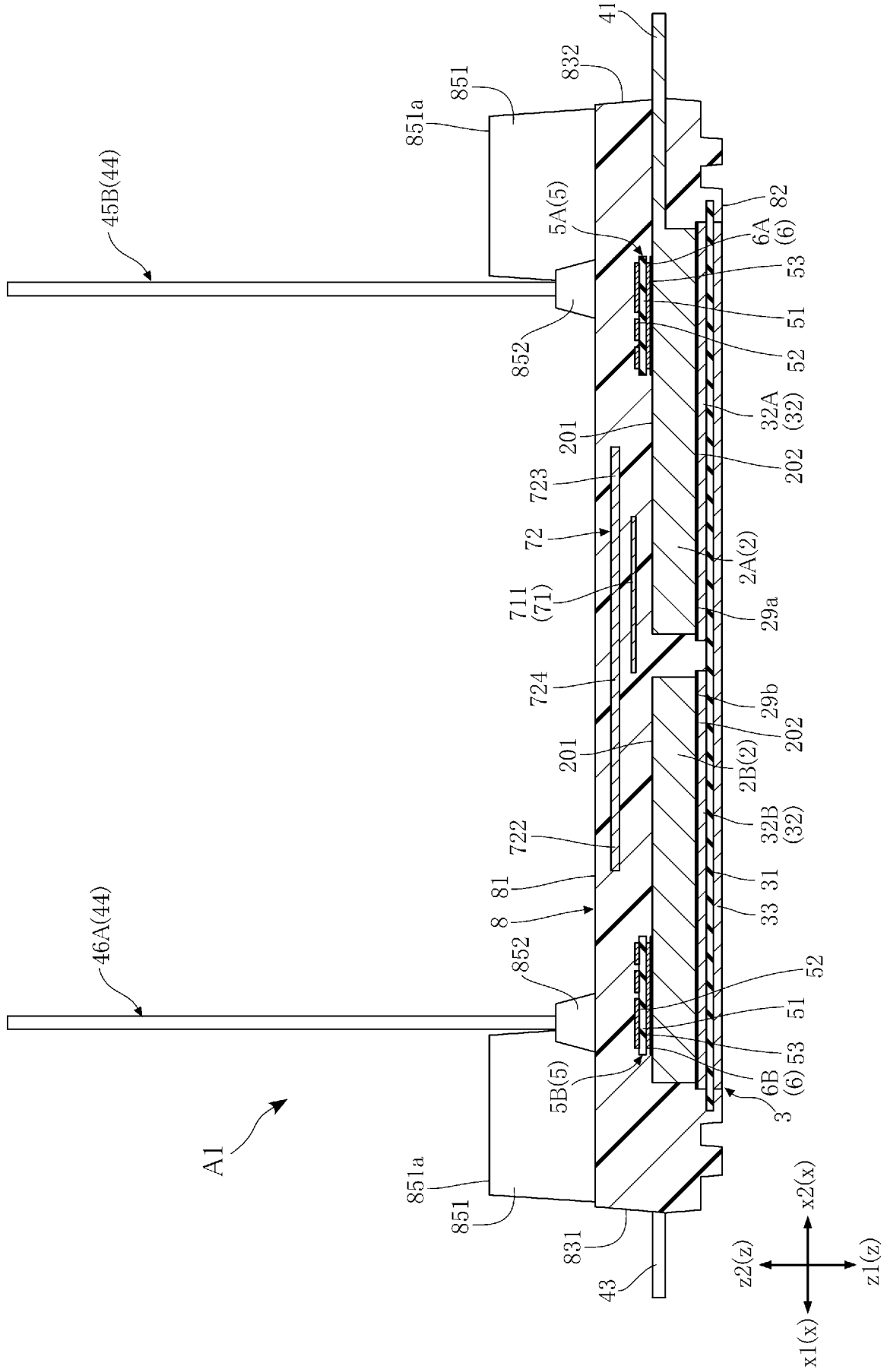
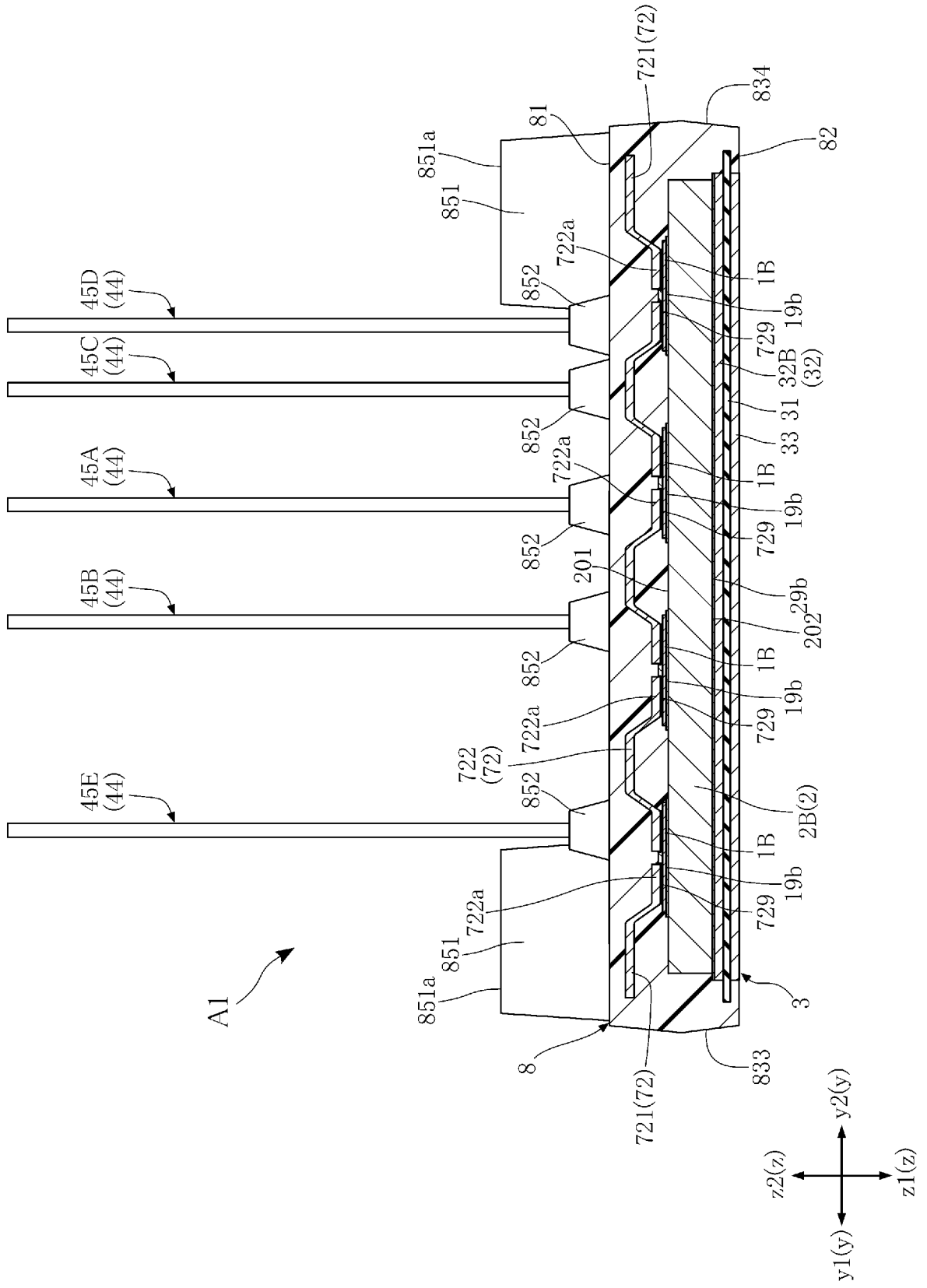


FIG. 19

[ 20]

FIG. 20






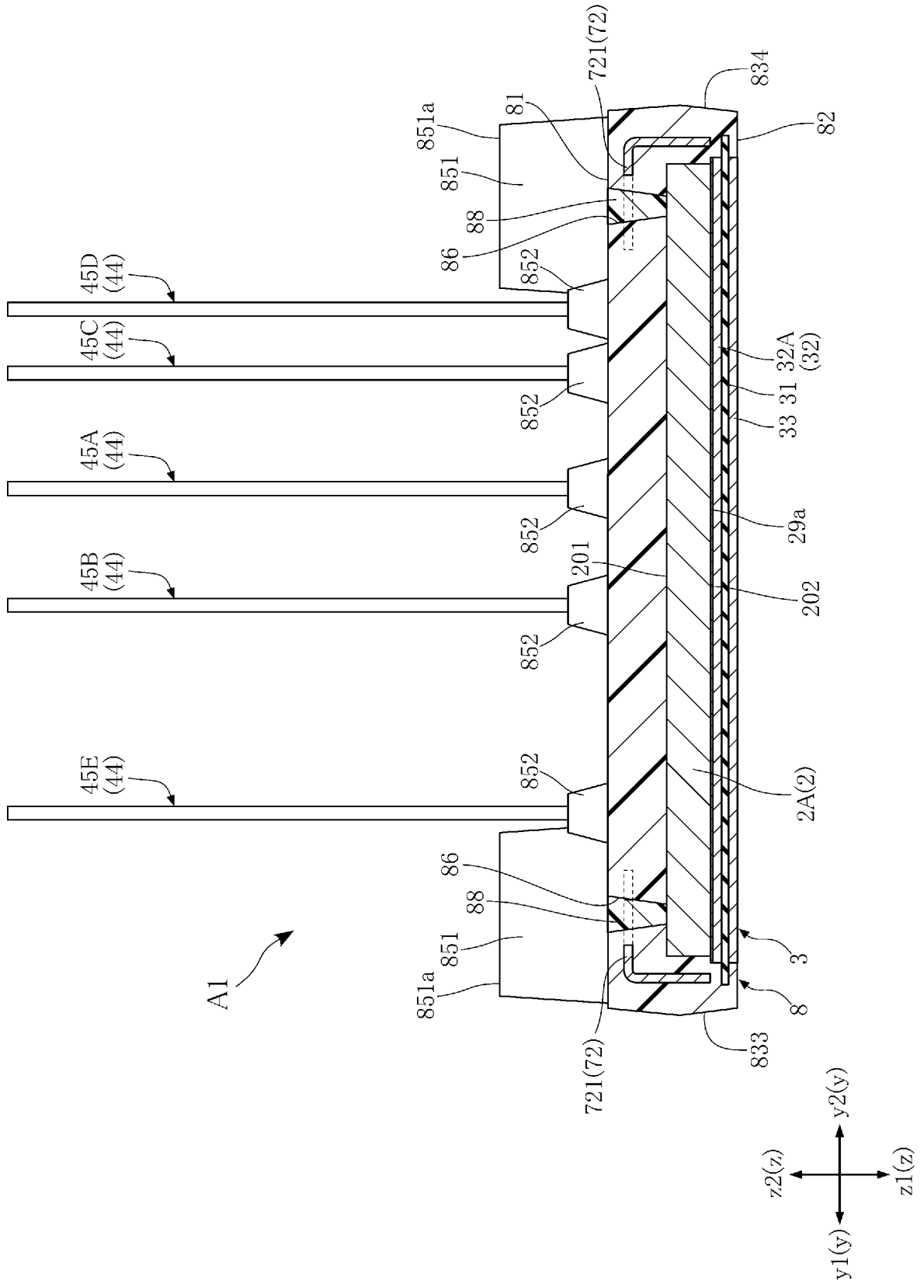
[ 22]

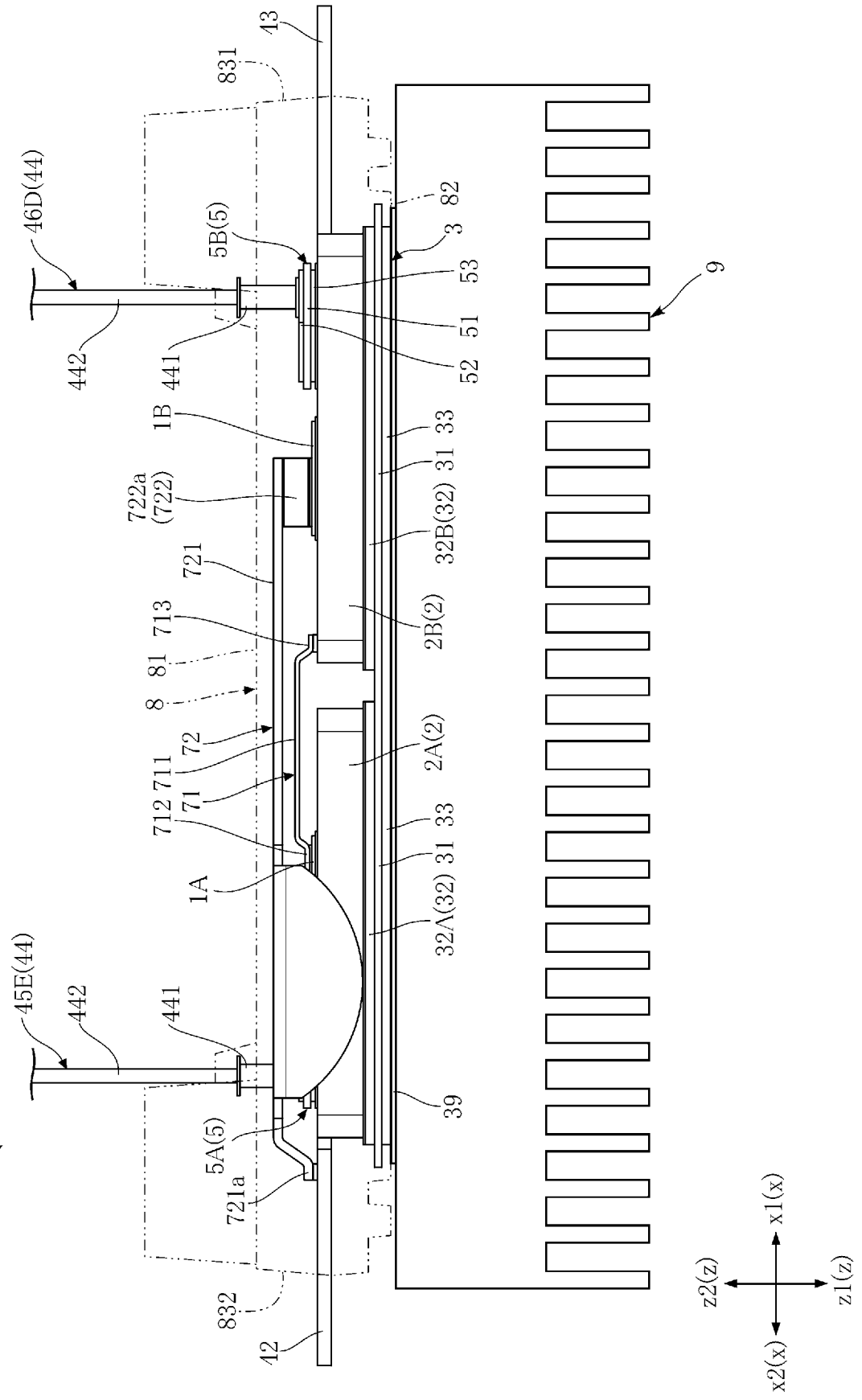
FIG. 22

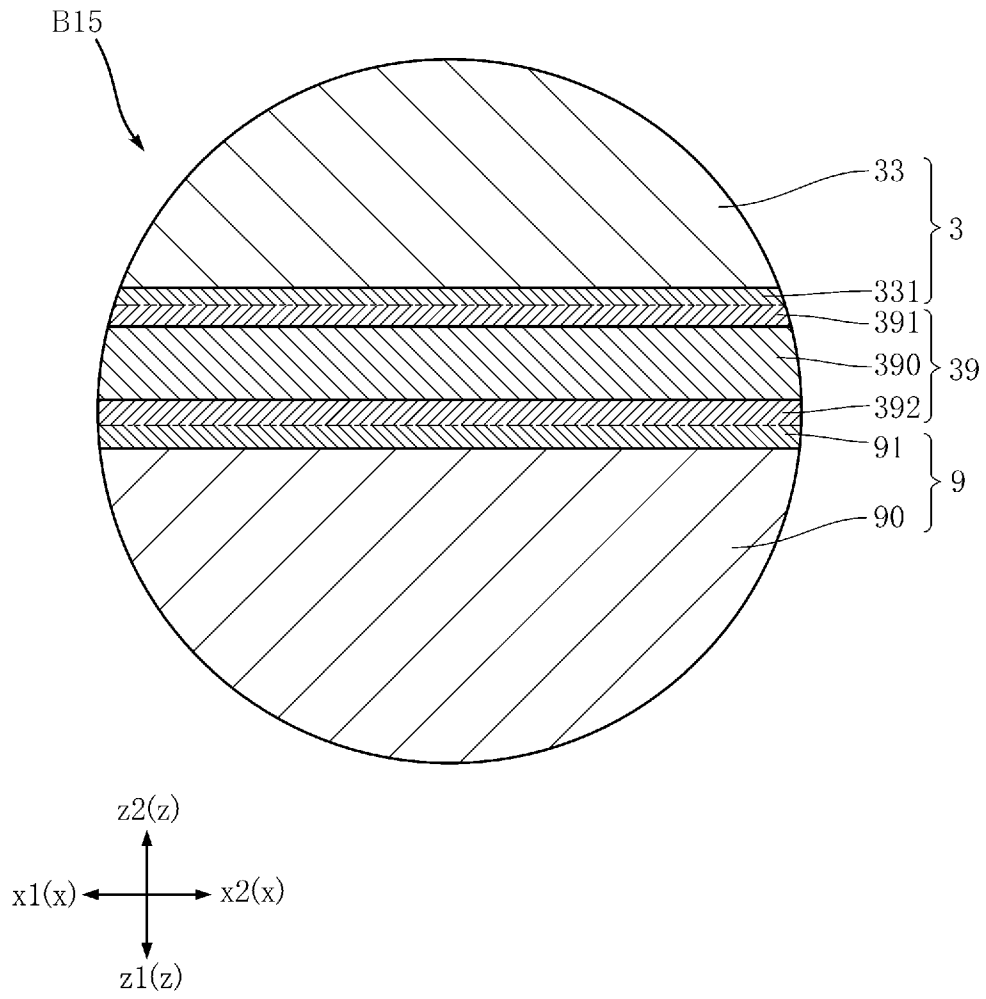



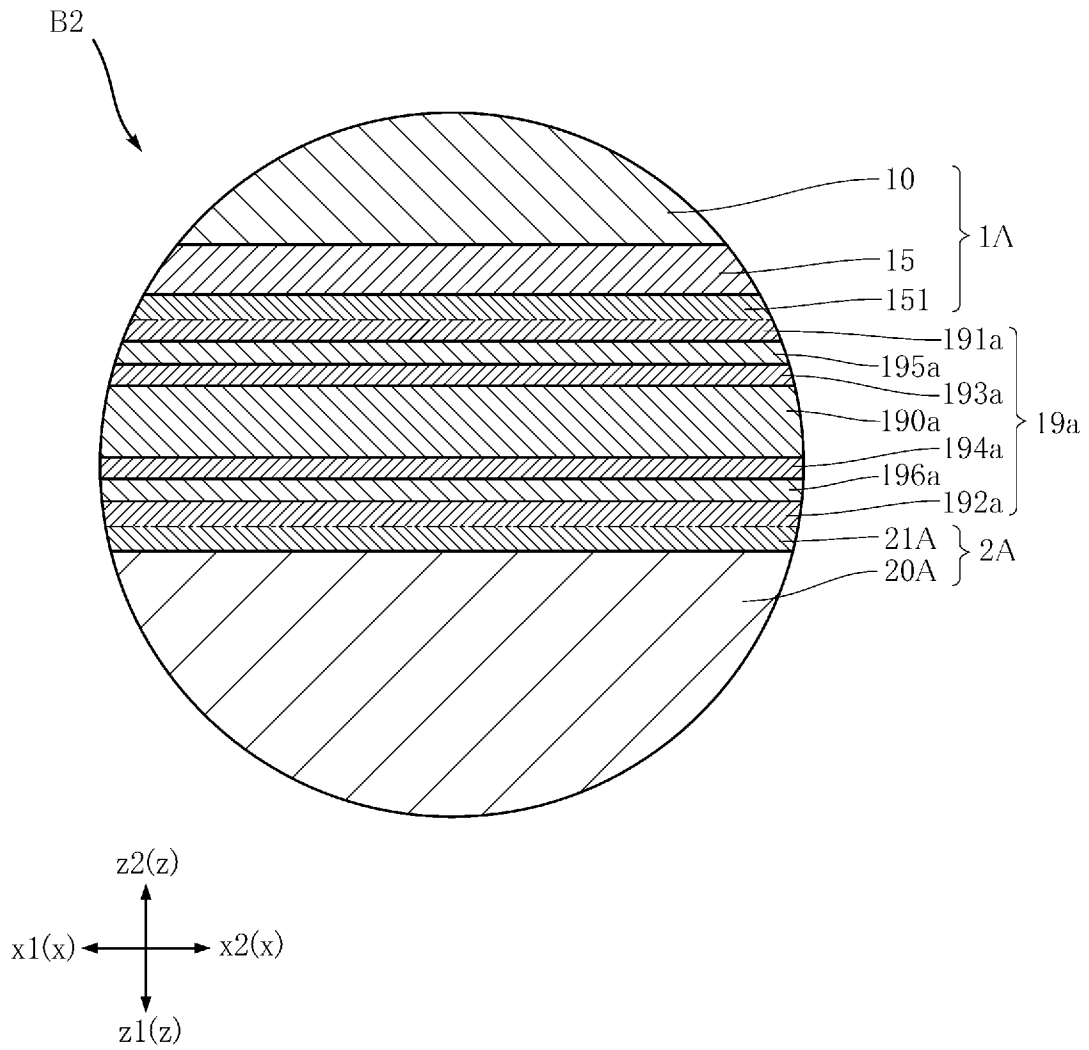
[FIG. 23]

FIG. 23

A11



[] 24  
FIG.24

[] 25  
FIG.25

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/033925

| <b>A. CLASSIFICATION OF SUBJECT MATTER</b>   |  |   |
|--|--|---|
| <i>H01L 23/40</i> (2006.01)i; <i>B23K 20/00</i> (2006.01)i; <i>H01L 21/52</i> (2006.01)i<br>FI: H01L23/40 F; H01L21/52 B; B23K20/00 310L   |  |   |
| According to International Patent Classification (IPC) or to both national classification and IPC  |  |   |
| <b>B. FIELDS SEARCHED</b>  |  |   |
| Minimum documentation searched (classification system followed by classification symbols)<br>H01L23/40; B23K20/00; H01L21/52   |  |   |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>Published examined utility model applications of Japan 1922-1996<br>Published unexamined utility model applications of Japan 1971-2023<br>Registered utility model specifications of Japan 1996-2023<br>Published registered utility model applications of Japan 1994-2023  |  |   |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)   |  |   |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>  |  |   |
| Category*  | Citation of document, with indication, where appropriate, of the relevant passages                                     | Relevant to claim No.   |
| X  | WO 2022/080072 A1 (ROHM CO., LTD.) 21 April 2022 (2022-04-21)<br>paragraphs [0005], [0010], [0017]-[0095], fig. 1-16   | 1-5, 14   |
| A  |  | 6-13, 15-17   |
| A  | JP 2022-63488 A (ROHM CO., LTD.) 22 April 2022 (2022-04-22)<br>paragraphs [0005], [0011]-[0109], fig. 1-26             | 1-17  |
| A  | JP 2016-48782 A (MITSUBISHI MATERIALS CORP.) 07 April 2016 (2016-04-07)<br>paragraphs [0011], [0027]-[0066], fig. 1-11 | 1-17  |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.   |  |   |
| * Special categories of cited documents:<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"E" earlier application or patent but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed<br>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |  |   |
| Date of the actual completion of the international search<br><b>27 October 2023</b>  |  | Date of mailing of the international search report<br><b>07 November 2023</b> |
| Name and mailing address of the ISA/JP<br><b>Japan Patent Office (ISA/JP)<br/>3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915<br/>Japan</b>   |  | Authorized officer<br><br>Telephone No.                                       |

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2023/033925**

| Patent document cited in search report |             |    | Publication date (day/month/year) | Patent family member(s)   | Publication date (day/month/year) |
|--|-------------|----|-----------------------------------|---|-----------------------------------|
| WO                                     | 2022/080072 | A1 | 21 April 2022                     | DE 212021000236 U1<br>paragraphs [0005], [0009],<br>[0016]-[0094], fig. 1-16<br>CN 116018677 A  |                                   |
| -----                                  |             |    |                                   |   |                                   |
| JP                                     | 2022-63488  | A  | 22 April 2022                     | US 2022/0115351 A1<br>paragraphs [0004], [0037]-<br>[0136], fig. 1-26<br>DE 102021126277 A1   |                                   |
| -----                                  |             |    |                                   |   |                                   |
| JP                                     | 2016-48782  | A  | 07 April 2016                     | US 2017/0271237 A1<br>paragraphs [0010], [0053]-<br>[0127], fig. 1-11<br>WO 2016/031770 A1<br>EP 3196929 A1<br>KR 10-2017-0044105 A<br>CN 106663663 A |                                   |
| -----                                  |             |    |                                   |   |                                   |

|  |   |                |
|--|---|----------------|
| A. 発明の属する分野の分類（国際特許分類（IPC））<br>H01L 23/40(2006.01)i; B23K 20/00(2006.01)i; H01L 21/52(2006.01)i<br>FI: H01L23/40 F; H01L21/52 B; B23K20/00 310L  |   |                |
| B. 調査を行った分野<br>調査を行った最小限資料（国際特許分類（IPC））<br>H01L23/40; B23K20/00; H01L21/52<br>最小限資料以外の資料で調査を行った分野に含まれるもの<br>日本国実用新案公報 1922-1996年<br>日本国公開実用新案公報 1971-2023年<br>日本国実用新案登録公報 1996-2023年<br>日本国登録実用新案公報 1994-2023年   |   |                |
| 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）   |   |                |
| C. 関連すると認められる文献  |   |                |
| 引用文献の<br>カテゴリー*  | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求項の番号 |
| X  | WO 2022/080072 A1 (ローム株式会社) 21.04.2022 (2022-04-21)<br>段落[0005],[0010],[0017]-[0095], 図1-16 | 1-5, 14        |
| A  |   | 6-13, 15-17    |
| A  | JP 2022-63488 A (ローム株式会社) 22.04.2022 (2022-04-22)<br>段落[0005],[0011]-[0109], 図1-26          | 1-17           |
| A  | JP 2016-48782 A (三菱マテリアル株式会社) 07.04.2016 (2016-04-07)<br>段落[0011],[0027]-[0066], 図1-11      | 1-17           |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。  |   |                |
| * 引用文献のカテゴリー<br>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの<br>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）<br>“O” 口頭による開示、使用、展示等に言及する文献<br>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献<br>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの<br>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br>“&” 同一パテントファミリー文献 |   |                |
| 国際調査を完了した日   | 国際調査報告の発送日  |                |
| 27.10.2023   | 07.11.2023  |                |
| 名称及びあて先<br>日本国特許庁(ISA/JP)<br>〒100-8915<br>日本国<br>東京都千代田区霞が関三丁目4番3号   | 権限のある職員（特許庁審査官）<br><br>小池 英敏 5F 8396<br><br>電話番号 03-3581-1101 内線 3516                       |                |

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/033925

| 引用文献  |             |    | 公表日        | パテントファミリー文献                          |                 |    | 公表日 |
|-------|-------------|----|------------|--------------------------------------|-----------------|----|-----|
| WO    | 2022/080072 | A1 | 21.04.2022 | DE                                   | 212021000236    | U1 |     |
|       |             |    |            | 段落[0005],[0009],[0016]-[0094], 図1-16 |                 |    |     |
|       |             |    |            | CN                                   | 116018677       | A  |     |
| ----- |             |    |            |                                      |                 |    |     |
| JP    | 2022-63488  | A  | 22.04.2022 | US                                   | 2022/0115351    | A1 |     |
|       |             |    |            | 段落[0004],[0037]-[0136], 図1-26        |                 |    |     |
|       |             |    |            | DE                                   | 102021126277    | A1 |     |
| ----- |             |    |            |                                      |                 |    |     |
| JP    | 2016-48782  | A  | 07.04.2016 | US                                   | 2017/0271237    | A1 |     |
|       |             |    |            | 段落[0010],[0053]-[0127], 図1-11        |                 |    |     |
|       |             |    |            | WO                                   | 2016/031770     | A1 |     |
|       |             |    |            | EP                                   | 3196929         | A1 |     |
|       |             |    |            | KR                                   | 10-2017-0044105 | A  |     |
|       |             |    |            | CN                                   | 106663663       | A  |     |
| ----- |             |    |            |                                      |                 |    |     |