

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年7月17日(17.07.2014)



(10) 国際公開番号
WO 2014/109207 A1

- (51) 国際特許分類:
G09G 3/32 (2006.01) G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2013/084200
- (22) 国際出願日: 2013年12月20日(20.12.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-003646 2013年1月11日(11.01.2013) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 鈴木 秀幸 (SUZUKI, Hideyuki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 宮内 俊之 (MIYAUCHI, Toshiyuki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 植野 洋介 (UENO, Yosuke); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 宮島 良文 (MIYAJIMA, Yoshifumi); 〒2400005 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー L S I

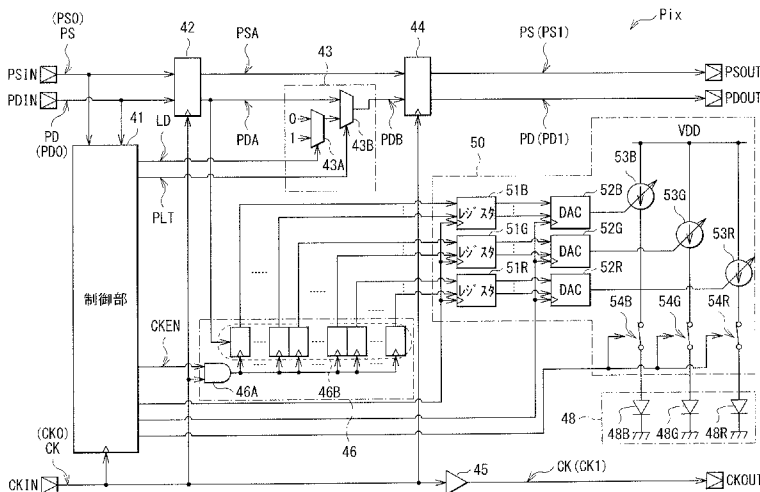
デザイン株式会社内 Kanagawa (JP). 服部 雅之 (HATTORI, Masayuki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 鷹鷲 和邦 (TAKANOHASHI, Kazukuni); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 富樫 治夫 (TOGASHI, Haruo); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 池田 保 (IKEDA, Tamotsu); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 大鳥居 英 (OOTORII, Hiizu); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 田中 幸也 (TANAKA, Sachiya); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).

- (74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,

[続葉有]

(54) Title: DISPLAY PANEL, PIXEL CHIP, AND ELECTRONIC APPARATUS

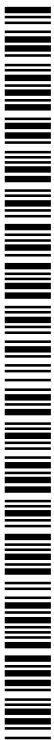
(54) 発明の名称: 表示パネル、画素チップ、および電子機器



41 Control unit
51B, 51G, 51R Register

(57) Abstract: This display panel is provided with a plurality of first unit pixels (Pix) each of which has: a first data input terminal (PDIN); a first data output terminal (PDOUT); a display element (48) that performs display on the basis of first data (PD) inputted to the first data input terminal (PDIN); and first waveform shaping units (42, 44) that are provided on a signal path from the first data input terminal (PDIN) to the first data output terminal (PDOUT).

(57) 要約: 表示パネルにおいて、それぞれが、第1のデータ入力端子 (PDIN) と、第1のデータ出力端子 (PDOUT) と、前記第1のデータ入力端子 (PDIN) に入力された第1のデータ (PD) に基づいて表示を行う表示素子 (48) と、前記第1のデータ入力端子 (PDIN) から前記第1のデータ出力端子 (PDOUT) への信号経路上に設けられた第1の波形整形部 (42, 44) とを有する複数の第1の単位画素 (Pix) を備える。



WO 2014/109207 A1



FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラ

シア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：表示パネル、画素チップ、および電子機器

技術分野

[0001] 本開示は、画像を表示する表示パネル、そのような表示パネルに用いられる画素チップ、およびそのような表示パネルを備える電子機器に関する。

背景技術

[0002] 近年、画像表示を行う表示装置の分野では、発光素子として、流れる電流値に応じて発光輝度に変化する電流駆動型の光学素子、例えば有機EL (Electro Luminescence) 素子を用いた表示装置 (有機EL表示装置) が開発され、商品化が進められている。有機EL素子は、液晶素子などと異なり自発光素子であり、光源 (バックライト) が必要ない。そのため、有機EL表示装置は、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速いなどの特徴を有する。このような有機EL表示装置は、しばしば、中型や小型の表示装置に採用されている。

[0003] 例えば、特許文献1には、各画素に薄膜トランジスタ (TFT) を設け、画素ごとに有機EL素子の発光を制御する、いわゆるアクティブマトリクス型の表示装置が開示されている。この表示装置は、水平方向に延伸する複数のゲート線と、垂直方向に延伸する複数のデータ線を有し、各画素が、ゲート線とデータ線との交点付近に設けられている。そして、ゲート線の信号に基づいて画素がラインごとに選択され、その選択された画素にアナログの画素電圧が書き込まれるようになっている。

先行技術文献

特許文献

[0004] 特許文献1：特開2012-32828号公報

発明の概要

[0005] ところで、表示装置においては、一般に画質が高いことが望まれる。具体的には、例えば、しばしば高精細な表示装置や、大画面の表示装置が望まれ

る。また、フレームレートの高い表示装置が期待される場合もある。

[0006] したがって、画質を高めることができる表示パネル、画素チップ、および電子機器を提供することが望ましい。

[0007] 本開示の一実施形態における表示パネルは、複数の第1の単位画素を備えている。複数の第1の単位画素は、それぞれが、第1のデータ入力端子と、第1のデータ出力端子と、第1のデータ入力端子に入力された第1のデータに基づいて表示を行う表示素子と、第1のデータ入力端子から第1のデータ出力端子への信号経路上に設けられた第1の波形整形部とを有するものである。

[0008] 本開示の一実施形態における画素チップは、第1のデータ入力端子と、第1のデータ出力端子と、第1の波形整形部とを備えている。第1の波形整形部は、第1のデータ入力端子から第1のデータ出力端子への信号経路上に設けられたものである。

[0009] 本開示の一実施形態における電子機器は、上記表示パネルを備えたものであり、例えば、テレビジョン装置、デジタルカメラ、パーソナルコンピュータ、ビデオカメラあるいは携帯電話等の携帯端末装置などが該当する。

[0010] 本開示の一実施形態における表示パネル、画素チップ、および電子機器では、各第1の単位画素において、第1のデータが、第1のデータ入力端子に入力される。この第1のデータは、第1の波形整形部において波形整形され、第1のデータ出力端子から出力される。

[0011] 本開示の一実施形態における表示パネル、画素チップ、および電子機器によれば、各第1の単位画素において、第1のデータ入力端子から第1のデータ出力端子への信号経路上に第1の波形整形部を設けるようにしたので、画質を高めることができる。

図面の簡単な説明

[0012] [図1]本開示の実施の形態に係る表示装置の一構成例を表すブロック図である。

[図2]図1に示した表示パネルの一構成例を表す説明図である。

- [図3]データ信号の一構成例を表す説明図である。
- [図4]図2に示した画素の一構成例を表すブロック図である。
- [図5]図2に示した制御部の一動作例を表す状態遷移図である。
- [図6]図2に示した各画素の一動作例を表す説明図である。
- [図7]初段の画素に入力される信号例を表す説明図である。
- [図8]各画素における一動作例を表す説明図である。
- [図9]各画素における一動作例を表す他の説明図である。
- [図10]各画素における一動作例を表す他の説明図である。
- [図11]各画素における一動作例を表す他の説明図である。
- [図12]各画素における一動作例を表す他の説明図である。
- [図13]各画素における一動作例を表す他の説明図である。
- [図14]各画素における一動作例を表す他の説明図である。
- [図15]各画素における一動作例を表す他の説明図である。
- [図16]各画素における一動作例を表す他の説明図である。
- [図17]各画素における一動作例を表す他の説明図である。
- [図18]各画素における一動作例を表す他の説明図である。
- [図19]各画素における一動作例を表す他の説明図である。
- [図20]各画素における一動作例を表す他の説明図である。
- [図21]各画素における一動作例を表す他の説明図である。
- [図22]各画素における一動作例を表す他の説明図である。
- [図23]各画素における一動作例を表す他の説明図である。
- [図24]各画素における一動作例を表す他の説明図である。
- [図25]各画素における一動作例を表す他の説明図である。
- [図26]各画素における一動作例を表す他の説明図である。
- [図27]各画素における一動作例を表す他の説明図である。
- [図28]各画素における一動作例を表す他の説明図である。
- [図29]各画素における一動作例を表す他の説明図である。
- [図30]各画素における一動作例を表す他の説明図である。

[図31]各画素における一動作例を表す他の説明図である。

[図32]各画素における一動作例を表す他の説明図である。

[図33]第1の実施の形態の変形例に係る画素の一構成例を表すブロック図である。

[図34]第1の実施の形態の他の変形例に係る画素の一構成例を表すブロック図である。

[図35]第1の実施の形態の他の変形例に係る画素の一構成例を表すブロック図である。

[図36]図35に示した画素の動作を説明するための説明図である。

[図37]図36に示した各画素の一動作例を表す説明図である。

[図38]第1の実施の形態の他の変形例に係る画素の一構成例を表すブロック図である。

[図39]第1の実施の形態の他の変形例に係る画素の一構成例を表すブロック図である。

[図40]第1の実施の形態の他の変形例に係るメモリ部の一構成例を表すブロック図である。

[図41]第1の実施の形態の他の変形例に係る表示パネルの一構成例を表す説明図である。

[図42]第1の実施の形態の他の変形例に係る表示パネルの一構成例を表す説明図である。

[図43]第1の実施の形態の他の変形例に係る表示パネルの一構成例を表す説明図である。

[図44]第1の実施の形態の他の変形例に係る表示パネルの一構成例を表す説明図である。

[図45]第1の実施の形態の他の変形例に係る表示パネルの一構成例を表す説明図である。

[図46]第2の実施の形態に係る画素の一構成例を表すブロック図である。

[図47]初段の画素に入力される信号例を表す説明図である。

[図48]各画素における一動作例を表す説明図である。

[図49]各画素における一動作例を表す他の説明図である。

[図50]変形例に係る画素の一構成例を表すブロック図である。

[図51]変形例に係る画素の一構成例を表すブロック図である。

発明を実施するための形態

[0013] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態
2. 第2の実施の形態

[0014] <1. 第1の実施の形態>

[構成例]

(全体構成例)

図1は、第1の実施の形態に係る表示装置の一構成例を表すものである。表示装置1は、LED (Light Emitting Diode) を表示素子として用いた、アクティブマトリクス型の表示パネルを有するテレビジョン装置である。なお、本開示の実施の形態に係る表示パネルおよび画素チップは、本実施の形態により具現化されるので、併せて説明する。

[0015] 表示装置1は、RF (Radio Frequency) 部11と、復調部12と、デマルチプレクサ部13と、デコーダ部14と、信号変換部15と、表示パネル20とを備えている。

[0016] RF部11は、アンテナ9において受信された放送波 (RF信号) に対して、ダウンコンバート等の処理をするものである。復調部12は、RF部11から供給された信号に対して復調処理をするものである。デマルチプレクサ部13は、復調部12から供給された信号 (ストリーム) に多重化されたビデオ信号およびオーディオ信号から、これらの信号を分離するものである。

[0017] デコーダ部14は、デマルチプレクサ部13から供給された信号 (ビデオ信号およびオーディオ信号) をデコードするものである。具体的には、この

例では、デマルチプレクサ部 13 から供給された信号は、MPEG2 (Moving Picture Experts Group phase 2) によりエンコードされている信号であり、デコーダ部 14 はこの信号に対してデコード処理を行うようになっている。

[0018] 信号変換部 15 は、信号のフォーマット変換を行うものである。具体的には、この例では、デコーダ部 14 から供給された信号は YUV フォーマットの信号であり、この信号変換部 15 は、この信号のフォーマットを RGB フォーマットに変換するようになっている。そして、信号変換部 15 は、このようにしてフォーマット変換した信号を映像信号 Sdisp として出力するようになっている。

[0019] 表示パネル 20 は、LED を表示素子として用いた、アクティブマトリクス型の表示パネルである。表示パネル 20 は、表示駆動部 21 と、表示部 30 とを有している。

[0020] 表示駆動部 21 は、信号変換部 15 から供給された映像信号 Sdisp に基づいて、表示部 30 の各画素 Pix (後述) における発光を制御するものである。具体的には、後述するように、表示駆動部 21 は、表示部 30 の画素 Pix の各列に対して、データ信号 PS、PD およびクロック信号 CK を供給することにより、各画素 Pix の発光を制御するようになっている。

[0021] 図 2 は、表示部 30 の一構成例を表すものである。表示部 30 には、複数の画素 Pix がマトリクス状に配置されている。具体的には、この例では、画素 Pix は、水平方向 (横方向) に M 個、垂直方向 (縦方向) に N 個配置されている。

[0022] 垂直方向に並設された画素 Pix (Pix0, Pix1, Pix2, ..., Pix(N-1)) は、デジチェーン接続されている。表示駆動部 21 は、デジチェーン接続された 1 列分の画素 Pix における初段の画素 Pix0 に対して、データ信号 PS, PD (PS0, PD0)、およびクロック信号 CK (CK0) を供給する。この画素 Pix0 は、データ信号 PS0, PD0、およびクロック信号 CK0 に基づいて、データ信号 PS, PD (PS1, PD1)

、およびクロック信号CK (CK1) を生成し、次段の画素Pix1に供給する。この次段の画素Pix1は、データ信号PS1, PD1、およびクロック信号CK1に基づいて、データ信号PS, PD (PS2, PD2)、およびクロック信号CK (CK2) を生成し、その次の画素Pix2に供給する。続く画素Pix2~Pix(N-2)についても同様である。そして最終段の画素Pix(N-1)は、前段の画素Pix(N-2)が生成したデータ信号PS, PD (PS(N-1), PD(N-1))、およびクロック信号CK (CK(N-1)) を受け取るようになっている。このように、画素Pixは、データ信号PS, PDについてデジチェーン接続されるとともに、クロック信号CKについてもデジチェーン接続されている。

[0023] 図3は、データ信号PS, PDの構成例を表すものである。この図3は、1つの画素Pixに係るデータ信号PS, PDを示している。すなわち、表示駆動部21は、デジチェーン接続されたN個の画素Pixに対して、図3に示した信号がN個分連なったデータ信号PS, PDを供給する。以下、1つの画素Pixに係るデータ信号PDを、画素パケットPCTとも呼ぶ。

[0024] データ信号PDは、フラグRSTと、フラグPLと、輝度データIDとを有している。フラグRSTは、後述するように、各フレームにおける最初の画素パケットを示すものである。具体的には、フラグRSTは、各フレームにおける最初の画素パケットPCTにおいて“1”となり、そのフレームにおける他の画素パケットPCTにおいて“0”となるものである。フラグPLは、その画素パケットPCTにおける輝度データIDが、いずれかの画素Pixにより既に読み込まれたか否かを示すものである。具体的には、フラグPLは、その輝度データIDがまだ読み込まれていない場合には“0”となり、既に読み込まれている場合には“1”となるものである。輝度データIDは、各画素Pixにおける発光輝度を画定するものである。この輝度データIDは、赤色(R)の発光輝度を示す輝度データIDRと、緑色(G)の発光輝度を示す輝度データIDGと、青色(B)の発光輝度を示す輝度データIDBを有している。この例では、輝度データIDR, IDG, IDBは、

それぞれ12ビットからなるコードである。

[0025] データ信号PSは、データ信号PDがフラグRSTを示すときに“1”となり、その他のときには“0”となる信号である。言い換えれば、データ信号PSは、各画素パケットPCTの開始時のみ“1”となる信号である。

[0026] 各画素Pixは、データ信号PS、PDおよびクロック信号CKを前段の画素Pixから受け取り、次段の画素Pixに対して供給する。そして、各画素Pixは、データ信号PDから、その画素Pixに係る輝度データIDを読み込み、その輝度データIDに応じた発光輝度で発光するようになっている。

[0027] 図4は、画素Pixの一構成例を表すものである。画素Pixは、制御部41と、フリップフロップ42、44と、セクタ部43と、バッファ45と、メモリ部46と、駆動部50と、発光部48とを有している。なお、以下では、説明の便宜上、デジチェーン接続された一列分の画素Pixのうちの初段の画素Pix0を用いて説明するが、その他の画素Pix1~Pix(N-1)においても同様である。

[0028] 画素Pix0は、入力端子PSINに入力されたデータ信号PS0、入力端子PDINに入力されたデータ信号PD0、および入力端子CKINに入力されたクロック信号CK0に基づいて、データ信号PS1、PD1、およびクロック信号CK1を生成する。そして、画素Pix0は、データ信号PS1を出力端子PSOUTから出力し、データ信号PD1を出力端子PDOUTから出力し、クロック信号CK1を出力端子CKOUTから出力するようになっている。

[0029] 制御部41は、データ信号PS0、PD0、およびクロック信号CK0に基づいて、画素Pix0の状態を設定し、信号LD、PLT、CKENを生成するステートマシンである。信号LD、信号PLTは、後述するように、データ信号PDに含まれるフラグPLを書き換えるための信号である。具体的には、信号LDは、この書き換えによりフラグPLになる信号であり、信号PLTはこの書き換えタイミングを指示する制御信号である。また、信号CKENは、後述するように、メモリ部46に輝度データIDを記憶するタ

イミングを指示する制御信号である。また、制御部41は、駆動部50に対して制御信号を供給する機能をも有している。

[0030] フリップフロップ42は、クロック信号CK0に基づいてデータ信号PS0をサンプリングし、その結果をデータ信号PSAとして出力するとともに、クロック信号CK0に基づいてデータ信号PD0をサンプリングし、その結果をデータ信号PDAとして出力するものである。このフリップフロップ42は、例えば、データ信号PS0をサンプリングするためのD型フリップフロップ回路と、データ信号PD0をサンプリングするためのD型フリップフロップ回路とを用いて構成されるものである。

[0031] セレクタ部43は、データ信号PDAおよび信号LD, PLTに基づいて、データ信号PDBを生成するものである。セレクタ部43は、セレクタ43A, 43Bを有している。セレクタ43Aの第1の入力端子には“0”が入力され、第2の入力端子には“1”が入力され、制御入力端子には信号LDが入力される。このセレクタ43Aは、信号LDが“0”であるときには第1の入力端子に入力された“0”を出力し、信号LDが“1”であるときには第2の入力端子に入力された“1”を出力する。セレクタ43Bの第1の入力端子にはデータ信号PDAが入力され、第2の入力端子にはセレクタ43Aからの出力信号が入力され、制御入力端子には信号PLTが入力される。このセレクタ43Bは、信号PLTが“0”であるときには第1の入力端子に入力されたデータ信号PDAを出力し、信号PLTが“1”であるときには、第2の入力端子に入力されたセレクタ43Aからの出力信号を出力する。セレクタ部43は、このセレクタ43Bの出力信号を、データ信号PDBとして、フリップフロップ44に供給するようになっている。

[0032] この構成により、セレクタ部43は、信号PLTが“0”である期間では、データ信号PDAをデータ信号PDBとしてそのまま出力するとともに、信号PLTが“1”である期間では、信号LDをデータ信号PDBとして出力する。この信号PLTは、データ信号PDAが、フラグPLを示す期間において“1”になるとともに、その他の期間において“0”になる信号であ

る。すなわち、セクタ部43は、データ信号PDAのうち、フラグPLを信号LDに置き換えることによりデータ信号PDBを生成するようになっている。

[0033] フリップフロップ44は、クロック信号CK0に基づいてデータ信号PSAをサンプリングし、その結果をデータ信号PS1として出力するとともに、クロック信号CK0に基づいてデータ信号PDBをサンプリングし、その結果をデータ信号PD1として出力するものである。このフリップフロップ44は、例えば、フリップフロップ42と同様に、2つのD型フリップフロップ回路を用いて構成されるものである。

[0034] バッファ45は、クロック信号CK0に対して波形整形を行い、クロック信号CK1として出力するものである。

[0035] メモリ部46は、輝度データIDを記憶するものである。このメモリ部46は、論理積回路46Aと、シフトレジスタ46Bとを有している。論理積回路46Aは、第1の入力端子の信号と第2の入力端子の信号との論理積を求めるものである。論理積回路46Aの第1の入力端子には、制御部41から供給された信号CKENが入力され、第2の入力端子にはクロック信号CK0が入力される。シフトレジスタ46Bは、この例では36ビットのシフトレジスタである。シフトレジスタ46Bのデータ入力端子にはデータ信号PDAが入力され、クロック入力端子には、論理積回路46Aの出力信号が入力される。

[0036] この構成により、メモリ部46は、信号CKENが“1”である期間において、データ信号PDAに含まれるデータを記憶する。この信号CKENは、後述するように、データ信号PDAが、画素Pix0に係る36ビット分の画素データIDを示す期間において“1”になるとともに、その他の期間において“0”になる信号である。これにより、論理積回路46Aは、データ信号PDAが、画素Pix0に係る画素データIDを示す期間において、クロック信号をシフトレジスタ46Bに供給する。このようにして、シフトレジスタ46Bは、画素Pix0に係る36ビット分の画素データIDを記憶する

。その際、このシフトレジスタ46Bのうちの最終段から12ビットの部分は輝度データIDRを記憶し、中央付近の12ビットの部分は輝度データIDGを記憶し、初段から12ビットの部分は輝度データIDBを記憶するようになっている。

[0037] 駆動部50は、メモリ部46に記憶された輝度データIDに基づいて、発光部48を駆動するものである。駆動部50は、レジスタ51R、51G、51Bと、DAC(D/Aコンバータ)52R、52G、52Bと、可変電流源53R、53G、53Bとを有している。

[0038] レジスタ51R、51G、51Bは、制御部41から供給された制御信号に基づいて、12ビット分のデータをそれぞれ記憶するものである。具体的には、レジスタ51Rは、シフトレジスタ46Bのうちの最終段から12ビットの部分に記憶された輝度データIDRを記憶し、レジスタ51Gは、中央付近の12ビットの部分に記憶された輝度データIDGを記憶し、レジスタ51Bは、初段から12ビットの部分に記憶された輝度データIDBを記憶するようになっている。

[0039] DAC52R、52G、52Bは、制御部41から供給された制御信号に基づいて、レジスタ51R、51G、51Bに記憶された12ビットのデジタル信号をアナログ信号にそれぞれ変換するものである。

[0040] 可変電流源53R、53G、53Bは、DAC52R、52G、52Bから供給されたアナログ信号に応じた駆動電流をそれぞれ生成するものである。

[0041] 発光部48は、駆動部50から供給された駆動電流に基づいて発光するものである。発光部48は、発光素子48R、48G、48Bを有するものである。発光素子48R、48G、48Bは、LEDを用いて構成された発光素子であり、それぞれ、赤色(R)、緑色(G)、青色(B)の光を射出するものである。

[0042] この構成により、DAC52Rは、レジスタ51Rに記憶された輝度データIDRに基づいてアナログ電圧を生成する。そして、可変電流源53Rは

、そのアナログ電圧に基づいて駆動電流を生成して、スイッチ54Rを介して発光部48の発光素子48Rに供給する。発光素子48Rは、その駆動電流に応じた発光輝度で発光する。同様に、DAC52Gは、レジスタ51Gに記憶された輝度データIDGに基づいてアナログ電圧を生成し、可変電流源53Gは、そのアナログ電圧に基づいて駆動電流を生成して、スイッチ54Gを介して発光部48の発光素子48Gに供給し、発光素子48Gは、その駆動電流に応じた発光輝度で発光する。また、DAC52Bは、レジスタ51Bに記憶された輝度データIDBに基づいてアナログ電圧を生成し、可変電流源53Bは、そのアナログ電圧に基づいて駆動電流を生成して、スイッチ54Bを介して発光部48の発光素子48Bに供給し、発光素子48Bは、その駆動電流に応じた発光輝度で発光する。

[0043] なお、これらのスイッチ54R、54G、54Bは、制御部41から供給される制御信号によりオンオフ制御されるように構成されており、これにより、画素Pixでは、赤色(R)、緑色(G)、青色(B)の各発光輝度のバランスを維持したまま、発光輝度を調整することができるようになっている。

[0044] 各画素Pixを構成するこれらのブロックのうち、発光部48を除く各ブロックは、1つのチップに集積されている。すなわち、表示パネル20には、(M×N)個のチップと、(M×N)個の発光部48が、マトリクス状に配置されている。

[0045] ここで、画素Pixは、本開示における「第1の単位画素」の一具体例に対応する。入力端子PDINは、本開示における「第1のデータ入力端子」の一具体例に対応し、出力端子PDOUTは、本開示における「第1のデータ出力端子」の一具体例に対応する。データ信号PDは、本開示における「第1のデータ」の一具体例に対応する。フリップフロップ42、44は、本開示における「第1の波形整形部」の一具体例に対応する。入力端子PSINは、本開示における「第2のデータ入力端子」の一具体例に対応し、出力端子PSOUTは、本開示における「第2のデータ出力端子」の一具体例に対

応する。データ信号PSは、本開示における「第2のデータ」の一具体例に対応する。フリップフロップ42, 44は、本開示における「第2の波形整形部」の一具体例に対応する。入力端子CKINは、本開示における「第1のクロック入力端子」の一具体例に対応し、出力端子CKOUTは、本開示における「第1のクロック出力端子」の一具体例に対応する。バッファ45は、本開示における「第1のバッファ」の一具体例に対応する。発光素子48R, 48G, 48Bは、本開示における「表示素子」の一具体例に対応する。DAC52R, 52G, 52Bは、本開示における「変換部」の一具体例に対応する。

[0046] [動作および作用]

続いて、本実施の形態の表示装置1の動作および作用について説明する。

[0047] (全体動作概要)

まず、図1などを参照して、表示装置1の全体動作概要を説明する。RF部11は、アンテナ19において受信された放送波(RF信号)に対して、ダウンコンバート等の処理を行う。復調部12は、RF部11から供給された信号に対して復調処理を行う。デマルチプレクサ部13は、復調部12から供給された信号(ストリーム)に多重化されたビデオ信号およびオーディオ信号から、これらの信号を分離する。デコーダ部14は、デマルチプレクサ部13から供給された信号(ビデオ信号およびオーディオ信号)をデコードする。信号変換部15は、信号のフォーマット変換を行い、映像信号Sdispとして出力する。

[0048] 表示パネル20において、表示駆動部21は、信号変換部15から供給された映像信号Sdispに基づいて、表示部30の各画素Pixにおける発光を制御する。具体的には、表示駆動部21は、表示部30における画素Pixの各列に対して、データ信号PS、PDおよびクロック信号CKを供給する。各画素Pixは、データ信号PS, PDおよびクロック信号CKを前段の画素Pixから受け取り、次段の画素Pixに対して供給する。そして、各画素Pixは、データ信号PDから、その画素Pixに係る輝度データIDを読み込み、その

輝度データ I D に応じた発光輝度で発光する。

[0049] (画素 P i x の詳細動作)

画素 P i x では、制御部 4 1 がステートマシーンとして機能し、画素 P i x の動作を制御する。以下に、まず、制御部 4 1 の動作について、詳細に説明する。

[0050] 図 5 は、制御部 4 1 の状態遷移図を表すものである。図 5 に示したように、画素 P i x には、3 つの状態 S 0 ~ S 2 がある。

[0051] 状態 S 0 は、その画素 P i x が輝度データ I D を読み込んでいない状態（未読込 (Unloaded)）を示すものである。この状態 S 0 では、制御部 4 1 は、信号 L D を “0” に設定する。これにより、その画素 P i x は、入力された信号 P D のうちのフラグ P L を “0” に置き換える。また、制御部 4 1 は、C K E N を “0” に設定する。

[0052] 状態 S 1 は、その画素 P i x が輝度データ I D を読み込んでいる状態（読込中 (Loading)）を示すものである。この状態 S 1 では、制御部 4 1 は、信号 L D を “0” に設定する。これにより、その画素 P i x は、入力された信号 P D のうちのフラグ P L を “0” に置き換える。また、制御部 4 1 は、信号 P D A が輝度データ I D を示している期間において信号 C K E N を “1” に設定するとともに、それ以外の期間では、信号 C K E N を “0” に設定する。これにより、輝度データ I D が、メモリ部 4 6 に記憶される。

[0053] 状態 S 2 は、その画素 P i x が輝度データ I D を読み込んだ状態（読込済 (Loaded)）を示すものである。この状態 S 2 では、制御部 4 1 は、信号 L D を “1” に設定する。これにより、その画素 P i x は、入力された信号 P D のうちのフラグ P L を “1” に置き換える。また、制御部 4 1 は、C K E N を “0” に設定する。

[0054] これらの 3 つの状態 S 0 ~ S 2 の間の遷移は、データ信号 P D に含まれるフラグ R S T, P L に基づいて行われる。まず、フラグ R S T として “1” が入力されると、制御部 4 1 は、その画素 P i x を状態 S 0（未読込）に設定する。この状態 S 0（未読込）において、フラグ R S T として “1” が入力

された場合 ($RST = 1$)、またはフラグ PL として “0” が入力された場合 ($PL = 1$) には、画素 Pix の状態は、状態 $S0$ (未読込) に維持される。

[0055] 状態 $S0$ (未読込) において、フラグ RST として “0” が入力されるとともに、フラグ PL として “1” が入力された場合 ($RST = 0$ and $PL = 1$) には、画素 Pix の状態は、状態 $S0$ (未読込) から状態 $S1$ (読込中) に遷移する。この状態 $S1$ (読込中) において、フラグ RST として “1” が入力された場合 ($RST = 1$) には、画素 Pix の状態は、状態 $S1$ (読込中) から状態 $S0$ (未読込) に遷移する。

[0056] また、状態 $S1$ (読込中) において、フラグ RST として “0” が入力された場合には、画素 Pix の状態は、状態 $S1$ (読込中) から状態 $S2$ (読込済) に遷移する。この状態 $S2$ (読込済) において、フラグ RST として “0” が入力された場合 ($RST = 0$) には、画素 Pix の状態は、状態 $S2$ (読込済) に維持される。そして、この状態 $S2$ (読込済) において、フラグ RST として “1” が入力された場合 ($RST = 1$) には、画素 Pix の状態は、状態 $S2$ (読込済) から状態 $S0$ (未読込) に遷移する。

[0057] 図6は、1フレーム期間 ($1F$) における各画素 $Pix0 \sim Pix(N-1)$ の状態を表すものである。1フレーム期間 ($1F$) が開始すると、初段の画素 $Pix0$ には、フラグ RST として “1” が入力され、画素 $Pix0$ の状態が状態 $S0$ (未読込) に設定される。その後、画素 $Pix1 \sim Pix(N-1)$ は、その1フレーム期間 ($1F$) 内において、順次、状態 $S0$ (未読込) に設定される。その際、隣り合う画素 Pix における状態 $S0$ (未読込) の期間の開始タイミングは、後述するように、クロック信号 CK の2パルス分だけずれる。次に、各画素 $Pix0 \sim Pix(N-1)$ の状態は、状態 $S0$ (未読込) から状態 $S1$ (読込中) に順次遷移する。隣り合う画素 Pix における状態 $S1$ (読込中) の期間は、互いに重ならないように設定される。この状態 $S1$ (読込中) では、各画素 $Pix0 \sim Pix(N-1)$ は、輝度データ ID を順次読み込む。その後、各画素 $Pix0 \sim Pix(N-1)$ の状態は、状態 $S1$ (読

込中) から状態 S 2 (読込済) に順次遷移する。この状態 S 2 (読込済) では、各画素 $P_{ix0} \sim P_{ix(N-1)}$ は、読み込んだ輝度データ ID に応じた発光輝度で発光する。

[0058] 次に、データ信号 PS , PD の具体例を用いて、画素 P_{ix} の動作を説明する。

[0059] 図 7 は、1 フレーム期間 (1 F) において、デジチェーン接続された画素 P_{ix} の列に入力される信号の一例を表すものであり、(A) はクロック信号 CK の波形を示し、(B) はデータ信号 PS の波形を示し、(C) はデータ信号 PD のデータを示す。図 7 (C) において、“x” は、“1” または “0” のうちのどちらでもよいことを示す。また、この例では、説明の便宜上、輝度データ IDR , IDG , IDB は、それぞれ 1 ビットのデータとし、“ r_0 ”, “ r_1 ”, ..., “ $r(N-1)$ ” は輝度データ IDR を示し、“ g_0 ”, “ g_1 ”, ..., “ $g(N-1)$ ” は輝度データ IDG を示し、“ b_0 ”, “ b_1 ”, ..., “ $b(N-1)$ ” は輝度データ IDB を示す。

[0060] 図 7 に示したように、フラグ RST は、1 フレーム期間 (1 F) における最初の画素パケット PCT では “1” であり、その他の画素パケット PCT では “0” である。また、この例では、フラグ PL は、1 フレーム期間 (1 F) における 2 番目以降の画素パケット PCT では “1” である。

[0061] 図 8 ~ 32 は、図 7 に示した信号の各ビットが順次入力された場合における、画素 $P_{ix0} \sim P_{ix2}$ の状態を表すものである。これらの図の上部に、データ信号 PS , PD と、初段の画素 P_{ix0} に入力されている信号部分 $P(P_1 \sim P_{25})$ を示している。また、これらの図の下部では、画素 $P_{ix0} \sim P_{ix2}$ におけるいくつかのブロックの状態、および信号のレベルを、“1”, “0”, “x” で表している。なお、画素 $P_{ix0} \sim P_{ix2}$ のブロック図は、説明の便宜上簡略化している。

[0062] まず、最初の信号部分 P_1 が初段の画素 P_{ix0} に入力されると、図 8 に示したように、画素 P_{ix0} のフリップフロップ 42 は、入力されたデータ信号 PS , PD をサンプリングする。画素 P_{ix0} の制御部 41 は、この信号部分

P 1 から、フラグ R S T の値 “ 1 ” を取得し、画素 P i x 0 の状態を状態 S 0 (未読込) に設定する。すなわち、制御部 4 1 は、信号 L D , P L T , C K E N をともに “ 0 ” にする。

[0063] 次に、信号部分 P 2 が画素 P i x 0 に入力されると、図 9 に示したように、フリップフロップ 4 2 , 4 4 は、それぞれ入力されたデータ信号をサンプリングする。画素 P i x 0 の制御部 4 1 は、信号 P L T を “ 1 ” にする。これにより、セクタ部 4 3 は、信号 L D と同じ “ 0 ” を出力する。すなわち、セクタ部 4 3 は、フラグ P L (“ x ”) を信号 L D の “ 0 ” に置き換える。

[0064] 次に、信号部分 P 3 が画素 P i x 0 に入力されると、図 1 0 に示したように、各画素 P i x において、フリップフロップ 4 2 , 4 4 は、それぞれ入力されたデータ信号をサンプリングする。これにより、次段の画素 P i x 1 には信号部分 P 1 が入力される。

[0065] 画素 P i x 0 では、制御部 4 1 が信号 P L T を “ 0 ” に戻す。これにより、セクタ部 4 3 は、フリップフロップ 4 2 からのデータ信号 P D A を選択して出力する。

[0066] 画素 P i x 1 では、制御部 4 1 は、信号部分 P 1 からフラグ R S T の値 “ 1 ” を取得し、画素 P i x 1 の状態を状態 S 0 (未読込) に設定する。すなわち、制御部 4 1 は、信号 L D , P L T , C K E N をともに “ 0 ” にする。

[0067] 次に、信号部分 P 4 が画素 P i x 0 に入力されると、図 1 1 に示したように、各画素 P i x において、フリップフロップ 4 2 , 4 4 は、それぞれ入力されたデータ信号をサンプリングする。これにより、次段の画素 P i x 1 には信号部分 P 2 が入力される。画素 P i x 1 では、制御部 4 1 が信号 P L T を “ 1 ” にする。これにより、セクタ部 4 3 は、信号 L D と同じ “ 0 ” を出力する。

[0068] 次に、信号部分 P 5 が画素 P i x 0 に入力されると、図 1 2 に示したように、各画素 P i x において、フリップフロップ 4 2 , 4 4 は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素 P i x 1 には信号部分 P 3 が入力され、画素 P i x 2 には信号部分 P 1 が入力される。

- [0069] 画素P ix 1では、制御部4 1が信号P L Tを“0”に戻す。これにより、セクタ部4 3は、フリップフロップ4 2からのデータ信号P D Aを選択して出力する。
- [0070] 画素P ix 2では、制御部4 1は、信号部分P 1から、フラグR S Tの値“1”を取得し、画素P ix 2の状態を状態S 0（未読込）に設定する。すなわち、制御部4 1は、信号L D， P L T， C K E Nをともに“0”にする。
- [0071] 次に、信号部分P 6が画素P ix 0に入力されると、図1 3に示したように、各画素P ixにおいて、フリップフロップ4 2， 4 4は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素P ix 1には信号部分P 4が入力され、画素P ix 2には信号部分P 2が入力される。
- [0072] 画素P ix 0では、制御部4 1が、信号部分P 6からフラグR S Tの値“0”を取得する。
- [0073] 画素P ix 2では、制御部4 1が信号P L Tを“1”にする。これにより、セクタ部4 3は、信号L Dと同じ“0”を出力する。
- [0074] 次に、信号部分P 7が画素P ix 0に入力されると、図1 4に示したように、各画素P ixにおいて、フリップフロップ4 2， 4 4は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素P ix 1には信号部分P 5が入力され、画素P ix 2には信号部分P 3が入力される。
- [0075] 画素P ix 0では、制御部4 1は、信号部分P 7から、フラグP Lの値“1”を取得する。この制御部4 1は、1つ前のタイミングでフラグR S Tの値“0”を取得しているため、画素P ix 1の状態を状態S 1（読込中）に設定する。また、この制御部4 1は、信号P L Tを“1”にする。これにより、セクタ部4 3は、信号L Dと同じ“0”を出力する。すなわち、セクタ部4 3は、フラグP L（“1”）を信号L Dの“0”に置き換える。
- [0076] 画素P ix 2では、制御部4 1が信号P L Tを“0”に戻す。これにより、セクタ部4 3は、フリップフロップ4 2からのデータ信号P D Aを選択して出力する。
- [0077] 次に、信号部分P 8が画素P ix 0に入力されると、図1 5に示したように

、各画素P ixにおいて、フリップフロップ4 2, 4 4は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素P ix 1には信号部分P 6が入力され、画素P ix 2には信号部分P 4が入力される。

[0078] 画素P ix 0では、制御部4 1が、信号P L Tを“0”に戻す。これにより、セクタ部4 3は、フリップフロップ4 2からのデータ信号P D Aを選択して出力する。また、制御部4 1は、信号C K E Nを“1”に設定する。

[0079] 画素P ix 1では、制御部4 1が、信号部分P 6からフラグR S Tの値“0”を取得する。

[0080] 次に、信号部分P 9が画素P ix 0に入力されると、図1 6に示したように、各画素P ixにおいて、フリップフロップ4 2, 4 4は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素P ix 1には信号部分P 7が入力され、画素P ix 2には信号部分P 5が入力される。

[0081] 画素P ix 0では、シフトレジスタ4 6 Bが、輝度データI D Rの値“r 0”を記憶する。

[0082] 画素P ix 1では、制御部4 1が、信号部分P 7からフラグP Lの値“0”を取得する。よって、画素P ix 1の状態は、状態S 0（未読込）に維持される。また、この制御部4 1は、信号P L Tを“1”にする。これにより、セクタ部4 3は、信号L Dと同じ“0”を出力する。

[0083] 次に、信号部分P 1 0が画素P ix 0に入力されると、図1 7に示したように、各画素P ixにおいて、フリップフロップ4 2, 4 4は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素P ix 1には信号部分P 8が入力され、画素P ix 2には信号部分P 6が入力される。

[0084] 画素P ix 0では、シフトレジスタ4 6 Bが、輝度データI D Gの値“g 0”を記憶する。

[0085] 画素P ix 1では、制御部4 1が信号P L Tを“0”に戻す。これにより、セクタ部4 3は、フリップフロップ4 2からのデータ信号P D Aを選択して出力する。

[0086] 画素P ix 2では、制御部4 1が、信号部分P 6からフラグR S Tの値“0

”を取得する。

[0087] 次に、信号部分P 1 1が画素P ix 0に入力されると、図1 8に示したように、各画素P ixにおいて、フリップフロップ4 2, 4 4は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素P ix 1には信号部分P 9が入力され、画素P ix 2には信号部分P 7が入力される。

[0088] 画素P ix 0では、シフトレジスタ4 6 Bが、輝度データI DBの値“b 0”を記憶する。これにより、シフトレジスタ4 6 B（メモリ部4 6）は、画素P ix 0に係る輝度データI DR, I DG, I DBの全てを記憶した状態になる。また、制御部4 1は、信号部分P 1 1からフラグR S Tの値“0”を取得し、画素P ix 0の状態を状態S 2（読込済）に設定する。すなわち、制御部4 1は、信号L Dを“1”にする。

[0089] 画素P ix 2では、制御部4 1が、信号部分P 7からフラグP Lの値“0”を取得する。よって、画素P ix 1の状態は、状態S 0（未読込）に維持される。また、この制御部4 1は、信号P L Tを“1”にする。これにより、セクタ部4 3は、信号L Dと同じ“0”を出力する。

[0090] 次に、信号部分P 1 2が画素P ix 0に入力されると、図1 9に示したように、各画素P ixにおいて、フリップフロップ4 2, 4 4は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素P ix 1には信号部分P 1 0が入力され、画素P ix 2には信号部分P 8が入力される。

[0091] 画素P ix 0では、制御部4 1が信号P L Tを“1”にする。これにより、セクタ部4 3は、信号L Dと同じ“1”を出力する。

[0092] 画素P ix 2では、制御部4 1が信号P L Tを“0”に戻す。これにより、セクタ部4 3は、フリップフロップ4 2からのデータ信号P D Aを選択して出力する。

[0093] 次に、信号部分P 1 3が画素P ix 0に入力されると、図2 0に示したように、各画素P ixにおいて、フリップフロップ4 2, 4 4は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素P ix 1には信号部分P 1 1が入力され、画素P ix 2には信号部分P 9が入力される。

- [0094] 画素P ix0では、制御部41が信号P L Tを“0”に戻す。これにより、セクタ部43は、フリップフロップ42からのデータ信号P D Aを選択して出力する。
- [0095] 画素P ix1では、制御部41が、信号部分P 11からフラグR S Tの値“0”を取得する。
- [0096] 次に、信号部分P 14が画素P ix0に入力されると、図21に示したように、各画素P ixにおいて、フリップフロップ42, 44は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素P ix1には信号部分P 12が入力され、画素P ix2には信号部分P 10が入力される。
- [0097] 画素P ix1では、制御部41は、信号部分P 12から、フラグP Lの値“1”を取得する。この制御部41は、1つ前のタイミングでフラグR S Tの値“0”を取得しているため、画素P ix1の状態を状態S 1（読込中）に設定する。また、この制御部41は、信号P L Tを“1”にする。これにより、セクタ部43は、信号L Dと同じ“0”を出力する。すなわち、セクタ部43は、フラグP L（“1”）を信号L Dの“0”に置き換える。
- [0098] 次に、信号部分P 15が画素P ix0に入力されると、図22に示したように、各画素P ixにおいて、フリップフロップ42, 44は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素P ix1には信号部分P 13が入力され、画素P ix2には信号部分P 11が入力される。
- [0099] 画素P ix1では、制御部41が信号P L Tを“0”に戻す。これにより、セクタ部43は、フリップフロップ42からのデータ信号P D Aを選択して出力する。また、制御部41は、信号C K E Nを“1”に設定する。
- [0100] 画素P ix2では、制御部41が、信号部分P 11からフラグR S Tの値“0”を取得する。
- [0101] 次に、信号部分P 16が画素P ix0に入力されると、図23に示したように、各画素P ixにおいて、フリップフロップ42, 44は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素P ix1には信号部分P 14が入力され、画素P ix2には信号部分P 12が入力される。

- [0102] 画素P_{ix0}では、制御部41が、信号部分P16からフラグRSTの値“0”を取得する。よって、画素P_{ix0}の状態は、状態S2（読込済）に維持される。
- [0103] 画素P_{ix1}では、シフトレジスタ46Bが、輝度データIDRの値“r1”を記憶する。
- [0104] 画素P_{ix2}では、制御部41が、信号部分P12からフラグPLの値“0”を取得する。よって、画素P_{ix2}の状態は、状態S0（未読込）に維持される。また、この制御部41は、信号PLTを“1”にする。これにより、セクタ部43は、信号LDと同じ“0”を出力する。
- [0105] 次に、信号部分P17が画素P_{ix0}に入力されると、図24に示したように、各画素P_{ix}において、フリップフロップ42、44は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素P_{ix1}には信号部分P15が入力され、画素P_{ix2}には信号部分P13が入力される。
- [0106] 画素P_{ix0}では、制御部41が信号PLTを“1”にする。これにより、セクタ部43は、信号LDと同じ“1”を出力する。
- [0107] 画素P_{ix1}では、シフトレジスタ46Bが、輝度データIDGの値“g1”を記憶する。
- [0108] 画素P_{ix2}では、制御部41が信号PLTを“0”に戻す。これにより、セクタ部43は、フリップフロップ42からのデータ信号PDAを選択して出力する。
- [0109] 次に、信号部分P18が画素P_{ix0}に入力されると、図25に示したように、各画素P_{ix}において、フリップフロップ42、44は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素P_{ix1}には信号部分P16が入力され、画素P_{ix2}には信号部分P14が入力される。
- [0110] 画素P_{ix0}では、制御部41が信号PLTを“0”に戻す。これにより、セクタ部43は、フリップフロップ42からのデータ信号PDAを選択して出力する。
- [0111] 画素P_{ix1}では、シフトレジスタ46Bが、輝度データIDBの値“b1

”を記憶する。これにより、シフトレジスタ46B（メモリ部46）は、画素Pix1に係る輝度データIDR，IDG，IDBの全てを記憶した状態になる。また、制御部41は、信号部分P18からフラグRSTの値“0”を取得し、画素Pix0の状態を状態S2（読込済）に設定する。すなわち、制御部41は、信号LDを“1”にする。

[0112] 次に、信号部分P19が画素Pix0に入力されると、図26に示したように、各画素Pixにおいて、フリップフロップ42，44は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素Pix1には信号部分P17が入力され、画素Pix2には信号部分P15が入力される。

[0113] 画素Pix1では、制御部41が信号PLTを“1”にする。これにより、セクタ部43は、信号LDと同じ“1”を出力する。

[0114] 次に、信号部分P20が画素Pix0に入力されると、図27に示したように、各画素Pixにおいて、フリップフロップ42，44は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素Pix1には信号部分P18が入力され、画素Pix2には信号部分P16が入力される。

[0115] 画素Pix1では、制御部41が信号PLTを“0”に戻す。これにより、セクタ部43は、フリップフロップ42からのデータ信号PDAを選択して出力する。

[0116] 画素Pix2では、制御部41が、信号部分P16からフラグRSTの値“0”を取得する。

[0117] 次に、信号部分P21が画素Pix0に入力されると、図28に示したように、各画素Pixにおいて、フリップフロップ42，44は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素Pix1には信号部分P19が入力され、画素Pix2には信号部分P17が入力される。

[0118] 画素Pix0では、制御部41が、信号部分P21からフラグRSTの値“0”を取得する。よって、画素Pix0の状態は、状態S2（読込済）に維持される。

[0119] 画素Pix2では、制御部41は、信号部分P17から、フラグPLの値“

“1”を取得する。この制御部41は、1つ前のタイミングでフラグRSTの値“0”を取得しているため、画素Pix2の状態を状態S1（読込中）に設定する。また、この制御部41は、信号PLTを“1”にする。これにより、セクタ部43は、信号LDと同じ“0”を出力する。すなわち、セクタ部43は、フラグPL（“1”）を信号LDの“0”に置き換える。

[0120] 次に、信号部分P22が画素Pix0に入力されると、図29に示したように、各画素Pixにおいて、フリップフロップ42, 44は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素Pix1には信号部分P20が入力され、画素Pix2には信号部分P18が入力される。

[0121] 画素Pix0では、制御部41が信号PLTを“1”にする。これにより、セクタ部43は、信号LDと同じ“1”を出力する。

[0122] 画素Pix2では、制御部41が信号PLTを“0”に戻す。これにより、セクタ部43は、フリップフロップ42からのデータ信号PDAを選択して出力する。また、制御部41は、信号CKENを“1”に設定する。

[0123] 次に、信号部分P23が画素Pix0に入力されると、図30に示したように、各画素Pixにおいて、フリップフロップ42, 44は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素Pix1には信号部分P21が入力され、画素Pix2には信号部分P19が入力される。

[0124] 画素Pix0では、制御部41が信号PLTを“0”に戻す。これにより、セクタ部43は、フリップフロップ42からのデータ信号PDAを選択して出力する。

[0125] 画素Pix1では、制御部41が、信号部分P21からフラグRSTの値“0”を取得する。よって、画素Pix0の状態は、状態S2（読込済）に維持される。

[0126] 画素Pix2では、シフトレジスタ46Bが、輝度データIDRの値“r2”を記憶する。

[0127] 次に、信号部分P24が画素Pix0に入力されると、図31に示したように、各画素Pixにおいて、フリップフロップ42, 44は、それぞれ入力さ

れたデータ信号をサンプリングする。これにより、画素P ix 1には信号部分P 2 2が入力され、画素P ix 2には信号部分P 2 0が入力される。

- [0128] 画素P ix 1では、制御部4 1が信号P L Tを“1”にする。これにより、セクタ部4 3は、信号L Dと同じ“1”を出力する。
- [0129] 画素P ix 2では、シフトレジスタ4 6 Bが、輝度データI D Gの値“g 2”を記憶する。
- [0130] 次に、信号部分P 2 5が画素P ix 0に入力されると、図3 2に示したように、各画素P ixにおいて、フリップフロップ4 2, 4 4は、それぞれ入力されたデータ信号をサンプリングする。これにより、画素P ix 1には信号部分P 2 3が入力され、画素P ix 2には信号部分P 2 1が入力される。
- [0131] 画素P ix 1では、制御部4 1が信号P L Tを“0”に戻す。これにより、セクタ部4 3は、フリップフロップ4 2からのデータ信号P D Aを選択して出力する。
- [0132] 画素P ix 2では、シフトレジスタ4 6 Bが、輝度データI D Bの値“b 2”を記憶する。これにより、シフトレジスタ4 6 B（メモリ部4 6）は、画素P ix 2に係る輝度データI D R, I D G, I D Bの全てを記憶した状態になる。また、制御部4 1は、信号部分P 2 1からフラグR S Tの値“0”を取得し、画素P ix 0の状態を状態S 2（読込済）に設定する。すなわち、制御部4 1は、信号L Dを“1”にする。
- [0133] このようにして、表示装置1では、各画素P ixは、データ信号P S, P Dおよびクロック信号C Kを前段の画素P ixから受け取り、次段の画素P ixに対して供給する。そして、各画素P ixは、データ信号P Dから、その画素P ixに係る輝度データI Dを読み込み、その輝度データI Dに応じた発光輝度で発光する。
- [0134] 以上のように、表示装置1では、画素P ixをデイジーチェーン接続するようになったので、画質を高めることができる。すなわち、例えば、特許文献1に記載された表示装置では、駆動部が、ゲート線やデータ線を介して各画素を駆動する。このゲート線やデータ線は、一列分の複数の画素、または一行

分の複数の画素に接続される、いわばグローバルな配線である。よって、例えば、大画面の表示装置を実現しようとする場合には、これらの配線が長くなるため、配線の抵抗や寄生容量が増加し、各画素を十分に駆動することができなくなるおそれがある。また、例えば、高精細な表示装置を実現しようとする場合には、各フレーム期間により多くのラインを駆動する必要があることから、1水平期間（1H）に割り当てられる時間が短くなり、各画素を十分に駆動することができなくなるおそれがある。また、例えば、フレームレートを高めようとする場合にも、1水平期間（1H）に割り当てられる時間が短くなり、各画素を十分に駆動することができなくなるおそれがある。

[0135] 一方、本実施の形態に係る表示装置1では、画素Pixをデジチェーン接続するようにしている。すなわち、各画素Pixは、上述したようなグローバルな配線ではなく、画素Pix間のローカルな配線を介して、次段の画素Pixを駆動する。よって、各画素Pixは、このような短い配線を介して、比較的容易に次段の画素Pixを駆動することができ、大画面の表示装置を実現することができる。また、各画素Pixは、配線が短いため、比較的容易にデータ信号PS、PDなどの転送速度を高めることができ、高精細な表示装置やフレームレートの高い表示装置を実現することができる。

[0136] また、このように画素Pixをデジチェーン接続するようにしたので、表示装置1の構成をシンプルにすることができる。すなわち、例えば、特許文献1に記載された表示装置では、水平方向（横方向）に延伸する複数のゲート線、垂直方向（縦方向）に延伸する複数のデータ線、ゲート線に接続されたいわゆるゲートドライバ、およびデータ線に接続されたいわゆるデータドライバを設けるため、構成が複雑になるおそれがある。一方、本実施の形態に係る表示装置1では、画素Pixをデジチェーン接続するようにしたので、図1にしめしたように、垂直方向（縦方向）に延伸する配線のみを設ければよいため、水平方向（横方向）に延伸する配線や、その配線を駆動するための駆動部を設けなくてすみ、表示装置1の構成をシンプルにすることができる。

- [0137] また、表示装置 1 では、デジタル信号（データ信号 P S， P D およびクロック信号 C K）を用いて各画素 P i x の発光を制御するようにしたので、ノイズの画質への影響を低減することができる。例えば、特許文献 1 に記載された表示装置では、アナログ信号を用いているため、ノイズにより画質が劣化するおそれがある。また、特に、大画面、高精細、またはフレームレートが高い表示装置では、ノイズの画質への影響がさらに大きくなるおそれがある。一方、本実施の形態に係る表示装置 1 では、デジタル信号を用いるようにしたので、ノイズの画質への影響を低減することができる。
- [0138] また、このようにデジタル信号を用いるようにしたので、輻射を低減することができる。すなわち、例えば、アナログ信号を用いた場合には、階調表現や、ノイズに対する耐性などの観点から、信号振幅が大きくなるおそれがあり、この場合には、輻射が増大してしまう。一方、本実施の形態に係る表示装置 1 では、デジタル信号を用いるようにしたので、信号振幅を小さくすることができるため、輻射を低減することができる。
- [0139] また、表示装置 1 では、各画素 P i x が、フリップフロップ 4 2， 4 4 やバッファ 4 5 を有するようにしたので、データ信号 P S， P D などの信号振幅を小さくすることができる。すなわち、例えば、フリップフロップ 4 2， 4 4 やバッファ 4 5 を設けない場合には、表示駆動部から離れるに従い、信号振幅が減衰するおそれがある。この場合には、表示駆動部は、大きな信号振幅のデータ信号 P S， P D を生成する必要がある。一方、表示装置 1 では、画素 P i x を通過する度に、データ信号 P S， P D およびクロック信号 C K が波形整形されることにより信号振幅が維持される。つまり、信号振幅が減衰するおそれを低減することができるため、データ信号 P S， P D の信号振幅を小さくすることができる。これにより、上述した輻射を低減できるとともに、電源電圧を低くすることができ、消費電力を低減することができる。
- [0140] また、表示装置 1 では、各画素 P i x にメモリ部 4 6 を設けるようにしたので、例えば静止画を表示する場合には、データ転送を行う必要がないため、消費電力を低減することができる。

[0141] また、表示装置 1 では、各画素に、クロック信号 CK に基づいてデータ信号 PS, PD をサンプリングするフリップフロップ 42, 44 を設けるようにしたので、データ信号 PS, PD とクロック信号 CK との間の相対的な位相関係を維持することができる。

[0142] [効果]

以上のように本実施の形態では、画素をデジチェーン接続するようにしたので、例えば、大画面、高精細、またはフレームレートの高い表示装置を実現することができ、画質を高めることができるとともに、表示装置の構成をシンプルにすることができる。

[0143] 本実施の形態では、デジタル信号を用いて各画素の発光を制御するようにしたので、ノイズの画質への影響を低減することができるとともに、輻射を低減することができる。

[0144] 本実施の形態では、各画素がフリップフロップやバッファを有するようにしたので、信号振幅を小さくすることができ、輻射を低減できるとともに、消費電力を低減することができる。

[0145] 本実施の形態では、各画素にメモリ部を設けるようにしたので、例えば静止画を表示する場合には、データ転送を行う必要がないため、消費電力を低減することができる。

[0146] 本実施の形態では、各画素に、クロック信号に基づいてデータ信号をサンプリングするフリップフロップを設けるようにしたので、データ信号とクロック信号との間の相対的な位相関係を維持することができる。

[0147] [変形例 1 - 1]

上記実施の形態では、クロック信号 CK を各画素 Pix に供給したが、これに限定されるものではなく、これに代えて、例えば、差動のクロック信号を各画素に供給してもよい。以下に、本変形例について、いくつか例を挙げて詳細に説明する。

[0148] 図 33 は、本変形例に係る画素 PixB の一構成例を表すものである。画素 PixB は、バッファ 61, 64, 65, 68, 69 と、インバータ 66, 6

7とを有している。なお、以下では、説明の便宜上、デジチェーン接続された一列分の画素PixBのうちの初段の画素PixB0を用いて説明するが、その他の画素PixB1~PixB(N-1)においても同様である。

[0149] 画素PixB0は、データ信号PS0, PD0、入力端子CKPINに入力されたクロック信号CKP0、および入力端子CKNINに入力されたクロック信号CKN0に基づいて、データ信号PS1, PD1、およびクロック信号CKP1, CKN1を生成する。そして、画素PixB0は、データ信号PS1を出力端子PSOUTから出力し、データ信号PD1を出力端子PDOUTから出力し、クロック信号CKP1を出力端子CKPOUTから出力し、クロック信号CKN1を出力端子CKNOUTから出力するようになっている。ここで、クロック信号CKPと、クロック信号CKNとは、互いに反転した信号である。すなわち、本変形例に係る画素PixB0は、差動のクロック信号CKP, CKNで動作するものである。

[0150] バッファ61は、差動信号をシングルエンド信号に変換する回路である。具体的には、バッファ61は、差動信号であるクロック信号CKP0, CKN0をシングルエンド信号であるクロック信号CKに変換する。

[0151] バッファ64, 65は、入力信号に対して波形整形を行い、出力するものである。具体的には、バッファ64は、クロック信号CKP0に対して波形整形を行い、バッファ65は、クロック信号CKN0に対して波形整形する。

[0152] インバータ66, 67は、入力信号を反転して出力する反転回路である。インバータ66の入力端子は、インバータ67の出力端子およびバッファ65の出力端子に接続され、インバータ66の出力端子は、インバータ67の入力端子およびバッファ64の出力端子に接続されている。また、インバータ67の入力端子は、インバータ66の出力端子およびバッファ64の出力端子に接続され、インバータ67の出力端子は、インバータ66の入力端子およびバッファ65の出力端子に接続されている。この構成により、インバータ66, 67は、ラッチ回路を構成している。

- [0153] バッファ68は、バッファ64の出力信号に対して波形整形を行い、クロック信号CKP1として出力するものである。バッファ69は、バッファ65の出力信号に対して波形整形を行い、クロック信号CKN1として出力するものである。
- [0154] ここで、入力端子CKPINは、本開示における「第1のクロック入力端子」の一具体例に対応し、出力端子CKPOUTは、本開示における「第1のクロック出力端子」の一具体例に対応する。クロック信号CKPは、本開示における「第1のクロック信号」の一具体例に対応する。入力端子CKNINは、本開示における「第2のクロック入力端子」の一具体例に対応し、出力端子CKNOUTは、本開示における「第2のクロック出力端子」の一具体例に対応する。クロック信号CKNは、本開示における「第2のクロック信号」の一具体例に対応する。
- [0155] このように、差動のクロック信号CKP、CKNを用いるようにしたので、伝送によりクロック信号の波形が劣化するおそれを低減することができる。すなわち、上記実施の形態の場合のように、シングルエンドのクロック信号CKを用いた場合には、複数のバッファ45を通過した後、例えば、クロック信号CKのデューティ比が変化してしまうおそれがある。このような現象は、例えば、バッファ45を構成するトランジスタに特性ばらつきがある場合などに生じ得る。このようにデューティ比が変化した場合には、例えば正常にクロック伝送ができなくなり、あるいは、画素Pixのフリップフロップ42におけるサンプリングタイミングがずれ、正常に動作できなくなるおそれがある。一方、本変形例に係る画素PixBでは、差動のクロック信号CKP、CKNを用い、インバータ66、67がラッチ動作を行うことにより、デューティ比の変化を抑えることができる。
- [0156] また、例えば、クロック信号CKPの伝送路の長さやクロック信号CKNの伝送路の長さが異なる場合や、負荷（容量）などが異なる場合など、クロック信号CKPの伝送路とクロック信号CKNの伝送路に非対称性がある場合には、図34に示したような構成にしてもよい。この画素PixCは、イン

バータ68C, 69Cを有している。インバータ68Cの入力端子はバッファ64の出力端子に接続され、インバータ68Cの出力端子は出力端子CKNOUTに接続されている。インバータ69Cの入力端子はバッファ65の出力端子に接続され、インバータ69Cの出力端子は出力端子CKPOUTに接続されている。なお、この構成に限定されるものではなく、これに代えて、例えば、図34において、インバータ66, 67を省いてもよい。

[0157] 画素PixCでは、クロック信号CKP0に基づいてクロック信号CKN1を生成し、クロック信号CKN0に基づいてクロック信号CKP1が生成される。これにより、クロック信号CKPの伝送路とクロック信号CKNの伝送路に非対称性がある場合でも、この非対称性による影響が補正され、より確実にクロック信号CKP, CKNを伝送することができる。

[0158] [変形例1-2]

上記実施の形態では、DAC52R, 52G, 52Bを用いて駆動部50を構成したが、これに限定されるものではなく、これに代えて、例えば、カウンタを用いて駆動部を構成してもよい。以下に、本変形例に係る画素PixDについて詳細に説明する。

[0159] 図35は、画素PixDの一構成例を表すものである。この画素PixDは、制御部41Dと、駆動部50Dとを有している。制御部41Dは、上記実施の形態に係る制御部41と同様の機能を有するものであり、ステートマシンとして機能するとともに、駆動部50Dに対して制御信号を供給するものである。

[0160] 駆動部50Dは、カウンタ55R, 55G, 55Bと、電流源56R, 56G, 56Bと、スイッチ57R, 57G, 57Bとを有している。カウンタ55R, 55G, 55Bは、制御部41Dから供給された制御信号（カウンタ用クロック信号）を基準として、そのクロックパルスをカウントすることにより、レジスタ51R, 51G, 51Bに記憶された輝度データIDR, IDG, IDBに応じたパルス幅を有するパルス信号をそれぞれ生成するカウンタである。電流源56R, 56G, 56Bは、一定の駆動電流をそれ

ぞれ生成するものである。スイッチ57R, 57G, 57Bは、カウンタ55R, 55G, 55Bから供給されたパルス信号に基づいて、オンオフするものである。

[0161] この構成により、例えば、カウンタ55Rは、レジスタ51Rに記憶された輝度データIDRに応じたパルス幅を有するパルス信号を生成する。そして、スイッチ57Rは、このパルス信号に基づいてオンオフし、電流源57Rが生成した駆動電流を発光素子48Rに供給する。

[0162] 図36(A)は、上記実施の形態に係る画素Pixの動作を表すものであり、図36(B)は、本変形例に係る画素PixDの動作を表すものである。上記実施の形態に係る画素Pixは、輝度Iを変化させることにより発光輝度(輝度×時間)を変化させるようにしたが、本変形例に係る画素PixDは、発光する時間幅を変化させることにより発光輝度(輝度×時間)を変化させるように構成している。

[0163] 図37は、1フレーム期間(1F)における各画素PixD0~PixD(N-1)の状態を表すものである。1フレーム期間(1F)が開始すると、初段の画素PixD0の状態が状態S0(未読込)に設定される。その後、画素PixD1~PixD(N-1)は、その1フレーム期間(1F)内において、順次、状態S0(未読込)に設定される。その後、各画素PixD0~PixD(N-1)の状態は、状態S0(未読込)から状態S1(読込中)に順次遷移し、その後さらに状態S2(読込済)に順次遷移する。この状態S2(読込済)では、各画素PixD0~PixD(N-1)は、読み込んだ輝度データIDに応じた期間、発光する。そして、その期間を経過した後に、各画素PixD0~PixD(N-1)は消光する。

[0164] なお、この例では、駆動部50Dに3つのカウンタ53R, 53G, 53Bを設けたが、これに限定されるものではなく、例えば、常にカウントし続ける1つのカウンタと、そのカウンタの出力信号に基づいて、輝度データIDR, IDG, IDBに応じたパルス幅を有するパルス信号をそれぞれ生成するパルス信号発生回路とを設けるようにしてもよい。

[0165] また、この例では、各画素P ixは、前段からクロック信号C Kを受け取り、クロック信号C Kに基づいてカウンタ用クロック信号を生成しカウンタ5 5 R, 5 5 G, 5 5 Bに供給したが、これに限定されるものではない。これに代えて、例えば、表示駆動部2 1がカウンタ用クロック信号を生成し、各画素P ixが、前段からカウンタ用クロック信号を受け取り、このカウンタ用クロック信号をカウンタ5 5 R, 5 5 G, 5 5 Bに供給してもよい。このように、画素P ixを、カウンタ用クロック信号についてもデジチェーン接続することにより、カウンタ用クロック信号の周波数をクロック信号C Kの周波数と独立して設定できるため、発光素子4 8 R, 4 8 G, 4 8 Bの発光時間を設定する際の自由度をより高めることができる。

[0166] [変形例1-3]

上記実施の形態では、画素P ixに、赤色(R)、緑色(G)、青色(B)の3つの発光素子4 8 R, 4 8 G, 4 8 Bを設けたが、これに限定されるものではなく、これに代えて、例えば、赤色(R)、緑色(G)、青色(B)、および白色(W)の4つの発光素子を設けてもよい。また、図38に示したように、画素P ixEに、赤色(R)、緑色(G)、青色(B)のいずれか1つの発光素子を設けるようにしてもよい。この画素P ixEは、メモリ部4 6 Eと、駆動部5 0 Eと、発光素子4 9と、制御部4 1 Eとを有している。駆動部5 0 Eは、上記実施の形態に係る駆動部5 0に設けられていた3系統のうちの1系統のみを備えている。また、メモリ部4 6 Eにおけるビット数は、上記実施の形態に係るメモリ4 6におけるビット数の1/3である。

[0167] [変形例1-4]

上記実施の形態では、画素P ixにフリップフロップ4 2, 4 4を設けたが、これに限定されるものではなく、これに代えて、例えば、図39に示したように、バッファ7 1, 7 2を設けてもよい。この画素P ixFでは、バッファ7 1の入力端子にはデータ信号P S 0が入力され、出力端子からデータ信号P S 1が出力される。また、バッファ7 2の入力端子にはデータ信号P D Bが入力され、出力端子からデータ信号P D 1が出力される。また、このよ

うなバッファ71, 72に限定されるものではなく、波形を補償するものであれば、どのようなものであってもよい。

[0168] [変形例1-5]

上記実施の形態では、メモリ部46を、36ビットのシフトレジスタ46Bを用いて構成したが、これに限定されるものではなく、これに代えて、例えば、図40に示したように構成することができる。このメモリ部46Bは、シフトレジスタ73と、分周回路74と、シフトレジスタブロック75とを有している。シフトレジスタ73は、4ビットのシフトレジスタであり、データ入力端子にはデータ信号PDAが入力され、クロック入力端子には論理積回路46Aの出力信号が入力される。分周回路74は、入力された信号を1/4に分周するものであり、入力端子には論理積回路46Aの出力信号が入力される。シフトレジスタブロック75は、9ビットのシフトレジスタを4つ有するものである。これらの4つのシフトレジスタには、シフトレジスタ73の各段から出力される4つの信号がそれぞれ入力される。この構成では、データ信号PDAに含まれる輝度データID (IDR, IDG, IDB) が、シフトレジスタ73によりシリアル/パラレル変換され、シフトレジスタブロック75に記憶される。その際、輝度データIDRは、シフトレジスタブロック75のうちの最終段付近の部分PRに記憶され、輝度データIDGは中央付近の部分PGに記憶され、輝度データIDBは初段付近の部分PBに記憶される。このような構成にすることにより、シフトレジスタブロック75に輝度データIDを記憶する際のクロックの周波数を1/4に下げることができる。

[0169] [変形例1-6]

上記実施の形態では、画素Pixを構成するブロックのうち、発光部48を除く各ブロックを1つのチップに集積したが、これに限定されるものではなく、例えば表示パネル20の基板上にTFTを用いて形成してもよい。

[0170] [変形例1-7]

上記実施の形態では、垂直方向において最上部の画素Pix0から最下部の

画素 P_{ix} ($N-1$) までの N 個の画素 P_{ix} をデジチェーン接続したが、これに限定されるものではなく、これに代えて、例えば、図 4 1 に示したように、 N 個の画素 P_{ix} のうち、初段の画素 P_{ix0} から画素 $P_{ix}(M-1)$ までの M 個の画素 P_{ix} をデジチェーン接続して、表示部 3 0 I の上部に設けた表示駆動部 2 1 1 がデータ信号 PS , PD およびクロック信号 CK を供給するとともに、画素 $P_{ix}(M)$ から画素 $P_{ix}(N-1)$ までの $(N-M)$ 個の画素 P_{ix} をデジチェーン接続して、表示部 3 0 I の下部に設けた表示駆動部 2 1 2 がデータ信号 PS , PD およびクロック信号 CK を供給してもよい。

[0171] また、上記実施の形態では、デジチェーン接続された N 個の画素 P_{ix} を、垂直方向に一直列に配置したが、これに限定されるものではなく、これに代えて、例えば、図 4 2 に示したように、表示部 3 0 J の上下方向の中央付近で折り返すように配置してもよい。

[0172] また、上記実施の形態では、デジチェーン接続された各画素 P_{ix} は 1 つの画素 P_{ix} を駆動したが、これに限定されるものではなく、これに代えて、例えば図 4 3, 4 4 に示したように、複数 (この例では 2 つ) の画素 P_{ix} を駆動してもよい。この例では、デジチェーン接続された各画素 P_{ix} (例えば P_{ix0}) は、デジチェーン接続された後段の画素 P_{ix} (例えば P_{ix1}) と、それとは別の画素 SP_{ix} (例えば SP_{ix0}) を駆動する。図 4 3 に示した表示パネル 2 0 K では、これらの一連の画素 P_{ix} および一連の画素 SP_{ix} を、同じ列に配置している。図 4 4 に示した表示パネル 2 0 L では、一連の画素 P_{ix} と一連の画素 SP_{ix} とを、互いに隣り合う列に配置している。これらの構成において、画素 SP_{ix} では、例えば、出力端子 $PSOUT$, $PDOUT$, $CKOUT$ をハイインピーダンス状態にすることにより、データ信号 PS , PD およびクロック CK を出力しないようにしてもよい。

[0173] また、上記実施の形態では、デジチェーン接続された画素 P_{ix} を、垂直方向に一直列に配置したが、これに限定されるものではなく、これに代えて、例えば図 4 5 に示したように、水平方向に一直列に配置してもよい。

[0174] <2. 第2の実施の形態>

次に、第2の実施の形態に係る表示装置2について説明する。本実施の形態は、デジチェーン接続されたN個の画素PixPにアドレスADRを付与し、各画素PixPが、そのアドレスADRに基づいて、その画素PixPに係る画素データIDを取得するものである。なお、上記第1の実施の形態に係る表示装置1と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

[0175] 表示装置2は、図1に示したように、表示パネル90を備えている。表示パネル90は、デジチェーン接続されたN個の画素PixPを含む表示部80を有する。

[0176] 図46は、画素PixPの一構成例を表すものである。画素PixPは、制御部81と、フリップフロップ82とを有している。なお、以下では、説明の便宜上、デジチェーン接続された一列分の画素PixPのうちの初段の画素PixP0を用いて説明するが、その他の画素PixP1~PixP(N-1)においても同様である。

[0177] 制御部81は、データ信号PS0、PD0、およびクロック信号CK0に基づいて、画素PixP0のアドレスADRを取得し保持するとともに、データ信号PDCおよび信号CKENを生成するものである。具体的には、制御部81は、後述するように、データ信号PD0の部分DSTARTに含まれるデータNOPに基づいてアドレスADRを取得するとともに、そのデータNOPを、その値から1を引いた値に置き換えて、データ信号PDCとして出力する。そして、制御部81は、後述するように、そのアドレスADRとデータ信号PS0に基づいてクロックCKENを生成し、データ信号PD0から、その画素PixP0に係る輝度データIDを取得するようになっている。また、制御部81は、上記第1の実施の形態に係る制御部41と同様に、駆動部50に対して制御信号を供給する機能をも有している。

[0178] フリップフロップ82は、クロック信号CK0に基づいてデータ信号PS0をサンプリングし、その結果をデータ信号PS1として出力するとともに

、クロック信号CK0に基づいてデータ信号PDCをサンプリングし、その結果をデータ信号PD1として出力するものである。このフリップフロップ82は、例えば、上記第1の実施の形態に係るフリップフロップ42などと同様に、2つのD型フリップフロップ回路を用いて構成されるものである。

[0179] 図47は、1フレーム期間(1F)において初段の画素PixP0に入力される信号の一例を表すものであり、(A)はクロック信号CKの波形を示し、(B)はデータ信号PSの波形を示し、(C)はデータ信号PDのデータを示す。この一連のデータ信号PDは、2つの部分DSTART, DDATAから構成されている。

[0180] 部分DSTARTは、いわゆるヘッダ部分であり、フラグRSTと、データNOPとを有している。フラグRSTは、この部分DSTARTにおいてのみ“1”に設定されるものである。データNOPは、デジチェーン接続された画素PixPの個数Nから1を引いた数(N-1)を示すものである。そして、このデータNOPは、画素PixPを通過する度に1ずつ減少するようになっている。

[0181] 部分DDATAは、デジチェーン接続されたN個の画素PixPにそれぞれ対応する、N個の画素パケットPCTから構成される。各画素パケットPCTは、フラグRSTと、輝度データIDとを有している。フラグRSTは、この部分DDATAでは“0”に設定されている。輝度データIDR, IDG, IDBは、例えば、それぞれ12ビットからなるコードである。なお、この例では、説明の便宜上、輝度データIDR, IDG, IDBをそれぞれ1ビットのデータとしている。

[0182] 図48は、各画素PixPにおけるアドレスADRの取得についての動作を模式的に表すものである。図47に示したデータ信号PS, PDおよびクロック信号CKが初段の画素PixP0に入力されると、まず、各画素PixPは、データ信号PDのうちの部分STARTに基づいて、アドレスADRを取得する。具体的には、初段の画素PixP0は、入力されたデータ信号PD0の部分STARTからデータNOPを取得し、このデータNOPの値(N-

1) をアドレスADRとする。そして、画素PixP0は、このデータ信号PD0のデータNOPを、その値(N-1)から1を引いた値(N-2)に置き換え、データ信号PD1として出力する。同様に、次段の画素PixP1は、前段の画素PixP0から供給されたデータ信号PD1の部分STARTからデータNOPを取得し、このデータNOPの値(N-2)をアドレスADRとする。そして、画素PixP1は、このデータ信号PD1のデータNOPを、その値(N-2)から1を引いた値(N-3)に置き換え、データ信号PD1として出力する。続く画素PixP2~PixP(N-2)についても同様である。そして最終段の画素PixP(N-1)は、前段の画素PixP(N-2)から供給されたデータ信号PD(N-2)の部分STARTからデータNOPを取得し、このデータNOPの値0(ゼロ)をアドレスADRとする。

[0183] 図49は、各画素PixPにおける輝度データIDの取得についての動作を模式的に表すものである。各画素PixPは、データ信号PSにおけるパルス数をカウントする。そして、そのカウント値CNTが、各画素PixPのアドレスADRの値に2を加えた値(ADR+2)と等しいときに、データ信号PDから輝度データIDを取得する。具体的には、例えば、最終段の画素PixP(N-1)は、図49に示したように、データ信号PS(N-1)のパルスのカウント値CNTが2になったときに、データ信号PD(N-1)から輝度データIDを取得する。すなわち、この画素PixP(N-1)のアドレスADRは0(ゼロ)であるため、カウント値CNTが、このアドレスADRの値に2を加えた値(2)に等しくなったときに、データ信号PD(N-1)から輝度データIDを取得する。同様に、例えば、初段の画素PixP0は、図49に示したように、データ信号PS0のパルスのカウント値CNTが(N+1)になったときに、データ信号PD0から輝度データIDを取得する。すなわち、この画素PixP0のアドレスADRは(N-1)であるため、カウント値CNTが、このアドレスADRの値に2を加えた値(N+1)に等しくなったときに、データ信号PD0から輝度データIDを取得する。

。

[0184] このようにして、各画素 P_{ixP} は、最終段の画素 $P_{ixP} (N-1)$ から、輝度データ I_D を順次取得する。すなわち、例えば、最終段の画素 $P_{ixP} (N-1)$ がその画素 $P_{ixP} (N-1)$ に係る輝度データ I_D を取得し、次に、その前段の画素 $P_{ixP} (N-2)$ がその画素 $P_{ixP} (N-2)$ に係る輝度データ I_D を取得する。同様にして、画素 $P_{ixP} (N-2) \sim P_{ixP} 0$ は、この順で、輝度データ I_D を取得する。そして、各画素 P_{ixP} は、それぞれ取得した輝度データ I_D に応じた発光輝度で発光する。

[0185] このように、表示装置 2 では、各画素 P_{ixP} に対してアドレス ADR を付与するようにしたので、各画素 P_{ixP} に対する輝度データ I_D の転送の自由度をより高くすることができる。すなわち、例えば、上記第 1 の実施の形態に係る表示装置 1 では、デジチェーン接続された複数の画素 P_{ix} のうちの初段の画素 P_{ix} から順に輝度データ I_D が読み込まれる。一方、本実施の形態に係る表示装置 2 では、各画素 P_{ixP} にアドレス ADR を付与するようにしたので、アドレス ADR の付与の仕方を適宜変更することにより、輝度データ I_D を読み込む画素 P_{ixP} の順番を変更することができる。

[0186] 以上のように本実施の形態では、各画素に対してアドレスを付与するようにしたので、各画素に対する輝度データの転送の自由度をより高くすることができる。

[0187] [変形例 2-1]

上記実施の形態では、データ NOP は、画素 P_{ixP} を通過する度に 1 ずつ減少するようにしたが、これに限定されるものではなく、これに代えて、例えば、初段の画素 $P_{ixP} 0$ に入力されるデータ信号 PD におけるデータ NOP を “0” に設定するとともに、データ NOP が画素 P_{ixP} を通過する度に 1 ずつ増加するようにしてもよい。この場合には、各画素 P_{ixP} は、初段の画素 $P_{ixP} 0$ から、輝度データ I_D を順次取得する。すなわち、例えば、初段の画素 $P_{ixP} 0$ がその画素 $P_{ixP} 0$ に係る輝度データ I_D を取得し、次に、その次段の画素 $P_{ixP} 1$ がその画素 $P_{ixP} 1$ に係る輝度データ I_D を取得

する。同様にして、画素 $P_{ix}P_2 \sim P_{ix}P_{(N-1)}$ は、この順で、輝度データ I_D を取得する。つまり、上記実施の形態の場合とは逆の順で、輝度データ I_D を読み込むことができる。

[0188] [変形例 2-2]

上記実施の形態に係る表示装置 2 に、上記第 1 の実施の形態に係る表示装置 1 の変形例 1-1 ~ 1-7 を適用してもよい。

[0189] 以上、いくつかの実施の形態および変形例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

[0190] 例えば、上記の各実施の形態等では、画素 P_{ix} を、データ信号 PS 、 PD についてデジチェーン接続するとともに、クロック信号 CK についてもデジチェーン接続したが、これに限定されるものではなく、これに代えて、例えば、図 50 に示したように、データ信号 PS 、 PD についてのみデジチェーン接続してもよい。この場合には、クロック信号 CK については、例えばグローバルな配線により各画素 P_{ix} に供給することが可能である。

[0191] また、例えば、上記の各実施の形態等では、 LED を表示素子として用いたが、これに限定されるものではなく、これに代えて、有機 EL 素子を表示素子として用いてもよい。また、例えば、図 51 に示したように、液晶素子を表示素子として用いてもよい。画素 $P_{ix}N$ は、液晶素子 $88R$ 、 $88G$ 、 $88B$ と、その液晶素子 $88R$ 、 $88G$ 、 $88B$ を駆動する駆動部 $50N$ とを有している。液晶素子 $88R$ 、 $88G$ 、 $88B$ の一端には、 $DAC52R$ 、 $52G$ 、 $52B$ の出力端子がそれぞれ接続され、他端には電圧 V_{com} が供給されている。

[0192] また、上記の各実施の形態等では、本技術をテレビジョン装置に適用したが、これに限定するものではなく、画像を表示する様々な装置に適用することができる。具体的には、例えば、サッカー場や野球場などに設置される大型のディスプレイに適用してもよい。

[0193] なお、本技術は以下のような構成とすることができる。

[0194] (1) それぞれが、第1のデータ入力端子と、第1のデータ出力端子と、前記第1のデータ入力端子に入力された第1のデータに基づいて表示を行う表示素子と、前記第1のデータ入力端子から前記第1のデータ出力端子への信号経路上に設けられた第1の波形整形部とを有する複数の第1の単位画素を備えた

表示パネル。

[0195] (2) 前記複数の第1の単位画素のうちの一の第1の単位画素の第1のデータ入力端子が、他の第1の単位画素のいずれかの第1のデータ出力端子に接続され、

前記複数の第1の単位画素のうちの初段の第1の単位画素に前記第1のデータを供給する駆動部をさらに備えた

前記(1)に記載の表示パネル。

[0196] (3) 前記複数の第1の単位画素のそれぞれは、

第1のクロック入力端子と、

第1のクロック出力端子と、

前記第1のクロック入力端子から前記第1のクロック出力端子への第1のクロック信号経路上に設けられた第1のバッファと

をさらに有する

前記(2)に記載の表示パネル。

[0197] (4) 前記複数の第1の単位画素のそれぞれは、

第2のクロック入力端子と、

第2のクロック出力端子と、

前記第2のクロック入力端子から前記第2のクロック出力端子への第2のクロック信号経路上に設けられた第2のバッファと

をさらに有し、

前記第1のクロック入力端子に入力された第1のクロックと、前記第2のクロック入力端子に入力された第2のクロックは、互いに信号レベルが反転している

前記（３）に記載の表示パネル。

- [0198] （５）前記複数の第１の単位画素のそれぞれは、
第１のクロック入力端子と、
第２のクロック入力端子と、
後段の第１の単位画素における第１のクロック入力端子に接続されるべき
第１のクロック出力端子と、
後段の第１の単位画素における第２のクロック入力端子に接続されるべき
第２のクロック出力端子と、
前記第１のクロック入力端子から前記第２のクロック出力端子への第１の
クロック信号経路上に設けられた第１のインバータと
前記第２のクロック入力端子から前記第１のクロック出力端子への第２の
クロック信号経路上に設けられた第２のインバータと
をさらに有する
前記（２）に記載の表示パネル。

- [0199] （６）前記第１のクロック信号経路と、前記第２のクロック信号経路との間
には、ラッチ回路が挿設されている
前記（４）または（５）に記載の表示パネル。

- [0200] （７）前記複数の第１の単位画素のそれぞれは、
第２のデータ入力端子と、
第２のデータ出力端子と、
前記第２のデータ入力端子から前記第２のデータ出力端子への信号経路上
に設けられた第２の波形整形部と
を有し、
前記第２のデータ入力端子に入力された第２のデータは、前記第１のデー
タにおける前記輝度データを第１の単位画素ごとに区別するためのデータ部
分を有する
前記（２）から（６）のいずれかに記載の表示パネル。

- [0201] （８）前記複数の第１の単位画素のうちの一の第１の単位画素における前記

第1の出力端子に接続された第2の単位画素をさらに備えた

前記(2)から(7)のいずれかに記載の表示パネル。

[0202] (9) 前記第1のデータは、前記表示素子における発光輝度を画定する輝度データを含み、

前記複数の第1の単位画素のそれぞれは、前記輝度データを記憶するメモリ部をさらに有し、

前記表示素子は、前記メモリ部において記憶された前記輝度データに応じた輝度で表示を行う

前記(1)から(8)のいずれかに記載の表示パネル。

[0203] (10) 前記複数の第1の単位画素のそれぞれは、前記メモリ部に記憶された前記輝度データに応じたパルス幅を有するパルス信号を生成するパルス生成部をさらに有し、

前記表示素子は、前記パルス信号に基づいて表示を行う

前記(9)に記載の表示パネル。

[0204] (11) 前記パルス生成部は、カウンタを用いて構成されている

前記(10)に記載の表示パネル。

[0205] (12) 前記第1の波形整形部、前記メモリ部、および前記パルス生成部は、第1の単位画素ごとにチップとして構成されている。

前記(10)に記載の表示パネル。

[0206] (13) 前記複数の第1の単位画素のそれぞれは、前記メモリ部に記憶された前記輝度データをD/A変換する変換部をさらに有し、

前記表示素子は、D/A変換された前記輝度データに基づいて表示を行う

前記(9)に記載の表示パネル。

[0207] (14) 一の第1の単位画素に入力される第1のデータは、前記複数の第1の単位画素のうちの前記一の第1の単位画素よりも前に配置された第1の単位画素において輝度データが読み込まれたかどうかを示すフラグを含み、

前記複数の第1の単位画素のそれぞれは、前記フラグに基づいて、前記第1のデータに含まれる前記複数の第1の単位画素に係る輝度データから、そ

の第1の単位画素に係る輝度データを判別する

前記(9)から(13)のいずれかに記載の表示パネル。

[0208] (15) 前記複数の第1の単位画素のそれぞれにはアドレスが割り振られ、
前記複数の第1の単位画素のそれぞれは、前記アドレスに基づいて、前記
第1のデータに含まれる前記複数の第1の単位画素に係る輝度データから、
その第1の単位画素に係る輝度データを判別する

前記(9)から(13)のいずれかに記載の表示パネル。

[0209] (16) 前記第1の波形整形部はフリップフロップである

前記(1)から(15)のいずれかに記載の表示パネル。

[0210] (17) 前記第1の波形整形部はバッファである

前記(1)から(15)のいずれかに記載の表示パネル。

[0211] (18) 前記複数の第1の単位画素のそれぞれは、前記表示素子を複数有し

、

前記複数の表示素子は、互いに異なる色で表示を行う

前記(1)から(17)のいずれかに記載の表示パネル。

[0212] (19) 前記表示素子は、LED表示素子である

前記(1)から(18)のいずれかに記載の表示パネル。

[0213] (20) 第1のデータ入力端子と、

第1のデータ出力端子と、

前記第1のデータ入力端子から前記第1のデータ出力端子への信号経路上
に設けられた第1の波形整形部と

を備えた画素チップ。

[0214] (21) 表示パネルと

前記表示パネルに対して動作制御を行う制御部と

を備え、

前記表示パネルは、

それぞれが、第1のデータ入力端子と、第1のデータ出力端子と、前記第
1のデータ入力端子に入力された第1のデータに基づいて表示を行う表示素

子と、前記第1のデータ入力端子から前記第1のデータ出力端子への信号経路上に設けられた第1の波形整形部とを有する複数の第1の単位画素を含む電子機器。

[0215] 本出願は、日本国特許庁において2013年1月11日に出願された日本特許出願番号2013-3646号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0216] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] それぞれが、第1のデータ入力端子と、第1のデータ出力端子と、前記第1のデータ入力端子に入力された第1のデータに基づいて表示を行う表示素子と、前記第1のデータ入力端子から前記第1のデータ出力端子への信号経路上に設けられた第1の波形整形部とを有する複数の第1の単位画素を備えた表示パネル。
- [請求項2] 前記複数の第1の単位画素のうちの一の第1の単位画素の第1のデータ入力端子が、他の第1の単位画素のいずれかの第1のデータ出力端子に接続され、
前記複数の第1の単位画素うちの初段の第1の単位画素に前記第1のデータを供給する駆動部をさらに備えた請求項1に記載の表示パネル。
- [請求項3] 前記複数の第1の単位画素のそれぞれは、
第1のクロック入力端子と、
第1のクロック出力端子と、
前記第1のクロック入力端子から前記第1のクロック出力端子への第1のクロック信号経路上に設けられた第1のバッファと
をさらに有する
請求項2に記載の表示パネル。
- [請求項4] 前記複数の第1の単位画素のそれぞれは、
第2のクロック入力端子と、
第2のクロック出力端子と、
前記第2のクロック入力端子から前記第2のクロック出力端子への第2のクロック信号経路上に設けられた第2のバッファと
をさらに有し、
前記第1のクロック入力端子に入力された第1のクロックと、前記第2のクロック入力端子に入力された第2のクロックは、互いに信号

レベルが反転している

請求項3に記載の表示パネル。

[請求項5]

前記複数の第1の単位画素のそれぞれは、

第1のクロック入力端子と、

第2のクロック入力端子と、

後段の第1の単位画素における第1のクロック入力端子に接続されるべき第1のクロック出力端子と、

後段の第1の単位画素における第2のクロック入力端子に接続されるべき第2のクロック出力端子と、

前記第1のクロック入力端子から前記第2のクロック出力端子への第1のクロック信号経路上に設けられた第1のインバータと

前記第2のクロック入力端子から前記第1のクロック出力端子への第2のクロック信号経路上に設けられた第2のインバータと

をさらに有する

請求項2に記載の表示パネル。

[請求項6]

前記第1のクロック信号経路と、前記第2のクロック信号経路との間には、ラッチ回路が挿設されている

請求項4に記載の表示パネル。

[請求項7]

前記複数の第1の単位画素のそれぞれは、

第2のデータ入力端子と、

第2のデータ出力端子と、

前記第2のデータ入力端子から前記第2のデータ出力端子への信号経路上に設けられた第2の波形整形部と

を有し、

前記第2のデータ入力端子に入力された第2のデータは、前記第1のデータにおける前記輝度データを第1の単位画素ごとに区別するためのデータ部分を有する

請求項2に記載の表示パネル。

- [請求項8] 前記複数の第1の単位画素のうちの一の第1の単位画素における前記第1の出力端子に接続された第2の単位画素をさらに備えた請求項2に記載の表示パネル。
- [請求項9] 前記第1のデータは、前記表示素子における発光輝度を画定する輝度データを含み、
前記複数の第1の単位画素のそれぞれは、前記輝度データを記憶するメモリ部をさらに有し、
前記表示素子は、前記メモリ部において記憶された前記輝度データに応じた輝度で表示を行う
請求項1に記載の表示パネル。
- [請求項10] 前記複数の第1の単位画素のそれぞれは、前記メモリ部に記憶された前記輝度データに応じたパルス幅を有するパルス信号を生成するパルス生成部をさらに有し、
前記表示素子は、前記パルス信号に基づいて表示を行う
請求項9に記載の表示パネル。
- [請求項11] 前記パルス生成部は、カウンタを用いて構成されている
請求項10に記載の表示パネル。
- [請求項12] 前記第1の波形整形部、前記メモリ部、および前記パルス生成部は、第1の単位画素ごとにチップとして構成されている。
請求項10に記載の表示パネル。
- [請求項13] 前記複数の第1の単位画素のそれぞれは、前記メモリ部に記憶された前記輝度データをD/A変換する変換部をさらに有し、
前記表示素子は、D/A変換された前記輝度データに基づいて表示を行う
請求項9に記載の表示パネル。
- [請求項14] 一の第1の単位画素に入力される第1のデータは、前記複数の第1の単位画素のうちの前記一の第1の単位画素よりも前に配置された第1の単位画素において輝度データが読み込まれたかどうかを示すフラ

グを含み、

前記複数の第1の単位画素のそれぞれは、前記フラグに基づいて、前記第1のデータに含まれる前記複数の第1の単位画素に係る輝度データから、その第1の単位画素に係る輝度データを判別する請求項9に記載の表示パネル。

[請求項15] 前記複数の第1の単位画素のそれぞれにはアドレスが割り振られ、前記複数の第1の単位画素のそれぞれは、前記アドレスに基づいて、前記第1のデータに含まれる前記複数の第1の単位画素に係る輝度データから、その第1の単位画素に係る輝度データを判別する請求項9に記載の表示パネル。

[請求項16] 前記第1の波形整形部はフリップフロップである
請求項1に記載の表示パネル。

[請求項17] 前記第1の波形整形部はバッファである
請求項1に記載の表示パネル。

[請求項18] 前記複数の第1の単位画素のそれぞれは、前記表示素子を複数有し、
前記複数の表示素子は、互いに異なる色で表示を行う
請求項1に記載の表示パネル。

[請求項19] 前記表示素子は、LED表示素子である
請求項1に記載の表示パネル。

[請求項20] 第1のデータ入力端子と、
第1のデータ出力端子と、
前記第1のデータ入力端子から前記第1のデータ出力端子への信号経路上に設けられた第1の波形整形部と
を備えた画素チップ。

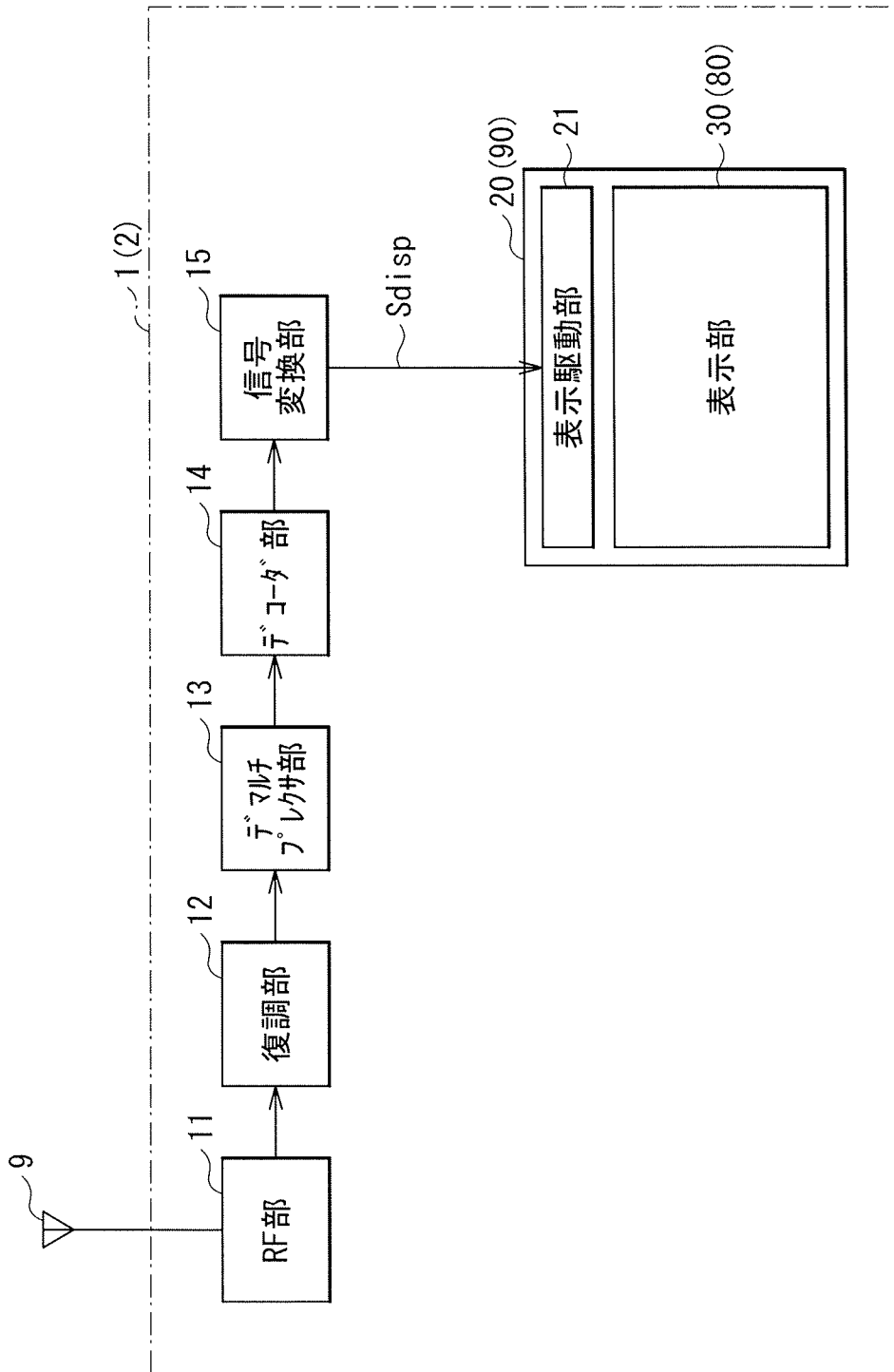
[請求項21] 表示パネルと
前記表示パネルに対して動作制御を行う制御部と
を備え、

前記表示パネルは、

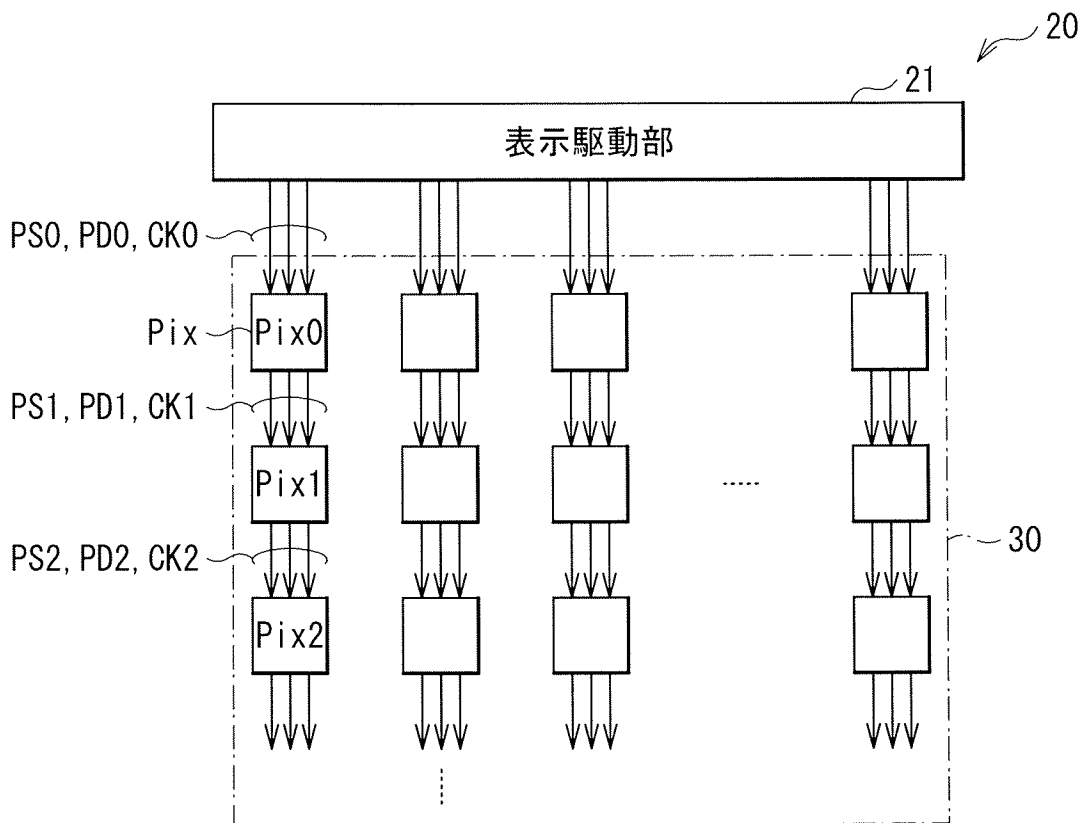
それぞれが、第1のデータ入力端子と、第1のデータ出力端子と、前記第1のデータ入力端子に入力された第1のデータに基づいて表示を行う表示素子と、前記第1のデータ入力端子から前記第1のデータ出力端子への信号経路上に設けられた第1の波形整形部とを有する複数の第1の単位画素を含む

電子機器。

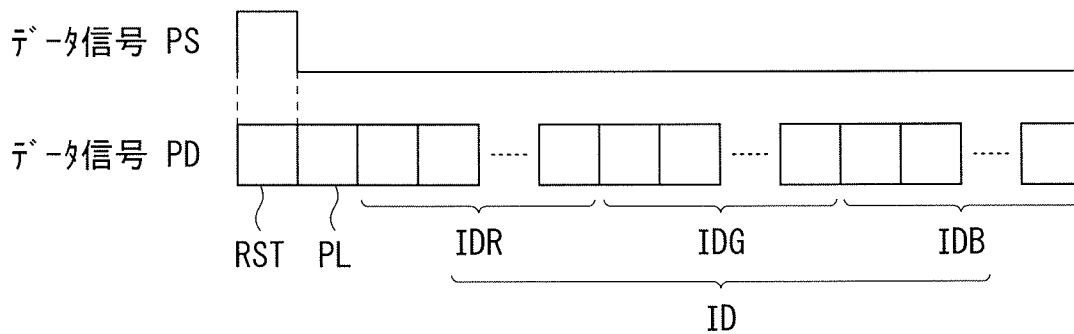
[図1]



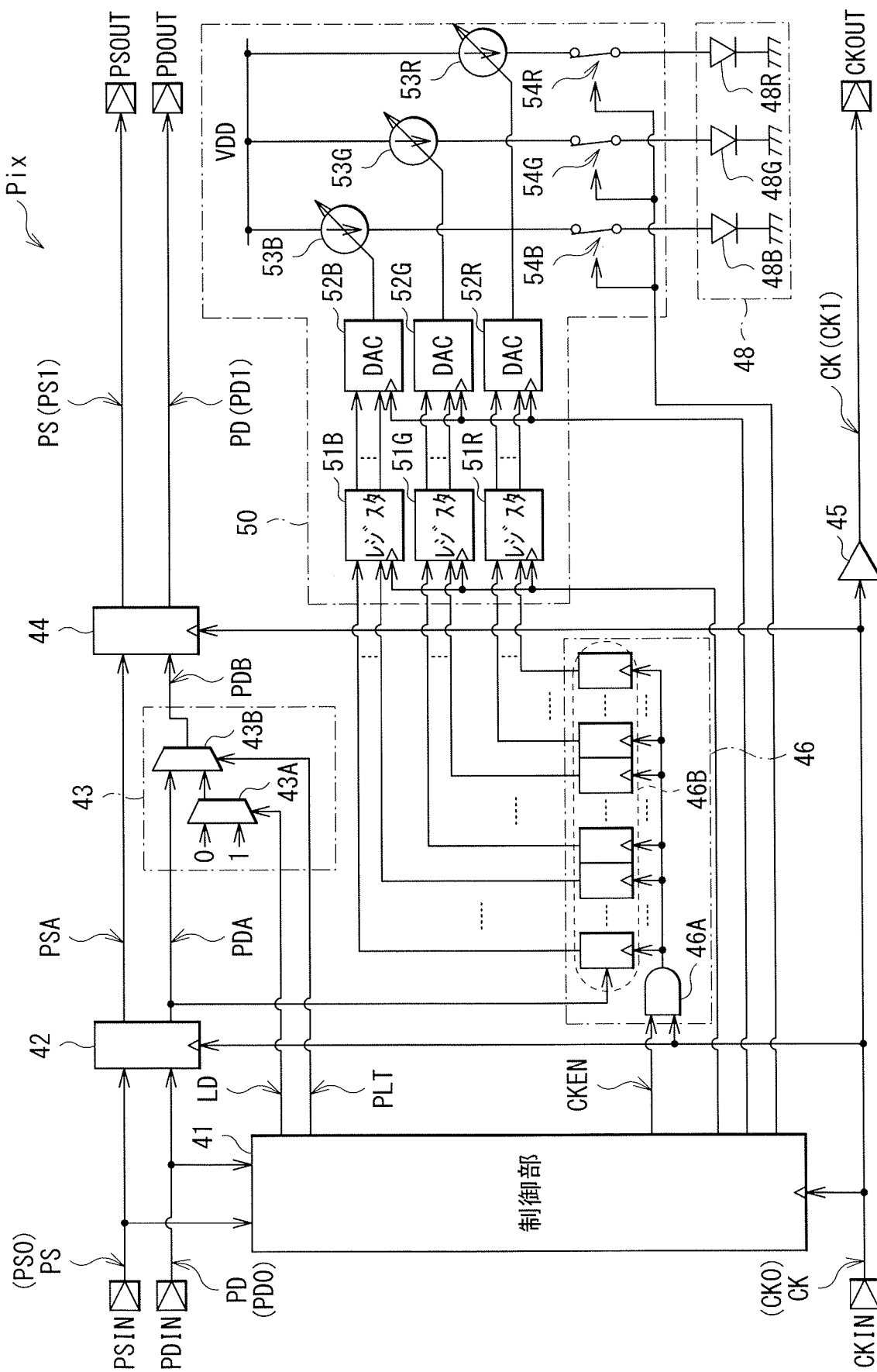
[図2]



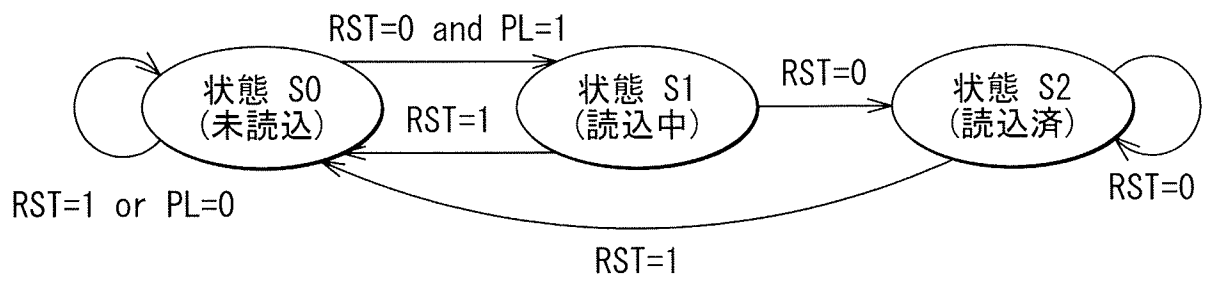
[図3]



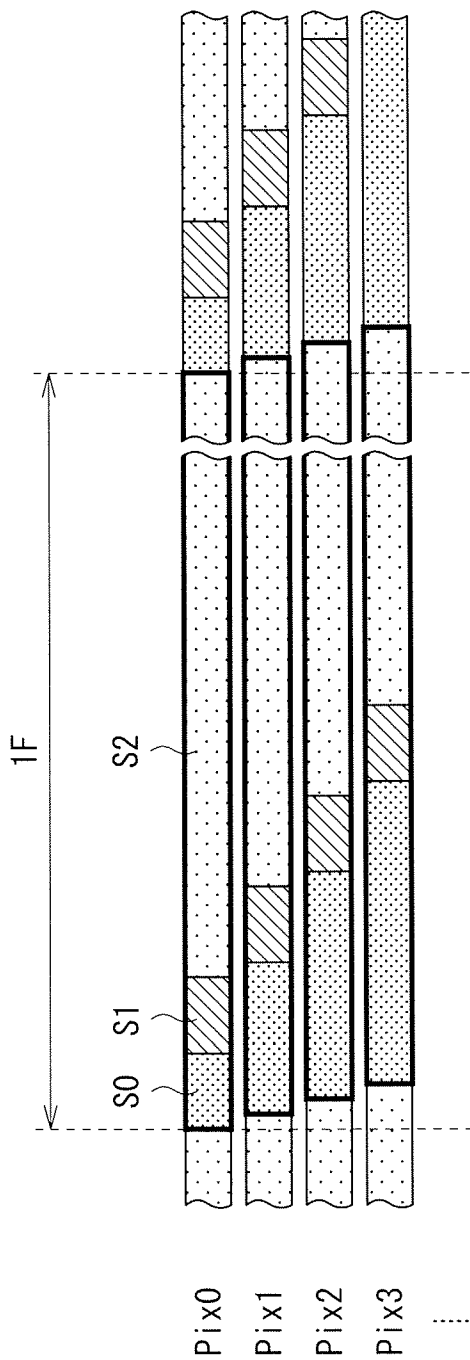
[図4]



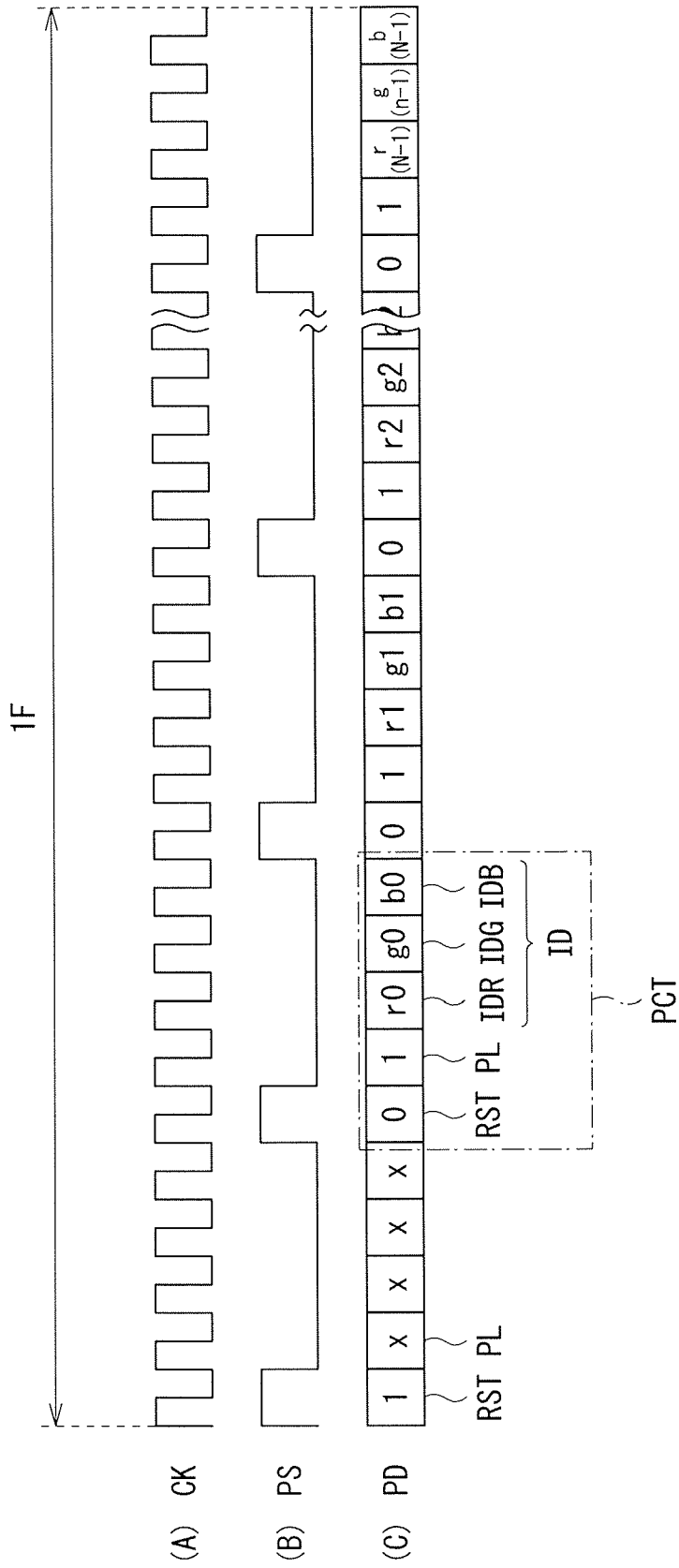
[図5]



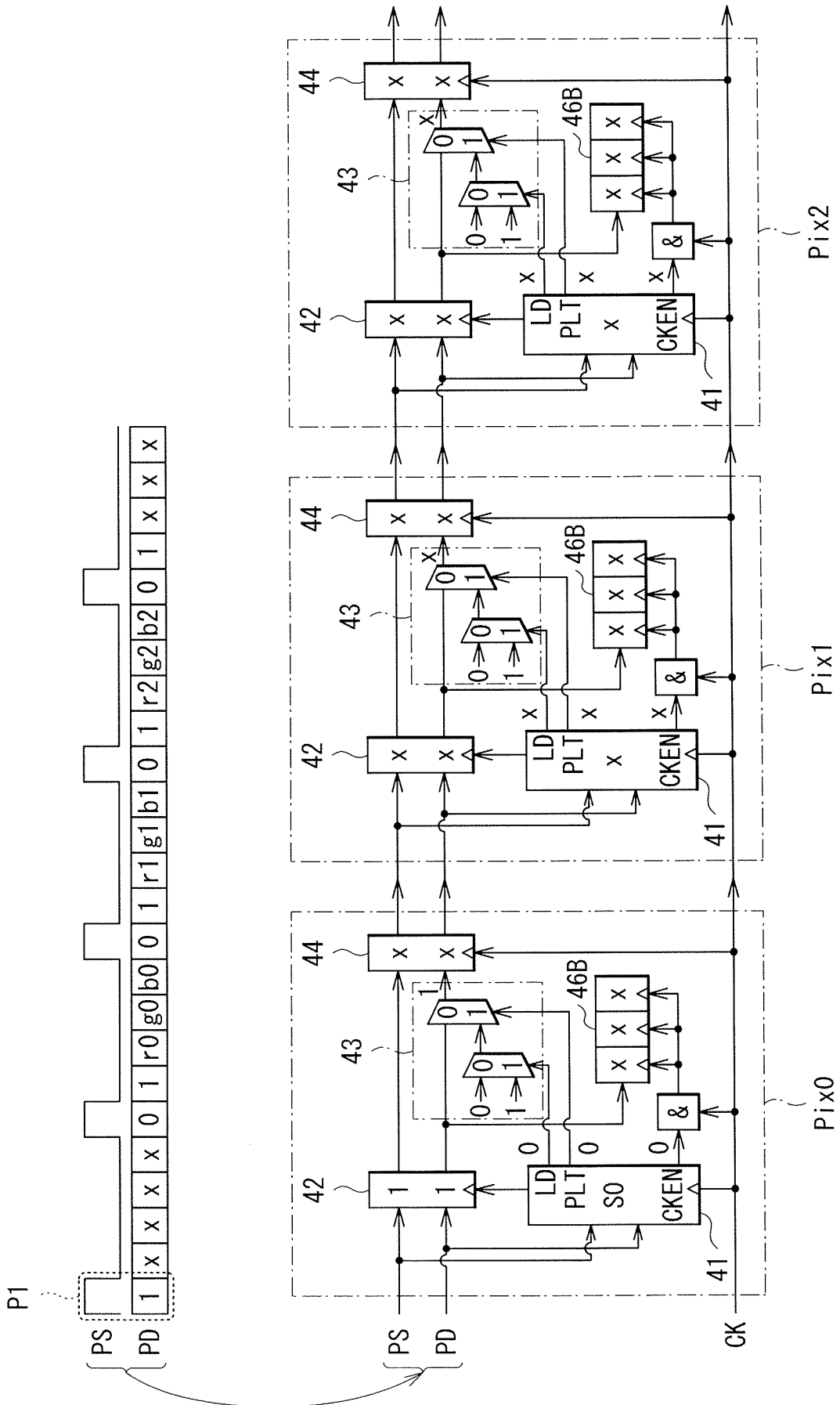
[図6]



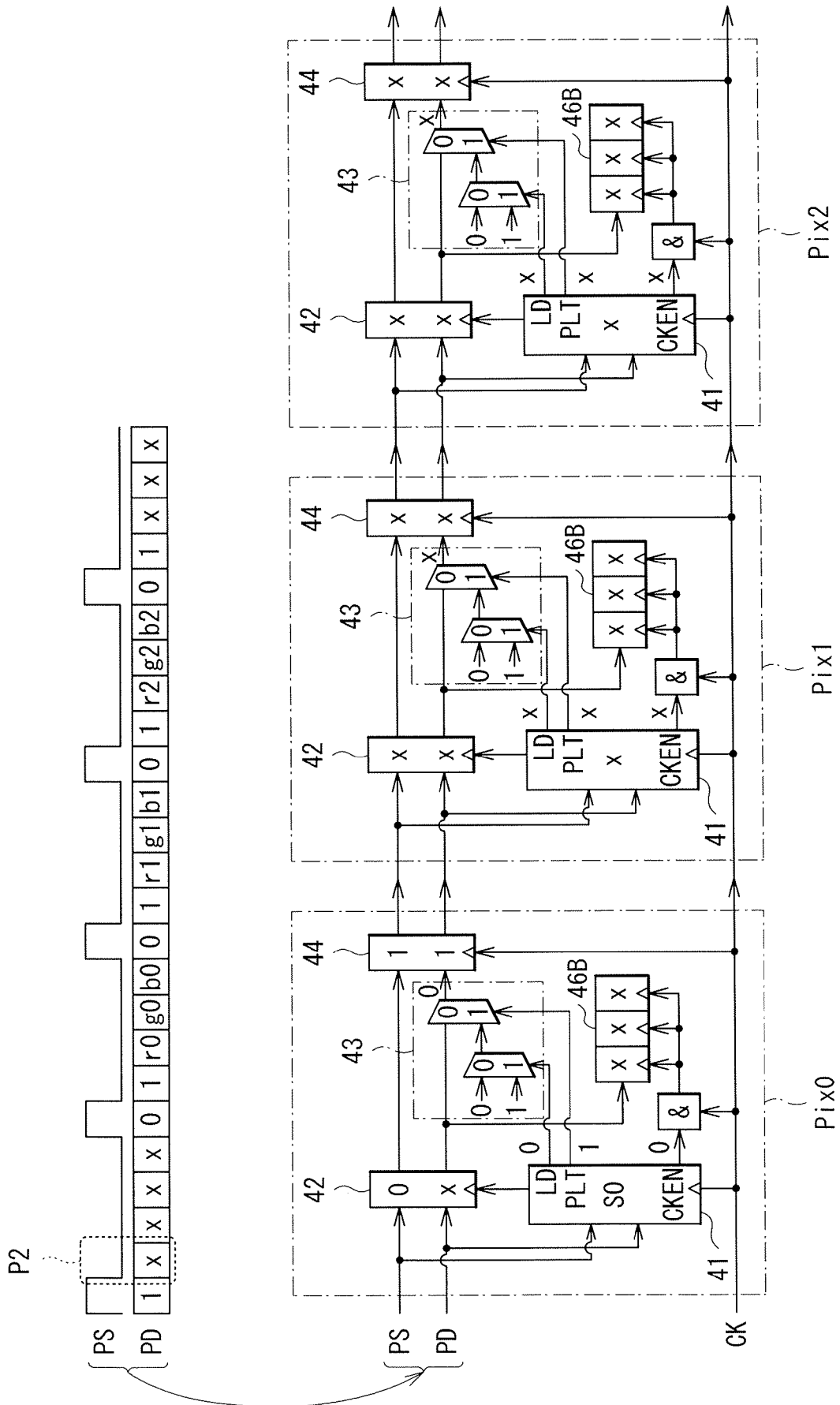
[図7]



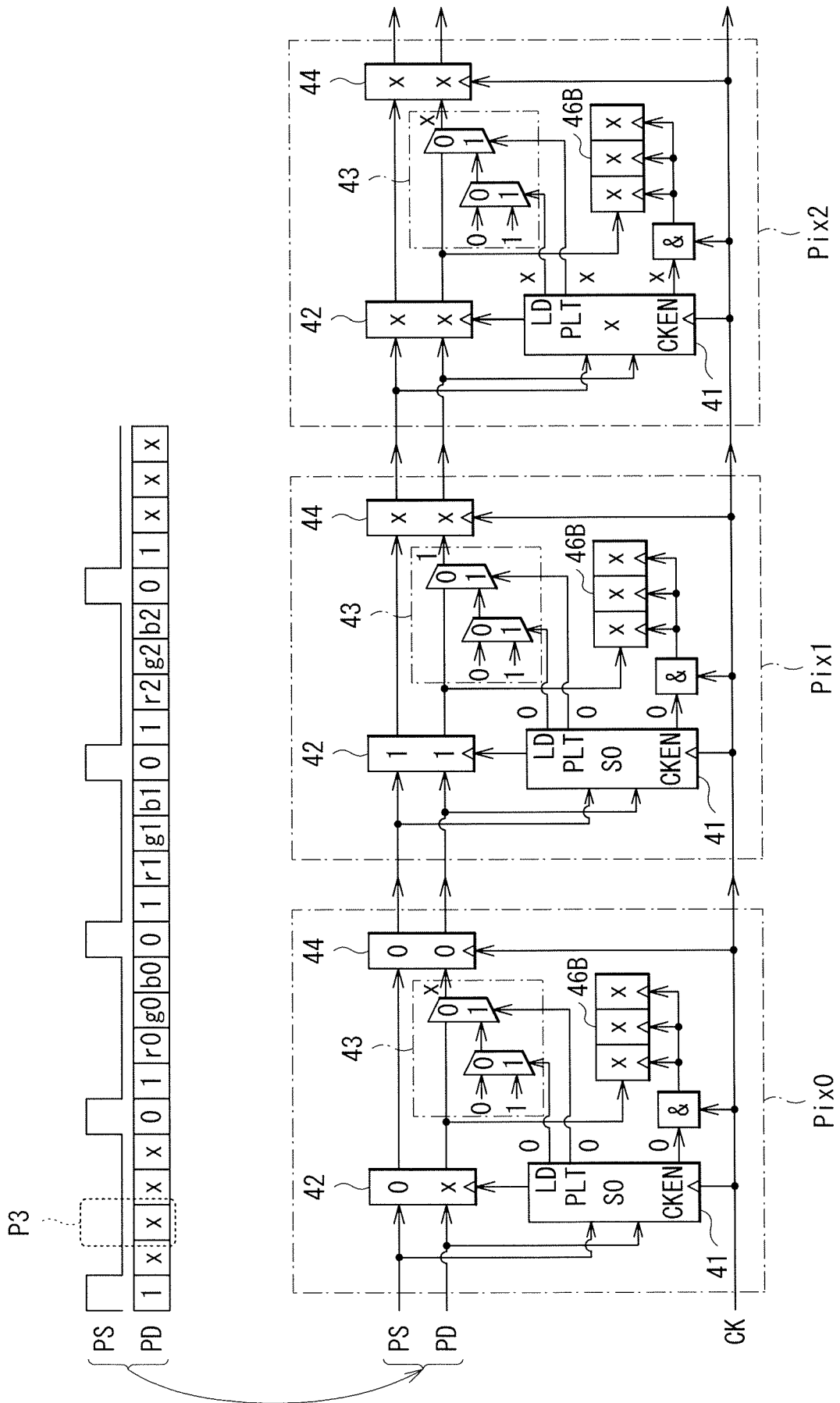
[図8]



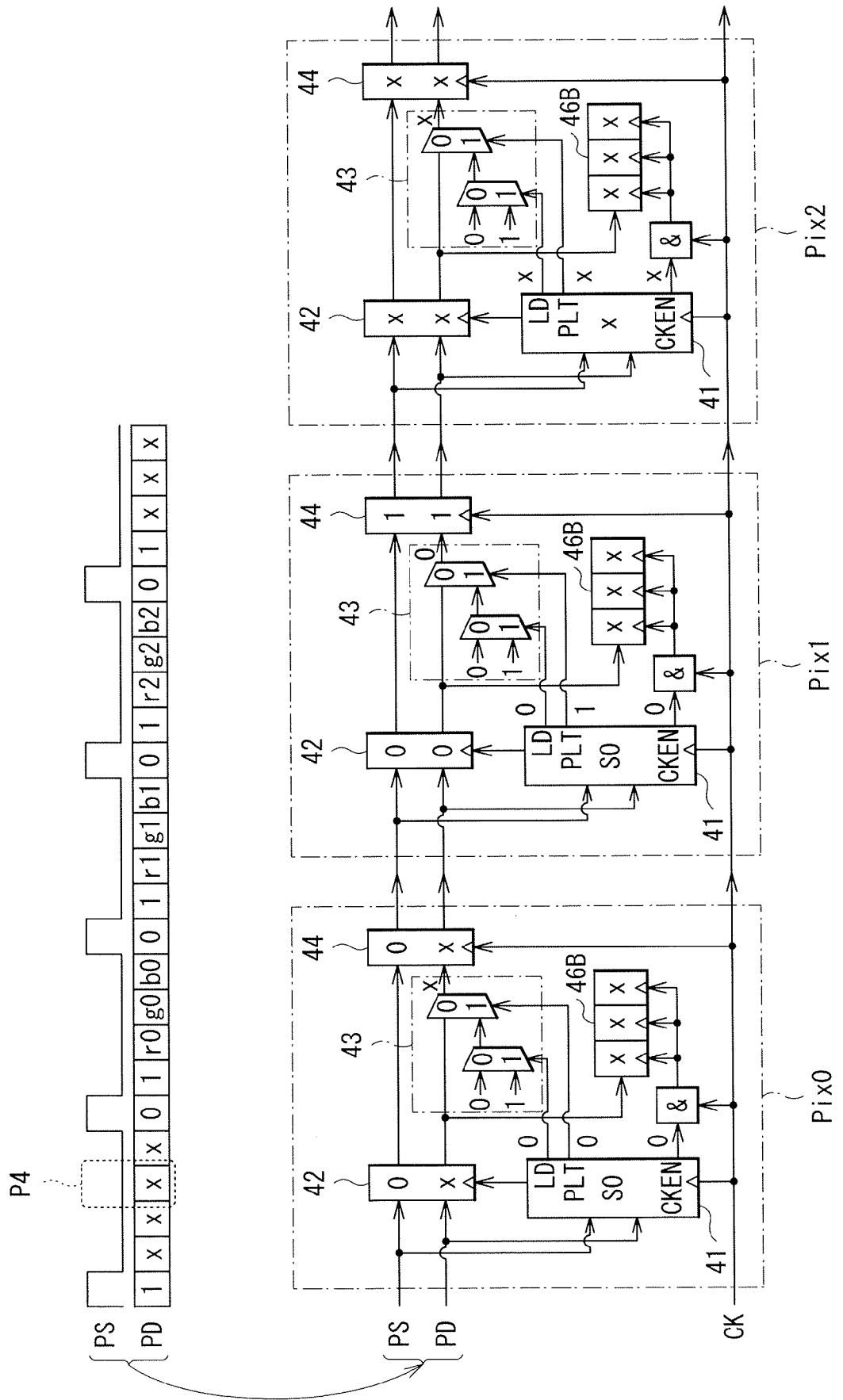
[図9]



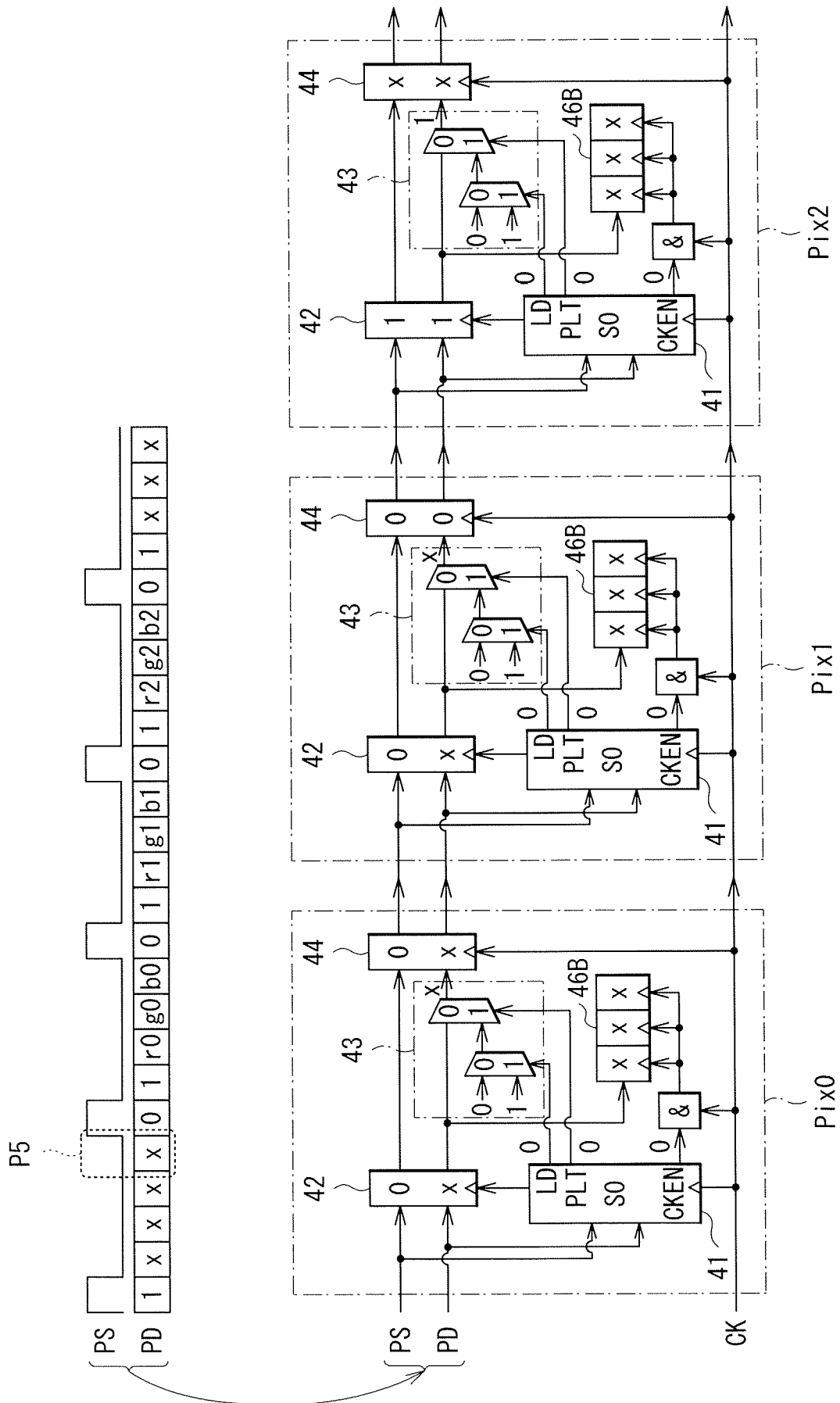
[図10]



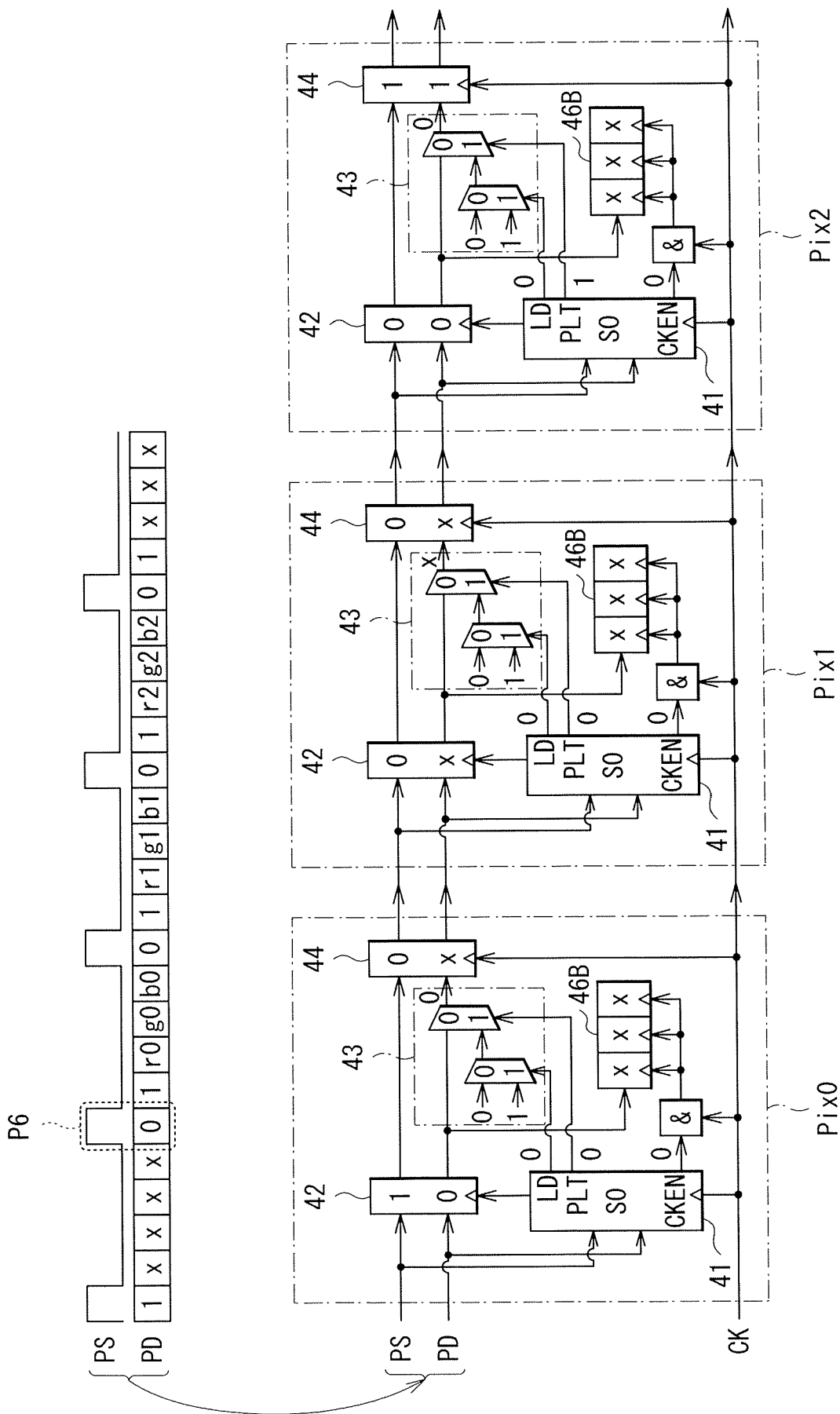
[図11]



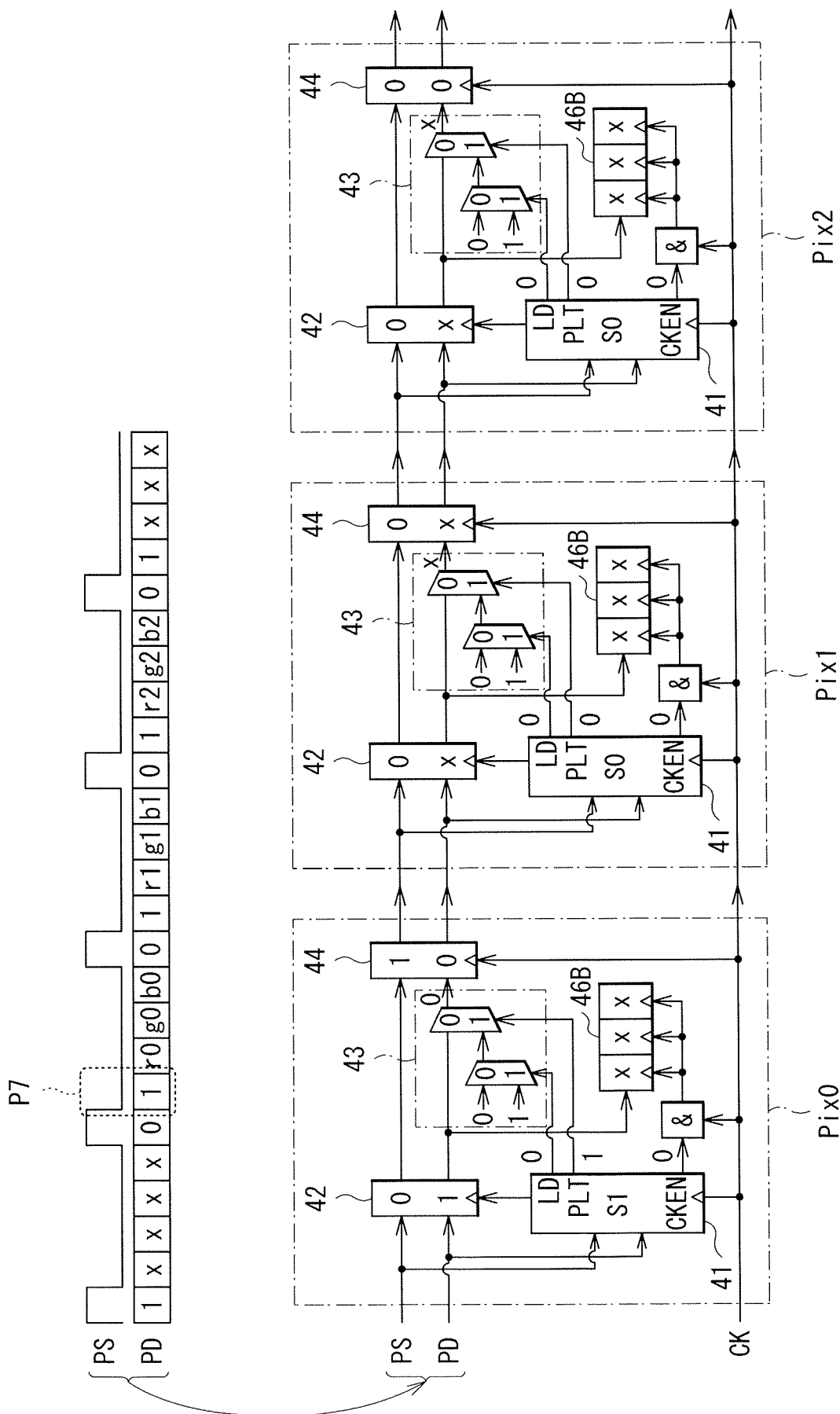
[図12]



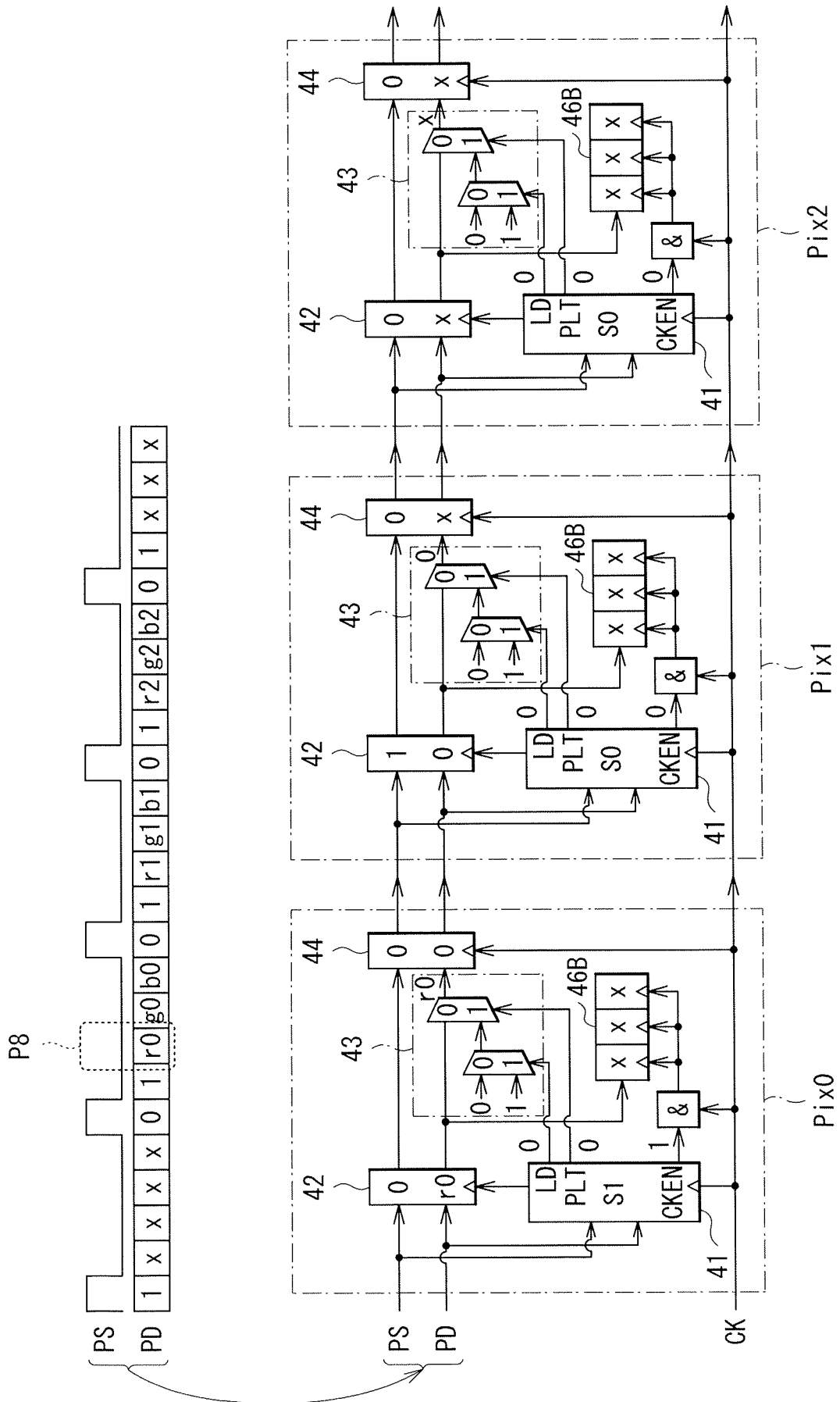
[図13]



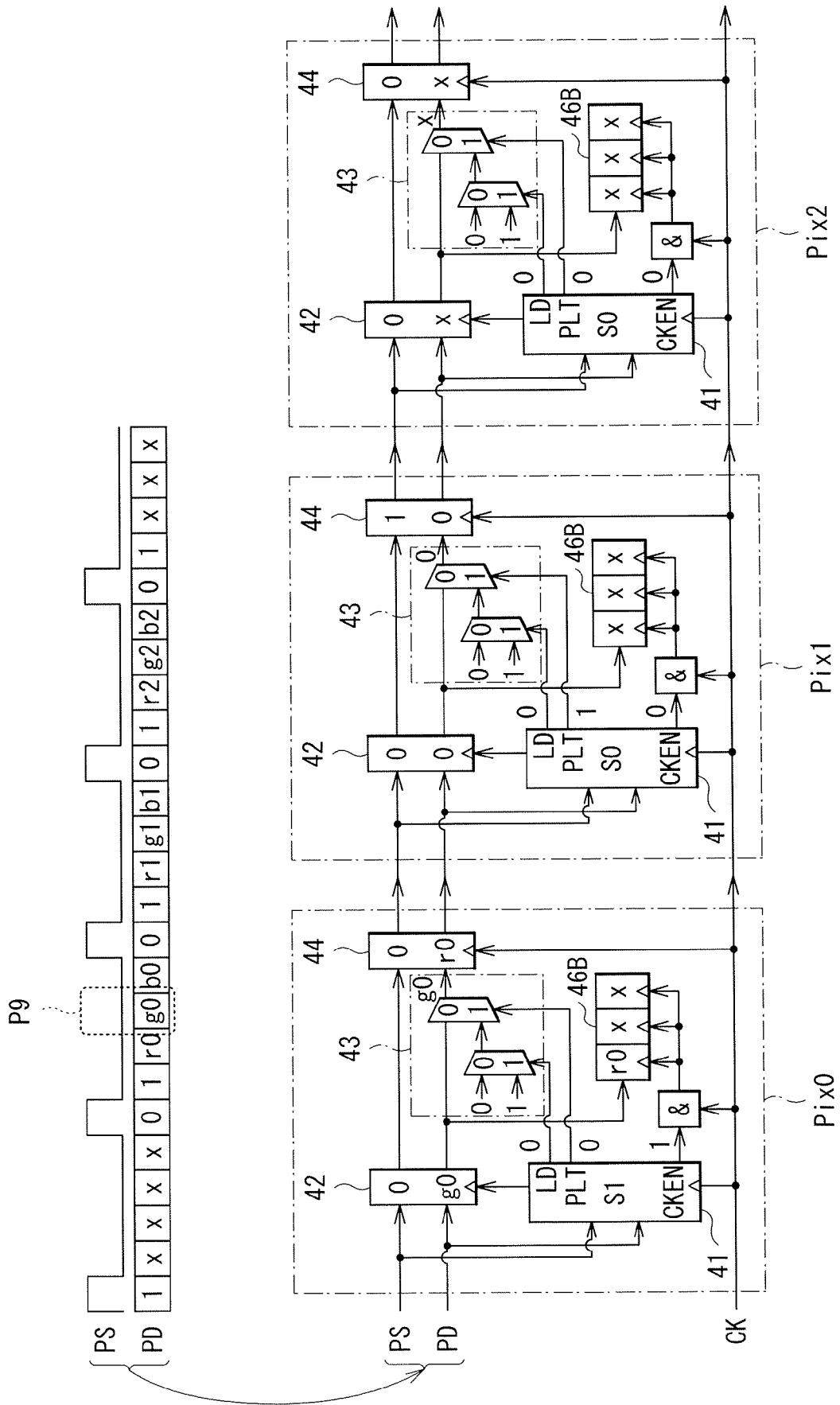
[図14]



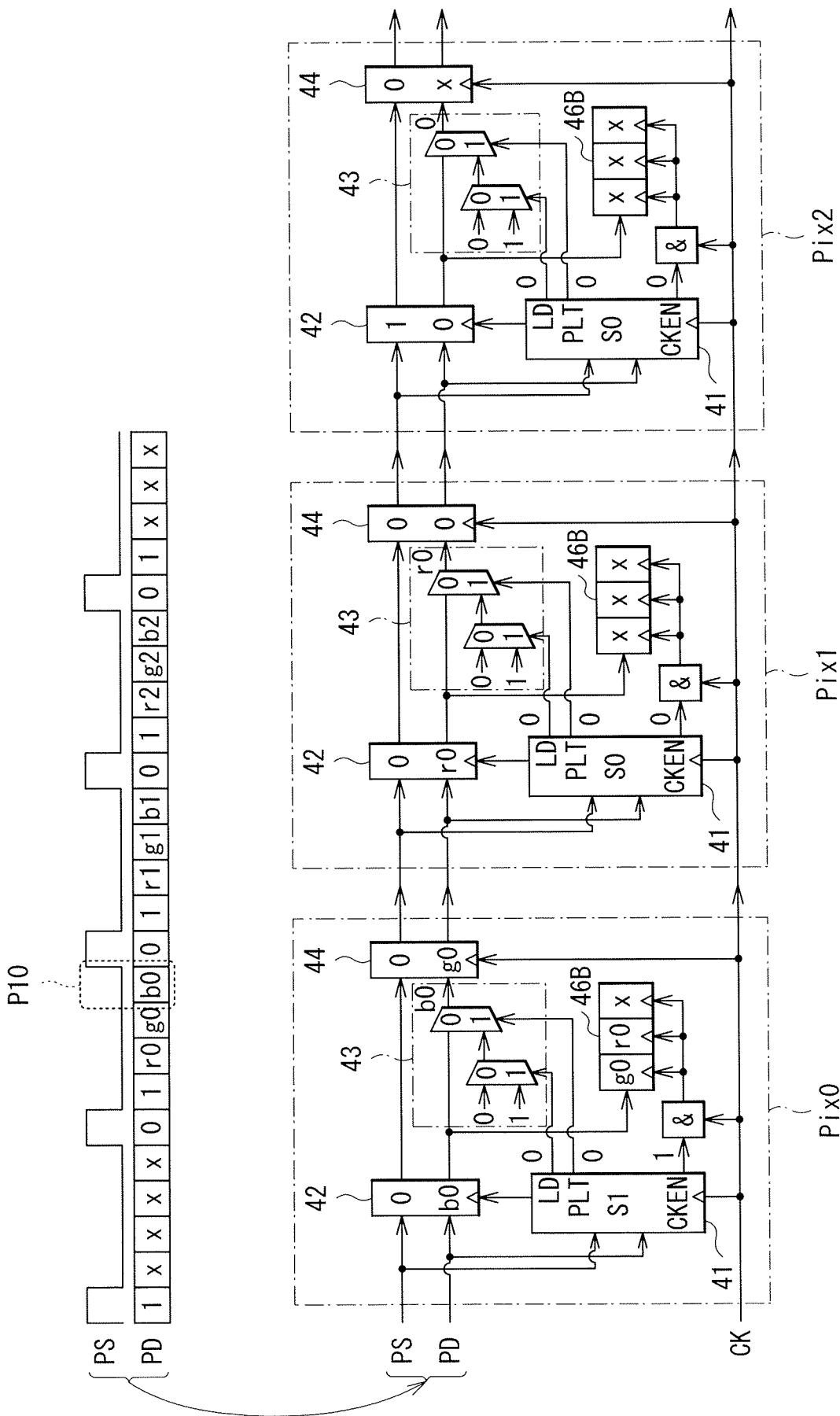
[図15]



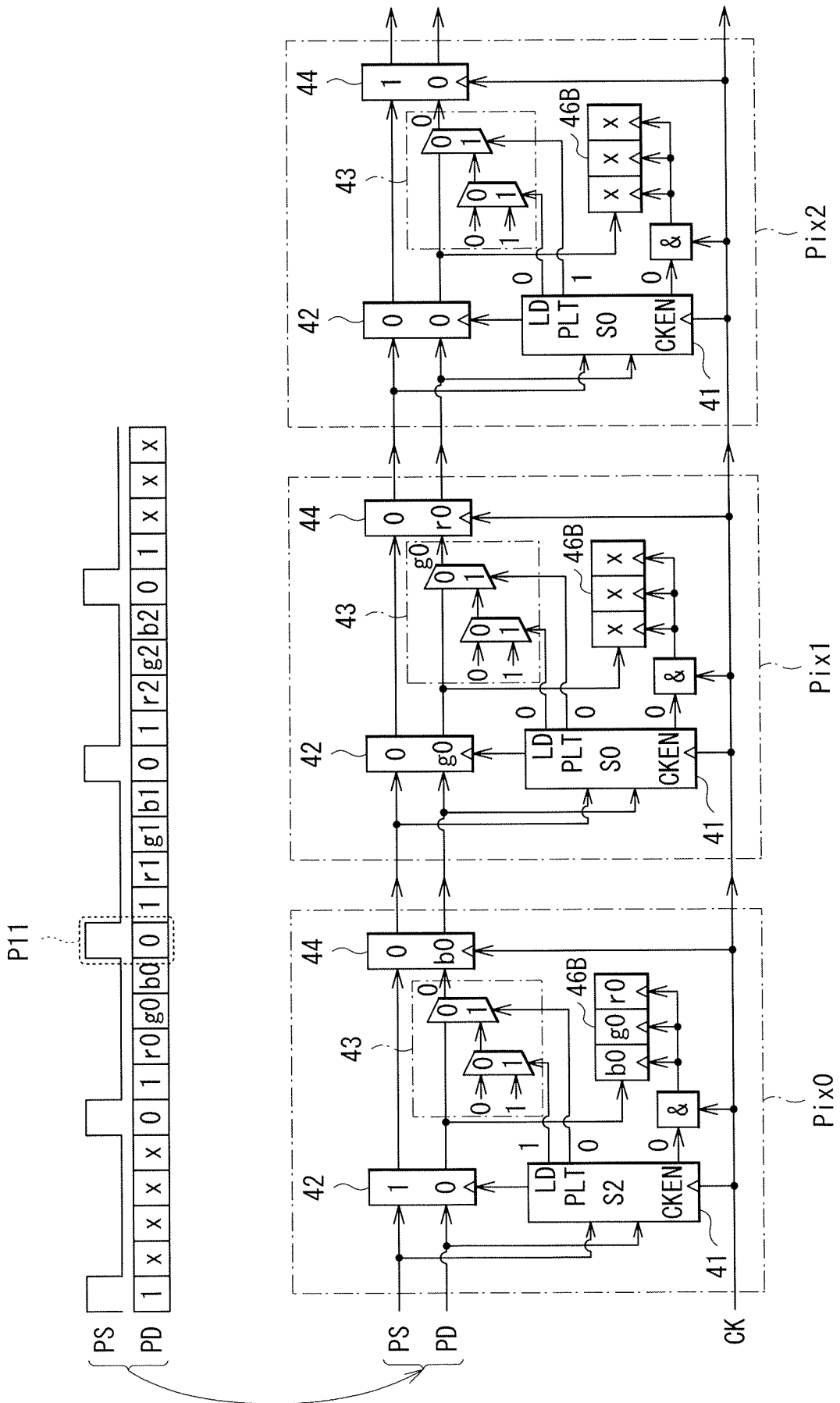
[図16]



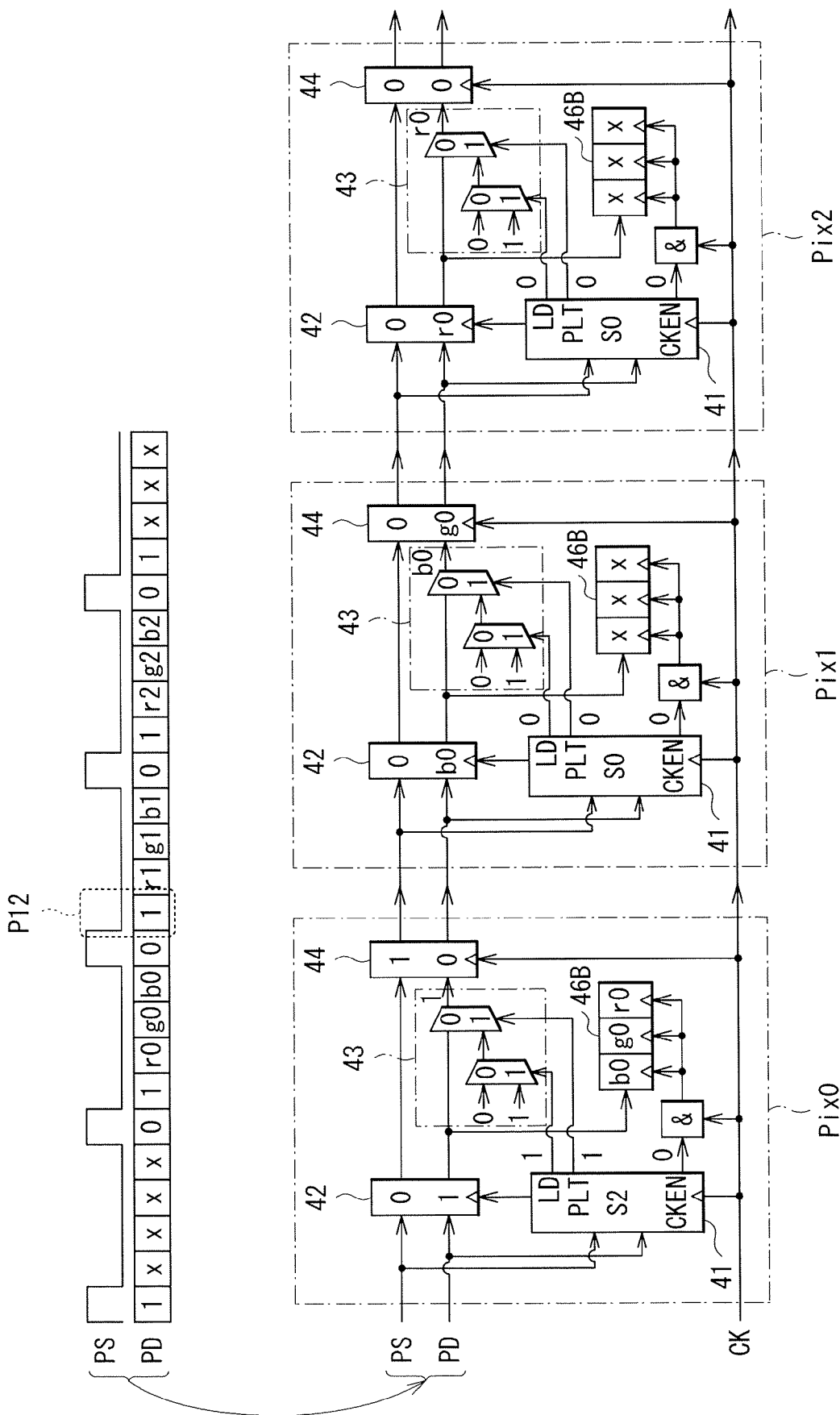
[図17]



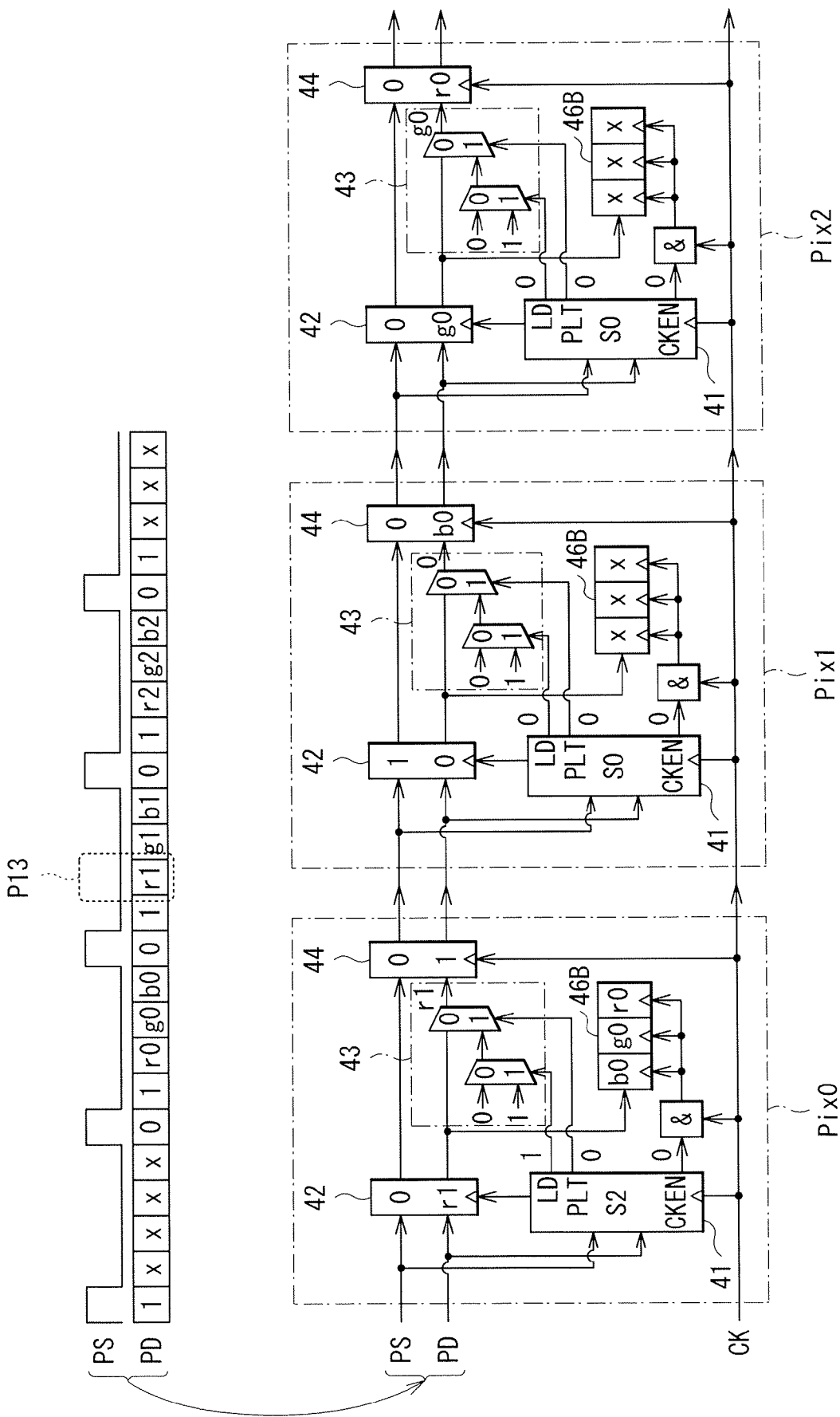
[図18]



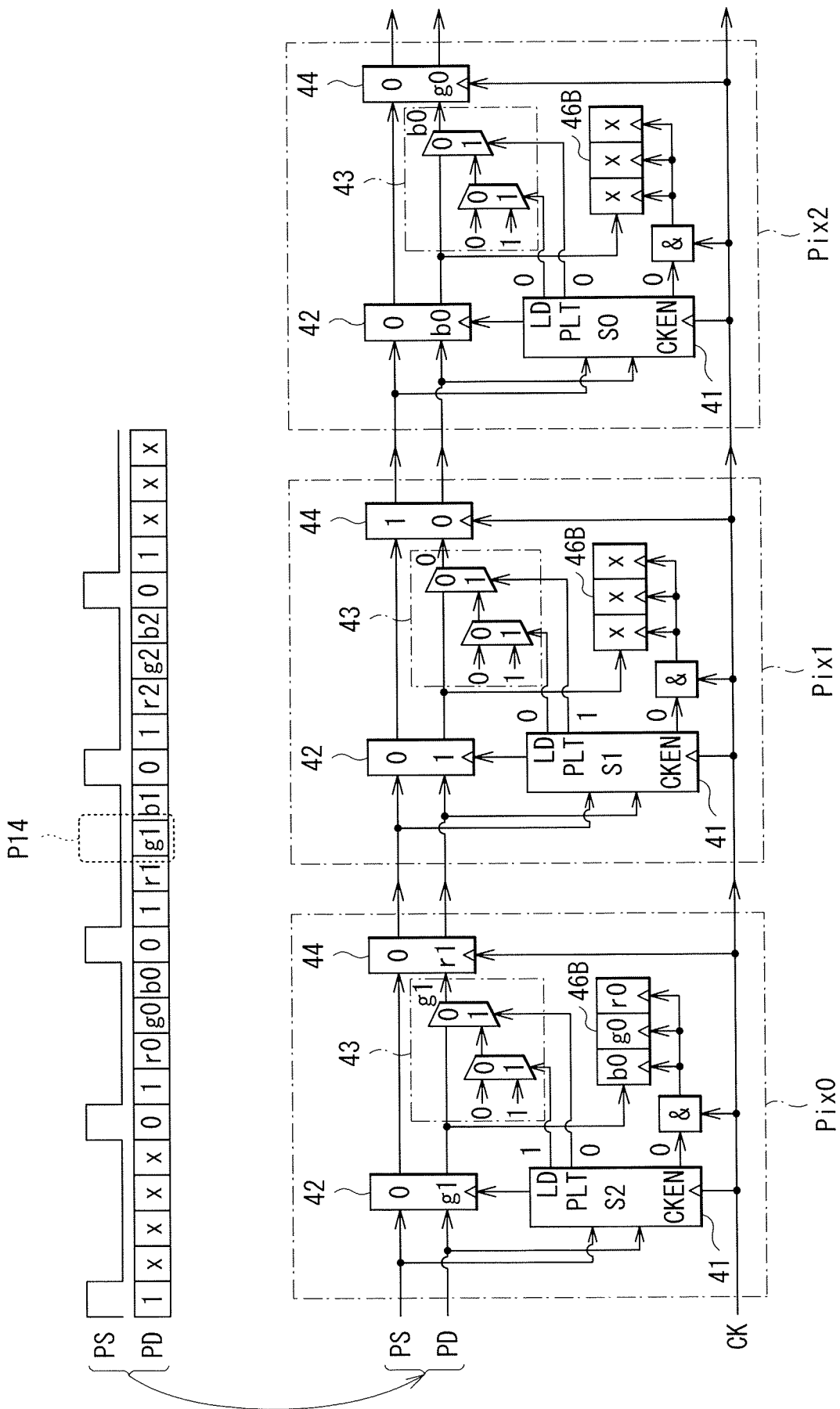
[図19]



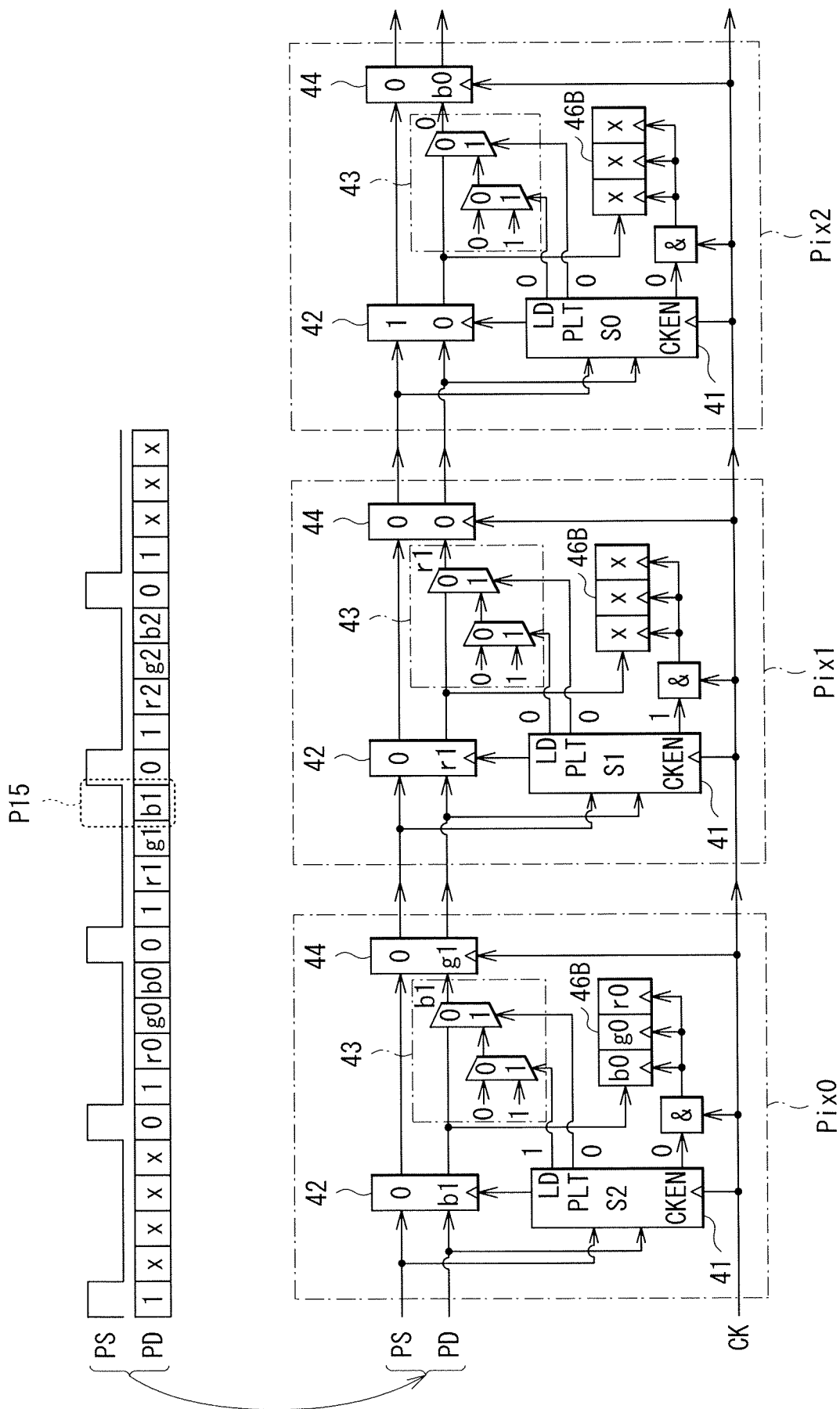
[図20]



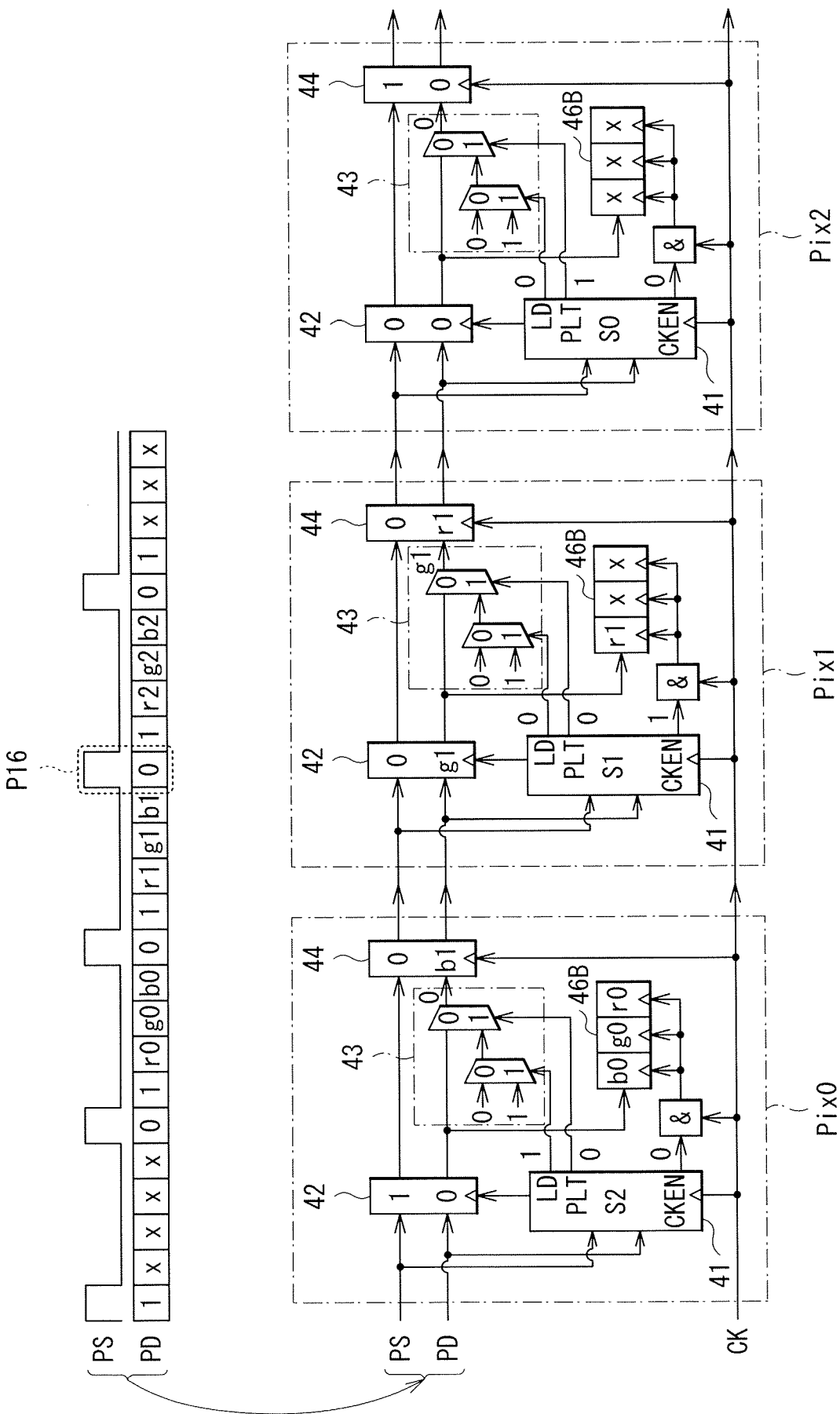
[図21]



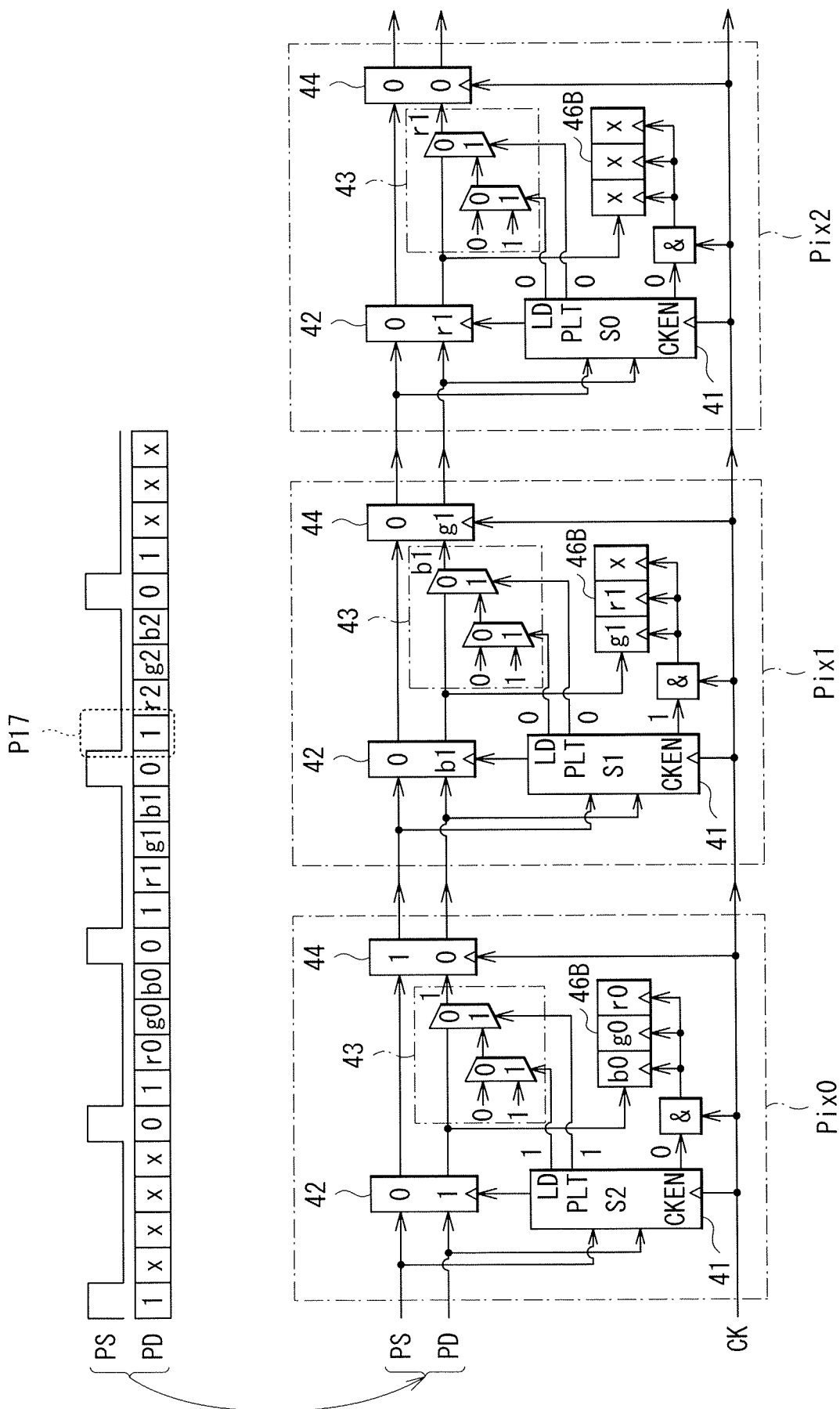
[図22]



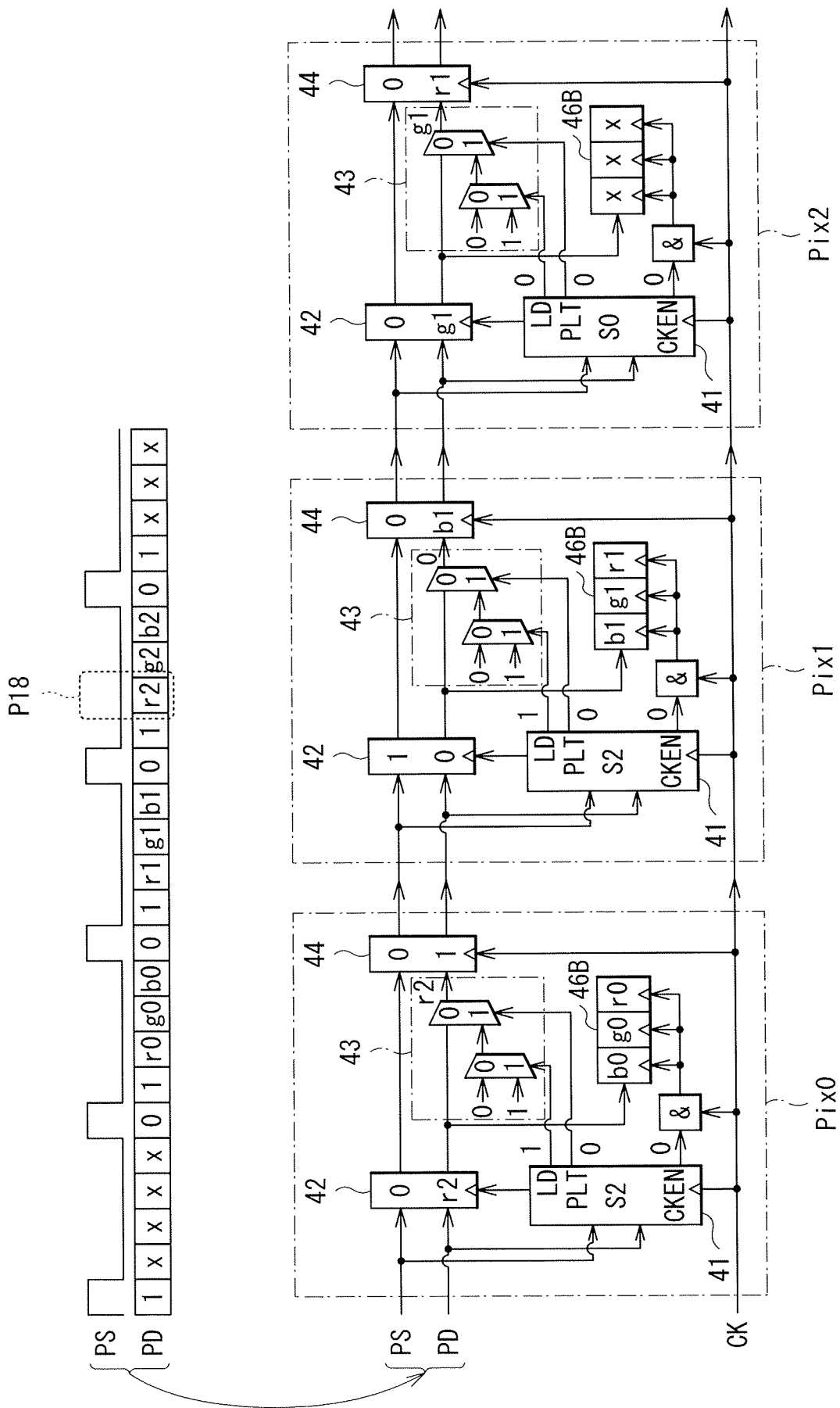
[図23]



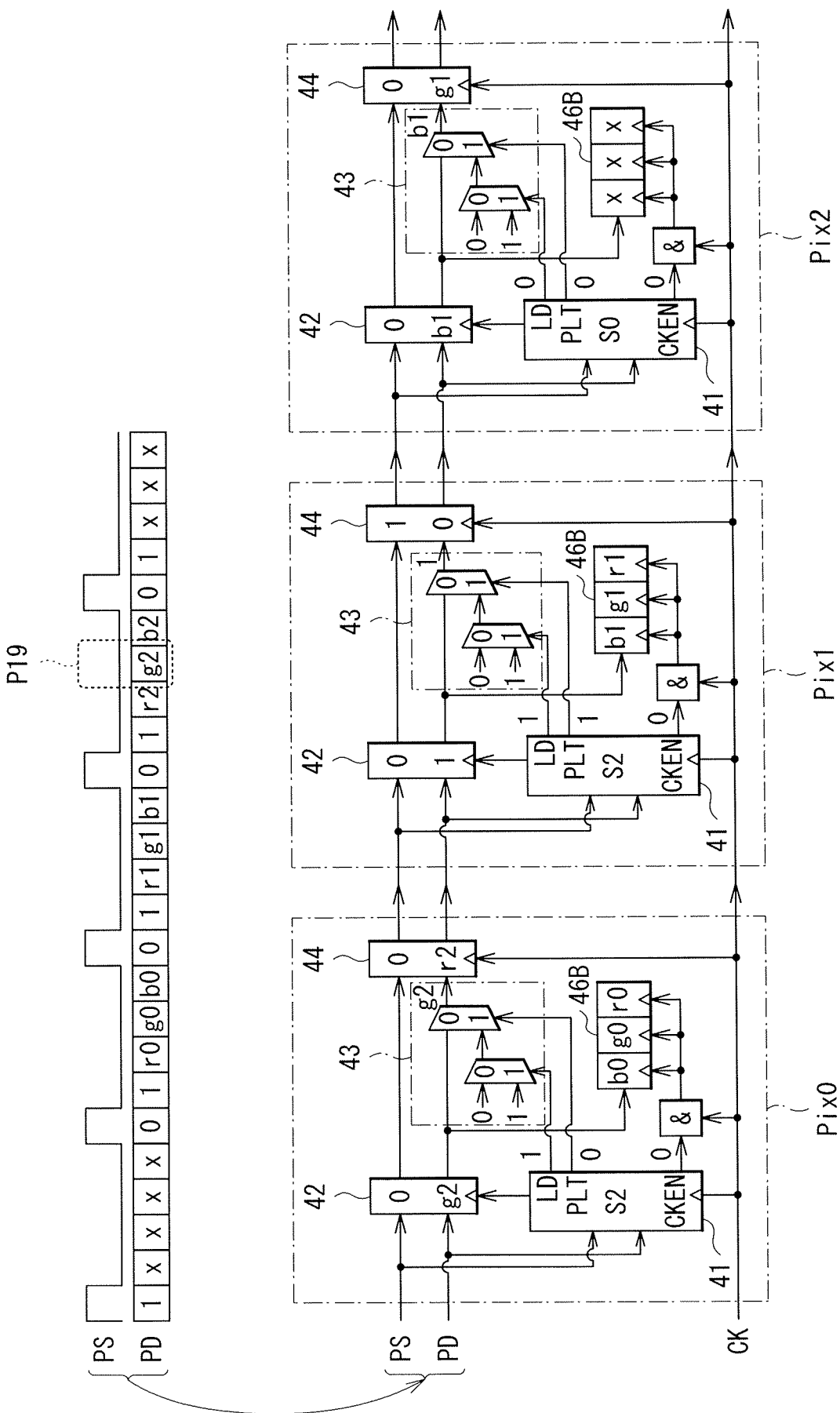
[図24]



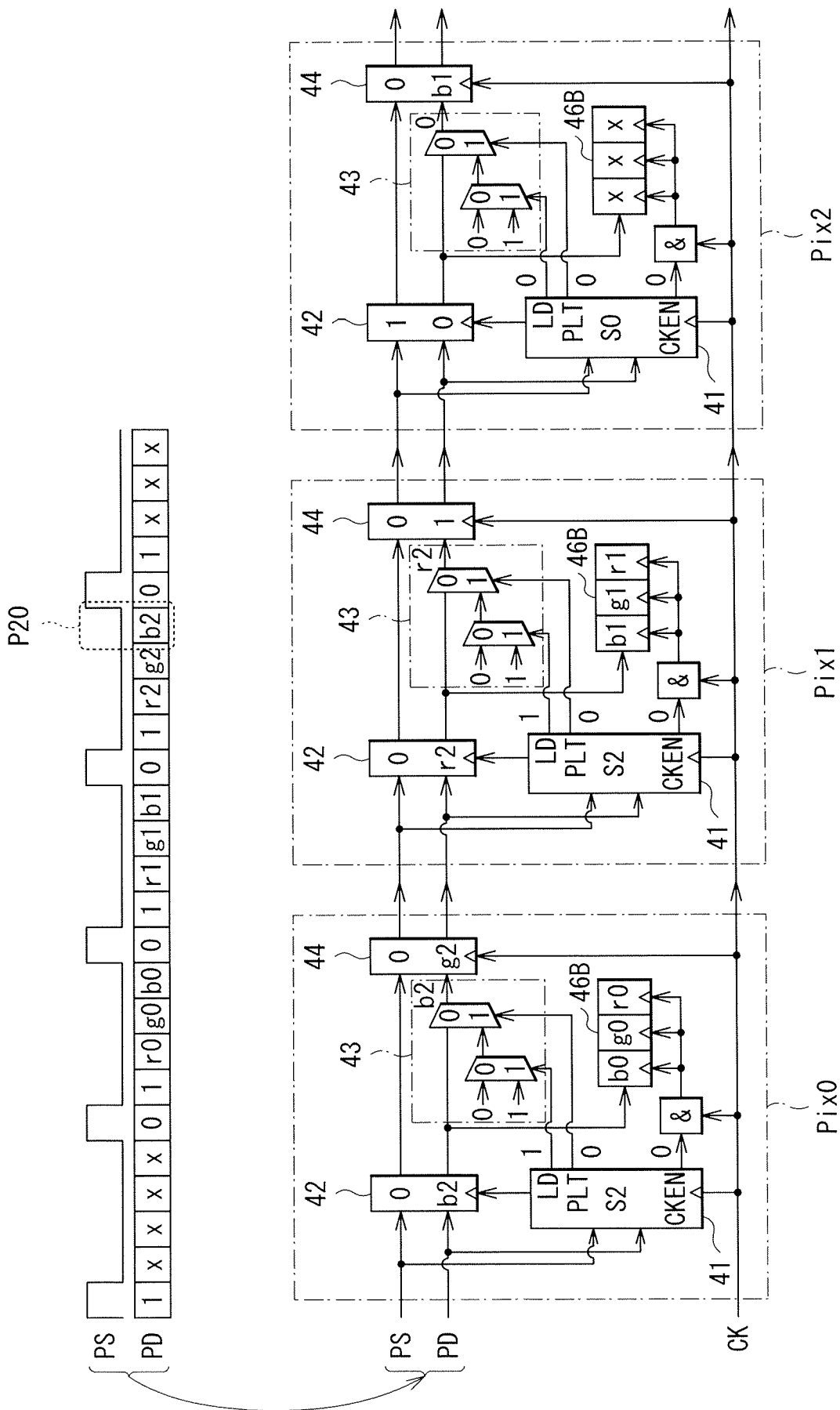
[図25]



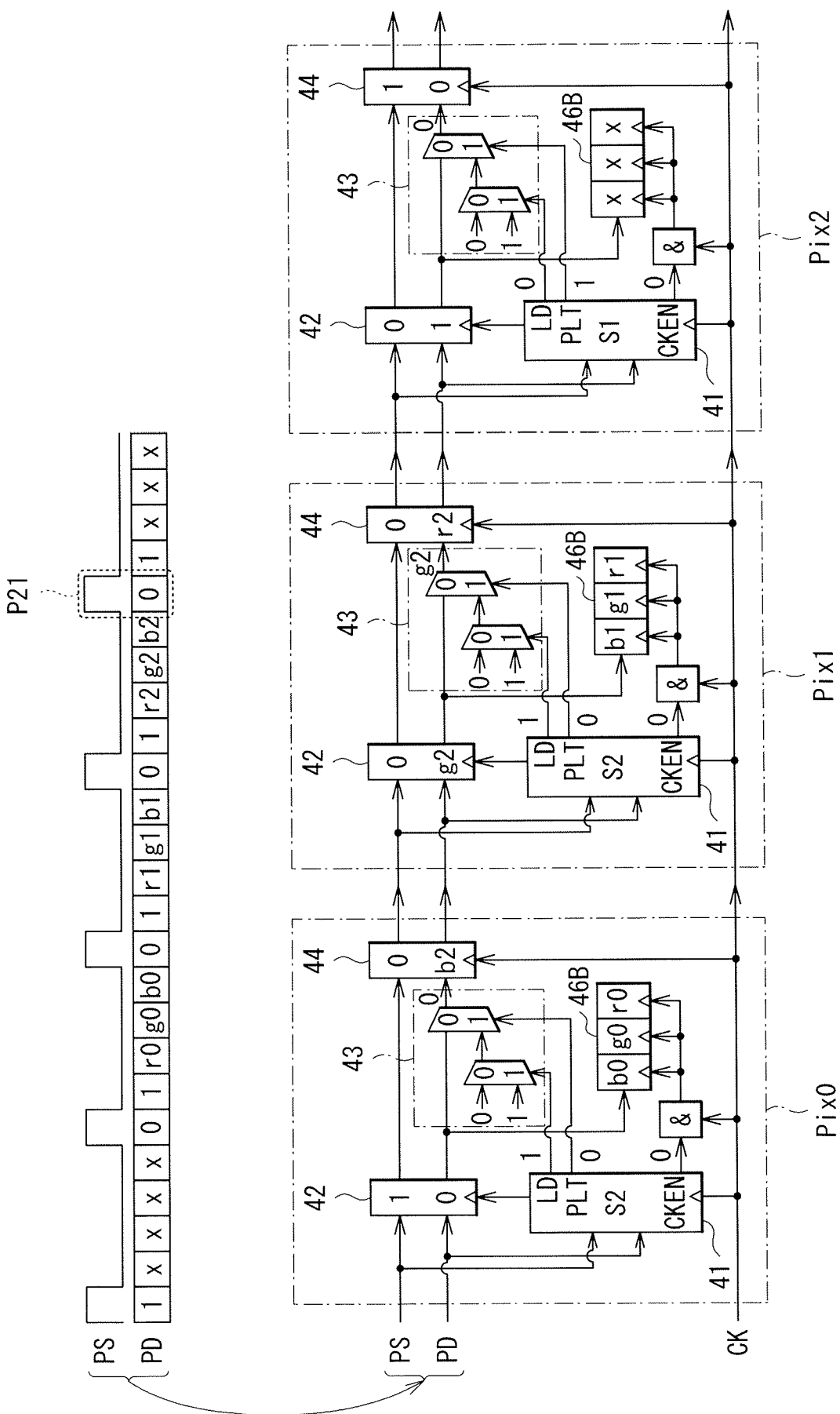
[図26]



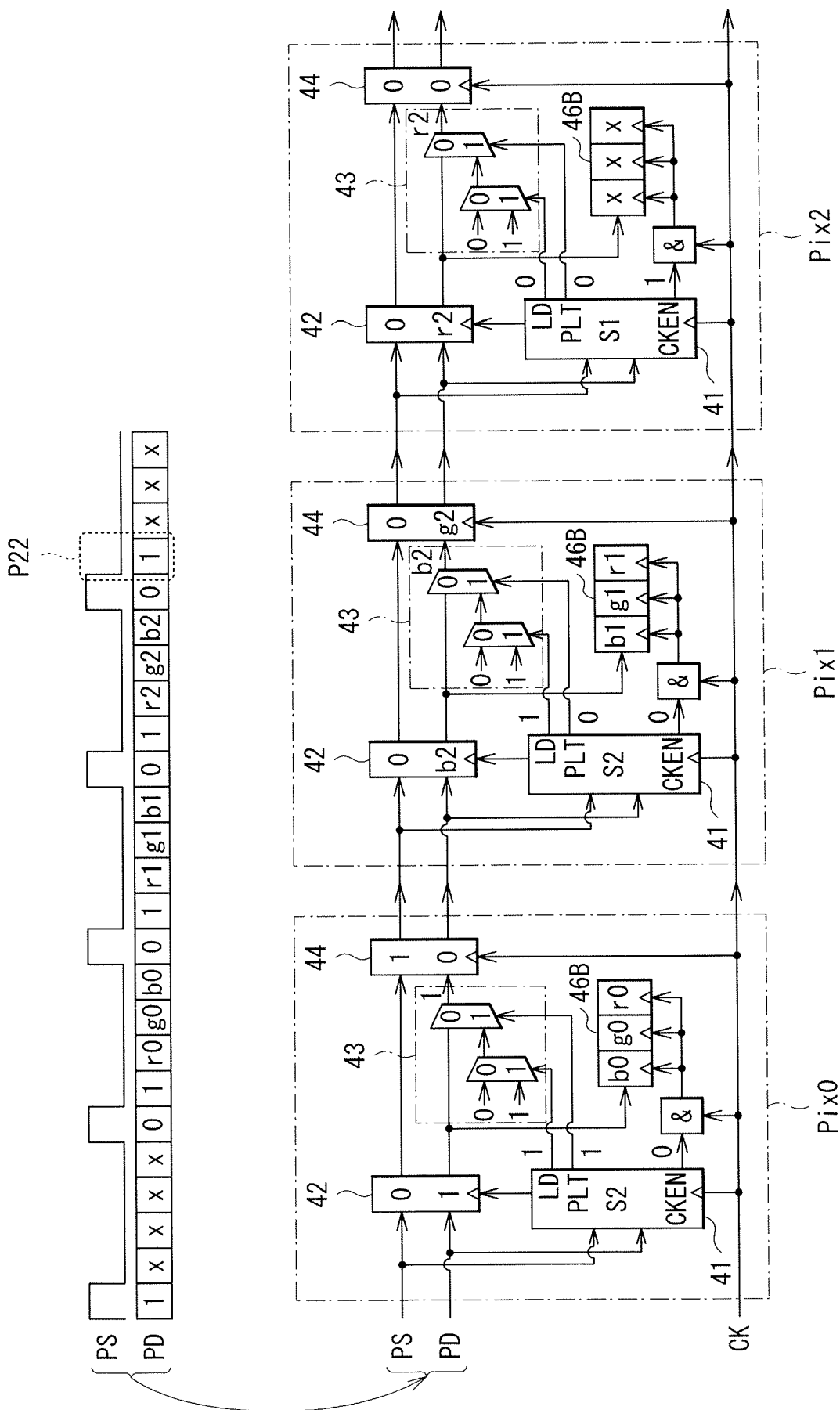
[図27]



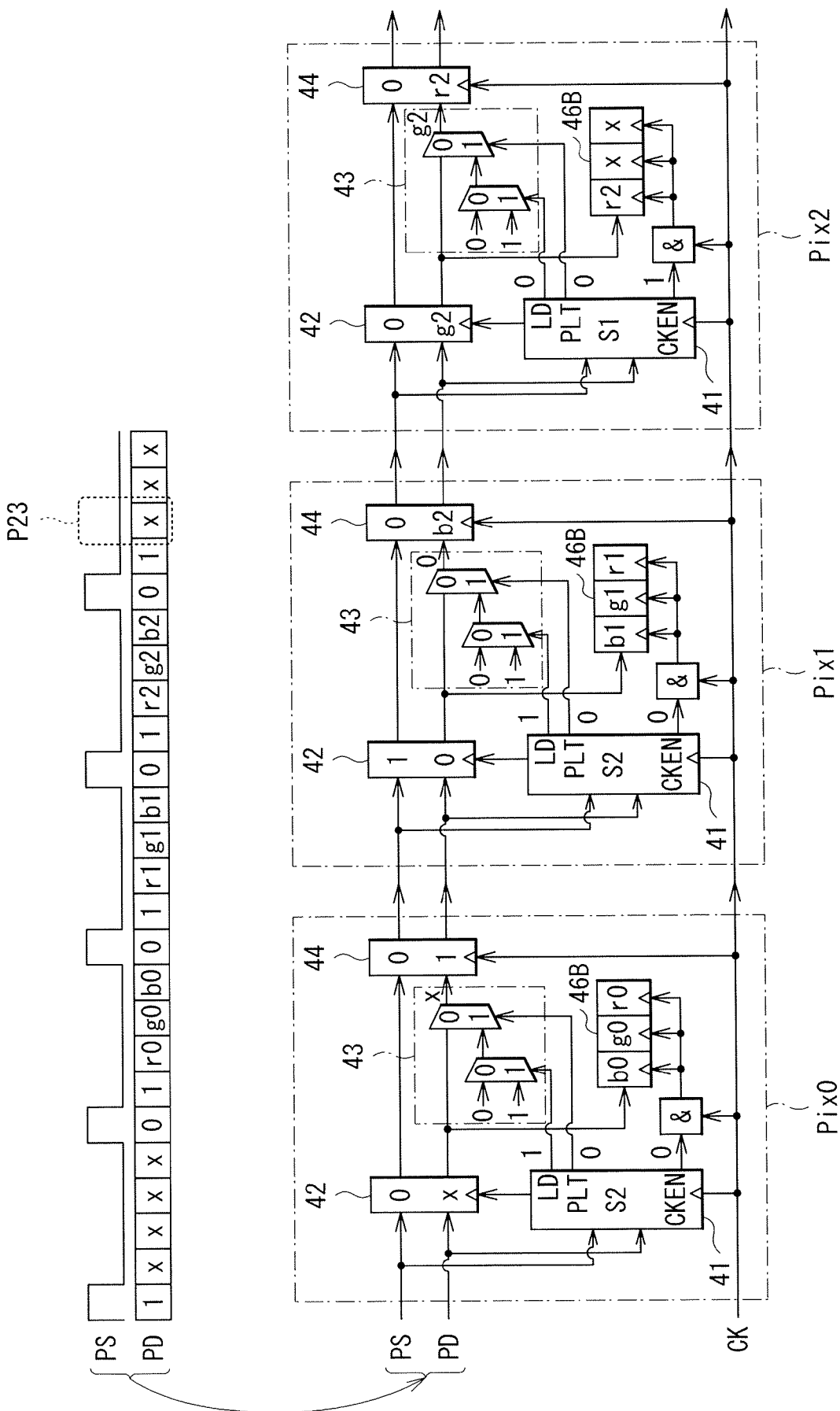
[図28]



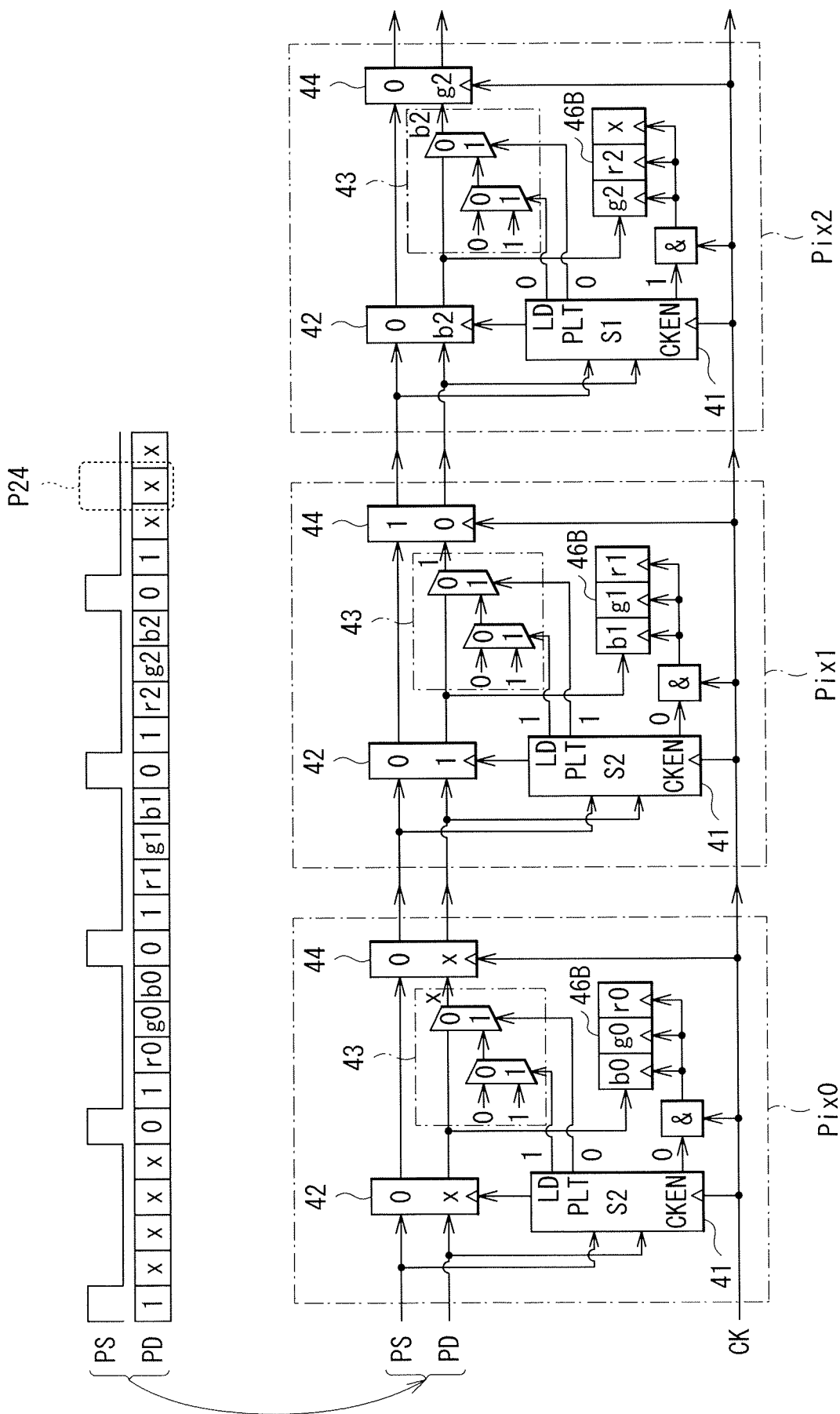
[図29]



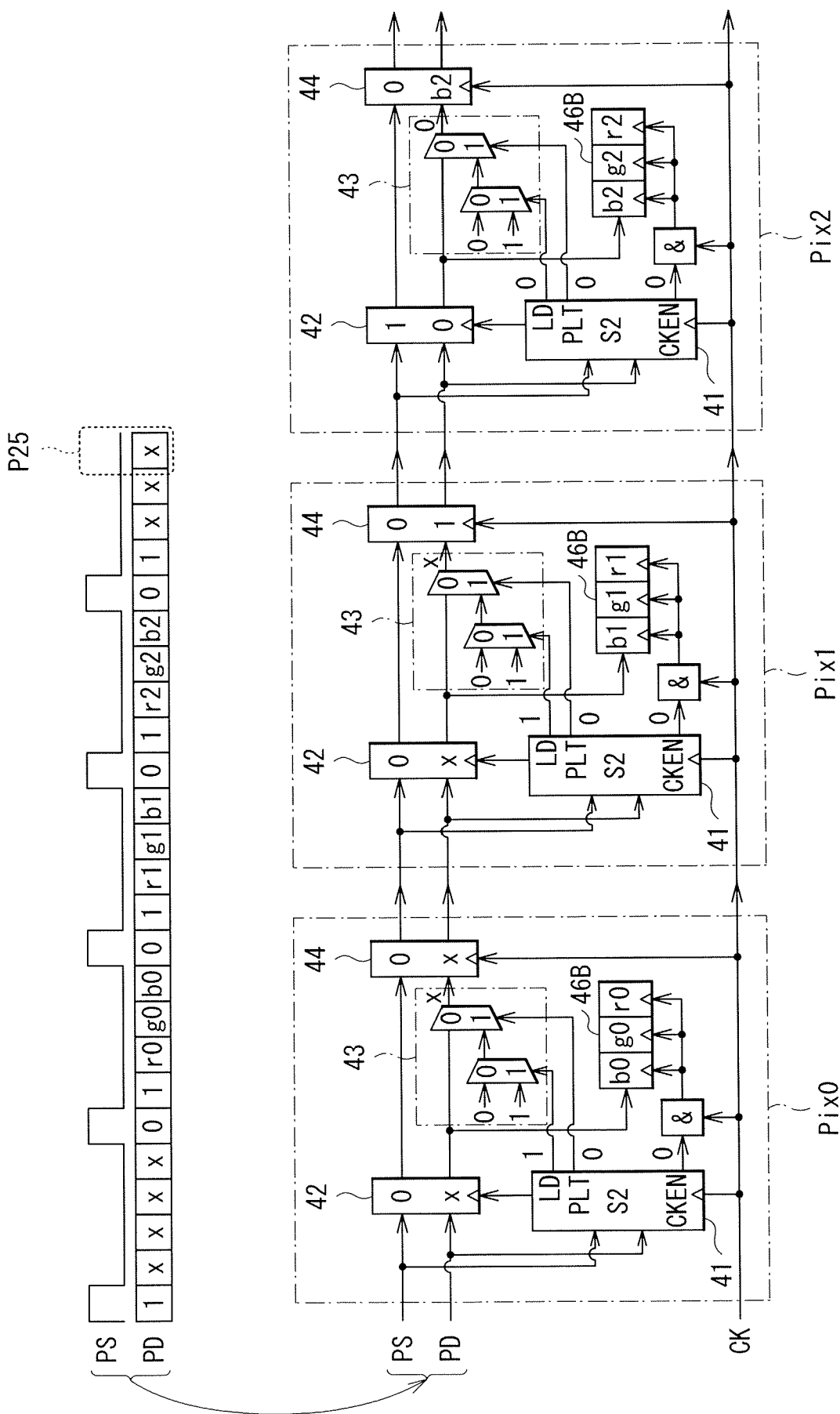
[Fig. 30]



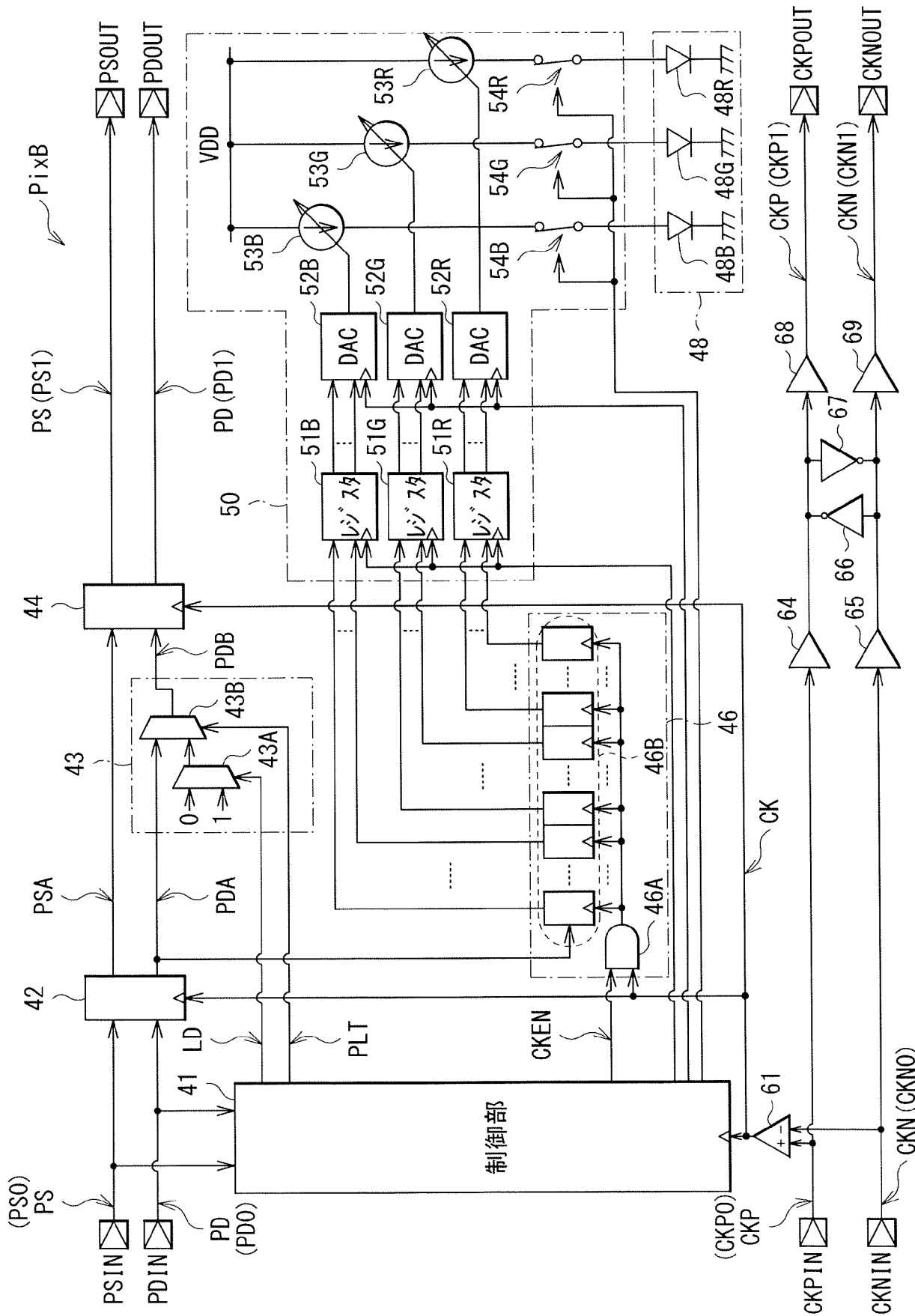
[図31]



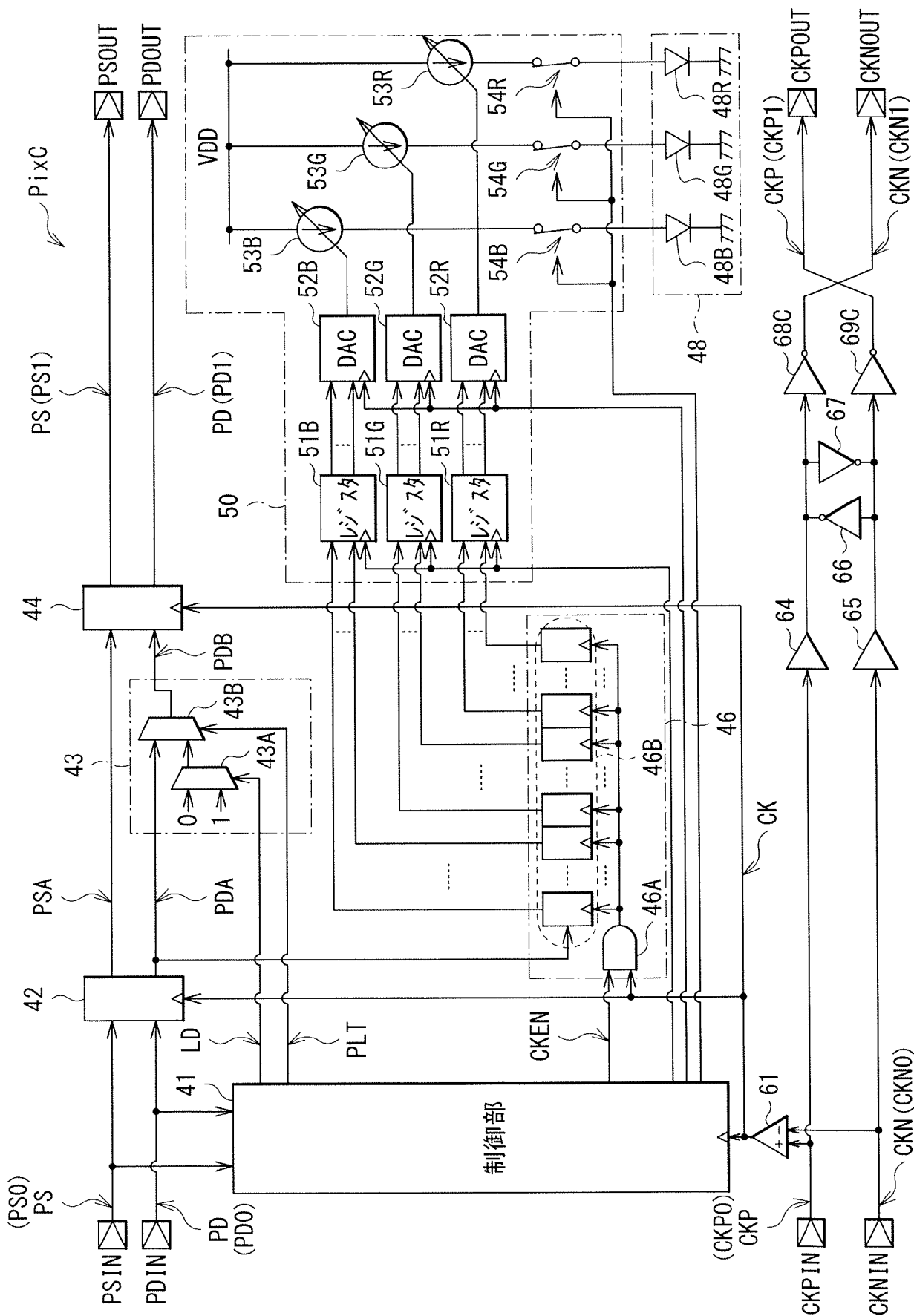
[32]



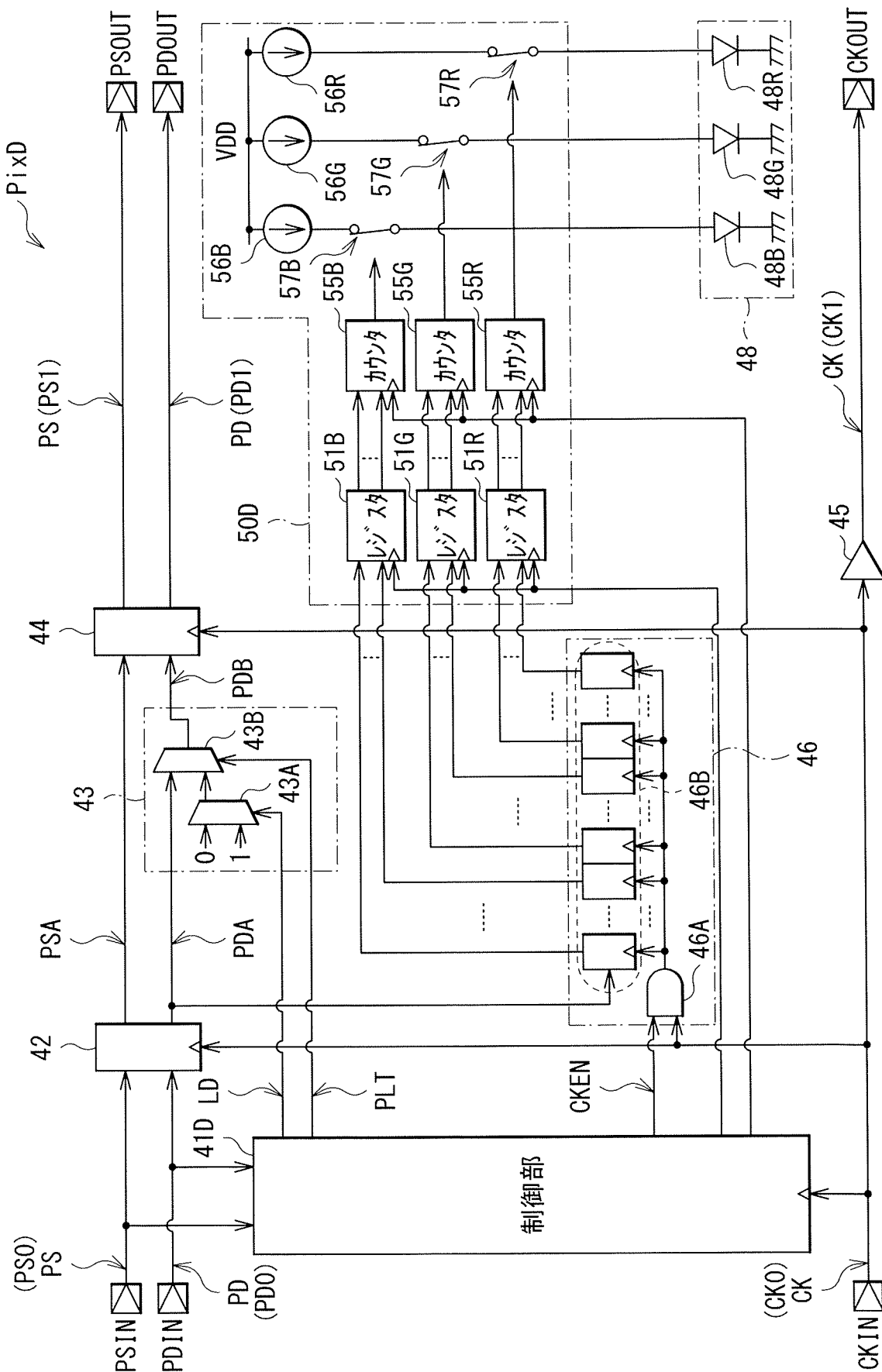
[図33]



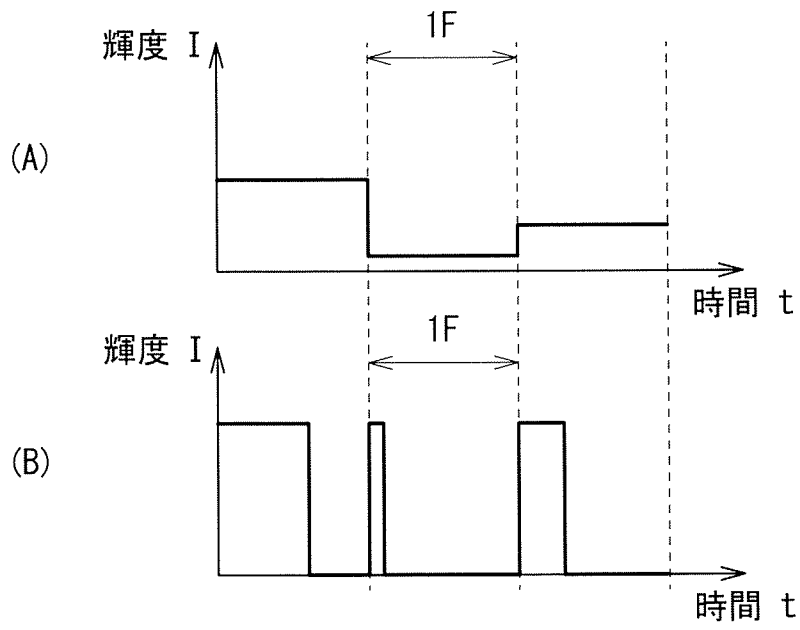
[図34]



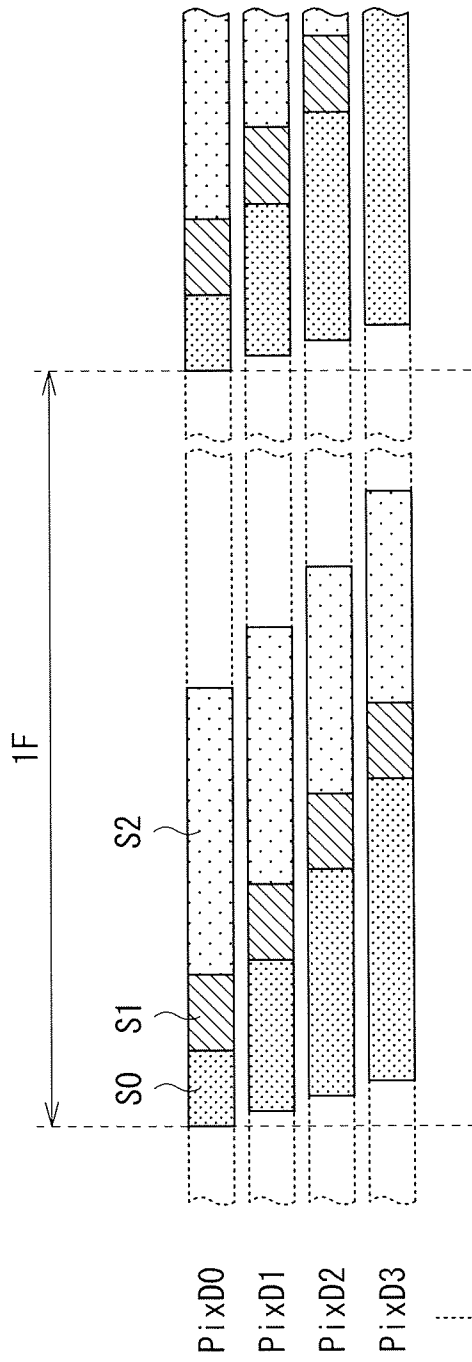
[図35]



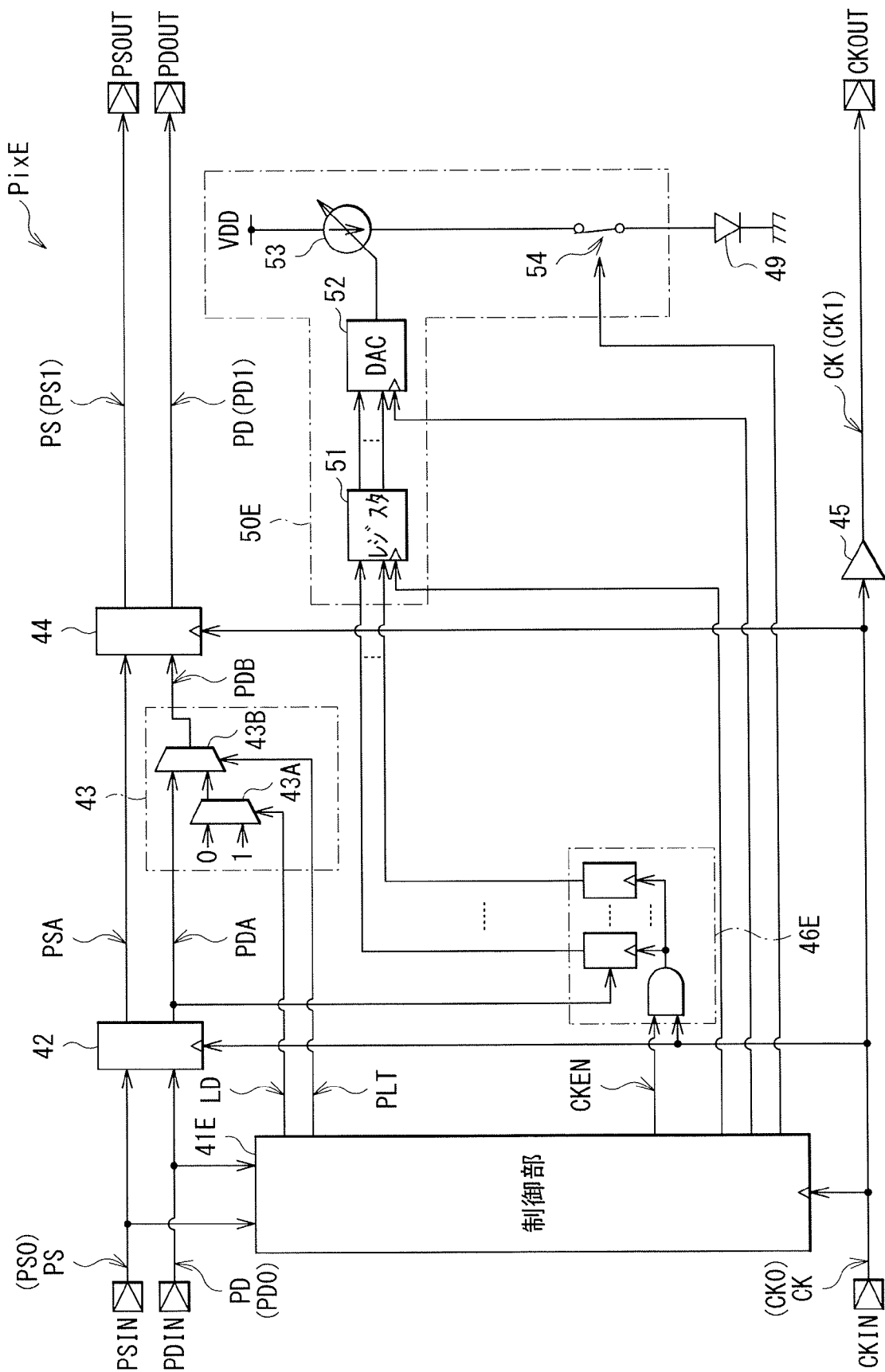
[図36]



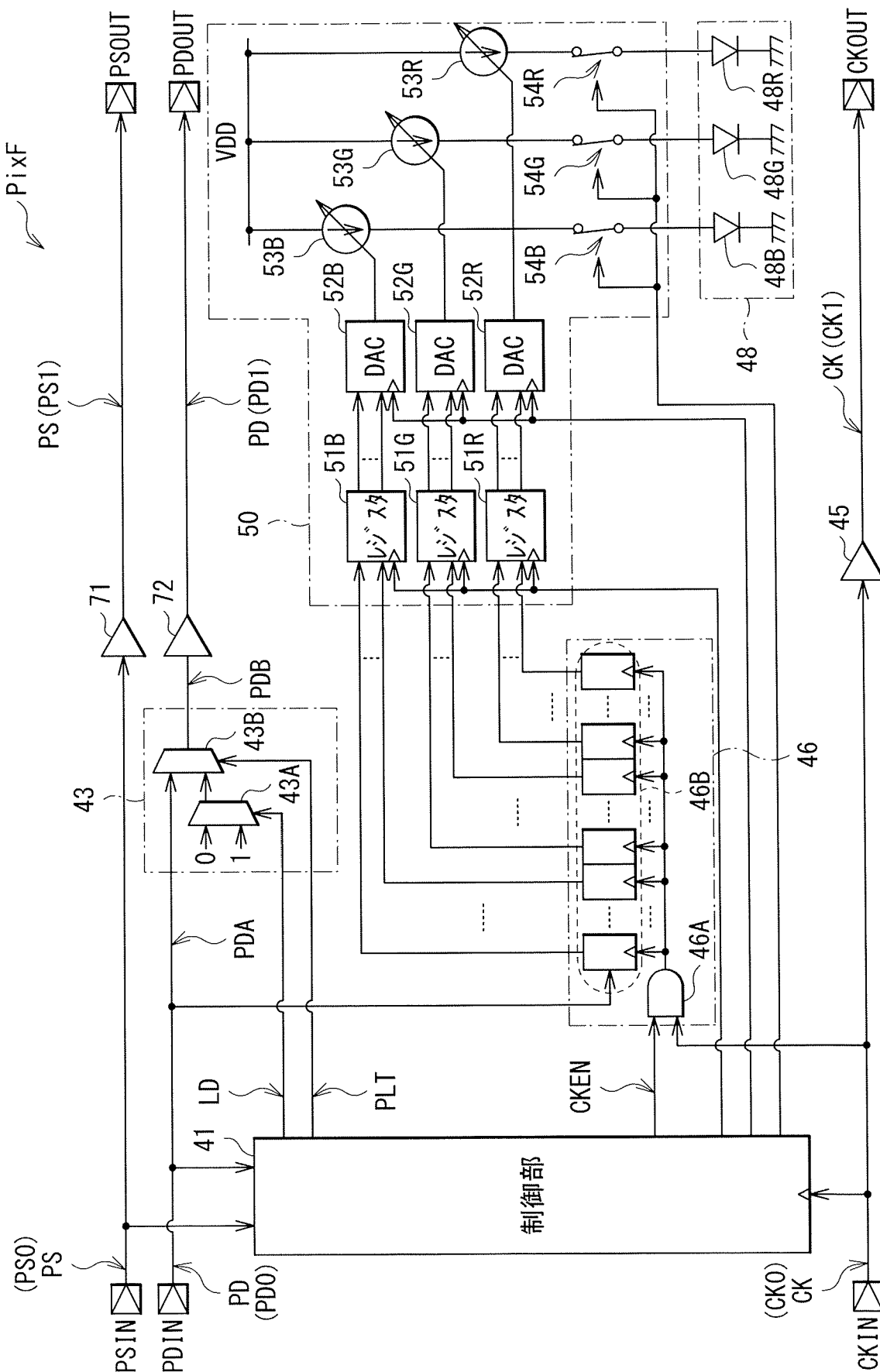
[図37]



[図38]

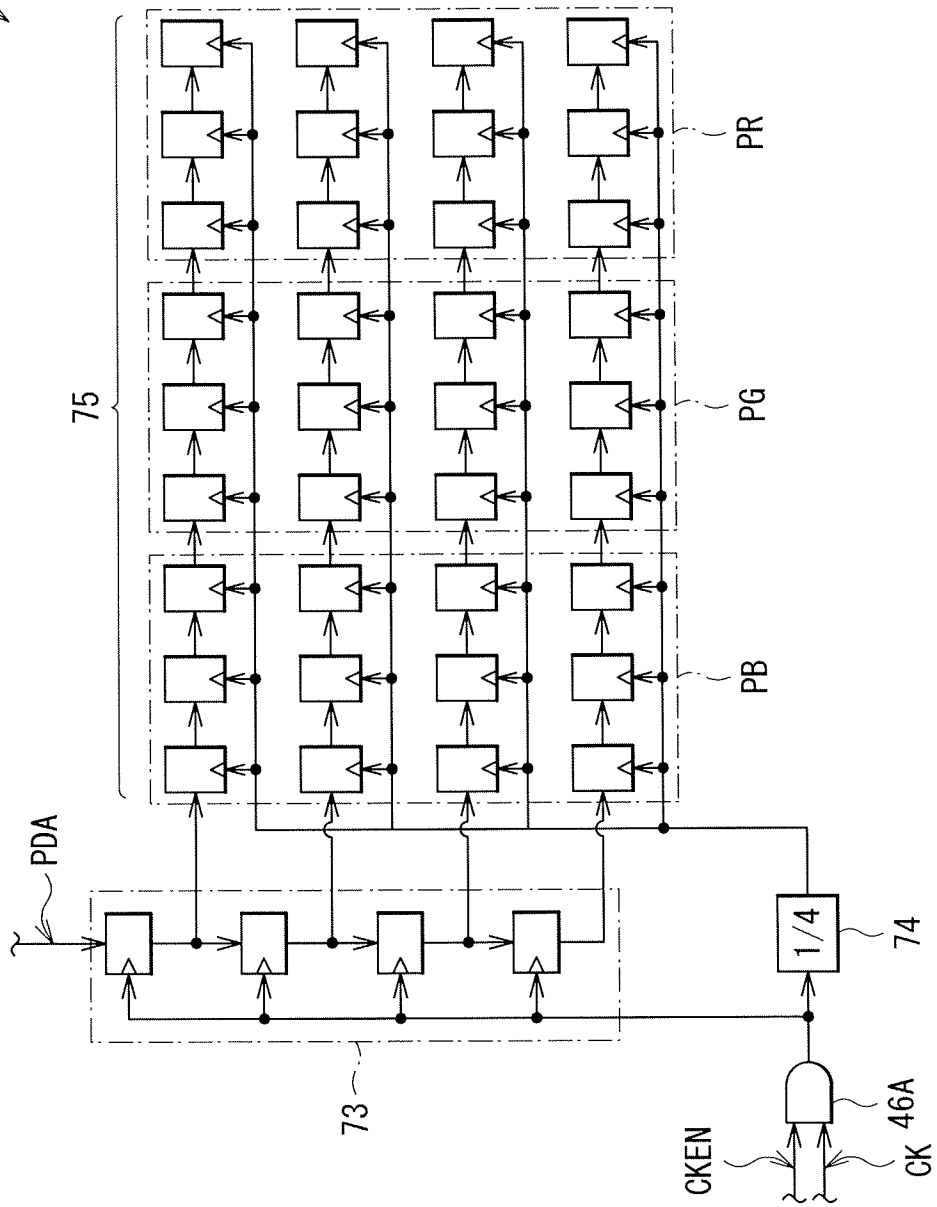


[図39]

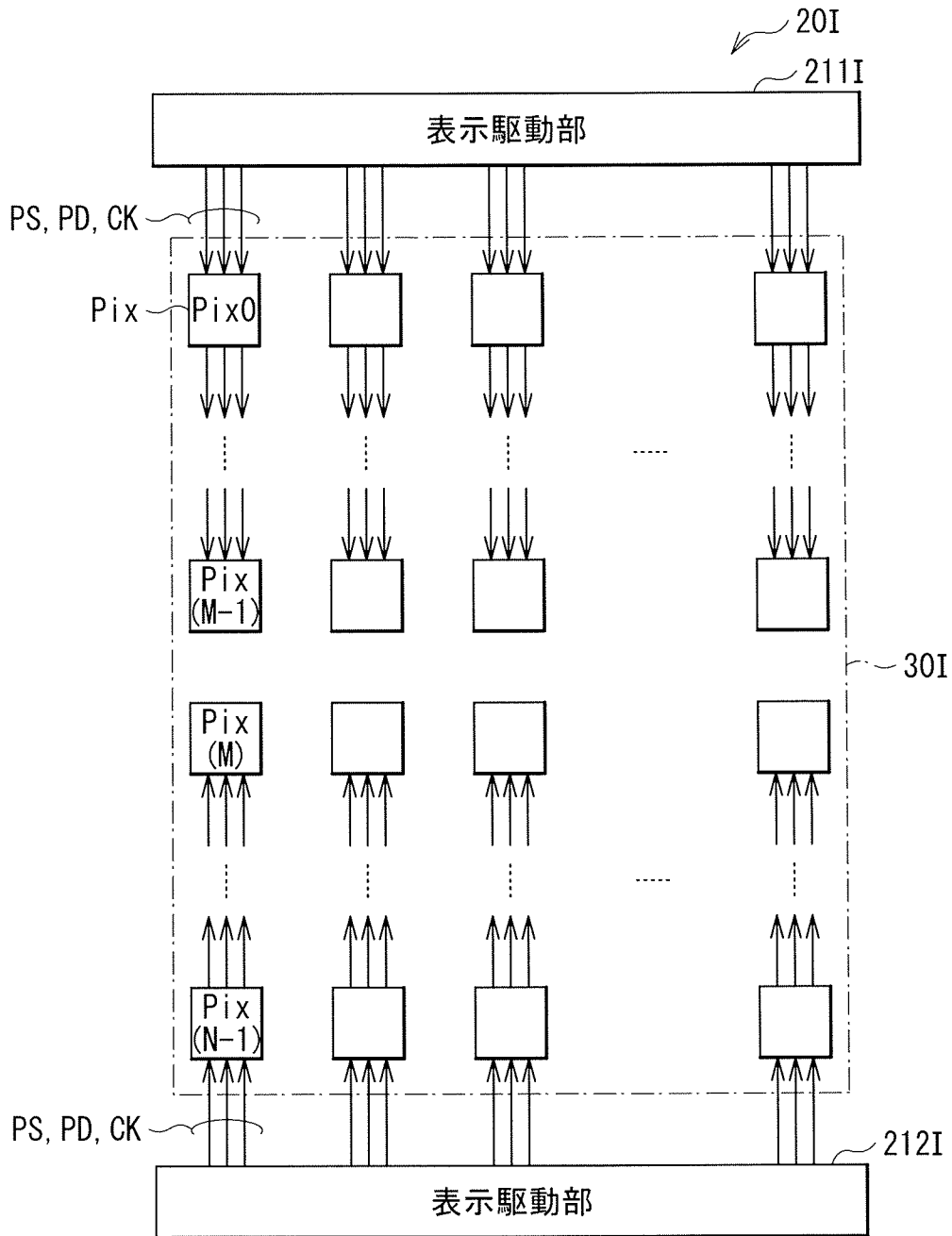


[図40]

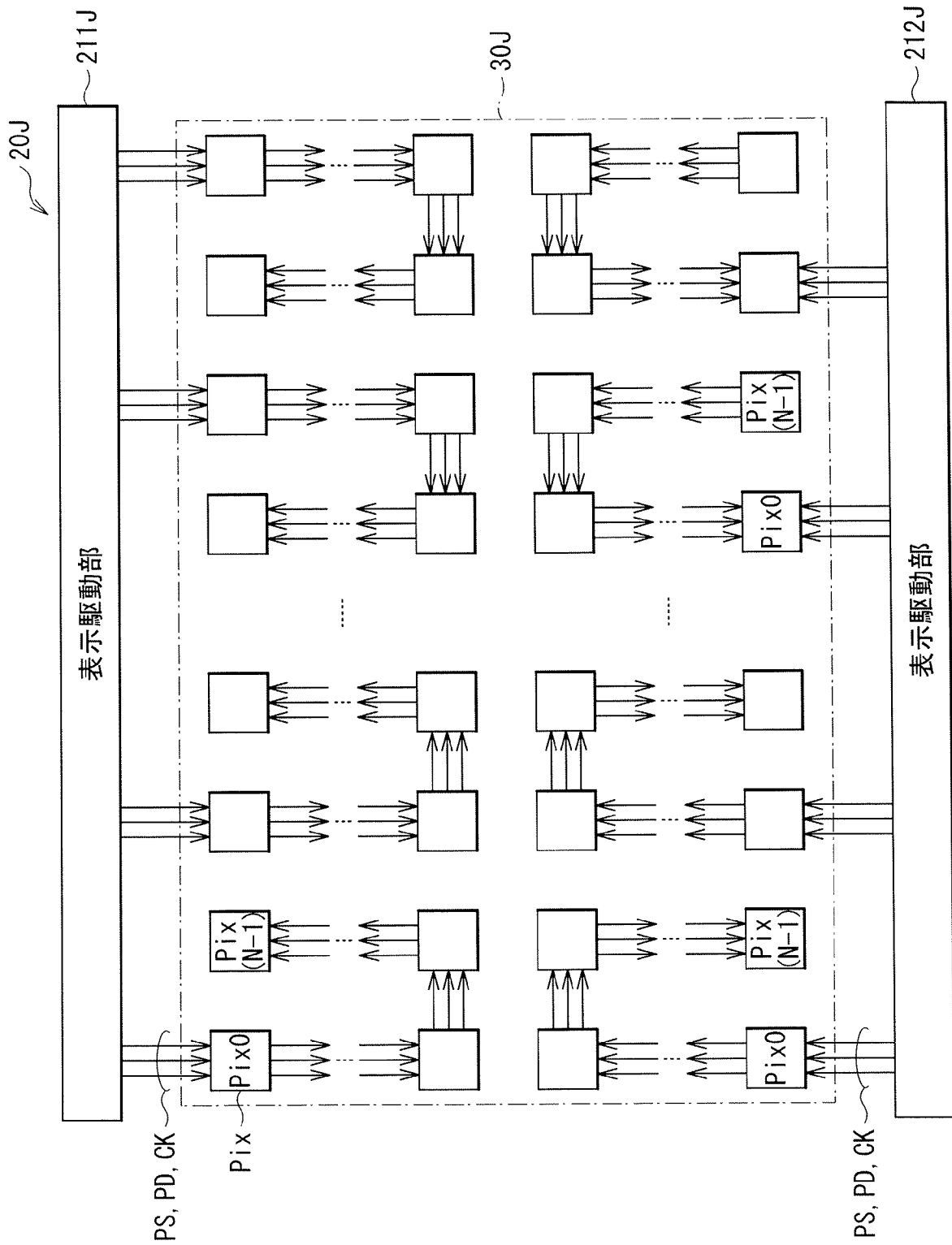
46G



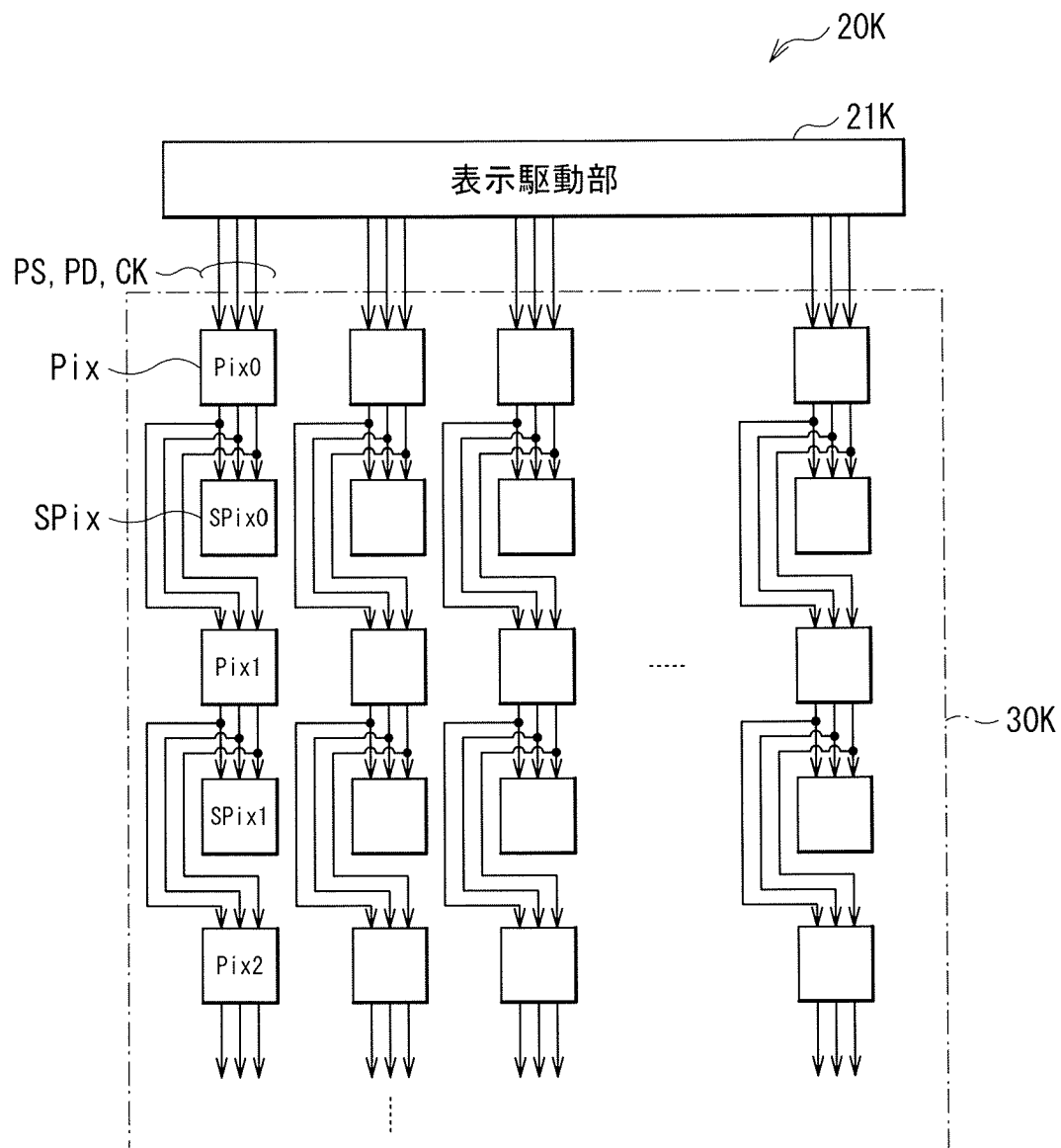
[図41]



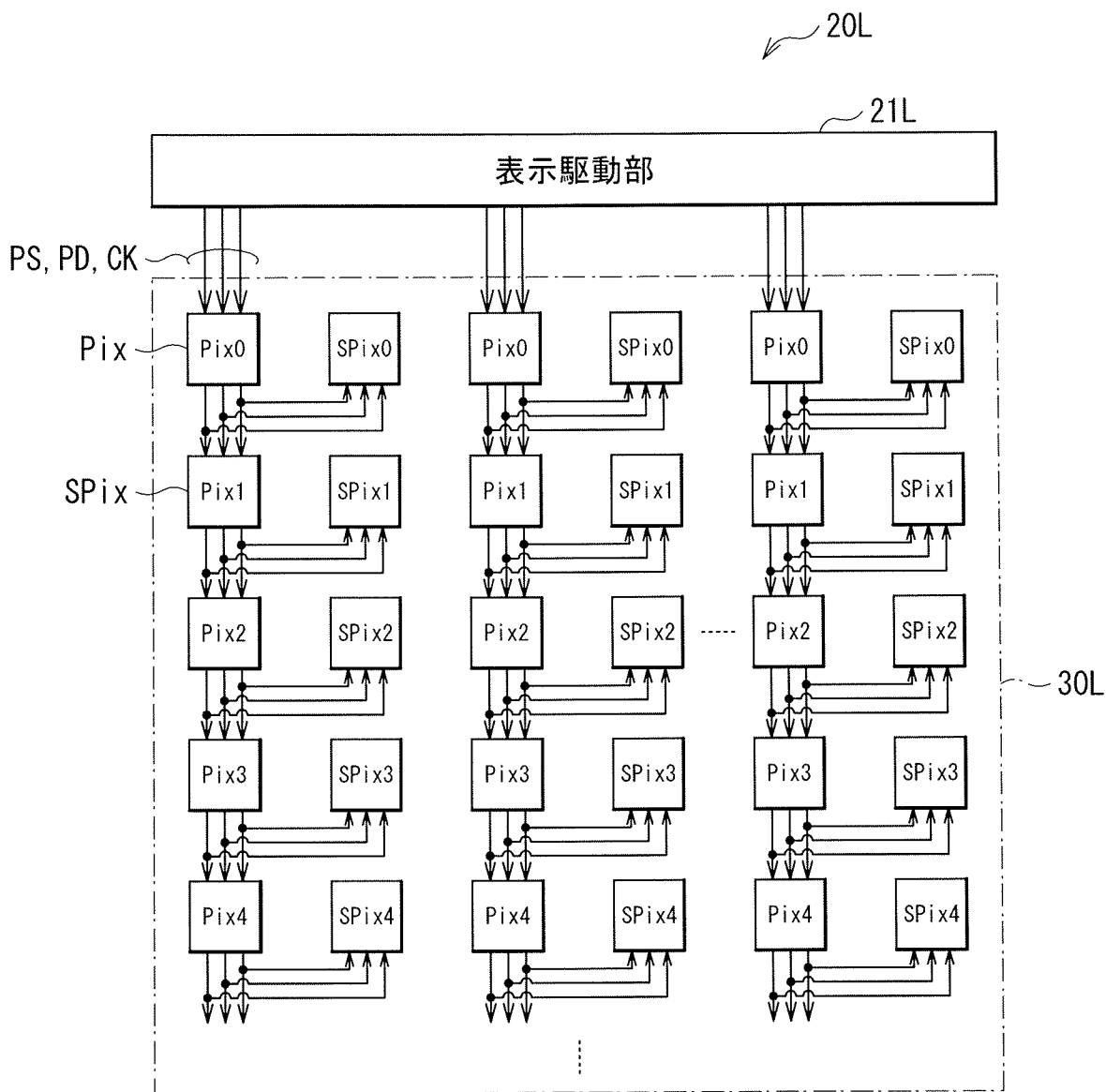
[図42]



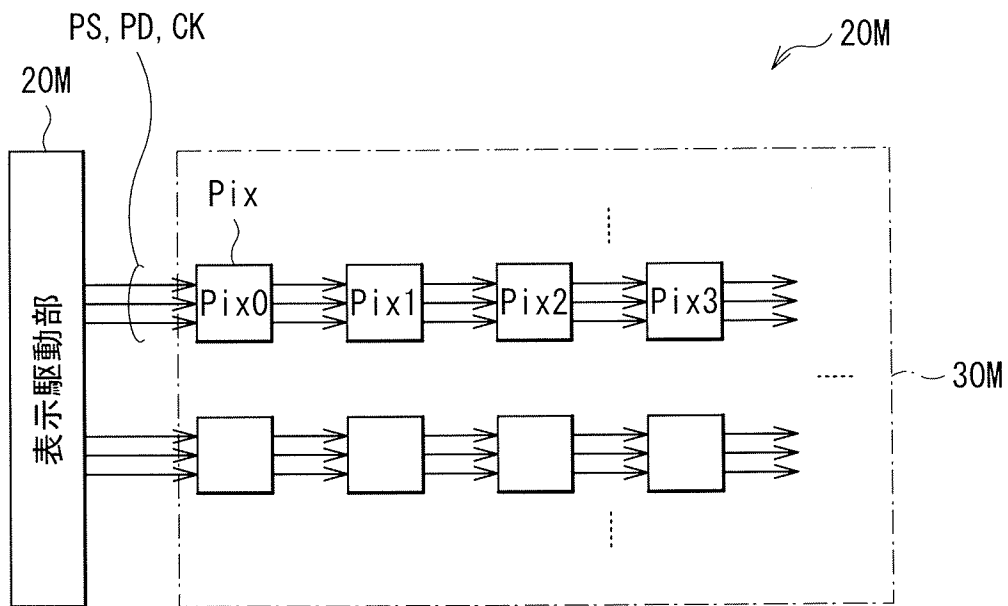
[図43]



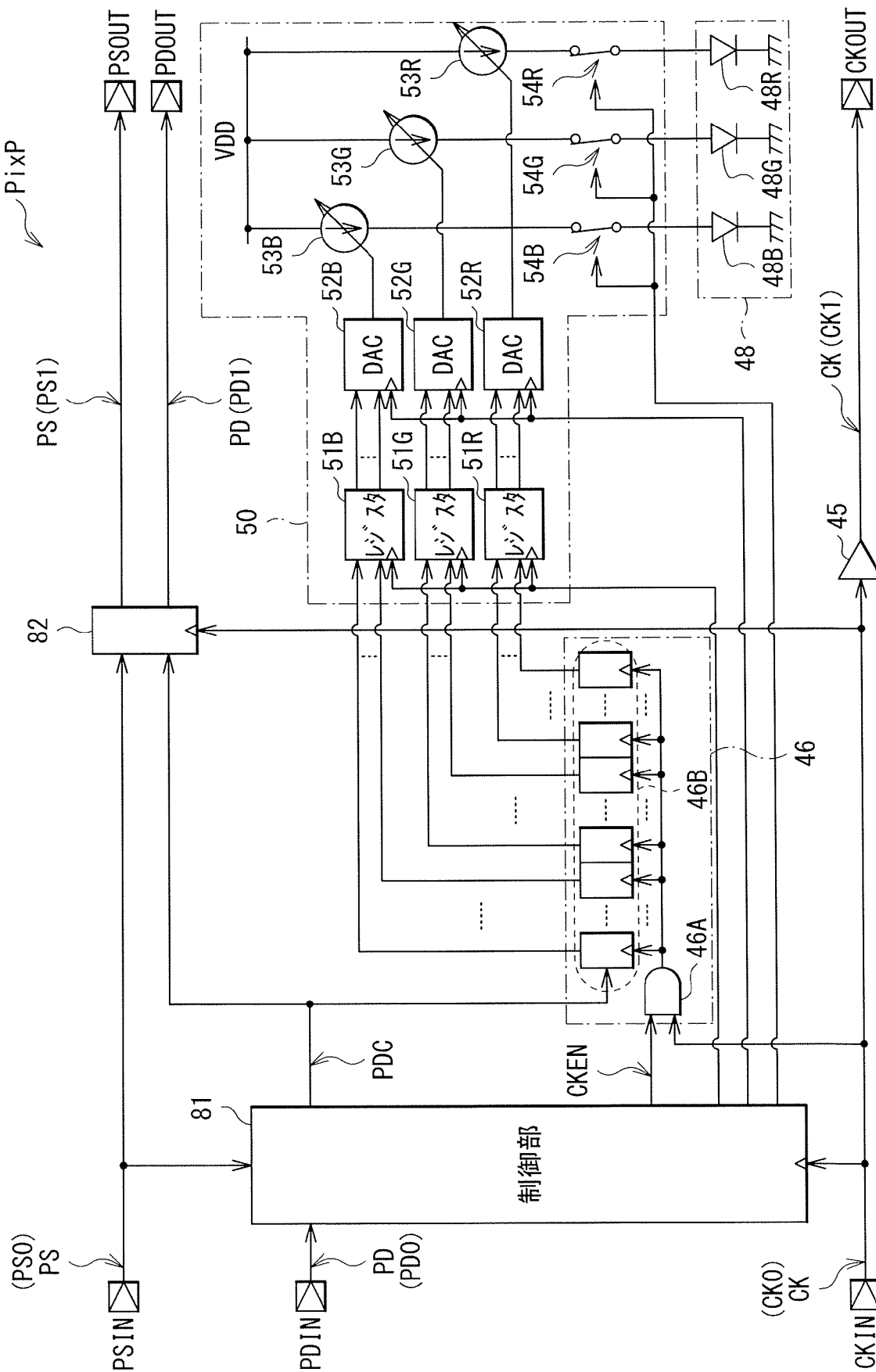
[図44]



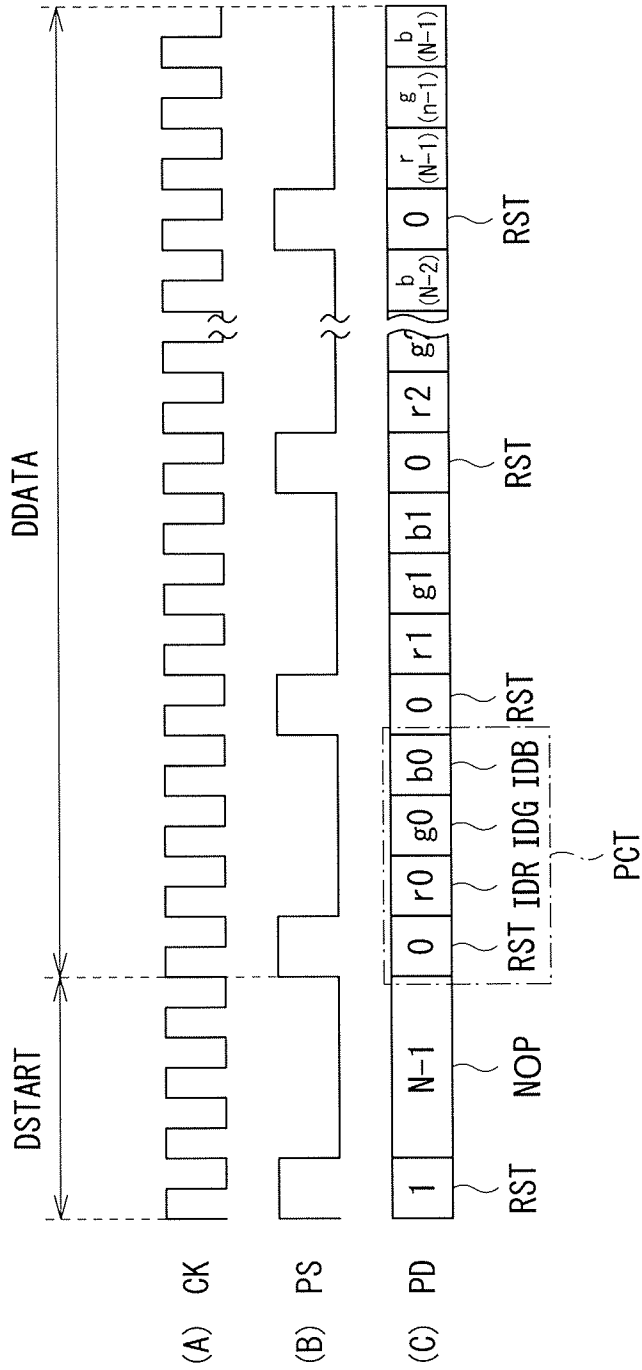
[図45]



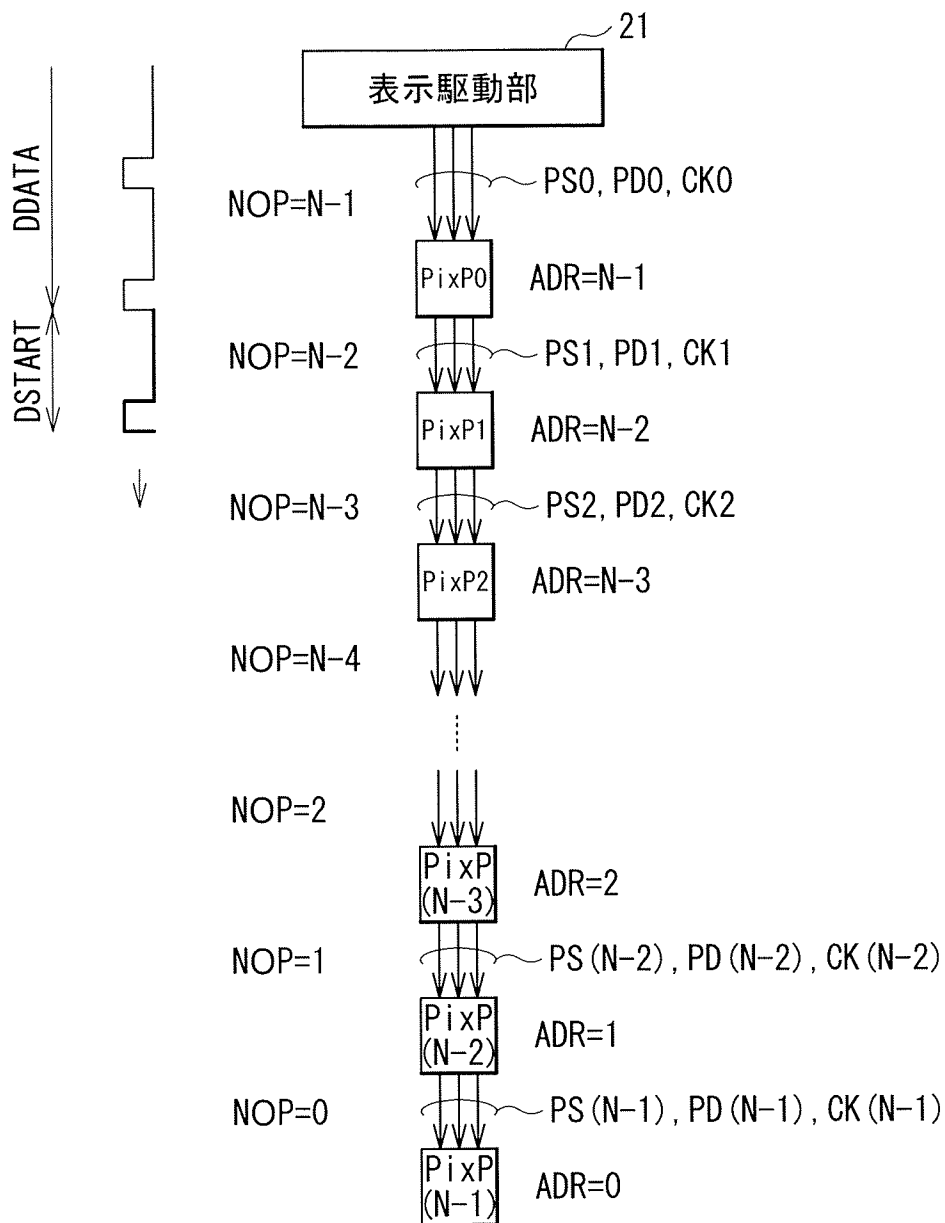
[図46]



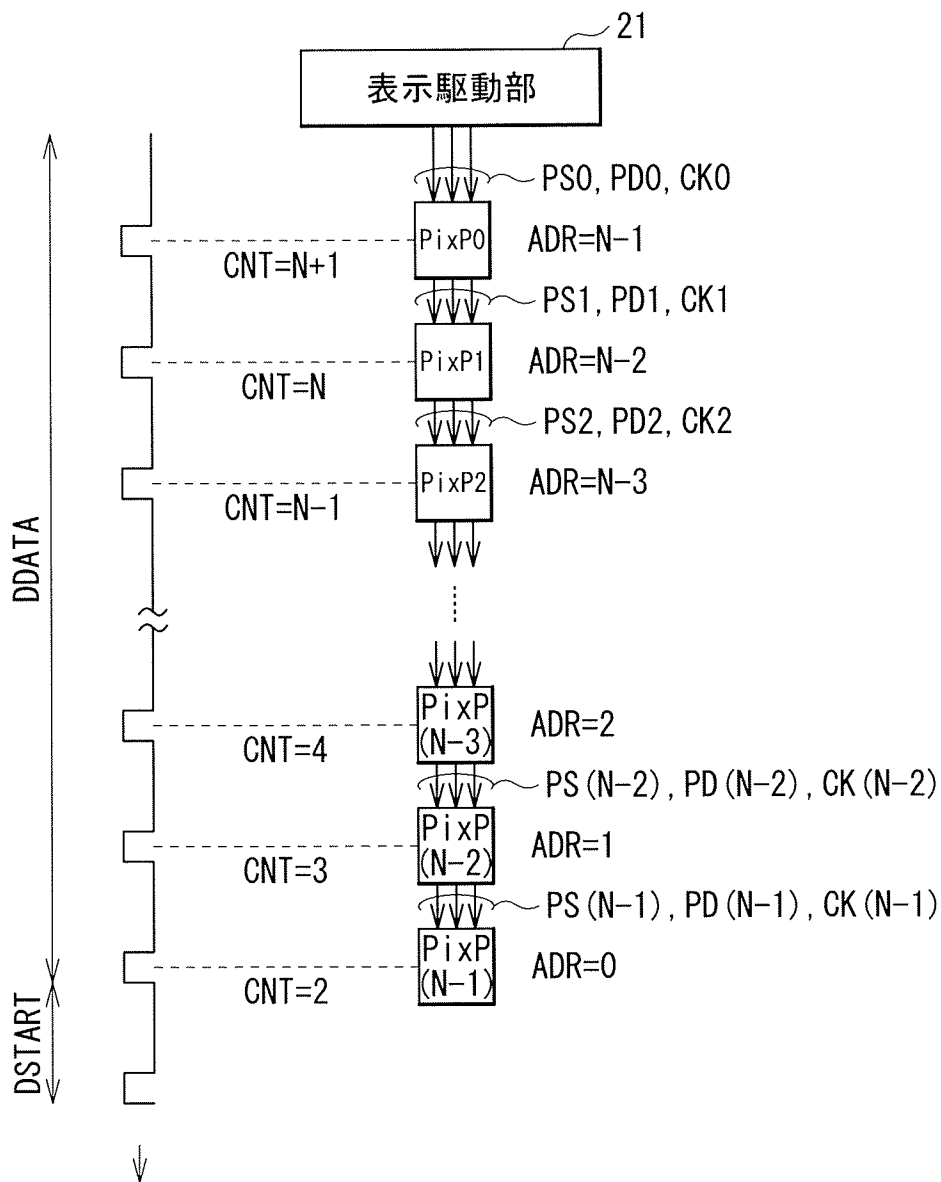
[図47]



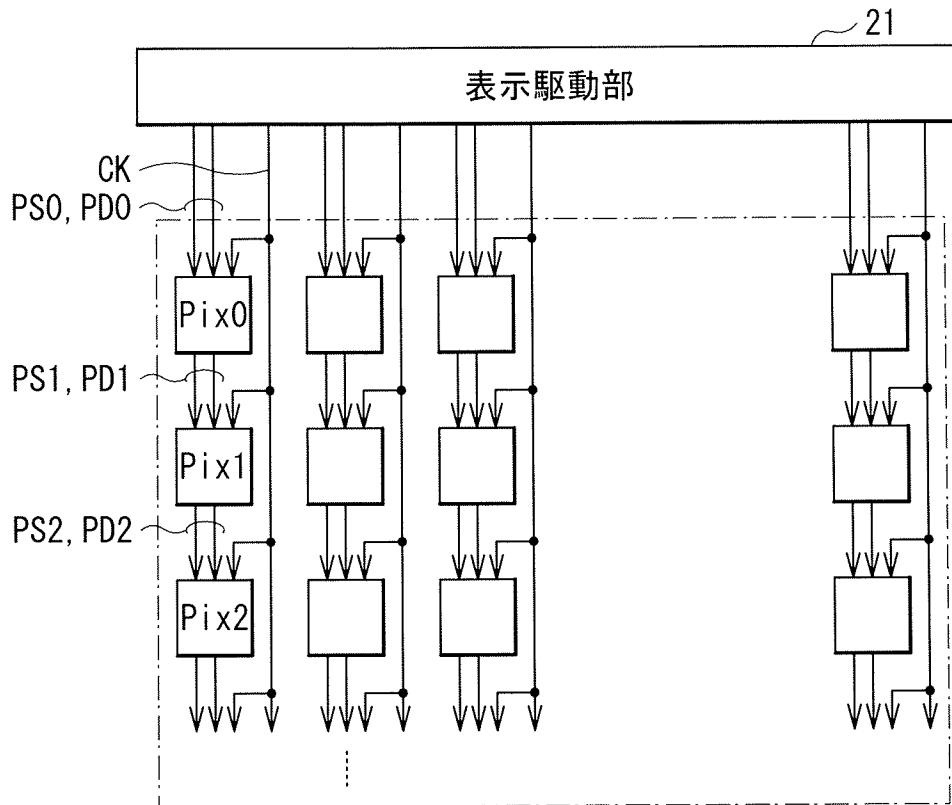
[図48]



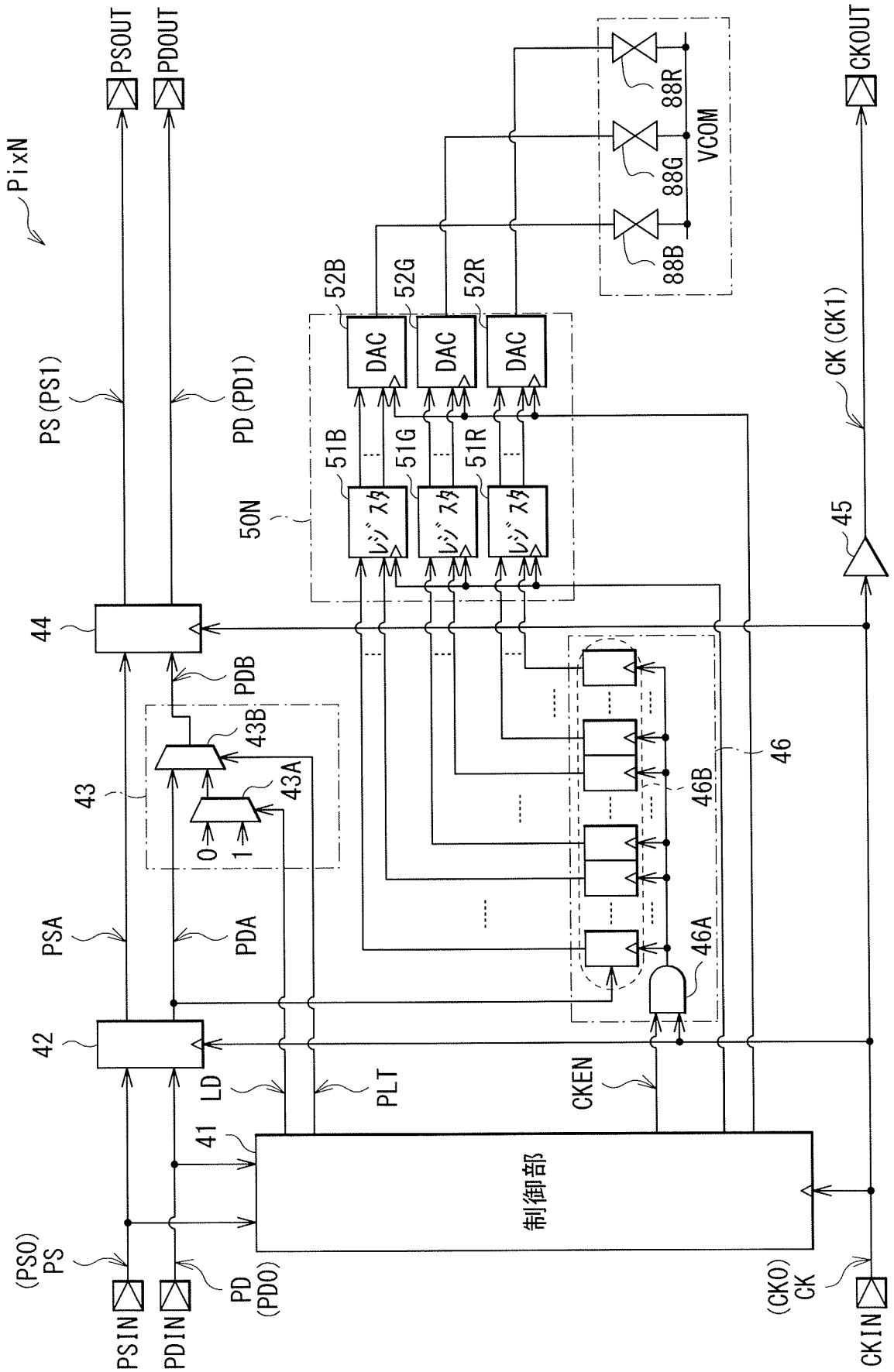
[図49]



[図50]



[図51]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/084200

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/32(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/20-3/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-350439 A (Sony Corp.), 21 December 2001 (21.12.2001), paragraphs [0030] to [0074]; fig. 1 to 5	1-2, 7-13, 16-21
Y	& US 2002/0017962 A1 & TW 502238 B & CN 1327223 A	3-6, 14-15
X	JP 2001-312246 A (Sony Corp.), 09 November 2001 (09.11.2001), paragraphs [0036] to [0065]; fig. 1 to 4	1-2, 7-12, 16-21
Y	& US 2002/0000982 A1 & TW 530294 B	3-6, 14-15
A	& CN 1321961 A	13
Y	JP 8-101666 A (Takiron Co., Ltd.), 16 April 1996 (16.04.1996), paragraph [0007]; fig. 7 (Family: none)	3-6

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 19 March, 2014 (19.03.14)	Date of mailing of the international search report 01 April, 2014 (01.04.14)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/084200

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-38925 A (Avix Inc.), 12 February 1999 (12.02.1999), paragraph [0034]; fig. 4 (Family: none)	3-6
Y	JP 2000-20029 A (Toshiba Corp.), 21 January 2000 (21.01.2000), paragraph [0042]; fig. 3 (Family: none)	4-6
Y	JP 2001-331150 A (Hitachi, Ltd.), 30 November 2001 (30.11.2001), paragraphs [0056] to [0058]; fig. 28 to 29 & US 2001/0054997 A1 & TW 525132 B & KR 10-2002-0003275 A	4-6
Y	JP 7-168151 A (Seiko Epson Corp.), 04 July 1995 (04.07.1995), paragraph [0019]; fig. 6 (Family: none)	6
Y	JP 11-282397 A (Seiko Epson Corp.), 15 October 1999 (15.10.1999), paragraphs [0041] to [0044]; fig. 2 (Family: none)	6
Y	WO 2009/001813 A1 (Brother Industries, Ltd.), 31 December 2008 (31.12.2008), paragraphs [0145] to [0184]; fig. 7 to 9 & JP 2009-3323 A	14
Y	WO 1996/010244 A1 (Shinsuke NISHIDA), 04 April 1996 (04.04.1996), description, page 12, line 19 to page 13, line 10 & US 5767818 A & EP 731436 A1 & AU 2419795 A & CA 2177167 A	15
A	JP 5-204328 A (Matsushita Electric Works, Ltd.), 13 August 1993 (13.08.1993), entire text; all drawings (Family: none)	1-21

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/32(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/20-3/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	J P 2 0 0 1 - 3 5 0 4 3 9 A (ソニー株式会社) 2 0 0 1 . 1 2 . 2 1, 【0030】 ~ 【0074】, 図1 ~ 5	1-2, 7-13, 16-21
Y	&US 2002/0017962 A1 &TW 502238 B &CN 1327223 A	3-6, 14-15
X	J P 2 0 0 1 - 3 1 2 2 4 6 A (ソニー株式会社) 2 0 0 1 . 1 1 . 0 9, 【0036】 ~ 【0065】, 図1 ~ 4	1-2, 7-12, 16-21
Y	&US 2002/0000982 A1 &TW 530294 B &CN 1321961 A	3-6, 14-15
A		13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

19.03.2014

国際調査報告の発送日

01.04.2014

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小川 浩史

2G

9114

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 8-101666 A (タキロン株式会社) 1996.04.16, 【0007】, 図7 (ファミリーなし)	3-6
Y	JP 11-38925 A (アビックス株式会社) 1999.02.12, 【0034】, 図4 (ファミリーなし)	3-6
Y	JP 2000-20029 A (株式会社東芝) 2000.01.21, 【0042】, 図3 (ファミリーなし)	4-6
Y	JP 2001-331150 A (株式会社日立製作所) 2001.11.30, 【0056】～【0058】, 図28～29 &US 2001/0054997 A1 &TW 525132 B &KR 10-2002-0003275 A	4-6
Y	JP 7-168151 A (セイコーエプソン株式会社) 1995.07.04, 【0019】, 図6 (ファミリーなし)	6
Y	JP 11-282397 A (セイコーエプソン株式会社) 1999.10.15, 【0041】～【0044】, 図2 (ファミリーなし)	6
Y	WO 2009/001813 A1 (ブラザー工業株式会社) 2008.12.31, [0145]～[0184], 図7～9 &JP 2009-3323 A	14
Y	WO 1996/010244 A1 (西田信介) 1996.04.04, 明細書第12頁第19行～第13頁第10行 &US 5767818 A &EP 731436 A1 &AU 2419795 A &CA 2177167 A	15
A	JP 5-204328 A (松下電工株式会社) 1993.08.13, 全文, 全図 (ファミリーなし)	1-21