

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6031259号

(P6031259)

(45) 発行日 平成28年11月24日(2016.11.24)

(24) 登録日 平成28年10月28日(2016.10.28)

(51) Int.Cl. F I
H02M 3/00 (2006.01)
H02M 3/00 H
H02M 3/00 P

請求項の数 7 (全 42 頁)

(21) 出願番号	特願2012-121965 (P2012-121965)	(73) 特許権者	000153878
(22) 出願日	平成24年5月29日(2012.5.29)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-13307 (P2013-13307A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年1月17日(2013.1.17)	(72) 発明者	王丸 拓郎
審査請求日	平成27年5月8日(2015.5.8)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-121231 (P2011-121231)		半導体エネルギー研究所内
(32) 優先日	平成23年5月31日(2011.5.31)		
(33) 優先権主張国	日本国(JP)	審査官	安食 泰秀

最終頁に続く

(54) 【発明の名称】 DCDCコンバータ、電源回路及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

スイッチング素子と、前記スイッチング素子におけるスイッチングのデューティ比を制御する制御回路と、前記スイッチング素子により入力電圧の供給が制御され、前記デューティ比に見合った高さの出力電圧を生成する定電圧生成部と、を有し、

前記制御回路は、前記入力電圧のアナログ値から前記入力電圧のデジタル値を得る第1ADコンバータと、前記出力電圧のアナログ値から前記出力電圧のデジタル値を得る第2ADコンバータと、前記出力電圧のデジタル値を用いて前記デューティ比を定める信号処理回路と、前記デューティ比に従って、前記スイッチング素子のスイッチングを制御する信号を生成するパルス変調回路と、前記入力電圧のデジタル値及び前記出力電圧のデジタル値に従って、前記信号処理回路への電源電圧の供給の有無を選択する電源制御回路と、を有し、

前記信号処理回路は、前記デューティ比を記憶する記憶装置を有し、

前記記憶装置は、前記電源電圧の供給によりデータが保持される揮発性の記憶素子と、前記記憶素子に保持されているデータに従って電荷を保持する容量素子と、前記容量素子における前記電荷の供給、保持、放出を制御するトランジスタとを有し、

前記トランジスタは、酸化物半導体をチャネル形成領域に含むDCDCコンバータ。

【請求項2】

スイッチング素子と、前記スイッチング素子におけるスイッチングのデューティ比を制御する制御回路と、前記スイッチング素子により入力電圧の供給が制御され、前記デュー

10

20

ティ比に見合った高さの出力電圧を生成する定電圧生成部と、を有し、

前記制御回路は、前記入力電圧のアナログ値から前記入力電圧のデジタル値を得る第1 A/Dコンバータと、前記出力電圧のアナログ値から前記出力電圧のデジタル値を得る第2 A/Dコンバータと、前記出力電圧のデジタル値を用いて前記デューティ比を定める信号処理回路と、前記デューティ比に従って、前記スイッチング素子のスイッチングを制御する信号を生成するパルス変調回路と、前記入力電圧のデジタル値及び前記出力電圧のデジタル値に従って、前記信号処理回路への電源電圧の供給の有無を選択する電源制御回路と、を有し、

前記信号処理回路は、前記デューティ比を記憶する記憶装置を有し、前記記憶装置は、前記電源電圧の供給によりデータが保持される揮発性の記憶素子と、前記記憶素子に保持されているデータに従って電荷を保持する容量素子と、前記容量素子における前記電荷の供給、保持、放出を制御するトランジスタとを有し、

10

前記記憶素子は、互いに、他の出力端子が自らの入力端子に接続されることで、前記データの保持を行う一対の論理素子を有し、

前記トランジスタは、酸化物半導体をチャンネル形成領域に含むD C D Cコンバータ。

【請求項3】

請求項2において、

前記論理素子は、入力された信号の論理値を反転させて出力するD C D Cコンバータ。

【請求項4】

請求項2において、

前記論理素子は、インバータまたはクロックドインバータであるD C D Cコンバータ。

20

【請求項5】

請求項2乃至4のいずれか1項において、

前記論理素子は、トランジスタを有し、

前記論理素子が有するトランジスタは、シリコンをチャンネル形成領域に含むD C D Cコンバータ。

【請求項6】

請求項1乃至請求項5のいずれか1項に記載の前記D C D Cコンバータと、整流回路とを有する電源回路。

【請求項7】

30

請求項1乃至請求項5のいずれか1項に記載の前記D C D Cコンバータを有する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタル制御型のD C D Cコンバータと、上記D C D Cコンバータを用いた電源回路及び半導体装置に関する。

【背景技術】

【0002】

D C D Cコンバータは、入力電圧の値に係わらず、一定の出力電圧を得ることができる定電圧回路であり、整流回路などと共に電源回路に用いられている。特に、スイッチング方式のD C D Cコンバータを用いた電源回路は、スイッチング電源またはスイッチングレギュレータと呼ばれている。

40

【0003】

スイッチング方式のD C D Cコンバータは、スイッチング素子により入力電圧からパルス状の波形を有する電圧を形成し、当該電圧をコイルや容量素子などにおいて平滑化或いは保持することで、所望の値の出力電圧を得るものである。そして、上記スイッチング素子がオンである期間の割合、所謂デューティ比は、D C D Cコンバータ内の制御回路において制御されている。上記デューティ比の値を制御回路において制御することで、出力電圧の値を制御することができる。

50

【 0 0 0 4 】

なお、ＤＣＤＣコンバータは、制御回路をアナログ回路で構成するアナログ制御型が主流であった。しかし、近年では、ＤＳＰ（Ｄｉｇｉｔａｌ Ｓｉｇｎａｌ Ｐｒｏｃｅｓｓｏｒ）などの信号処理回路が制御回路に用いられた、デジタル制御型のＤＣＤＣコンバータが実用化されている。デジタル制御型のＤＣＤＣコンバータは、スイッチング素子を高速でスイッチングさせることが可能であり、制御回路における信号処理の精度を高め、なおかつ、制御回路の構成を簡素化することができる。

【 0 0 0 5 】

下記特許文献１には、デジタル制御方式を用いた電源制御について記載されている。

【 先行技術文献 】

10

【 特許文献 】

【 0 0 0 6 】

【 特許文献１ 】 特開 2 0 0 9 - 9 3 8 6 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

ところで、電子機器の性能を評価する上で、低消費電力であることは重要なポイントの一つである。とりわけ、携帯電話などの携帯型の電子機器は、消費電力の高さが連続使用時間の短縮化というデメリットに繋がるため、低消費電力化を図ることが強く要求される。そして、ＤＣＤＣコンバータは、二次電池から出力される電圧を制御する目的で携帯用の電子機器に多用されていることもあり、消費電力の低減が求められている。

20

【 0 0 0 8 】

上記特許文献１では、情報処理装置が省電力モードに移行する際に、ＤＳＰのクロックを停止することでＤＳＰを停止し、低消費電力化を図る技術について記載されている。しかし、ＤＳＰなどの集積回路では、クロック信号などの駆動信号の供給を停止している状態でも、集積回路へ電源電圧が供給されているため、トランジスタのオフ電流などによって電力が消費されている。よって、ＤＣＤＣコンバータの更なる低消費電力化を図るためには、ＤＳＰへの駆動信号の供給を停止するだけではなく、ＤＳＰへの電源電圧の供給も停止する必要がある。

【 0 0 0 9 】

30

しかし、ＤＳＰへの電源電圧の供給を停止する場合、ＤＳＰ内のレジスタに保持されているデューティ比のデータが消失してしまう。そのため、ＤＳＰへの電源電圧の供給を再開した際に、ＤＣＤＣコンバータから出力される電圧が一時的に不安定な状態になりやすい。上記状態になるのを防ぐために、ＤＳＰへの電源電圧の供給を停止する前に、フラッシュメモリ等の不揮発性を有する外部記憶装置に、デューティ比のデータを退避させておくことは可能である。しかし、上記外部記憶装置からＤＳＰ内のレジスタにデータを戻すのには時間を要するため、上記方法は消費電力の低減を目的とした短時間の電源電圧の供給の停止には適さない。

【 0 0 1 0 】

上述したような技術的背景のもと、本発明では、消費電力を抑えることができるＤＣＤＣコンバータと、上記ＤＣＤＣコンバータを用いた電源回路または半導体装置の提供を課題の一つとする。特に、短時間の電源電圧の供給の停止により消費電力を抑えることができるＤＣＤＣコンバータと、上記ＤＣＤＣコンバータを用いた電源回路または半導体装置の提供を課題の一つとする。

40

【 課題を解決するための手段 】

【 0 0 1 1 】

上記課題を解決するために、本発明の一態様では、制御回路において、デューティ比を決めるＤＳＰなどの信号処理回路内に、下記の構成を有する記憶装置を設ける。上記記憶装置は、記憶素子と、当該記憶素子のデータを記憶する容量素子と、当該容量素子における電荷の供給、保持、放出を制御するトランジスタとを有する。

50

【 0 0 1 2 】

上記トランジスタは、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い、酸化物半導体などの半導体を、チャネル形成領域に含む。上記特性を有する半導体をチャネル形成領域に含むトランジスタは、通常のシリコンやゲルマニウムなどの半導体で形成されたトランジスタに比べて、オフ電流が極めて小さい。

【 0 0 1 3 】

具体的に、上記記憶素子は、インバータまたはクロックドインバータなどの、入力された信号の論理値を反転させて出力する論理素子を用いて構成することができる。

【 0 0 1 4 】

そして、本発明の一態様では、ＤＣＤＣコンバータに与えられる入力電圧及び出力電圧の大きさに従って、信号処理回路への電源電圧の供給を停止するか否かを選択する電源制御回路を、制御回路内に設ける。具体的に、電源制御回路は、出力電圧が所望の値に保たれており、なおかつ、入力電圧の変動が小さい場合において、信号処理回路への電源電圧の供給を停止する。また、電源制御回路は、入力電圧の変動が大きい場合において、或いは、出力電圧が所望の値に保たれていない場合において、信号処理回路への電源電圧の供給を行う。

【 0 0 1 5 】

信号処理回路において定められたデューティ比のデータは、記憶装置が有する記憶素子において保持される。そして、記憶素子に保持されているデューティ比のデータは、信号処理回路への電源電圧の供給が停止する前に、記憶装置が有する容量素子に待避させる。具体的に、データの待避は、容量素子における電荷の保持により行い、上記電荷の保持は、上記オフ電流の低いトランジスタをオフにすることで行う。そして、信号処理回路への電源電圧の供給が再開された後に、待避させておいたデータを、記憶素子に戻す。上記構成により、電源電圧の供給が停止されても記憶装置内のデータの消失を防ぐことができる。よって、外部記憶回路にデータを待避させる必要がないため、信号処理回路、もしくは信号処理回路を含む制御回路において、短い時間でも電源電圧の供給の停止を行うことができる。その結果、ＤＣＤＣコンバータの消費電力を低減させることができる。また、電源電圧の供給が停止されても、デューティ比のデータは記憶装置内において保持されているため、電源電圧の供給が再開された後も、ＤＣＤＣコンバータの出力電圧が不安定になるのを防ぐことができる。

【 0 0 1 6 】

具体的に、本発明の一態様に係るＤＣＤＣコンバータは、スイッチング素子と、スイッチング素子のデューティ比を制御する制御回路と、スイッチング素子により入力電圧の供給が制御され、デューティ比に見合った高さの出力電圧を生成する定電圧生成部とを有する。上記制御回路は、出力電圧をアナログ値からデジタル値に変換するＡＤコンバータと、入力電圧をアナログ値からデジタル値に変換するＡＤコンバータと、上記出力電圧のデジタル値を用いてデューティ比を定める信号処理回路と、上記デューティ比に従って、スイッチング素子のスイッチングを制御する信号を生成するパルス変調回路と、入力電圧のデジタル値と出力電圧のデジタル値に従って、信号処理回路への電源電圧の供給の有無を選択する電源制御回路とを有する。信号処理回路は、上記デューティ比を記憶する記憶装置を有する。そして、上記記憶装置は、結晶性を有するシリコン、またはゲルマニウムなどの半導体をチャネル形成領域に有するトランジスタを用いた記憶素子と、当該記憶素子のデータを記憶する容量素子と、当該容量素子における電荷の供給、保持、放出を制御するトランジスタとを有し、上記トランジスタは、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体をチャネル形成領域に含む。

【 発明の効果 】

【 0 0 1 7 】

本発明の一態様では、上記構成により、消費電力を抑えることができるＤＣＤＣコンバータと、上記ＤＣＤＣコンバータを用いた電源回路または半導体装置を提供することができる。

【図面の簡単な説明】

【 0 0 1 8 】

【図 1】 D C D C コンバータの構成と、記憶装置の構成を示す図。

【図 2】 D C D C コンバータの動作を示すフローチャート。

【図 3】 記憶回路の回路図。

【図 4】 記憶装置の構成を示す図。

【図 5】 信号処理回路のブロック図。

【図 6】 記憶装置の断面図。

【図 7】 トランジスタの断面図、及び上面図。

【図 8】 トランジスタの断面図、及び上面図。

【図 9】 酸化物半導体の構造を説明する図。

【図 10】 酸化物半導体の構造を説明する図。

【図 11】 酸化物半導体の構造を説明する図。

【図 12】 D C D C コンバータの構成の一例を示す図。

【図 13】 D C D C コンバータの構成の一例を示す図。

【図 14】 D C D C コンバータを用いた半導体装置の図。

【図 15】 電子機器の図。

【図 16】 D C D C コンバータの構成を示す図。

【発明を実施するための形態】

【 0 0 1 9 】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 2 0 】

なお、マイクロプロセッサ、画像処理回路などの集積回路や、R F タグ、記憶媒体、太陽電池、発光素子を用いた発光装置、半導体表示装置等、D C D C コンバータまたは電源回路を用いることができるありとあらゆる半導体装置が、本発明の範疇に含まれる。また、半導体表示装置には、液晶表示装置、有機発光素子 (O L E D) に代表される発光素子を備えた発光装置、電子ペーパー、D M D (D i g i t a l M i c r o m i r r o r D e v i c e)、P D P (P l a s m a D i s p l a y P a n e l)、F E D (F i e l d E m i s s i o n D i s p l a y) など、D C D C コンバータまたは電源回路を有している半導体表示装置が、その範疇に含まれる。

【 0 0 2 1 】

(実施の形態 1)

本発明の一態様に係る D C D C コンバータの構成を、図 1 (A) に一例として示す。

【 0 0 2 2 】

図 1 (A) に示す D C D C コンバータ 1 0 0 は、入力端子 I N に与えられる入力電圧 (V i n) を用いて、一定の出力電圧 (V o u t) を生成し、出力端子 O U T から出力する電力変換回路 1 0 1 を有する。また、電力変換回路 1 0 1 は、スイッチング素子 1 0 2 と、定電圧生成部 1 0 3 とを有する。さらに、図 1 (A) に示す D C D C コンバータ 1 0 0 は、スイッチング素子 1 0 2 がオンである期間の割合、すなわちデューティ比を制御するための制御回路 1 0 4 を、有する。

【 0 0 2 3 】

スイッチング素子 1 0 2 は、制御回路 1 0 4 によって定められたデューティ比に従ってスイッチングする。そして、スイッチング素子 1 0 2 がオンのときに定電圧生成部 1 0 3 への入力電圧 V i n の供給を行い、オフのときにその供給を停止する。スイッチング素子 1 0 2 がオフすると、定電圧生成部 1 0 3 にはグラウンドなどの基準電圧が与えられる。よって、スイッチング素子 1 0 2 のスイッチングに従って、入力電圧と基準電圧が交互に出現するパルス状の信号が、定電圧生成部 1 0 3 に供給される。

【 0 0 2 4 】

定電圧生成部 1 0 3 は、コイル、容量素子、ダイオードのいずれか一つまたは複数を有している。定電圧生成部 1 0 3 は、パルス状の信号が供給されると、上記信号の電圧を平滑化或いは保持することで、一定の出力電圧を生成する。

【 0 0 2 5 】

そして、制御回路 1 0 4 によって定められたデューティ比が変化すると、出力電圧の値も変化する。具体的には、入力電圧を有するパルスの出現する期間の割合が大きいほど、出力電圧と基準電圧の差は大きくなる。逆に、入力電圧によるパルスの出現する期間の割合が小さいほど、出力電圧と基準電圧の差は小さくなる。

【 0 0 2 6 】

なお、本発明の一態様では、スイッチング素子 1 0 2 のスイッチングは、パルス幅制御 (PWM: Pulse Width Modulation control) により行っても良いし、パルス周波数制御 (PFM: Pulse Frequency Modulation control) により行っても良い。

【 0 0 2 7 】

或いは、本発明の一態様では、パルス幅制御とパルス周波数制御とを組み合わせ、スイッチング素子 1 0 2 のスイッチングによる出力電圧の調整を行っても良い。例えば、出力電圧が小さい場合は、パルス周波数制御を用いた方がスイッチング素子 1 0 2 のスイッチングの周波数を低く抑えることができ、スイッチング素子 1 0 2 のスイッチングによる電力損失を小さく抑えることができる。逆に、出力電圧が大きい場合は、パルス幅制御を用いた方がスイッチング素子 1 0 2 のスイッチングの周波数を低く抑えることができ、スイッチング素子 1 0 2 のスイッチングによる電力損失を小さく抑えることができる。よって、出力電圧の大きさに合わせて、パルス幅制御とパルス周波数制御を切り替えることで、電力変換効率の向上を図ることができる。

【 0 0 2 8 】

制御回路 1 0 4 は、A/Dコンバータ 1 0 5 と、A/Dコンバータ 1 0 6 と、信号処理回路 1 0 7 と、パルス変調回路 1 0 8 と、電源制御回路 1 0 9 とを有する。また、信号処理回路 1 0 7 は、記憶装置 1 1 0 を有する。

【 0 0 2 9 】

A/Dコンバータ 1 0 5 は、出力電圧 V_{out} をアナログ値からデジタル値に変換する機能を有する。信号処理回路 1 0 7 は、上記出力電圧 V_{out} のデジタル値を用いて、デューティ比を定める機能を有する。定められたデューティ比のデータは、信号処理回路 1 0 7 内の記憶装置 1 1 0 において保持される。パルス変調回路 1 0 8 は、上記デューティ比に従って、スイッチング素子 1 0 2 のスイッチングを制御する制御信号を、生成する機能を有する。A/Dコンバータ 1 0 6 は、入力電圧 V_{in} をアナログ値からデジタル値に変換する機能を有する。電源制御回路 1 0 9 は、上記入力電圧 V_{in} のデジタル値及び出力電圧 V_{out} のデジタル値に従って、信号処理回路 1 0 7 への電源電圧 V_{DD} の供給の有無を選択する機能を有する。

【 0 0 3 0 】

次いで、図 1 (B) に、記憶装置 1 1 0 の構成の一例を、ブロック図で示す。図 1 (B) に示すように、記憶装置 1 1 0 は、記憶素子 1 1 1 と、当該記憶素子 1 1 1 のデータを記憶する容量素子 1 1 2 と、当該容量素子 1 1 2 における電荷の供給、保持、放出を制御するトランジスタ 1 1 3 とを有する。記憶素子 1 1 1 は、入力された信号の論理値を反転させて出力する論理素子 1 1 5 を複数用いている。記憶素子 1 1 1 と、容量素子 1 1 2 と、トランジスタ 1 1 3 とで、1 ビットのデータを記憶することができる単位記憶回路 1 1 4 が構成されており、記憶装置 1 1 0 は、単位記憶回路 1 1 4 を単数または複数有する。

【 0 0 3 1 】

なお、論理素子 1 1 5 には、インバータ、クロックドインバータなどを用いることができる。

【 0 0 3 2 】

また、単位記憶回路 114 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の回路素子を、さらに有していても良い。

【0033】

信号 Din が有する 1 ビットのデューティ比のデータが、初段の単位記憶回路 114 に入力されると、上記データは記憶素子 111 に入力される。記憶素子 111 は、基準電圧 GND と、ハイレベルの電源電圧 VDD が与えられている限りにおいて、上記データを保持する。そして、上記 1 ビットのデータが、後段の単位記憶回路 114 に入力されると、信号 Din が有する次の 1 ビットのデューティ比のデータが、初段の単位記憶回路 114 に入力される。上記動作を繰り返すことで、信号 Din が有する全ビットのデータが、複数の単位記憶回路 114 によって保持される。

10

【0034】

容量素子 112 は、単位記憶回路 114 に入力された信号 Din のデータを必要に応じて記憶できるように、トランジスタ 113 を介して、記憶素子 111 に接続されている。具体的に、容量素子 112 は、一対の電極間に誘電体を有するコンデンサであり、その一方の電極は、トランジスタ 113 を介して記憶素子 111 に接続され、他方の電極は、グラウンドなどの基準電圧が与えられているノードに接続されている。トランジスタ 113 は、そのゲート電極に与えられる信号 Sig によりスイッチングが制御される。

【0035】

なお、図 1 (A) において示した電源制御回路 109 は、上述したように、入力電圧 Vin 及び出力電圧 Vout のデジタル値に従って、信号処理回路 107 への電源電圧 VDD の供給の有無を選択する。具体的には、出力電圧 Vout が所望の値に保たれており、入力電圧 Vin の変動が小さい場合において、電源制御回路 109 は、信号処理回路 107 への電源電圧 VDD の供給を停止する。また、入力電圧 Vin の変動が大きい場合において、或いは、出力電圧 Vout が所望の値に保たれていない場合において、電源制御回路 109 は、信号処理回路 107 への電源電圧 VDD の供給を行う。

20

【0036】

そして、電源制御回路 109 によって信号処理回路 107 への電源電圧 VDD の供給が停止される場合、記憶装置 110 では、電源電圧 VDD の供給が停止される前に、記憶素子 111 に保持されていたデューティ比のデータを、容量素子 112 に待避させる。具体的に、データの待避は、容量素子 112 における電荷の保持により行い、上記電荷の保持は、上記オフ電流の低いトランジスタ 113 をオフにすることで行う。そして、信号処理回路 107 への電源電圧 VDD の供給が再開された後に、待避させておいたデータを、記憶素子 111 に戻す。上記構成により、記憶装置 110 に保持されていたデューティ比のデータが、電源電圧 VDD の供給が停止されることにより消失するのを防ぐことができる。

30

【0037】

図 1 (A) 及び図 1 (B) に示した構成を有する DCDC コンバータ 100 の、具体的な動作の一例について、図 2 に示したフローチャートを用いて説明する。

【0038】

まず、信号処理回路 107 への電源電圧 VDD の供給を停止するか否かの判断と、出力電圧 Vout の調整が、開始される (A: 01 開始)。上記判断の開始は、DCDC コンバータ 100 の外部から入力された命令に従って行っても良いし、所定のタイミングで自動的に行うようにしておいても良い。なお、信号処理回路 107 に既に電源電圧 VDD が供給されているという前提のもと、信号処理回路 107 への電源電圧 VDD の供給を停止するか否かの判断と、出力電圧 Vout の調整とを行うものとする。

40

【0039】

信号処理回路 107 は、AD コンバータ 105 から出力された、出力電圧 Vout のデジタル値と、所望の出力電圧 Vd のデジタル値とを比較する。そして、出力電圧 Vout が所望の出力電圧 Vd に保たれているか否かを判断した結果をデータとして含む信号 L - Flag が、信号処理回路 107 から出力される。また、AD コンバータ 106 は、入力電圧 Vin のデジタル値を生成することで、入力電圧 Vin が変動しているか否かを判断し

50

た結果をデータとして含む信号 $V - Flag$ を、出力する。

【0040】

例えば、信号 $L - Flag$ のデジタル値が1の場合、出力電圧 V_{out} が所望の出力電圧 V_d に保たれているものとする。信号 $L - Flag$ のデジタル値が0の場合、出力電圧 V_{out} が所望の出力電圧 V_d に保たれていないものとする。また、例えば、信号 $V - Flag$ のデジタル値が1の場合、入力電圧 V_{in} が変動しているものとする。信号 $V - Flag$ のデジタル値が0の場合、入力電圧 V_{in} が変動していないものとする。

【0041】

電源制御回路109では、信号 $L - Flag$ のデジタル値と信号 $V - Flag$ のデジタル値に従って、電源電圧 VDD を信号処理回路107に供給するか否かを判断する。具体的には、信号 $L - Flag$ のデジタル値が1か否かを判断し ($A: 02 \quad L - Flag = 1$)、信号 $V - Flag$ のデジタル値が1か否かを判断する ($A: 03 \quad V - Flag = 1$)。そして、信号 $L - Flag$ のデジタル値が1、信号 $V - Flag$ のデジタル値が0である場合、信号処理回路107への電源電圧 VDD の供給を停止する ($A: 04 \quad VDD$ の供給を停止)。また、信号 $L - Flag$ のデジタル値が1または0である場合、或いは、信号 $L - Flag$ のデジタル値及び信号 $V - Flag$ のデジタル値が1である場合、信号処理回路107への電源電圧 VDD の供給を行う ($A: 05 \quad VDD$ を供給)。

【0042】

なお、信号 $L - Flag$ のデジタル値が1、信号 $V - Flag$ のデジタル値が1である場合、入力電圧 V_{in} の変動に合わせて、出力電圧 V_{out} を所望の出力電圧 V_d に近づける必要がある。また、信号 $L - Flag$ のデジタル値が0、信号 $V - Flag$ のデジタル値が1または0である場合、入力電圧 V_{in} の変動の有無に関わらず、出力電圧 V_{out} が所望の出力電圧 V_d に保たれていない状態であるため、出力電圧 V_{out} を所望の出力電圧 V_d に近づける必要がある。信号処理回路107では、ADコンバータ105から出力された、出力電圧 V_{out} のデジタル値と、所望の出力電圧 V_d のデジタル値とを比較した結果に従って、デューティ比を定める。

【0043】

具体的に、信号処理回路107において、出力電圧 V_{out} が所望の出力電圧 V_d と一致しているか否かを判断する ($A: 06 \quad V_{out} = V_d$)。一致している場合、出力電圧のデジタル値 S_{out} の補正は行わない ($A: 07 \quad S_{out} \quad S_{out}$)。すなわち、この場合、補正前のデジタル値 S_{out} が、補正後のデジタル値 S_{out}' と等しくなる。

【0044】

一致していない場合、出力電圧 V_{out} が所望の出力電圧 V_d よりも大きいか否かを判断する ($A: 08 \quad V_{out} > V_d$)。出力電圧 V_{out} が所望の出力電圧 V_d よりも大きい場合、デューティ比が小さくなるように、出力電圧のデジタル値 S_{out} から補正值 D を差し引くことでデジタル値 S_{out} を補正し、デジタル値 $S_{out}' = S_{out} - D$ を生成する ($A: 09 \quad S_{out} \quad S_{out} - D$)。

【0045】

出力電圧 V_{out} が所望の出力電圧 V_d よりも小さい場合、デューティ比が大きくなるように、出力電圧のデジタル値 S_{out} に補正值 D を加算することでデジタル値 S_{out} を補正し、デジタル値 $S_{out}' = S_{out} + D$ を生成する ($A: 10 \quad S_{out} \quad S_{out} + D$)。

【0046】

次いで、信号処理回路107では、補正後のデジタル値 S_{out}' にデジタルフィルタ処理を施す ($A: 11 \quad DF$ 処理)、デジタルフィルタ処理後のデジタル値 S_{out}' をデータとして含む信号を、パルス変調回路108に送る。なお、デジタル値 S_{out}' には、所望の出力電圧 V_d を得るために必要なデューティ比が、データとして含まれている。パルス変調回路108は、スイッチング素子102が所望のデューティ比に従ってスイッチングするように、信号処理回路107から送られてきた上記信号に従って、スイッチン

10

20

30

40

50

グ素子 102 を制御するための制御信号を、生成する。

【0047】

そして、電力変換回路 101 では、上記制御信号に従ってスイッチング素子 102 がスイッチングすることで、出力電圧 V_{out} が所望の出力電圧 V_d に近づくように、出力電圧 V_{out} が調整される ($A:12 \quad V_{out} \quad V_d$)。

【0048】

なお、出力電圧 V_{out} が調整された後、信号処理回路 107 は、A/Dコンバータ 105 から出力された、出力電圧 V_{out} のデジタル値と、所望の出力電圧 V_d のデジタル値とを再度比較する。そして、出力電圧 V_{out} が所望の出力電圧 V_d に保たれているか否かを判断した結果をデータとして含む信号 $L-Flag$ が、信号処理回路 107 から出力される。

10

【0049】

電源制御回路 109 では、信号 $L-Flag$ のデジタル値に従って、出力電圧 V_{out} が所望の出力電圧 V_d に近づいたか否かを判断する。具体的には、信号 $L-Flag$ のデジタル値が 1 か否かを判断する ($A:13 \quad L-Flag=1$)。そして、信号 $L-Flag$ のデジタル値が 1 である場合、信号処理回路 107 への電源電圧 V_{DD} の供給を停止するか否かの判断と、出力電圧 V_{out} の調整が終了する ($A:14$ 終了)。信号 $L-Flag$ のデジタル値が 0 である場合、信号処理回路 107 において、A/Dコンバータ 105 から出力された、出力電圧 V_{out} のデジタル値と、所望の出力電圧 V_d のデジタル値とを比較した結果に従って、デューティ比を再度定める。具体的には、D/C/D/Cコンバータ 100 は、信号処理回路 107 が、出力電圧 V_{out} が所望の出力電圧 V_d と一致しているか否かを判断する ($A:06 \quad V_{out}=V_d$) ところから、信号 $L-Flag$ のデジタル値が 1 か否かを判断する ($A:13 \quad L-Flag=1$) ところまでを、再度繰り返す。なお、上記繰り返しの回数は、設計者が適宜設定することができる。

20

【0050】

本発明の一態様では、外部記憶回路にデータを待避させる必要がないため、信号処理回路 107 において、短い時間でも電源電圧 V_{DD} の供給の停止を行うことができる。その結果、D/C/D/Cコンバータ 100 の消費電力を低減させることができる。また、電源電圧 V_{DD} の供給が停止されても、デューティ比のデータは記憶装置 110 内において保持されているため、電源電圧の供給が再開された後も、D/C/D/Cコンバータ 100 の出力電圧 V_{out} が不安定になるのを防ぐことができる。

30

【0051】

したがって、D/C/D/Cコンバータ 100 において、オフ電流に起因する消費電力を大幅に削減することができ、D/C/D/Cコンバータ 100 を用いた電源回路または半導体装置の消費電力を低く抑えることが可能となる。

【0052】

なお、図 1 及び図 2 では、出力電圧 V_{out} が所望の値に保たれており、入力電圧 V_{in} の変動が小さい場合において、電源制御回路 109 が信号処理回路 107 への電源電圧 V_{DD} の供給を停止する場合を例示している。しかし、本発明の一態様では、電源制御回路 109 が、信号処理回路 107 への電源電圧 V_{DD} の供給のみならず、A/Dコンバータ 105 への電源電圧 V_{DD} の供給を停止しても良い。上記構成により、D/C/D/Cコンバータ 100 の消費電力をさらに低減させることができる。

40

【0053】

本発明の一態様では、トランジスタ 113 が、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い、酸化物半導体などの半導体を、チャネル形成領域に含む。酸化物半導体をチャネル形成領域に有するトランジスタは、通常のシリコンやゲルマニウムなどの半導体で形成されたトランジスタに比べて、オフ電流が著しく小さい。容量素子 112 におけるデータの保持期間の長さは、容量素子 112 に蓄積されている電荷が、トランジスタ 113 を介してリークする量に依存する。よって、オフ電流の著しく小さいトランジスタ 113 により、容量素子 112 に蓄積された電荷を保持することで、

50

容量素子 112 からの電荷のリークを防ぐことができ、データの保持期間を長く確保することができる。

【0054】

なお、特に断りがない限り、本明細書でオフ電流とは、nチャネル型トランジスタにおいては、ドレインをソースとゲート電極よりも高い電圧とした状態において、ソースの電圧を基準としたときのゲート電極の電圧が0以下であるときに、ソースとドレインの間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、pチャネル型トランジスタにおいては、ドレインをソースとゲート電極よりも低い電圧とした状態において、ソースの電圧を基準としたときのゲート電極の電圧が0以上であるときに、ソースとドレインの間に流れる電流のことを意味する。

10

【0055】

また、図1(B)では、トランジスタ113がシングルゲート構造である場合を例示しているが、上記トランジスタは、電氣的に接続された複数のゲート電極を有することで、チャネル形成領域を複数有する、マルチゲート構造であっても良い。

【0056】

また、図1(B)では、トランジスタ113を一つだけ用いて、容量素子112における電荷の供給、保持、放出を制御する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、複数のトランジスタ113を用いて、容量素子112における電荷の供給、保持、放出を制御する構成を採用しても良い。トランジスタ113を複数用いる場合、上記複数のトランジスタ113は並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

20

【0057】

なお、本明細書において、トランジスタが直列に接続されている状態とは、第1のトランジスタのソースとドレインのいずれか一方のみが、第2のトランジスタのソースとドレインのいずれか一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第1のトランジスタのソースとドレインのいずれか一方が、第2のトランジスタのソースとドレインのいずれか一方に接続され、第1のトランジスタのソースとドレインの他方が第2のトランジスタのソースとドレインの他方に接続されている状態を意味する。

【0058】

また、トランジスタが有するソースとドレインは、トランジスタの極性及びソースとドレインに与えられる電圧の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、ソースとドレインのうち、低い電圧が与えられる方がソースと呼ばれ、高い電圧が与えられる方がドレインと呼ばれる。また、pチャネル型トランジスタでは、ソースとドレインのうち、低い電圧が与えられる方がドレインと呼ばれ、高い電圧が与えられる方がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電圧の関係に従ってソースとドレインの呼び方が入れ替わる。

30

【0059】

また、本発明の一態様では、記憶素子111を構成するトランジスタが、結晶性を有するシリコン、またはゲルマニウムなどの半導体をチャネル形成領域に含んでいても良いし、トランジスタ113と同様に、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い、酸化物半導体などの半導体を、チャネル形成領域に含んでいても良い。酸化物半導体よりも結晶性を有するシリコン、またはゲルマニウムなどの半導体の方が、移動度が高い場合、記憶素子111を構成するトランジスタが、結晶性を有するシリコン、またはゲルマニウムなどの半導体をチャネル形成領域に含んでいることで、記憶装置110、延いてはDCDCコンバータ100の高速動作を確保することができる。

40

【0060】

なお、図1(A)では、出力電圧 V_{out} のみを用いてスイッチング素子102のデューティ比を制御しているが、本発明の一態様に係るDCDCコンバータでは、出力電圧 V_o

50

u tのみならず、出力電流を用い、スイッチング素子 1 0 2 のデューティ比を制御するようにしても良い。

【 0 0 6 1 】

図 1 6 に、本発明の一態様に係る D C D C コンバータ 1 0 0 の構成を、一例として示す。図 1 6 に示す D C D C コンバータ 1 0 0 は、A D コンバータ 1 5 0 が制御回路 1 0 4 に追加されている点において、図 1 (A) に示す D C D C コンバータ 1 0 0 と構成が異なる。A D コンバータ 1 5 0 は、C T センサ (カレントトランスセンサ) など検出された出力電流を、アナログ値からデジタル値に変換した後、当該デジタル値を信号処理回路 1 0 7 に送る。D C D C コンバータ 1 0 0 では、出力電圧 V o u t のデジタル値と出力電流のデジタル値に従ってスイッチング素子 1 0 2 のデューティ比を制御する。

10

【 0 0 6 2 】

D C D C コンバータ 1 0 0 の出力電圧 V o u t 及び出力電流を両方とも検出し、これらのデジタル値に従ってデューティ比を制御することで、D C D C コンバータの出力電圧のみならず、出力電力をも所望の値に保てるように、デューティ比を適切な値に設定することができる。

【 0 0 6 3 】

(実施の形態 2)

本実施の形態では、信号処理回路と、信号処理回路が有する記憶装置の構成について説明する。

【 0 0 6 4 】

20

本発明の一態様では、1 ビットのデータを記憶することができる単位記憶回路を、単数または複数、記憶装置に有する。図 3 に、単位記憶回路 1 1 4 の、回路図の一例を示す。

【 0 0 6 5 】

図 3 に示す単位記憶回路 1 1 4 は、記憶素子 1 1 1 と、容量素子 1 1 2 と、トランジスタ 1 1 3 とを有する。記憶素子 1 1 1 は、入力された信号の論理値を反転させて出力する第 1 の論理素子 1 1 5 a 及び第 2 の論理素子 1 1 5 b と、トランジスタ 1 1 6 と、トランジスタ 1 1 7 とを有する。

【 0 0 6 6 】

単位記憶回路 1 1 4 に入力されたデータを含む信号 D i n は、トランジスタ 1 1 6 を介して第 1 の論理素子 1 1 5 a の入力端子に与えられる。第 1 の論理素子 1 1 5 a の出力端子は、第 2 の論理素子 1 1 5 b の入力端子に接続されている。第 2 の論理素子 1 1 5 b の出力端子は、トランジスタ 1 1 7 を介して、第 1 の論理素子 1 1 5 a の入力端子に接続されている。第 1 の論理素子 1 1 5 a の出力端子または第 2 の論理素子 1 1 5 b の入力端子の電圧が、信号 D o u t として後段の単位記憶回路 1 1 4、或いは他の回路に出力される。

30

【 0 0 6 7 】

なお、図 3 では、第 1 の論理素子 1 1 5 a 及び第 2 の論理素子 1 1 5 b としてインバータを用いる例を示しているが、第 1 の論理素子 1 1 5 a または第 2 の論理素子 1 1 5 b として、インバータの他に、クロックインバータを用いることもできる。

【 0 0 6 8 】

容量素子 1 1 2 は、単位記憶回路 1 1 4 に入力された信号 D i n のデータを必要に応じて記憶できるように、トランジスタ 1 1 6 及びトランジスタ 1 1 3 を介して、単位記憶回路 1 1 4 の入力端子、すなわち信号 D i n の電圧が与えられるノードに接続されている。具体的に、容量素子 1 1 2 が有する一対の電極のうち、一方の電極は、トランジスタ 1 1 3 を介して第 1 の論理素子 1 1 5 a の入力端子に接続され、他方の電極は、グラウンドなどの基準電圧が与えられているノードに接続されている。

40

【 0 0 6 9 】

また、トランジスタ 1 1 3 は、通常のシリコンやゲルマニウムなどの半導体で形成されたトランジスタに比べて、オフ電流が極めて小さい。容量素子 1 1 2 におけるデータの保持期間の長さは、容量素子 1 1 2 に蓄積されている電荷が、トランジスタ 1 1 3 を介してリークする量に依存する。よって、上述したような、オフ電流の著しく小さいトランジスタ

50

113により、容量素子112に蓄積された電荷を保持することで、容量素子112からの電荷のリークを防ぐことができ、データの保持期間を長く確保することができる。

【0070】

なお、図3では、トランジスタ113を構成するトランジスタがシングルゲート構造である場合を例示しているが、上記トランジスタは、電氣的に接続された複数のゲート電極を有することで、チャネル形成領域を複数有する、マルチゲート構造であっても良い。

【0071】

また、図3では、トランジスタ113を一つだけ用いて、容量素子112における電荷の供給、保持、放出を制御する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、複数のトランジスタ113を用いて、容量素子112における電荷の供給、保持、放出を制御する構成を採用しても良い。トランジスタ113を複数用いる場合、上記複数のトランジスタ113は並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わせられて接続されていても良い。

10

【0072】

また、単位記憶回路114は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の回路素子を、さらに有していても良い。

【0073】

第1の論理素子115aは、ゲート電極が互いに接続されたpチャネル型トランジスタ118と、nチャネル型トランジスタ119とが、ハイレベルの電源電圧VDDが与えられる第1のノードと、ローレベルの基準電圧GNDが与えられる第2のノードの間において、直列に接続された構成を有する。具体的に、pチャネル型トランジスタ118のソースが、電源電圧VDDの与えられる第1のノードに接続され、nチャネル型トランジスタ119のソースが、基準電圧GNDの与えられる第2のノードに接続される。また、pチャネル型トランジスタ118のドレインと、nチャネル型トランジスタ119のドレインとが接続されており、上記2つのドレインの電圧は、第1の論理素子115aの出力端子の電圧とみなすことができる。また、pチャネル型トランジスタ118のゲート電極、及びnチャネル型トランジスタ119のゲート電極の電圧は、第1の論理素子115aの入力端子の電圧とみなすことができる。

20

【0074】

第2の論理素子115bは、ゲート電極が互いに接続されたpチャネル型トランジスタ120と、nチャネル型トランジスタ121とが、ハイレベルの電源電圧VDDが与えられる第1のノードと、ローレベルの基準電圧GNDが与えられる第2のノードの間において、直列に接続された構成を有する。具体的に、pチャネル型トランジスタ120のソースが、電源電圧VDDの与えられる第1のノードに接続され、nチャネル型トランジスタ121のソースが、基準電圧GNDの与えられる第2のノードに接続される。また、pチャネル型トランジスタ120のドレインと、nチャネル型トランジスタ121のドレインとが接続されており、上記2つのドレインの電圧は、第2の論理素子115bの出力端子の電圧とみなすことができる。また、pチャネル型トランジスタ120のゲート電極、及びnチャネル型トランジスタ121のゲート電極の電圧は、第2の論理素子115bの入力端子の電圧とみなすことができる。

30

40

【0075】

また、トランジスタ116は、そのゲート電極に与えられる信号Sig1によりスイッチングが制御される。また、トランジスタ117は、そのゲート電極に与えられる信号Sig2によりスイッチングが制御される。トランジスタ113に用いられるトランジスタは、そのゲート電極に与えられる制御信号Sig3によりスイッチングが制御される。

【0076】

なお、図3に示す単位記憶回路114において、トランジスタ116の代わりに、複数のトランジスタで構成されるスイッチング素子を用いても良い。トランジスタ116の代わりに、複数のトランジスタで構成されるスイッチング素子を用いる場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列

50

が組み合わされて接続されていても良い。また、図3に示す単位記憶回路114において、トランジスタ117の代わりに、複数のトランジスタで構成されるスイッチング素子を用いても良い。トランジスタ117の代わりに、複数のトランジスタで構成されるスイッチング素子を用いる場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

【0077】

また、第1の論理素子115a、第2の論理素子115bには、高速動作が要求される。よって、結晶性を有するシリコンまたはゲルマニウムをチャネル形成領域に有するトランジスタを、第1の論理素子115aが有するnチャネル型トランジスタ119、またはpチャネル型トランジスタ118として、或いは、第2の論理素子115bが有するnチャネル型トランジスタ121、またはpチャネル型トランジスタ120として用いることが、望ましい。

【0078】

また、トランジスタ116またはトランジスタ117は、結晶性を有するシリコンまたはゲルマニウムをチャネル形成領域に有していても良い。

【0079】

次いで、図3に示す単位記憶回路114の動作の一例について説明する。

【0080】

まず、データの書き込み時において、トランジスタ116はオン、トランジスタ117はオフ、トランジスタ113はオフとする。そして、第1のノードに電源電圧VDDを与え、第2のノードに基準電圧GNDを与えることで、記憶素子111に電源電圧が与えられる。単位記憶回路114に与えられる信号Dinの電圧は、トランジスタ116を介して第1の論理素子115aの入力端子に与えられるので、第1の論理素子115aの出力端子は、信号Dinの位相が反転した電圧になる。そして、トランジスタ117をオンにし、第1の論理素子115aの入力端子と第2の論理素子115bの出力端子とを接続することで、第1の論理素子115a及び第2の論理素子115bにデータが書き込まれる。

【0081】

次いで、入力されたデータの保持を、第1の論理素子115a及び第2の論理素子115bによって行う場合、トランジスタ117をオン、トランジスタ113をオフの状態にしたままで、トランジスタ116をオフにする。トランジスタ116をオフにすることで、入力されたデータは、第1の論理素子115a及び第2の論理素子115bによって保持される。このとき、第1のノードに電源電圧VDDを与え、第2のノードに基準電圧GNDを与えることで、第1のノードと第2のノード間に電源電圧が印加されている状態を維持する。

【0082】

そして、第1の論理素子115aの出力端子の電圧には、第1の論理素子115a及び第2の論理素子115bによって保持されているデータが反映されている。よって、上記電圧を読み取ることで、データを単位記憶回路114から読み出すことができる。

【0083】

なお、データの保持時において電源電圧の供給を停止する場合、電源電圧の供給が停止される前に、データの保持を、容量素子112において行う。容量素子112においてデータの保持を行う場合、まず、トランジスタ116はオフ、トランジスタ117はオン、トランジスタ113はオンとする。そして、トランジスタ113を介して、第1の論理素子115a及び第2の論理素子115bによって保持されているデータの値に見合った量の電荷が容量素子112に蓄積されることで、容量素子112へのデータの書き込みが行われる。容量素子112にデータが記憶された後、トランジスタ113をオフにすることで、容量素子112に記憶されたデータは保持される。トランジスタ113をオフにした後は、第1のノードと第2のノードとに、例えば基準電圧GNDを与えて等電圧とすることで、第1のノードと第2のノード間の電源電圧の印加を停止する。なお、容量素子112にデータが記憶された後は、トランジスタ117をオフにしても良い。

【0084】

このように、入力されたデータの保持を容量素子112において行う場合は、第1のノードと第2のノード間に電源電圧を印加する必要がないので、第1の論理素子115aが有するpチャネル型トランジスタ118及びnチャネル型トランジスタ119、或いは、第2の論理素子115bが有するpチャネル型トランジスタ120及びnチャネル型トランジスタ121を介して、第1のノードと第2のノードの間に流れるオフ電流を限りなく0に近づけることができる。したがって、データの保持時における記憶素子111のオフ電流に起因する消費電力を大幅に削減することができ、記憶装置、延いては記憶装置を用いたDCDCコンバータの、消費電力を低く抑えることが可能となる。

【0085】

また、上述したように、トランジスタ113はオフ電流が著しく小さい。よって、上記トランジスタ113がオフである時、容量素子112に蓄積された電荷はリークしにくいいため、データは保持される。

【0086】

また、容量素子112に記憶されているデータを読み出す場合は、トランジスタ116をオフとする。そして、再び、第1のノードに電源電圧VDDを与え、第2のノードに基準電圧GNDを与えることで、第1のノードと第2のノード間に電源電圧を印加する。そして、トランジスタ113をオンにすることで、データが反映された電圧を有する信号Doutを、単位記憶回路114から読み出すことができる。

【0087】

なお、酸化物半導体をチャネル形成領域に有するトランジスタを用いて、第1のノードと第2のノード間の電源電圧の印加を制御する構成としても良い。図4(A)に、上記構成を有する記憶装置を一例として示す。

【0088】

図4(A)に示す記憶装置110は、単位記憶回路114を複数有している。具体的に、各单位記憶回路114には、図3に示した単位記憶回路114を用いることができる。また、スイッチング素子130は、電源制御回路109に含まれており、記憶装置110が有する各单位記憶回路114には、スイッチング素子130を介して、ハイレベルの電源電圧VDDが供給されている。さらに、記憶装置110が有する各单位記憶回路114には、信号Dinの電圧と、ローレベルの基準電圧GNDの電圧が与えられている。

【0089】

図4(A)では、スイッチング素子130として、酸化物半導体をチャネル形成領域に有するトランジスタを用いており、当該トランジスタは、そのゲート電極に与えられる信号SigAによりスイッチングが制御される。スイッチング素子130に用いるトランジスタは、酸化物半導体をチャネル形成領域に有するため、そのオフ電流は、上述したとおり著しく小さい。

【0090】

なお、図4(A)では、スイッチング素子130がトランジスタを一つだけ有する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、スイッチング素子130が、トランジスタを複数有していても良い。スイッチング素子130が、トランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わせられて接続されていても良い。

【0091】

また、図4(A)では、スイッチング素子130により、記憶装置110が有する各单位記憶回路114への、ハイレベルの電源電圧VDDの供給が制御されているが、スイッチング素子130により、ローレベルの基準電圧GNDの供給が制御されていても良い。図4(B)に、記憶装置110が有する各单位記憶回路114に、スイッチング素子130を介して、ローレベルの基準電圧GNDが供給されている、記憶装置110の一例を示す。スイッチング素子130により、記憶装置110が有する各单位記憶回路114への、ローレベルの基準電圧GNDの供給を制御することができる。

【0092】

次いで、本発明のDCDCコンバータが有する信号処理回路の具体的な一形態について説明する。図5に、半導体装置の構成をブロックで一例として示す。

【0093】

信号処理回路107は、制御装置131と、演算装置に相当するALU(Arithmetic logic unit)132と、データキャッシュ133と、命令キャッシュ134と、プログラムカウンタ135と、命令レジスタ136と、不揮発性記憶装置137と、記憶装置110とを有する。

【0094】

制御装置131は、入力された命令をデコードし、実行する機能を有する。ALU132は、四則演算、論理演算などの各種演算処理を行う機能を有する。データキャッシュ133は、使用頻度の高いデータを一時的に記憶しておく緩衝記憶装置である。命令キャッシュ134は、制御装置131に送られる命令(プログラム)のうち、使用頻度の高い命令を一時的に記憶しておく緩衝記憶装置である。プログラムカウンタ135は、次に実行する命令のアドレスを記憶するレジスタである。命令レジスタ136は、次に実行する命令を記憶するレジスタである。不揮発性記憶装置137には、ALU132における演算処理に用いられるデータや、制御装置131において実行される命令が記憶されている。記憶装置110は、ALU132の演算処理の結果得られた、補正後のデジタル値'Sout'のデータ、L-Flagのデジタル値のデータなどの他、不揮発性記憶装置137から読み出されたデータ、ALU132の演算処理の途中で得られたデータなどを記憶することができる。

【0095】

次いで、信号処理回路107の動作について説明する。

【0096】

制御装置131は、プログラムカウンタ135に記憶されている、次に実行する命令のアドレスに従い、命令キャッシュ134の対応するアドレスから命令を読み出し、命令レジスタ136に上記命令を記憶させる。命令キャッシュ134の対応するアドレスに、該当する命令が記憶されていない場合は、不揮発性記憶装置137の対応するアドレスにアクセスし、不揮発性記憶装置137から命令を読み出し、命令レジスタ136に記憶させる。この場合、上記命令を命令キャッシュ134にも記憶させておく。

【0097】

制御装置131は、命令レジスタ136に記憶されている命令をデコードし、命令を実行する。具体的には、上記命令に従ってALU132の動作を制御するための各種信号を生成する。

【0098】

実行すべき命令が演算命令の場合は、記憶装置110に記憶されているデータを用いてALU132に演算処理を行わせ、その演算処理の結果を記憶装置110に格納する。

【0099】

実行すべき命令がロード命令の場合は、制御装置131は、まずデータキャッシュ133の対応するアドレスにアクセスし、該当するデータがデータキャッシュ133中にあるか否かを確認する。該当するデータがある場合は、上記データをデータキャッシュ133の対応するアドレスから記憶装置110にコピーする。該当するデータがない場合は、上記データを不揮発性記憶装置137の対応するアドレスからデータキャッシュ133の対応するアドレスにコピーした後、データキャッシュ133の対応するアドレスから記憶装置110に上記データをコピーする。なお、該当するデータがない場合は、低速な不揮発性記憶装置137にアクセスする必要があるため、データキャッシュ133などの緩衝記憶装置にのみアクセスする場合よりも、命令の実行に時間を要する。しかし、上記データのコピーに加えて、不揮発性記憶装置137における当該データのアドレス及びその近傍のアドレスのデータも緩衝記憶装置にコピーしておくことで、不揮発性記憶装置137における当該データのアドレス及びその近傍のアドレスへの2度目以降のアクセスを、高速に

行うことができる。

【0100】

実行すべき命令がストア命令の場合は、記憶装置110のデータを、データキャッシュ133の対応するアドレスに記憶させる。このとき、制御装置131は、まずデータキャッシュ133の対応するアドレスにアクセスし、該当するデータがデータキャッシュ133中に格納できるか否かを確認する。格納できる場合は、上記データを記憶装置110からデータキャッシュ133の対応するアドレスにコピーする。格納できない場合は、データキャッシュ133の一部領域に新たに対応するアドレスを割り振り、上記データを記憶装置110からデータキャッシュ133の対応するアドレスにコピーする。なお、データキャッシュ133にデータをコピーしたら直ちに、不揮発性記憶装置137にも上記データをコピーする構成も可能である。また、幾つかのデータをデータキャッシュ133にコピーした後、それらのデータをまとめて不揮発性記憶装置137にコピーする構成も可能である。

10

【0101】

そして、制御装置131は、命令の実行が終了すると、再度プログラムカウンタ135にアクセスし、命令レジスタ136から読み出した命令をデコード、実行するという上記動作を繰り返す。

【0102】

なお、ALU132は、記憶装置110における保持動作の選択を行う。すなわち、記憶装置110において、記憶素子111にデータを保持するか、容量素子112にデータを保持するかを、選択する。具体的には、DCDCコンバータの入力電圧の変動が大きい場合において、或いは、DCDCコンバータの出力電圧が所望の値に保たれていない場合において、記憶素子111によるデータの保持が選択される。また、出力電圧が所望の値に保たれており、なおかつ、入力電圧の変動が小さい場合において、記憶装置110内の記憶素子111への電源電圧の供給が停止される前に、容量素子112におけるデータの保持が選択され、容量素子112へのデータの書き換えが行われる。電源電圧の供給の停止に関しては、図4に示すように、単位記憶回路114群と、電源電圧VDDまたは基準電圧GNDの与えられているノード間に、スイッチング素子を設けることにより行うことができる。

20

【0103】

本発明の一態様では、オフ電流が著しく小さいトランジスタを、容量素子の電荷を保持するためのスイッチング素子として用いる構成とすることで、容量素子からリークする電荷の量を小さく抑えることができる。よって、本発明の一態様では、記憶装置110への電源電圧の供給を停止しても、データの消失を防ぐことができる。よって、信号処理回路107全体、もしくは信号処理回路107を構成する制御装置131、ALU132などの論理回路において、短い時間でも電源電圧の供給を停止することができる。従って、信号処理回路107の消費電力を小さく抑えることができる。

30

【0104】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0105】

(実施の形態3)

本実施の形態では、記憶装置の具体的な構成の一例について説明する。なお、本実施の形態では、記憶素子が、結晶性を有するシリコンをチャンネル形成領域に有するトランジスタを用いており、容量素子における電荷の供給、保持、放出を制御するトランジスタが、酸化半導体をチャンネル形成領域に有する場合を例示している。

40

【0106】

図6に、記憶素子が有するpチャンネル型トランジスタ118及びnチャンネル型トランジスタ119と、容量素子112と、トランジスタ113との構成を、断面図で一例として示す。

【0107】

50

図 6 に示す記憶装置は、その表面に絶縁膜 201 が形成された基板 200 上に、n チャネル型トランジスタ 119 と、p チャネル型トランジスタ 118 とを有する。

【0108】

n チャネル型トランジスタ 119 は、結晶性を有するシリコンを有する半導体膜 203n と、半導体膜 203n 上のゲート絶縁膜 204n と、ゲート絶縁膜 204n を間に挟んで半導体膜 203n と重なる位置に設けられたゲート電極 205n と、半導体膜 203n に接続された導電膜 206 及び導電膜 207 とを有する。そして、半導体膜 203n は、チャネル形成領域として機能する第 1 の領域 208 と、ソースまたはドレインとして機能する第 2 の領域 209 及び第 2 の領域 210 とを有する。第 2 の領域 209 及び第 2 の領域 210 は、第 1 の領域 208 を間に挟んでいる。なお、図 6 では、半導体膜 203n が、第 1 の領域 208 と第 2 の領域 209 及び第 2 の領域 210 との間に、LDD (Light Doped Drain) 領域として機能する第 3 の領域 211 及び第 3 の領域 212 を有している場合を例示している。

10

【0109】

また、p チャネル型トランジスタ 118 は、結晶性を有するシリコンを有する半導体膜 203p と、半導体膜 203p 上のゲート絶縁膜 204p と、ゲート絶縁膜 204p を間に挟んで半導体膜 203p と重なる位置に設けられたゲート電極 205p と、半導体膜 203p に接続された導電膜 207 及び導電膜 213 とを有する。そして、半導体膜 203p は、チャネル形成領域として機能する第 1 の領域 214 と、ソースまたはドレインとして機能する第 2 の領域 215 及び第 2 の領域 216 とを有する。第 2 の領域 215 及び第 2 の領域 216 は、第 1 の領域 214 を間に挟んでいる。なお、図 6 では、半導体膜 203p が、第 1 の領域 214 と第 2 の領域 215 及び第 2 の領域 216 との間に、LDD 領域として機能する第 3 の領域 217 及び第 3 の領域 218 を有している場合を例示している。

20

【0110】

なお、図 6 では、n チャネル型トランジスタ 119 と、p チャネル型トランジスタ 118 とが導電膜 207 を共有している。

【0111】

また、図 6 では、n チャネル型トランジスタ 119 と、p チャネル型トランジスタ 118 とが、薄膜の半導体膜を用いている場合を例示しているが、n チャネル型トランジスタ 119 と、p チャネル型トランジスタ 118 とが、バルクの半導体基板にチャネル形成領域を有するトランジスタであっても良い。薄膜の半導体膜としては、例えば、非晶質シリコンをレーザー結晶化させることで得られる多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

30

【0112】

そして、図 6 に示す記憶装置は、導電膜 206、導電膜 207、及び導電膜 213 上に絶縁膜 219 が設けられている。そして、絶縁膜 219 上には、第 1 の酸化絶縁膜 240a、第 2 の酸化絶縁膜 240b、及び第 3 の酸化絶縁膜 240c を有する絶縁膜 240 が設けられている。絶縁膜 240 上には、トランジスタ 113 が設けられている。

40

【0113】

第 1 の酸化絶縁膜 240a 及び第 3 の酸化絶縁膜 240c は、加熱により一部の酸素が脱離する酸化絶縁膜を用いて形成する。加熱により一部の酸素が脱離する酸化絶縁膜としては、化学量論的組成比を満たす酸素よりも多くの酸素を含む絶縁膜を用いることが好ましい。第 1 の酸化絶縁膜 240a 及び第 3 の酸化絶縁膜 240c として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム等を用いることができる。

【0114】

第 2 の酸化絶縁膜 240b は、酸素の拡散を防ぐ酸化絶縁膜で形成する。第 2 の酸化絶縁膜 240b の一例としては、酸化アルミニウム、酸化窒化アルミニウム等がある。なお、酸化アルミニウムは、化学量論的組成比を満たす酸素を含む酸化アルミニウム、または化

50

学量論的組成比を満たす酸素よりも多くの酸素を含む酸化アルミニウム (AlO_x 、 x は $3/2$ 以上) とすることが好ましい。また、酸化窒化アルミニウムは、化学量論的組成比を満たす酸素を含む酸化アルミニウムの一部の酸素が窒素で置換されている。

【0115】

なお、「加熱により一部の酸素が脱離する」とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上であることをいう。

【0116】

以下、TDS 分析にて、酸素原子に換算しての酸素の脱離量の測定方法について説明する。

10

【0117】

TDS 分析したときの気体の脱離量は、スペクトルの積分値に比例する。このため、絶縁膜のスペクトルの積分値と、標準試料の基準値に対する比とにより、気体の放出量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積分値に対する原子の密度の割合である。

【0118】

例えば、標準試料である所定の密度の水素を含むシリコンウェハの TDS 分析結果、及び絶縁膜の TDS 分析結果から、絶縁膜の酸素分子の脱離量 (N_{O_2}) は、下記の式 1 で求めることができる。質量数 32 のものとして CH_3OH があるが、絶縁膜中に存在する可能性は低い。よって、TDS 分析で得られる質量数 32 で検出されるスペクトルの全ては、酸素分子由来であると仮定する。また、酸素原子の同位体である質量数 17 の酸素原子及び質量数 18 の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため、存在しないものと仮定する。

20

【0119】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \quad (\text{式 1})$$

【0120】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料を TDS 分析したときのスペクトルの積分値である。標準試料の基準値は、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、絶縁膜を TDS 分析したときのスペクトルの積分値である。は、TDS 分析におけるスペクトル強度に影響する係数である。式 1 の詳細に関しては、特開平 6 - 275697 公報を参照する。なお、上記絶縁膜の酸素の脱離量は、電子科学株式会社製の昇温脱離分析装置 EMD - WA1000S/W を用い、標準試料として $1 \times 10^{16} \text{ atoms/cm}^3$ の水素原子を含むシリコンウェハを用いて測定する。

30

【0121】

また、TDS 分析において、一部の酸素は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の脱離量についても見積もることができる。

【0122】

なお、 N_{O_2} は酸素分子の脱離量である。絶縁膜においては、酸素原子に換算したときの酸素の放出量は、酸素分子の脱離量の 2 倍となる。

40

【0123】

上記構成において、加熱により酸素放出される絶縁膜は、酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) であってもよい。酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) とは、シリコン原子数の 2 倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数及び酸素原子数は、ラザフォード後方散乱法により測定した値である。

【0124】

また、具体的に、トランジスタ 113 は、酸化物半導体膜 242 と、酸化物半導体膜 24

50

2上のゲート絶縁膜243と、ゲート絶縁膜243を間に挟んで酸化物半導体膜242と重なる位置に設けられたゲート電極244と、酸化物半導体膜242に接続された導電膜245及び導電膜246とを有する。酸化物半導体膜242は、ゲート電極244と重なり、少なくとも一部がチャネル形成領域として機能する第1の領域247と、ソースまたはドレインとして機能し、第1の領域247を挟む第2の領域248及び第2の領域249とを有している。

【0125】

シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料の一例として、酸化物半導体の他に、炭化珪素(SiC)、窒化ガリウム(GaN)などの化合物半導体などがある。酸化物半導体は、炭化珪素や窒化ガリウムと異なり、スパッタリング法や湿式法により作製可能であり、量産性に優れるといった利点がある。また、炭化シリコンまたは窒化ガリウムとは異なり、酸化物半導体は室温でも成膜が可能のため、ガラス基板上への成膜、或いはシリコンを用いた集積回路上への成膜が可能である。また、基板の大型化にも対応が可能である。よって、上述したワイドギャップ半導体の中でも、特に酸化物半導体は量産性が高いというメリットを有する。また、トランジスタの性能(例えば電界効果移動度)を向上させるために結晶性の酸化物半導体を得ようとする場合でも、250 から800 の熱処理によって容易に結晶性の酸化物半導体を得ることができる。

【0126】

次いで、図7を用いて、図6に示したトランジスタ113の具体的な断面構造について説明する。

【0127】

図7(A)は、絶縁膜240及びトランジスタ113の断面図であり、図7(B)は、絶縁膜240及びトランジスタ113の上面図である。図7(B)の破線A1-A2における断面図が、図7(A)に相当する。また、図7(C)は、図7(B)の破線B1-B2における、絶縁膜240及びトランジスタ113の断面図である。

【0128】

トランジスタ113は、ゲート電極244の側部に、絶縁膜を有するサイドウォール250が設けられており、ゲート電極244の上部に、絶縁膜251が設けられている。そして、導電膜245及び導電膜246は、その一部がサイドウォール250に接している。導電膜245及び導電膜246は必ずしもサイドウォール250に接している必要はないが、サイドウォール250に接するように導電膜245及び導電膜246を形成することで、導電膜245及び導電膜246の位置が多少ずれて形成されたとしても、導電膜245及び導電膜246と酸化物半導体膜242との接する面積が、変動するのを防ぐことができる。よって、導電膜245及び導電膜246の位置がずれることによる、トランジスタ113のオン電流の変動を防ぐことができる。

【0129】

なお、ゲート電極244の上部に位置する絶縁膜251は必ずしも設ける必要はないが、絶縁膜251を設けることで、導電膜245及び導電膜246の位置がずれて形成され、ゲート電極244の上部にかかっても、導電膜245及び導電膜246とゲート電極244が導通するのを防ぐことができる。

【0130】

絶縁膜240では、下層に位置する第3の酸化絶縁膜240c上に、第1の酸化絶縁膜240aと、第2の酸化絶縁膜240bとが順に積層するように設けられている。そして、第1の酸化絶縁膜240a及び第2の酸化絶縁膜240bには開口部241が設けられており、上記開口部241には、トランジスタ113が有する酸化物半導体膜242が設けられている。そして、第1の酸化絶縁膜240aは、酸化物半導体膜242の端部に接するように、酸化物半導体膜242の周囲に設けられている。また、第2の酸化絶縁膜240bは、第1の酸化絶縁膜240aを間に挟んで酸化物半導体膜242の周囲に設けられている。第3の酸化絶縁膜240cは、酸化物半導体膜242の下部に設けられている。

【0131】

上記構成により、加熱により第1の酸化絶縁膜240aから放出された酸素が、第2の酸化絶縁膜240bを通過するのを抑制することができるので、上記酸素が第1の領域247における酸化物半導体膜242の端部252に効率よく供給される。また、第3の酸化絶縁膜240cから放出された酸素は、酸化物半導体膜242の下部に供給される。なお、酸化物半導体をチャネル形成領域に有するトランジスタ113は、酸化物半導体膜242を所望の形状にエッチングするためのエッチング処理、酸化物半導体膜242の端部の減圧雰囲気における暴露等により、酸化物半導体膜242の端部において酸素の脱離による酸素欠損が形成されやすい。そして、酸素欠損はキャリアの移動経路となるため、酸化物半導体膜242の端部に酸素欠損が形成されると、寄生チャネルが生じ、それによりトランジスタ113のオフ電流が高まる。しかし、本発明の一態様では、上記構成により、第1の領域247における酸化物半導体膜242の端部252に酸素欠損が形成されるのを防ぎ、オフ電流を低減させることができる。

10

【0132】

また、図6に示すように、容量素子112は、絶縁膜240上の導電膜253と、導電膜253上の絶縁膜254と、絶縁膜254を間に挟んで導電膜253と重なる位置に設けられた導電膜255とを有する。絶縁膜254は、トランジスタ113上にも設けられている。また、導電膜253と導電膜245とは電氣的に接続されていても良いし、或いは、導電膜253と導電膜245とが一の連続した導電膜で構成されていても良い。

20

【0133】

なお、図6では、容量素子112をトランジスタ113と共に絶縁膜240の上に設けている場合を例示しているが、容量素子112は、nチャネル型トランジスタ119及びpチャネル型トランジスタ118と共に、絶縁膜240の下に設けられていても良い。

【0134】

また、図6では、絶縁膜240と、nチャネル型トランジスタ119及びpチャネル型トランジスタ118との間に、絶縁膜219を設けている場合を例示しているが、絶縁膜219は必ずしも設ける必要は無い。絶縁膜219を設けない場合、導電膜206、導電膜207、及び導電膜213に接するように、絶縁膜240が設けられる。

【0135】

また、図6において、トランジスタ113は、ゲート電極244を酸化物半導体膜242の片側において少なくとも有していれば良いが、酸化物半導体膜242を間に挟んで存在する一対のゲート電極を有していても良い。

30

【0136】

次いで、トランジスタ113の構成が図6に示した記憶装置と異なる、本発明の一態様に係る記憶装置の構成について説明する。図8(A)、図8(B)及び図8(C)に、トランジスタ113の構成を一例として示す。図8(A)、図8(B)及び図8(C)では、第1の酸化絶縁膜220a及び第2の酸化絶縁膜220bを有する絶縁膜220上に、トランジスタ113が設けられている。なお、図8(A)は、絶縁膜220及びトランジスタ113の断面図であり、図8(B)は、絶縁膜220及びトランジスタ113の上面図である。図8(B)の破線A1-A2における断面図が、図8(A)に相当する。また、図8(C)は、図8(B)の破線B1-B2における、絶縁膜220及びトランジスタ113の断面図である。

40

【0137】

第1の酸化絶縁膜220aは、加熱により一部の酸素が脱離する酸化絶縁膜を用いて形成する。加熱により一部の酸素が脱離する酸化絶縁膜としては、化学量論的組成比を満たす酸素よりも多くの酸素を含む絶縁膜を用いることが好ましい。第1の酸化絶縁膜220aとして、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム等を用いることができる。

【0138】

第2の酸化絶縁膜220bは、酸素の拡散を防ぐ酸化絶縁膜で形成する。第2の酸化絶縁

50

膜 2 2 0 b の一例としては、酸化アルミニウム、酸化窒化アルミニウム等がある。なお、酸化アルミニウムは、化学量論的組成比を満たす酸素を含む酸化アルミニウム、または化学量論的組成比を満たす酸素よりも多くの酸素を含む酸化アルミニウム (AlO_x 、 x は $3/2$ 以上) とすることが好ましい。また、酸化窒化アルミニウムは、化学量論的組成比を満たす酸素を含む酸化アルミニウムの一部の酸素が窒素で置換されている。

【 0 1 3 9 】

トランジスタ 1 1 3 は、絶縁膜 2 2 0 上に位置する酸化物半導体膜 2 2 2 と、酸化物半導体膜 2 2 2 上のゲート絶縁膜 2 2 3 と、ゲート絶縁膜 2 2 3 を間に挟んで酸化物半導体膜 2 2 2 と重なる位置に設けられたゲート電極 2 2 4 と、酸化物半導体膜 2 2 2 に接続された導電膜 2 2 5 及び導電膜 2 2 6 とを有する。酸化物半導体膜 2 2 2 は、ゲート電極 2 2 4 と重なり、少なくとも一部がチャネル形成領域として機能する第 1 の領域 2 2 7 と、ソースまたはドレインとして機能し、第 1 の領域 2 2 7 を挟む第 2 の領域 2 2 8 及び第 2 の領域 2 2 9 とを有している。

10

【 0 1 4 0 】

そして、トランジスタ 1 1 3 は、ゲート電極 2 2 4 の側部に、絶縁膜を有するサイドウォール 2 3 0 が設けられており、ゲート電極 2 2 4 の上部に、絶縁膜 2 3 1 が設けられている。そして、導電膜 2 2 5 及び導電膜 2 2 6 は、その一部がサイドウォール 2 3 0 に接している。導電膜 2 2 5 及び導電膜 2 2 6 は必ずしもサイドウォール 2 3 0 に接している必要は無いが、サイドウォール 2 3 0 に接するように導電膜 2 2 5 及び導電膜 2 2 6 を形成することで、導電膜 2 2 5 及び導電膜 2 2 6 の位置が多少ずれて形成されたとしても、導電膜 2 2 5 及び導電膜 2 2 6 と酸化物半導体膜 2 2 2 との接する面積が、変動するのを防ぐことができる。よって、導電膜 2 2 5 及び導電膜 2 2 6 の位置がずれることによる、トランジスタ 1 1 3 のオン電流の変動を防ぐことができる。

20

【 0 1 4 1 】

なお、ゲート電極 2 2 4 の上部に位置する絶縁膜 2 3 1 は必ずしも設ける必要は無いが、絶縁膜 2 3 1 を設けることで、導電膜 2 2 5 及び導電膜 2 2 6 の位置がずれて形成され、ゲート電極 2 2 4 の上部にかかっても、導電膜 2 2 5 及び導電膜 2 2 6 とゲート電極 2 2 4 が導通するのを防ぐことができる。

【 0 1 4 2 】

そして、絶縁膜 2 2 0 は、第 1 の酸化絶縁膜 2 2 0 a の周囲に第 2 の酸化絶縁膜 2 2 0 b が設けられている。そして、酸化物半導体膜 2 2 2 は、第 1 の領域 2 2 7 において上記第 1 の酸化絶縁膜 2 2 0 a に接し、第 2 の領域 2 2 8 及び第 2 の領域 2 2 9 において第 1 の酸化絶縁膜 2 2 0 a 及び第 2 の酸化絶縁膜 2 2 0 b に接する。

30

【 0 1 4 3 】

上記構成により、加熱により第 1 の酸化絶縁膜 2 2 0 a から放出された酸素が、第 2 の酸化絶縁膜 2 2 0 b を通過するのを抑制することができるので、上記酸素が第 1 の領域 2 2 7 における酸化物半導体膜 2 2 2 の端部 2 3 2 に効率よく供給される。なお、酸化物半導体をチャネル形成領域に有するトランジスタ 1 1 3 は、酸化物半導体膜 2 2 2 を所望の形状にエッチングするためのエッチング処理、酸化物半導体膜 2 2 2 の端部の減圧雰囲気における暴露等により、酸化物半導体膜 2 2 2 の端部において酸素の脱離による酸素欠損が形成されやすい。そして、酸素欠損はキャリアの移動経路となるため、酸化物半導体膜 2 2 2 の端部に酸素欠損が形成されると、寄生チャネルが生じ、それによりトランジスタ 1 1 3 のオフ電流が高まる。しかし、本発明の一態様では、上記構成により、第 1 の領域 2 2 7 における酸化物半導体膜 2 2 2 の端部 2 3 2 に酸素欠損が形成されるのを防ぎ、オフ電流を低減させることができる。

40

【 0 1 4 4 】

また、図 8 において、トランジスタ 1 1 3 は、ゲート電極 2 2 4 を酸化物半導体膜 2 2 2 の片側において少なくとも有していれば良いが、酸化物半導体膜 2 2 2 を間に挟んで存在する一対のゲート電極を有していても良い。

【 0 1 4 5 】

50

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（*purified OS*）は、*i*型（真性半導体）又は*i*型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。また、酸化物半導体のバンドギャップは、 2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げることができる。

【0146】

具体的に、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6\text{ }\mu\text{m}$ でチャネル長が $10\text{ }\mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}\text{ A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流は、 $100\text{ z A}/\mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3 V の場合に、数十 $\text{ y A}/\mu\text{m}$ という、さらに低いオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

【0147】

なお、酸化物半導体としては、好ましくは In または Zn を含有する酸化物を用いるとよく、さらに好ましくは、 In 及び Ga を含有する酸化物、または In 及び Zn を含有する酸化物を用いるとよい。酸化物半導体膜を*i*型（真性）とするため、後に説明する脱水化または脱水素化は有効である。また、酸化物半導体を用いたトランジスタの電気特性のばらつきを低減するためのスタビライザーとして、それらに加えてガリウム（ Ga ）を含むことが好ましい。また、スタビライザーとしてスズ（ Sn ）を含むことが好ましい。また、スタビライザーとしてハフニウム（ Hf ）を含むことが好ましい。また、スタビライザーとしてアルミニウム（ Al ）を含むことが好ましい。

【0148】

また、他のスタビライザーとして、ランタノイドである、ランタン（ La ）、セリウム（ Ce ）、プラセオジウム（ Pr ）、ネオジウム（ Nd ）、サマリウム（ Sm ）、ユウロピウム（ Eu ）、ガドリニウム（ Gd ）、テルビウム（ Tb ）、ジスプロシウム（ Dy ）、ホルミウム（ Ho ）、エルビウム（ Er ）、ツリウム（ Tm ）、イッテルビウム（ Yb ）、ルテチウム（ Lu ）のいずれか一種または複数種を含んでいてもよい。

【0149】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である $\text{In}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Zn}$ 系酸化物、 $\text{Al}-\text{Zn}$ 系酸化物、 $\text{Zn}-\text{Mg}$ 系酸化物、 $\text{Sn}-\text{Mg}$ 系酸化物、 $\text{In}-\text{Mg}$ 系酸化物、 $\text{In}-\text{Ga}$ 系酸化物、三元系金属の酸化物である $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物（ IGZO とも表記する）、 $\text{In}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{Al}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Zn}$ 系酸化物、 $\text{In}-\text{La}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ce}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Pr}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Nd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Eu}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Gd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Dy}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ho}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Er}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Yb}-\text{Zn}$ 系酸化物、 In

- L u - Z n系酸化物、四元系金属の酸化物である I n - S n - G a - Z n系酸化物、I n - H f - G a - Z n系酸化物、I n - A l - G a - Z n系酸化物、I n - S n - A l - Z n系酸化物、I n - S n - H f - Z n系酸化物、I n - H f - A l - Z n系酸化物を用いることができる。また、上記酸化物半導体は、珪素を含んでいてもよい。

【0150】

なお、例えば、I n - G a - Z n系酸化物とは、I nとG aとZ nを含む酸化物という意味であり、I nとG aとZ nの比率は問わない。また、I nとG aとZ n以外の金属元素を含んでいてもよい。I n - G a - Z n系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高いため、固体撮像装置、または半導体表示装置に用いる半導体材料としては好適である。

10

【0151】

或いは、酸化物半導体は、化学式 $I n M O_3 (Z n O)_m$ ($m > 0$) で表記される材料を用いてもよい。Mは、G a、A l、M nおよびC oから選ばれた一または複数の金属元素を示す。例えば、Mとして、G a、G a及びA l、G a及びF e、G a及びN i、G a及びM n、G a及びC oなどを適用することができる。また、酸化物半導体として、 $I n_2 S n O_5 (Z n O)_n$ ($n > 0$ 、且つ、nは整数) で表記される材料を用いてもよい。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

【0152】

例えば、I n : G a : Z n = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3) あるいは I n : G a : Z n = 2 : 2 : 1 (= 2 / 5 : 2 / 5 : 1 / 5) の原子数比の I n - G a - Z n系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、I n : S n : Z n = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3)、I n : S n : Z n = 2 : 1 : 3 (= 1 / 3 : 1 / 6 : 1 / 2) あるいは I n : S n : Z n = 2 : 1 : 5 (= 1 / 4 : 1 / 8 : 5 / 8) の原子数比の I n - S n - Z n系酸化物やその組成の近傍の酸化物を用いるとよい。

20

【0153】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

30

【0154】

なお、例えば、I n、G a、Z nの原子数比が I n : G a : Z n = a : b : c ($a + b + c = 1$) である酸化物の組成比が、原子数比が I n : G a : Z n = A : B : C ($A + B + C = 1$) の酸化物の組成比の近傍であるとは、a、b、cが、 $(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$ を満たすことを言う。rとしては、例えば、0.05とすればよい。他の酸化物でも同様である。

【0155】

また、酸化物半導体は、アモルファス(非晶質)であってもよいし、結晶性を有していてもよい。後者の場合、単結晶でもよいし、多結晶でもよいし、一部分が結晶性を有する構成でもよいし、アモルファス中に結晶性を有する部分を含む構成でもよいし、非アモルファスでもよい。一部分が結晶性を有する構成の一例として、c軸配向し、かつa b面、表面または界面の方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列しており、a b面においてはa軸またはb軸の向きが異なる(c軸を中心に回転した)結晶を含む酸化物(C A A C : C A x i s A l i g n e d C r y s t a lともいう。)を含む酸化物を用いてもよい。

40

【0156】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

50

【0157】

また、結晶性を有する酸化物半導体は、アモルファス状態の酸化物半導体に比較してバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ（ Ra ）が1 nm以下、好ましくは0.3 nm以下、より好ましくは0.1 nm以下の表面上に形成するとよい。

【0158】

なお、 Ra は、JIS B0601:2001（ISO4287:1997）で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式2にて定義される。

10

【0159】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \cdots \quad (\text{式2})$$

【0160】

なお、指定面とは、粗さ計測の対象となる面であり、座標（（ $x_1, y_1, f(x_1, y_1)$ ）（ $x_1, y_2, f(x_1, y_2)$ ）（ $x_2, y_1, f(x_2, y_1)$ ）（ $x_2, y_2, f(x_2, y_2)$ ）の4点で表される四角形の領域とし、指定面をxy平面に投影した長方形の面積を S_0 、指定面の平均高さを Z_0 とする。 Ra は原子間力顕微鏡（AFM: Atomic Force Microscope）にて評価可能である。

20

【0161】

なお、例えば、酸化物半導体膜は、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含むターゲットを用いたスパッタ法により形成することができる。In-Ga-Zn系酸化物半導体膜をスパッタリング法で成膜する場合、好ましくは、原子数比がIn:Ga:Zn=1:1:1、4:2:3、3:1:2、1:1:2、2:1:3、または3:1:4で示されるIn-Ga-Zn系酸化物のターゲットを用いる。前述の原子数比を有するIn-Ga-Zn系酸化物のターゲットを用いて酸化物半導体膜を成膜することで、多結晶またはCAACが形成されやすくなる。また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

30

【0162】

なお、酸化物半導体としてIn-Zn系酸化物の材料を用いる場合、用いるターゲットの組成比は、原子数比で、In:Zn=50:1~1:2（モル数比に換算すると In_2O_3 :ZnO=25:1~1:4）、好ましくはIn:Zn=20:1~1:1（モル数比に換算すると In_2O_3 :ZnO=10:1~1:2）、さらに好ましくはIn:Zn=1.5:1~15:1（モル数比に換算すると In_2O_3 :ZnO=3:4~15:2）とする。例えば、In-Zn系酸化物である酸化物半導体膜の形成に用いるターゲットは、原子数比がIn:Zn:O=X:Y:Zのとき、 $Z > 1.5X + Y$ とする。Znの比率を上記範囲に収めることで、移動度の向上を実現することができる。

40

【0163】

そして、具体的に酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて形成すればよい。成膜時に、基板温度を100以上600以下、好ましくは200以上400以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の

50

真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブプリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて成膜室を排気すると、例えば、水素原子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0164】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分または水素 (水酸基を含む) が多量に含まれていることがある。水分または水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分または水素などの不純物を低減 (脱水化または脱水素化) するために、酸化物半導体膜に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア (CRDS (キャビティリングダウンレーザ分光法) 方式の露点計を用いて測定した場合の水分量が 20 ppm (露点換算で -55) 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気) 雰囲気下で、加熱処理を施す。

【0165】

酸化物半導体膜に加熱処理を施すことで、酸化物半導体膜中の水分または水素を脱離させることができる。具体的には、 250 以上 750 以下、好ましくは 400 以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、 500 、3 分間以上 6 分間以下程度で行えばよい。加熱処理に RTA 法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

【0166】

なお、上記加熱処理により、酸化物半導体膜から酸素が脱離し、酸化物半導体膜内に酸素欠損が形成される場合がある。よって、本発明の一態様では、酸化物半導体膜と接するゲート絶縁膜などの絶縁膜として、酸素を含む絶縁膜を用いる。そして、酸素を含む絶縁膜を形成した後、加熱処理を施すことで、上記絶縁膜から酸化物半導体膜に酸素が供与されるようにする。上記構成により、ドナーとなる酸素欠損を低減し、酸化物半導体膜に含まれる酸化物半導体の、化学量論的組成比を満たすことができる。半導体膜には化学量論的組成比を超える量の酸素が含まれていることが好ましい。その結果、酸化物半導体膜を i 型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。

【0167】

なお、酸素を酸化物半導体膜に供与するための加熱処理は、窒素、超乾燥空気、または希ガス (アルゴン、ヘリウムなど) の雰囲気下において、好ましくは 200 以上 400 以下、例えば 250 以上 350 以下で行う。上記ガスは、水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、より好ましくは 10 ppb 以下であることが望ましい。

【0168】

また、 c 軸配向し、かつ ab 面、表面または界面の方向から見て三角形または六角形状の原子配列を有し、 c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列しており、 ab 面においては a 軸または b 軸の向きが異なる (c 軸を中心に回転した) 結晶 (CAAC: C Axis Aligned Crystalline ともいう。) を含む酸化物について、以下、説明する。

【0169】

CAAC とは、広義に、非単結晶であって、その ab 面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつ c 軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む結晶をいう。

【0170】

CAAC は単結晶ではないが、非晶質のみから形成されているものでもない。また、CAAC は結晶化した部分 (結晶部分) を含むが、1 つの結晶部分と他の結晶部分の境界を明

10

20

30

40

50

確に判別できないこともある。

【0171】

C A A C に酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、C A A C を構成する個々の結晶部分の c 軸は一定の方向（例えば、C A A C が形成される基板面、C A A C の表面などに垂直な方向）に揃っていてもよい。または、C A A C を構成する個々の結晶部分の a b 面の法線は一定の方向（例えば、C A A C が形成される基板面、C A A C の表面などに垂直な方向）を向いていてもよい。

【0172】

C A A C は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透光性を有していたり、有していなかったりする。

10

【0173】

このような C A A C の例として、膜状に形成され、膜表面または C A A C が形成される基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子及び酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることができる。

【0174】

C A A C に含まれる結晶構造の一例について図9乃至図11を用いて詳細に説明する。なお、特に断りがない限り、図9乃至図11は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図9において丸で囲まれた O は 4 配位の O を示し、二重丸は 3 配位の O を示す。

20

【0175】

図9（A）に、1個の6配位の I n と、I n に近接の6個の4配位の酸素原子（以下4配位の O ）と、を有する構造を示す。ここでは、金属原子が1個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図9（A）の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図9（A）の上半分及び下半分にはそれぞれ3個ずつ4配位の O がある。図9（A）に示す小グループは電荷が0である。

【0176】

図9（B）に、1個の5配位の G a と、G a に近接の3個の3配位の酸素原子（以下3配位の O ）と、G a に近接の2個の4配位の O と、を有する構造を示す。3配位の O は、いずれも a b 面に存在する。図9（B）の上半分及び下半分にはそれぞれ1個ずつ4配位の O がある。また、I n も5配位をとるため、図9（B）に示す構造をとりうる。図9（B）に示す小グループは電荷が0である。

30

【0177】

図9（C）に、1個の4配位の Z n と、Z n に近接の4個の4配位の O と、を有する構造を示す。図9（C）の上半分には1個の4配位の O があり、下半分には3個の4配位の O がある。または、図9（C）の上半分に3個の4配位の O があり、下半分に1個の4配位の O があってもよい。図9（C）に示す小グループは電荷が0である。

【0178】

図9（D）に、1個の6配位の S n と、S n に近接の6個の4配位の O と、を有する構造を示す。図9（D）の上半分には3個の4配位の O があり、下半分には3個の4配位の O がある。図9（D）に示す小グループは電荷が+1となる。

40

【0179】

図9（E）に、2個の Z n を含む小グループを示す。図9（E）の上半分には1個の4配位の O があり、下半分には1個の4配位の O がある。図9（E）に示す小グループは電荷が-1となる。

【0180】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

50

【 0 1 8 1 】

ここで、これらの小グループ同士が結合する規則について説明する。図 9 (A) に示す 6 配位の I_n の上半分の 3 個の O は、下方向にそれぞれ 3 個の近接 I_n を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 I_n を有する。図 9 (B) に示す 5 配位の G_a の上半分の 1 個の O は下方向に 1 個の近接 G_a を有し、下半分の 1 個の O は上方向に 1 個の近接 G_a を有する。図 9 (C) に示す 4 配位の Z_n の上半分の 1 個の O は、下方向に 1 個の近接 Z_n を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 Z_n を有する。この様に、金属原子の上方向の 4 配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の O の数と、その O の上方向にある近接金属原子の数は等しい。O は 4 配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は 4 になる。従って、金属原子の上方向にある 4 配位の O の数と、別の金属原子の下方向にある 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6 配位の金属原子 (I_n または S_n) が下半分の 4 配位の O を介して結合する場合、4 配位の O が 3 個であるため、5 配位の金属原子 (G_a または I_n) 4 配位の金属原子 (Z_n) のいずれかと結合することになる。

10

【 0 1 8 2 】

これらの配位数を有する金属原子は、c 軸方向において、4 配位の O を介して結合する。また、このほかにも、層構造の合計の電荷が 0 となるように複数の小グループが結合して中グループを構成する。

20

【 0 1 8 3 】

図 1 0 (A) に、 $I_n - S_n - Z_n$ 系酸化物の層構造を構成する中グループのモデル図を示す。図 1 0 (B) に、3 つの中グループで構成される大グループを示す。なお、図 1 0 (C) は、図 1 0 (B) の層構造を c 軸方向から観察した場合の原子配列を示す。

【 0 1 8 4 】

図 1 0 (A) においては、簡単のため、3 配位の O は省略し、4 配位の O は個数のみ示し、例えば、 S_n の上半分及び下半分にはそれぞれ 3 個ずつ 4 配位の O があることを丸枠の 3 として示している。同様に、図 1 0 (A) において、 I_n の上半分及び下半分にはそれぞれ 1 個ずつ 4 配位の O があり、丸枠の 1 として示している。また、同様に、図 1 0 (A) において、下半分には 1 個の 4 配位の O があり、上半分には 3 個の 4 配位の O がある Z_n と、上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある Z_n とを示している。

30

【 0 1 8 5 】

図 1 0 (A) において、 $I_n - S_n - Z_n$ 系酸化物の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分及び下半分にある S_n が、4 配位の O が 1 個ずつ上半分及び下半分にある I_n と結合し、その I_n が、上半分に 3 個の 4 配位の O がある Z_n と結合し、その Z_n の下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分及び下半分にある I_n と結合し、その I_n が、上半分に 1 個の 4 配位の O がある Z_n 2 個からなる小グループと結合し、この小グループの下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分及び下半分にある S_n と結合している構成である。この中グループが複数結合して大グループを構成する。

40

【 0 1 8 6 】

ここで、3 配位の O 及び 4 配位の O の場合、結合 1 本当当たりの電荷はそれぞれ - 0 . 6 6 7、- 0 . 5 と考えることができる。例えば、 I_n (6 配位または 5 配位)、 Z_n (4 配位)、 S_n (5 配位または 6 配位) の電荷は、それぞれ + 3、+ 2、+ 4 である。従って、 S_n を含む小グループは電荷が + 1 となる。そのため、 S_n を含む層構造を形成するためには、電荷 + 1 を打ち消す電荷 - 1 が必要となる。電荷 - 1 をとる構造として、図 9 (E) に示すように、2 個の Z_n を含む小グループが挙げられる。例えば、 S_n を含む小グループが 1 個に対し、2 個の Z_n を含む小グループが 1 個あれば、電荷が打ち消されるため、層構造の合計の電荷を 0 とすることができる。

50

【0187】

具体的には、図10(B)に示した大グループが繰り返されることで、In-Sn-Zn系酸化物の結晶($\text{In}_2\text{SnZn}_3\text{O}_8$)を得ることができる。なお、得られるIn-Sn-Zn系酸化物の層構造は、 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (mは0または自然数。)とする組成式で表すことができる。

【0188】

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物や、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する。)、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物や、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物や、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物や、In-Ga系酸化物などを用いた場合も同様である。

【0189】

例えば、図11(A)に、In-Ga-Zn系酸化物の層構造を構成する中グループのモデル図を示す。

【0190】

図11(A)において、In-Ga-Zn系酸化物の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分及び下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分及び下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分及び下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

【0191】

図11(B)に3つの中グループで構成される大グループを示す。なお、図11(C)は、図11(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0192】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、Zn及びGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0193】

また、In-Ga-Zn系酸化物の層構造を構成する中グループは、図11(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

【0194】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することができる。

【0195】

(実施の形態4)

本発明の一態様に係るDCDCコンバータは、入力電圧に対して大きい出力電圧が得られる昇圧型であっても良いし、入力電圧に対して小さい出力電圧が得られる降圧型であっても良い。

【0196】

図12(A)に、本発明の一態様に係る、降圧型のDCDCコンバータの構成を示す。図12(A)に示すDCDCコンバータは、定電圧生成部103がダイオード430、コイル431、容量素子432を有する。また、図12(A)に示すDCDCコンバータは、

入力電圧の与えられる入力端子 I N 1 と、基準電圧の与えられる入力端子 I N 2 と、出力端子 O U T 1 と、出力端子 O U T 2 とを有している。

【 0 1 9 7 】

スイッチング素子 1 0 2 は、入力端子 I N 1 とダイオード 4 3 0 の陰極との間の接続を制御している。具体的に、スイッチング素子 1 0 2 は、そのソースまたはドレインの一方が入力端子 I N 1 に接続されており、そのソースまたはドレインの他方がダイオード 4 3 0 の陰極に接続されている。コイル 4 3 1 が有する一対の端子は、一方がダイオード 4 3 0 の陰極に接続され、他方が D C D C コンバータの出力端子 O U T 1 に接続されている。入力端子 I N 2 は、ダイオード 4 3 0 の陽極と出力端子 O U T 2 に接続されている。そして、容量素子 4 3 2 が有する一対の電極は、一方が出力端子 O U T 1 に接続され、他方が出力端子 O U T 2 に接続されている。

10

【 0 1 9 8 】

図 1 2 (A) に示す D C D C コンバータでは、スイッチング素子 1 0 2 がオンになると、入力端子 I N 1 と出力端子 O U T 1 との間に電圧が生じるので、コイル 4 3 1 に電流が流れる。コイル 4 3 1 は、上記電流が流れることで磁化すると共に、自己誘導により電流の流れとは逆向きの起電力が生じる。そのため、出力端子 O U T 1 には、入力端子 I N 1 に与えられる入力電圧を降圧することで得られる電圧が与えられる。すなわち、容量素子 4 3 2 が有する一対の電極間には、入力端子 I N 2 から与えられる基準電圧と、入力電圧を降圧することで得られる電圧との差分に相当する電圧が、与えられる。

【 0 1 9 9 】

20

次いで、スイッチング素子 1 0 2 がオフになると、入力端子 I N 1 と出力端子 O U T 1 の間に形成されていた電流の経路が遮断される。コイル 4 3 1 では、上記電流の変化を妨げる方向、すなわち、スイッチング素子 1 0 2 がオンのときに生じた起電力とは逆の方向の起電力が生じる。そのため、コイル 4 3 1 を流れる電流は、上記起電力によって生じた電圧により、維持される。すなわち、スイッチング素子 1 0 2 がオフのときには、入力端子 I N 2 または出力端子 O U T 2 と、出力端子 O U T 1 の間にコイル 4 3 1 とダイオード 4 3 0 を介した電流の経路が形成される。よって、容量素子 4 3 2 が有する一対の電極間には与えられている電圧は、ある程度保持される。

【 0 2 0 0 】

なお、容量素子 4 3 2 に保持されている電圧は、出力端子 O U T 1 から出力される出力電圧に相当する。上記動作において、スイッチング素子 1 0 2 がオンである期間の比率が高いほど、容量素子 4 3 2 に保持される電圧は基準電圧と入力電圧の差分に近くなる。よって、入力電圧により近い大きさの出力電圧が得られるように、降圧することができる。逆に、スイッチング素子 1 0 2 がオフである期間の比率が高いほど、容量素子 4 3 2 に保持される電圧は基準電圧との差分が小さくなる。よって、基準電圧により近い大きさの出力電圧が得られるように、降圧することができる。

30

【 0 2 0 1 】

次いで、図 1 2 (B) に、本発明の一態様に係る、昇圧型の D C D C コンバータの構成を示す。

【 0 2 0 2 】

40

図 1 2 (B) に示す D C D C コンバータは、定電圧生成部 1 0 3 がダイオード 4 3 0 、コイル 4 3 1 、容量素子 4 3 2 を有する。また、図 1 2 (B) に示す D C D C コンバータは、入力電圧の与えられる入力端子 I N 1 と、基準電圧の与えられる入力端子 I N 2 と、出力端子 O U T 1 と、出力端子 O U T 2 とを有している。

【 0 2 0 3 】

コイル 4 3 1 が有する一対の端子は、一方が入力端子 I N 1 に接続され、他方がダイオード 4 3 0 の陽極に接続されている。スイッチング素子 1 0 2 は、上記コイル 4 3 1 とダイオード 4 3 0 の間のノードと、入力端子 I N 2 または出力端子 O U T 2 との間の接続を制御している。具体的に、スイッチング素子 1 0 2 は、そのソースまたはドレインの一方がコイル 4 3 1 とダイオード 4 3 0 間のノードに接続されており、そのソースまたはドレ

50

ンの他方が入力端子 I N 2 及び出力端子 O U T 2 に接続されている。また、ダイオード 4 3 0 の陰極は出力端子 O U T 1 に接続されている。容量素子 4 3 2 が有する一対の電極は、一方が出力端子 O U T 1 に接続され、他方が出力端子 O U T 2 に接続されている。

【 0 2 0 4 】

図 1 2 (B) に示す D C D C コンバータでは、スイッチング素子 1 0 2 がオンになると、入力端子 I N 1 と入力端子 I N 2 の間に生じる電圧により、コイル 4 3 1 に電流が流れる。コイル 4 3 1 は、上記電流が流れることで磁化する。なお、コイル 4 3 1 は、自己誘導により電流の流れとは逆向きの起電力が生じるため、上記電流は徐々に上昇する。

【 0 2 0 5 】

次いで、スイッチング素子 1 0 2 がオフになると、入力端子 I N 1 と入力端子 I N 2 の間に形成されていた電流の経路が遮断される。コイル 4 3 1 では、上記電流の変化を妨げる方向、すなわち、スイッチング素子 1 0 2 がオンのときに生じた起電力とは逆の方向の起電力が生じる。そのため、コイル 4 3 1 が有する一対の端子間には、スイッチング素子 1 0 2 がオンのときにコイル 4 3 1 に流れていた電流に準じた大きさの電圧が生じる。そして、コイル 4 3 1 を流れる電流は、端子間に生じた電圧によって維持される。すなわち、スイッチング素子 1 0 2 がオフのときには、入力端子 I N 1 と出力端子 O U T 1 の間に、コイル 4 3 1 とダイオード 4 3 0 を介した電流の経路が形成される。このとき、出力端子 O U T 1 には、入力端子 I N 1 に与えられている入力電圧に、コイル 4 3 1 の端子間に生じた電圧が加算された電圧が与えられ、この電圧が出力電圧として D C D C コンバータから出力される。上記出力端子 O U T 1 の電圧と、基準電圧との差分に相当する電圧は、容量素子 4 3 2 の電極間において保持される。

【 0 2 0 6 】

上記動作において、スイッチング素子 1 0 2 がオンである期間の比率が高いと、コイル 4 3 1 に流れる電流が高くなる。そのため、スイッチング素子 1 0 2 がオフになったときにコイル 4 3 1 の端子間に生じる電圧が大きくなるので、出力電圧と入力電圧の差が大きくなるように昇圧することができる。逆に、スイッチング素子 1 0 2 がオフである期間の比率が高いほど、コイル 4 3 1 に流れる電流は低くなる。そのため、スイッチング素子 1 0 2 がオフになったときにコイル 4 3 1 の端子間に生じる電圧が小さくなるので、出力電圧と入力電圧の差が小さくなるように昇圧することができる。

【 0 2 0 7 】

次いで、図 1 3 (A) に、本発明の一態様に係る、フライバック式の D C D C コンバータの構成を示す。図 1 3 (A) に示す D C D C コンバータは、定電圧生成部 1 0 3 がダイオード 4 3 0、容量素子 4 3 2、トランス 4 3 3 を有する。また、図 1 3 (A) に示す D C D C コンバータは、入力電圧の与えられる入力端子 I N 1 と、基準電圧の与えられる入力端子 I N 2 と、出力端子 O U T 1 と、出力端子 O U T 2 とを有している。

【 0 2 0 8 】

トランス 4 3 3 は、その中心に共通のコアが設けられた、一次コイルと二次コイルを有している。スイッチング素子 1 0 2 は、入力端子 I N 2 と、トランス 4 3 3 の一次コイルが有する一方の端子との、間の接続を制御している。具体的に、スイッチング素子 1 0 2 は、そのソースまたはドレインの一方が入力端子 I N 2 に接続されており、そのソースまたはドレインの他方が、トランス 4 3 3 の一次コイルが有する一方の端子に接続されている。また、トランス 4 3 3 の一次コイルが有する他方の端子は、入力端子 I N 1 に接続されている。

【 0 2 0 9 】

また、トランス 4 3 3 が有する二次コイルは、一対の端子のいずれか一方がダイオード 4 3 0 の陽極に接続されており、他方の端子が出力端子 O U T 2 に接続されている。ダイオード 4 3 0 の陰極は、出力端子 O U T 1 に接続されている。容量素子 4 3 2 が有する一対の電極は、一方が出力端子 O U T 1 に接続されており、他方が出力端子 O U T 2 に接続されている。

【 0 2 1 0 】

また、図 1 3 (B) に、本発明の一態様に係る、フォワード式の D C D C コンバータの構成を示す。図 1 3 (B) に示す D C D C コンバータは、定電圧生成部 1 0 3 がダイオード 4 3 0、ダイオード 4 3 4、コイル 4 3 1、容量素子 4 3 2、トランス 4 3 5 を有する。また、図 1 3 (B) に示す D C D C コンバータは、入力電圧の与えられる入力端子 I N 1 と、基準電圧の与えられる入力端子 I N 2 と、出力端子 O U T 1 と、出力端子 O U T 2 とを有している。

【 0 2 1 1 】

トランス 4 3 5 は、図 1 3 (A) に示したトランス 4 3 3 と同様に、その中心に共通のコアが設けられた、一次コイルと二次コイルを有している。ただし、トランス 4 3 3 は、一次コイルと二次コイルの巻き始めの位置が逆側に配置されているのに対し、トランス 4 3 5 は、一次コイルと二次コイルの巻き始めの位置が同じ側に配置されている。

10

【 0 2 1 2 】

スイッチング素子 1 0 2 は、入力端子 I N 2 と、トランス 4 3 5 の一次コイルが有する一方の端子との、間の接続を制御している。具体的に、スイッチング素子 1 0 2 は、そのソースまたはドレインの一方が入力端子 I N 2 に接続されており、そのソースまたはドレインの他方が、トランス 4 3 5 の一次コイルが有する一方の端子に接続されている。また、トランス 4 3 5 の一次コイルが有する他方の端子は、入力端子 I N 1 に接続されている。

【 0 2 1 3 】

また、トランス 4 3 5 が有する二次コイルは、一対の端子のいずれか一方がダイオード 4 3 0 の陽極に接続されており、他方の端子が出力端子 O U T 2 に接続されている。ダイオード 4 3 0 の陰極は、ダイオード 4 3 4 の陰極及びコイル 4 3 1 の一方の端子に接続されている。ダイオード 4 3 4 の陽極は、出力端子 O U T 2 に接続されている。コイル 4 3 1 の他方の端子は、出力端子 O U T 1 に接続されている。容量素子 4 3 2 が有する一対の電極は、一方が出力端子 O U T 1 に接続されており、他方が出力端子 O U T 2 に接続されている。

20

【 0 2 1 4 】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【 0 2 1 5 】

(実施の形態 5)

本実施の形態では、本発明の一態様に係る半導体装置の構成について説明する。

30

【 0 2 1 6 】

図 1 4 (A) に、半導体装置の一つである、発光装置の一形態を示す。図 1 4 (A) に示す発光装置は、交流電源 3 0 1 と、スイッチ 3 0 2 と、整流回路 3 0 3 と、D C D C コンバータ 1 0 0 と、発光素子 3 0 4 とを有している。整流回路 3 0 3 及び D C D C コンバータ 1 0 0 が、電源回路を構成している。

【 0 2 1 7 】

具体的に、図 1 4 (A) に示す発光装置では、交流電源 3 0 1 からの交流電圧が、スイッチ 3 0 2 を介して整流回路 3 0 3 に与えられ、整流される。整流されることで得られた直流電圧は、D C D C コンバータ 1 0 0 に入力され、その大きさが調整されて出力される。D C D C コンバータ 1 0 0 の詳しい構成及び動作については、上記実施の形態を参照することができる。

40

【 0 2 1 8 】

そして、D C D C コンバータ 1 0 0 から出力された電圧が、発光素子 3 0 4 に与えられることで、発光素子 3 0 4 は発光する。発光素子 3 0 4 には、発光ダイオード (L E D)、有機発光素子 (O L E D) など、様々な光源を用いることができる。

【 0 2 1 9 】

なお、図 1 4 (A) では、電源として交流電源 3 0 1 を用いている発光装置の構成を示しているが、本発明はこの構成に限定されない。電源として交流電源ではなく直流電源を用いていても良い。ただし、直流電源を用いる場合は、整流回路 3 0 3 を設けなくとも良い。

50

【0220】

また、図14(A)では、電源である交流電源301を有している発光装置の構成を示しているが、本発明の一態様に係る発光装置は、必ずしも電源をその構成要素に含める必要はない。

【0221】

図14(B)に、半導体装置の一つである、太陽電池の一形態を示す。

【0222】

図14(B)に示す太陽電池は、フォトダイオード350と、スイッチ351と、容量素子352と、DCDCコンバータ100と、パルス幅変調回路353と、インバータ354と、バンドパスフィルタ355とを有している。

10

【0223】

具体的に、図14(B)に示す太陽電池では、フォトダイオード350に光が照射されると電圧が生じる。上記電圧は、容量素子352において平滑化された後、スイッチ351を介して、DCDCコンバータ100に入力される。なお、容量素子352を設けることで、スイッチ351のスイッチングによって生じるパルス状の電流が、フォトダイオード350に流れ込むのを防ぐことができる。

【0224】

そして、DCDCコンバータ100に入力された電圧は、DCDCコンバータ100においてその大きさが調整されてから、出力される。DCDCコンバータ100の詳細な構成及び動作については、上記実施の形態を参照することができる。

20

【0225】

DCDCコンバータ100の出力端子OUT1及び出力端子OUT2から出力された電圧は直流電圧である。インバータ354は、DCDCコンバータ100から出力された直流電圧を交流電圧に変換し、出力する。図14(B)では、インバータ354が4つのトランジスタ356～トランジスタ359と、4つのダイオード360～ダイオード363とで構成されている例を示している。

【0226】

具体的に、トランジスタ356は、そのソース又はドレインの一方がDCDCコンバータ100の出力端子OUT1に接続されており、そのソース又はドレインの他方がトランジスタ357のソース又はドレインの一方に接続されている。トランジスタ357のソース又はドレインの他方は、DCDCコンバータ100の出力端子OUT2に接続されている。トランジスタ358は、そのソース又はドレインの一方がDCDCコンバータ100の出力端子OUT1に接続されており、そのソース又はドレインの他方がトランジスタ359のソース又はドレインの一方に接続されている。トランジスタ359のソース又はドレインの他方は、DCDCコンバータ100の出力端子OUT2に接続されている。ダイオード360～ダイオード363は、トランジスタ356～トランジスタ359と、それぞれ並列に接続されている。具体的には、トランジスタ356～トランジスタ359のソース又はドレインの一方にダイオード360～ダイオード363の陽極がそれぞれ接続され、トランジスタ356～トランジスタ359のソース又はドレインの他方にダイオード360～ダイオード363の陰極がそれぞれ接続されている。

30

40

【0227】

また、パルス幅変調回路353には、DCDCコンバータ100から出力された電圧が与えられている。パルス幅変調回路353は、上記電圧が与えられることで動作し、トランジスタ356～トランジスタ359のスイッチングを制御する信号を生成する。

【0228】

パルス幅変調回路353からの上記信号に従ってトランジスタ356～トランジスタ359がスイッチングを行うことで、インバータ354が有する、トランジスタ356のソース又はドレインの他方とトランジスタ357のソース又はドレインの一方が接続されているノードと、トランジスタ358のソース又はドレインの他方とトランジスタ359のソース又はドレインの一方が接続されているノードとから、PWM波形を有する交流電圧が

50

出力される。

【 0 2 2 9 】

そして、バンドパスフィルタ 3 5 5 を用いて、インバータ 3 5 4 から出力された交流の電圧の高周波成分を除去することで、正弦波を有する交流電圧を得ることができる。

【 0 2 3 0 】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【実施例 1】

【 0 2 3 1 】

本発明の一態様に係る D C D C コンバータ、電源回路、または半導体装置を用いることで、低消費電力の電子機器を実現することができる。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る D C D C コンバータ、電源回路、または半導体装置をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。

10

【 0 2 3 2 】

本発明の一態様に係る半導体装置は、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には D V D : D i g i t a l V e r s a t i l e D i s c 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（A T M）、自動販売機などが挙げられる。これら電子機器の具体例を図 1 5 に示す。

20

【 0 2 3 3 】

図 1 5（A）は携帯型ゲーム機であり、筐体 7 0 3 1、筐体 7 0 3 2、表示部 7 0 3 3、表示部 7 0 3 4、マイクロホン 7 0 3 5、スピーカー 7 0 3 6、操作キー 7 0 3 7、スタイラス 7 0 3 8 等を有する。本発明の一態様に係る D C D C コンバータ、電源回路、または半導体装置は、携帯型ゲーム機の駆動を制御するための集積回路に用いることができる。携帯型ゲーム機の駆動を制御するための集積回路に、本発明の一態様に係る D C D C コンバータ、電源回路、または半導体装置を用いることで、消費電力の低い携帯型ゲーム機を提供することができる。なお、図 1 5（A）に示した携帯型ゲーム機は、2つの表示部 7 0 3 3 と表示部 7 0 3 4 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

30

【 0 2 3 4 】

図 1 5（B）は携帯電話であり、筐体 7 0 4 1、表示部 7 0 4 2、音声入力部 7 0 4 3、音声出力部 7 0 4 4、操作キー 7 0 4 5、受光部 7 0 4 6 等を有する。受光部 7 0 4 6 において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。本発明の一態様に係る D C D C コンバータ、電源回路、または半導体装置は、携帯電話の駆動を制御するための集積回路に用いることができる。携帯電話の駆動を制御するための集積回路に本発明の一態様に係る D C D C コンバータ、電源回路、または半導体装置を用いることで、消費電力の低い携帯電話を提供することができる。

40

【 0 2 3 5 】

図 1 5（C）は携帯情報端末であり、筐体 7 0 5 1、表示部 7 0 5 2、操作キー 7 0 5 3 等を有する。本発明の一態様に係る D C D C コンバータ、電源回路、または半導体装置は、携帯情報端末の駆動を制御するための集積回路に用いることができる。携帯情報端末の駆動を制御するための集積回路に本発明の一態様に係る D C D C コンバータ、電源回路、または半導体装置を用いることで、消費電力の低い携帯情報端末を提供することができる。

【 0 2 3 6 】

図 1 5（D）はノート型パーソナルコンピュータであり、筐体 7 0 6 1、画像表示部 7 0

50

62、キーボード7063、ポインティングデバイス7064等を有する。本発明の一態様に係るDCDCコンバータ、電源回路、または半導体装置は、ノート型パーソナルコンピュータの駆動を制御するための集積回路に用いることができる。ノート型パーソナルコンピュータの駆動を制御するための集積回路に本発明の一態様に係るDCDCコンバータ、電源回路、または半導体装置を用いることで、消費電力の低いノート型パーソナルコンピュータを提供することができる。

【0237】

図15(E)は卓上型の照明装置であり、筐体7071、光源7072、支持台7073等を有する。本発明の一態様に係るDCDCコンバータ、電源回路、または半導体装置は、照明装置の駆動を制御するための集積回路に用いることができる。また、本発明の一態様に係る半導体装置の一つである発光装置は、光源7072とその動作を制御する駆動回路に用いることができる。本発明の一態様に係るDCDCコンバータ、電源回路、または半導体装置を用いることで、消費電力の低い照明装置を提供することができる。

10

【0238】

図15(F)は据え付け型の照明装置であり、筐体7081、光源7082等を有する。本発明の一態様に係るDCDCコンバータ、電源回路、または半導体装置は、照明装置の駆動を制御するための集積回路に用いることができる。また、本発明の一態様に係る半導体装置の一つである発光装置は、光源7082とその動作を制御する駆動回路に用いることができる。本発明の一態様に係るDCDCコンバータ、電源回路、または半導体装置を用いることで、消費電力の低い照明装置を提供することができる。

20

【0239】

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。

【符号の説明】

【0240】

100	DCDCコンバータ
101	電力変換回路
102	スイッチング素子
103	定電圧生成部
104	制御回路
105	ADコンバータ
106	ADコンバータ
107	信号処理回路
108	パルス変調回路
109	電源制御回路
110	記憶装置
111	記憶素子
112	容量素子
113	トランジスタ
114	単位記憶回路
115	論理素子
115a	論理素子
115b	論理素子
116	トランジスタ
117	トランジスタ
118	pチャネル型トランジスタ
119	nチャネル型トランジスタ
120	pチャネル型トランジスタ
121	nチャネル型トランジスタ
130	スイッチング素子
131	制御装置

30

40

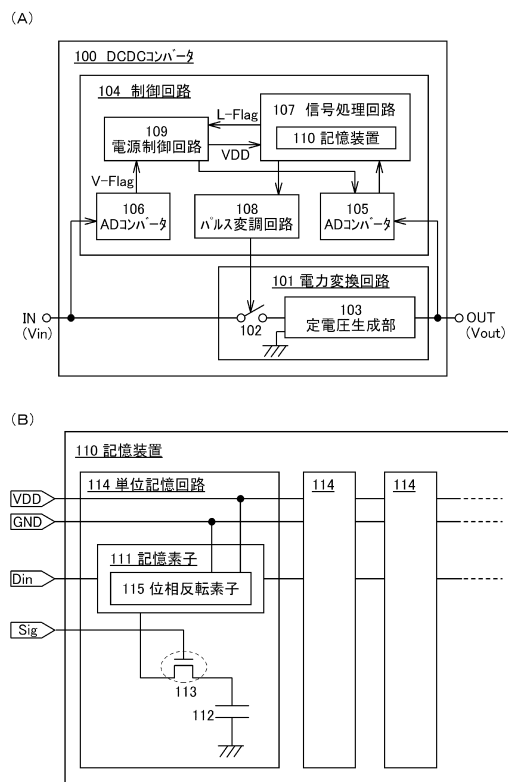
50

1 3 2	A L U	
1 3 3	データキャッシュ	
1 3 4	命令キャッシュ	
1 3 5	プログラムカウンタ	
1 3 6	命令レジスタ	
1 3 7	不揮発性記憶装置	
1 5 0	A Dコンバータ	
2 0 0	基板	
2 0 1	絶縁膜	
2 0 3 n	半導体膜	10
2 0 3 p	半導体膜	
2 0 4 n	ゲート絶縁膜	
2 0 4 p	ゲート絶縁膜	
2 0 5 n	ゲート電極	
2 0 5 p	ゲート電極	
2 0 6	導電膜	
2 0 7	導電膜	
2 0 8	第 1 の領域	
2 0 9	第 2 の領域	
2 1 0	第 2 の領域	20
2 1 1	第 3 の領域	
2 1 2	第 3 の領域	
2 1 3	導電膜	
2 1 4	第 1 の領域	
2 1 5	第 2 の領域	
2 1 6	第 2 の領域	
2 1 7	第 3 の領域	
2 1 8	第 3 の領域	
2 1 9	絶縁膜	
2 2 0	絶縁膜	30
2 2 0 a	酸化絶縁膜	
2 2 0 b	酸化絶縁膜	
2 2 2	酸化物半導体膜	
2 2 3	ゲート絶縁膜	
2 2 4	ゲート電極	
2 2 5	導電膜	
2 2 6	導電膜	
2 2 7	第 1 の領域	
2 2 8	第 2 の領域	
2 2 9	第 2 の領域	40
2 3 0	サイドウォール	
2 3 1	絶縁膜	
2 3 2	端部	
2 4 0	絶縁膜	
2 4 0 a	酸化絶縁膜	
2 4 0 b	酸化絶縁膜	
2 4 0 c	酸化絶縁膜	
2 4 1	開口部	
2 4 2	酸化物半導体膜	
2 4 3	ゲート絶縁膜	50

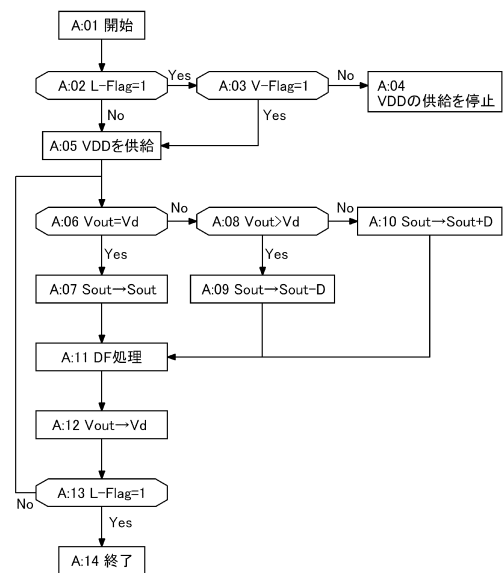
2 4 4	ゲート電極	
2 4 5	導電膜	
2 4 6	導電膜	
2 4 7	第 1 の領域	
2 4 8	第 2 の領域	
2 4 9	第 2 の領域	
2 5 0	サイドウォール	
2 5 1	絶縁膜	
2 5 2	端部	
2 5 3	導電膜	10
2 5 4	絶縁膜	
2 5 5	導電膜	
3 0 1	交流電源	
3 0 2	スイッチ	
3 0 3	整流回路	
3 0 4	発光素子	
3 5 0	フォトダイオード	
3 5 1	スイッチ	
3 5 2	容量素子	
3 5 3	パルス幅変調回路	20
3 5 4	インバータ	
3 5 5	バンドパスフィルタ	
3 5 6	トランジスタ	
3 5 7	トランジスタ	
3 5 8	トランジスタ	
3 5 9	トランジスタ	
3 6 0	ダイオード	
3 6 3	ダイオード	
4 3 0	ダイオード	
4 3 1	コイル	30
4 3 2	容量素子	
4 3 3	トランス	
4 3 4	ダイオード	
4 3 5	トランス	
7 0 3 1	筐体	
7 0 3 2	筐体	
7 0 3 3	表示部	
7 0 3 4	表示部	
7 0 3 5	マイクロホン	
7 0 3 6	スピーカー	40
7 0 3 7	操作キー	
7 0 3 8	スタイラス	
7 0 4 1	筐体	
7 0 4 2	表示部	
7 0 4 3	音声入力部	
7 0 4 4	音声出力部	
7 0 4 5	操作キー	
7 0 4 6	受光部	
7 0 5 1	筐体	
7 0 5 2	表示部	50

7 0 5 3	操作キー
7 0 6 1	筐体
7 0 6 2	画像表示部
7 0 6 3	キーボード
7 0 6 4	ポインティングデバイス
7 0 7 1	筐体
7 0 7 2	光源
7 0 7 3	支持台
7 0 8 1	筐体
7 0 8 2	光源

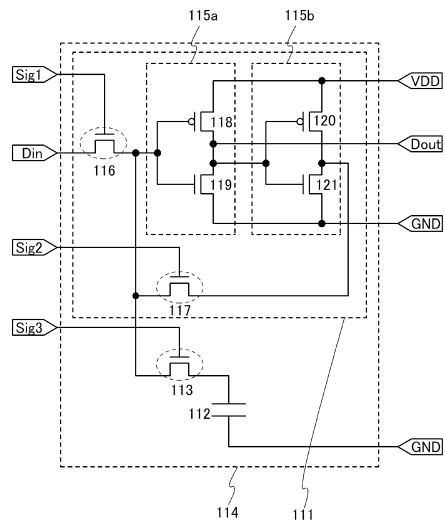
【 図 1 】



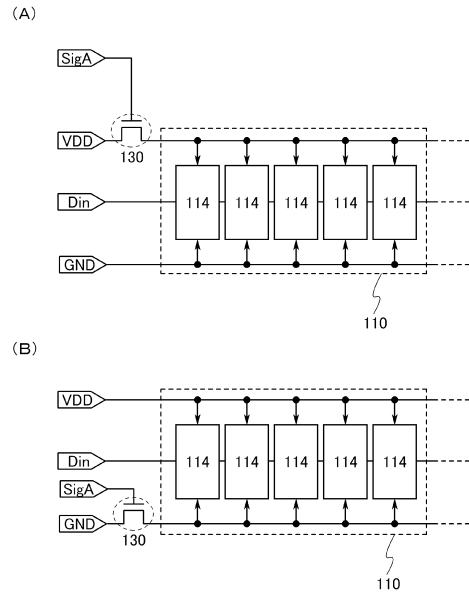
【圖 2】



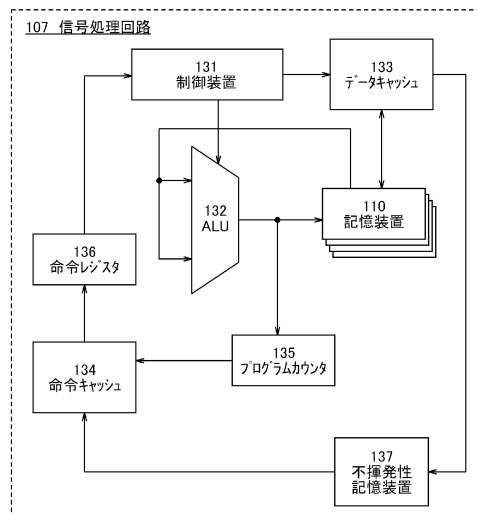
【図 3】



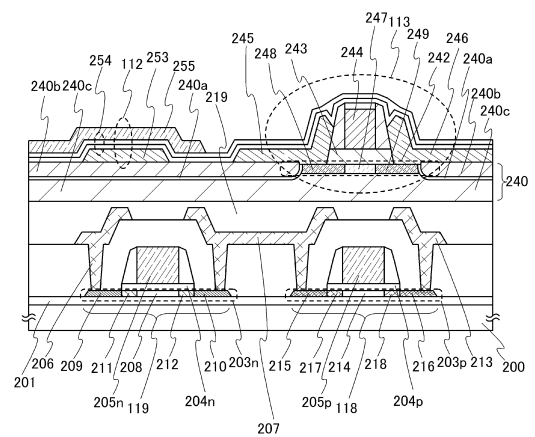
【図 4】



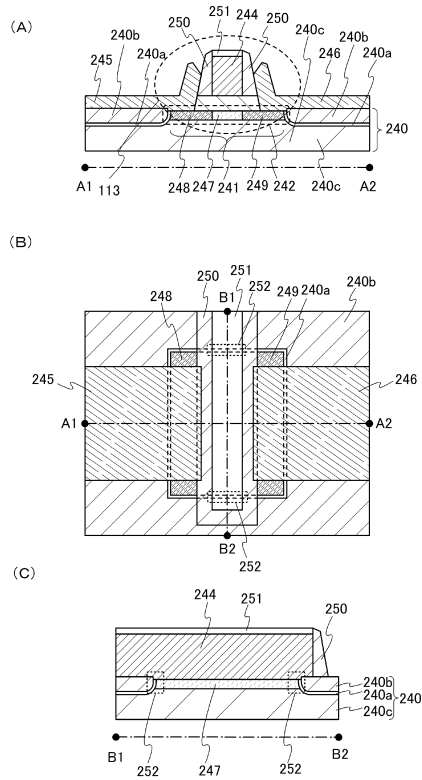
【図 5】



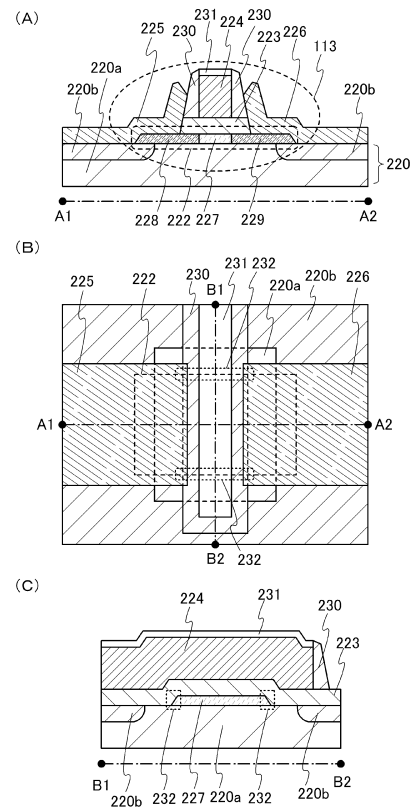
【図 6】



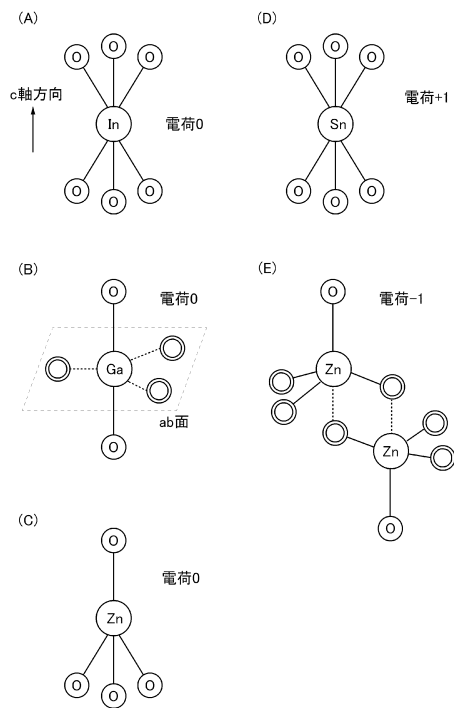
【図 7】



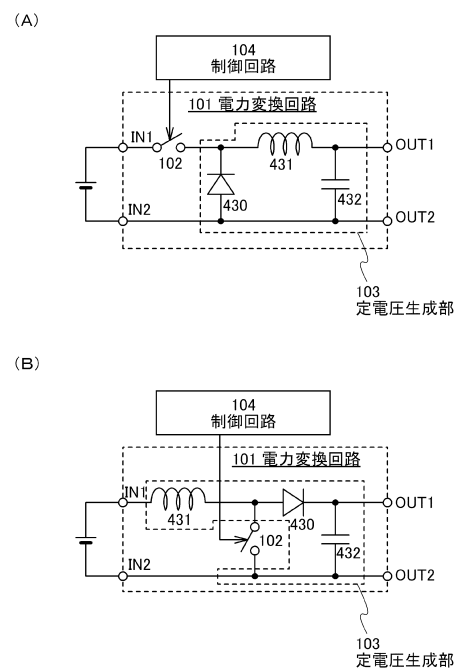
【図 8】



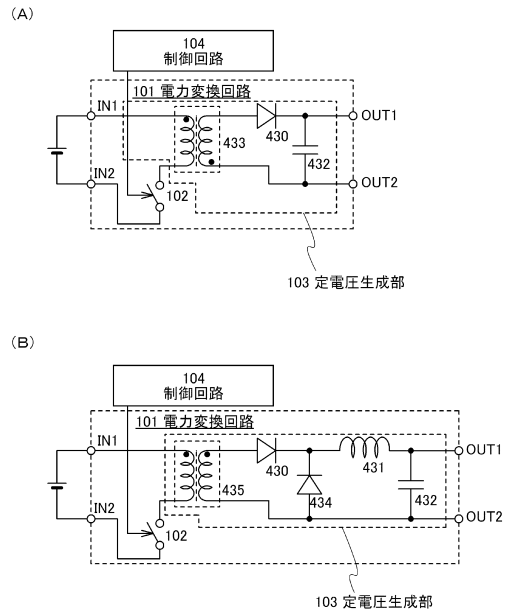
【図 9】



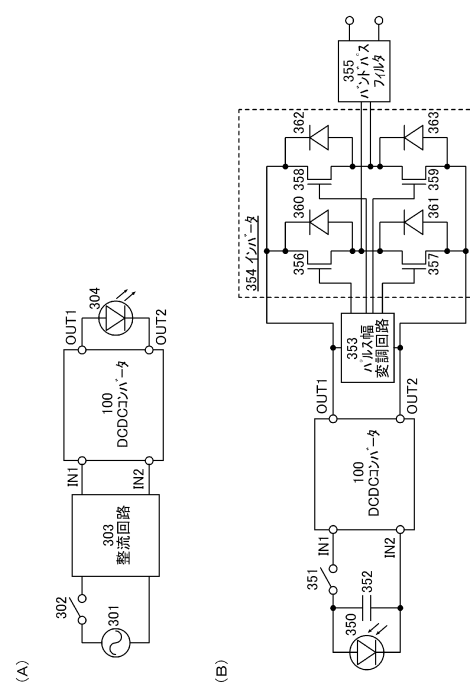
【図 12】



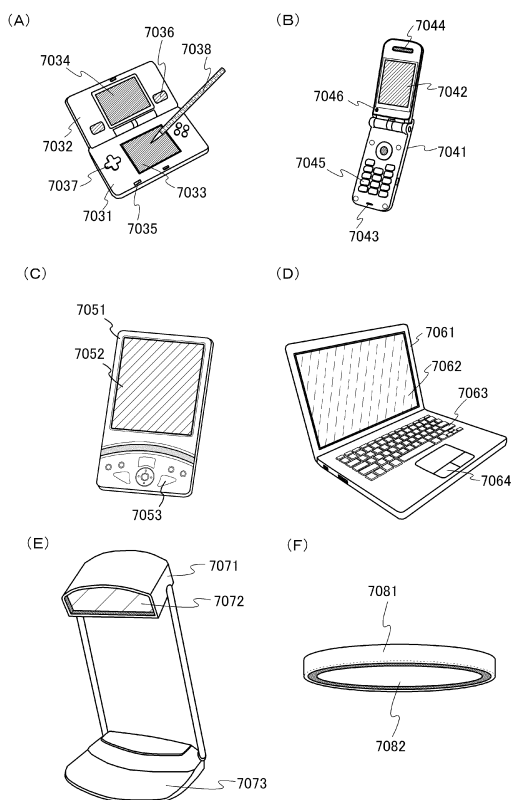
【図 13】



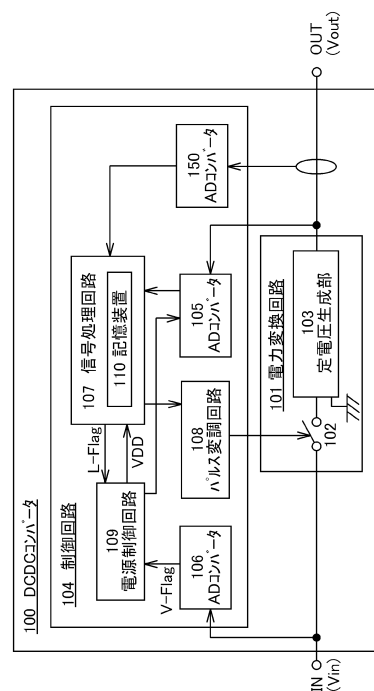
【図 14】



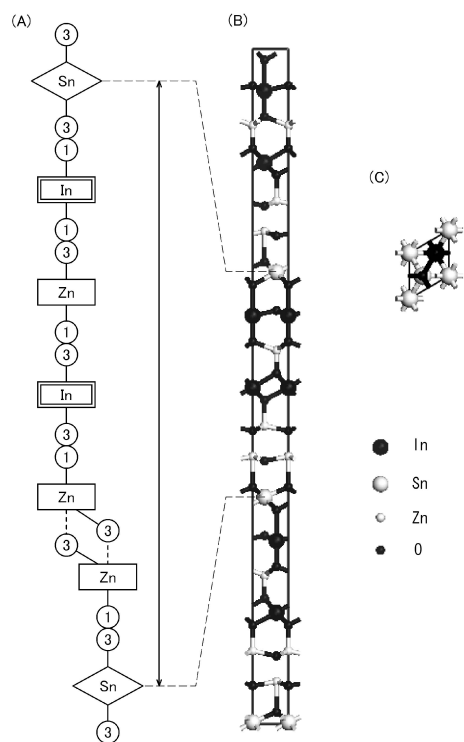
【図 15】



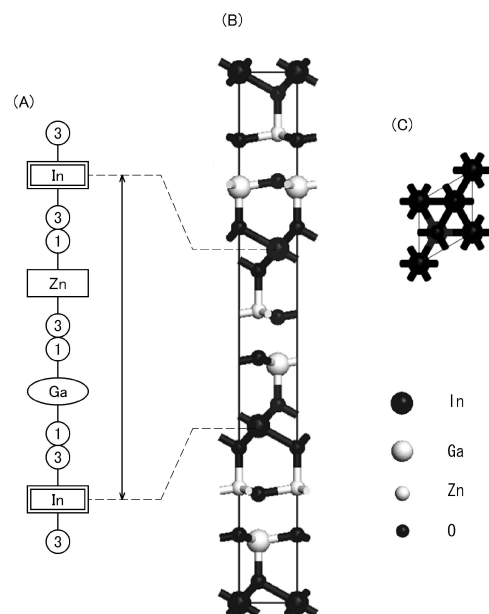
【図 16】



【図 10】



【図 11】



フロントページの続き

(56)参考文献 特開2010-017022(JP,A)
特開2007-318655(JP,A)
特開2010-051066(JP,A)
特開2006-351141(JP,A)
特開2011-103453(JP,A)
特開2006-087261(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/00