(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H01L 29/78

(11) 공개번호 특2003-0085015
(43) 공개일자 2003년11월01일

(21) 출원번호 10-2003-7012211
(22) 출원일자 2003년09월19일
번역문 제출일자 2003년09월19일
(86) 국제출원번호 PCT/US2002/08934
(86) 국제출원출원일자 2002년03월21일
(87) 국제공개번호 WO 2002/78056
(87) 국제공개일자 2002년10월03일

(30) 우선권주장 09/815,922 2001년03월22일 미국(US)

(71) 출원인 휴렛-팩커드 컴퍼니(델라웨어주법인)
미합중국 캘리포니아주 (우편번호 94304) 팔로 알토 하노버 스트리트 3000

(72) 발명자 첸용
미국94306캘리포니아주팔로알토맥켈러레인4275

(74) 대리인 김창세
장성구

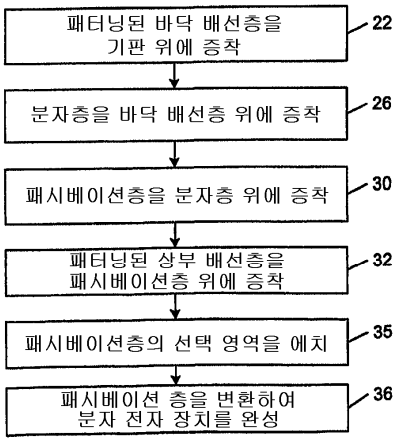
심사청구 : 없음

(54) 분자 전자 장치 제조 방법, 분자 전자 장치 및 시스템

요약

프로세싱 동안에 전자 장치의 활성 분자층의 완전성을 보존하는 분자 전자 장치를 제조하는 프로세스가 개시된다. 일 측면에서, 패시베이션층이 제공되어 상부 배선층의 패터닝 동안에 분자층 형태 열화를 막는다. 이러한 제조 프로세스로부터 형성되는 분자 전자 장치 구조체 및 메모리 시스템이 개시된다.

대표도



명세서

기술분야

본 출원은 James R. Heath 등에 의해 1999년 3월 29일에 출원되었고 'Chemically Synthesized and Assembled Electronic Devices'라 명명된 미국 출원 번호 제 09/282,048호에 관련되며, Yong Chen에 의해 2001년 3월 21일에 출원되었고 'Fabricating A Molecular Electronic Device Having A Protective Barrier Layer'라 명명된 미국 출원 제 호에 관련되고, 이 모두는 참조에 의해 본 명세서에 포함되어 있다.

본 발명은 분자 전자 장치를 제조하는 시스템 및 방법에 관한 것이다.

배경기술

다수의 상이한 분자 전자 로직 및 메모리 장치가 제안되어 왔다.

예를 들면, 하나의 분자 전자 장치 구조체에 있어서, 분자층(예를 들면, 랭뮤어-블로젯(Langmuir-Blodgett) 필름)은 한 쌍의 전기적으로 도통하는 층들(가령, 한 쌍의 금속층, 금속층과 도핑된 반도체층 또는 한 쌍의 도핑된 반도체층) 사이에 끼워진다. 분자층은, 터널 정크션 장치 또는 스위칭 장치로서 구성될 수 있는 금 속-절연체-금속(metal-insulator-metal, MIM) 구조체, 또는 전자 발광(electroluminescent) 장치로서 구성될 수 있는 금속-절연체-반도체(metal-insulator-semiconductor, MIS) 구조체로 사용될 수 있는 얇은 절연 필름으로서 작용한다.

미국 특허 제 6,128,214호는 나노미터 규모(nanometer-scale) 장치의 2차원 어레이로부터 형성되는 분자 배선 크로스바 메모리(molecular wire crossbar memory, MWCM) 시스템으로서 구성되는 또 다른 분자 전자 장치 구조를 개시한다. 각각의 MWCM 장치는 교차된 배선의 쌍의 교차점(또는 정크션)에서 형성되는데, 여기서 적어도 하나의 분자 커넥터 종류는 교차된 배선의 쌍 사이에서 쌍안정(bi-stable) 분자 스위치로서 동작한다. 결과적으로 장치 구조는 저항, 다이오드 또는 비대칭 비선형 저항으로서 구성될 수 있다. 각각의 MWCM 장치의 상태는 상대적으로 높으나 파괴적이지 않은(non-destructive) 상태 변경 전압을 인가함으로써 변경될 수 있고, 상태 변경 전압이 아닌 전압(a non-state-changing voltage)으로 감지될 수 있다.

다른 분자 전자 장치들도 제안되어 왔다.

발명의 상세한 설명

발명의 개요

본 발명은 프로세싱 동안에 전자 장치의 활성 분자층의 완전성(integrity)을 보존하는 분자 전자 장치를 제조하기 위한 신규의 프로세스를 특징으로 한다. 이 에 더하여, 본 발명은 이러한 제조 프로세스로 형성되는 신규의 분자 전자 장치 구조체 및 신규의 메모리 시스템을 특징으로 한다.

일 측면에서, 본 발명은 바닥 배선층과 상부 배선층 사이에 증착되는 분자층을 구비하는 분자 전자 장치를 제조하는 방법을 특징으로 한다. 본 발명의 방법에 따르면, 상부 배선층의 패터닝 동안 열화(degradation)로부터 분자층을 보호하기 위해 패시베이션층이 제공된다.

본 발명의 실시예는 다음 특징들 중 하나 이상을 포함할 수 있다.

패시베이션층의 선택된 영역은 바람직하게 에칭되어 제거된다. 페시베이션 층의 선택된 영역은 바람직하게 전기 도체로부터 전기 저항으로 또는 전기 절연체로부터 전기 도체로 컨버팅될 수 있다.

일 실시예에서, 분자 전자 장치를 둘러싸는 격리 패시베이션 영역은 전기 도체로부터 전기 절연체로 컨버팅된다. 예를 들면, 패시베이션층은 금속층일 수 있고 격리 패시베이션층은 산화에 의해 전기 절연체로 컨버팅될 수 있다.

또 다른 실시예에서, 상부 배선층과 바닥 배선층 사이에 증착되는 장치 패시베이션 영역은 전기 절연체로부터 전기 도체로 컨버팅된다. 예를 들면, 패시베이션층은 반퓨즈(antifuse) 구조체를 가질 수 있고 장치 패시베이션 영역은 그 장치 패시베이션 영역을 가로질러 전기 전압을 인가함으로써 전기 도체로 컨버팅될 수 있다.

일 실시예에서, 선택된 패시베이션 영역은 컨버팅되어 상부 배선층을 정의한다. 이러한 실시예에서, 피복되지 않은 패시베이션 영역은 상부 배선층에 대응한 다.

소정의 실시예에서, 패터닝된 상부 배선층은 패시베이션층 위에 배치된다. 상부 배선층은 이 패시베이션층 위에 리프트오프(lift-off)층을 증착시키고, 이 리프트오프층 위에 전기적 도통성 층을 증착시키고, 이 리프트오프층을 용해시킴으로써 패터닝될 수 있다.

또 다른 측면에서, 본 발명은 바닥 배선층, 장치 영역 내에서 이 바닥 배선층 위에 증착되는 분자층, 및 패시베이션층을 포함하는 분자 전자 장치를 특징으로 한다. 패시베이션층은 이 분자층 위에 증착되며 전기 도체 영역 및 전기 절연체 영역을 갖는다.

또 다른 측면에서, 본 발명은 이상에서 설명한 분자 전자 장치의 어레이를 포함하는 분자 메모리 시스템을 특징으로 한다.

본 발명의 다른 특징들 및 이점들은 도면 및 청구 범위를 포함하는 다음의 설명으로부터 명백해질 것이다.

도면의 간단한 설명

도 1은 두 개의 교차된 전기적 전도성 배선 사이에 끼워지는 적어도 하나의 전기적으로 어드레싱 가능한 분자 종류로 형성되는 분자 전자 장치의 개략적 투시도,

도 2는 도 1의 분자 전자 장치를 제조하기 위한 프로세스의 순서도,

도 3a 및 3b는 기판 위에 증착되는 패터닝된 바닥 배선층의 개략적 수직 단 면 측면도,

도 4a 및 4b는 도 3a 및 3b의 패터닝된 바닥 배선층 위에 증착되는 패터닝된 복합층의 개략적 수직 단면 측면도,

도 5a 및 5b는 도 4a 및 4b의 패터닝된 복합층 위에 증착되는 분자층의 개략적 수직 단면 측면도,

도 6a 및 6b는 도 5a 및 5b의 패시베이션층 위에 증착되는 패터닝된 상부 배선층의 개략적 수직 단면 측면도,

도 7a 및 7b는 패시베이션층 및 분자층의 선택된 영역이 에칭되어 나가는 도 6a 및 6b의 층형 구조체의 개략적 수직 단면 측면도,

도 8a 및 8b는 하나의 전기 도전형으로부터 또 다른 전기 도전형으로 컨버팅되어 분자 전자 장치를 완성하는 패시베이션층의 영역을 갖는 도 7a 및 7b의 층형 구조의 개략적 수직 단면 측면도,

도 9a 및 9b는 대안적 분자 전자 장치 구조체의 개략적 수직 단면 측면도로서, 패시베이션층의 영역이 하나의 전기 도전형으로부터 다른 전기 도전형으로 컨버팅되어 분자 전자 장치의 상부 배선층을 형성하는 대안적 분자 전자 장치 구조체의 개략적 수직 단면 측면도,

도 10은 분자 전자 장치의 어레이를 포함하는 저항성 크로스바 메모리 구조체의 회로도.

실시예

다음 설명에서, 동일한 요소들을 식별하기 위해 동일한 참조 번호가 사용된다. 게다가, 도면은 예시적인 실시예의 주요 특징들을 개략적으로 도시하는 것으로 의도된다. 도면은 실제의 실시예의 모든 특징들이나 도시된 요소들의 상대적 크기를 도시하지 않는 것으로 의도되며 축척대로 도시되지 않는다.

도 1을 참조하면, 일 실시예에서, 분자 전자 장치(10)는 0이 아닌 각으로 교차된 두 개의 전기적 도통 배선(12, 14)을 포함한다. 각각의 배선(12, 14)은 금속 또는 도핑된 반도체 금속으로부터 형성될 수 있다. 쌍안정(bi-stable) 분자 또는 분자 화합물의 층(16)(심볼 R에 의해 표시됨)은 배선(12, 14) 사이에 끼워진다. 배선(12, 14)의 교차점(또는 정크션)에 위치되는 특정 분자 또는 분자들(18)(심볼 R_s에 의해 표시됨)은 스위치 분자로서 작용하고 분자 전자 장치(10)의 활성부에 대응한다. 동작시, 분자 전자 장치(10)의 상태는, 배선(12, 14)을 가로 지르며 상대적으로 높은 상태 변경 전압을 인가함으로써 변경될 수 있다. 상태 변경 전압의 크기는 스위치 분자(18)를 산화 또는 환원시키기에 충분하다. 스위치 분자(18)는, 하나의 분자 종류가 산화(또는 환원)될 때, 다른 분자 종류가 환원(또는 산화)되도록 협력하여 전하를 밸런싱하는 분자 종류의 산화 환원 반응(redox) 쌍을 포함한다. 동작시, 일 예에서, 하나의 분자 종류는 환원될 수 있고 연관된 분자 종류(그 산화 환원 반응 쌍의 다른 반)는 산화될 수 있다. 또 다른 예에서, 하나의 분자 종류는 환원될 수 있고, 배선(12, 14) 중 하나는 산화될 수 있다. 제 3 예에서, 하나의 분자 종류는 산화될 수 있고, 배선(12,

14) 중 하나는 환원될 수 있다. 제 4 예에서, 하나의 배선은 산화될 수 있고, 다른(the other) 배선과 연관되는 산화물은 감소될 수 있다. 이들 예의 각각에서, 산화 또는 환원은 두 개의 배선 사이에 터널링 거리 또는 터널링 장벽에 영향을 주어, 배선 정크션을 건너 전하 전달의 레이트를 급격히 변화시킨다. 이러한 전자 기능성은, 분자 전자 장치(10)가 전기 스위치로서 동작하기 위한 기초로서 이바지한다.

분자 전자 장치(10)의 일반적 특징에 관한 추가 세부사항들은 미국 특허 제 6,128,214호로부터 얻을 수 있고, 이는 참조에 의해 본 명세서에 통합되어 있다.

이상에서 언급했듯이, 분자 전자 장치(10)는 활성 분자층(18)의 완전성을 보존하는 방법으로 제조될 수 있다. 도 2~8b를 참조하면, 일 실시예에서, 분자 전자 장치(10)는 다음과 같이 제조될 수 있다.

도 2, 3a 및 3b를 먼저 참조하면, 패터닝된 바닥 층(12)은 기판(20) 위에 증착될 수 있다(단계(22)). 기판(20)은 절연물질, 가령, 반도체 기판 상에 형성되는 산화층(가령, 실리콘 기판 상에 형성되는 실리콘 이산화물(SiO_2)층) 또는 사파이어(sapphire)로부터 형성될 수 있다. 바닥 배선층(12)은 전기적 도통 금속 또는 도핑된 반도체 물질로부터 형성될 수 있다. 예를 들면, 일 실시예에서, 바닥 배선층(10)은 상부 알루미늄 산화물 코팅(약 1~2nm 두께)를 갖는 알루미늄 층(약 0.01~0.1㎛ 두께)으로부터 형성될 수 있다. 바닥 층(12)은, 가령, 물리적 필름 증착 프로세스(자전관 스퍼터링(magnetron sputtering) 또는 전자빔 증착(electron beam depositioin)) 또는 화학적 필름 증착 프로세스(가령, 화학적 베이퍼 증착)를 포함하는 통상의 박막 증착 프로세스에 의해 기판(20) 상으로 증착될 수 있다. (가령, 리소그래피에 의한) 패터닝 후에, 바닥 배선층(12)은 약 1nm 내지 수 마이크론(several micron) 범위의 폭 크기를 가질 수 있다.

도 4a 및 4b를 참조하면, 분자층(16)은 바닥 배선층(12) 위에 증착된다(도 2의 단계(26)). 분자층(16)은 다양한 상이한 쌍안정(bi-stable) 분자 종류(가령, 1999년 3월 29일에 출원되었고 본 명세서에서 참조로서 통합되어 있는 미국 출원 번호 제 09/282,048호에 개시되는 하나 이상의 로탁산(rotaxane) 분자들 중 하나 이상)로부터 형성될 수 있다. 소정의 실시예에서, 선택된 분자 종류는 용제(가령, 테르라 하이드로퓨란(tetrahydrofuran))에 용해되고, 랭뮤어 단층(Langmuir monolayer)으로서 마련되고, 바닥 배선층(12) 위에서 랭뮤어-블로젯 단일 분자 단층 필름(Langmuir-Blogett single moecular monolayer film)(16)으로서 전이될 수 있다. 결과적으로 분자층은 약 5Å 내지 100Å의 두께를 갖는 0.1~100㎚ ^{2}/molecule의 표면 커버리지를 가질 수 있다. 다른 실시예에서, 적합한 분자 종류가 기판(20) 상으로 직접 증착될 수 있다.

도 5a 및 5b에 도시되듯이, 패시베이션층(28)은 분자층(16) 위에 증착된다(도 2의 단계(30)). 패시베이션층(28)의 용해성은 상부 배선층(14)의 후속 패터닝 동안 분자층(16)을 열화(degradation)로부터 보호하도록 선택된다. 특히, 패시베이션층(28)은 상부 배선층(14)을 패터닝하기 위해 사용되는 프로세스에서 실질적으 로 안정적이기 위해 선택된다. 패시베이션층(28)은 전기 도체(가령, 알루미늄 또는 티타늄과 같은 금속) 또는 전기 절연체(가령, 전기 반퓨즈 구조체)로부터 형성될 수 있다. 반퓨즈는 집적 회로의 기술 분야에 잘 알려져 있다(가령, 미국 특허 제 5,486,776호 참조). 반퓨즈는 처음에는 비전도성(non-conductive)이나 규정된 임계 전압보다 큰 전압이 반퓨즈 단자를 가로지르며 인가될 때 영구적으로 전도성이 되는 구조체이다. 패시베이션층(28)은 바람직하게 1~100nm의 범위의 두께를 가지며, 더 바람직하게는, 1~10nm 범위의 두께를 갖는다.

도 6a 및 6b를 참조하면, 전기적으로 도통하는 상부 배선층(14)은 패시베이션층(28) 위에 배치된다(도 2의 단계(32)). 상부 배선층(14)으 전기적으로 도통하는 금속 또는 도핑된 반도체 물질로부터 형성될 수 있다. 예를 들면, 일 실시예에서, 상부 배선층(14)은 티타늄 층(약 5nm 두께) 및 상부 알루미늄 층(약 0.01~0.1㎛ 두께)으로부터 형성된다. 상부 배선층(14)은 가령, 물리적 필름 증착 프로세스(자전관 스퍼터링(magnetron sputtering) 또는 전자빔 증착(electron beam depositioin)) 또는 화학적 필름 증착 프로세스(가령, 화학적 베이퍼 증착)를 포함하는 통상의 박막 증착 프로세스에 의해 증착될 수 있다. 상부 배선층(14)은 이 패시베이션층 위에 패터닝된 리프트오프(lift-off) 층을 증착시키고, 이 리프트오프층 위에 전기적으로 도전성인 층을 증착시키고, 패시베이션층(28)이 실질적으로 용해되지 않는(insoluble) 용제로 그 리프트오프층을 용해시킴으로써 패터닝될 수 있다. 리프트오프층은 폴리머(가령, PMMA(poly-methyl methacrylate))로부터 형성되고 전자빔 리소그래피 또는 임프린팅(imprinting) 리소그래피에 의해 패터닝될 수 있다. 이와 다르게, 리프트오프층은 통상의 포토레지스트로부터 형성되고 통상의 리소그래피 기술(가령, 광학적 리소그래피)에 의해 패터닝될 수 있다. 결과적으로 상부 배선층(14)은 약 1nm 내지 수 마이크론 범위의 폭 크기를 가질 수 있다. 패시베이션층(28)이 분자층(16)을 완전히 피복하고 그 리프트오프 용제에서 실질적으로 용해되지 않기 때문에, 패시베이션층(28)은 분자층(16)을 밀봉하고 리프트오프 용제의 관입(intrusion)에 대해 보호하는데, 그렇지 않으면 관입은 분자층(16)을 열화시키거나 혹은 완전히 파괴할 것이다.

도 7a 및 7b에 도시되듯이, 전기적으로 도전성 배선(14)은 패시베이션층(28)의 선택된 영역을 (가령, 반응적 이온 에칭에 의해) 에칭함으로써 다른 장치로부터 격리될 수 있다. 특히, 패시베이션층(28)이 전기 도체로부터 형성되는 실시예에서, 상부 배선층(14)을 둘러싸는 영역은 에칭되어 그 분자 전자 장치를 다른 장치들로부터 격리시킬 수 있다.

도 8a 및 8b에 도시되듯이, 소정의 실시예에서, 패시베이션 영역(28)의 하나 이상의 선택된 영역은 하나의 전기 전도형으로부터 또 다른 전기 전도형으로 컨버팅되어 분자 전기 장치를 완성할 수 있다(도 2의 단계(36)). 예를 들면, 패시베이션층(28)이 전기 도체로부터 형성되는 실시예에서, 격리 패시베이션 영역(38)은 전기 절연체로 컨버팅되어 그 분자 전자 장치(10)를 다른 장치들로부터 더 격리시킨다. 예컨대, 패시베이션층(28)이 금속(가령, 알루미늄 또는 티타늄과 같은 금속)으로부터 형성된다면, 격리 패시베이션층(38)은 통상의 산화 프로세스에 의해 금속 산화물 전기 절연체로 컨버팅될 수 있다. 또 다른 실시예에서, 패시베이션층(28) 은 전기 절연체로부터 형성될 수 있고, 장치 패시베이션 영역(40) — 상부 배선층(14)과 바닥 배선층(12) 사이에 증착됨 — 은 전기 도체로 컨버팅되어 분자 전자 장치의 장치 영역을 완성한다. 예컨대, 패시베이션층(28)이 전기적으로 절연 반퓨즈 구조체로부터 형성된다면, 장치 패시베이션 영역(40)은, 그 반퓨즈 구조체를 블로우(blow)하기에 충분한 전압을 상부 배선층(14)과 바닥 배선층(16)을 가로지르며 인가함으로써 전기 도체로 컨버팅될 수 있다. 반퓨즈 구조체를 블로우할 필요가 있는 임계 전류는 분자층(16)의 전기 전류 공차(tolerance) 이내이다. 또 다른 예시적인 실시예에서, 패시베이션층(28)은 산화물(가령, 금속 산화물 또는 반도체 산화물)로부터 형성될 수 있고, 장치 패시베이션층(40)은, 장치 패시베이션 영역(40) 내로의 상부 배선층(14)의 금속 확산에 의해 전기 도체로 컨버팅될 수 있다. 이러한 예시적인 실시예에서, 장치 패시베이션을 전기 도체로 컨버팅하기 위해 적절한 저항(ohmic) 콘택트 형성 프로세스가 사용될 수 있다.

결과적으로 분자 전자 장치(10)는 50Å 내지 10㎛의 측면 크기를 가질 수 있다.

도 9a 및 9b를 참조하면, 또 다른 실시예에서, 상부 배선층(14)은 패시베이션층(28)으로부터 형성된다. 이러한 실시예에서, 패시베이션층(28)의 영역은 하나의 전기 도전형으로부터 또 다른 전기 도전형으로 컨버팅되어 상부 배선층(14)을 형성한다. 예를 들면, 일 실시예에서, 패시베이션층(28)은 전기 도체(가령, 알루미늄 또는 티타늄)로부터 형성되고, 격리 패시베이션 영역(42)은 통상의 산화 프로세스에 의해 전기 절연체로 컨버팅되어 이 분자 전자 장치를 다른 장치들로부터 격 리시킨다. 또 다른 실시예에서, 패시베이션층(28)은 전기 절연체(가령, 전기 반퓨즈 구조)로부터 형성되며, 이 경우, 장치 패시베이션 영역(40)은 전기 도체로 컨버팅되어 그 분자 전자 장치의 장치 영역을 완성한다.

분자층(16)으로부터 선택되는 분자 또는 분자들에 따라, 분자 전자 장치(10)는 바닥 배선층(12)과 상부 배선층(14)을 제어 가능하게 접속하거나 접속 해제하기 위해 사용될 수 있는 다양한 상이한 전기 스위칭 기능부들 중 어느 하나를 나타낼 수 있다. 분자 전자 장치는 단일 구성 가능 또는 재구성 가능일 수 있다. 단독 구성 가능한 실시예에서, 분자 전자 장치(10)의 초기 상태는 열려 있거나 닫힌 상태일 수 있다. 특정 임계 전압을 초과하여 분자 전자 장치(10)를 전기적으로 바이어싱함으로써, 활성 물질 또는 분자들(18)이 산화되거나 환원되어 장치의 초기 상태를 영구적으로 바꾸어 장치의 스위칭 상태를 비가역적으로 (irreversibly) 열거나 닫을 수 있다. 재구성 가능한 실시예에서, 스위칭 장치는, 활성 물질 또는 분자들(18)을 가역적으로(reversibly) 산화 및 환원시키도록 선택되는 적당한 임계 전압을 초과하는 전압 위로 인가 전압의 극성 및 크기를 순환함(cycling)으로써 여러번 개폐할 수 있다.

일반적으로, 바닥 배선층(12)과 상부 배선층(14) 사이에 형성되는 전기 접속부의 유형은 배선층(12, 14) 및 분자층(6)이 형성되는 물질에 따라 다르다. 표 1은 상이한 장치 물질 조합으로부터 획득될 수 있는 전기 스위칭 기능부의 다양한 유형을 나타낸다.

[표 1]

장치 유형	배선층 물질				
	금속-금속 (동일)	금속-금속 (상이)	금속-반도체	반도체-반도체 (pn 접합)	반도체-반도체 (헤테로 접합)
저항	X	X	X		
터널링 저항	X	X	X		
공명 터널링 저항	X	X	X		
다이오드		X	X	X	X
터널링 다이오드		X	X	X	
공명 터널링 다이오드		X	X	X	X
배터리		X	X		X

도 10을 참조하면, 일 실시예에서, 분자 전자 장치(10)는 다수의 행 및 다수의 열로 배치되는 복수 개의 메모리 셀(52)을 포함하는 저항성 분자 배선 크로스바 메모리(50) 내로 통합될 수 있다. 각각의 메모리 셀(52)은 제각기의 바닥 배선 라인(54, 56, 58, 60)과 제각기의 상부 배선 라인(62, 64, 66, 68) 사이에 결합되는 분자 전자 장치(10)를 포함한다. 메모리 셀을 가로지르는 전압은 그 사이에 메모리 셀이 결합되는 바닥 배선 라인 및 상부 배선 라인에 인가되는 전압에 의해 결정된다. 제어 회로(70)는 메모리 셀 어레이(50) 내의 하나 이상의 메모리 셀(52)을 어드레싱(또는 선택)하고, 그 안으로 정보를 프로그래밍하며 그로부터 정보를 판독하도록 구성된다. 분자 전자 장치(10)는 바닥 및 상부

배선 라인들 사이에 끼워지는 분자들(18)의 전기 화학적(electrochemical) 환원 및 산화에 의해 활성화된다. 이러한 실시예에서, 분자층(16)의 분자는 전압 곡선(voltammogram)에서 큰 이력 현상(hysteresis)을 갖도록 선택되어서 스위치가 상대적으로 고전압에서 산화되고 그 상태는 하위 전압에서 판독될 수 있게 된다. 스위치가 전기 화학적으로 닫힐 때, 접속하는 배선들간의 저항은 낮으며, 이는 '1'의 로직 레벨에 대응한다. 스위치가 열릴 때, 저항은 높으며, 이는 '0'의 로직 레벨에 대응한다. 저항성 분자 크로스바 메모리의 동작에 관한 다른 세부사항들을 미국 특허 제 6,128,214호로부터 얻을 수 있다.

다른 실시예들은 청구의 범위 내에 포함되어 있다.

예를 들면, 저항성 분자 배선 크로스바 메모리에 더하여, 다른 분자 배선 크로스바 메모리 실시예들은 표 1에서 식별되는 다른 스위칭 기능부들 중 하나를 제공하도록 구성되는 분자 전자 장치의 어레이를 포함할 수 있다. 이에 더하여, 위에서 서명한 분자 전자 장치는 하나 이상의 로직(메모리에 반대) 기능을 수행하도록 설계되는 회로로 구현될 수 있다.

또 다른 실시예들은 청구의 범위 내에 포함되어 있다.

(57) 청구의 범위

청구항 1.
바닥 배선층과 상부 배선층 사이에 증착되는 분자층을 가지고 있는 분자 전자 장치를 제조하는 방법에 있어서,

패시베이션층을 제공하여 상부 배선층의 패터닝 동안에 상기 분자층을 열화(degradation)로부터 상기 분자층을 보호하는 단계를 포함하는 분자 전자 장치 제조 방법.

청구항 2.
제 1 항에 있어서,

상기 패시베이션층의 선택된 영역을 전기 도체로부터 전기 저항으로 또는 전기 절연체로부터 전기 도체로 컨버팅하는 단계를 더 포함하는 분자 전자 장치 제조 방법.

청구항 3.
제 2 항에 있어서,

상기 분자 전자 장치를 둘러싸는 격리 패시베이션 영역을 전기 도체로부터 전기 전기 절연체로 컨버팅하는 분자 전자 장치 제조 방법.

청구항 4.
제 3 항에 있어서,

상기 패시베이션층은 금속층이고, 상기 격리 패시베이션 영역은 산화에 의해 전기 절연체로 컨버팅되는 분자 전자 장치 제조 방법.

청구항 5.
제 2 항에 있어서,

상기 상부 배선층과 상기 바닥 배선층 사이에 증착되는 장치 패시베이션 영역을 전기 절연체로부터 전기 도체로 컨버팅하는 분자 전자 장치 제조 방법.

청구항 6.
제 5 항에 있어서,

상기 장치 패시베이션 영역을 상기 장치 패시베이션 영역을 가로질러 전기 전압을 인가함으로써 전기 도체로 컨버팅하는 분자 전자 장치 제조 방법.

청구항 7.
제 6 항에 있어서,

상기 패시베이션층은 반퓨즈(antifuse) 구조체를 갖는 분자 전자 장치 제조 방법.

청구항 8.
제 2 항에 있어서,

상기 선택된 패시베이션 영역을 컨버팅하여 상기 상부 배선층을 정의하는 분자 전자 장치 제조 방법.

청구항 9.
제 8 항에 있어서,

피복되지 않은 패시베이션 영역은 상기 상부 배선층에 대응하는 분자 전자 장치 제조 방법.

청구항 10.
제 1 항에 있어서,

패터닝된 상부 배선층을 상기 패시베이션층 위에 증착시키는 단계를 더 포함하는 분자 전자 장치 제조 방법.

청구항 11.
제 10 항에 있어서,

상기 상부 배선층은

상기 패시베이션층 위에 리프트오프(lift-off)층을 증착시키고,

상기 리프트오프층 위에 도전성 층을 전기적으로 증착시키고,

상기 리프트오프층을 용해시킴(dissolving)으로써 패터닝되는

분자 전자 장치 제조 방법.

청구항 12.
분자 전자 장치에 있어서,

바닥 배선층과,

장치 영역 내의 바닥 배선층 위에 증착되는 분자층과,

상기 분자층 위에 증착되고 전기 도체 영역 및 전기 절연체 영역을 구비하는 패시베이션층

을 포함하는 분자 전자 장치.

청구항 13.
제 12 항에 있어서,

상기 전기 도체 영역은 상기 분자 전자 장치 내에 합체되고

상기 전기 절연체 영역은 상기 분자 전자 장치를 둘러싸는 분자 전자 장치.

청구항 14.
제 13 항에 있어서,

상기 전기 도체 영역은 금속층으로부터 형성되고

상기 전기 절연체 영역은 금속 산화물 층으로부터 형성되는 분자 전자 장치.

청구항 15.
제 13 항에 있어서,

상기 전기 절연체 영역은 반퓨즈 구조체를 구비하고

상기 전기 도체 영역은 블로우된 반퓨즈 구조체(blown antifuse structure)를 구비하는 분자 전자 장치.

청구항 16.
제 12 항에 있어서,

상기 패시베이션층 위에 증착되는 패터닝된 상부 배선층을 더 포함하는 분자 전자 장치.

청구항 17.
제 12 항에 있어서,

상기 패시베이션층은 상기 상부 배선층에 대응하는 분자 전자 장치.

청구항 18.
분자 메모리 시스템에 있어서,

분자 전자 장치의 어레이를 포함하되, 각각의 분자 전자 장치는

바닥 배선층과,

장치 영역 내의 상기 바닥 배선층 위에 증착되는 분자층과,

상기 분자층 위에 증착되고 전기 도체 영역 및 전기 절연체 영역을 구비하는 패시베이션층을 포함하는

분자 메모리 시스템.

청구항 19.
제 18 항에 있어서,

상기 전기 절연체 영역은 반퓨즈 구조체를 구비하고,

상기 전기 도체 영역은 블로우된 반퓨즈 구조체를 구비하는

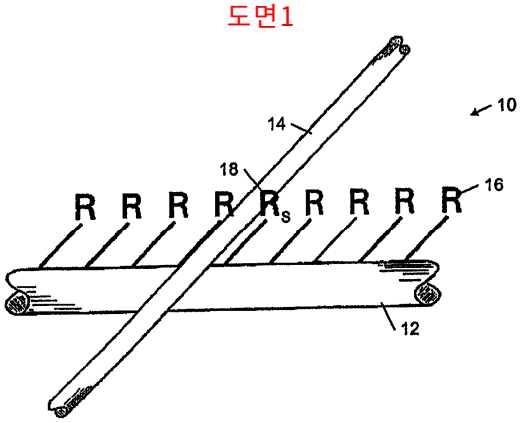
분자 메모리 시스템.

청구항 20.
제 18 항에 있어서,

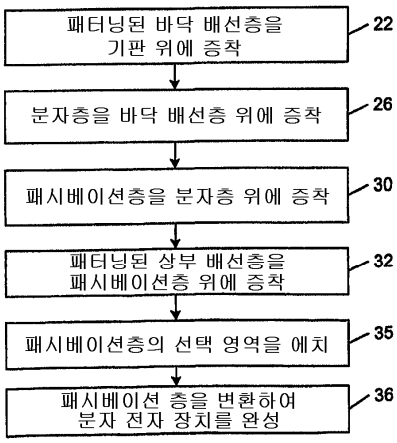
상기 패시베이션층 위에 배치되는 패터닝된 상부 배선층을 더 포함하는 분자 메모리 시스템.

도면

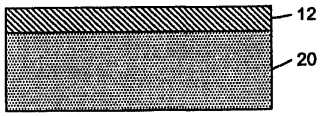
도면1



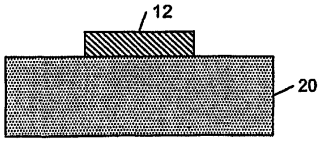
도면2



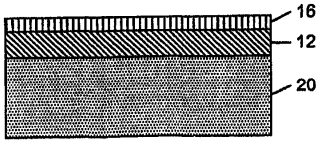
도면3a



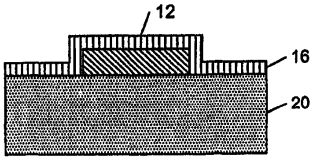
도면3b



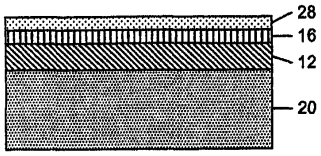
도면4a



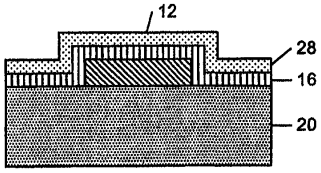
도면4b



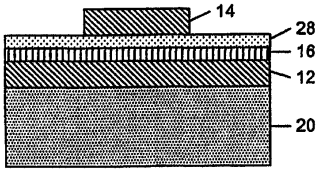
도면5a



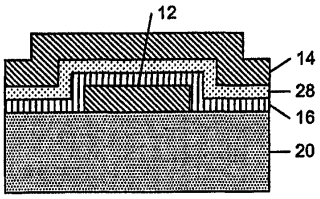
도면5b



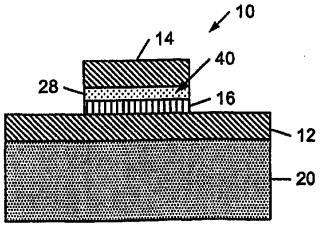
도면6a



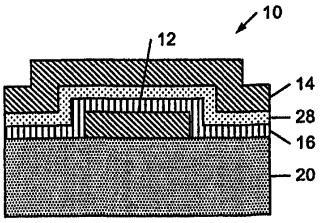
도면6b



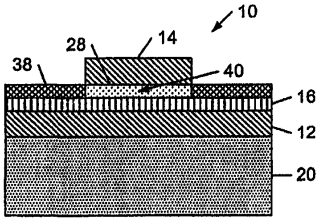
도면7a



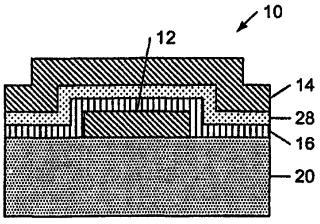
도면7b



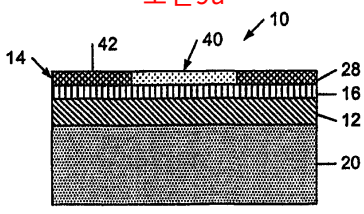
도면8a



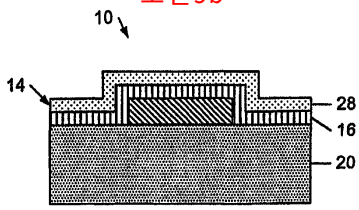
도면8b



도면9a



도면9b



도면10