

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月21日(21.07.2022)



(10) 国際公開番号

WO 2022/153583 A1

- (51) 国際特許分類:
H01L 31/0232 (2014.01) H04N 5/369 (2011.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2021/029828
- (22) 国際出願日: 2021年8月13日(13.08.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-003801 2021年1月13日(13.01.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

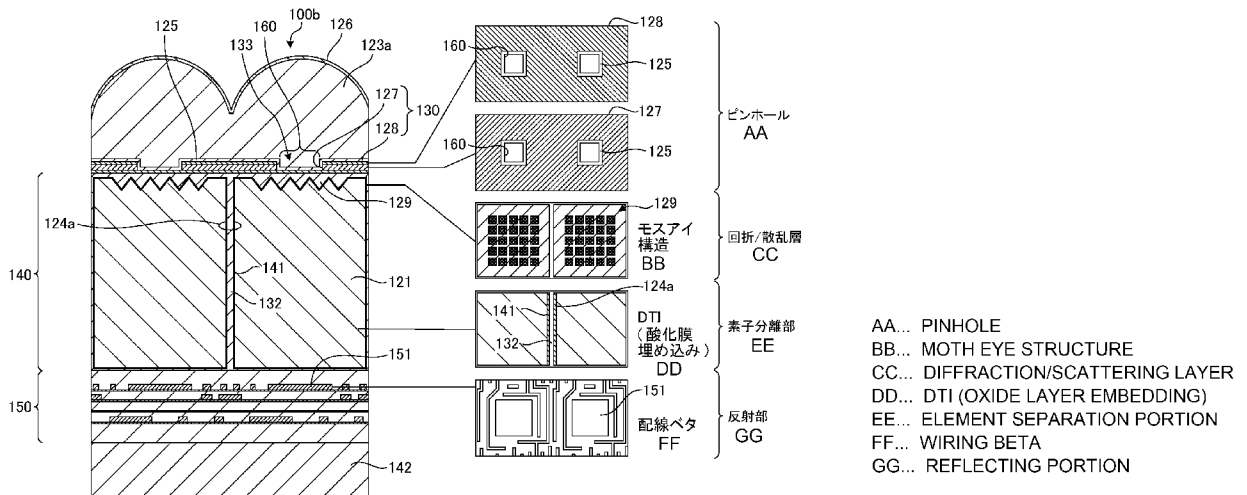
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 納土 晋一郎 (NOUDO, Shinichiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 山崎 知洋(YAMAZAKI, Tomohiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 蛭子 芳樹(EBIKO, Yoshiki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 横川 創造(YOKOGAWA, Sozo); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内

(54) Title: SOLID-STATE IMAGING DEVICE

(54) 発明の名称: 固体撮像装置

【図18】



(57) Abstract: The solid-state imaging device according to the present disclosure comprises a plurality of pixels (100) each including: a substrate (140) having a first surface which is a light incident surface; a photoelectric conversion unit (121) inside the substrate; a light-shielding portion (130) that is provided on the first surface side and has a hole portion (160) for allowing the light to fall on the photoelectric conversion unit; and a first lens (123a) made of silicon that is provided on the light-shielding portion and collects the incident light toward the hole portion.

(57) 要約: 本開示に係る固体撮像装置は、光入射面である第1面を有する基板(140)と、基板の内部にある光電変換部(121)と、第1面側に設けられ、光を光電変換部に入射させるための穴部(160)を有する遮光部(130)と、遮光部上に設けられ、入射された光を穴部に向けて集光する、シリコンを材料とする第1のレンズ(123a)と、をそれぞれ含む複数の画素(100)、を備える。

Kanagawa (JP). 荻田 知治(**OGITA, Tomoharu**); 〒2430014 神奈川県厚木市旭町四丁目 1 4 番 1 号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 松谷 弘康(**MATSUGAI, Hiroyasu**); 〒2430014 神奈川県厚木市旭町四丁目 1 4 番 1 号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 守屋 雄介(**MORIYA, Yusuke**); 〒2430014 神奈川県厚木市旭町四丁目 1 4 番 1 号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人 酒井国際特許事務所 (**SAKAI INTERNATIONAL PATENT OFFICE**); 〒1000013 東京都千代田区霞が関 3 丁目 8 番 1 号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： 固体撮像装置

技術分野

[0001] 本開示は、固体撮像装置に関する。

背景技術

[0002] 近年では、赤外領域の波長の光のうち、可視光の赤色よりも波長が長く、遠赤外領域の波長の光より波長の短い光（以下、赤外光と呼ぶ）を感知可能な受光素子の需要が増している。例えば、スマートフォンといった携帯型の電子機器では、赤外光を含む画像や、赤外光を用いた測距結果に基づくユーザ認証などを行う場合がある。

[0003] 光吸収層としてS i（シリコン）層を用いたフォトダイオードなどの受光素子は、赤外光に対する感度を有している一方で、S iの光吸収係数の波長依存性により、長波長ほど単位厚み当たりの光吸収係数が小さくなるため、S i層に入射した長波長の光による光子の多くがS i層を透過してしまうことになる。

[0004] 受光素子において長波長側の光に対して高い感度を得る方法として、様々な方法が提案されている。例えば、特許文献1では、受光面の反対側の面に反射構造を設けた上で、オンチップレンズと基板（S i層）との間にピンホールを設け、当該受光面の反対側の面による反射光をS i層内に閉じ込めるようにした構造が提案されている。この特許文献1に提案される構造によれば、S i層内に閉じ込められた光が反射構造により反射されることで光路長を長くされ、より効率的に光電変換を行うことが可能となり、高感度化が期待できる。

先行技術文献

特許文献

[0005] 特許文献1：特開2019-114642号公報

特許文献2：特開2008-147333号公報

特許文献3：国際公開第2020/012984号

特許文献4：特開2019-180048号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、従来では、受光素子に照射された光に対しオンチップレンズにおいて光が十分絞られず、ピンホール構造部分での光の損失が大きかった。

[0007] 本開示は、より高感度化が可能な固体撮像装置を提供することを目的とする。

課題を解決するための手段

[0008] 本開示に係る固体撮像装置は、光入射面である第1面を有する基板と、基板の内部にある光電変換部と、第1面側に設けられ、光を光電変換部に入射させるための穴部を有する遮光部と、遮光部上に設けられ、入射された光を穴部に向けて集光する、シリコンを材料とする第1のレンズと、をそれぞれ含む複数の画素、を備える。

図面の簡単な説明

[0009] [図1]本開示の第1の実施形態に適用可能な電子機器の一例の構成を示すブロック図である。

[図2]第1の実施形態に適用可能な撮像部の一例の構成を示すブロック図である。

[図3]第1の実施形態に適用可能な画素の一例の回路を示す回路図である。

[図4]第1の実施形態に適用可能な画素配列の例を示す図である。

[図5]第1の実施形態に適用可能な、青色フィルタと赤色フィルタとを積層して用いる場合の特性の例を示す模式図である。

[図6]Siの吸収率スペクトルの膜厚依存性の例を示す図である。

[図7]吸収率とSi膜厚との関係の例を、2波長について示す図である。

[図8]既存技術による受光素子の、受光面に対して垂直方向の断面を概略的に

示す模式図である。

[図9]既存技術による画素から射出された反射、回折光によるフレアの発生を説明するための模式図である。

[図10]高輝度光源からの入射光に応じて形成されるフレアの例を示す模式図である。

[図11A]第1の実施形態に係る、画素アレイ部における有効画素領域に含まれる画素の一例の構成を示す図である。

[図11B]第1の実施形態に係る、画素アレイ部の外側に備えられた遮光膜が半導体基板に接地されている例を示す図である。

[図12]結晶シリコン、アモルファスシリコン、多結晶シリコンの屈折率と消衰係数を示す模式図である。

[図13]波動シミュレーションで求めた同一形状のオンチップレンズの光強度分布の例を示す模式図である。

[図14]波動シミュレーションで求めた同一形状のオンチップレンズの光強度分布の例を示す模式図である。

[図15]第1の実施形態に適用可能なピンホールの基本的な形状の例を示す模式図である。

[図16]第1の実施形態に係る、ピンホールが設けられる遮光膜により、不要光に対する除去効果を得ることを説明するための模式図である。

[図17A]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図17B]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図17C]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図17D]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図17E]第1の実施形態に係る画素の一例の製造方法を説明するための模式図

である。

[図17F]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図17G]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図17H]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図17I]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図17J]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図17K]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図17L]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図17M]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図17N]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図17O]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図17P]第1の実施形態に係る画素の一例の製造方法を説明するための模式図である。

[図18]第1の実施形態に係る画素の構造例をより詳細に示す模式図である。

[図19]第1の実施形態に対して、フレネル係数の理論計算に従って最適化を行った場合の計算結果について説明するための模式図である。

[図20]第1の実施形態に対して、フレネル係数の理論計算に従って最適化を行った場合の計算結果について説明するための模式図である。

[図21]第1の実施形態に対して、フレネル係数の理論計算に従って最適化を行った場合の計算結果について説明するための模式図である。

[図22]第1の実施形態に係る、想定される光強度分布に応じて、画角内でピンホールの形状を変更させる例を示す模式図である。

[図23]第1の実施形態に係る、想定される光強度分布に応じて画角内でピンホールの大きさを変更させる例を示す模式図である。

[図24]第1の実施形態に係る瞳補正の方法を、既存技術による瞳補正の方法と対比させて示す模式図である。

[図25]第1の実施形態に係る瞳補正の適用例について説明するための模式図である。

[図26]第1の実施形態に係る、面積率が25 [%]のピンホールの例を示す模式図である。

[図27]第1の実施形態の素子分離部の第1の変形例に適用可能な画素の構造例を示す模式図である。

[図28]第1の実施形態の素子分離部の第2の変形例に適用可能な画素の構造例を示す模式図である。

[図29]第1の実施形態の素子分離部の第3の変形例に適用可能な画素の構造例を示す模式図である。

[図30]第1の実施形態の配線層側の反射部の変形例に適用可能な画素の構造例を示す模式図である。

[図31A]第1の実施形態に適用可能な、金属反射板の製造方法の例について説明するための模式図である。

[図31B]第1の実施形態に適用可能な、金属反射板の製造方法の例について説明するための模式図である。

[図31C]第1の実施形態に適用可能な、金属反射板の製造方法の例について説明するための模式図である。

[図31D]第1の実施形態に適用可能な、金属反射板の製造方法の例について説明するための模式図である。

[図31E]第1の実施形態に適用可能な、金属反射板の製造方法の例について説明するための模式図である。

[図31F]第1の実施形態に適用可能な、金属反射板の製造方法の例について説明するための模式図である。

[図31G]第1の実施形態に適用可能な、金属反射板の製造方法の例について説明するための模式図である。

[図31H]第1の実施形態に適用可能な、金属反射板の製造方法の例について説明するための模式図である。

[図32]第1の実施形態に適用可能な光導波路の変形例に適用可能な画素の構造例を示す模式図である。

[図33]第1の実施形態の回折・散乱構造の変形例に適用可能な画素の構造例を示す模式図である。

[図34]第1の実施形態の反射防止膜の第1の変形例に適用可能な画素の構造例を示す模式図である。

[図35]第1の実施形態の反射防止膜の第2の変形例に適用可能な画素の構造例を示す模式図である。

[図36]第1の実施形態のオンチップレンズの変形例に適用可能な画素の構造例を示す模式図である。

[図37]第1の実施形態の配線層側に散乱・回折構造を備える変形例に適用可能な画素の構造例を示す模式図である。

[図38]第2の実施形態に適用可能な、光学フィルタを設けた画素の配列の例を示す模式図である。

[図39]第2の実施形態に適用可能な、被写体のスペクトル情報を取得すると共に、IR画素による被写体のセンシング情報を取得するようにした電子機器について、概略的に示す模式図である。

[図40]第2の実施形態に適用可能な、画素の光学フィルタに着目した構造例を概略的に示す断面図である。

[図41]第2の実施形態に適用可能な、画素に応じた回折・散乱構造の作り分

けを説明するための、画素の概略的な断面図である。

[図42]第3の実施形態に適用可能な測距装置を用いた電子機器の一例の構成を示すブロック図である。

発明を実施するための形態

[0010] 以下、本開示の実施形態について、図面に基づいて詳細に説明する。なお、以下の実施形態において、同一の部位には同一の符号を付することにより、重複する説明を省略する。

[0011] 以下、本開示の実施形態について、下記の順序に従って説明する。

1. 本開示の概要

2. 本開示の第1の実施形態に適用可能な技術

2-1. 第1の実施形態に適用可能な電子機器の構成例

2-2. 第1の実施形態に適用可能な撮像部の構成例

2-3. 第1の実施形態に適用可能な画素の回路例

2-4. 第1の実施形態に適用可能な画素の光学フィルタ例

3. 既存技術について

4. 本開示の第1の実施形態

4-0. 第1の実施形態に係る画素の基本的な構造

4-0-1. 第1の実施形態に係る画素構造例

4-0-2. 第1の実施形態に係る画素の製造方法例

4-0-3. 第1の実施形態に係る画素のより詳細な説明

4-1. 第1の実施形態に適用可能なピンホールの変形例

4-2. 第1の実施形態に適用可能な遮光膜の変形例

4-3. 第1の実施形態に適用可能な素子分離部の変形例

4-4. 第1の実施形態に適用可能な配線層側の反射部の変形例

4-5. 第1の実施形態に適用可能な光導波路の変形例

4-6. 第1の実施形態に適用可能な回折・散乱構造の変形例

4-7. 第1の実施形態に適用可能な反射防止膜の変形例

4-8. 第1の実施形態に適用可能なオンチップレンズの変形例

4－9．第１の実施形態に適用可能な光学フィルタを備える変形例

4－10．第１の実施形態に適用可能な配線層側に散乱・回折構造を備える変形例

5．本開示の第２の実施形態

5－1．第２の実施形態に適用可能な、光学フィルタを設けた画素の配列例

6．本開示の第３の実施形態

[0012] [１．本開示の概要]

本開示に係る固体撮像装置が含む撮像素子としての画素は、受光面と、受光面に設けられるオンチップレンズとの間にピンホールを設ける構造において、オンチップレンズをシリコンにより形成する。オンチップレンズを形成するシリコンは、多結晶シリコンあるいはアモルファスシリコンであってよい。シリコンは、可視光領域や赤外領域の波長の光に対する屈折率は大きく、 $3.4 \sim 3.8$ 程度であり、一般的なオンチップレンズの屈折率 n より高い。そのため、入射された光のビームウエストをより絞ることができ、ピンホール径を小さくすることが可能となる。

[0013] ピンホール径を小さくすることで、撮像素子に入射された光を撮像素子内部に閉じ込めることが容易となり、撮像素子内部における入射光の利用効率を高め、より高感度化が可能となる。

[0014] [２．本開示の第１の実施形態に適用可能な技術]

次に、本開示の第１の実施形態に適用可能な技術について説明する。

[0015] (2－1．第１の実施形態に適用可能な電子機器の構成例)

図１は、本開示の第１の実施形態に適用可能な電子機器の一例の構成を示すブロック図である。図１において、電子機器１０００は、撮像部１０と、光学部１１と、画像処理部１２と、表示制御部１３と、記録部１４と、ディスプレイ１５と、全体制御部１６と、入力部１７と、通信部１８と、認証部１９と、を含む。全体制御部１６は、例えばＣＰＵ(Central Processing Unit)などのプロセッサを含み、プログラムに従いこの電子機器１０００の全

体の動作を制御する。

[0016] 光学部 11 は、1 以上のレンズと、フォーカス機構および絞り機構などを含み、被写体からの光を撮像部 10 に導く。光学部 11 に含まれるレンズのうち、例えば撮像部 10 に最も近い位置に配置されるレンズを、メインレンズと呼ぶことにする。

[0017] 撮像部 10 は、画素 100 が行列状の配列で配置された画素アレイを有する固体撮像装置を含み、光学部 11 を介して入射された光に応じた画素信号を生成し、生成した画素信号を、デジタル信号である画素データに変換して出力する。

[0018] 撮像部 10 から出力された画素データは、画像処理部 12 および認証部 19 に供給される。画像処理部 12 は、供給された 1 フレーム分の画素データによる画像データに対してホワイトバランス調整処理、ガンマ補正処理といった表示などのための画像処理を施して出力する。画像処理部 12 から出力された画像データは、表示制御部 13 および記録部 14 に供給される。

[0019] 表示制御部 13 は、供給された画像データに基づく画像の、ディスプレイ 15 に対する表示を制御する。また、画像処理部 12 から出力された画像データは、記録部 14 にも供給される。記録部 14 は、ハードディスクドライブやフラッシュメモリといった不揮発性の記録媒体を含み、供給された画像データを当該記録媒体に記録する。これに限らず、画像処理部 12 から出力された画像データを、この電子機器 1000 の外部に出力することもできる。

[0020] 入力部 17 は、ユーザ操作を受け付け、ユーザ操作に応じた信号を全体制御部 16 に渡す。全体制御部 16 は、入力部 17 から渡された信号に応じて、この電子機器 1000 の動作を制御することができる。なお、入力部 17 をディスプレイ 15 と一体的に構成し、所謂タッチパネルとしてもよい。

[0021] 通信部 18 は、全体制御部 16 の制御に従い、例えば無線通信により外部機器との通信を行う。

[0022] 認証部 19 は、撮像部 10 から供給された画像データに基づき、例えばユ

ーザを認識する認識処理を行う。認証部 19 は、一例として、次のように認証処理を行う。認証部 19 は、画像データに基づきユーザの顔を検出し、検出された顔の特徴量を求める。認証部 19 は、予め登録されたユーザの顔の特徴量と、画像データから検出された顔の特徴量とを比較して類似度を求め、求めた類似度が閾値以上の場合に、ユーザを認証する。認証部 19 による認証結果は、全体制御部 16 に渡される。

[0023] 全体制御部 16 は、認証部 19 から渡された認識結果が認証の失敗を示している場合、例えばこの電子機器 1000 においてユーザが操作可能な機能を制限してよい。一例として、全体制御部 16 は、認証結果がユーザの認証失敗を示している場合、表示制御部 13 に対してディスプレイ 15 における表示をロックさせるよう指示し、また、入力部 17 が受け付けるユーザ操作に制限を与えてよい。

[0024] (2-2. 第 1 の実施形態に適用可能な撮像部の構成例)

図 2 は、第 1 の実施形態に適用可能な撮像部の一例の構成を示すブロック図である。図 2 において、撮像部は、画素アレイ部 101 と、垂直走査部 20 と、水平走査・AD変換部 21 と、制御部 22 と、を含む。

[0025] 画素アレイ部 101 は、それぞれ受光した光に応じた電圧を生成する撮像素子を有する複数の画素 100 を含む。撮像素子としては、フォトダイオードを用いることができる。画素アレイ部 101 において、複数の画素 100 は、水平方向（行方向）および垂直方向（列方向）に行列状に配列される。画素アレイ部 101 において、画素 100 の行方向の並びをラインと呼ぶ。この画素アレイ部 101 において所定数のラインから読み出された画素信号に基づき、1 フレームの画像（画像データ）が形成される。例えば、3000 画素×2000 ラインで 1 フレームの画像が形成される場合、画素アレイ部 101 は、少なくとも 3000 個の画素 100 が含まれるラインを、少なくとも 2000 ライン、含む。

[0026] なお、画素アレイ部 101 において、1 フレームの画像を形成するために用いる画素 100 が含まれる領域を、有効画素領域と呼ぶ。また、画素アレ

イ部 101 において、1 フレームの画像を形成するために用いられない画素 100 が含まれる領域を、無効画素領域と呼ぶ。

[0027] また、画素アレイ部 101 には、各画素 100 の行および列に対し、行毎に画素信号線 HCTL が接続され、列毎に垂直信号線 VSL が接続される。

[0028] 画素信号線 HCTL の画素アレイ部 101 と接続されない端部は、垂直走査部 20 に接続される。垂直走査部 20 は、例えば制御部 22 から供給される制御信号に従い、画素 100 から画素信号を読み出す際の駆動パルスなどの複数の制御信号を、画素信号線 HCTL を介して画素アレイ部 101 へ伝送する。垂直信号線 VSL の画素アレイ部 101 と接続されない端部は、水平走査・AD変換部 21 に接続される。

[0029] 水平走査・AD変換部 21 は、AD (Analog to Digital) 変換部と、出力部と、信号処理部と、を含む。画素 100 から読み出された画素信号は、垂直信号線 VSL を介して水平走査・AD変換部 21 の AD 変換部に伝送される。

[0030] 画素 100 からの画素信号の読み出し制御について、概略的に説明する。画素 100 からの画素信号の読み出しは、露光により撮像素子に蓄積された電荷を浮遊拡散層 (FD : Floating Diffusion) に転送し、浮遊拡散層において転送された電荷を電圧に変換することで行う。浮遊拡散層において電荷が変換された電圧は、アンプを介して垂直信号線 VSL に出力される。

[0031] より具体的には、画素 100 において、露光中は、撮像素子と浮遊拡散層との間をオフ (開) 状態として、撮像素子において、光電変換により入射された光に応じて生成された電荷を蓄積させる。露光終了後、画素信号線 HCTL を介して供給される選択信号に応じて浮遊拡散層と垂直信号線 VSL とを接続する。さらに、画素信号線 HCTL を介して供給されるリセットパルスに応じて浮遊拡散層を電源電圧 VDD または黒レベル電圧の供給線と短期間において接続し、浮遊拡散層をリセットする。垂直信号線 VSL には、浮遊拡散層のリセットレベルの電圧 (電圧 P とする) が出力される。その後、画素信号線 HCTL を介して供給される転送パルスにより撮像素子と浮遊拡

散層との間をオン（閉）状態として、撮像素子に蓄積された電荷を浮遊拡散層に転送する。垂直信号線VSLに対して、浮遊拡散層の電荷量に応じた電圧（電圧Qとする）が出力される。

[0032] 水平走査・AD変換部21において、AD変換部は、垂直信号線VSL毎に設けられたAD変換器を含み、垂直信号線VSLを介して画素100から供給された画素信号は、AD変換器によりAD変換処理が施され、ノイズ低減を行う相関二重サンプリング（CDS: Correlated Double Sampling）処理のための2つのデジタル値（電圧Pおよび電圧Qにそれぞれ対応する値）が生成される。

[0033] AD変換器により生成された2つのデジタル値は、信号処理部によりCDS処理が施され、デジタル信号による画素信号（画素データ）が生成される。生成された画素データは、撮像部から出力される。

[0034] 水平走査・AD変換部21は、制御部22の制御の下、垂直信号線VSL毎のAD変換器を所定の順番で選択する選択走査を行うことによって、各AD変換器が一時的に保持している各デジタル値を信号処理部へ順次出力させる。水平走査・AD変換部21は、例えばシフトレジスタやアドレスデコーダなどを含む構成により、この動作を実現する。

[0035] 制御部22は、例えば全体制御部16のからの制御信号に従い、垂直走査部20、水平走査・AD変換部21などの駆動制御を行う。制御部22は、垂直走査部20および水平走査・AD変換部21の動作の基準となる各種の駆動信号を生成する。制御部22は、外部（例えば制御部22）から供給される垂直同期信号または外部トリガ信号と、水平同期信号とに基づき、垂直走査部20が画素信号線HCTLを介して各画素100に供給するための制御信号を生成する。制御部22は、生成した制御信号を垂直走査部20に供給する。

[0036] 垂直走査部20は、制御部22から供給される制御信号に基づき、画素アレイ部101の選択された画素行の画素信号線HCTLに駆動パルスを含む各種信号を、ライン毎に各画素100に供給し、各画素100から、画素信

号を垂直信号線VSLに出力させる。垂直走査部20は、例えばシフトレジスタやアドレスデコーダなどを用いて構成される。

[0037] このように構成された撮像部は、AD変換器が列毎に配置されたカラムAD方式のCMOS(Complementary Metal Oxide Semiconductor)イメージセンサである。

[0038] (2-3. 第1の実施形態に適用可能な画素の回路例)

図3は、第1の実施形態に適用可能な画素の一例の回路を示す回路図である。図3において、画素100は、電荷保持部102と、MOSトランジスタ103a~103dと、光電変換部121とを備える。光電変換部121のアノードが接地され、カソードがMOS(Metal Oxide Semiconductor)トランジスタ103aのソースに接続される。MOSトランジスタ103aのドレインが、MOSトランジスタ103bのソース、MOSトランジスタ103cのゲートおよび電荷保持部102の一端に接続される。電荷保持部102の他の一端は、接地される。

[0039] MOSトランジスタ103cおよび103dのドレインが電源線Vddに共通に接続され、MOSトランジスタ103cのソースがMOSトランジスタ103dのドレインに接続される。MOSトランジスタ103dのソースが出力信号線OUTに接続される。MOSトランジスタ103a、103bおよび103dのゲートは、それぞれ転送信号線TR、リセット信号線RSTおよび選択信号線SELに接続される。

[0040] なお、転送信号線TR、リセット信号線RSTおよび選択信号線SELは、画素信号線HCTLを構成する。また、出力信号線OUTは、垂直信号線VSLに接続される。光電変換部121は、光電変換により、受光した光に応じた電荷を生成する。この光電変換部121には、フォトダイオードを使用することができる。また、電荷保持部102およびMOSトランジスタ103a~103dは、画素回路を構成する。

[0041] MOSトランジスタ103aは、光電変換部121の光電変換により生成された電荷を電荷保持部102に転送するトランジスタである。MOSトラ

ンジスタ 103a における電荷の転送は、転送信号線 TR により伝達される信号により制御される。

[0042] 電荷保持部 102 は、MOS トランジスタ 103a により転送された電荷を保持するキャパシタである。MOS トランジスタ 103c は、電荷保持部 102 に保持された電荷に基づく信号を生成するトランジスタである。MOS トランジスタ 103d は、MOS トランジスタ 103c により生成された信号を画像信号として出力信号線 OUT に出力するトランジスタである。この MOS トランジスタ 103d は、選択信号線 SEL により伝達される信号により制御される。

[0043] MOS トランジスタ 103b は、電荷保持部 102 に保持された電荷を電源線 Vdd に排出することにより電荷保持部 102 をリセットするトランジスタである。この MOS トランジスタ 103b によるリセットは、リセット信号線 RST により伝達される信号により制御され、MOS トランジスタ 103a による電荷の転送の前に実行される。このリセットの際、MOS トランジスタ 103a を導通させることにより、光電変換部 121 のリセットも行うことができる。このように、画素回路は、光電変換部 121 により生成された電荷を画像信号に変換する。

[0044] なお、以下では、MOS トランジスタ 103a ~ 103d を区別する必要のない場合には、これらを MOS トランジスタ 103 で代表させて説明を行う。

[0045] (2-4. 第 1 の実施形態に適用可能な画素の光学フィルタ例)

次に、第 1 の実施形態に適用可能な画素の光学フィルタ例について説明する。ここで、本開示の第 1 の実施形態は、撮像部 10 が含む複数の画素 100 のうち少なくとも一部の画素 100 が、可視光領域の波長より長波長の光を受光する固体撮像装置に適用可能である。

[0046] 図 4 は、第 1 の実施形態に適用可能な画素配列の例を示す図である。図 4 のセクション (a) は、例えば、可視光および赤外光を一定以上の透過率で透過させるフィルタ 122W (White フィルタ) を備えた画素 100W

が繰り返し配列されている。

[0047] 図4のセクション(b)は、画素100Wの構造例を示す簡略化した断面図である。なお、画素100Wは、フィルタ122Wを設けた場合と同等の効果を、光学フィルタを設けないことで実現することもできる。コスト観点からは光学フィルタなしが望ましく、フィルタ122Wは、段差解消や屈折率を用いた光学設計等、他の目的で備えられていてもよい。

[0048] 図4のセクション(c)は、例えば、赤外光を選択的に透過させるフィルタ122IR(以下、IRフィルタ)を備えた画素100IRが繰り返し配列されている。このように備えることで、可視光領域の外光ノイズを遮蔽し、SN比を向上させることができる。

[0049] 図4のセクション(d)は、画素100IRの構造例を示す簡略化した断面図である。フィルタ122IRは、例えば、顔料や染料を含む有機材料としてもよく、例えば特許文献4で公知の有機材料を用いてもよい。フィルタ122IRは、広範囲の赤外光ではなく、光源部70の特定の赤外光の波長に合わせた狭帯域のバンドパスフィルタとしてもよい。フィルタの透過スペクトルを光源波長に揃えることで外光ノイズを遮蔽し、SN比を向上させることができる。

[0050] フィルタ122IRは、異なる2種類の顔料や染料を含む有機材料を積層して備えてもよい。一例として、青色の波長領域の光を透過させる青色フィルタと、赤色の波長領域の光を透過させる赤色フィルタと、を積層して用いる場合について説明する。

[0051] 図5は、第1の実施形態に適用可能な、青色フィルタと赤色フィルタとを積層して用いる場合の特性の例を示す模式図である。図5において、セクション(a)は、赤色フィルタ(特性線80)および青色フィルタ(特性線81)それぞれについて、QE(Quantum Efficiency: 量子効率)の波長依存性の例を示している。また、セクション(b)は、セクション(a)に示す特性の赤色フィルタおよび青色フィルタを積層させた場合のQEの波長依存性の例(特性線82)を示している。

[0052] 図5の例では、共通するベース樹脂固有の透過スペクトルが、780 [nm] ~ 1000 [nm] の波長領域を含む赤外領域に存在する。したがって、これらの青色フィルタと赤色フィルタとを積層した場合であっても、この共通する波長領域の光が透過し易く、可視光領域では、それぞれの材料に含まれる異なる顔料が相補的に作用し吸収される。即ち、赤外光を選択的に透過させる積層フィルタとなる。

[0053] なお、積層フィルタの組み合わせはこの例に限定するものではなく、例えば、シアンと赤色、マゼンタと緑色、黄色と青色、といった補色関係のフィルタを組み合わせ可視光を吸収させてもよい。

[0054] なお、以下では、IRフィルタを備えた画素100IRを、IR画素と呼ぶことがある。また、赤色、緑色、青色といった可視光の波長領域の光を選択的に透過させる光学フィルタを備えた画素100を、可視光画素と呼ぶことがある。

[0055] [3. 既存技術について]

次に、本開示に係る第1の実施形態の説明に先んじて、理解を容易とするために、既存技術について概略的に説明する。画素100において、光電変換部121がシリコン(Si)基板内に形成される。このSiは、間接遷移型の半導体であり、そのバンドギャップが1.1 [eV]であることから、可視光領域の波長から波長が1.1 [μ m]程度の近赤外線波長に対する感度を有している。一方、Siの光吸収係数の波長依存性により、長波長ほど単位厚み当たりの光吸収係数が小さくなるため、Si層に入射した長波長の光による光子の多くがSi層を透過してしまうことになる。

[0056] 図6は、Siの吸収率スペクトルの膜厚依存性の例を示す図である。図6において、右上に各特性線が示す膜厚を記載している。図6に示すように、例えば、光吸収層としてのSi層の厚みが3 [μ m]の固体撮像素子の場合、波長 $\lambda = 650$ [nm]の光吸収効率が57 [%]程度、波長 $\lambda = 940$ [nm]の光吸収効率が5 [%]程度であり、光子の大多数がSi層を透過してしまう。したがって、赤外光に対して高い感度を有する固体撮像素子を

実現しようとした場合、S i 層の厚みを増すことが有効な方法として知られている。

[0057] 図7は、吸収率とS i 膜厚との関係の例を、2波長（850 [nm]、940 [nm]）について示す図である。図7に示すように、両波長共、S i 膜厚が厚いほど、吸収率が大きくなることが分かる。

[0058] 長波長の光に対する感度を向上させるために、S i 層の厚みを増す方法が考えられる。しかしながら、S i 層の厚みを増す場合、所望の不純物プロファイルを実現するために高エネルギーのインプラネーションを行う必要があるなどの製造上の難易度が高くなると共に、コストも嵩むことになる。また、S i 層の厚みの増加に伴う結晶中の欠陥の増加などが暗電流の増加や白点の発生など暗時特性の劣化要因となるおそれもある。さらに、受光素子の画素サイズに対する厚みの比率が大きくなると、S i 層内でのS i バルクの混色成分対策の素子分離強化が必要となり、加工難易度が高くなって工程数も増え、コスト増や暗時特性の劣化を引き起こすおそれがある。

[0059] そこで、受光素子において長波長側の光に対して高い感度を得る方法として、素子の受光面とは反対側に反射面を設ける構造が提案されている（例えば特許文献2）。また、受光面に対して周期的な凹凸のパターンを設けて高次回折光の光路長を長くすると共に、0次光に対して受光面の反対側の基板表面にも周期的な凹凸のパターンを設け、反射波の回折現象により光路長を長くする構造が提案されている（例えば特許文献3）。

[0060] 特許文献2や特許文献3に記載されるような、S i 層を透過する光をS i 層に戻す構造は、受光素子からの反射成分を増大させることになり、撮像画像においてフレアが発生するおそれがある。例えば、受光素子の内部で反射された光が受光素子の受光面側に放射され、この放射された光が受光素子の受光面側に設けられた光学フィルタやメインレンズなどによりさらに反射され、他の受光素子に入射し、フレアの原因となる。

[0061] 図8および図9を用いて、受光素子の内部で反射した光によるフレアの発生について説明する。図8は、既存技術による受光素子の、受光面に対して

垂直方向の断面を概略的に示す模式図である。図 8 において、画素 100 は、光電変換部 121 が構成されるシリコン (Si) 層 (半導体基板 140) に対し、受光面側にオンチップレンズ 123 が設けられ、受光面と反対側の面に配線層 150 が設けられる。また、画素 100 は、隣接する他の画素 100 との境界部分に、トレンチ構造による素子分離部 124 が設けられる。さらに、画素 100 は、受光面に対し、隣接する他の画素 100 との境界部分に、反射防止膜 125 が設けられる。

[0062] このような構造の画素 100 に対して、太陽光などの高輝度光源からの外光 33 が入射される場合について考える。一般的に光が屈折率 n_0 の媒質から屈折率 n_1 の媒質に垂直入射する場合、その界面での反射率 R は、次式 (1) により定式化される。式 (1) によれば、屈折率差が大きい界面で反射が起こり易いことが分かる。

$$R = (n_0 - n_1)^2 / (n_0 + n_1)^2 \quad \dots (1)$$

[0063] 裏面照射型の固体撮像装置の場合、次の 3 種類の界面での屈折率差が大きくなる。

- (a) オンチップレンズの表面
- (b) シリコン基板の受光面側の表面
- (c) シリコン基板の受光面と反対側の表面

[0064] フレア抑制の視点では、上述の (a)、(b) および (c) の何れの界面にも、反射防止設計を施すことが望ましい。反射防止設計の例としては、屈折率の低い材料を $\lambda / (4n)$ 則に従う膜厚で界面に反射防止膜を成膜するなどが挙げられる。上述の (a) および (b) に関しては、フレア抑制に加えて、高感度化の視点でも利点がある。

[0065] しかしながら、(c) の界面に関しては、光が光電変換膜から抜けていくため、高感度化の観点で抜けていく光を反射させて光電変換部に戻すのが望ましい。一方で、フレア視点で (c) の界面の反射防止設計が望ましく、フレアと感度がトレードオフの関係に陥ってしまう。

[0066] 図 9 は、既存技術による画素 100 から射出された反射、回折光によるフ

レアの発生を説明するための模式図である。撮影時に、高輝度光源からの入射光30がモジュールレンズのイメージサークル内に映り込むと、波長 λ の光は、画素ピッチ周期、あるいは、カラーフィルタの配列周期を d 、回折光の次数 n を0、 ± 1 、 $\pm 2 \cdots$ の整数とした場合に、次式(2)を満たす角度 θ で強め合った回折光を生じる。固体撮像装置は、画素が2次元格子状に配置され、2次元の周期パターンとなるため、回折光の次数も2次元で表される。

$$d \times \sin \theta = n \lambda \quad \cdots (2)$$

[0067] このように強め合った固体撮像装置からの反射、回折光が、固体撮像装置より光の入射側に位置するバンドパスフィルタなどの光学部材45で再反射し、画素アレイ部101に再入射してフレアとして映り込む。

[0068] 例えばバンドパスフィルタである光学部材45が屈折率の異なる複数の材料の積層膜で構成される場合、カットオフ波長が斜め入射で短波長側にずれることに起因して、カットオフ波長付近の光によるフレアがスポット状に生じる。例えば、波長 λ を940[nm]、画素周期 d を3[μm]、例えばバンドパスフィルタである光学部材45と固体撮像装置との距離を1[mm]とする。この場合、1次回折光が18.3°、2次回折光が38.8°の角度で発生し、光学部材45の再反射によって、1次スポット41aが光源像40から約660[μm]に生じ、2次スポット41bが光源像40から1608[μm]の位置に生じることになる。

[0069] 一方、吸収型のバンドパスフィルタが界面となる場合や、あるいは、バンドパスフィルタを備えずにモジュールレンズの下面が反射面となる場合は、波長毎に回折角が変化し、光源像40から放射状に筋状のフレアが生じることになる。

[0070] 例えば、スマートフォンに用いられる顔認証機能は、ユーザ側に向かって赤外光を照射し、反射光を近赤外線対応の固体撮像素子で受光し、顔の特徴を抽出し、登録されてある所有者情報と照合して本人かどうかを判定する。スマートフォンによる認証行為は、屋外でも行われる。

- [0071] 一例として、スマートフォンを上向きにして、スマートフォンが備えるセンサによりユーザの顔を写す際に、背景に太陽光などの高輝度光源が存在する場合について考える。
- [0072] 図10は、高輝度光源からの入射光30に応じて形成されるフレアの例を示す模式図である。セクション(a)は、スマートフォンにおける顔認証の正常な認証画像50aの一例を示している。認証画像50a内に、認証対象である顔51が明確に含まれていることが分かる。セクション(b)および(c)は、フレアの現象理解のために、太陽の像53だけを映した画像52aおよび52bの例を示している。セクション(b)に示す画像52aに含まれる本来の太陽の像53に対し、セクション(c)に示す画像52bは、無数のスポットや全体的な出力浮きが高輝度光源である太陽の像53の周辺に映り込んでいる。これら高輝度光源に対するスポット54や出力浮きが、フレアと呼ばれる現象である。セクション(d)は、スマートフォンを上向きにしてユーザの顔51を写す際に、顔51の背景に太陽光が存在し、顔51に被ってフレアが映り込んだ認証画像50bの例を示している。
- [0073] このように、固体撮像装置の内部などで反射した高輝度光源由来の迷光が、メインレンズやフィルタといった光学部材45や、スマートフォン筐体などの反射面で再反射し、被写体の顔51の撮像領域にも、フレアなどのゴースト成分として映り込む可能性がある。このフレアは、認証エラーを引き起こして、スマートフォンの認証機能の利便性を損なってしまうおそれがある。
- [0074] この課題は、受光素子において、「高感度化のために受光面の反対側の面に反射機能を持たせると、フレアが悪化」し、「フレアを抑制するために受光面の反対側の面に吸収機能を持たせると感度が低下」するという、特性のトレードオフ挙動となっている。
- [0075] この特性のトレードオフ挙動を解消する手段として、固体撮像装置に含まれる受光素子において、受光面の反対側の面に反射構造を設けた上で、オンチップレンズと基板(Si層)との間にピンホールを設け、当該受光面の反

対側の面による反射光をS i 層内に閉じ込めるようにした構造が提案されている（例えば特許文献1）。

[0076] しかしながら、レンズによって集光される光のビームウエスト ω_0 は、フラウンホーファ回折式を展開して、波長 λ 、媒質の屈折率 n 、焦点距離 f 、レンズサイズ D としたときに、次式（3）の物理則に従って波長 λ に比例して広がるので、ピンホールによる開口部を抜けるように赤外光を絞ることが困難であった。

$$\omega_0 = 1.22 f \lambda / n D \quad \dots (3)$$

[0077] また、特許文献1のように、S i 層とピンホールとの間にクロストーク経路が存在する場合、入射光30が隣接画素に漏れ込むことによる解像度の悪化を引き起こしてしまう可能性もある。

[0078] [4. 本開示の第1の実施形態]

次に、本開示の第1の実施形態について説明する。

[0079] (4-0. 第1の実施形態に係る画素の基本的な構造)

(4-0-1. 第1の実施形態に係る画素構造例)

図11Aおよび図11Bを用いて、第1の実施形態に係る画素の構造について説明する。は、第1の実施形態に係る画素の一例の構成を、受光面に対して垂直方向の断面により示す断面図である。図11Aは、第1の実施形態に係る、画素アレイ部101における有効画素領域に含まれる画素100aの一例の構成を示す図である。また、図11Bは、第1の実施形態に係る、画素アレイ部101の外側に備えられた遮光膜130が半導体基板140に接地されている例を示す図である。なお、図11Aおよび図11Bは、それぞれ、受光面に対して垂直方向の断面により示す断面図として示されている。

[0080] 図11Aは、裏面照射型の固体撮像装置における画素の例であり、半導体基板140の裏面側が上向きになってオンチップレンズ123aが形成され、後述する配線層150が形成される半導体基板140の表面側が下向きに図示されている。また、図11Bに示す構造も、裏面照射型の構造に準じる

。

- [0081] 画素100aは、半導体基板140と、光電変換部121と、MOSトランジスタ103と、遮光膜130と、オンチップレンズ123aと、遮光膜130に設けられたピンホール160（穴部）と、素子分離部124aと、配線層150と、支持基板142と、絶縁膜132と、を含む。画素100aは、さらに固定電荷膜141、反射防止膜125、反射防止膜126、および、光導波路133などを含むことが望ましい。
- [0082] さらにまた、画素100aは、回折・散乱構造129および反射部151などを含んでよい。
- [0083] 半導体基板140は、例えばシリコン（Si）基板、あるいは、インジウム・ガリウム・ヒ素（InGaAs）等の化合物半導体基板とし、画素100a毎に光電変換部121と、複数の画素トランジスタ（例えばMOSトランジスタ130a～130d）とを備える。
- [0084] 光電変換部121は、半導体基板140の厚み方向の全域にわたるように形成され、第1導電型、本例では便宜上n型半導体領域とし、基板の表裏両面に臨むように第2導電型、本例ではp型半導体領域とによるpn接合型のフォトダイオードとして構成される。基板の表裏両面に臨むp型半導体領域は、暗電流抑制のための正孔電荷蓄積領域を兼ねている。各画素100aは、素子分離部124aにより分離される。
- [0085] 固定電荷膜141は、酸素のダイポールによる負の固定電荷を有し、半導体基板140の表面に接するように備えられてもよく、光電変換部121のピンングを強化する役割を果たす。
- [0086] 固定電荷膜141は、例えば、ハフニウム、アルミニウム（Al）、ジルコニウム、タリウム（Ta）およびチタン（Ti）のうちの少なくとも1つを含む酸化物または窒化物により構成することができる。また、ランタン、セリウム、ネオジウム、プロメチウム、サマリウム、ユウロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、ツリウム、イッテルビウム、ルテチウムおよびイットリウムのうちの少なくとも1つを含む酸化物

または窒化物により構成することもできる。

[0087] また、固定電荷膜 141 は、酸窒化ハフニウムまたは酸窒化アルミニウムにより構成することもできる。また、固定電荷膜 141 には、絶縁性が損なわれない量のシリコンや窒素を添加することもできる。これにより、耐熱性等を向上させることができる。固定電荷膜 141 は、波長と屈折率を考慮して膜厚を制御し、屈折率の高い半導体基板 140 に対する反射防止膜の役割を兼ね備えるのが望ましい。

[0088] 図 3 に示した各 MOS トランジスタ 103 は、半導体基板 140 の表面側に形成した p 型半導体ウェル領域に、n 型のソース領域およびドレイン領域を形成し、両領域間の基板表面にゲート絶縁膜を介してゲート電極を形成して構成される。

[0089] 遮光膜 130 は、画素 100a において半導体基板 140 の受光面側に、固定電荷膜 141、絶縁膜 132 などを間に挟んで備えられ、ピンホール 160（穴部）が設けられる。

[0090] 遮光膜 130 は、遮光性が強く、且つ、微細加工、例えばエッチングで精度よく加工できる材料として、例えば Al、タングステン (W)、あるいは銅などの金属膜で形成することが好ましい。その他にも銀、金、白金、モリブデン (Mo)、クロム (Cr)、Ti、ニッケル (Ni)、鉄、テルル等やこれらの金属を含む合金により構成することができる。接する層との間に高融点材料のバリアメタル、例えば、Ti、Ta、W、コバルト (Co)、Mo、あるいはそれらの合金、あるいはそれらの窒化物、あるいはそれらの酸化物、あるいはそれらの炭化物を備えてもよい。バリアメタルを備えることで、接する層との密着性を高めることができる。

[0091] また、この遮光膜 130 は、光学的黒レベルを決定する画素の遮光を兼ねてもよく、あるいは、周辺回路領域へのノイズ防止のための遮光を兼ねてもよい。遮光膜 130 は、加工中の蓄積電荷によるプラズマダメージで破壊されないように接地されていることが望ましい。この遮光膜 130 の接地構造は、画素配列内に形成してもよいが、遮光膜 130 の全てが電氣的に繋がる

ようにした上で、画素100や黒レベルを決定する画素などの有効画素領域の外側に接地構造を備えてもよい。有効画素領域の外側に備えることで光電変換部121の受光側表層の加工ダメージを回避することができる。

[0092] オンチップレンズ123aは、シリコンを材料として構成され、モジュールレンズからの入射光がピンホール160の周囲の遮光膜130にケラレないように、ピンホール160に集光させる。オンチップレンズ123aによってピンホール160を透過した光は光電変換部121で光電変換される。

[0093] オンチップレンズ123aで用いられるシリコンは、アモルファスシリコン（以下、適宜、 α -Siとして記述）、あるいは、多結晶シリコンを適用することができる。 α -Siは、本来ダイヤモンド構造を有する結晶シリコンの構造がランダムになり、シリコン原子同士が無秩序に結合したものである。熱力学的に結晶シリコンに比べて不安定な物質であるが、未結合手に水素を結合させることで安定な固体となる。また結晶シリコンに比して低温（例えば200℃～400℃）で成膜可能で、非結晶性の材料や高温に耐え得ない材料の上にも成膜容易である利点を持つ。一方、多結晶シリコンは、数100[nm]程度の結晶粒が緻密に結合する多結晶構造からなる。

[0094] 図11Bにおいて、遮光膜130が、領域161において、絶縁膜132および固定電荷膜141を貫通して半導体基板140と接触するように構成される。このように、画素アレイ部101の外側においては、金属の遮光膜130が半導体基板140に接触することで接地される領域が設けられる。

[0095] 図12は、結晶シリコン（Si）、アモルファスシリコン（ α -Si）、多結晶シリコン（Poly-Si）の屈折率と消衰係数を示す模式図である。図12において、セクション（a）は、各材料の屈折率と波長との関係を示している。セクション（b）は、各材料の消衰係数kと波長との関係を示し、セクション（c）は、セクション（b）の縦軸（消衰係数k）を拡大して示している。

[0096] α -Siは、可視光領域の波長の光に対する吸収が大きい一方で、赤外領域の波長の光に対しては、消衰係数kが略0で吸収が起こらず好適である。

多結晶シリコンは、赤外領域で消衰係数 $k = 0.01$ 程度の波長領域もあるが、吸収が極めて僅かであり、同じくレンズとして用いることができる。

[0097] 上述の式 (3) により示した、フラウンホーファ回折式による理論計算によれば、屈折率 n が高ければ高いほど、ビームウエスト ω_0 が反比例で小さくなる。ここで、シリコンの近赤外領域における屈折率 n は、 $n = 3.4 \sim 3.8$ 程度である。

[0098] 一方、オンチップレンズ 123a の材料として一般的に用いられる代表的な有機材料としては、例えば、スチレン系樹脂やアクリル系樹脂、スチレン-アクリル共重合系樹脂、シロキサン系樹脂などが挙げられる。これらの有機材料は、概ね屈折率 n が $n = 1.45 \sim 1.6$ 程度とされる。あるいは、オンチップレンズ材料として用いられる代表的な無機材料の屈折率 n は、シリコン窒化膜 (SiN) で $n = 1.8 \sim 1.9$ 程度、SiO₂ で $n = 1.45$ 程度である。

[0099] シリコンの屈折率 n は、これらの一般的なオンチップレンズ 123a の材料の屈折率 n に対して遥かに高い。したがって、シリコン (α -Si、Si、Poly-Si) をオンチップレンズ 123a の材料として用いることで、入射光 30 に対するビームウエスト ω_0 を、上述の一般的な有機材料、無機材料を用いたオンチップレンズ 123a によるビームウエスト ω_0 と比較して、細く絞ることが可能となる。

[0100] 図 13 および図 14 は、波動シミュレーションで求めた同一形状のオンチップレンズ 123a の光強度分布の例を示す模式図である。図 13 および図 14 において、縦軸は入射方向における深さ、横軸は幅方向の位置をそれぞれ示している。また、各図において、塗り潰しの濃さは、光強度を示し、塗り潰しが濃い程、光強度が強いことを示している。

[0101] 図 13 および図 14 それぞれのセクション (a)、(b) および (c) は、オンチップレンズ 123a の屈折率 n がそれぞれ $n = 1.45$ 、 $n = 1.9$ 、および、 $n = 3.5$ の場合の光強度分布の例を示している。セクション (a) および (b) は、それぞれ、一般的な無機材料である SiO₂ および S

i Nの光強度分布の例を示す。また、セクション (c) は、第1の実施形態に係る、シリコン (α -Si) の波長 $\lambda = 940$ [nm] における光強度分布の例を示している。

[0102] 図13は、入射角 $= 0^\circ$ の光に対する集光効果の屈折率依存性の例を示す図である。屈折率が高くなるに連れ、集光ポイントのビームウエスト ω_0 が細く絞られると共に、集光ポイントがレンズ側に近付くことが分かる。この効果により、ピンホール160をより小さく形成することが可能となり、集光構造を低背化することが可能となる。

[0103] 図14は、入射角 $= 30^\circ$ の、斜入射の光に対する集光効果の屈折率依存性の例を示す図である。図13の例と同様に、オンチップレンズ123aの屈折率 n が高くなるに連れ、集光ポイントのビームウエスト ω_0 が細く絞られ、集光ポイントがレンズ側に近付くことが分かる。この効果により、ピンホール160をより小さく形成することが可能となり、集光構造を低背化することが可能となる。さらには、スネルの法則による描像に従い、斜入射で生じるビームシフト量が小さくなっている。斜入射に対するビームシフトの応答性が抑制できるので、様々な角度の光が混在するモジュールレンズのF値光に対し、画角端のピンホール160の径をより絞ることが可能となる。

[0104] オンチップレンズ123aの材料は、ピンホール160の少なくとも一部に埋め込まれるようにすると、好ましい。オンチップレンズ123aの集光ポイントにピンホール160を設けることで、入射光30の感度ロスを抑制しつつ、光電変換部121の受光面と反対側の面に設けられた反射部151で反射や散乱された光を、光電変換部121の内部に閉じ込めることが可能となる。これにより、図8および図9を用いて説明した、半導体基板140の受光面と反対側の表面の反射成分で生じるフレアを抑制することが可能となる。

[0105] 図15は、第1の実施形態に適用可能なピンホールの基本的な形状の例を示す模式図である。ピンホール160は、遮光膜130に設けられた穴部であり、遮光膜130の高さ位置における光強度分布の広がりおよび2次元形

状に合わせるのが好適である。図15のセクション(a)は、円形のピンホール160aの例、セクション(b)は矩形(正方形)のピンホール160bの例、セクション(c)は八角形のピンホール160cの例をそれぞれ示している。ピンホール160の形状は、波動シミュレーションの光強度分布に基づき設計してもよく、実験的に求めてもよい。また、第1の実施形態に適用可能なピンホール160の形状は、上述の円形、矩形および八角形に限定されない。

[0106] オンチップレンズ123aは、受光面側の表面の反射防止膜126と、半導体基板140の側の表面の反射防止膜125を備えてもよい。シリコンに対する反射防止膜は、例えば、 SiN 、酸化チタン(TiO_2)、 Al_2O_3 、 Ta_2O_3 などを用いることが好適である。

[0107] 絶縁膜132は、画素内の遮光膜130と半導体基板140との間に設けられ、反射防止膜125を構成する高屈折率膜、例えば固定電荷膜141に対して屈折率差が大きい膜が好ましく、典型的には SiO_2 が用いられる。

[0108] 素子分離部124は、画素100aと、当該画素100aに隣接する他の画素100aとの境界部分に設けられ、例えばp型半導体領域を含み、これら画素100aと隣接する画素100aとを電氣的に分離する。このように素子分離部124を構成することで、電荷の転がりによるクロストーク現象を抑制することができる。

[0109] さらに、図11Aを用いて説明したように、素子分離部124の少なくとも一部、望ましくは画素100aを囲って閉じるレイアウトでトレンチを形成し、当該トレンチに固定電荷膜141と絶縁膜132と、が埋めこまれていてもよい。このように素子分離部124を構成することで、電荷の転がりに加えて、半導体基板140との屈折率差で生じる反射現象による光学的なクロストークも抑制することができる。

[0110] 配線層150は、画素100aにより生成された画像信号を伝達するものである。また、配線層150は、画素回路に印加される信号の伝達をさらに行う。具体的には、配線層150は、図2の各信号線、各電源線などを構成

する。配線層 150 と画素回路との間は、接続ビアが設けられ、配線層 150 と画素回路とがこの接続ビアにより接続される。また、配線層 150 は、多層で構成されてもよく、配線層 150 に含まれる各配線層の層間も、接続ビアにより接続される。配線層 150 は、例えば、Al や Cu 等の金属により構成することができる。接続ビアは、例えば、W や Cu 等の金属により構成することができる。配線層 150 の絶縁には、例えば、シリコン酸化膜等を使用することができる。

[0111] 半導体基板 140 の受光面と反対側の面には、反射部 151 を備えることが望ましい。反射部 151 は、光電変換部 121 を透過した入射光 30 を反射し、光電変換部に再度入射させる。これにより、光電変換部 121 の感度を向上させることができる。反射部 151 は、配線層 150 の配線と兼ねて、配線レイアウトで大面積パターンを配置することで構成してもよい。この場合、反射部 151 を構成する大面積パターンは、配線層 150 において多層配線やビアを重ねて見た際に、光の強度分布が存在する領域に、少なくとも 50 [%] 以上、望ましくは 75 [%] 以上、より望ましくは 95 [%] 以上の面積率を有すると好ましい。

[0112] 支持基板 142 は、当該固体撮像装置の製造工程において半導体基板 140 などを補強し、支持する基板であり、例えばシリコンなどで構成される。支持基板 142 は、プラズマ接合、あるいは、接着材料で半導体基板 140 と貼り合わされることで、半導体基板 140 などを支持する。支持基板 142 は、ロジック回路が構成されていてもよく、基板間に接続ビアを形成することで、様々な周辺回路機能を縦積みしてチップサイズを縮小することが可能となる。

[0113] 回折・散乱構造 129 は、画素 100a において、半導体基板 140 の、光電変換部 121 の受光面側の端部に設けられる。回折・散乱構造 129 は、光電変換部 121 が形成される半導体基板 140 の、受光面側の界面に周期的な凹凸構造を設ける、モスアイ構造により構成される。

[0114] モスアイ構造は、基板の光入射界面において屈折率差を緩やかにすること

で反射防止効果が生じる。また、凹凸構造により光を回折する光回折部としても機能する。具体的には、回折・散乱構造 129 は、例えば Si (111) 面のウェットエッチングを利用することで形成される四角錐を適用することができる。これに限らず、回折・散乱構造 129 を、ドライエッチングにより形成してもよい。

[0115] このように、オンチップレンズ 123 a の集光ポイントにピンホール 160 を設けることで、入射光 30 に対する感度ロスを抑制しつつ、光電変換部 121 の、受光面と反対側の面に設けられた反射部 151 で反射や散乱された光を、光電変換部 121 の内部に閉じ込めることが可能となる。これにより、図 7 および図 8 を用いて説明した、光電変換部 121 の受光面の反対側の面による入射光 30 の反射に起因するフレアなどの発生を抑制することが可能となる。

[0116] また、入射光 30 は、画素 100 a 内において一部が 0 次光として光電変換部 121 内に入射され、他の一部が回折・散乱構造 129 により光路を変更され、1 次光として光電変換部 121 内に入射される。さらに、光電変換部 121 に入射された光の一部は、反射部 151 により反射され、素子内反射光 202 として回折・散乱構造 129 を透過した光は反射膜 127 に到達する。素子内反射光 202 は、反射膜 127 で反射され、さらに回折・散乱構造 129 により光路を変更され、光電変換部 121 内に入射される。このとき、光電変換部 121 内の光は、ピンホール 160 を有する反射膜 127 により、光電変換部 121 の外部への射出が抑制される。

[0117] このように、第 1 の実施形態に係る画素 100 a は、反射部 151、反射膜 127 および回折・散乱構造 129 により、入射された入射光 30 の光電変換部 121 内における光路を長く取ることができ、光電変換部 121 における光電変換の効率を高めることが可能となる。

[0118] さらに、ピンホール 160 が設けられる遮光膜 130 により、不要光に対する除去効果を得ることが可能である。図 16 は、第 1 の実施形態に係る、ピンホール 160 が設けられる遮光膜 130 により、不要光に対する除去効

果を得ることを説明するための模式図である。図 16 に示されるように、画素 100a に入射される外部迷光である外光 33 は、遮光膜 130 により遮られ、光電変換部 121 への入射が抑制される。さらには、反射防止膜 125 により、反射光として外部への射出も抑制される。

[0119] (4-0-2. 第 1 の実施形態に係る画素の製造方法例)

次に、第 1 の実施形態に係る画素 100a の一例の製造方法について、図 17A~図 17P を用いて説明する。

[0120] 例えばシリコン基板である半導体基板 140 の表面側に対してレジストによりパターンを形成し、半導体基板 140 に対し、p 型のウェル領域 401 および n 型半導体領域等を形成して光電変換部 121 等をイオン打ち込みにより形成する (図 17A)。

[0121] 基板表面の上部には、フォトダイオードに蓄積された電荷の読み出し等を行う複数の MOS トランジスタ 103 と、SiO₂ 膜等の層間絶縁膜を間に介して Al や Cu 等から構成された複数の層を含む配線層 150 が形成される (図 17B)。

[0122] 配線層 150 に含まれる複数の層のうち、最も半導体基板 140 に近い層を面積率 50% 以上の大面積パターンで設計し、反射部 151 を形成してもよい。基板表面と配線層 150 との間は貫通ビアが形成され、撮像素子を駆動するために電氣的に接続される。配線は、一般的には多層で 3 次元的に設計されることが多く、配線の上には SiO₂ 膜等の層間絶縁膜が積層され、この層間絶縁膜を CMP (化学的機械研磨) で配線層の表面を略平坦面にし、その上に上層配線を形成して貫通ビアで下層配線と接続することを繰り返し、設計された層数の配線を順次形成していく。

[0123] この基板を表裏反転させて支持基板 142 にプラズマ接合などで貼り合わせ (図 17C)、裏面を、例えばウェットエッチング、ドライエッチング、CMP 等を用いて研削して薄肉化する (図 17D)。

[0124] 次に、半導体基板 140 の受光面側に回折・散乱構造 129 として、例えば、周期的な四角錐の凹凸のモスアイ構造を形成する工程について説明する

。S i 層の表面に対し、リソグラフィ工程で凹凸パターンの凸部にレジストマスクを形成し（図17E）、ウェットエッチングによる結晶性の異方性エッチングで凹部を形成し、レジストを除去する（図17F）。凹凸パターンの凹部を形成するに際しては、S i 層の受光面およびその反対面を結晶面（100）面とし、凹部の壁面を結晶面（111）面とすることで、結晶性の異方性エッチングにより、結晶欠陥を抑止しつつ高精度な四角錐の凹凸パターンを形成することができる。

[0125] 次に、半導体基板140の受光面側に素子分離部124として、固定電荷膜141と絶縁膜132が埋めこまれたトレンチ構造を形成する工程について説明する。S i 層の表面に対し、リソグラフィ工程で光電変換部121がレジスト403で覆われ（図17G）、各画素境界に対応する部分が格子状に開口するようにレジストマスクを形成する。レジストマスクを介してエッチングでトレンチ加工する。高アスペクト比のエッチングとなるため、ドライエッチング、例えば、エッチング側面の保護とエッチングを繰り返し行うボッシュプロセスが好適である。

[0126] 次にレジストや残渣をアッシング、薬液洗浄等で除去する（図17H）。レジストマスクのパターンに従いトレンチ404が形成される。

[0127] 次に、回折・散乱構造129の凸凹を含む半導体基板の受光面の上とトレンチ内部に、固定電荷膜141と絶縁膜132を順に成膜する（図17I、図17J）。成膜方法は、化学気相成長（CVD: Chemical Vapor Deposition）、原子層蒸着（ALD: Atomic Layer Deposition）、スパッタリングなどを用いることができる。絶縁膜132の表面はCMPにより平坦化してもよい。なお、ここでは受面側に回折・散乱構造129を加工する例を挙げたが、これに限定するものではなく、配線層側から同様の製造方法で回折・散乱構造129を加工してもよい。

[0128] 素子分離部124にトレンチ404を形成する場合、クロストーク抑制視点では半導体基板140を厚み方向に深く形成することが望ましく、より望ましくは貫通するフルトレンチ構造とするのが好適である。但し、トレンチ

404を深くすることは加工ダメージによる暗時特性劣化の恐れがあり、素子分離部124は、側壁部や底部への固定電荷膜141の成膜、または半導体基板中の不純物の高濃度化などでピンングを強化するのが望ましい。

[0129] 次に、有効画素の外側の領域のいずれかで、p型半導体領域である半導体基板140の表面が露出するように絶縁膜132の一部をリソグラフィとドライエッチングでトレンチ加工し（図示しない）、遮光膜130として金属膜、例えば、W、もしくはAlをCVD、スパッタリングなどで成膜する（図17K）。なお、ここでのトレンチ加工は、遮光膜130をグランド電位にするためであり、これにより、加工中に生じるプラズマダメージを回避することができる。

[0130] 遮光膜130の膜厚は、遮光性の観点では厚い方が望ましく、加工の容易さと、ピンホール160のケラレを抑制するためには薄い方が望ましく、両者のバランスでおよそ50～300[nm]程度が望ましく、100～250[nm]が好適である。密着性向上やストレスマイグレーション対策として、遮光膜130の下にバリアメタル、例えば、Ti、TiNなどを10～50[nm]程度成膜してもよい。

[0131] 次に遮光膜130の上にリソグラフィでピンホール部が開口したレジストマスクを形成し、エッチング、例えばドライエッチングを用いてピンホール160を形成し、レジストや残渣をアッシング、薬液洗浄等で除去する（図17L）。エッチングは、遮光膜130だけでなく、開口部の絶縁膜132を少なくとも50[nm]以上、可能であれば100[nm]以上エッチングするのが望ましい。後述する穴部に埋め込まれるレンズ材料のシリコンの下面が、遮光膜130よりも光電変換部121側に位置することで、遮光膜130による閉じ込め効果を高めることができる。

[0132] 次に、オンチップレンズの下面に対する反射防止膜125として、例えばSiNをALD、CVD、スパッタリングなどで成膜してもよい（図17M）。ALD、CVDを用いれば、側壁部含めて均一に成膜することが可能となり、スパッタリングを用いれば平坦部と穴の底だけに成膜することができ

る。反射防止膜 125 の膜厚は、想定波長を考慮して反射防止設計とするのが望ましく、ここでは波長 940 [nm] に対し、SiN を 100~150 [nm] とする。

[0133] 反射防止膜 125 を設ける場合には、前述した絶縁膜 132 のオーバーエッチング量を、反射防止膜 125 の膜厚分だけ増やすことが望ましい。但し、プロセスばらつきで固定電荷膜 141 や Si 層の表面をエッチングしてしまうと加工ダメージで暗時特性の悪化が懸念されるため、必要に応じて絶縁膜 132 の初期膜厚を厚くしておくことが望ましい。

[0134] 次に、オンチップレンズ 123 のレンズ材料 405 として、例えば α -Si を、CVD、スパッタリングなどの方法で、例えば 200~400 °C 程度で成膜する（図 17N）。ピンホール 160 に埋めこむ際に穴部にボイド（空気層）が発生すると透過率が低下するため、閉塞しにくい CVD が好適である。 α -Si は非結晶性の材料や高温に耐えない材料の上にも成膜しやすい利点を持つ。

[0135] あるいは、ポリシリコンをレンズ材料 405 としても良い。ポリシリコンは 600~1000 °C の成膜温度が必要となるため、配線層 150 が形成された後の工程に不向きだが、レーザーアニール、あるいは、イオンビームの励起エネルギーを活用すれば 400 °C 以下で成膜することができる。信頼性試験の高温放置において α -Si の水素が脱離して保証すべき特性を満たさない場合には、安定した結晶状態のポリシリコンを用いることが望ましい。

[0136] 前述した反射防止膜 125 を CVD などピンホール 160 の側壁にも形成しておけば、内側が屈折率の高いシリコンでコア部となり、外側が屈折率の低い反射防止膜 125 でクラッド部となり、ピンホール内部に光導波路 133 を形成することができる。このピンホール 160 の内部に備える光導波路 133 は、光導波路 133 の下面が遮光膜 130 の下面から突き出して、光電変換部 121 の側に延びているのが望ましい。

[0137] レンズ材料 405 のシリコンの上に、リソグラフィ工程でレジストを、例えば、各画素に矩形で残るようにパターニングし、現像する。その後、熱軟

化点より高い温度で熱処理を行うことにより、レジストをレンズ形状に形成する。そして、レンズ形状のレジストをマスクとして、例えば、 CF_4/O_2 、 C_4F_8 などを用いたドライエッチングでレンズ形状を下地のシリコンに転写する（図170）。

[0138] なお、レンズ材料405のシリコンと下地との密着性を上げるために、成膜の前にHe、Ar、 O_2 、 N_2 などのプラズマで表面を荒れさせる処理を行っても良い。より強固に下地との密着性を上げる必要がある場合は、回転塗布、あるいは、CVDで、シランカップリング剤を成膜してもよい。これらの成膜手法は、様々な下地、例えば、絶縁膜132、固定電荷膜141、反射防止膜125などの無機系材料、或いは、カラーフィルタなどの有機材料などに適用することが可能である。

[0139] シランカップリング剤は、分子中に2個以上の異なった反応基を持ち、一つは、無機質材料と化学結合する反応基、もう一つが有機質材料と化学結合する反応基である。そのため、通常では非常に結びつきにくい有機質材料と無機質材料を結ぶ仲介役としての働きを有する。シランカップリング剤は、任意の有機基を有するアルコキシシランを用いることができ、当該有機基としては、アルキル基、エポキシ基含有基、アミノ基含有基、メルカプト基含有基、（メタ）アクリル基含有基、重合性二重結合含有基、アリール基等が挙げられる。

[0140] オンチップレンズ123の上には、反射防止膜126として、例えばSiNをALD、CVD、スパッタリングなどで成膜してもよい（図17P）。反射防止膜125の膜厚は、想定波長を考慮して反射防止設計とするのが望ましく、ここでは波長940[nm]に対し、SiNを100～150[nm]とする。

[0141] （4-0-3. 第1の実施形態に係る画素のより詳細な説明）

次に、第1の実施形態に係る画素100aについて、より詳細に説明する。図18は、第1の実施形態に係る画素100aの構造例をより詳細に示す模式図である。図18において、左側の図は、画素100aの、受光面に対

して垂直方向の断面を示す模式図である。また、右側の図は、画素100aの各部を入射光30の入射側から見た様子を示す模式図である。

[0142] なお、図18におけるこれら左右の図の意味は、以降の類似の図（図27～図30、図32～図37）において同様である。また、以下では、特に記載の無い限り、図27～図30、図32～図37において、上側を画素100の上側、下側を画素100の下側として説明を行う。さらに、適宜、光電変換部121の入射面の側を光電変換部121のトップ、入射面の反対側を光電変換部121のボトムと呼ぶ。さらにまた、図18および図27～図30、図32～図37において、カラーフィルタなど光学フィルタの記載が省略されている。

[0143] 図18に示す構成において、それぞれSiに対するレンズ上の反射防止膜126、レンズ下の反射防止膜125、および固定電荷膜の膜厚は、おおよそ $\lambda/4$ 則に従い設計される。具体的な例としては、波長 $\lambda=940$ [nm]、入射角を 0° とした場合、各膜厚は、例えば次のようになる。

SiN膜 ($n=1.88$) : 略110～140 [nm]

TiO₂膜 ($n=2.4$) : 略90～110 [nm]

[0144] このとき、さらにフレネル係数で角度影響および多層影響を考慮すると好ましい。実際の画素100の構造は、半導体基板140に対して形成される多層膜構成となっており、構造全体を考慮して最適膜厚を設定するのが望ましい。さらにはメインレンズからの光の入射角度も画角によって異なるため、角度依存性も踏まえて最適値を求めるのがより望ましい。

[0145] 図19、図20および図21を用いて、第1の実施形態に対して、フレネル係数の理論計算に従って最適化を行った場合の計算結果について説明する。なお、以下では、半導体基板140の受光面に近い側から、Al₂O₃、Ta₂O₅、SiO₂、SiN（第1SiNと呼ぶ）、 α -Si（オンチップレンズ123a）、SiN（第2SiNと呼ぶ）の順に各層を形成するものとして説明を行う。

[0146] 図19は、波長 $\lambda=940$ [nm]における各層の反射率の膜厚依存性の

シミュレーション結果を示す図である。図19において、セクション(a)が第2 SiN、セクション(b)が第1 SiN、セクション(c)が SiO₂、セクション(d)が Ta₂O₅の反射率の膜厚依存性をそれぞれ示している。

[0147] なお、オンチップレンズ123aの α -Siの厚さは、画素サイズに対して集光の最適値が変わるため、ここでは1000[nm]と仮定している。固定電荷膜141の下層に用いられる Al₂O₃は、ピニングの役割とALD成膜のスループットとのバランスで決まり、ここでは15[nm]としている。

[0148] 図20は、上述の前提において反射防止設計を行った結果で得られた、最適構造の例を示す図である。図20によれば、入射面側から順に、レンズ上の反射防止膜126と、レンズ下の反射防止膜125とをSiNとした場合に135[nm]、絶縁膜132をSiO₂とした場合に45[nm]、固定電荷膜141をAl₂O₃の15[nm]の上にTa₂O₅を85[nm]程度の膜厚としている。

[0149] 図21は、この図20の構成における反射スペクトルのシミュレーション結果を示す図である。図21に示されるように、図20に構成によれば、波長 $\lambda=940$ [nm]において1[%]未満の反射率となり、且つ、入射角度30°まで、その光学特性を維持できることが分かる。

[0150] また、半導体基板140のSi層の厚みは、光電変換部121のボトムにおける反射にロスがあるため、量子効率を考慮して、4[μ m]以上とすることが好ましい。半導体基板140のSi層の厚みの上限は、インプラネーション装置のエネルギー制約や、素子分離部124aにおけるDTI加工のバラツキなどを考慮して、少なくとも18[μ m]以下、より好ましくは14[μ m]とすることが望ましい。但し、半導体基板140のSi層の厚みの上限については、製作に係る装置の特性なども影響するため、この限りではない。

[0151] このような構成において、オンチップレンズ123aにより入射光30を絞り、入射光30がピンホール160を通過した後に、回折・散乱構造12

9により入射光30の光路長を伸ばす。また、斜め光に対しては、DTI構造による素子分離部124aで反射させて、素子内反射光202として光電変換部121内部に光を戻す。さらに、光電変換部121のボトムにおいて、反射部151により、入射光30を反射させ素子内反射光202として光電変換部121内部に戻す。

[0152] また、光電変換部121の上部に向かう素子内反射光202については、ピンホール160により射出口を制限すると共に、ピンホール160が設けられる反射膜127により、光電変換部121内部に戻す。

[0153] このように、第1の実施形態に係る画素100aは、入射光30を光電変換部121内部に効率的に閉じ込めることが可能であり、高感度化と、配線層150で反射された反射光に起因するフレアの抑制とを両立できる。さらに、図16を用いて説明したように、ピンホール160を設けることで、外部迷光である外光33によって引き起こされるフレアを抑制することができる。さらには、ピンホール160が形成される上面側を反射防止膜128とすることにより、反射光が外部に射出することも抑制される。

[0154] (4-1. 第1の実施形態に適用可能なピンホールの変形例)

次に、第1の実施形態に適用可能なピンホール160について、より具体的に説明する。

[0155] (ピンホールの形状について)

上述の図15に示したピンホール160a、160bおよび160cの各形状(円形、矩形、八角形)は、それぞれ基本的な形状であって、ピンホール160の形状は、例えば画素100aの有効画素領域内での光強度分布に応じて変形させることができる。

[0156] 図22は、第1の実施形態に係る、想定される光強度分布に応じて、画角内でピンホール160の形状を変更させる例を示す模式図である。図22において、有効画素領域1300は、1フレームの画像を形成するために用いる画素100が含まれる領域であって、画角に対応する領域となる。図22の例では、有効画素領域1300の中心位置1301が、光学部11におけ

るメインレンズの光軸の位置が一致する像高中心となる。

[0157] この中心位置 1301 を含む範囲 F では、例えば光強度分布の形状が略円形、あるいは略矩形となる。この範囲 F に対して、ピンホール 160 として図 15 に示した基本的な形状のピンホール 160a あるいはピンホール 160b を適用することができる。範囲 F に対して八角形のピンホール 160c も適用可能であるが、図 22 では省略されている。

[0158] 画角の中心位置 1301 に対して画角の周辺方向に向けてずれた位置では、光強度分布の形状が、中心位置 1301 からの方向を長軸方向とし、長径と短径との比率が距離に応じた値である楕円形に準じた形状となる。この光強度分布の画角依存に合わせ、光電変換部 121 に対してより多くの入射光 30 を入射させるために、ピンホール 160 の形状を、画素 100a の画角内の位置に応じて変形させる。

[0159] 例えば、中心位置 1301 から画角（有効画素領域 1300）の水平方向にずれた範囲 G では、ピンホール 160 の形状が、ピンホール 160d あるいはピンホール 160e に示すように、範囲 F のピンホール 160a あるいは 160b を、水平方向に引き伸ばした形状とすることができる。また、例えば中心位置 1301 から画角の角方向にずれた範囲 H では、ピンホール 160 の形状が、ピンホール 160f あるいはピンホール 160g に示すように、範囲 F のピンホール 160a あるいは 160b を、角方向に引き伸ばした形状とすることができる。

[0160] また、ピンホール 160 の大きさを、画角（有効画素領域 1300）内での光強度分布に応じて変更することができる。図 23 は、第 1 の実施形態に係る、想定される光強度分布に応じて、画角内でピンホール 160 の大きさを変更させる例を示す模式図である。

[0161] 画角内の光強度は、光軸位置すなわち画角の中心位置 1301 から周辺に向けて、分布の広がり方が変化する。そのため、光電変換部 121 に対してより多くの入射光 30 を入射させるために、ピンホール 160 の大きさを、中心位置 1301 からの距離に応じて連続的に変更する。図 23 の例では、

ピンホール160を、中心位置1301を含む局所範囲Fにおけるピンホール160smIに対して、中心位置1301から離れた局所範囲Iではピンホール160smIより大きなピンホール160midとする。また、中心位置1301から範囲Iに対してさらに離れた範囲Jでは、ピンホール160midよりさらに大きなピンホール160lrgとする。

[0162] (瞳補正について)

次に、第1の実施形態に係る瞳補正について説明する。画角内において、各画素100aのメインレンズの光軸位置に対する像高に応じて、画素100aに対する主光線の角度や射出瞳の形状が変化する。そのため、各画素100aのオンチップレンズ123aなどの位置を像高と集光構造内の高さに応じてずらすことにより、メインレンズからの光を光電変換部121に効率良く導く瞳補正の技術が知られている。

[0163] 図24は、第1の実施形態に係る瞳補正の方法を、既存技術による瞳補正の方法と対比させて示す模式図である。なお、図24では、画素100aの一例の構成を、受光面に対して垂直方向の断面により示している。

[0164] 図24において、セクション(a)は、瞳補正が行われていない状態を示している。この状態では、オンチップレンズ123aの頂点の位置と、ピンホール160の位置とが画素100aにおける受光面の中心に一致している。

[0165] 図24のセクション(b)は、既存技術による瞳補正を説明するための図である。既存技術では、矢印Kにて示されるように、画素100a-1において、オンチップレンズ123aの位置を移動させることで、瞳補正を実行していた。第1の実施形態では、図24のセクション(c)に矢印Lにて示されるように、画素100a-2において、オンチップレンズ123aは移動させずに、ピンホール160を移動させることで、瞳補正を行うこともできる。オンチップレンズ123の移動による瞳補正は隣接レンズとの干渉があるため、近傍画素と瞳補正量を大きく違えることが困難だが、ピンホール160の設計は画素100a-2毎に異なる瞳補正が可能となる。なお、オ

ンチップレンズ 1 2 3 の瞳補正とピンホール 1 6 0 の瞳補正を併用して適用することも可能である。

[0166] 図 2 5 は、第 1 の実施形態に係る瞳補正の適用例について説明するための模式図である。図 2 5 の例では、ピンホール 1 6 0 を、画角端で主光線の傾きが大きくなるワイド画像撮像用の画素と、主光線が平行に近づく望遠画像撮像用の画像と、で異ならせた例である。

[0167] 図 2 5 のセクション (a) は、画角の中央部分におけるワイド画像撮像用の画素 $100a_{wc}$ と、望遠画像撮像用の画素 $100a_{tc}$ とを示している。これら画素 $100a_{wc}$ および $100a_{tc}$ においては、ピンホール 1 6 0 は、それぞれ中心部分に設けられている。

[0168] 図 2 5 のセクション (b) は、画角の例えば水平方向の左端部分におけるワイド画像撮像用の画素 $100a_{we}$ と、望遠画像撮像用の画素 $100a_{te}$ とを示している。画素 $100a_{te}$ は、ピンホール 1 6 0 が画素 $100a_{te}$ の中心から距離 d_2 だけ左にずらして設けられている。一方、画素 $100a_{we}$ は、ピンホール 1 6 0 が画素 $100a_{we}$ の中心から、距離 d_2 より大きい距離 d_1 だけ左にずらして設けられている。

[0169] なお、ワイド画像撮像用の画素 $100a_{wc}$ および $100a_{we}$ 、ならびに、望遠画像撮像用の画素 $100a_{tc}$ および $100a_{te}$ は、例えば画角において混在させ交互に配置することができる。例えば、光学部 1 1 がレンズ交換方式やズーム機構に対応している場合、画角やズーム倍率の変さらに応じて、ワイド画像撮像用の画素 $100a_{wc}$ および $100a_{we}$ と、望遠画像撮像用の画素 $100a_{tc}$ および $100a_{te}$ と、のうち何れを用いるかを切り替えるようにできる。

[0170] (ピンホールのサイズについて)

ここで、ピンホール 1 6 0 のサイズについて説明する。上述したように、ピンホール 1 6 0 は、遮光部に対する開口部として構成される。このとき、ピンホール 1 6 0 による遮光部の開口の面積は、光電変換部 1 2 1 のトップの面の面積に対して、少なくとも面積率が 5 0 [%] 以下、望ましくは面積

率が25 [%] 以下とする。

[0171] 図26は、第1の実施形態に係る、面積率が25 [%] のピンホール160の例を示す模式図である。図26のセクション(a)は、形状が矩形(正方形)であり、且つ、面積率が25 [%] のピンホール160dの例を示している。また、図26のセクション(b)は、形状が円形であり、且つ、面積率が25 [%] のピンホール160eの例を示している。

[0172] また、ピンホール160のサイズの下限は、対象とする波長 λ の $1/2$ 程度とする望ましい。例えば、画素100aが700 [nm] ~ 1000 [nm] の波長領域の光を受光対象とする場合、ピンホール160のサイズの下限は、対象波長領域の下限の波長 $\lambda = 700$ [nm] の $1/2$ の350 [nm] とする。形状が円形のピンホール160aの場合は、直径の下限が350 [nm] となる。また、形状が矩形(正方形)のピンホール160bの場合は、例えば辺の長さの下限が350 [nm] となる。

[0173] (4-2. 第1の実施形態に適用可能な遮光膜の変形例)

次に、第1の実施形態に適用可能な遮光膜130の変形例について説明する。

[0174] 遮光膜130は、2層、あるいは2層以上の多層膜とし、光電変換部121側の最表面を反射膜127として、光入射側の最表面を反射防止膜128として備えるのがより望ましい。光電変換部121側の最表面に反射膜127を備えることで、配線層150からの反射光を光電変換部121に戻して感度向上に寄与させることができる。さらには、光入射側の最表面に反射防止膜128を備えることで、ピンホール160を抜けずに遮光膜130で反射される光を低減し、フレアやゴーストを抑制することができる。

[0175] 反射膜127は、例えばAl、銅(Cu)、金(Au)、銀(Ag)、白金(Pt)等の反射率の高い金属材料、あるいはそれらの合金などを用いてもよい。あるいは、誘電膜の積層構造で反射設計した多層膜を用いてもよい。これらの膜は、CVD、ALD、スパッタリングなどを用いて成膜される。

- [0176] 反射防止膜 128 は、例えば W、Ti 等の反射率の低い金属材料、あるいはそれらの合金、あるいはそれらの窒化物、あるいはそれらの酸化物、あるいはそれらの炭化物を用いてもよい。あるいは、誘電膜の積層構造で反射防止設計した多層膜を用いてもよい。これらの膜は、CVD、ALD、スパッタリングなどを用いて成膜される。その他に、反射膜 127 の上にカーボンブラックなどの吸収材料を含む有機膜を回転塗布してもよい。
- [0177] 多層の遮光膜 130 を製膜した後、リソグラフィ工程でピンホール部が開口したレジストマスクを形成し、エッチングでピンホール 160 を形成し、レジストや残渣をアッシング、薬液洗浄等で除去する。
- [0178] また、反射膜 127 を成膜した後に、上述したリソグラフィとエッチングによる製造方法でピンホール 160 の 1 段目を形成し、次に、反射防止膜 128 を成膜して、1 段目と異なる開口サイズでピンホール 160 の 2 段目を形成してもよい。このように形成することで、ピンホール 160 の端部の遮光膜厚が薄くなり、ケラレ成分による感度低下を抑制し、特に画角端の斜入射耐性を向上させることができる。
- [0179] あるいは、別の手法として、リソグラフィ工程におけるフォーカスなどの転写条件の制御、または現像後のレジストのリフロー処理により、レジストマスクでピンホール部をテーパ形状に形成し、エッチングすることでもピンホール 160 の端部の遮光膜厚を薄く形成することができる。同様に、ケラレ成分による感度低下を抑制し、特に画角端の斜入射耐性を向上させることができる。レジストマスクのテーパ化は、開口サイズの加工ばらつきが大きくなる手法である一方で、工程数を少なく加工できる。
- [0180] また、反射防止膜 128 として、カーボンブラックなどの吸収材料を含む有機膜を用いる場合、感光剤を混ぜることにより、リソグラフィの転写と現像でピンホール部を形成してもよく、エッチング工程を削減することができる。
- [0181] (4-3. 第 1 の実施形態に適用可能な素子分離部の変形例)
次に、第 1 の実施形態に適用可能な素子分離部 124 a の変形例について

説明する。

[0182] (素子分離部の第1の変形例)

図27は、第1の実施形態の素子分離部の第1の変形例に適用可能な画素100bの構造例を示す模式図である。図27において、素子分離部124bは、固定電荷膜141と空隙134と、からなるトレンチ構造としてもよい。当該トレンチ構造の開口上端部のトレンチ幅は、空隙134を形成する際の閉塞性を考えて、100[nm]以下とするのが望ましい。前述の方法でトレンチ加工した後、固定電荷膜141、例えば Al_2O_3 を、例えば10～20[nm]程度、ALDで成膜する。トレンチ側壁に固定電荷膜141が成膜され、ピニング強化で加工ダメージの影響を軽減することができる。

[0183] 次に Ta_2O_5 をスパッタリングなどのカバレッジの悪い方法で成膜してトレンチ上部の開口を閉塞させ、トレンチ内部に空隙134を形成する。その後、絶縁膜132、例えば SiO_2 を成膜すればよい。

[0184] 空隙134は屈折率 $n=1$ の空気層で、絶縁膜132と比べて半導体基板140との屈折率差が大きく、素子分離部124bに侵入した光が反射されて自画素の光電変換部121に戻り、感度向上やクロストーク抑制に寄与する。閉塞が不十分で、素子分離部124bが固定電荷膜141と絶縁膜132と空隙134と、からなるトレンチ構造となった場合でも、空隙134による屈折率差の効果を享受することができる。

[0185] (素子分離部の第2の変形例)

図28は、第1の実施形態の素子分離部の第2の変形例に適用可能な画素100cの構造例を示す模式図である。図28において、素子分離部124cは、トレンチの中に固定電荷膜141と、絶縁膜132と、埋め込み遮光膜135が埋めこまれていてもよい。トレンチ幅は、埋め込み遮光膜135の埋め込み性を考慮して100[nm]以上とするのが望ましい。

[0186] 前述の方法でトレンチ加工した後、固定電荷膜141は、例えば Al_2O_3 を10～20[nm]程度、ALDで成膜し、 Ta_2O_5 をカバレッジの悪い方法、例えばスパッタリングで、例えば反射防止効果が得られるように40～8

0 [nm] 程度成膜する。そして、絶縁膜 132、例えば SiO_2 を 30~70 [nm] 程度、トレンチ上端が閉塞しないように ALD で成膜する。

[0187] 次に、埋め込み遮光膜 135 を、例えば Al、W などの金属膜を、CVD、ALD、スパッタリングなどの手法で埋めこむ。下地に高融点材料のバリアメタル、例えば、Ti、Ta、W、Co、Mo、あるいはそれらの合金、あるいはそれらの窒化物、あるいはそれらの酸化物、或いは、それらの炭化物を備えてもよい。バリアメタルを備えることで、接する層との密着性を高めることができる。

[0188] 埋め込み遮光膜 135 として W を用いる場合、隣接する画素に対するクロストークを抑制できる一方で、素子分離部 124 に埋め込まれた W での光の吸収により、若干の感度の低下が発生するおそれがある。

[0189] 埋め込み遮光膜 135 として Al を用いる場合、金属材料に比べて反射率が高く、素子分離部 124 で反射した光が自画素の光電変換部 121 に戻り、W と比較して感度の向上が期待できる。一方、バリアメタル無しでの Al のトレンチに対する埋め込みは、公知の方法、例えば、高温スパッタリングなどを用いることができるが、プロセス難易度が高く、埋め込み不良によって歩留まりが低下するおそれがある。

[0190] W、Al 以外にも、Cu、Ag、Au、Pt、Mo、Cr、Ti、Ni、鉄 (Fe)、テルル (Te) 等やこれらの金属を含む合金により構成することができる。また、これらの材料を複数積層して構成することもできる。

[0191] (素子分離部の第 3 の変形例)

図 29 は、第 1 の実施形態の素子分離部の第 3 の変形例に適用可能な画素 100d の構造例を示す模式図である。図 28 を用いて説明した画素 100c に対し、CMP による全面研磨、または全面エッチバックにより、光電変換部 121 上の埋め込み遮光膜 135 を除去し、改めて遮光膜 130 を成膜してもよい。埋め込み遮光膜 135 の上端が平面状の遮光膜 130 に接するように構成することで、クロストーク抑制効果を高めることができる。この場合、埋め込み遮光膜 135 はバリアメタルの Ti を組み合わせて埋め込み

性に優れるWとし、平面状の遮光膜130を反射率が高く埋め込みの難しいAlにする組み合わせが好適である。

[0192] 或いは、遮光膜130を構成する金属を埋め込み遮光膜135と兼ねることも可能であり、工程数削減のメリットを享受することができる。この場合、遮光膜130の下面の反射膜127と、素子分離部124の埋め込み遮光膜135とを、反射率の高いAlで兼ねるのが好適である。

[0193] この場合、トレンチ加工後、高温スパッタリングなどでAlをトレンチに埋め込む際に、平面部にもAlが成膜される。そのAlを遮光膜130として、レジストマスクにエッチングしてピンホール160を形成してもよい。あるいは、Alを反射膜127として、その上に反射防止膜128、例えばWを成膜してからピンホール加工を行っても良い。

[0194] (4-4. 第1の実施形態に適用可能な配線層側の反射部の変形例)

次に、第1の実施形態に適用可能な反射部151の変形例について説明する。

[0195] 図30は、第1の実施形態の配線層側の反射部の変形例に適用可能な画素100eの構造例を示す模式図である。半導体基板140の受光側と反対側の面に反射部151を形成してもよい。反射部151は、例えば、Al、Ag、Au、Cu、Pt、Mo、Cr、Ti、Ni、W、Fe、等の金属材料や、これらの金属を含む合金材料、および、積層構造からなる金属反射板155としてもよい。金属反射板155は配線層150に含まれる接続ビアの周辺を開口する必要がある。さらには加工中の蓄積電荷によるプラズマダメージで破壊されないように接地させておくことが望ましい。

[0196] (金属反射板の製造方法の例)

第1の実施形態に適用可能な、金属反射板155の製造方法の例について、図31A～図31Hを用いて説明する。まず、半導体基板140にp型のウェル領域ならびにn型の半導体領域をイオン打ち込みで形成し、半導体基板140の表面に熱酸化によるゲート絶縁膜505を形成し、多結晶シリコンを成膜してレジストマスクにエッチングを行うことでゲート506を形成

する（図31A）。

[0197] 次に絶縁膜507、例えば SiO_2 をCVDにより形成する。なお、 SiO_2 の下層にエッチングストoppaとなる SiN の膜を配置することもできる（図31B）。

[0198] 次に、異方性のドライエッチングにより、ゲート側面に側壁絶縁膜508を形成する（図31C）。さらに、半導体基板140の表面に絶縁膜509、例えば SiO_2 をCVDで形成する（図31D）。次に、反射部151の材料となる金属反射板155を、半導体基板140の表面側に、CVDやスパッタリングにより形成する（図31E）。

[0199] 次に、レジストマスクに金属反射板155のエッチングを行い、ゲート近傍の接続ビアのための開口部等を形成する（図31F）。これにより、半導体基板140の受光面と反対側に、反射部151を形成することができる。その後、層間絶縁膜510を成膜し（図31G）、接続ビア511など配線層150以降を形成する（図31H）。

[0200] なお、反射部151は、半導体基板140の表面部に限定するものではなく、例えば、半導体基板140の受光側と反対の面と、その面に最も近い配線層との間に形成してもよい。あるいは、配線層150に含まれる配線層と配線層との間に形成することも可能である。どちらの場合にも、層間絶縁膜510を、絶縁に必要な所望の膜厚より少なく成膜し、金属反射板155を成膜後、レジストマスクに接続ビア511を含む開口部を形成し、残りの層間絶縁膜510を所望の膜厚まで成膜すればよい。なお、配線層150の付近に金属膜を配置することは、電流が流れる配線や接続ビア511に電磁気学的に相互作用を及ぼすため、必要距離を離して、配線容量に考慮した設計にする必要がある。

[0201] 何れの製造方法においても、金属反射板155の成膜の前に、下地の絶縁膜509の一部をレジストマスクにエッチングでトレンチ加工し、下層の配線、あるいは、半導体基板140に接地させるのが望ましい。

[0202] 反射部151は、反射部屈折率の異なる絶縁体の多層膜153で赤外光を

選択的に反射させるように膜厚を設定し、低屈膜と高屈膜を交互積層してもよい。低屈膜は、例えばシリコン酸化膜が好適である。高屈膜は、 SiN 、酸化チタン (TiO_2)、アルミナ (Al_2O_3)、酸化タンタル (Ta_2O_5)、 $\alpha\text{-Si}$ などを用いることができる。この場合、反射部 151 が絶縁体の多層膜 153 で形成される場合には、接地が不要になり、配線容量への影響も比較的軽微となり、接続ビア 511 のための開口工程が不要になる利点がある。なお、対象波長が想定と異なる使われ方になる場合、反射防止設計がずれて反射率が低下するおそれがある。

[0203] (4-5. 第1の実施形態に適用可能な光導波路の変形例)

次に、第1の実施形態の光導波路 133 の変形例について説明する。

[0204] 図32は、第1の実施形態に適用可能な光導波路の変形例に適用可能な画素 100f の構造例を示す模式図である。ピンホール 160 の内部に備える光導波路 133 は、光導波路 133 の下面がピンホール 160 下面を突き出して、光電変換側に延びているのが望ましい。例えば、光導波路 133 は、図32に示すように、半導体基板 140 の受光面より深く形成してもよい。

[0205] 例えば、遮光膜 130 の開口の際に、ハードマスクプロセスを用いる。具体的には、遮光膜 130 を成膜後、無機膜として例えば SiN などを成膜し、レジストマスクにエッチングで SiN を加工する。この SiN をマスクにして、遮光膜 130 をエッチングした後も、下地の絶縁膜 132、固定電荷膜 141 をエッチングし、さらに、ボッシュプロセス等で半導体基板 140 を掘り進む。レジストや加工残渣を薬液で除去する。必要に応じて、側壁に形成された基板の加工ダメージ層を、ウェットエッチング等で除去してもよい。あるいは、半導体基板 140 に対する光導波路 133 の掘り込みを先細りする形状にすることで、光の浸み出し効果で反射現象を抑制し、反射しても対向する斜面での多重反射で半導体基板 140 側に抜ける確率を高めることが可能である。先細りする形状は、例えば $\text{Si}(111)$ 面のウェットエッチングを利用して四角錐を形成してもよく、あるいは、ボッシュプロセスの堆積条件を強めて先細り形状にしてもよい。

[0206] 次に光導波路のクラッド部136を形成する。例えば、最初の成膜はピニングを強化するために固定電荷膜141として挙げた材料を用いるのが望ましく、例えばここでは Al_2O_3 を10～20[nm]程度、ALDで成膜する。さらには光導波路133のボトム部の反射防止も考慮して、CVD、ALD、スパッタなどを用いて、例えば、 Ta_2O_5 を50～70[nm]程度、 SiO_2 を80～100[nm]程度、 SiN を110～140[nm]程度成膜すると好適である。この説明は一例であって、反射防止となる組み合わせは、上述に限定するものではない。このように光導波路133を備えることで、ピンホール160から光電変換部121まで確実に光を導くことができる。

[0207] 別の変形例として、固定電荷膜を成膜した後に、直接的に、レンズ材料となるシリコンを成膜することも可能である。あるいは、ピニングが強化できずに暗時特性の悪化懸念を抱えるが、固定電荷膜なしに穴部にオンチップレンズ123の材料、例えば $\alpha\text{-Si}$ を埋めこんでもよい。このように備えれば、屈折率差のないシームレスな光の伝搬が可能となる。

[0208] (4-6. 第1の実施形態に適用可能な回折・散乱構造の変形例)

次に、第1の実施形態に適用可能な回折・散乱構造129の変形例について説明する。

[0209] 図33は、第1の実施形態の回折・散乱構造の変形例に適用可能な画素100gの構造例を示す模式図である。光分岐部157は、光電変換部121のトップ部に対してトレンチを形成し、前述した固定電荷膜141と、絶縁膜132、例えば SiO_2 をALDなどで埋め込んで形成される。あるいは素子分離部124の変形例で述べた固定電荷膜141と空隙134を光分岐部157のトレンチに埋め込んでも良い。光分岐部157は、ピンホールの真下に配置してもよい。但し、画角端で入射光の角度が大きくなる場合には、オンチップレンズ123で集光された光が、ピンホール160を通過して光電変換部121のトップに到達する位置に、備えるのが望ましい。即ち、瞳補正と同じように画角内で光分岐部157がシフトすることになる。

- [0210] また、光分岐部 157 は、光電変換部 121 に対して、トップから比較的浅い位置まで設けられる。光分岐部 157 の深さ（トップからの長さ）は、例えばピンホール 160 の径、光電変換部 121 のサイズ、想定される入射光 30 の入射角などを考慮して決めることが好ましい。
- [0211] 入射光 30 は、ピンホール 160 を通過して光分岐部 157 で散乱され、光路を変更される。このように、光分岐部 157 は、光を斜め方向に偏向させる偏向部として機能する。なお、この変形例では、モスアイ構造による回折・散乱構造 129 は設けられない。
- [0212] 光分岐部 157 で散乱された光は、例えば光電変換部 121 の側壁によりさらに反射され、光路長を長く取ることができると共に、0 次光が減少し、感度の向上が期待できる。一方で、光分岐部 157 を設けることで、光電変換部 121 内部において、斜め光の比率が高くなり、光電変換部 121 の側壁による光の吸収やクロストークといった影響が大きくなるおそれがある。
- [0213] 光分岐部 157 は、入射光 30 の入射側から見た場合、例えば図 33 の右図にピンホールパターン PT (1) として示されるように、ピンホール 160 に対して 90° の角度でクロスさせて設けることができる。このとき、クロスさせる角度は 90° に限定されない。また、図 33 の右図にピンホールパターン PT (2) として示されるように、クロスさせた光分岐部 157 に対して、さらに光分岐部 157 a を設けてもよい。このように光分岐部 157 を設けることで、光電変換部 121 を伝搬する斜め光の比率を高め、感度を向上させることができる。
- [0214] この光分岐部 157 のトレンチ溝に対する固定電荷膜 141 や絶縁膜 132 の埋め込みは、素子分離部 124 の埋め込みと同時に行って工程削減することができる。
- [0215] (4-7. 第 1 の実施形態に適用可能な反射防止膜の変形例)
次に、第 1 の実施形態に適用可能な反射防止膜の変形例について説明する。
- [0216] 図 34 は、第 1 の実施形態の反射防止膜の第 1 の変形例に適用可能な画素

100hの構造例を示す模式図である。図34は、遮光部のオンチップレンズ123a側の面に、複数の凸部170を設けた例を示している。より具体的には、遮光部の上面側に設けられるWによる反射防止膜128bを、オンチップレンズ123a側の面に複数の凸部170が設けられた構成とする。製造方法は、例えば、遮光膜130にピンホール160の穴部を形成した後、再びリソグラフィ工程で凸部170に相当するレジストマスクを形成し、エッチングで遮光膜に転写し、レジストや残渣をWe t洗浄で除去する。その後、反射防止膜125、および、 α -SiをCVDなどで成膜し、CMPで平坦化した上で、前述した手法でレンズ形状に加工する。

[0217] このように、遮光部のオンチップレンズ123a側の面に、複数の凸部170を設けることで、ピンホール160の周囲に照射された光を散乱させることができ、フレアやゴースト像の発生を抑制できる。一方で、例えば第1の実施形態に係る画素100aの構成と比較して、製作に要する工程数が増加し、コストが嵩んでしまうおそれがある。なお、複数の凸部170は、周期的に設けてもよいし、非周期的に設けてもよい。

[0218] 図35は、第1の実施形態の反射防止膜の第2の変形例に適用可能な画素100hの構造例を示す模式図である。図35は、遮光部のオンチップレンズ123a側の面に、複数の凹部171を設けた例である。より具体的には、遮光部の上面側に設けられるWによる反射防止膜128cを、オンチップレンズ123a側の面に複数の凹部171が設けられた構成とする。製造方法は前述の凸部と同じであり、割愛する。

[0219] このように、遮光部のオンチップレンズ123a側の面に、複数の凹部171を設けることで、上述した第1の実施形態の第10の変形例と同様に、ピンホール160の周囲に照射された光を散乱させることができ、フレアやゴースト像の発生を抑制できる。一方で、例えば第1の実施形態に係る画素100aの構成と比較して、製作に要する工程数が増加し、コストが嵩んでしまうおそれがある。なお、複数の凹部171は、周期的に設けてもよいし、非周期的に設けてもよい。

[0220] (4-8. 第1の実施形態に適用可能なオンチップレンズの変形例)

次に、第1の実施形態に適用可能なオンチップレンズの変形例について説明する。

[0221] 図36は、第1の実施形態のオンチップレンズの変形例に適用可能な画素100iの構造例を示す模式図である。図29では、オンチップレンズ123cと遮光膜130との間に、第2のレンズとしてオンチップレンズ123dを追加した例が示されている。

[0222] オンチップレンズ123cおよび123dは、例えば材料を α -Siとし、オンチップレンズ123dの周囲は、SiO₂で埋められ、それぞれのレンズ界面には、反射防止膜が100~150[nm]程度のSiNで備えられていてもよい。

[0223] オンチップレンズ123cおよび123dの2段にレンズを設けた構成の場合、レンズが1段の場合と比べてピンホール160における集光能力を向上させることが可能である。そのため、オンチップレンズ123cおよび123dの材料として、 α -Siや多結晶シリコン以外の材料を用いることもできる。例えば、SiN、TiO₂、Al₂O₃などが挙げられる。

[0224] オンチップレンズ123dが設けられる領域は、隣接画素との間に、金属などの遮光材料、例えばWにより遮光壁が設けられる。

[0225] このように、画素100iを、2重にオンチップレンズ123cおよび123dを設けた構成とすることで、ピンホール160位置における集光度合いを高めることができ、ピンホール160の径を小さくすることが可能となる。そのため、光を光電変換部121内部に効率的に閉じ込めることが可能となり、感度の向上が期待できる。一方で、オンチップレンズを2重に形成するため、例えば第1の実施形態に係る画素100aの構成と比較して、製作に要する工程数が増加し、コストが嵩んでしまうおそれがある。また、オンチップレンズを1つのみ設けた構成に対して、PAD開口などで画素が高背化する点を考慮すると好ましい。

[0226] (4-9. 第1の実施形態に適用可能な光学フィルタを備える変形例)

次に、第1の実施形態の、光学フィルタを備える変形例について説明する。

- [0227] 感知すべき所望の波長領域の光以外の光がノイズとなる場合、光学フィルタを備えることが望ましく、有機膜の事例について、図4のセクション(d)などにおいて説明した。その他にも、2種類以上の屈折率の異なる誘電体の多層膜で赤外光を選択的に透過させるように設計することが可能である。例えば、シリコン酸化膜とシリコン窒化膜の積層構造、あるいは、シリコン酸化膜と酸化チタンの積層構造としてもよい。
- [0228] あるいは、金属膜に対象波長以下の周期で開孔を有する表面プラズモン現象を用いたフィルタを備えてもよい。あるいは、薄膜導波路とサブ波長周期構造(グレーティング)を集積して構成したGMR(Guided Mode Resonant)現象を用いたフィルタを備えてもよい。
- [0229] あるいは、所望の透過率スペクトルを実現するために、例えば、有機材料からなるフィルタ、表面プラズモンフィルタ、GMRフィルタ等の異なるメカニズムのフィルタを縦方向に組み合わせて備えてもよい。
- [0230] (4-10. 第1の実施形態に適用可能な配線層側に散乱・回折構造を備える変形例)
- 次に、第1の実施形態に適用可能な、配線層側に散乱・回折構造を備える変形例について説明する。
- [0231] 図37は、第1の実施形態の配線層側に散乱・回折構造を備える変形例に適用可能な画素100jの構造例を示す模式図である。図37の例では、符号Bにより示されるように、光電変換部121のボトムに対してさらにモスアイ構造による回折・散乱構造129_{btm}を設けている。回折・散乱構造129_{btm}は、表面にSiO₂、SiNなどの絶縁膜が形成されて構成される。これらの多層膜は、透過しようとする光を光電変換部121に戻すように、反射設計することが好ましい。また、回折・散乱構造129_{btm}は、回折・散乱構造129と同様に、例えば四角錐が周期的に配列されたモスアイ構造を有する。
- [0232] このように、光電変換部121のボトムに対して回折・散乱構造129_{btm}を

設けることで、例えば図 1 1 A に示した 0 次光が反射部 1 5 1 で反射された素子内反射光 2 0 2 に対して角度を付けることが可能となり、素子内反射光 2 0 2 の光路長をより長くすることができる。一方で、例えば第 1 の実施形態に係る画素 1 0 0 a の構成と比較して、製作に要する工程数が増加し、コストが嵩んでしまうおそれがある。

[0233] なお、上述した第 1 の実施形態、および、第 1 の実施形態の各変形例は、互いに矛盾しない範囲で、2 以上を組み合わせることが可能である。

[0234] [5. 本開示の第 2 の実施形態]

次に、本開示の第 2 の実施形態について説明する。第 2 の実施形態は、本開示に係る画素の構造を、可視光の波長領域の光を受光するための画素と混載する例である。

[0235] なお、第 2 の実施形態に対して、上述した第 1 の実施形態、および、第 1 の実施形態の各変形例に係る画素 1 0 0 a ~ 1 0 0 j のうち何れか、あるいは、画素 1 0 0 a ~ 1 0 0 j の構造を、互いに矛盾しない範囲で、2 以上を組み合わせた画素を適用することができる。

[0236] (5 - 1. 第 2 の実施形態に適用可能な、光学フィルタを設けた画素の配列例)

図 3 8 は、第 2 の実施形態に適用可能な、光学フィルタを設けた画素の配列の例を示す模式図である。図 3 8 のセクション (a) に示すように、画素 1 0 0 I R (もしくは画素 1 0 0 W としてもよい) は、例えば、可視光のカラーフィルタを備えた画素 1 0 0 R、1 0 0 G、1 0 0 B 等と混載して配列してもよい。

[0237] また、赤外線による被写体の解像度がより重要とされ、且つ、カラー化も求められる場合、図 3 8 のセクション (b) に示すように、画素 1 0 0 I R (もしくは画素 1 0 0 W) の占有率を高めた配列としてもよい。

[0238] さらに、低照度環境での輝度情報、色情報、センシング情報のそれぞれが 1 つの固体撮像装置に求められる場合、図 3 8 のセクション (c) に示す画素配列とすることが考えられる。この画素配列によれば、画素 1 0 0 W で輝

度情報を、画素100R、100Gおよび100Bで色情報を、画素100IRでセンシング情報に特化した情報を、それぞれ取得することが可能である。

[0239] これら図38のセクション(a)～(c)の配列において、画素100IR(あるいは画素100W)が赤外光だけでなく可視域光にも感度を持つ場合も考えられる。このような場合、その出力に対し、可視光用の画素である画素100R、100Gおよび100Bを用いて係数を掛けた減算処理を行い、所望の波長領域の成分だけを抽出する信号処理を行うことができる。あるいは、可視光用の画素である画素100R、100Gおよび100Bが赤外光にも感度を持ち、赤外成分の情報が混入する場合、画素100IRの出力で赤外成分を除去する信号処理を行っても良い。

[0240] なお、配列の組み合わせはこれらに限定されるものではない。

[0241] あるいは、夜間等の低照度環境下において赤外光を投光した撮像を行い、赤外光に基づく画像信号として取得した輝度信号のみのモノクロの画像に対し、可視光用画素の出力を用いてホワイトバランスやリニアマトリックスの信号処理を施し、必要に応じて機械学習等の信号処理も加えてカラー化することで、色付きで鮮明な画像を取得することができる。

[0242] 画素配列を、図38のセクション(a)～(c)に示したような混載配列とすることで、被写体のスペクトル情報を取得した上で、IR画素による被写体の距離、凹凸等などのセンシング情報を付与することが可能となる。

[0243] (電子機器の例)

図39は、第2の実施形態に適用可能な、被写体のスペクトル情報を取得すると共に、IR画素による被写体のセンシング情報を取得するようにした電子機器について、概略的に示す模式図である。図39に示す画像処理システム1010は、撮像装置1100から出力される信号に基づき認証処理やビューイング処理を行う。

[0244] 図39に示す画像処理システム1010は、被写体を撮像する撮像装置1100と、撮像装置1100からの信号を処理する信号処理部1200と、

赤外光画像に基づいて認証処理を行なう認証処理部 1210 とを含む。画像処理システム 1010 は、さらに、ビューイング処理を行なうビューイング処理部 1220 と、被写体からの光を結像する光学部（撮像レンズ） 1310 と、被写体に赤外光を照射する光源部 1400 と、を含む。画像処理システム 1010 全体の動作は、図示せぬ制御部などによって制御される。

[0245] 図 39 の構成において、信号処理部 1200 は、撮像装置 1100 からの画素信号を、可視光用の画素の画素信号と、赤外光用の画素の画素信号とに分離する。ビューイング処理部 1220 は、信号処理部 1200 で撮像装置からの画素信号が分離された RGB 情報に基づいて、ビューイング処理が施される。

[0246] 信号処理部 1200 で撮像装置 1100 からの画素信号から分離された IR 情報は、赤外光画像として用いられる。信号処理部 1200 は、分離した IR 情報に基づいて位相差を検出し、距離画像の情報を生成する。認証処理部 1210 は、信号処理部 1200 から渡された可視光の画像と、赤外光を受光する画素により生成された輝度情報と、赤外光を受講する画素により計測された距離画像の情報と、のうち少なくとも 1 つを用いて認証処理を行なう。例えば、認証処理部 1210 は、赤外光画像と距離画像の情報に基づいて、3D (Three-Dimension) 顔認証、虹彩認証などといった統合的な認証を行うことができる。

[0247] この画像処理システム 1010 において、撮像装置 1100 における画素配列に、図 38 のセクション (a) ~ (c) に示したような混載配列による画素配列を適用することができる。

[0248] (IR 画素の構造例)

図 40 は、第 2 の実施形態に適用可能な、画素の光学フィルタに着目した構造例を概略的に示す断面図である。なお、図 40 では、ピンホール 160 などは、煩雑さを避けるため、記載を省略している。

[0249] 図 40 のセクション (a) は、光学フィルタとして、それぞれ青色の波長領域の光を選択的に透過させるフィルタ 122B と、赤色の波長領域の光を

選択的に透過させるフィルタ 1 2 2 R と、不図示の緑の波長領域の光を選択的に透過させるフィルタ 1 2 2 G と、赤外光を選択的に透過させる 1 2 2 I R と、を設けた画素 1 0 0 B、1 0 0 G、1 0 0 R および 1 0 0 I R の構造例を示している。フィルタ 1 2 2 I R は、例えば、顔料や染料を含む有機材料としてもよく、例えば特許文献 4 で公知の有機材料を用いてもよい。

[0250] なお、フィルタ 1 2 2 I R は、所定波長領域（例えば緑色の波長領域）の可視光をさらに透過させてもよい。この場合、有効画素領域に含まれる他の可視光画素（画素 1 0 0 R、1 0 0 G および 1 0 0 B など）の情報に基づくデモザイク処理やマトリクス処理などを用いた信号処理により、赤外光成分を抽出することができる。従って、画素 1 0 0 I R は、光学フィルタとして、フィルタ 1 2 2 I R の代わりに上述したフィルタ 1 2 2 W を設けてもよく、さらには光学フィルタを備えなくともよい。

[0251] 図 4 0 のセクション（b）は、フィルタ 1 2 2 B を設けた画素 1 0 0 B と、不図示のフィルタ 1 2 2 G を設けた画素 1 0 0 G と、フィルタ 1 2 2 R を設けた画素 1 0 0 R と、フィルタ 1 2 2 B とフィルタ 1 2 2 R とが積層して設けられた画素 1 0 0 R B の構造例を示している。フィルタ 1 2 2 B とフィルタ 1 2 2 R とを積層させることで、可視光の殆どの波長領域の成分を吸収し、赤外光を透過させるフィルタを実現できる。

[0252] 図 4 0 のセクション（b）に示す構造においても、上述した図 4 0 のセクション（a）の構造と同様に所定波長領域の可視光をさらに透過させてもよい。有効画素領域に含まれる他の可視光画素の情報に基づくデモザイク処理やマトリクス処理などを用いた信号処理により、赤外光成分を抽出することができる。

[0253] また、図 4 0 のセクション（b）の例では、青色のフィルタ 1 2 2 B と、赤色のフィルタ 1 2 2 R とを積層させているが、これはこの例に限定されない。例えば、シアンと赤色、マゼンタと緑色、黄色と青色、といった補色関係のフィルタを組み合わせると可視光を吸収させてもよい。

[0254] 図 4 0 のセクション（c）は、赤外光をカット（吸収）するフィルタ 1 2

2 I R c u t を、画素 1 0 0 R、1 0 0 G および 1 0 0 B にそれぞれ設けた例である。各画素 1 0 0 R、1 0 0 G および 1 0 0 B は、フィルタ 1 2 2 I R c u t と、フィルタ 1 2 2 R、1 2 2 G および 1 2 2 B と、がそれぞれ積層されている。また、上述したように、画素信号に対する信号処理により赤外光成分を抽出することができるため、画素 1 0 0 R B は、カラーフィルタを設けない W h i t e 画素としてもよい。これに限らず、画素 1 0 0 R B は、ある 1 色の波長領域の光を透過させる光学フィルタを設けてもよい。

[0255] なお、図 4 0 に示した画素構造を適用する場合には、例えば光学部 1 1 において赤外光カットフィルタを設けない。

[0256] オンチップレンズ 1 2 3 にシリコンを用いる場合、可視光領域の光を吸収してしまい、混載した可視光領域の光に対応する画素 1 0 0 R、1 0 0 G および 1 0 0 B の感度が低下してしまう。このシリコンを用いたオンチップレンズ 1 2 3 による感度低下が許容できない場合、オンチップレンズ 1 2 3 を、画素 1 0 0 R、1 0 0 G および 1 0 0 B と、I R 画素（画素 1 0 0 R B）とで作り分けることが望ましい。

[0257] 図 4 0 のセクション（c）では、I R 画素である画素 1 0 0 R B に対応するオンチップレンズ 1 2 3 A を、シリコンにより形成する。可視光画素である画素 1 0 0 R、1 0 0 G および 1 0 0 B それぞれに対応するオンチップレンズ 1 2 3 B を、可視光用の材料、例えば、前述したスチレン系樹脂やアクリル系樹脂などの有機材料、もしくは、S i N などの無機材料により形成する。

[0258] なお、可視光画素と I R 画素では求められる特性が異なり、最適な構造も異なってしまふことがある。例えば、回折・散乱構造 1 2 9 は、I R 画素にとっては感度向上に有益だが、可視光波長は、半導体基板 1 4 0 の厚みが十分あるため、偏向して光路長を稼ぐ必要がない。むしろ、素子分離部 1 2 4 による吸収の感度ロス、あるいは、突き抜けによるクロストークなど弊害が心配される。これらの状況を考慮して、必要に応じて構造の作り分けをするのが望ましい。

[0259] 図41は、第2の実施形態に適用可能な、画素に応じた回折・散乱構造の作り分けを説明するための、画素の概略的な断面図である。この例では、IR画素である画素100IRに設けられるオンチップレンズ123Aと、可視光画素である画素100Rおよび100Gにそれぞれ設けられるオンチップレンズ123Bとで、図40のセクション(c)で説明したように作り分けがなされている。また、回折・散乱構造129もIR画素と可視光画素とで作り分けがなされ、画素100IRに対して設けられ、画素100Rおよび100Bには、設けられていない。

[0260] 例えば、回折・散乱構造129は、加工時にレジストマスクで覆っておくことで、可視光画素に形成されないようにできる。或いは、ピンホール160の開口サイズを波長依存性に合わせて、画素毎に異ならせてもよい。干渉効果による反射防止膜は、多層化して対応波長領域を拡張するのが望ましい。

[0261] また、オンチップレンズ123Aについては、先ずオンチップレンズ123Aの材料、例えば α -Siを成膜し前述した製造方法でレンズ形状に加工する。その後、レジストマスクで123Aだけ残し、可視光領域の上のSiを除去するエッチング処理を行う。

[0262] レジストや残渣を薬液洗浄で除去した後、オンチップレンズ123Bの材料として、例えば、感光剤を添加したアクリル樹脂などで、露光現像し、レジストをリフローした上でUVキュアにより華僑反応を進めて硬化させ、可視光用のレンズ形状を形成する。オンチップレンズ123Bに対するリソグラフィ工程において、オンチップレンズ123Aの上は、選択的にレジストを除去しておくことで作り分けが可能となる。

[0263] [6. 本開示の第3の実施形態]

次に、本開示の第3の実施形態について説明する。第3の実施形態は、本開示に係る画素の構造を、光の反射を用いて測距を行う測距装置の受光部に適用した例である。

[0264] なお、第3の実施形態に対して、上述した第1と第2の実施形態、および

、第１の実施形態の各変形例に係る画素１００ａ～１００ｊのうち何れか、あるいは、画素１００ａ～１００ｊの構造を、互いに矛盾しない範囲で、２以上を組み合わせた画素を適用することができる。以下では、説明のため、第３の実施形態に対して、第１の実施形態で説明した画素１００ａを適用するものとして説明を行う。

[0265] 図４２は、第３の実施形態に適用可能な測距装置を用いた電子機器の一例の構成を示すブロック図である。図４２において、電子機器３００は、測距装置３０１と、アプリケーション部３２０と、を含む。アプリケーション部３２０は、例えばＣＰＵ(Central Processing Unit)上でプログラムが動作することで実現され、測距装置３０１に対して測距の実行を要求し、測距の結果である距離情報などを測距装置３０１から受け取る。

[0266] 測距装置３０１は、光源部３１０と、受光部３１１と、測距処理部３１２と、を含む。光源部３１０は、例えば赤外領域の波長の光を発光する発光素子と、当該発光素子を駆動して発光させる駆動回路と、を含む。光源部３１０が含む発光素子として、例えばＬＥＤ(Light Emitting Diode)を適用することができる。これに限らず、光源部３１０が含む発光素子として、複数の発光素子がアレイ状に形成されたＶＣＳＥＬ(Vertical Cavity Surface Emitting LASER)を適用することもできる。以下、特に記載の無い限り、「光源部３１０の発光素子が発光する」ことを、「光源部３１０が発光する」などのように記述する。

[0267] 受光部３１１は、例えば赤外領域の波長の光を検出可能な受光素子と、当該受光素子に検出された光に応じた画素信号を出力する信号処理回路と、を含む。受光部３１１が含む受光素子として、第１の実施形態で説明した画素１００ａを適用することができる。以下、特に記載の無い限り、「受光部３１１が含む受光素子が受光する」ことを、「受光部３１１が受光する」などのように記述する。

[0268] 測距処理部３１２は、例えばアプリケーション部３２０からの測距指示に応じて、測距装置３０１における測距処理を実行する。例えば、測距処理部

312は、光源部310を駆動するための光源制御信号を生成し、光源部310に供給する。また、測距処理部312は、光源部310に供給する光源制御信号と同期して受光部311による受光を制御する。例えば、測距処理部312は、受光部311における露光期間を制御する露光制御信号を光源制御信号と同期させて生成し、受光部311に供給する。受光部311は、この露光制御信号に示される露光期間内において、有効な画素信号を出力する。

[0269] 測距処理部312は、受光に応じて受光部311から出力された画素信号と、光源部310を駆動するための光源制御信号と、に基づき距離情報を算出する。また、測距処理部312は、この画素信号に基づき所定の画像情報を生成することも可能である。測距処理部312は、画素信号に基づき算出および生成した距離情報および画像情報をアプリケーション部320に渡す。

[0270] このような構成において、測距処理部312は、例えばアプリケーション部320からの測距を実行する旨の指示に従い、光源部310を駆動するための光源制御信号を生成し、光源部310に供給する。それと共に、測距処理部312は、受光部311による受光を、光源制御信号に同期した露光制御信号に基づき制御する。

[0271] 測距装置301において、光源部310は、測距処理部312が生成した光源制御信号に応じて発光する。光源部310において発光した光は、射出光330として光源部310から射出される。この射出光330は、例えば被測定物331に反射され、反射光332として受光部311に受光される。受光部311は、反射光332の受光に応じた画素信号を測距処理部312に供給する。

[0272] 測距処理部312は、光源部310が発光したタイミングと、受光部311により光が受光されたタイミングとに基づき、被測定物331までの距離Dを測定する。

[0273] ここで、反射光を用いた測距方式として、直接ToF (Time of Flight)

方式と、間接T o F方式とが知られている。直接T o F方式は、光源部310による発光のタイミングと、受光部311により光が受光されたタイミングとの差分（時間差）に基づき、距離Dの測定を行う。また、間接T o F方式は、光源部310により発光した光の位相と、受光部311により受光された光の位相と、の位相差に基づき距離Dの測定を行う。

[0274] 第1の実施形態で説明した画素100aは、これら直接T o Fおよび間接T o Fの何れの受光部311にも適用可能である。上述したように、第1の実施形態で説明した画素100aは、入射光30を光電変換部121内部に効率的に閉じ込めることが可能であり、高感度化と、配線層150で反射された反射光に起因するフレアの抑制とを両立できる。

[0275] さらに、図10のセクション（b）を用いて説明したように、ピンホール160を設けることで外部迷光である外光33を遮蔽することが可能となる。ピンホール160が形成される上面側を反射防止膜128とすることにより、光強度分布の裾でピンホール160を抜けることが出来なかった光の反射を抑制することができる。ピンホール160に光導波路133と反射防止膜125を備えることで、オンチップレンズ123で集光された光を効率的に光電変換部121に導くことができる。

[0276] したがって、第1の実施形態で説明した画素100aを、第3の実施形態に係る測距装置301の受光部311における受光素子に適用することで、より高精度に距離Dを測定することが可能となる。

[0277] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0278] なお、本技術は以下のような構成も取ることができる。

（1）

光入射面である第1面を有する基板と、
前記基板の内部にある光電変換部と、
前記第1面側に設けられ、光を前記光電変換部に入射させるための穴部を有する遮光部と、

前記遮光部上に設けられ、入射された光を前記穴部に向けて集光する、シリコンを材料とする第1のレンズと、
をそれぞれ含む複数の画素、
を備える固体撮像装置。

(2)

前記第1のレンズは、アモルファスシリコンまたは多結晶シリコンを材料とする、
前記(1)に記載の固体撮像装置。

(3)

前記穴部の少なくとも一部は、前記第1のレンズの材料を含む、
前記(1)または(2)に記載の固体撮像装置。

(4)

前記穴部は、光導波路である、
前記(1)乃至(3)の何れかに記載の固体撮像装置。

(5)

前記第1のレンズの光入射側の面と、前記光入射側に対して反対側の面と、
のうち少なくとも一方に反射防止膜が設けられている、
前記(1)乃至(4)の何れかに記載の固体撮像装置。

(6)

前記基板の前記第1面と反対側の第2面の側に反射層が設けられ、
前記反射層は、
前記第2面の側に設けられる配線層に含まれる配線と同一の材料と、積層された互いに屈折率が異なる複数の膜と、金属膜と、のうち何れかにより構成される、
前記(1)乃至(5)の何れかに記載の固体撮像装置。

(7)

前記基板の前記第1面と、前記第1面の反対側の第2面とのうち少なくとも一方に、断面視で凹凸構造による光回折部が設けられる、

前記（１）乃至（６）の何れかに記載の固体撮像装置。

（８）

前記凹凸構造は、１つの前記光電変換部に対して前記基板に設けられた１つ以上の四角錐により構成される、
前記（７）に記載の固体撮像装置。

（９）

前記基板の前記第１面は、前記穴部に対応する位置に絶縁材料または空気層を含む溝部を有する、
前記（１）乃至（８）の何れかに記載の固体撮像装置。

（１０）

前記溝部は、１つの前記光電変換部に対して複数の前記溝部が設けられて構成される、
前記（９）に記載の固体撮像装置。

（１１）

前記基板の内部の隣接する２つの前記光電変換部の間にあって、前記基板に対して接する、絶縁膜、または、絶縁膜と空気層とを有するトレンチ構造による分離部が設けられる、
前記（１）乃至（１０）の何れかに記載の固体撮像装置。

（１２）

前記分離部は、前記トレンチ構造に対して金属材料が埋め込まれ、前記絶縁膜が前記金属材料と前記基板との間に設けられる、
前記（１１）に記載の固体撮像装置。

（１３）

前記遮光部は、金属膜を含んで構成され、
前記分離部が含む前記金属材料と、前記遮光部が含む前記金属膜とが接している、
前記（１２）に記載の固体撮像装置。

（１４）

前記分離部が含む前記金属材料と、前記遮光部が含む前記金属膜の材料とが同一であり、前記分離部と前記遮光部とが一体的に構成される、
前記（１３）に記載の固体撮像装置。

（１５）

前記遮光部は、前記第１のレンズの側の面に複数の凸部または凹部が設けられる、
前記（１）乃至（１４）の何れかに記載の固体撮像装置。

（１６）

前記遮光部は、前記基板の前記第１面の前記凸部または凹部による凹凸形状に絶縁膜を挟んで略平行で設けられる、
前記（１５）に記載の固体撮像装置。

（１７）

前記遮光部は、複数層の膜で構成され、前記基板に対向する面の反射率に対して、前記第１のレンズの側の面の反射率が低い、
前記（１）乃至（１６）の何れかに記載の固体撮像装置。

（１８）

前記遮光部は、前記第１のレンズの側の面がカーボンを含む膜により構成される、
前記（１）乃至（１７）の何れかに記載の固体撮像装置。

（１９）

前記複数の画素のうち少なくとも２つの画素は、前記穴部の形状が互いに異なる、
前記（１）乃至（１８）の何れかに記載の固体撮像装置。

（２０）

前記複数の画素のうち少なくとも２つの画素は、前記光電変換部に対する前記穴部の位置が互いに異なる、
前記（１）乃至（１９）の何れかに記載の固体撮像装置。

符号の説明

- [0279] 1 0 撮像部
- 2 0 垂直走査部
- 2 1 水平走査・A/D変換部
- 2 2 制御部
- 3 0 入射光
- 3 3 外光
- 4 5 光学部材
- 1 0 0, 1 0 0 a, 1 0 0 a_{WC}, 1 0 0 a_{TC}, 1 0 0 a_{WE}, 1 0 0 a_{TE}, 1 0 0 b, 1 0 0 c, 1 0 0 d, 1 0 0 e, 1 0 0 f, 1 0 0 g, 1 0 0 h, 1 0 0 i, 1 0 0 j, 1 0 0 B, 1 0 0 I R, 1 0 0 G, 1 0 0 R, 1 0 0 R B, 1 0 0 W 画素
- 1 0 1 画素アレイ部
- 1 0 2 電荷保持部
- 1 0 3, 1 0 3 a, 1 0 3 b、1 0 3 c、1 0 3 d MOSトランジスタ
- 1 2 1 光電変換部
- 1 2 3, 1 2 3 a, 1 2 3 c, 1 2 3 d オンチップレンズ
- 1 2 4, 1 2 4 a, 1 2 4 b, 1 2 4 c 素子分離部
- 1 2 5, 1 2 6, 1 2 8, 1 2 8 b, 1 2 8 c 反射防止膜
- 1 2 7 反射膜
- 1 2 9, 1 2 9_{btm} 回折・散乱構造
- 1 3 0 遮光膜
- 1 3 2 絶縁膜
- 1 3 3 光導波路
- 1 3 4 空隙
- 1 3 5 埋め込み遮光膜
- 1 3 6 クラッド部
- 1 4 0 半導体基板
- 1 4 1 固定電荷膜

- 1 4 2 支持基板
- 1 5 0 配線層
- 1 5 1 反射部
- 1 5 3 多層膜
- 1 5 5 金属反射板
- 1 5 7, 1 5 7 a 光分岐部
- 1 6 0, 1 6 0 a, 1 6 0 b, 1 6 0 c, 1 6 0 d, 1 6 0 e, 1 6 0 f,
1 6 0 g, 1 6 0 s m l, 1 6 0 m i d, 1 6 0 l r g ピンホール
- 1 7 0 凸部
- 1 7 1 凹部
- 2 0 2 素子内反射光
- 3 0 1 測距装置
- 3 1 0 光源部
- 3 1 1 受光部
- 3 1 2 測距処理部

請求の範囲

- [請求項1] 光入射面である第1面を有する基板と、
前記基板の内部にある光電変換部と、
前記第1面側に設けられ、光を前記光電変換部に入射させるための穴部を有する遮光部と、
前記遮光部上に設けられ、入射された光を前記穴部に向けて集光する、シリコンを材料とする第1のレンズと、
をそれぞれ含む複数の画素、
を備える固体撮像装置。
- [請求項2] 前記第1のレンズは、アモルファスシリコンまたは多結晶シリコンを材料とする、
請求項1に記載の固体撮像装置。
- [請求項3] 前記穴部の少なくとも一部は、前記第1のレンズの材料を含む、
請求項1に記載の固体撮像装置。
- [請求項4] 前記穴部は、光導波路である、
請求項1に記載の固体撮像装置。
- [請求項5] 前記第1のレンズの光入射側の面と、前記光入射側に対して反対側の面と、のうち少なくとも一方に反射防止膜が設けられている、
請求項1に記載の固体撮像装置。
- [請求項6] 前記基板の前記第1面と反対側の第2面の側に反射層が設けられ、
前記反射層は、
前記第2面の側に設けられる配線層に含まれる配線と同一の材料と、
積層された互いに屈折率が異なる複数の膜と、金属膜と、のうち何れかにより構成される、
請求項1に記載の固体撮像装置。
- [請求項7] 前記基板の前記第1面と、前記第1面の反対側の第2面とのうち少なくとも一方に、断面視で凹凸構造による光回折部が設けられる、
請求項1に記載の固体撮像装置。

- [請求項8] 前記凹凸構造は、1つの前記光電変換部に対して前記基板に設けられた1つ以上の四角錐により構成される、
請求項7に記載の固体撮像装置。
- [請求項9] 前記基板の前記第1面は、前記穴部に対応する位置に絶縁材料または空気層を含む溝部を有する、
請求項1に記載の固体撮像装置。
- [請求項10] 前記溝部は、1つの前記光電変換部に対して複数の前記溝部が設けられて構成される、
請求項9に記載の固体撮像装置。
- [請求項11] 前記基板の内部の隣接する2つの前記光電変換部の間にあって、前記基板に対して接する、絶縁膜、または、絶縁膜と空気層とを有するトレンチ構造による分離部が設けられる、
請求項1に記載の固体撮像装置。
- [請求項12] 前記分離部は、前記トレンチ構造に対して金属材料が埋め込まれ、前記絶縁膜が前記金属材料と前記基板との間に設けられる、
請求項11に記載の固体撮像装置。
- [請求項13] 前記遮光部は、金属膜を含んで構成され、
前記分離部が含む前記金属材料と、前記遮光部が含む前記金属膜とが接している、
請求項12に記載の固体撮像装置。
- [請求項14] 前記分離部が含む前記金属材料と、前記遮光部が含む前記金属膜の材料とが同一であり、前記分離部と前記遮光部とが一体的に構成される、
請求項13に記載の固体撮像装置。
- [請求項15] 前記遮光部は、前記第1のレンズの側の面に複数の凸部または凹部が設けられる、
請求項1に記載の固体撮像装置。
- [請求項16] 前記遮光部は、前記基板の前記第1面の前記凸部または凹部による

凹凸形状に絶縁膜を挟んで略平行で設けられる、
請求項 1 5 に記載の固体撮像装置。

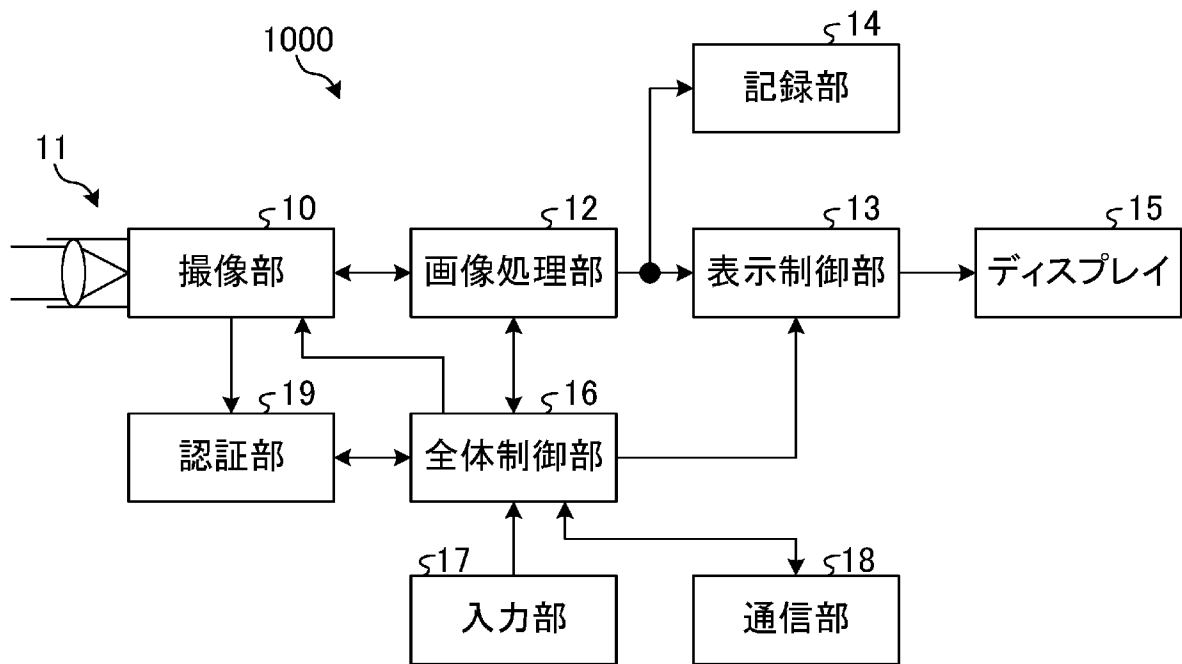
[請求項17] 前記遮光部は、複数層の膜で構成され、前記基板に対向する面の反射率に対して、前記第 1 のレンズの側の面の反射率が低い、
請求項 1 に記載の固体撮像装置。

[請求項18] 前記遮光部は、前記第 1 のレンズの側の面がカーボンを含む膜により構成される、
請求項 1 に記載の固体撮像装置。

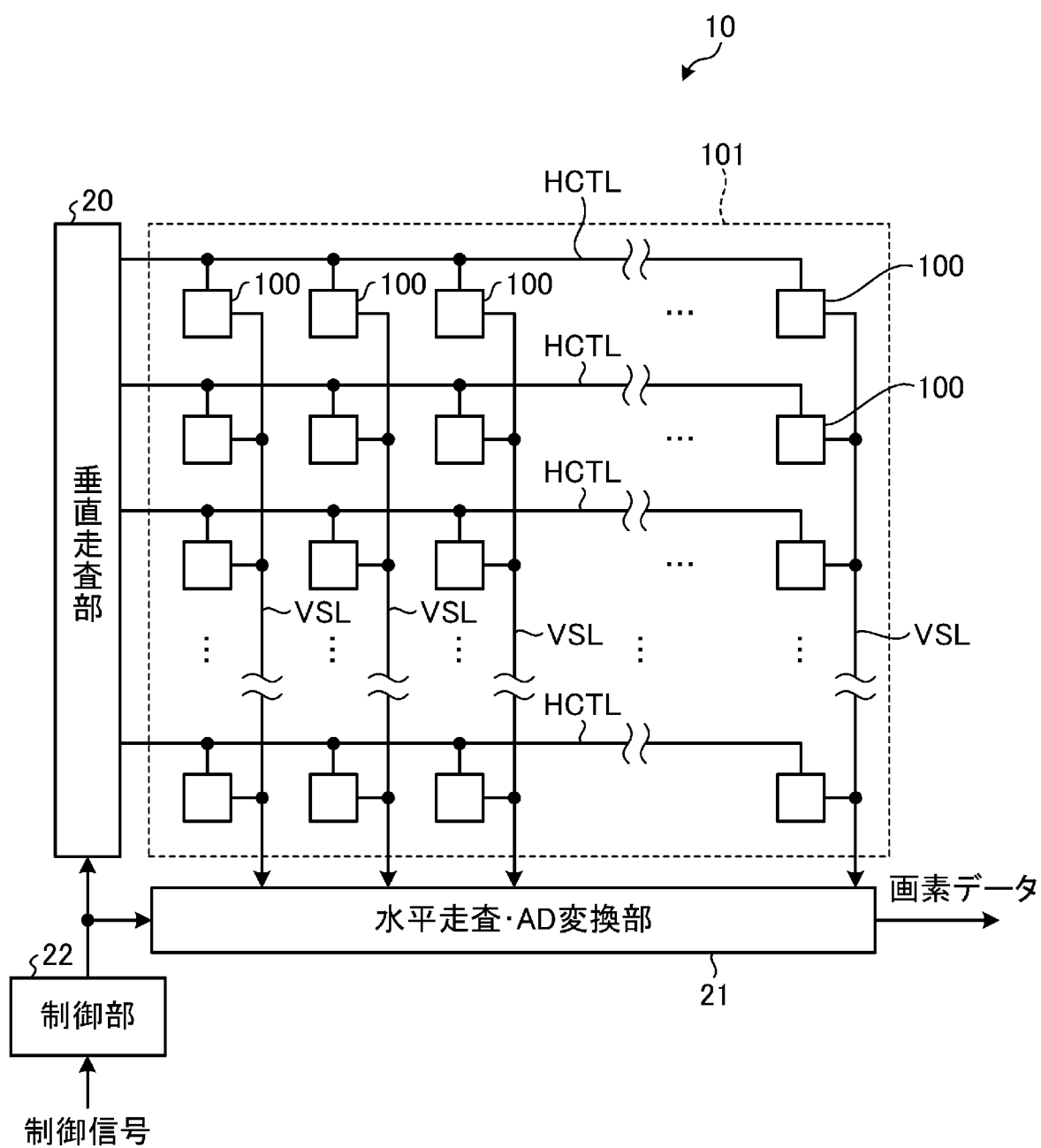
[請求項19] 前記複数の画素のうち少なくとも 2 つの画素は、前記穴部の形状が互いに異なる、
請求項 1 に記載の固体撮像装置。

[請求項20] 前記複数の画素のうち少なくとも 2 つの画素は、前記光電変換部に対する前記穴部の位置が互いに異なる、
請求項 1 に記載の固体撮像装置。

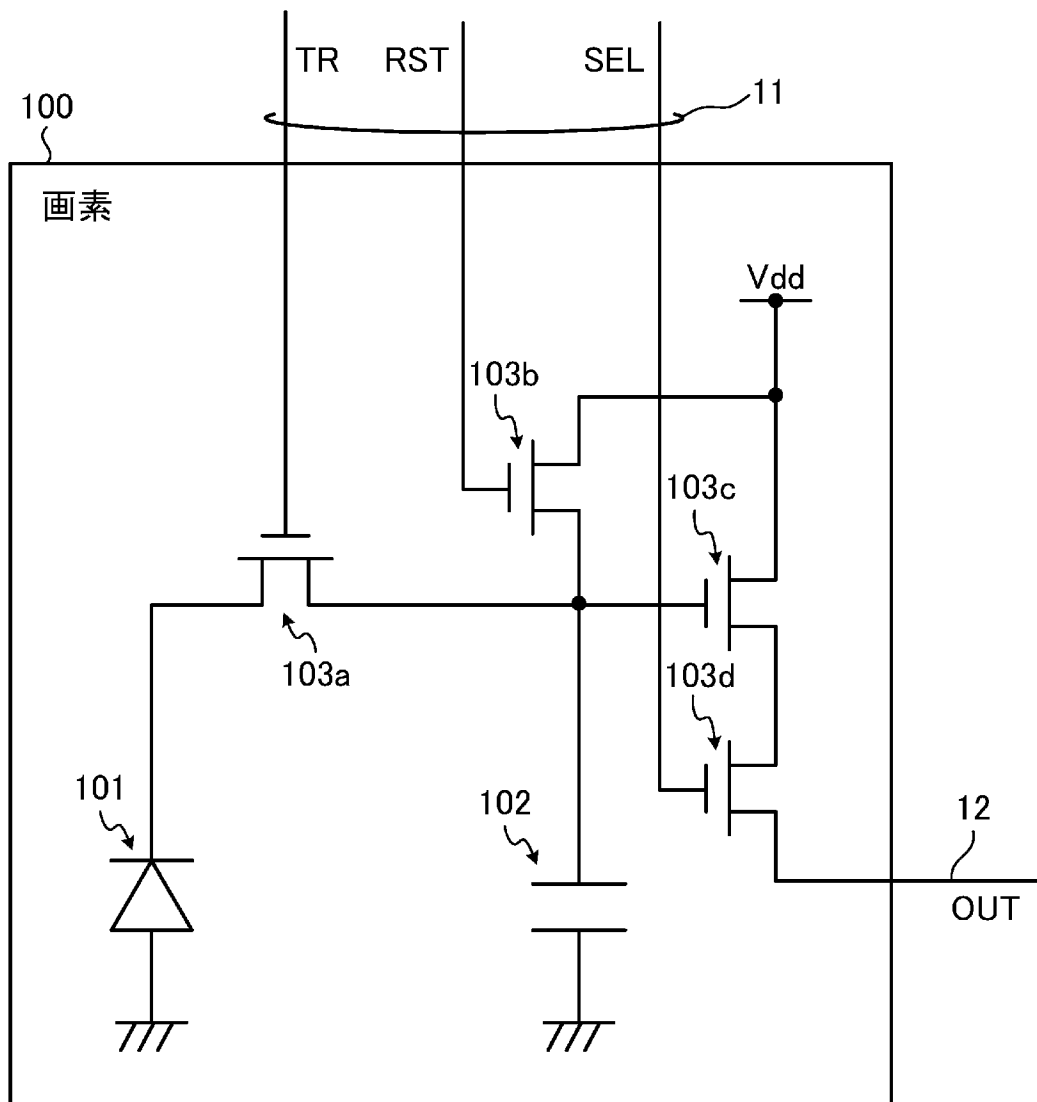
[図1]



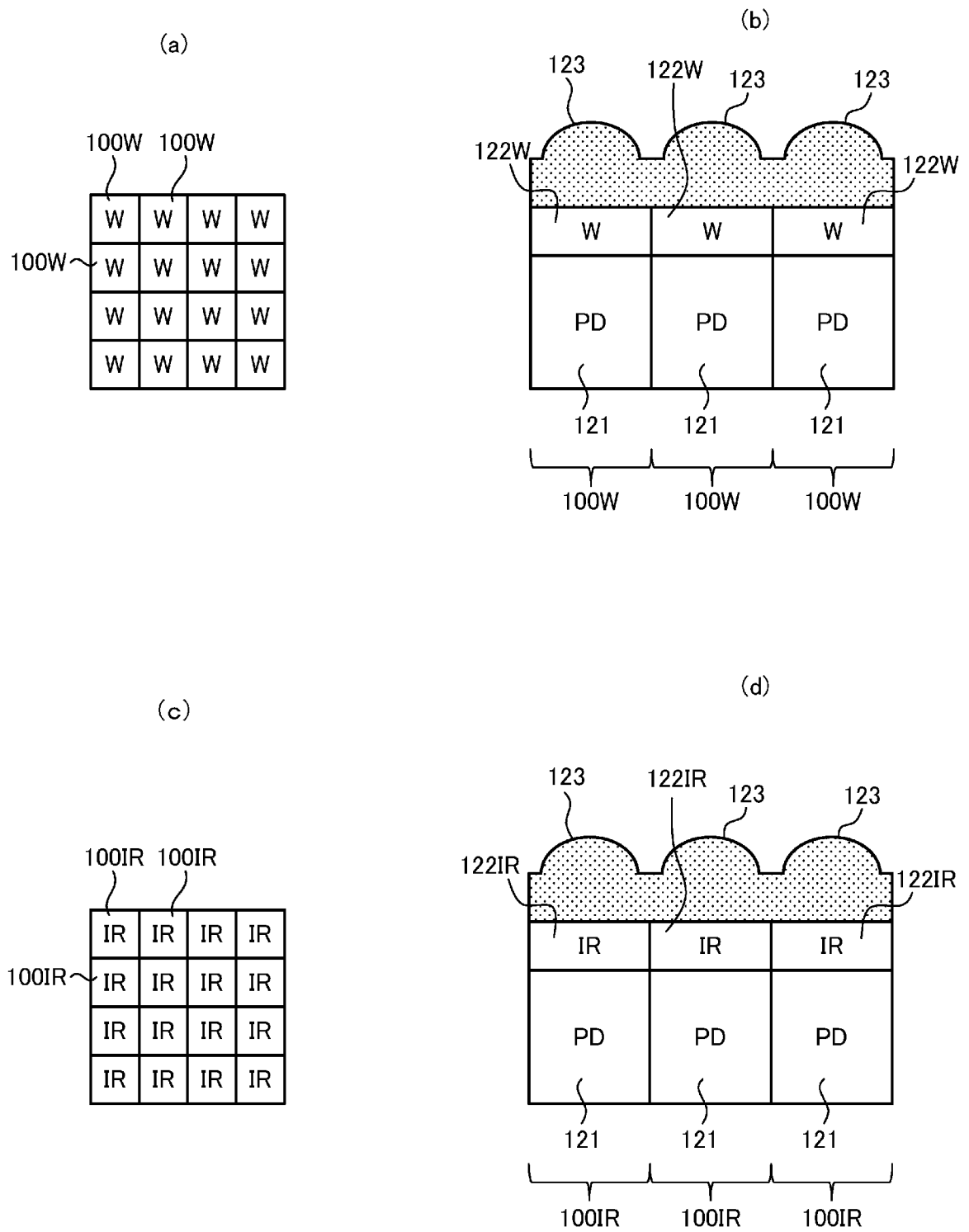
[図2]



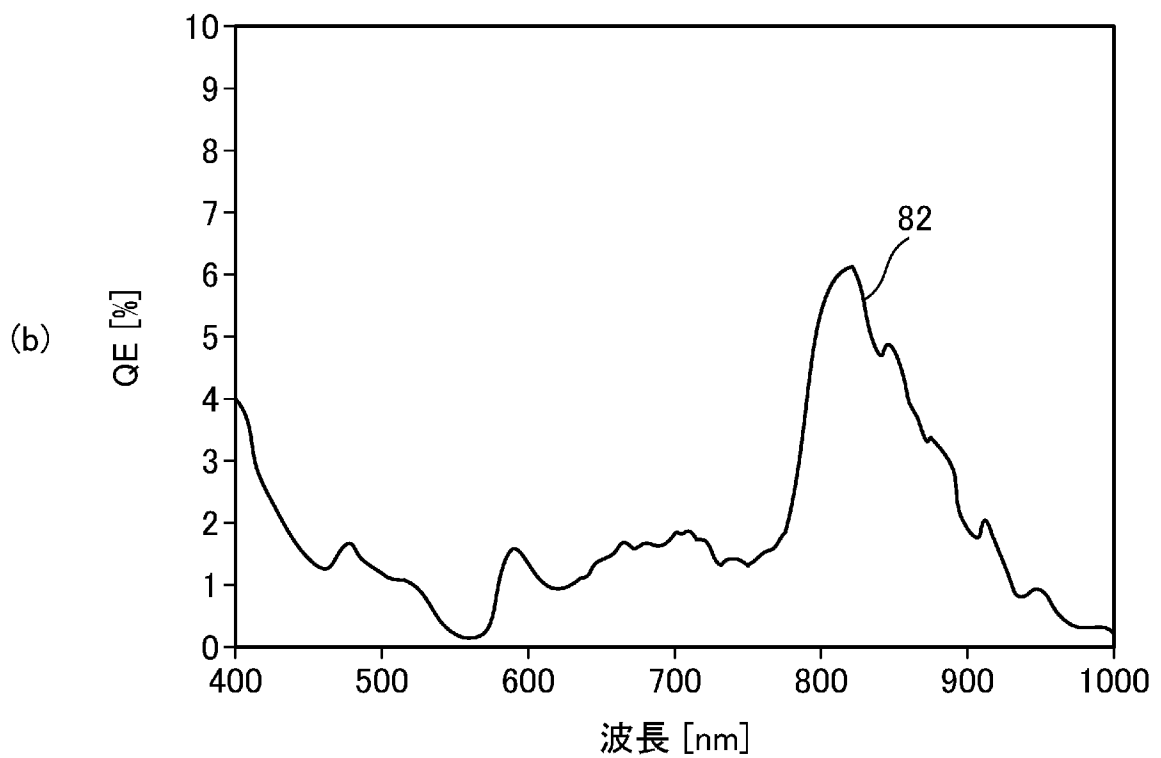
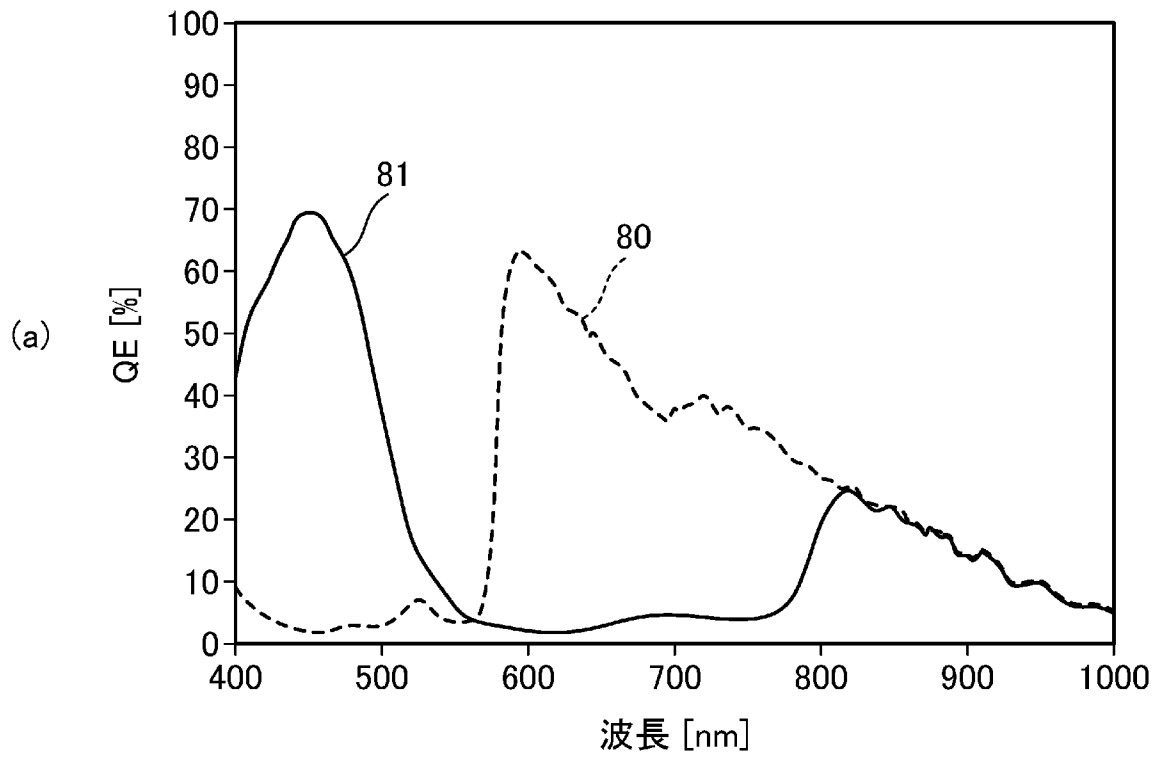
[図3]



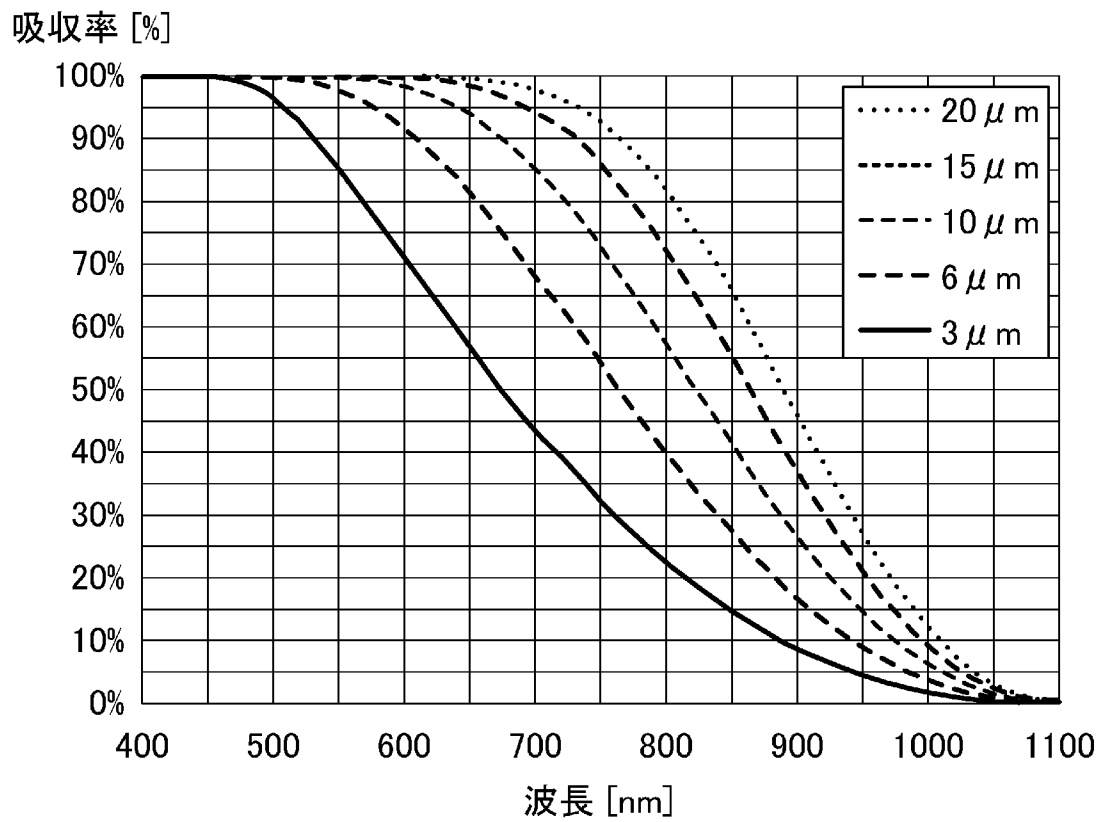
[図4]



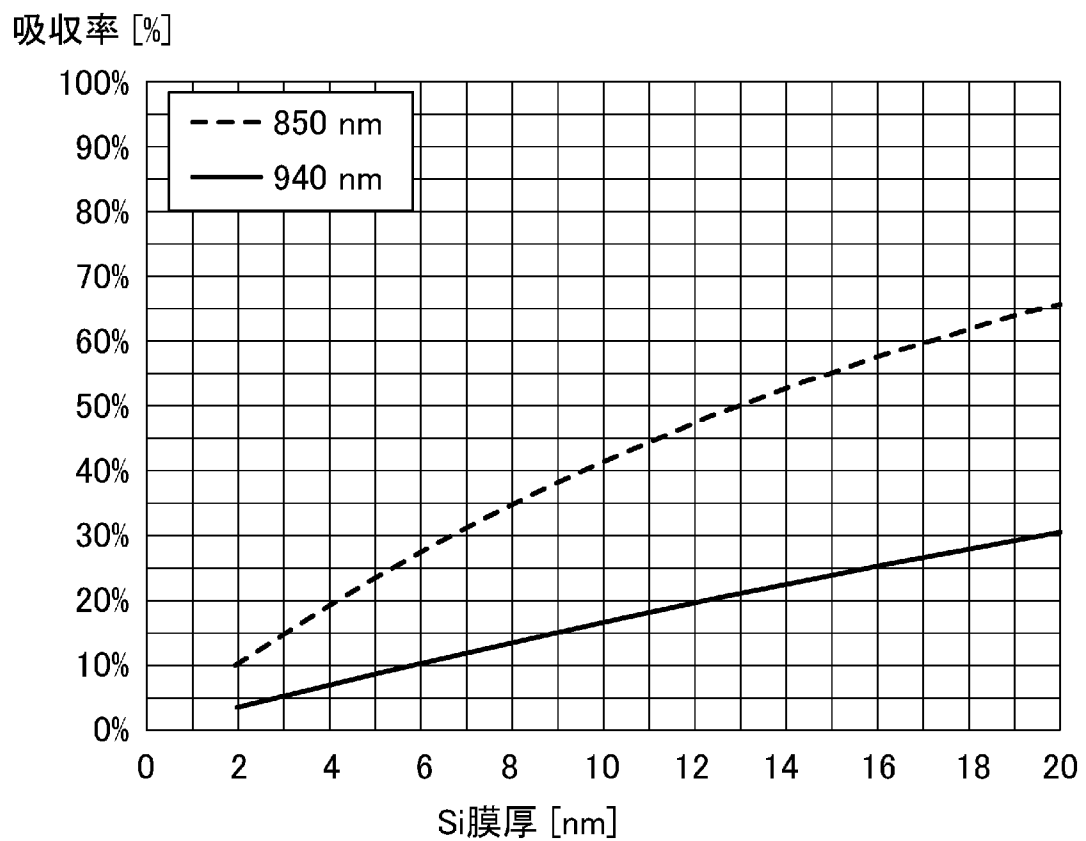
[図5]



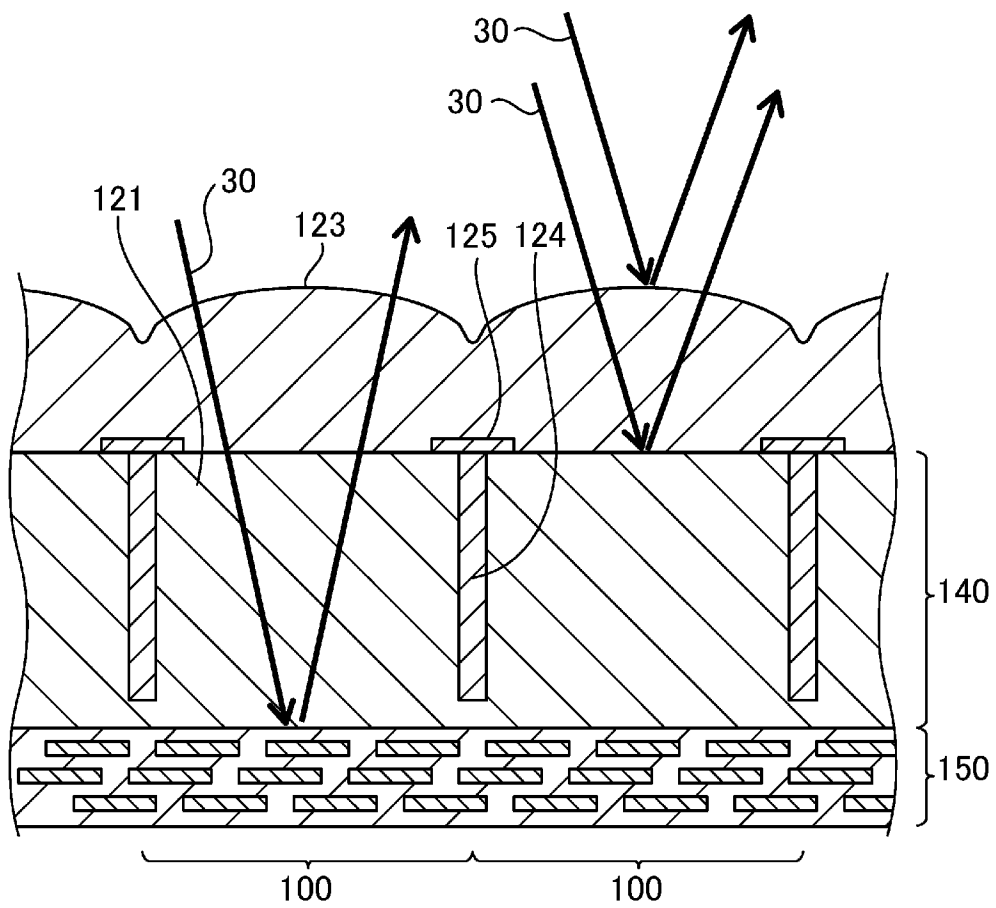
[図6]



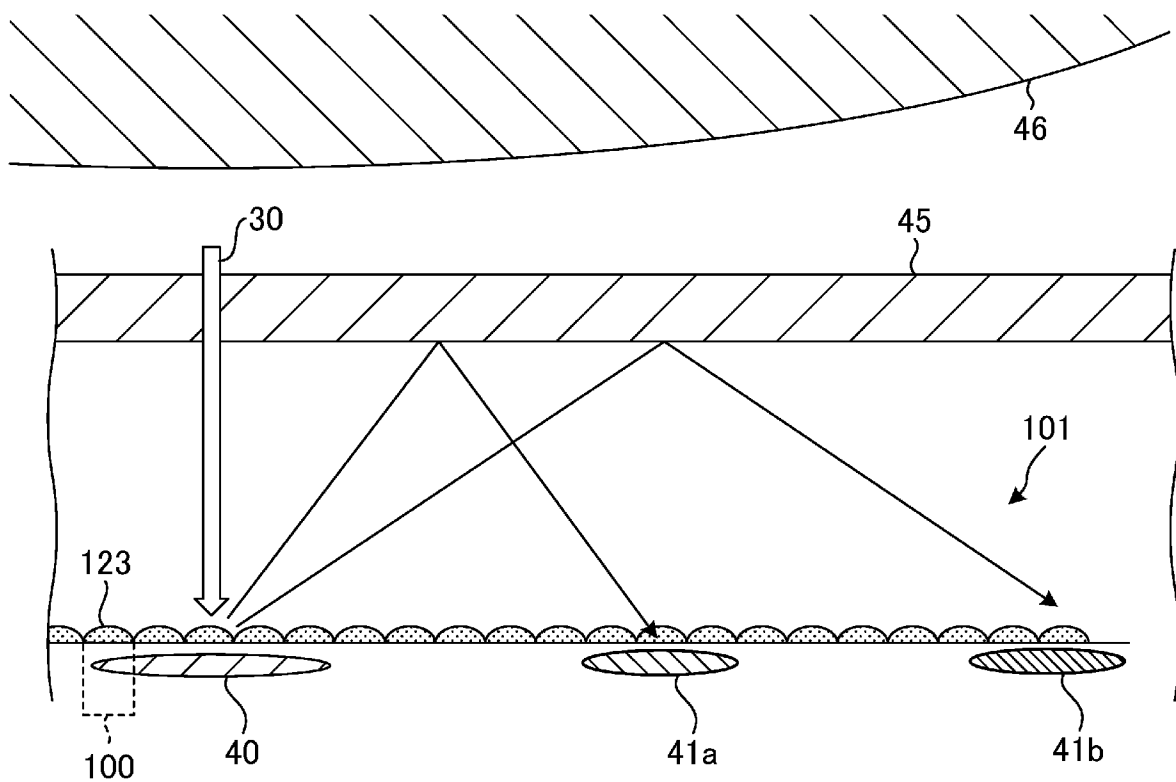
[図7]



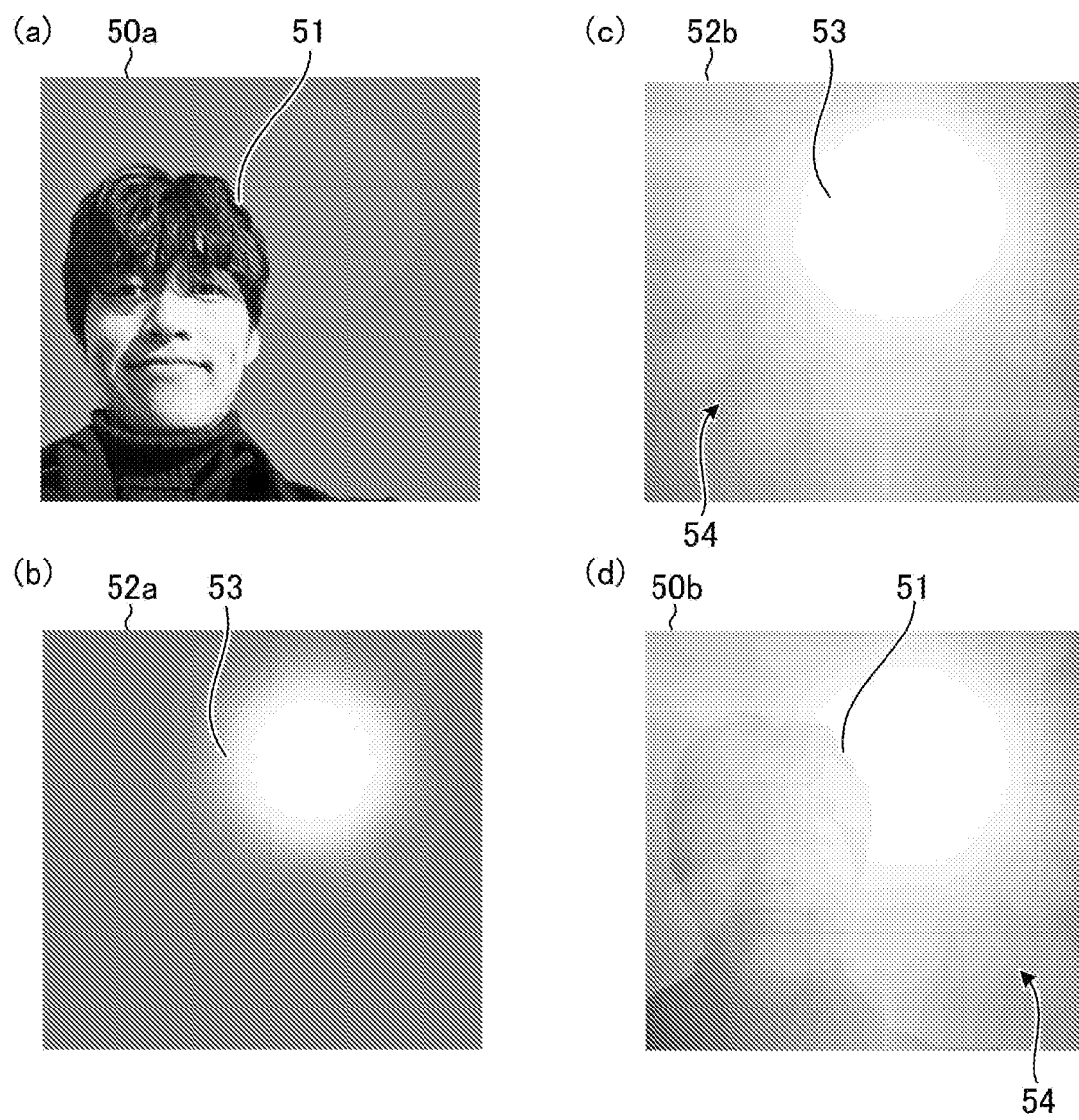
[図8]



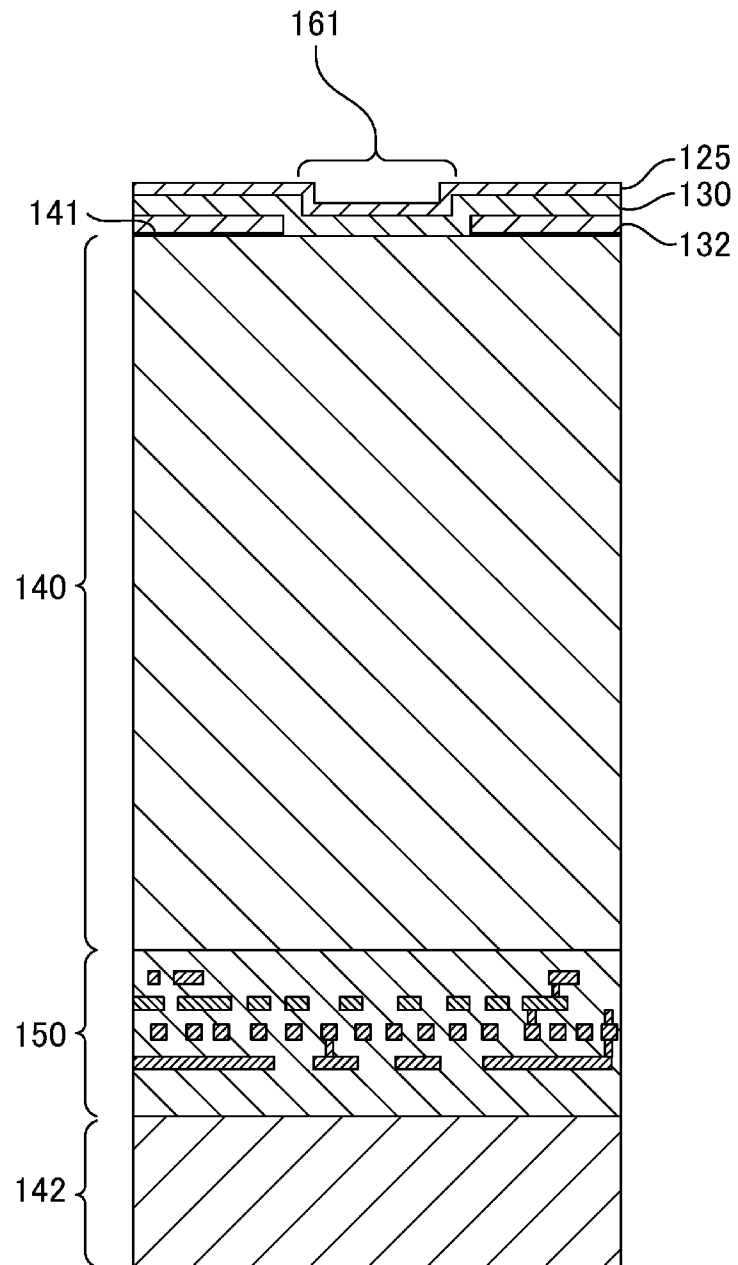
[図9]



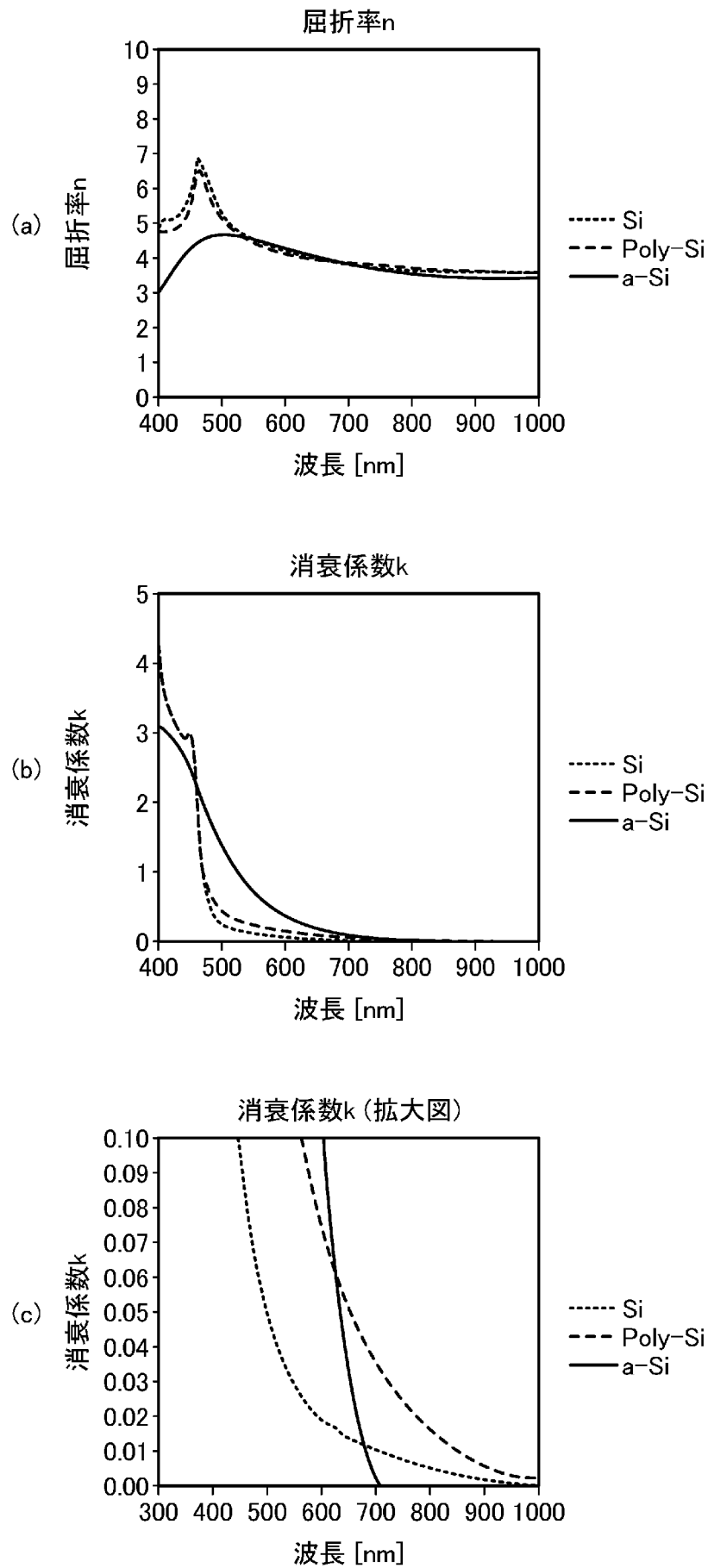
[図10]



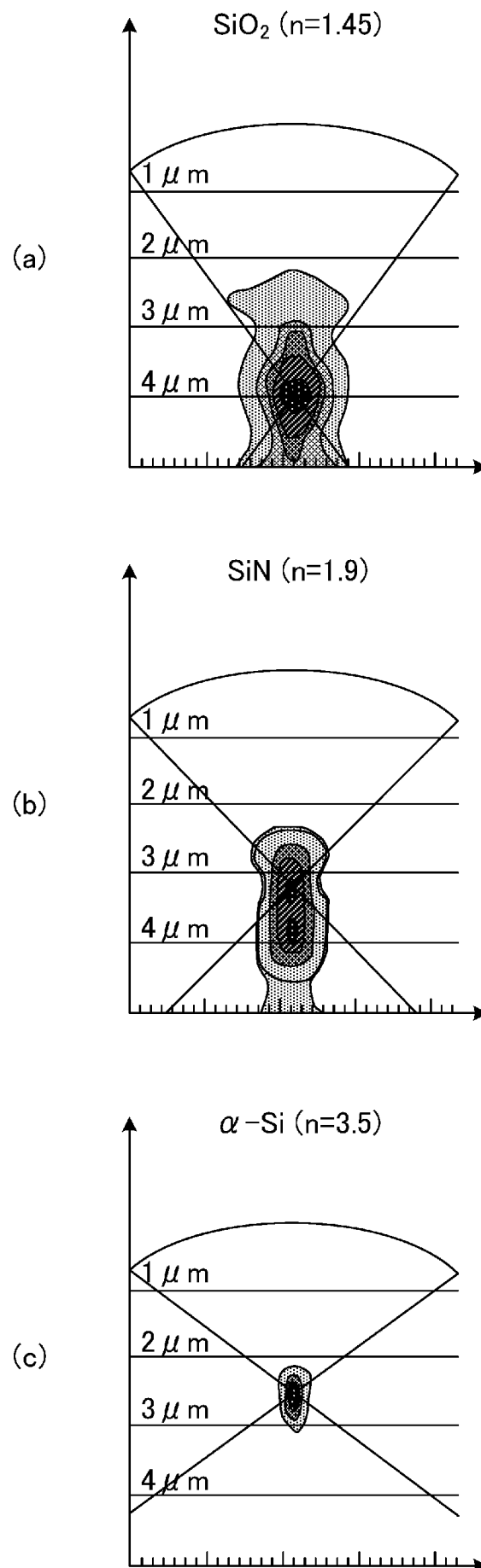
[図11B]



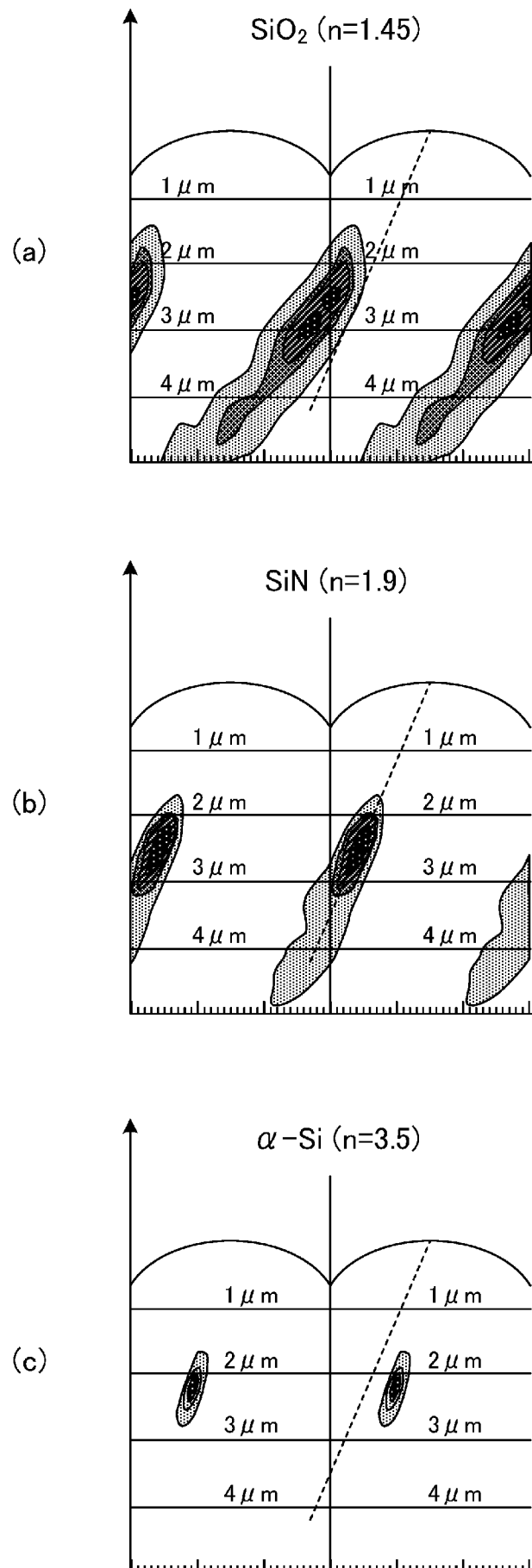
[図12]



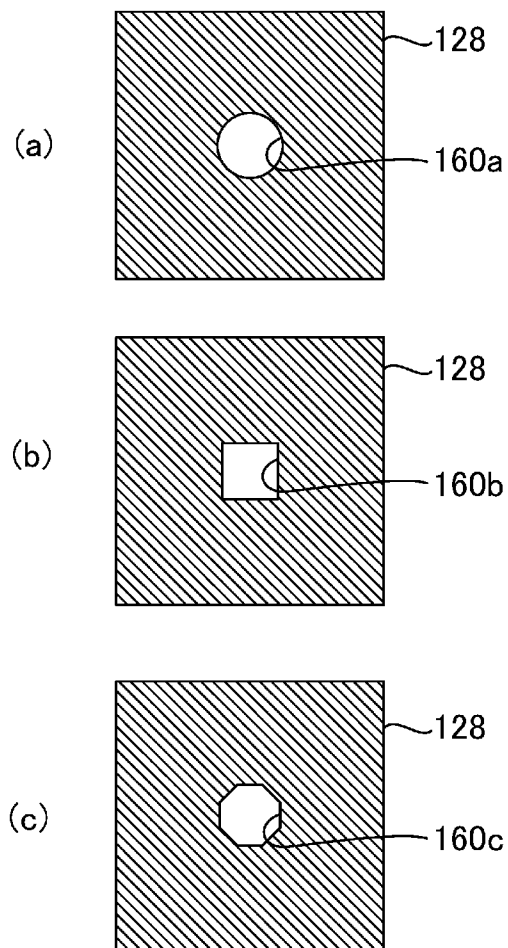
[図13]



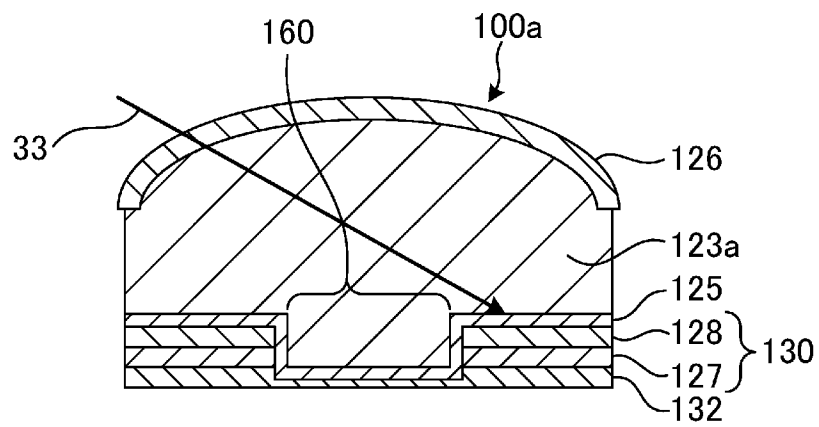
[図14]



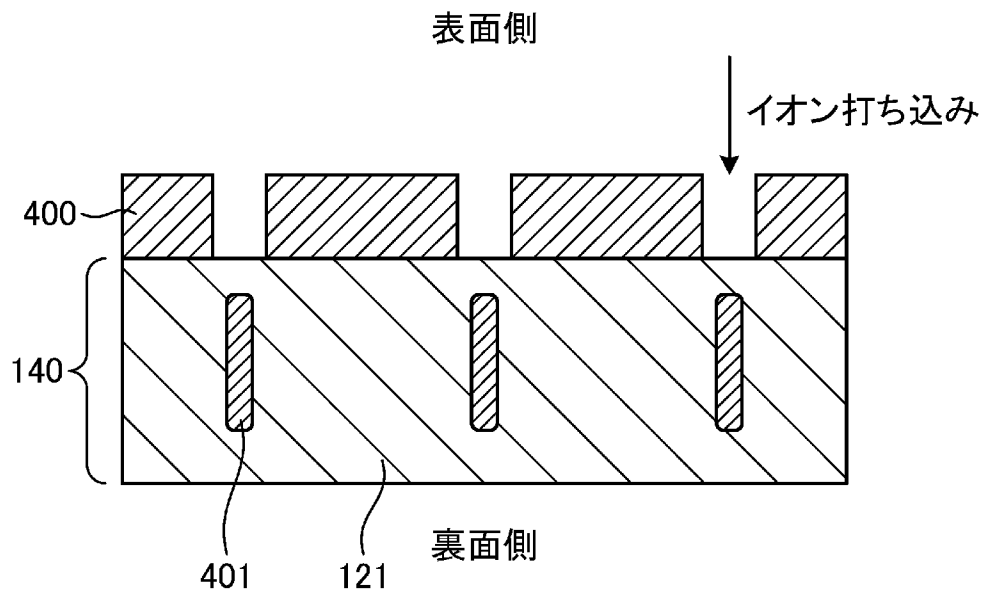
[図15]



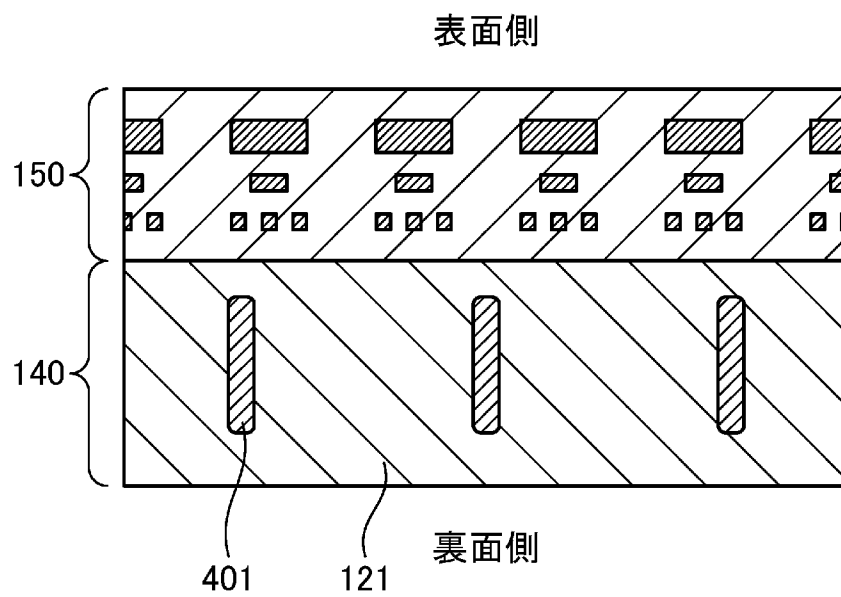
[図16]



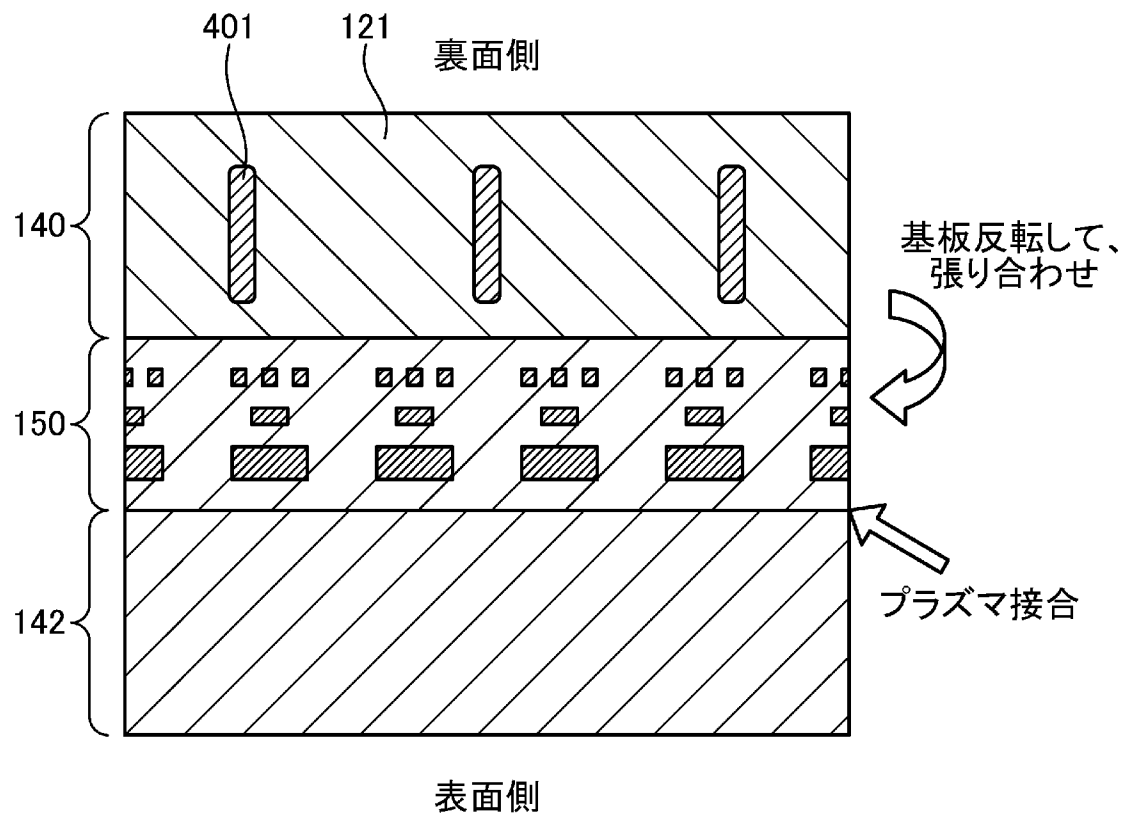
[図17A]



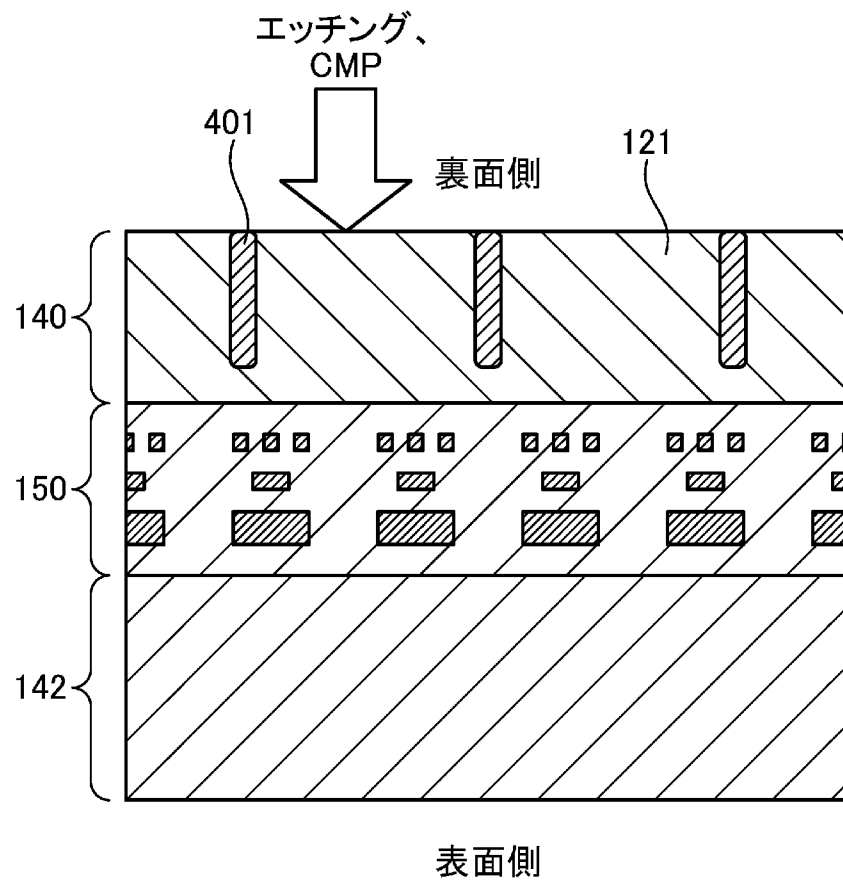
[図17B]



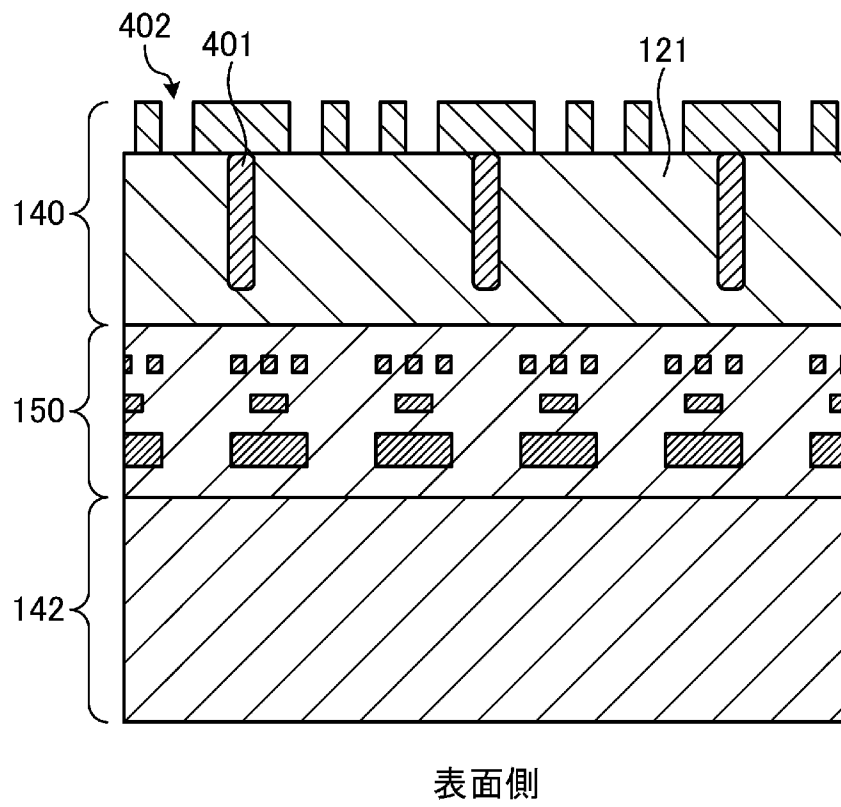
[図17C]



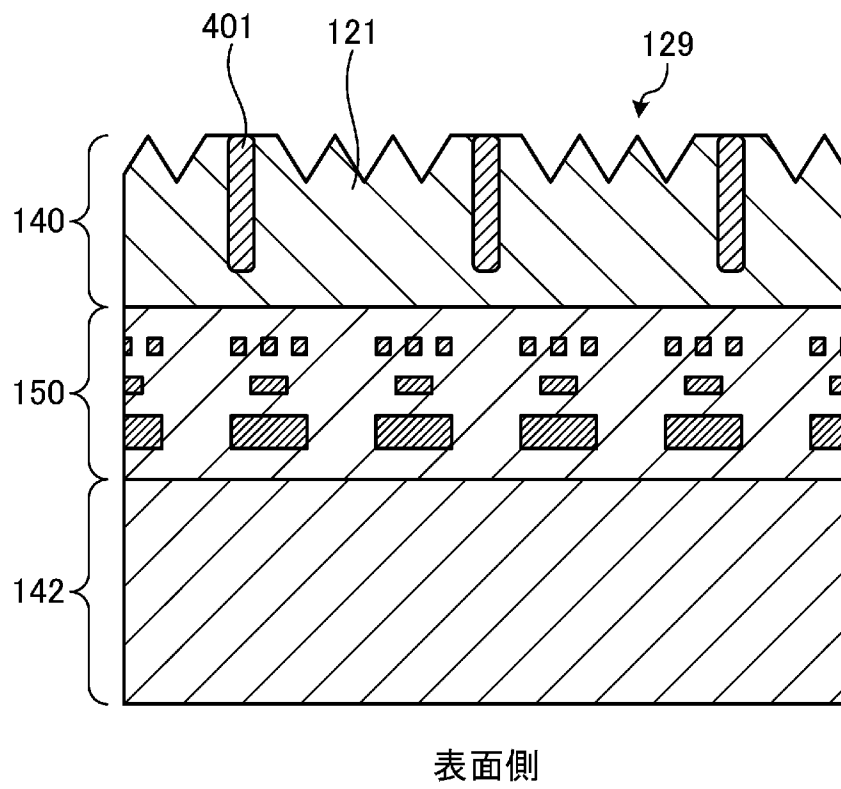
[図17D]



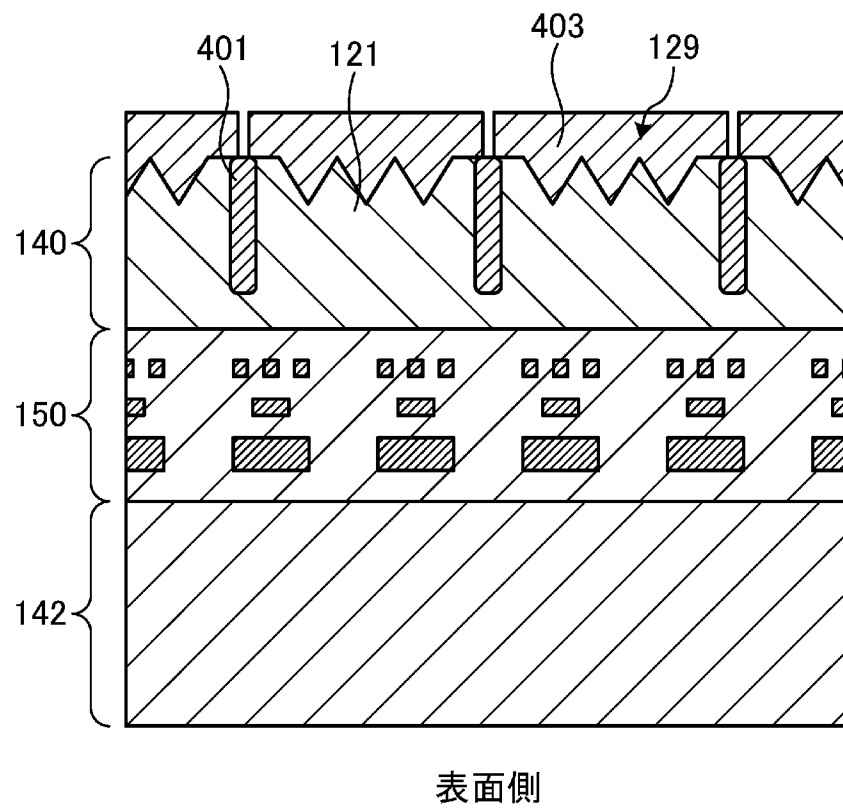
[図17E]



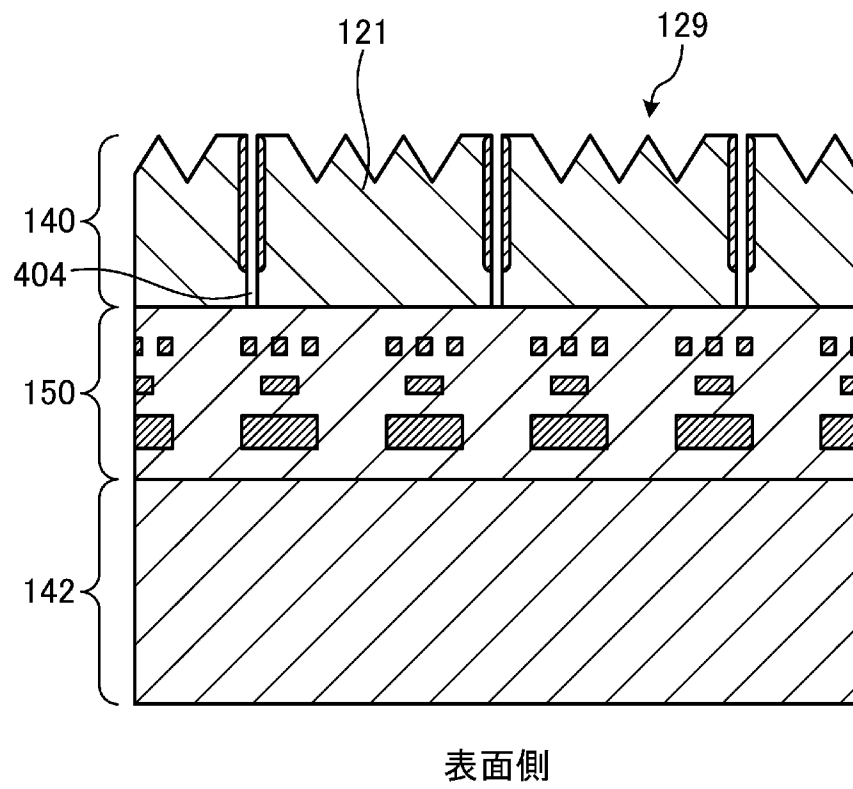
[図17F]



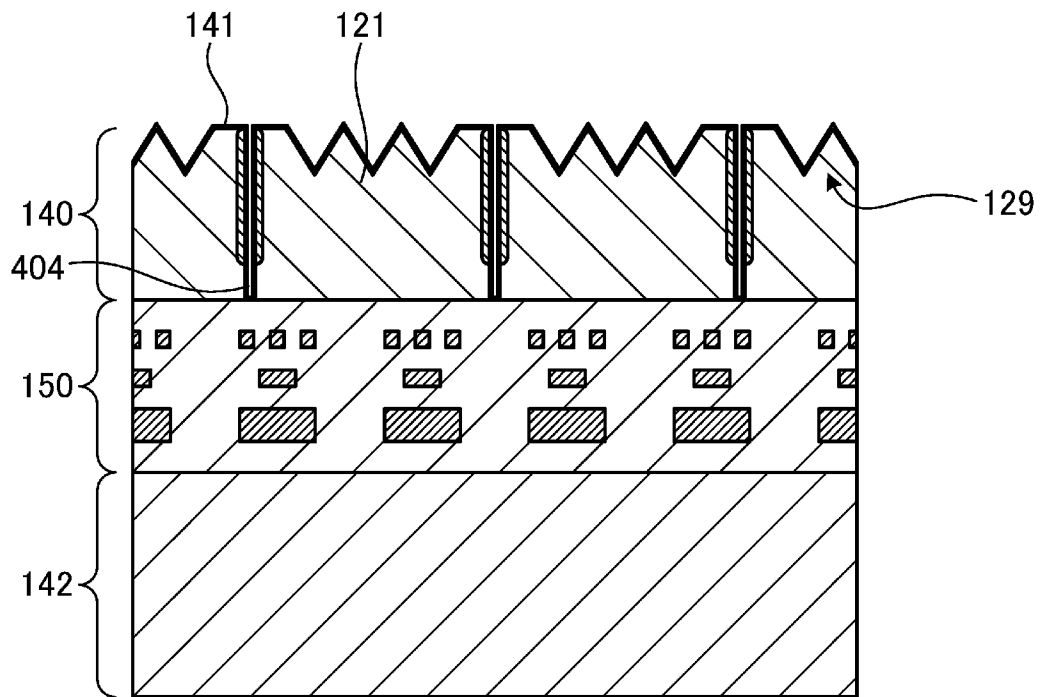
[図17G]



[図17H]

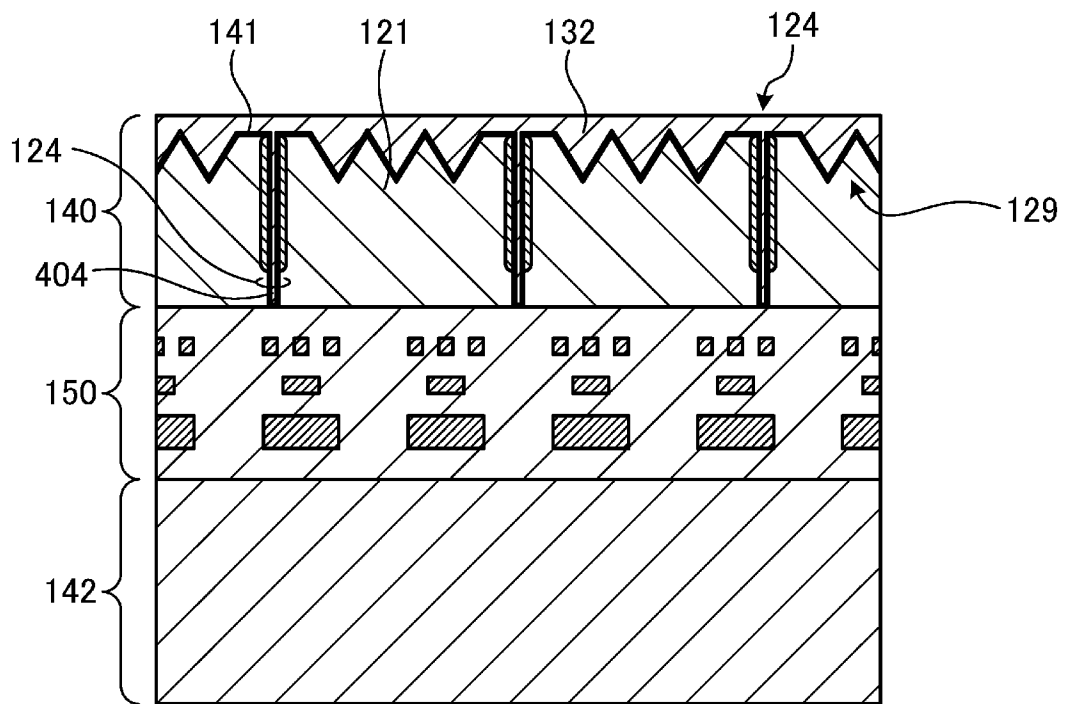


[図17I]



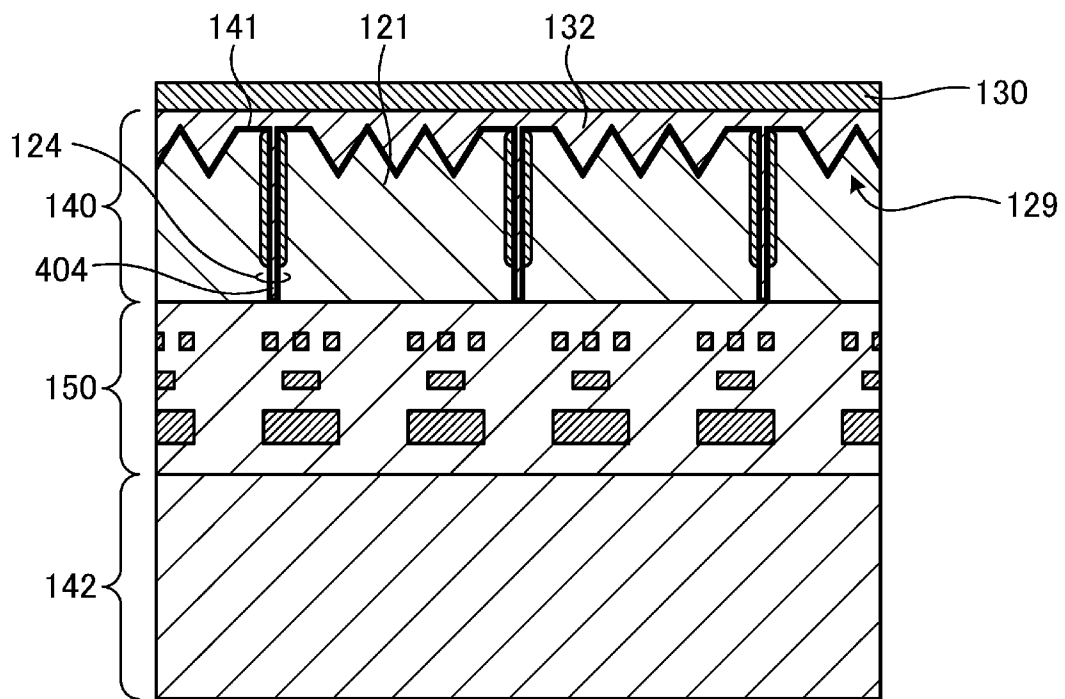
表面側

[図17J]



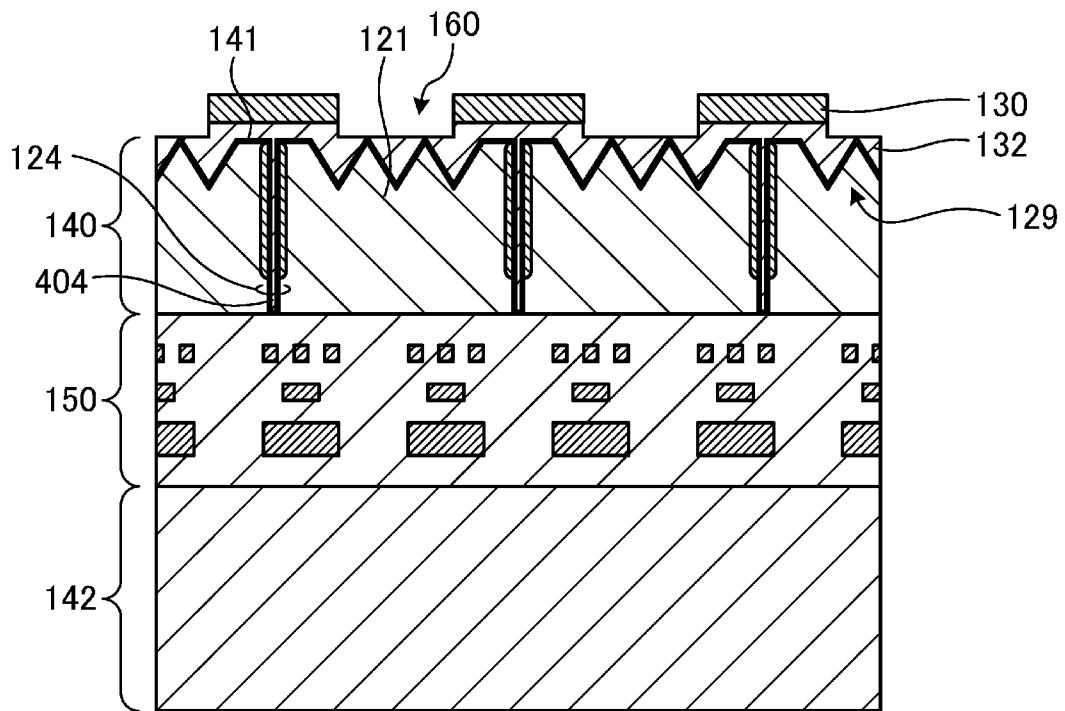
表面側

[図17K]



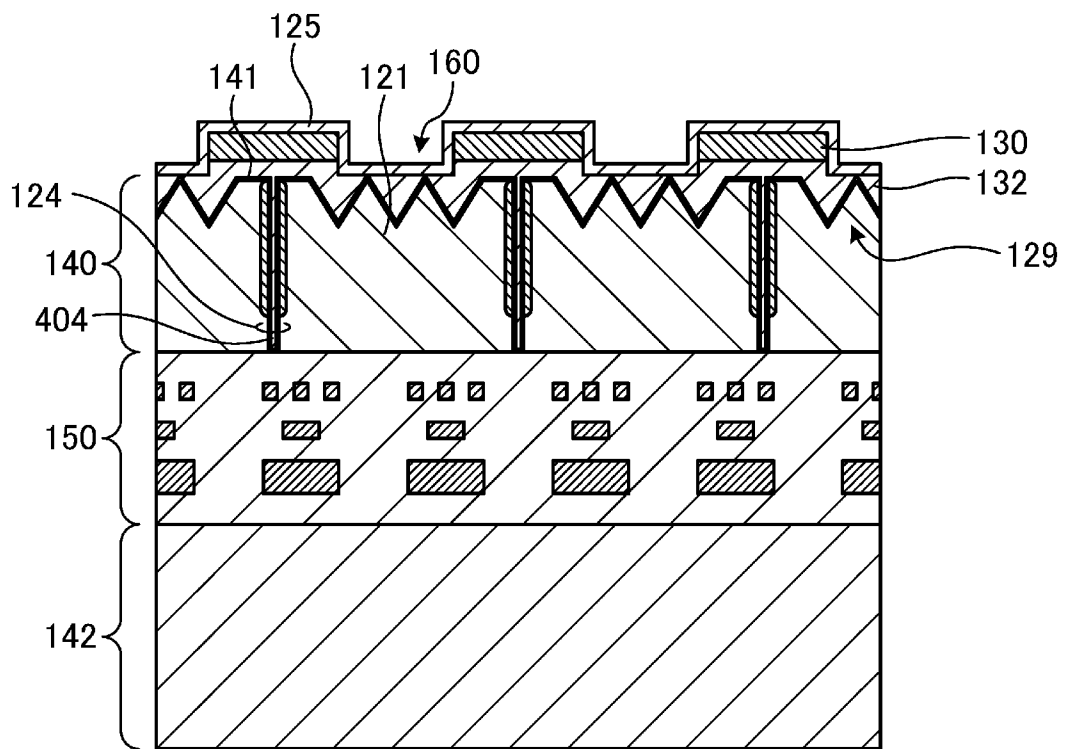
表面側

[図17L]



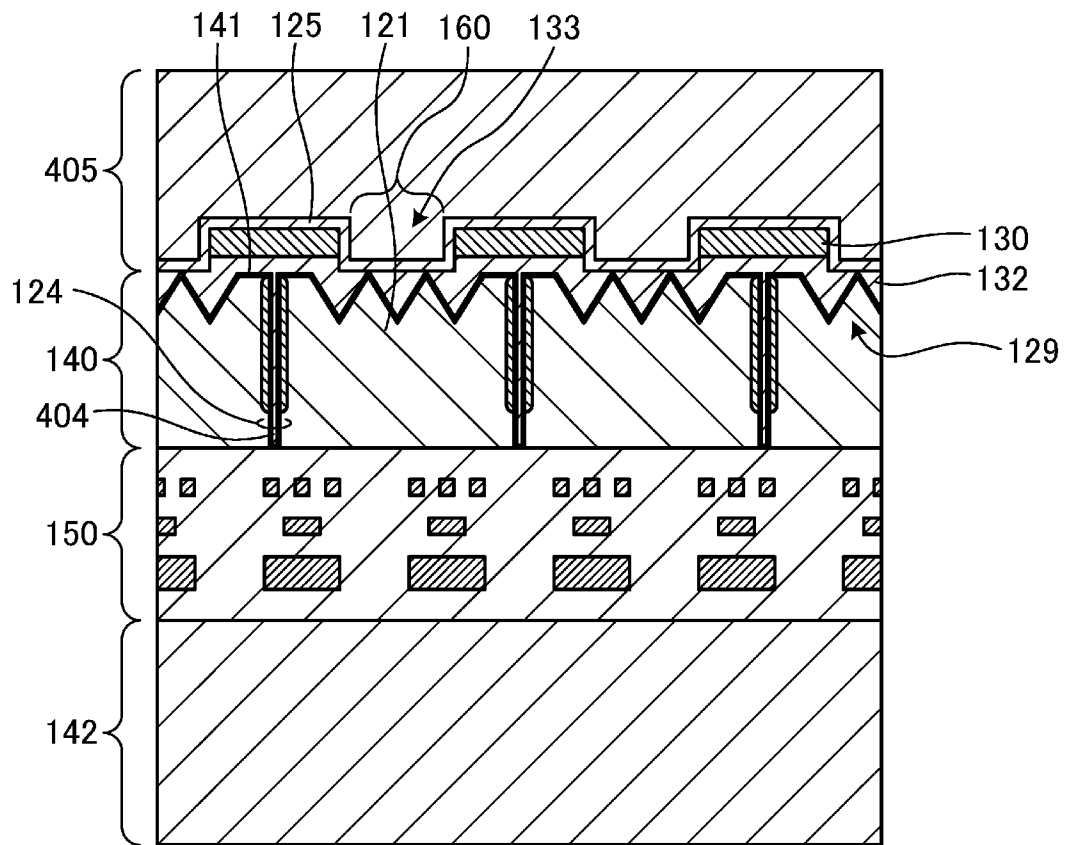
表面側

[図17M]



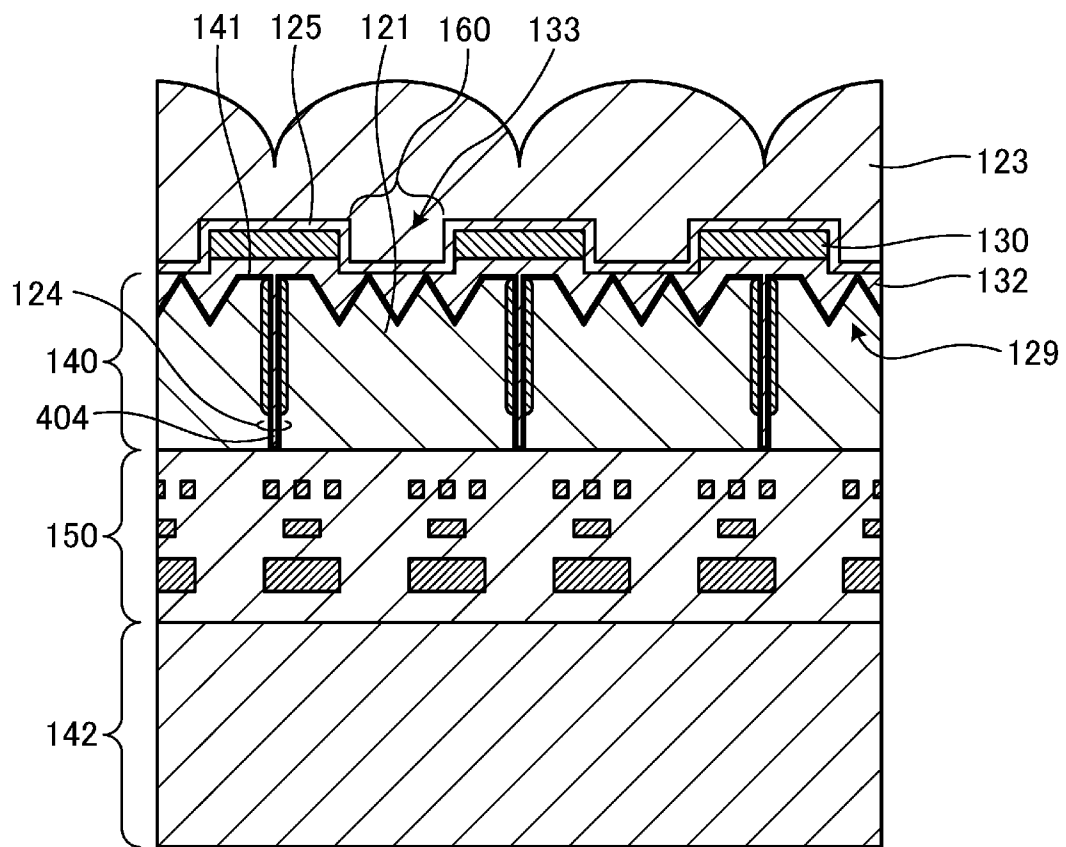
表面側

[図17N]



表面側

[図170]

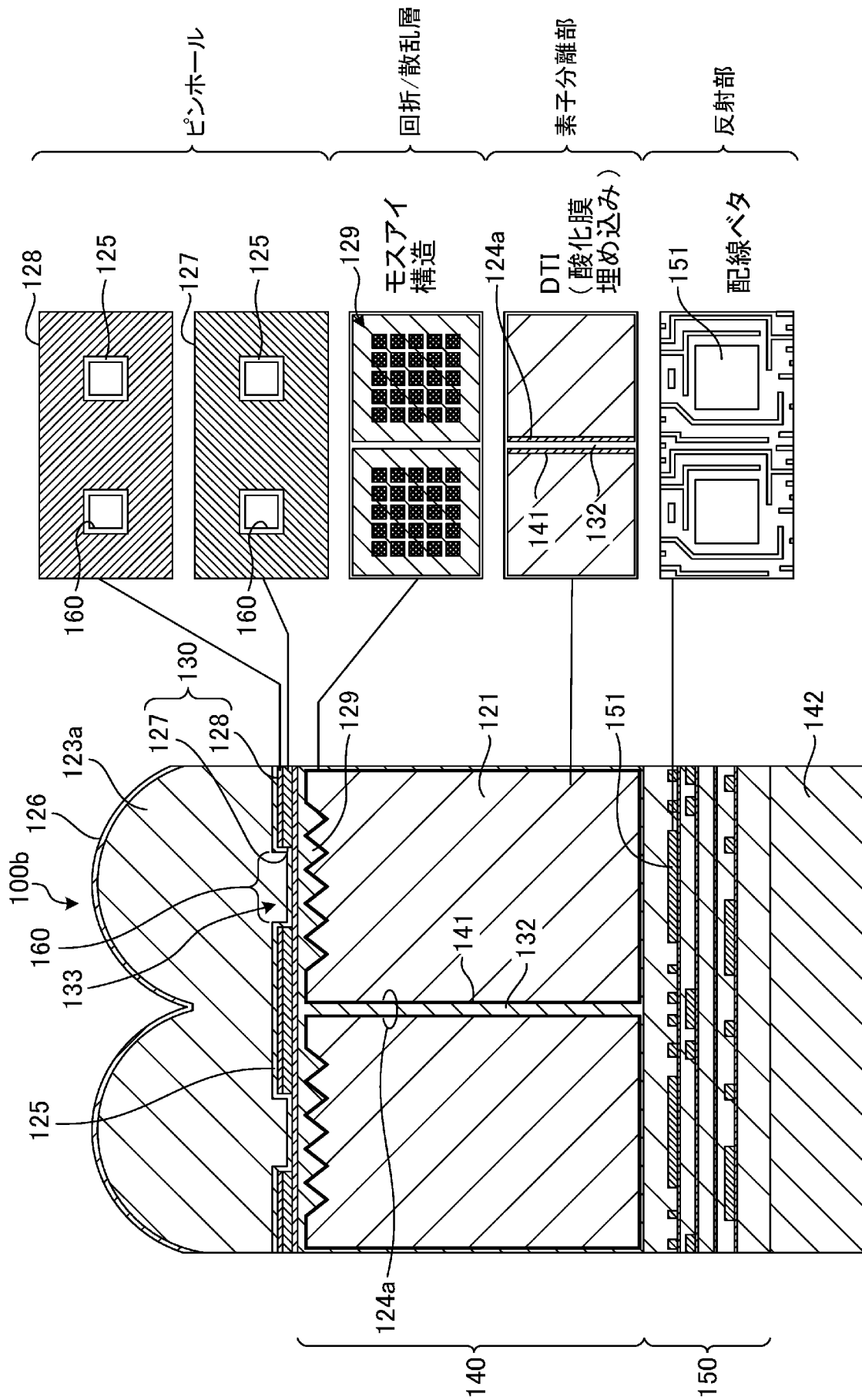


表面側

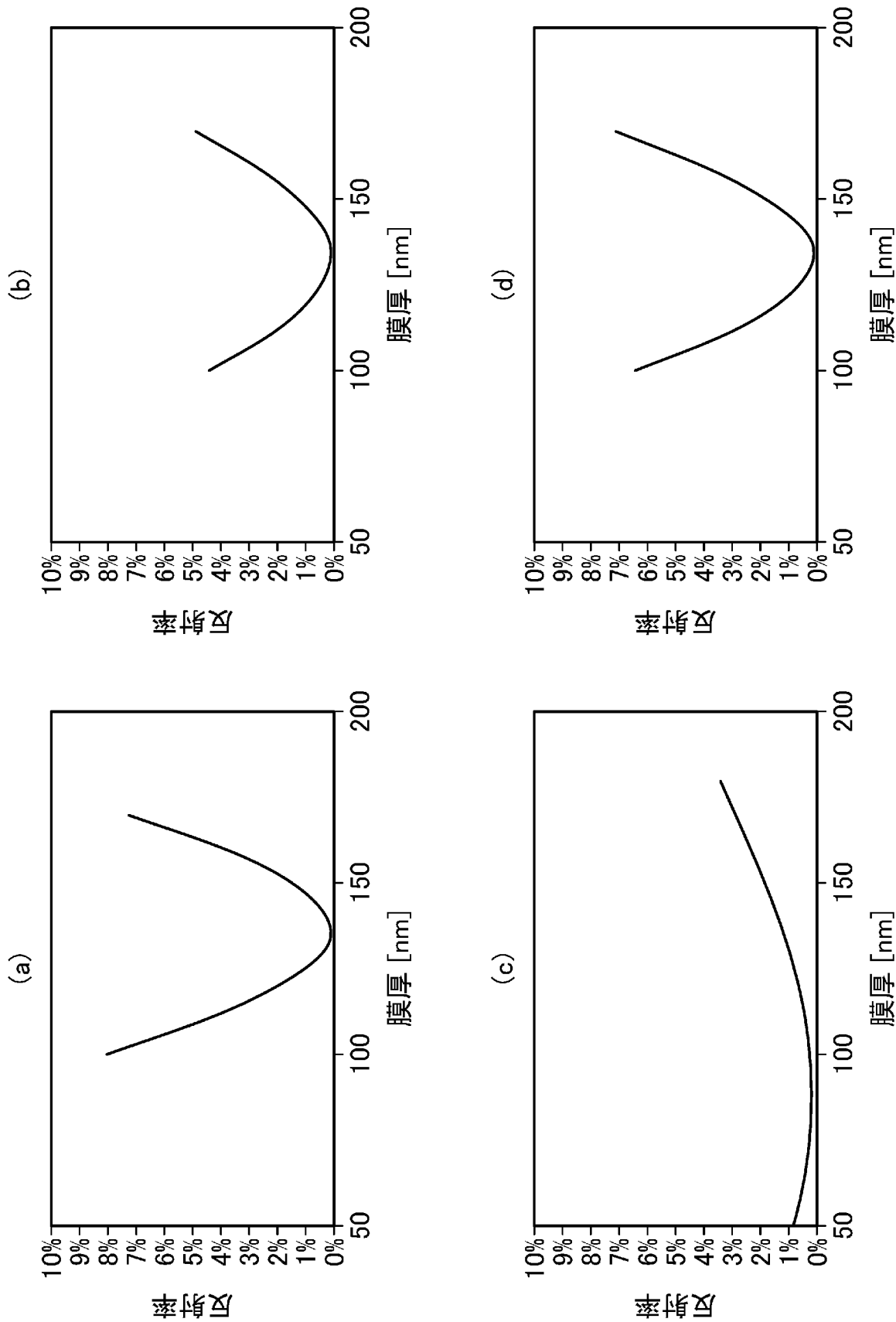
Fig. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 142, a layer 150, and a top layer 124. The layer 150 contains various patterns, including small squares and larger rectangular blocks. The top layer 124 has a sawtooth profile 129. Various components are labeled with reference numerals: 141, 125, 121, 160, 133, 126, 123, 130, 132, 129, 140, and 404.

表面側

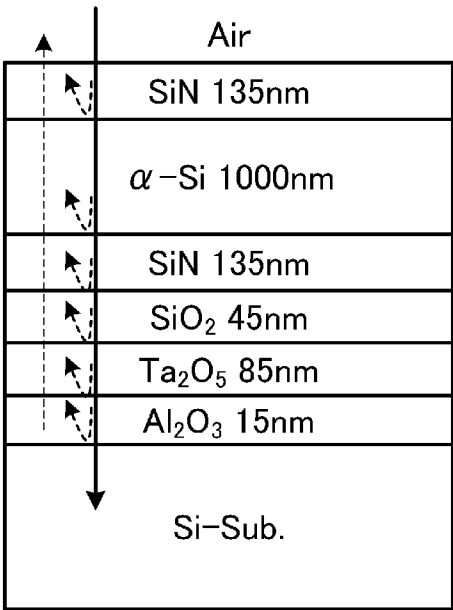
[図18]



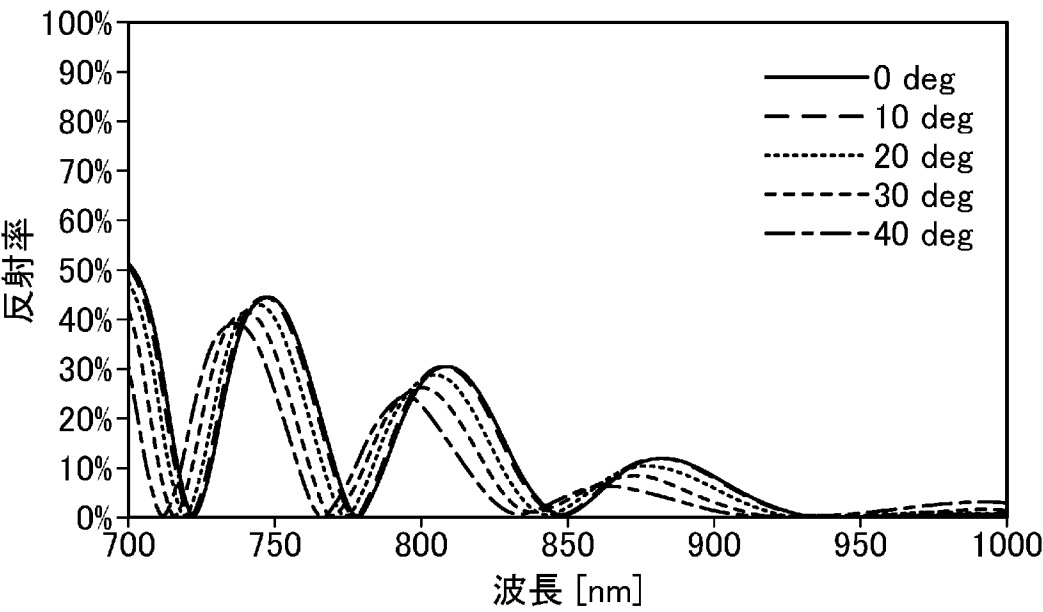
[図19]



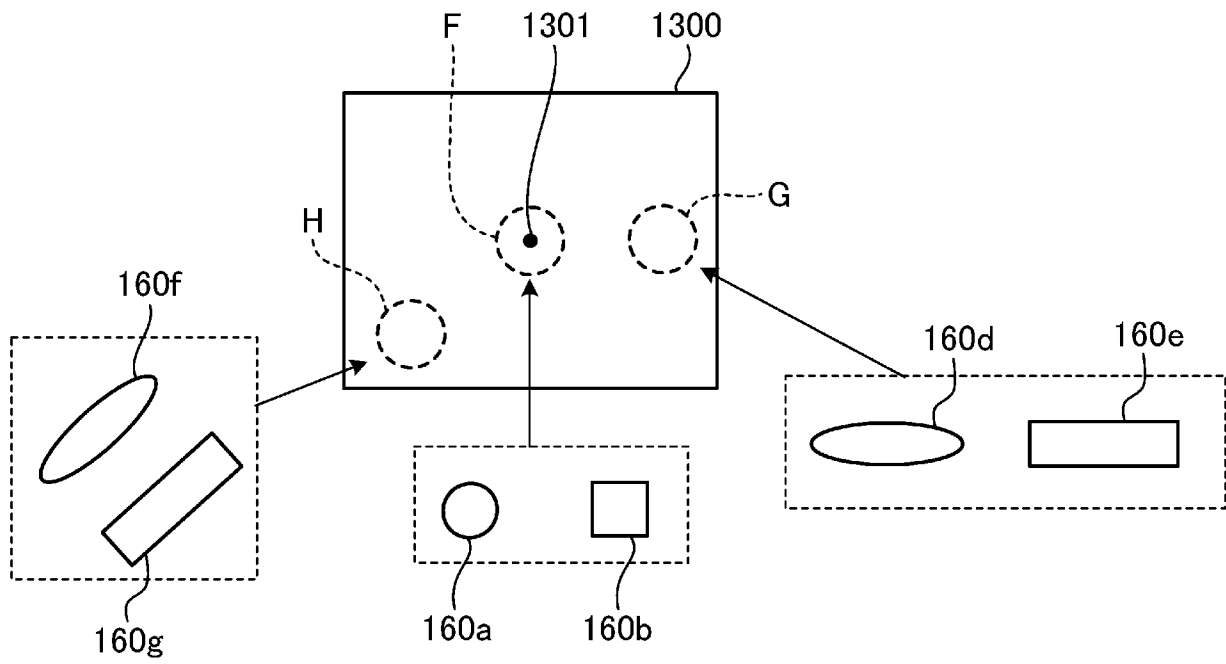
[図20]



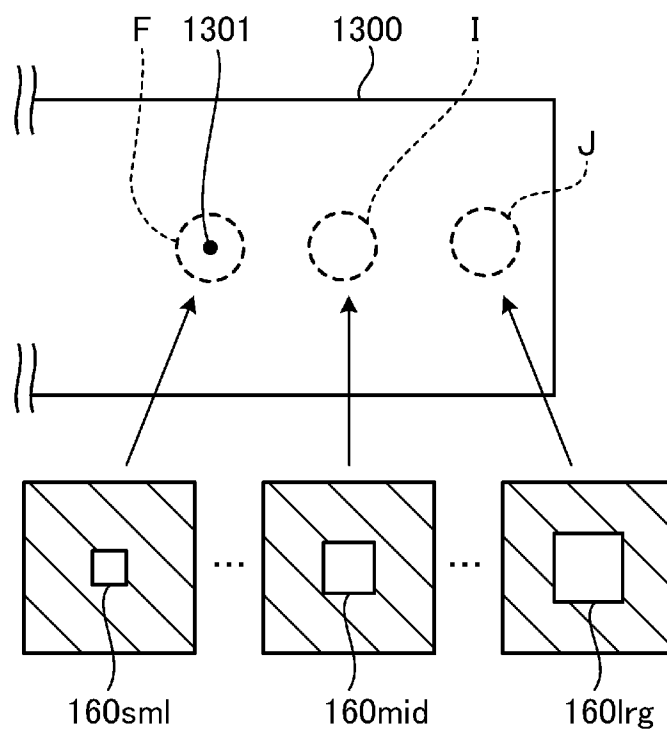
[図21]



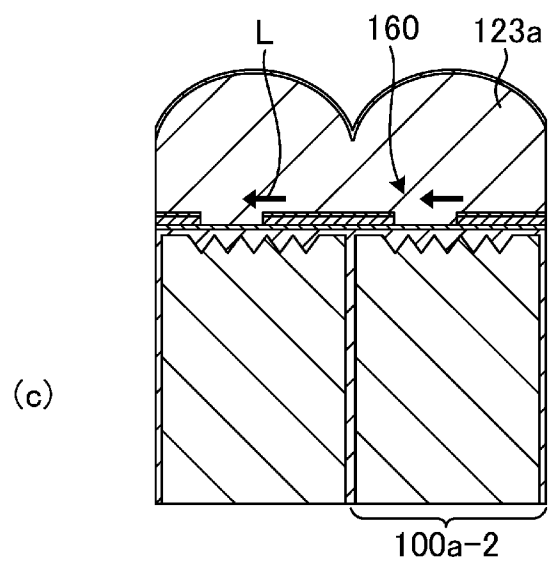
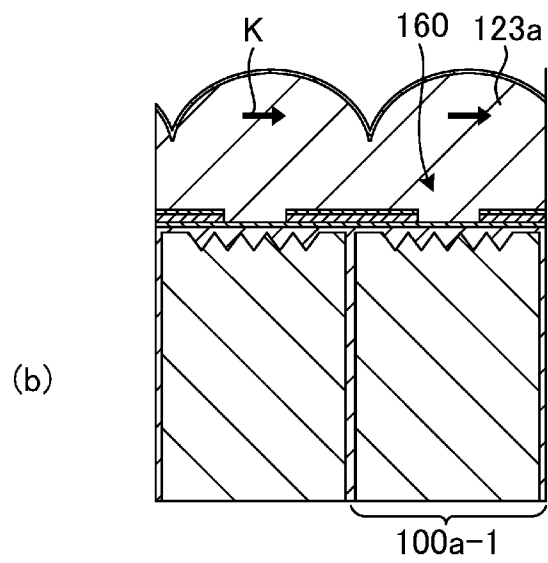
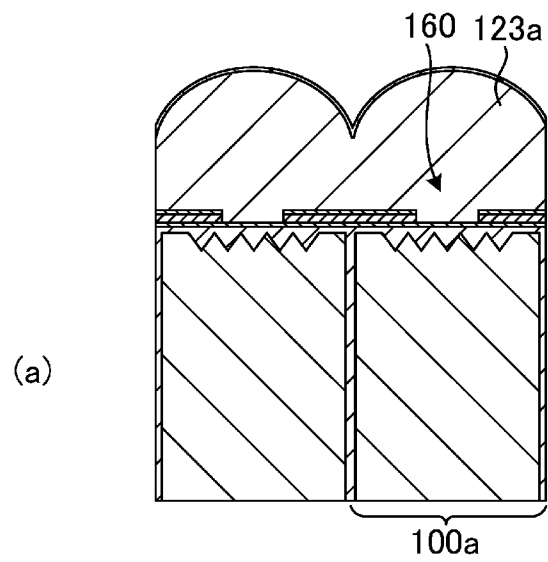
[図22]



[図23]

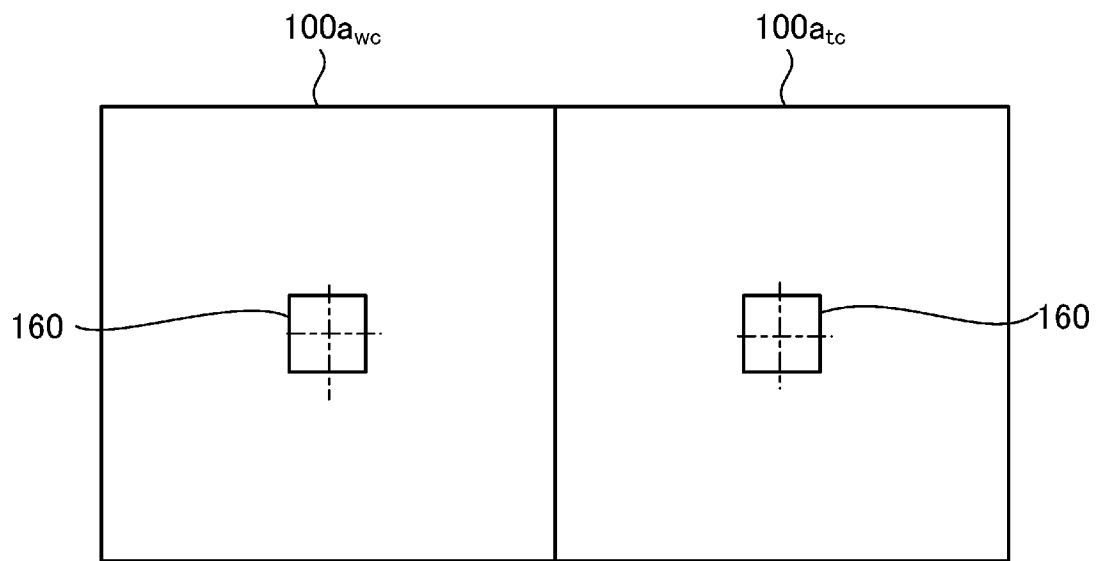


[図24]

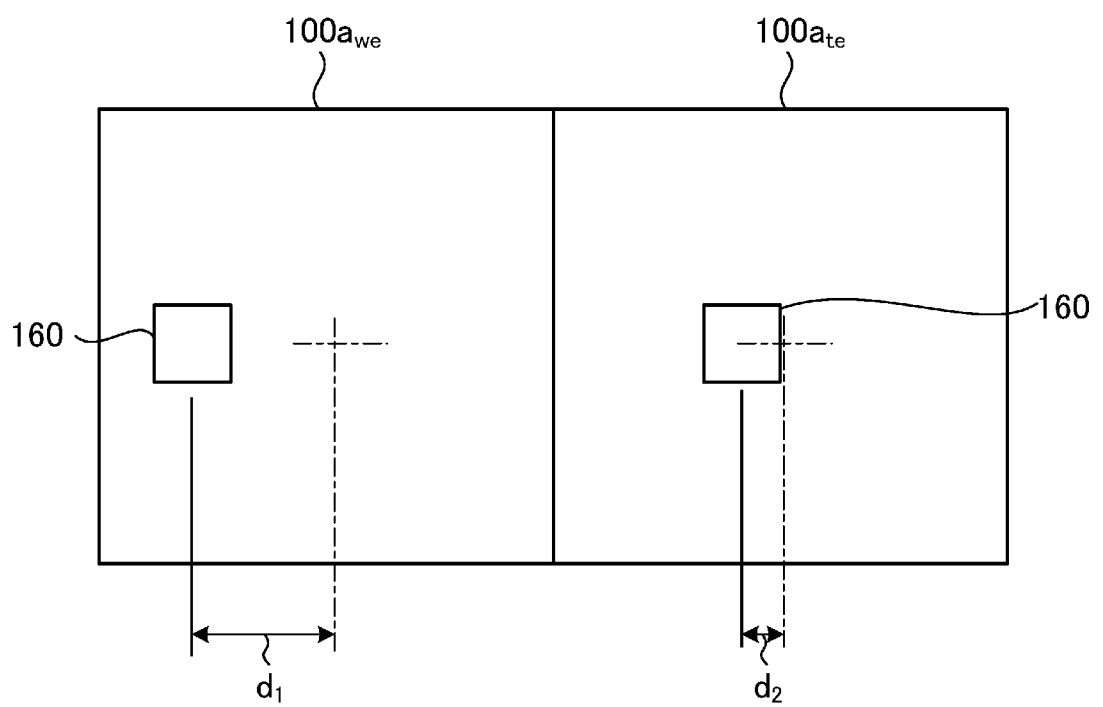


[図25]

(a)



(b)



[図26]

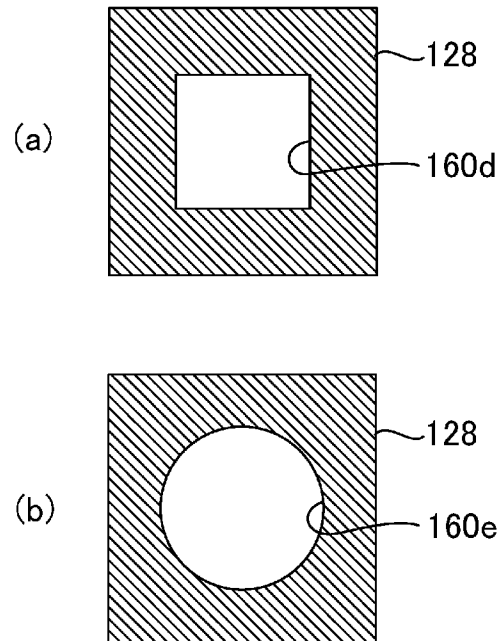
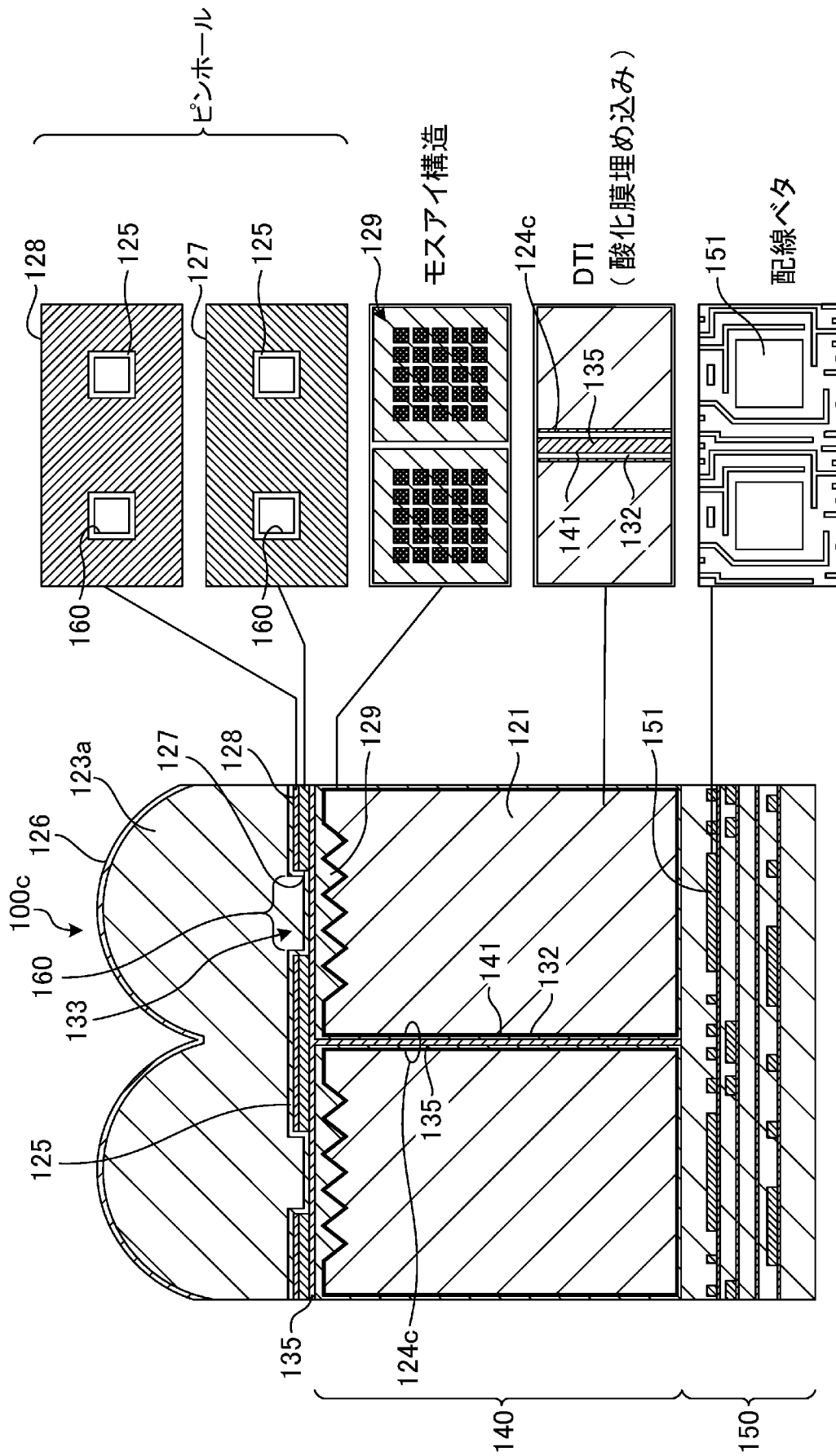
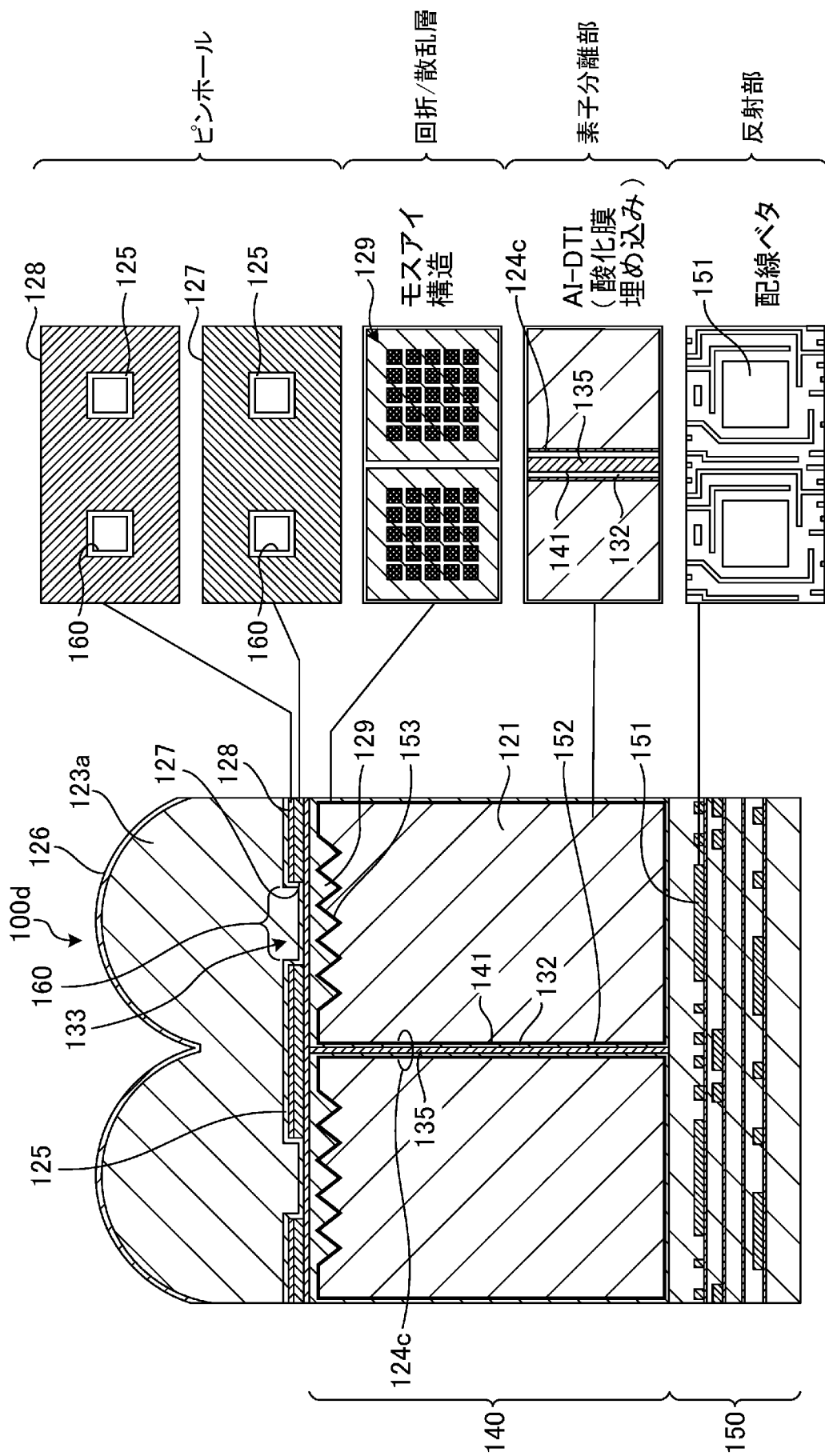


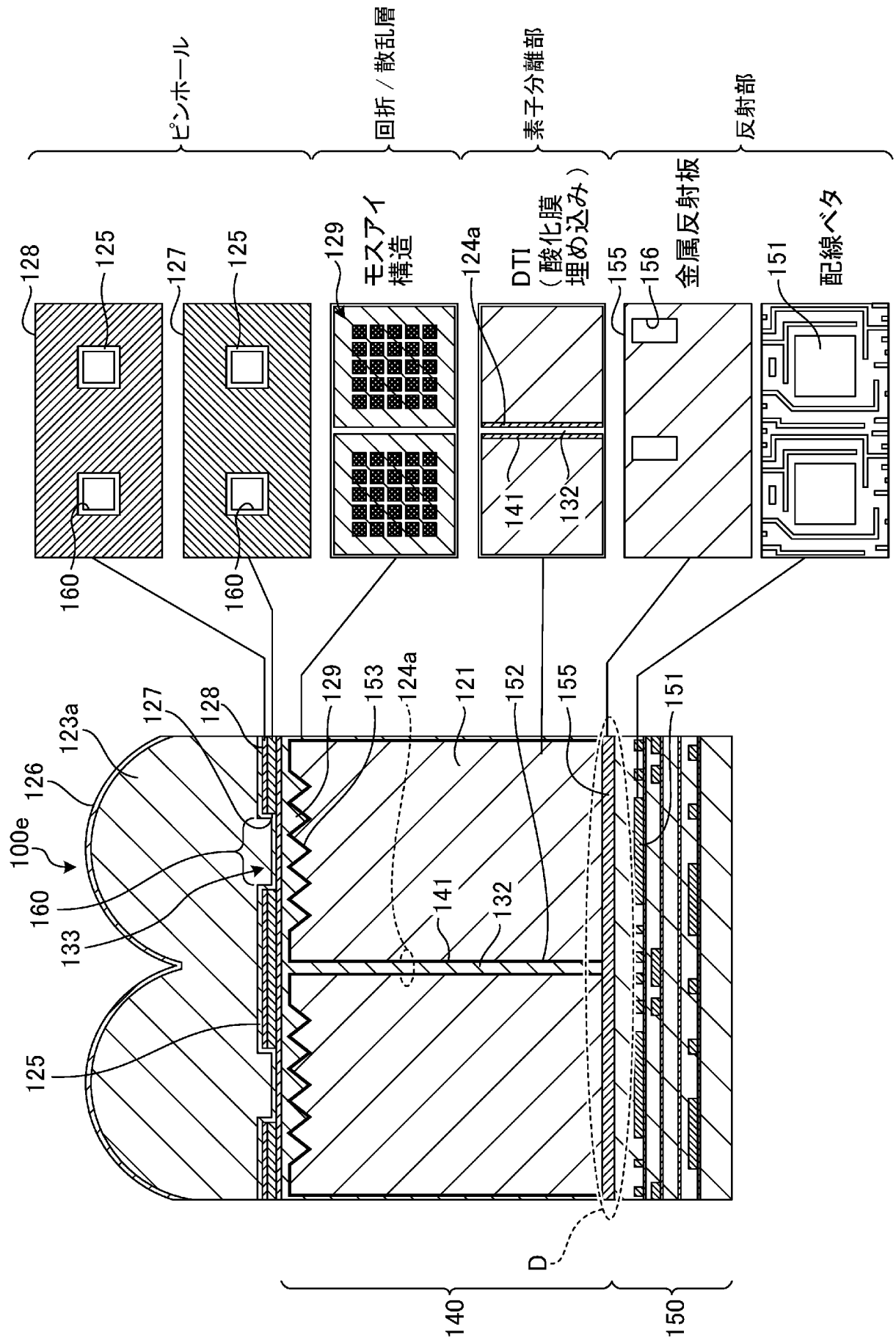
Figure 1 is a schematic diagram of a semiconductor device 100. The device is divided into two main regions: 140 (left) and 150 (right). Region 140 includes a pinhole layer (125, 127, 128) with pinholes (160), a MOS structure (129), and an Air-DTI (acid film embedding) layer (132, 134, 141). Region 150 includes a reflective portion (151) with wiring patterns (151). The device is also labeled with 100a, 100b, 123a, 123b, 126, 133, 140, and 150.

[図28]

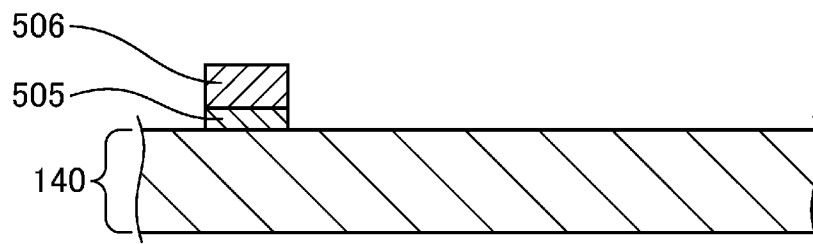




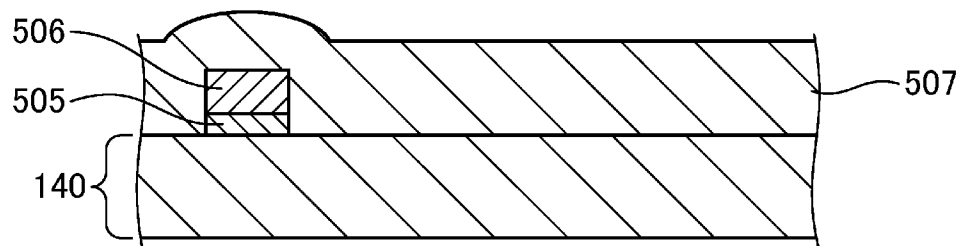
[図30]



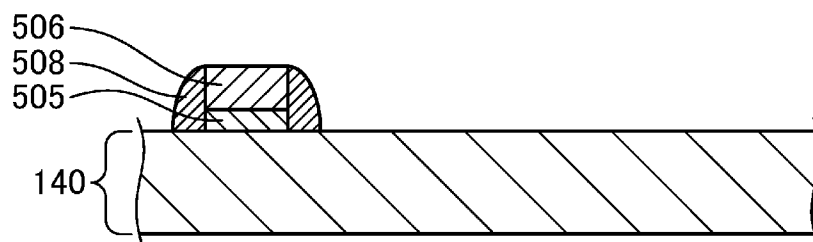
[図31A]



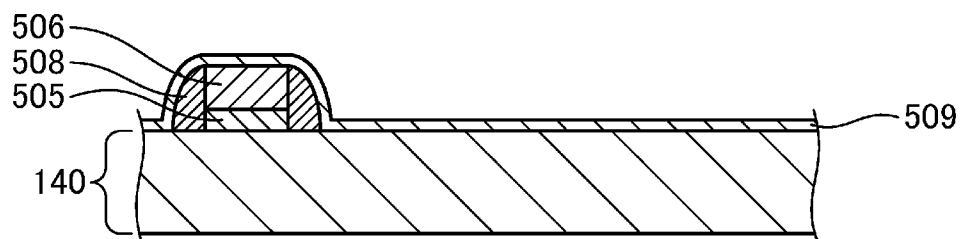
[図31B]



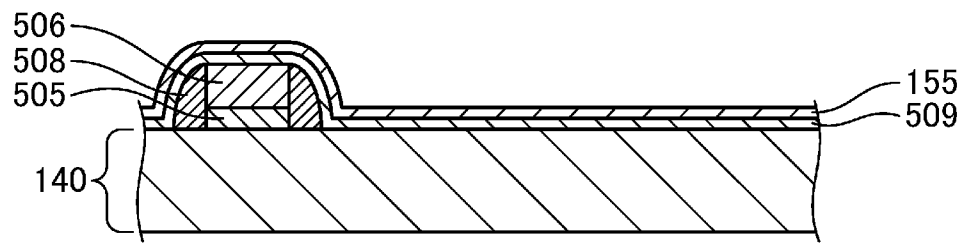
[図31C]



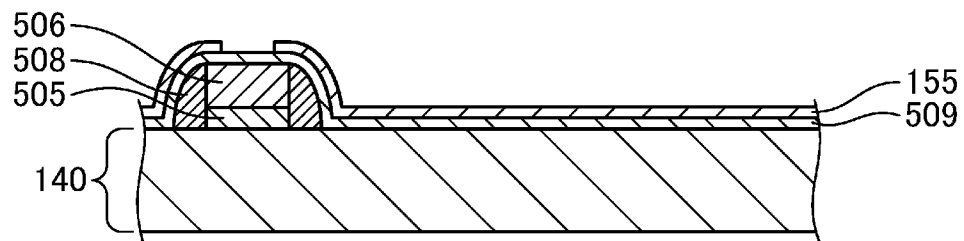
[図31D]



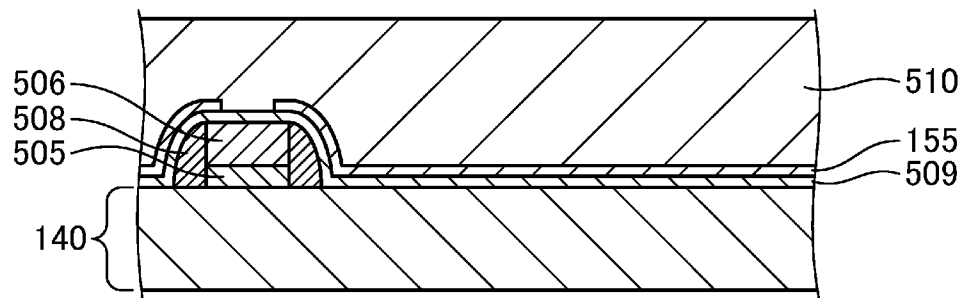
[図31E]



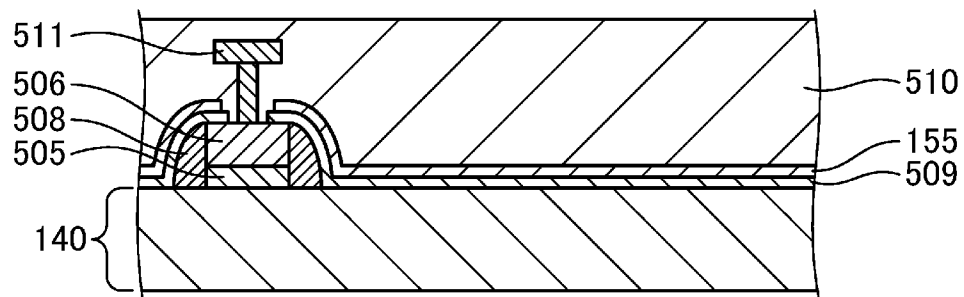
[図31F]



[図31G]

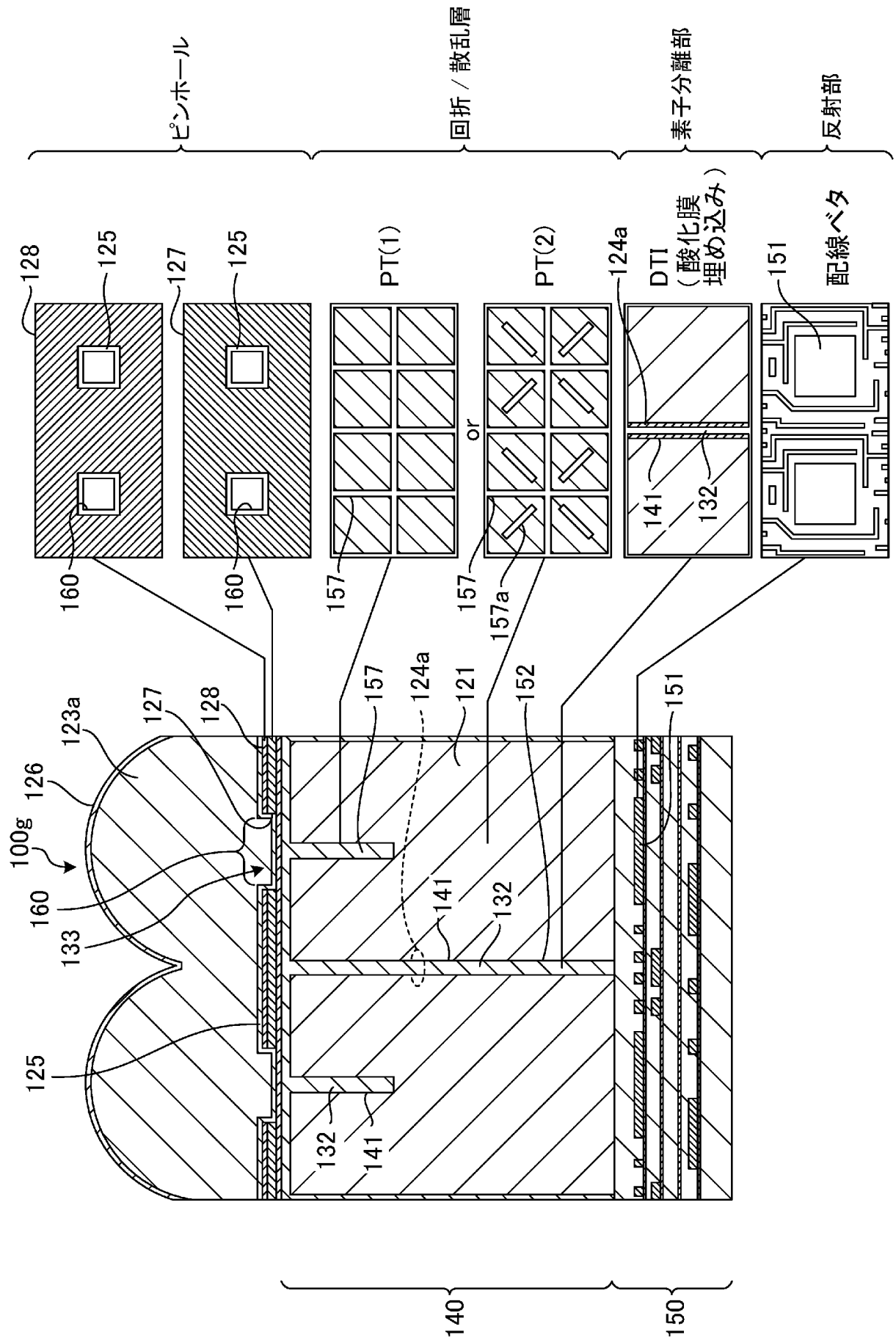


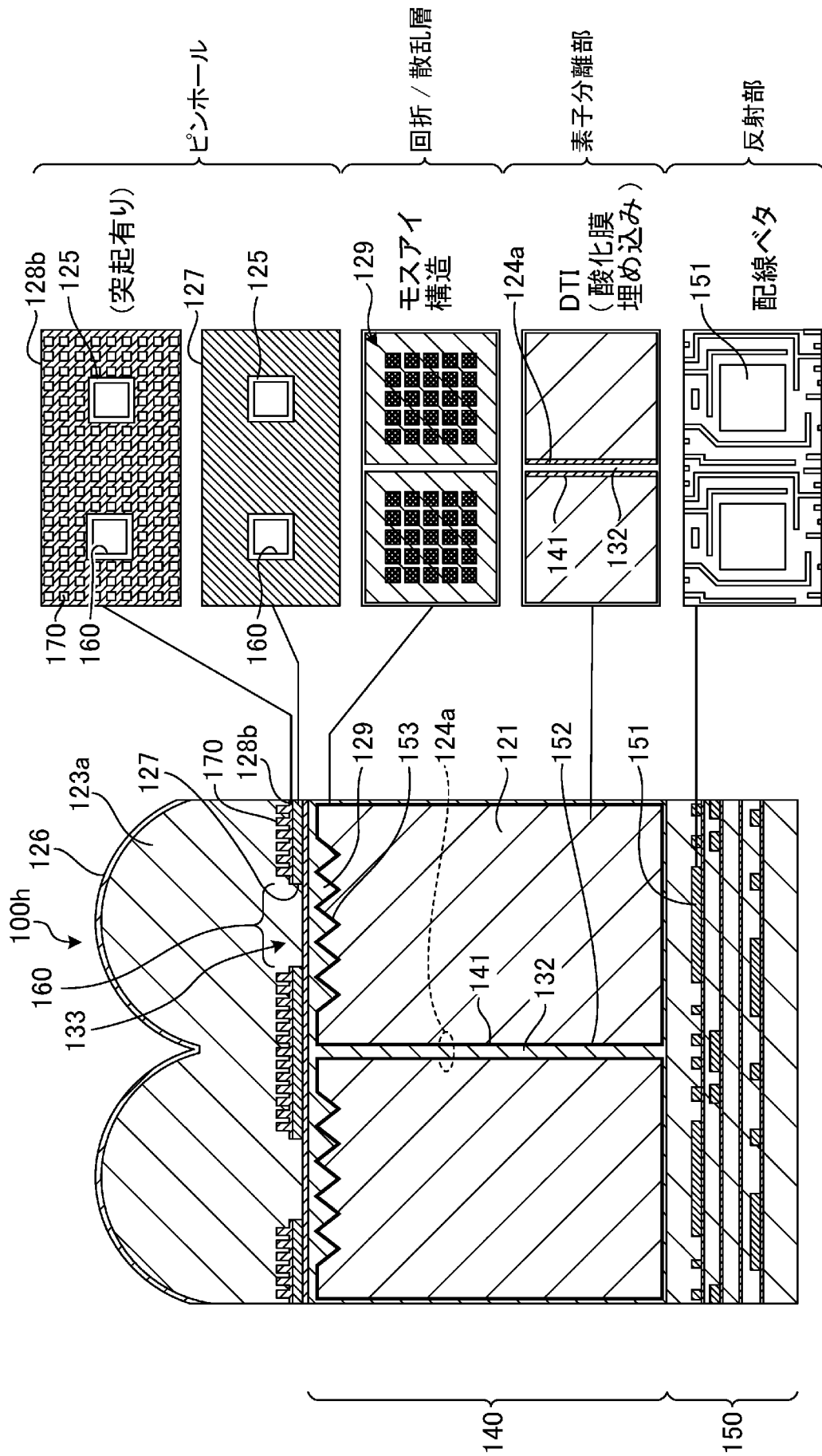
[図31H]



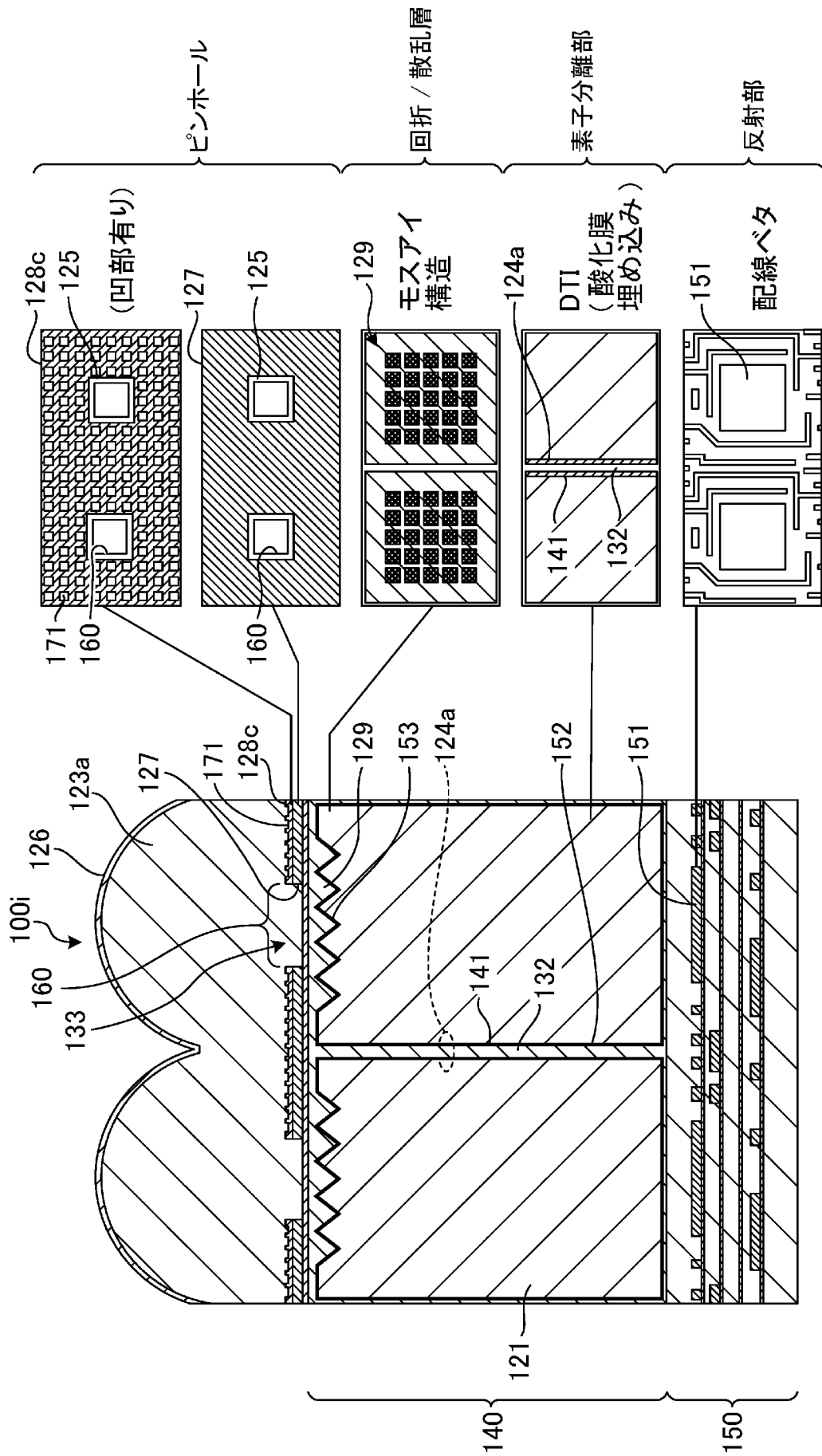
[illegible]

[図33]

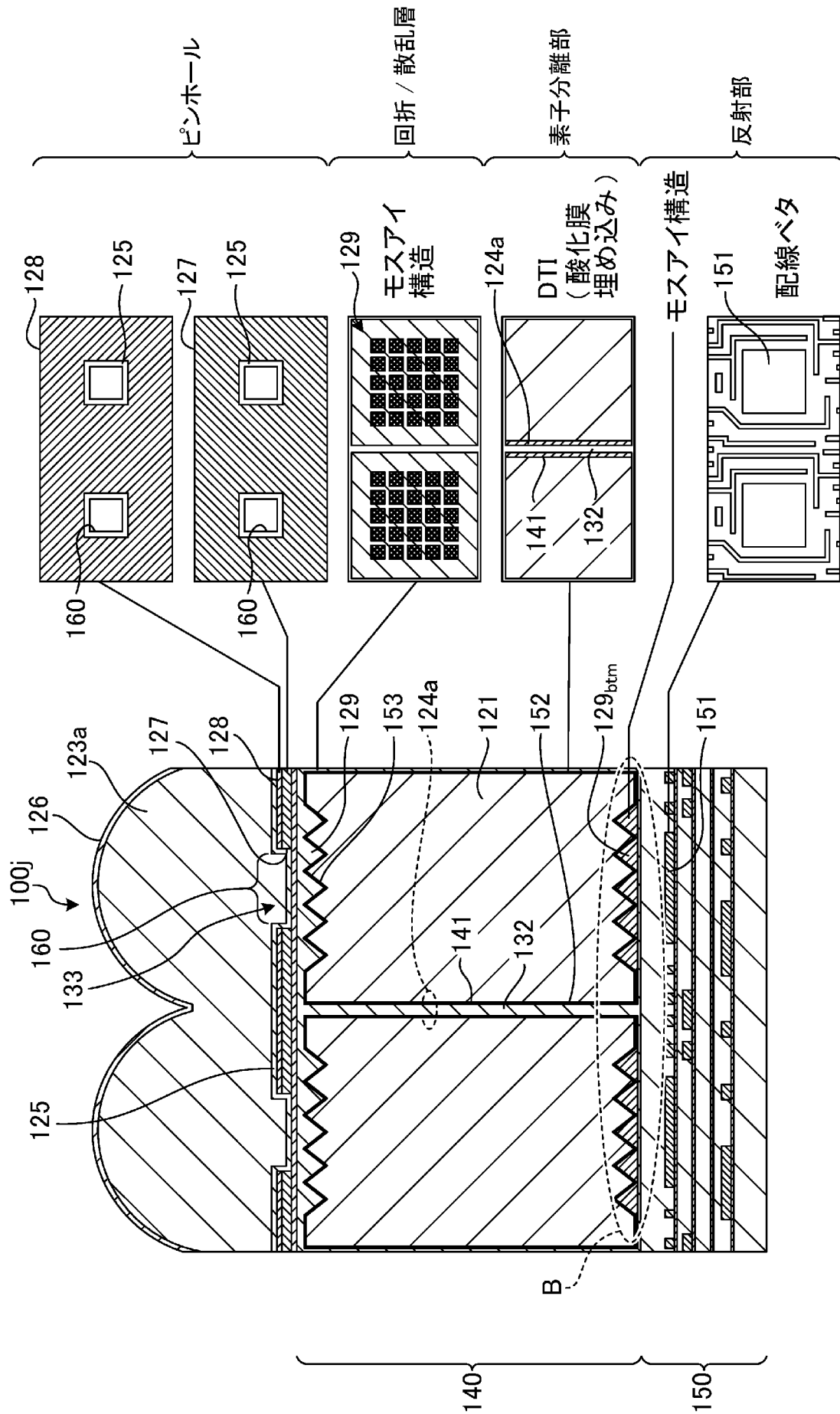




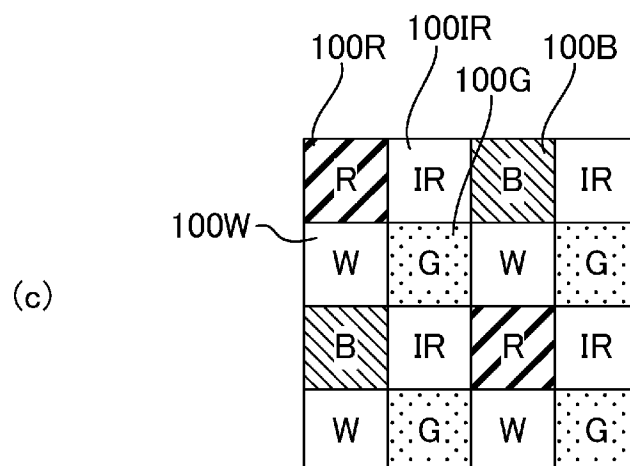
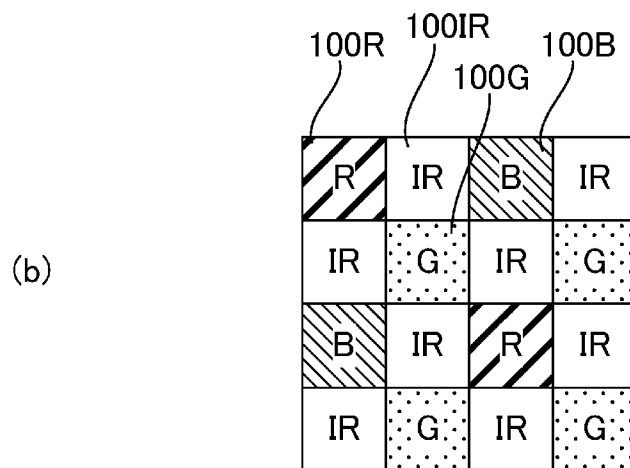
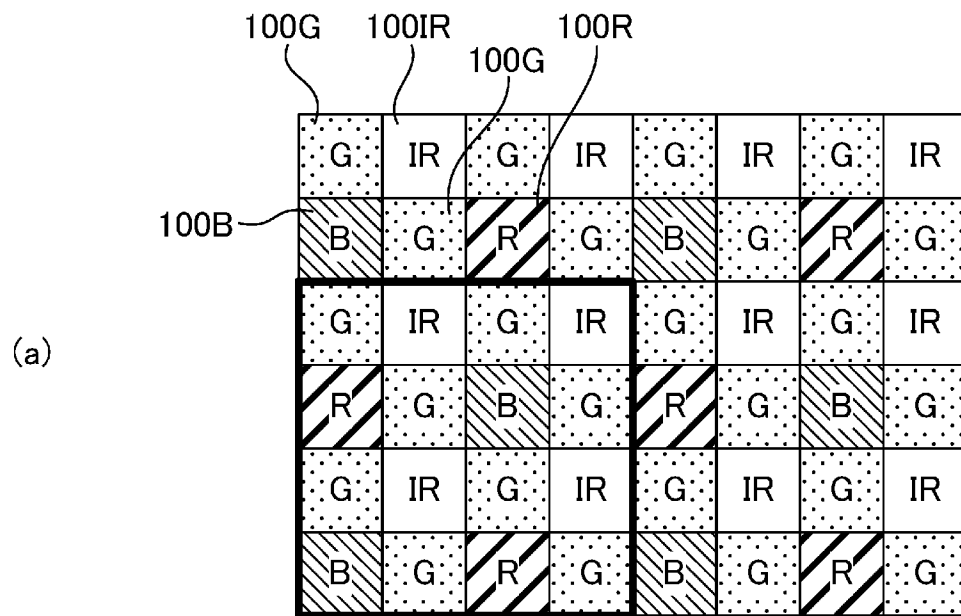
[図35]



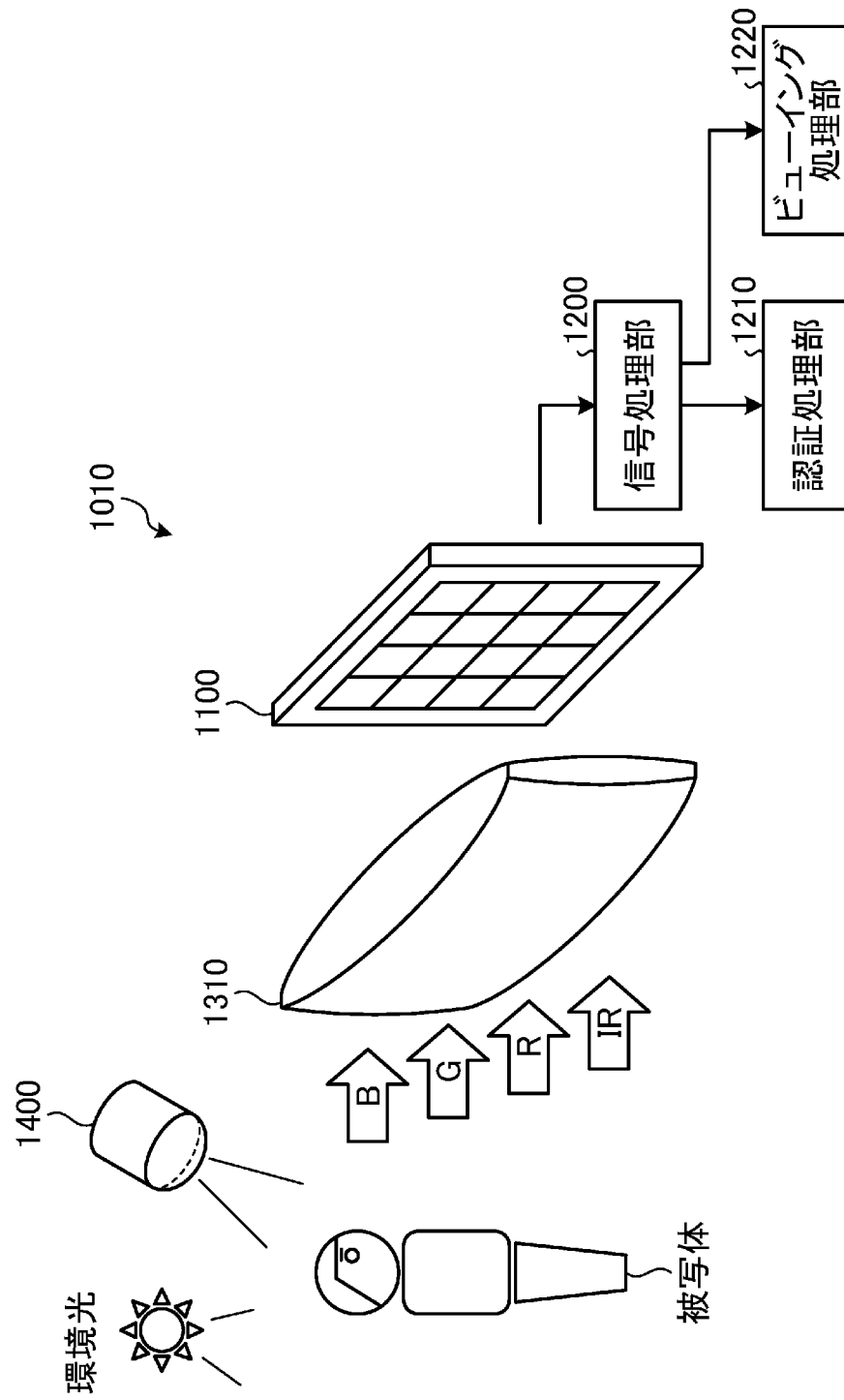
[図37]



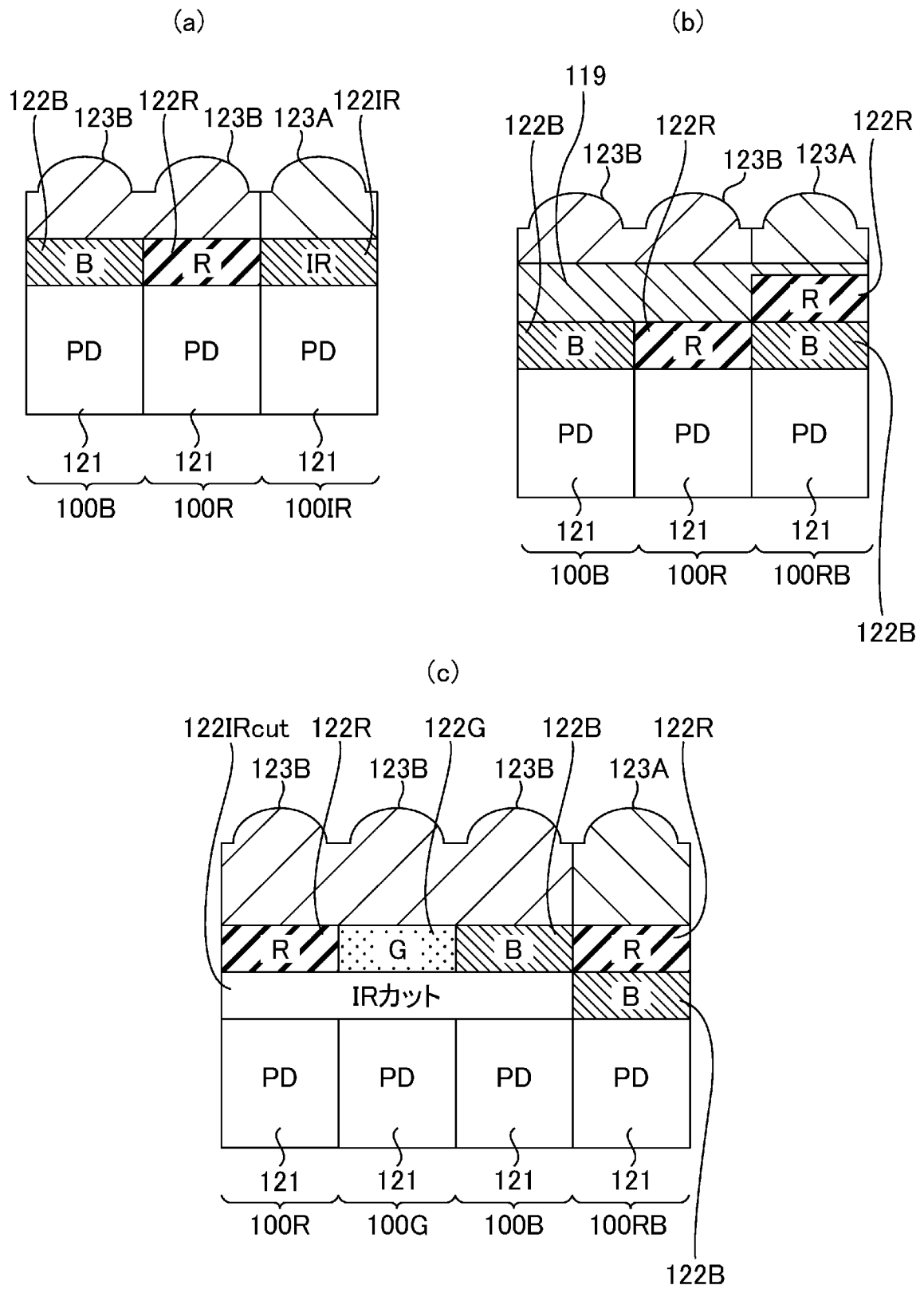
[図38]



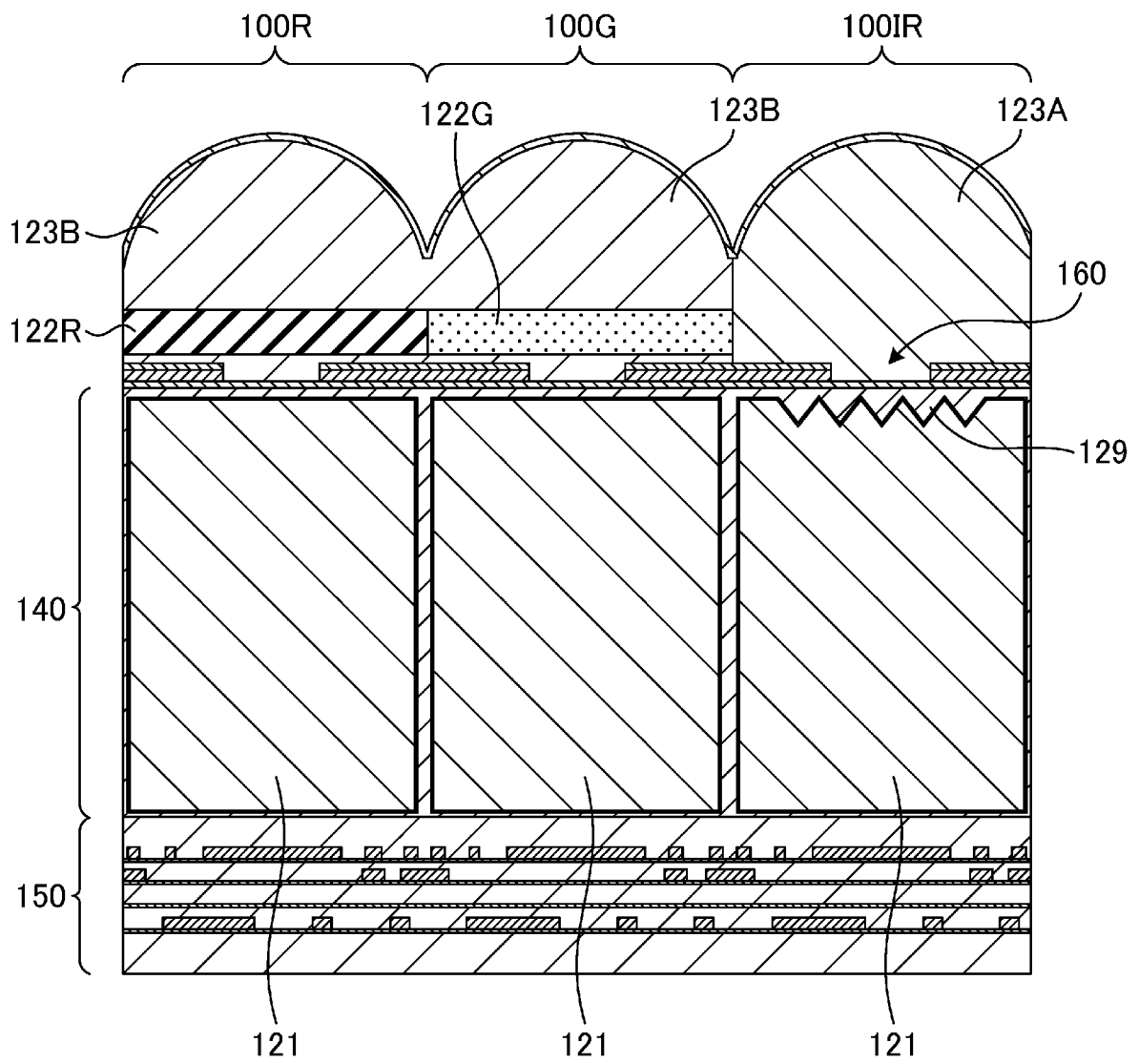
[図39]



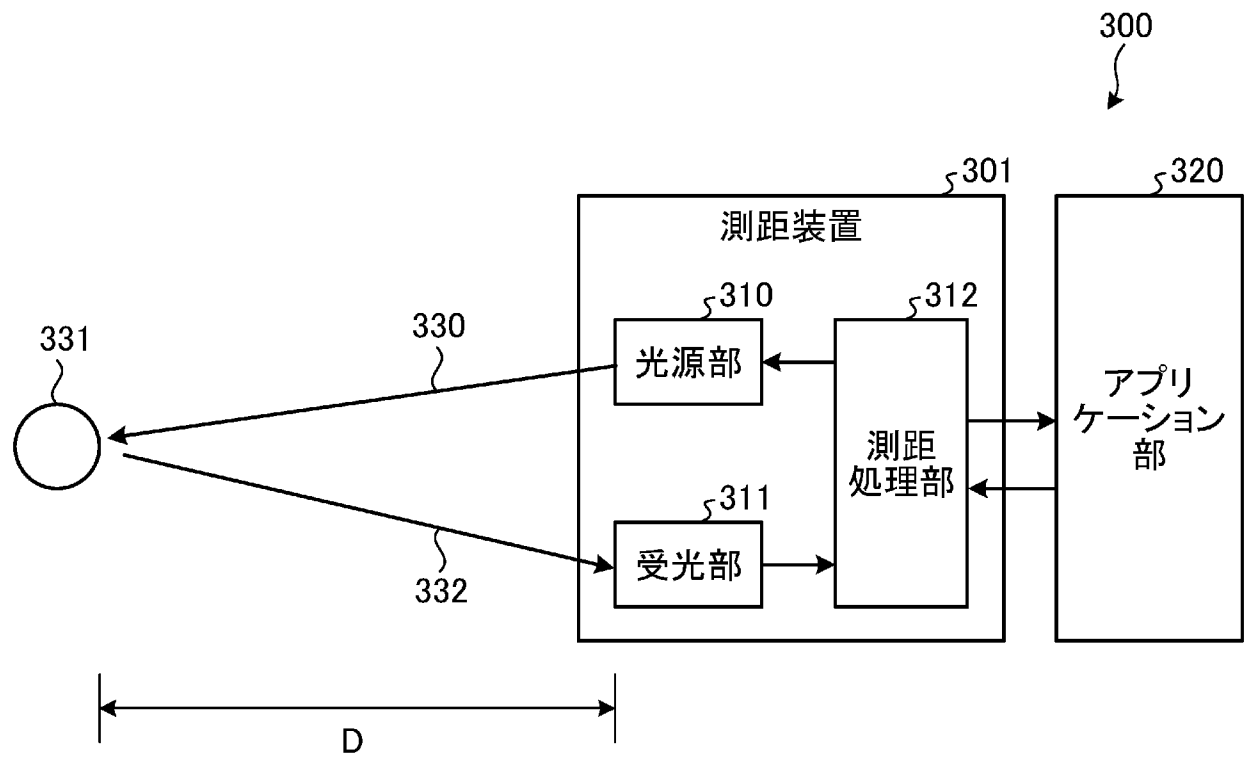
[図40]



[図41]



[図42]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/029828

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L31/0232 (2014.01) i, H01L27/146 (2006.01) i, H04N5/369 (2011.01) i
FI: H01L27/146D, H04N5/369, H01L31/02D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L31/0232, H01L27/146, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2018/0006072 A1 (STMICROELECTRONICS (CROLES 2) SAS) 04 January 2018 (2018-01-04), paragraphs [0020]-[0023], [0032]-[0041], fig. 2, 5	1-20
Y	JP 2012-186477 A (KAMIYACHO IP HOLDINGS) 27 September 2012 (2012-09-27), paragraph [0109]	1-20
Y	JP 2010-197821 A (SONY CORPORATION) 09 September 2010 (2010-09-09), paragraph [0047]	1-20
Y	JP 2008-91771 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 17 April 2008 (2008-04-17), paragraphs [0033]-[0038], fig. 1	3
Y	JP 2008-218851 A (FUJIFILM CORPORATION) 18 September 2008 (2008-09-18), paragraphs [0027]-[0032], fig. 3	3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

09 September 2021

Date of mailing of the international search report

21 September 2021

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/029828

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-314057 A (CANON INC.) 25 October 2002 (2002-10-25), paragraph [0015], fig. 1	5
Y	JP 2016-1633 A (SONY CORPORATION) 07 January 2016 (2016-01-07), paragraphs [0029]-[0037], [0063]-[0067], fig. 1, 2, 11	7-10, 16
Y	WO 2018/079296 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 03 May 2018 (2018-05-03), paragraphs [0126]-[0131], fig. 25, 26	7-10, 16
Y	US 10367023 B1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 30 July 2019 (2019-07-30), paragraphs [0013]-[0032], fig. 1-3	7-10, 16
Y	JP 2013-65688 A (SONY CORPORATION) 11 April 2013 (2013-04-11), paragraphs [0046]-[0054], [0066], [0067], fig. 6, 12, 13	13, 14
Y	JP 5-175539 A (MITSUBISHI ELECTRIC CORPORATION) 13 July 1993 (1993-07-13), paragraphs [0015]-[0018], fig. 1	15, 16
Y	JP 9-232552 A (SONY CORPORATION) 05 September 1997 (1997-09-05), paragraphs [0012]-[0019], fig. 1, 2	17
Y	JP 2-244761 A (MATSUSHITA ELECTRON CORP.) 28 September 1990 (1990-09-28), page 3, upper left column, line 17 to page 3, upper right column, line 11	17
Y	JP 5-21768 A (SHARP CORPORATION) 29 January 1993 (1993-01-29), paragraphs [0009]-[0019], fig. 1	18
Y	JP 4-14257 A (MATSUSHITA ELECTRON CORP.) 20 January 1992 (1992-01-20), page 2, upper right column, line 9 to page 2, lower left column, line 9	18
Y	JP 2007-53183 A (FUJIFILM CORPORATION) 01 March 2007 (2007-03-01), paragraph [0026]	18
Y	JP 2019-128509 A (DAI NIPPON PRINTING CO., LTD.) 01 August 2019 (2019-08-01), paragraph [0022]	18
Y	JP 6-140612 A (MITSUBISHI ELECTRIC CORPORATION) 20 May 1994 (1994-05-20), paragraphs [0022]-[0027], fig. 1-3	19, 20
Y	JP 2006-229004 A (SONY CORPORATION) 31 August 2006 (2006-08-31), paragraphs [0006]-[0013], fig. 1-3	19, 20
A	JP 2009-188316 A (DENSO CORPORATION) 20 August 2009 (2009-08-20), entire text, all drawings	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/029828

US 2018/0006072 A1	04 January 2018	(Family: none)
JP 2012-186477 A	27 September 2012	US 2005/0029643 A1 paragraph [0170] WO 2003/041174 A1 EP 1453097 A1 KR 10-2005-0043754 A CN 1871708 A TW 200300291 A
JP 2010-197821 A	09 September 2010	(Family: none)
JP 2008-91771 A	17 April 2008	(Family: none)
JP 2008-218851 A	18 September 2008	US 2008/0217513 A1 paragraphs [0039]-[0044], fig. 3
JP 2002-314057 A	25 October 2002	(Family: none)
JP 2016-1633 A	07 January 2016	US 2017/0110493 A1 paragraphs [0049]-[0057], [0083]-[0087], fig. 1, 2, 11 WO 2015/190318 A1 CN 106463518 A
WO 2018/079296 A1	03 May 2018	US 2019/0244992 A1 paragraphs [0204]-[0209], fig. 25, 26 KR 10-2019-0067179 A CN 109906512 A
US 10367023 B1	30 July 2019	DE 102018118613 A1 CN 110600489 A KR 10-2019-0140809 A TW 202001298 A
JP 2013-65688 A	11 April 2013	US 2013/0070131 A1 paragraphs [0069]-[0077], [0089], [0090], fig. 6, 12, 13 CN 103000644 A
JP 5-175539 A	13 July 1993	(Family: none)
JP 9-232552 A	05 September 1997	(Family: none)
JP 2-244761 A	28 September 1990	(Family: none)
JP 5-21768 A	29 January 1993	EP 524714 A1 column 3, line 37 to column 6, line 29, fig. 1

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/029828

JP 4-14257 A	20 January 1992	(Family: none)
JP 2007-53183 A	01 March 2007	US 2007/0040194 A1 paragraph [0029]
JP 2019-128509 A	01 August 2019	(Family: none)
JP 6-140612 A	20 May 1994	(Family: none)
JP 2006-229004 A	31 August 2006	(Family: none)
JP 2009-188316 A	20 August 2009	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 31/0232(2014.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L27/146 D; H04N5/369; H01L31/02 D		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L31/0232; H01L27/146; H04N5/369		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2018/0006072 A1 (STMICROELECTRONICS (CROLES 2) SAS) 04.01.2018 (2018 - 01 - 04) [0020] - [0023], [0032] - [0041], 図2, 5	1-20
Y	JP 2012-186477 A (カミヤチョウ アイピー ホールディングス) 27.09.2012 (2012 - 09 - 27) [0109]	1-20
Y	JP 2010-197821 A (ソニー株式会社) 09.09.2010 (2010 - 09 - 09) [0047]	1-20
Y	JP 2008-91771 A (松下電器産業株式会社) 17.04.2008 (2008 - 04 - 17) [0033] - [0038], 図1	3
Y	JP 2008-218851 A (富士フイルム株式会社) 18.09.2008 (2008 - 09 - 18) [0027] - [0032], 図3	3
Y	JP 2002-314057 A (キヤノン株式会社) 25.10.2002 (2002 - 10 - 25) [0015], 図1	5
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 09.09.2021		国際調査報告の発送日 21.09.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 柴山 将隆 5F 3035 電話番号 03-3581-1101 内線 3559

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2016-1633 A (ソニー株式会社) 07.01.2016 (2016 - 01 - 07) [0 0 2 9] - [0 0 3 7] , [0 0 6 3] - [0 0 6 7] , 図 1 , 2 , 1 1	7-10, 16
Y	WO 2018/079296 A1 (ソニーセミコンダクタソリューションズ株式会社) 03.05.2018 (2018 - 05 - 03) [0 1 2 6] - [0 1 3 1] , 図 2 5 , 2 6	7-10, 16
Y	US 10367023 B1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 30.07.2019 (2019 - 07 - 30) [0 0 1 3] - [0 0 3 2] , 図 1 - 3	7-10, 16
Y	JP 2013-65688 A (ソニー株式会社) 11.04.2013 (2013 - 04 - 11) [0 0 4 6] - [0 0 5 4] , [0 0 6 6] , [0 0 6 7] , 図 6 , 1 2 , 1 3	13, 14
Y	JP 5-175539 A (三菱電機株式会社) 13.07.1993 (1993 - 07 - 13) [0 0 1 5] - [0 0 1 8] , 図 1	15, 16
Y	JP 9-232552 A (ソニー株式会社) 05.09.1997 (1997 - 09 - 05) [0 0 1 2] - [0 0 1 9] , 図 1 , 2	17
Y	JP 2-244761 A (松下電子工業株式会社) 28.09.1990 (1990 - 09 - 28) 第 3 頁左上欄第 1 7 行目 - 第 3 頁右上欄第 1 1 行目	17
Y	JP 5-21768 A (シャープ株式会社) 29.01.1993 (1993 - 01 - 29) [0 0 0 9] - [0 0 1 9] , 図 1	18
Y	JP 4-14257 A (松下電子工業株式会社) 20.01.1992 (1992 - 01 - 20) 第 2 頁右上欄第 9 行目 ~ 第 2 頁左下欄第 9 行目	18
Y	JP 2007-53183 A (富士フイルム株式会社) 01.03.2007 (2007 - 03 - 01) [0 0 2 6]	18
Y	JP 2019-128509 A (大日本印刷株式会社) 01.08.2019 (2019 - 08 - 01) [0 0 2 2]	18
Y	JP 6-140612 A (三菱電機株式会社) 20.05.1994 (1994 - 05 - 20) [0 0 2 2] - [0 0 2 7] , 図 1 - 3	19, 20
Y	JP 2006-229004 A (ソニー株式会社) 31.08.2006 (2006 - 08 - 31) [0 0 0 6] - [0 0 1 3] , 図 1 - 3	19, 20
A	JP 2009-188316 A (株式会社デンソー) 20.08.2009 (2009 - 08 - 20) 全文, 全図	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/029828

引用文献			公表日	パテントファミリー文献	公表日
US	2018/0006072	A1	04.01.2018	(ファミリーなし)	
JP	2012-186477	A	27.09.2012	US 2005/0029643	A1
				[0170]	
				WO 2003/041174	A1
				EP 1453097	A1
				KR 10-2005-0043754	A
				CN 1871708	A
				TW 200300291	A
JP	2010-197821	A	09.09.2010	(ファミリーなし)	
JP	2008-91771	A	17.04.2008	(ファミリーなし)	
JP	2008-218851	A	18.09.2008	US 2008/0217513	A1
				[0039]-[0044], Fig.3	
JP	2002-314057	A	25.10.2002	(ファミリーなし)	
JP	2016-1633	A	07.01.2016	US 2017/0110493	A1
				[0049]-[0057], [0083]-	
				[0087], Figs.1, 2, 11	
				WO 2015/190318	A1
				CN 106463518	A
WO	2018/079296	A1	03.05.2018	US 2019/0244992	A1
				[0204]-[0209], Figs.25,	
				26	
				KR 10-2019-0067179	A
				CN 109906512	A
US	10367023	B1	30.07.2019	DE 102018118613	A1
				CN 110600489	A
				KR 10-2019-0140809	A
				TW 202001298	A
JP	2013-65688	A	11.04.2013	US 2013/0070131	A1
				[0069]-[0077], [0089],	
				[0090], Figs.6, 12, 13	
				CN 103000644	A
JP	5-175539	A	13.07.1993	(ファミリーなし)	
JP	9-232552	A	05.09.1997	(ファミリーなし)	
JP	2-244761	A	28.09.1990	(ファミリーなし)	
JP	5-21768	A	29.01.1993	EP 524714	A1
				column 3 line 37 -	
				column 6 line 29, Fig.1	
JP	4-14257	A	20.01.1992	(ファミリーなし)	
JP	2007-53183	A	01.03.2007	US 2007/0040194	A1
				[0029]	
JP	2019-128509	A	01.08.2019	(ファミリーなし)	
JP	6-140612	A	20.05.1994	(ファミリーなし)	
JP	2006-229004	A	31.08.2006	(ファミリーなし)	
JP	2009-188316	A	20.08.2009	(ファミリーなし)	