

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年4月17日(17.04.2014)



(10) 国際公開番号
WO 2014/057532 A1

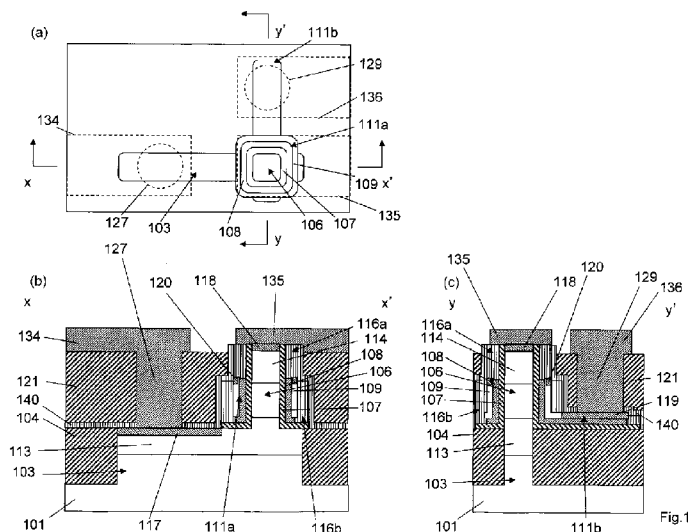
- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2012/076106
- (22) 国際出願日: 2012年10月9日(09.10.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ
サントイス エレクトロニクス シンガポール
プライベート リミテッド(UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Plaza (SG).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 舩岡 富士雄(MAS-
UOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九
段北1-15-2 九段坂パークビル4F S
emicon Consulting株式会社
内 Tokyo (JP). 中村 広記(NAKAMURA Hiroki)
[JP/JP]; 〒1020073 東京都千代田区九段北1-1
5-2 九段坂パークビル4F Semic
on Consulting株式会社内 Tokyo
(JP).
- (74) 代理人: 辻居 幸一, 外(TSUJII Koichi et al.); 〒
1008355 東京都千代田区丸の内3丁目3番1号
新東京ビル 中村合同特許法律事務所 Tokyo
(JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法、及び、半導体装置

[図1]



(57) Abstract: The present invention ad-
dresses the issue of providing: an SGT manu-
facturing method, wherein parasitic capacit-
ance between gate wiring and a substrate is re-
duced, a contact on an upper portion of a col-
umnar silicon layer is not formed, and met-
al wiring and the upper portion of the colum-
nar silicon layer are directly connected to each
other; and an SGT structure. In this semicon-
ductor device manufacturing method, a colum-
nar silicon layer is formed on an upper portion
of a fin-shaped silicon layer on a silicon
substrate, a gate insulating film and a gate
electrode are formed around the columnar sil-
icon layer, a second diffusion layer is formed
on the first diffusion layer formed on the upper
portion of the columnar silicon layer, and on a
lower portion of the columnar silicon layer,
and on an upper portion of the fin-shaped sil-
icon layer, a first silicide and a second silicide
are formed on the first diffusion layer and the
second diffusion layer, an interlayer insulating
film is deposited, the interlayer insulating film
is planarized, etch-back is performed, and the
upper portion of the columnar silicon layer is
exposed, then, a first contact is formed on the

second silicide, and metal wiring lines connected to the first silicide and the first contact, respectively, are formed. The issue is solved by means of the semiconductor device manufacturing method.

(57) 要約:

[続葉有]

WO 2014/057532 A1



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

ゲート配線と基板間の寄生容量を低減し、柱状シリコン層上部のコンタクトを形成せず、金属配線と柱状シリコン層上部を直接接続するSGTの製造方法とSGTの構造を提供することを課題とする。シリコン基板上に形成したフィン状シリコン層の上部に柱状シリコン層を形成し、その周囲にゲート絶縁膜と、ゲート電極とを形成し、前記柱状シリコン層の上部に形成された第1の拡散層と、前記柱状シリコン層の下部と前記フィン状シリコン層の上部に第2の拡散層を形成し、前記第1の拡散層上と前記第2の拡散層上に第1のシリサイドと第2のシリサイドを形成し、層間絶縁膜を堆積し、前記層間絶縁膜を平坦化し、エッチバックを行い、前記柱状シリコン層上部を露出した後、第2のシリサイド上に第1のコンタクトを形成し、前記第1のシリサイド及び前記第1のコンタクトにそれぞれ接続する金属配線を形成する半導体装置の製造方法により、上記課題を解決する。

明 細 書

発明の名称：半導体装置の製造方法、及び、半導体装置

技術分野

[0001] 本発明は半導体装置の製造方法、及び、半導体装置に関する。

背景技術

[0002] 半導体集積回路、特にMOSトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているMOSトランジスタはナノ領域まで微細化が進んでいる。このようなMOSトランジスタの微細化が進むと、リーク電流の抑制が困難であり、必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、といった問題があった。このような問題を解決するために、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲート電極が柱状半導体層を取り囲む構造のSurrounding Gate Transistor（以下、「SGT」という。）が提案されている（例えば、特許文献1、特許文献2、特許文献3を参照）。

[0003] 従来のSGTの製造方法では、コンタクト深さが異なるため、シリコン柱上部のコンタクト孔と、シリコン柱下部の平面状シリコン層上のコンタクト孔を別々に形成している（例えば特許文献4を参照）。別々に形成するため、工程数が増大する。

[0004] シリコン柱上部のコンタクト孔と、シリコン柱下部の平面状シリコン層上のコンタクト孔を別々に形成しているが、シリコン柱上部のコンタクト孔をエッチングしすぎると、ゲート電極に達する可能性があり、エッチングが足りないとシリコン柱上部とコンタクトが絶縁する可能性がある。

[0005] また、シリコン柱下部の平面状シリコン層上のコンタクト孔は深いため、コンタクト孔を埋めることが難しい。また、深いコンタクト孔を形成することは難しい。

[0006] また、従来のSGTの製造方法では、窒化膜ハードマスクが柱状に形成されたシリコン柱を形成し、シリコン柱下部の拡散層を形成した後、ゲート材

料を堆積し、その後にゲート材料を平坦化、エッチバックをし、シリコン柱と窒化膜ハードマスクの側壁に絶縁膜サイドウォールを形成する。その後、ゲート配線のためのレジストパターンを形成し、ゲート材料をエッチングした後、窒化膜ハードマスクを除去し、シリコン柱上部に拡散層を形成している（例えば、特許文献5を参照）。

[0007] このような方法では、シリコン柱間隔が狭くなったとき、厚いゲート材料をシリコン柱間に堆積しなければならず、シリコン柱間にボイドと呼ばれる孔が形成されることがある。ボイドが形成されると、エッチバック後にゲート材料に孔ができる。その後絶縁膜サイドウォールを形成するために絶縁膜を堆積するとボイド内に絶縁膜が堆積する。従って、ゲート材料加工が難しい。

[0008] そこで、シリコン柱形成後、ゲート酸化膜を形成し、薄いポリシリコンを堆積後、シリコン柱上部を覆いゲート配線を形成するためのレジストを形成し、ゲート配線をエッチングし、その後、酸化膜を厚く堆積し、シリコン柱上部を露出し、シリコン柱上部の薄いポリシリコンを除去し、厚い酸化膜をウエットエッチングにて除去することが提案されている（例えば非特許文献1を参照）。

[0009] しかしながら、ゲート電極に金属を用いるための方法は示されていない。また、シリコン柱上部を覆いゲート配線を形成するためのレジストを形成しなければならず、従って、シリコン柱上部を覆わねばならず自己整合プロセスではない。

[0010] また、ゲート配線と基板間の寄生容量を低減するために、従来のMOSトランジスタでは、第1の絶縁膜を用いている。例えばF I N F E T（非特許文献2）では、1つのフィン状半導体層の周囲に第1の絶縁膜を形成し、第1の絶縁膜をエッチバックし、フィン状半導体層を露出し、ゲート配線と基板間の寄生容量を低減している。そのためS G Tにおいてもゲート配線と基板間の寄生容量を低減するために第1の絶縁膜を用いる必要がある。S G Tではフィン状半導体層に加えて、柱状半導体層があるため、柱状半導体層を

形成するための工夫が必要である。

先行技術文献

特許文献

[0011] 特許文献1：特開平2－7 1 5 5 6号公報

特許文献2：特開平2－1 8 8 9 6 6号公報

特許文献3：特開平3－1 4 5 7 6 1号公報

特許文献4：特開2 0 1 2－0 0 4 2 4 4号公報

特許文献5：特開2 0 0 9－1 8 2 3 1 7号公報

非特許文献1：B. Yang, K.D. Buddharaju, S.H.G. Teo, N. Singh, G.D. Lo, and D.L. Kwong, “Vertical Silicon-Nanowire Formation and Gate-All-Around MOSFET”, IEEE Electron Device Letters, VOL.29, No.7, July 2008, pp791-794.

非特許文献2：IEDM2010 CC.Wu, et. al, 27.1.1-27.1.4.

発明の概要

発明が解決しようとする課題

[0012] そこで、ゲート配線と基板間の寄生容量を低減し、柱状シリコン層上部のコンタクトを形成せず、金属配線と柱状シリコン層上部を直接接続するSGTの製造方法とその結果得られるSGTの構造を提供することを目的とする。

課題を解決するための手段

[0013] 本発明の半導体装置の製造方法は、シリコン基板上にフィン状シリコン層を形成し、前記フィン状シリコン層の周囲に第一の絶縁膜を形成し、前記フィン状シリコン層の上部に柱状シリコン層を形成する第1工程と、前記柱状シリコン層の周囲に形成されたゲート絶縁膜と、前記ゲート絶縁膜の周囲に形成されたゲート電極と、前記ゲート電極に接続されたゲート配線とを形成する第2の工程と、前記柱状シリコン層の上部に形成された第1の拡散層と、前記柱状シリコン層の下部と前記フィン状シリコン層の上部に第2の拡散

層を形成する第3の工程と、前記第1の拡散層上と前記第2の拡散層上に第1のシリサイドと第2のシリサイドを形成する第4の工程と、前記第4の工程の後、層間絶縁膜を堆積し、前記層間絶縁膜を平坦化し、エッチバックを行い、前記柱状シリコン層上部を露出し、前記柱状シリコン層上部を露出した後、第1のコンタクトを形成するための第5のレジストを形成し、前記層間絶縁膜をエッチングすることによりコンタクト孔を形成し、金属を堆積することにより前記第2のシリサイド上に第1のコンタクトを形成し、金属配線を形成するための第6のレジストを形成し、エッチングを行うことにより前記金属配線を形成する第5の工程とを有することを特徴とする。

[0014] また、前記第1の工程であって、前記柱状シリコン層の幅は前記フィン状シリコン層の幅と同じであることを特徴とする。

[0015] 前記第1の工程であって、シリコン基板上にフィン状シリコン層を形成するための第1のレジストを形成し、シリコン基板をエッチングし、前記フィン状シリコン層を形成し、前記第1のレジストを除去し、前記フィン状シリコン層の周囲に第1の絶縁膜を堆積し、前記第1の絶縁膜をエッチバックし、前記フィン状シリコン層の上部を露出し、前記フィン状シリコン層に直交するように第2のレジストを形成し、前記フィン状シリコン層をエッチングし、前記第2のレジストを除去することにより、前記フィン状シリコン層と前記第2のレジストとが直交する部分が前記柱状シリコン層となるよう前記柱状シリコン層を形成することを特徴とする。

[0016] 前記第2の工程であって、前記柱状シリコン層の周囲にゲート絶縁膜を形成し、前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、前記ポリシリコン膜の膜厚は前記柱状シリコン層の幅より薄いのであって、ゲート配線を形成するための第3のレジストを形成し、異方性エッチングを行うことにより前記ゲート配線を形成し、第4のレジストを堆積し、前記柱状シリコン層上部側壁の前記ポリシリコン膜を露出し、露出した前記ポリシリコン膜をエッチングにより除去し、前記第4のレジストを剥離し、前記金属膜をエッチングにより除去し、前記ゲート配線に接続するゲート電極を形成す

ることを特徴とする。

[0017] また、本発明の半導体装置は、シリコン基板上に形成されたフィン状シリコン層と、前記フィン状シリコン層の周囲に形成された第1の絶縁膜と、前記フィン状シリコン層上に形成された柱状シリコン層と、前記柱状シリコン層の幅は前記フィン状シリコン層の幅と同じであって、前記柱状シリコン層の周囲に形成されたゲート絶縁膜と、前記ゲート絶縁膜の周囲に形成されたゲート電極と、前記ゲート電極に接続された前記フィン状シリコン層に直交する方向に延在するゲート配線と、前記柱状シリコン層の上部に形成された第1の拡散層と、前記フィン状シリコン層の上部と前記柱状シリコン層の下部に形成された第2の拡散層と、前記第1の拡散層の上部に形成された第1のシリサイドと、前記第2の拡散層の上部に形成された第2のシリサイドと、第2のシリサイド上に形成された第1のコンタクトと、第1のシリサイド上に形成された第1の金属配線と、第1のコンタクト上に形成された第2の金属配線と、を有することを特徴とする。

[0018] また、前記ゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなるゲート電極と、を有し、前記ポリシリコン膜の膜厚は前記柱状シリコン層の幅より薄いことを特徴とする。

[0019] また、前記第1のコンタクトの深さは、前記柱状シリコン層の高さより低いことを特徴とする。

発明の効果

[0020] 本発明によれば、ゲート配線と基板間の寄生容量を低減し、柱状シリコン層上部のコンタクトを形成せず、金属配線と柱状シリコン層上部を直接接続するSGTの製造方法とその結果得られるSGTの構造を提供することができる。

[0021] 金属配線と柱状シリコン層上部を直接接続するため、柱状シリコン層上部のコンタクトを形成する工程が不要となる。

[0022] また、金属配線と柱状シリコン層上部を直接接続するため、第1のコンタクトのためのコンタクト孔深さを浅くすることができるため、コンタクト孔

を形成しやすく、さらにコンタクト孔を金属で埋めることが容易である。

[0023] また、フィン状シリコン層、第1の絶縁膜、柱状シリコン層形成を、従来のF I N F E Tの製造方法を元にしたため、容易に形成できる。

[0024] また、前記柱状シリコン層の周囲にゲート絶縁膜を形成し、前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、前記ポリシリコン膜の膜厚は前記柱状シリコン層の幅より薄いのであって、ゲート配線を形成するための第3のレジストを形成し、異方性エッチングを行うことにより前記ゲート配線を形成し、第4のレジストを堆積し、前記柱状シリコン層上部側壁の前記ポリシリコン膜を露出し、露出した前記ポリシリコン膜をエッチングにより除去し、前記第4のレジストを剥離し、前記金属膜をエッチングにより除去し、前記ゲート配線に接続するゲート電極を形成する第2の工程と、により自己整合プロセスを実現している。自己整合プロセスであるから、高集積化が可能となる。

図面の簡単な説明

[0025] [図1] (a) は本発明に係る半導体装置の平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図2] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図3] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図4] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図5] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

の断面図である。

[図6] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図7] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図8] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図9] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図10] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図11] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図12] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図13] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図14] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図15] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図16] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図17] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図18] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図19] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図20] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図21] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図22] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図23] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図24] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(

b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図25] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図26] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図27] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図28] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図29] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図30] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図31] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

発明を実施するための形態

[0026] 以下に、本発明の実施形態に係る SGT の構造を形成するための製造工程を、図2～図31を参照して説明する。

[0027] まずシリコン基板101上にフィン状シリコン層103を形成し、フィン状シリコン層103の周囲に第1の絶縁膜104を形成し、フィン状シリコ

ン層 103 の上部に柱状シリコン層 106 を形成する製造方法を示す。図 2 に示すように、シリコン基板 101 上にフィン状シリコン層を形成するための第 1 のレジスト 102 を形成する。

[0028] 図 3 に示すように、シリコン基板 101 をエッチングし、フィン状シリコン層 103 を形成する。今回はレジストをマスクとしてフィン状シリコン層を形成したが、酸化膜や窒化膜といったハードマスクを用いてもよい。

[0029] 図 4 に示すように、第 1 のレジスト 102 を除去する。

[0030] 図 5 に示すように、フィン状シリコン層 103 の周囲に第 1 の絶縁膜 104 を堆積する。第 1 の絶縁膜として高密度プラズマによる酸化膜や低压化学気相堆積による酸化膜を用いてもよい。

[0031] 図 6 に示すように、第 1 の絶縁膜 104 をエッチバックし、フィン状シリコン層 103 の上部を露出する。ここまでは、非特許文献 2 のフィン状シリコン層の製法と同じである。

[0032] 図 7 に示すように、フィン状シリコン層 103 に直交するように第 2 のレジスト 105 を形成する。フィン状シリコン層 103 とレジスト 105 とが直交する部分が柱状シリコン層となる部分である。ライン状のレジストを用いることができるため、パターン後にレジストが倒れる可能性が低く、安定したプロセスとなる。

[0033] 図 8 に示すように、フィン状シリコン層 103 をエッチングする。フィン状シリコン層 103 と第 2 のレジスト 105 とが直交する部分が柱状シリコン層 106 となる。従って、柱状シリコン層 106 の幅は、フィン状シリコン層の幅と同じとなる。フィン状シリコン層 103 の上部に柱状シリコン層 106 が形成され、フィン状シリコン層 103 の周囲には第 1 の絶縁膜 104 が形成された構造となる。

[0034] 図 9 に示すように、第 2 のレジスト 105 を除去する。

[0035] 次に、柱状シリコン層 106 の周囲にゲート絶縁膜 107 を形成し、ゲート絶縁膜 107 の周囲に金属膜 108 及びポリシリコン膜 109 を成膜する。ポリシリコン膜 109 の膜厚は柱状シリコン層の幅より薄い。ゲート配線

111bを形成するための第3のレジスト110を形成し、異方性エッチングを行うことによりゲート配線111bを形成し、第4のレジスト112を堆積し、柱状シリコン層106上部側壁のポリシリコン膜109を露出し、露出したポリシリコン膜109をエッチングにより除去し、第4のレジスト112を剥離し、金属膜108をエッチングにより除去し、ゲート配線111bに接続するゲート電極111aを形成する製造方法を示す。

[0036] 図10に示すように、柱状シリコン層106の周囲にゲート絶縁膜107を形成し、ゲート絶縁膜107の周囲に金属膜108及びポリシリコン膜109を成膜する。このとき、薄いポリシリコン膜109を使用する。従って、ポリシリコン膜中にボイドが形成されることを防ぐことができる。薄いポリシリコン膜109の厚さは、20nm以下が好ましい。金属膜108は、窒化チタンといった、半導体工程に用いられ、トランジスタのしきい値電圧を設定する金属であればよい。ゲート絶縁膜107は、酸化膜、酸窒化膜、高誘電体膜といった、半導体工程に用いられるものであればよい。

[0037] 図11に示すように、ゲート配線111bを形成するための第3のレジスト110を形成する。本実施例においては、レジスト高さが柱状シリコン層より高くなるように記載した。ゲート配線幅が細くなるにつれて、柱状シリコン層上部のポリシリコンが露出しやすくなる。レジスト高さが柱状シリコン層より低くなってもよい。

[0038] 図12に示すように、ポリシリコン膜109と金属膜108をエッチングする。ゲート電極111aとゲート配線111bとが形成される。このとき、柱状シリコン層上部のレジスト厚さが薄くもしくは、柱状シリコン層上部のポリシリコンが露出していると、エッチング中に、柱状シリコン層上部がエッチングされることがある。この場合、柱状シリコン層を形成時の柱状シリコン層の高さと、所望の柱状シリコン層高さと後にゲート配線エッチング中に削られる分の高さとの和を同じにすることが望ましい。従って、本発明の製造工程は、自己整合プロセスとなる。

[0039] 図13に示すように、第3のレジストを剥離する。

- [0040] 図14に示すように、第4のレジスト112を堆積し、柱状シリコン層106上部側壁のポリシリコン膜108を露出する。レジストエッチバックを用いることが好ましい。また、スピニングラスといった塗布膜を用いてもよい。
- [0041] 図15に示すように、露出したポリシリコン膜109をエッチングにより除去する。等方性ドライエッチングが好ましい。
- [0042] 図16に示すように、第4のレジスト112を剥離する。
- [0043] 図17に示すように、前記金属膜108をエッチングにより除去し、柱状シリコン層106側壁に、金属膜108を残存させる。等方性エッチングが好ましい。柱状シリコン層106の側壁の金属膜108とポリシリコン膜109とでゲート電極111aが形成される。従って、自己整合プロセスとなる。
- [0044] 以上により、柱状シリコン層106の周囲にゲート絶縁膜107を形成し、ゲート絶縁膜107の周囲に金属膜108及びポリシリコン膜109を成膜し、このポリシリコン膜109の膜厚は柱状シリコン層の幅より薄く、ゲート配線111bを形成するための第3のレジスト110を形成し、異方性エッチングを行うことによりゲート配線111bを形成し、第4のレジスト112を堆積し、柱状シリコン層106上部側壁のポリシリコン膜109を露出し、露出したポリシリコン膜109をエッチングにより除去し、第4のレジスト112を剥離し、金属膜108をエッチングにより除去し、ゲート配線111bに接続するゲート電極111aを形成する製造方法が示された。
- [0045] 次に、柱状シリコン層106の上部に第1の拡散層114を形成し、柱状シリコン層106の下部とフィン状シリコン層103の上部に第2の拡散層113を形成する製造方法を示す。
- [0046] 図18に示すように、砒素を注入し、第1の拡散層114と第2の拡散層113を形成する。pMOSの場合には、ボロンもしくはフッ化ボロンを注入する。

- [0047] 図19に示すように、窒化膜115を堆積し、熱処理を行う。窒化膜の代わりに酸化膜を用いてもよい。
- [0048] 以上により、柱状シリコン層106の上部に第1の拡散層114を形成し、柱状シリコン層106の下部とフィン状シリコン層103の上部に第2の拡散層113を形成する製造方法が示された。
- [0049] 次に、第1の拡散層114上と第2の拡散層113上に第1のシリサイド118、第2のシリサイド117を形成する製造方法を示す。
- [0050] 図20に示すように、窒化膜115をエッチングしサイドウォール状に残存させ、ゲート絶縁膜107をエッチングすることにより、窒化膜サイドウォール116a、116bを形成する。
- [0051] 次に、図21に示すように、金属を堆積し、熱処理し、未反応の金属を除去することで、第1の拡散層104上と第2の拡散層113上とゲート配線111bに第1のシリサイド118、第2のシリサイド117、シリサイド119を形成する。ゲート電極111a上部が露出している場合には、ゲート電極111a上部にシリサイド120が形成される。
- [0052] ポリシリコン膜109が薄いため、ゲート配線111bは、金属膜108とシリサイド119の積層構造となりやすい。シリサイド119と金属膜108とが直接接触するため、低抵抗化をすることができる。
- [0053] 以上により、第1の拡散層114上と第2の拡散層113上とゲート配線111bに第1のシリサイド118、第2のシリサイド117を形成する製造方法が示された。
- [0054] 次に、層間絶縁膜121を堆積し、前記層間絶縁膜121を平坦化し、エッチバックを行い、前記柱状シリコン層106上部を露出し、前記柱状シリコン層106上部を露出した後、第1のコンタクト127を形成するための第5のレジスト122を形成し、前記層間絶縁膜121をエッチングすることによりコンタクト孔123を形成し、金属130を堆積することにより前記第2のシリサイド117上に第1のコンタクト127を形成し、金属配線134、135、136を形成するための第6のレジスト131、132、

133を形成し、エッチングを行うことにより前記金属配線134、135、136を形成する製造方法を示す。

[0055] 図22に示すように、窒化膜といったコンタクトストッパー140を成膜し、層間絶縁膜121を形成する。

[0056] 図23に示すように、エッチバックを行い、前記柱状シリコン層106上のコンタクトストッパー140を露出する。

[0057] 図24に示すように、コンタクト孔123、124を形成するための第5のレジスト122を形成する。

[0058] 図25に示すように、層間絶縁膜121をエッチングし、コンタクト孔123、124を形成する。

[0059] 図26に示すように、第5のレジスト122を剥離する。

[0060] 図27に示すように、コンタクトストッパー140をエッチングし、コンタクト孔123、124下のコンタクトストッパー140と、前記柱状シリコン層106上のコンタクトストッパーを除去する。

[0061] 図28に示すように、金属130を堆積し、第1のコンタクト127、129を形成する。このとき、金属配線と柱状シリコン層上部を直接接続するため、柱状シリコン層上部のコンタクトを形成する工程が不要である。また、第1のコンタクトのためのコンタクト孔深さを浅くすることができるため、コンタクト孔を形成しやすく、さらにコンタクト孔を金属で埋めることが容易である。

[0062] 図29に示すように、金属配線を形成するための第6のレジスト131、132、133を形成する。

[0063] 図30に示すように、金属130をエッチングし、金属配線134、135、136を形成する。

[0064] 図31に示すように、第6のレジスト131、132、133を剥離する。

[0065] 以上により、層間絶縁膜121を堆積し、前記層間絶縁膜121を平坦化し、エッチバックを行い、前記柱状シリコン層106上部を露出し、前記柱

状シリコン層 106 上部を露出した後、第 1 のコンタクト 127 を形成するための第 5 のレジスト 122 を形成し、前記層間絶縁膜 121 をエッチングすることによりコンタクト孔 123 を形成し、金属 130 を堆積することにより前記第 2 のシリサイド 117 上に第 1 のコンタクト 127 を形成し、金属配線 134、135、136 を形成するための第 6 のレジスト 131、132、133 を形成し、エッチングを行うことにより前記金属配線 134、135、136 を形成する製造方法が示された。

[0066] 以上により、ゲート配線と基板間の寄生容量を低減し、柱状シリコン層上部のコンタクトを形成せず、金属配線と柱状シリコン層上部を直接接続する SGT の製造方法が示された。

[0067] 上記製造方法によって得られる半導体装置の構造を図 1 に示す。図 1 に示すように、半導体装置は、シリコン基板 101 上に形成されたフィン状シリコン層 103 と、フィン状シリコン層 103 の周囲に形成された第 1 の絶縁膜 104 と、フィン状シリコン層 103 上に形成された柱状シリコン層 106 と、ここで柱状シリコン層 106 の幅はフィン状シリコン層 103 の幅と同じであり、柱状シリコン層 106 の周囲に形成されたゲート絶縁膜 104 と、ゲート絶縁膜 104 の周囲に形成されたゲート電極 111a と、ゲート電極 111a に接続されたフィン状シリコン層 103 に直交する方向に延在するゲート配線 111b と、柱状シリコン層 106 の上部に形成された第 1 の拡散層 114 と、フィン状シリコン層 103 の上部と柱状シリコン層 106 の下部に形成された第 2 の拡散層 113 と、第 1 の拡散層 114 の上部に形成された第 1 のシリサイド 118 と、第 2 の拡散層 113 の上部に形成された第 2 のシリサイド 117 と、第 2 のシリサイド 117 上に形成された第 1 のコンタクト 127 と、第 1 のシリサイド 118 上に形成された第 1 の金属配線 135 と、第 1 のコンタクト 127 上に形成された第 2 の金属配線 134 と、を有する。

[0068] また、ゲート絶縁膜 104 の周囲に形成された金属膜 108 及びポリシリコン膜 109 の積層構造からなるゲート電極 111a と、を有し、ポリシリ

コン膜 108 の膜厚は柱状シリコン層 106 の幅より薄い。

[0069] また、第 1 のコンタクト 127 の深さは、柱状シリコン層 106 の高さより低い。第 1 のコンタクト 127 の深さが浅いため、第 1 のコンタクト抵抗を低減することができる。

[0070] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0071] 例えば、上記実施例において、p 型（p⁺型を含む。）と n 型（n⁺型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それにより得られる半導体装置も当然に本発明の技術的範囲に含まれる。

符号の説明

- [0072] 101. シリコン基板
102. 第 1 のレジスト
103. フィン状シリコン層
104. 第 1 の絶縁膜
105. 第 2 のレジスト
106. 柱状シリコン層
107. ゲート絶縁膜
108. 金属膜
109. ポリシリコン膜
110. 第 3 のレジスト
111 a. ゲート電極
111 b. ゲート配線
112. 第 4 のレジスト
113. 第 2 の拡散層
114. 第 1 の拡散層
115. 窒化膜

- 1 1 6 a. 窒化膜サイドウォール
- 1 1 6 b. 窒化膜サイドウォール
- 1 1 7. 第2のシリサイド
- 1 1 8. 第1のシリサイド
- 1 1 9. シリサイド
- 1 2 0. シリサイド
- 1 2 1. 層間絶縁膜
- 1 2 2. 第5のレジスト
- 1 2 3. コンタクト孔
- 1 2 4. コンタクト孔
- 1 2 7. 第1のコンタクト
- 1 2 9. 第1のコンタクト
- 1 3 0. 金属
- 1 3 1. 第6のレジスト
- 1 3 2. 第6のレジスト
- 1 3 3. 第6のレジスト
- 1 3 4. 金属配線
- 1 3 5. 金属配線
- 1 3 6. 金属配線
- 1 4 0. コンタクトストッパー

請求の範囲

[請求項1]

シリコン基板上にフィン状シリコン層を形成し、前記フィン状シリコン層の周囲に第一の絶縁膜を形成し、前記フィン状シリコン層の上部に柱状シリコン層を形成する第1工程と、

前記柱状シリコン層の周囲に形成されたゲート絶縁膜と、前記ゲート絶縁膜の周囲に形成されたゲート電極と、前記ゲート電極に接続されたゲート配線とを形成する第2の工程と、前記柱状シリコン層の上部に形成された第1の拡散層と、前記柱状シリコン層の下部と前記フィン状シリコン層の上部に第2の拡散層を形成する第3の工程と、

前記第1の拡散層上と前記第2の拡散層上に第1のシリサイドと第2のシリサイドを形成する第4の工程と、

前記第4の工程の後、層間絶縁膜を堆積し、前記層間絶縁膜を平坦化し、エッチバックを行い、前記柱状シリコン層上部を露出し、前記柱状シリコン層上部を露出した後、第1のコンタクトを形成するための第5のレジストを形成し、前記層間絶縁膜をエッチングすることによりコンタクト孔を形成し、金属を堆積することにより前記第2のシリサイド上に第1のコンタクトを形成し、金属配線を形成するための第6のレジストを形成し、エッチングを行うことにより前記金属配線を形成する第5の工程と、

を有することを特徴とする半導体装置の製造方法。

[請求項2]

前記第1の工程において、前記柱状シリコン層の幅は前記フィン状シリコン層の幅と同じであることを特徴とする請求項1に記載の半導体装置の製造方法。

[請求項3]

前記第1の工程において、

シリコン基板上にフィン状シリコン層を形成するための第1のレジストを形成し、シリコン基板をエッチングし、前記フィン状シリコン層を形成し、前記第1のレジストを除去し、

前記フィン状シリコン層の周囲に第1の絶縁膜を堆積し、前記第1

の絶縁膜をエッチバックし、前記フィン状シリコン層の上部を露出し、前記フィン状シリコン層に直交するように第2のレジストを形成し、前記フィン状シリコン層をエッチングし、前記第2のレジストを除去することにより、前記フィン状シリコン層と前記第2のレジストとが直交する部分が前記柱状シリコン層となるよう前記柱状シリコン層を形成することを特徴とする請求項2に記載の半導体装置の製造方法。

[請求項4]

前記第2の工程において、
前記柱状シリコン層の周囲にゲート絶縁膜を形成し、
前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、ここで、前記ポリシリコン膜の膜厚は前記柱状シリコン層の幅より薄く、
ゲート配線を形成するための第3のレジストを形成し、
異方性エッチングを行うことにより前記ゲート配線を形成し、
第4のレジストを堆積し、前記柱状シリコン層上部側壁の前記ポリシリコン膜を露出し、露出した前記ポリシリコン膜をエッチングにより除去し、前記第4のレジストを剥離し、前記金属膜をエッチングにより除去し、前記ゲート配線に接続するゲート電極を形成することを特徴とする請求項1に記載の半導体装置の製造方法。

[請求項5]

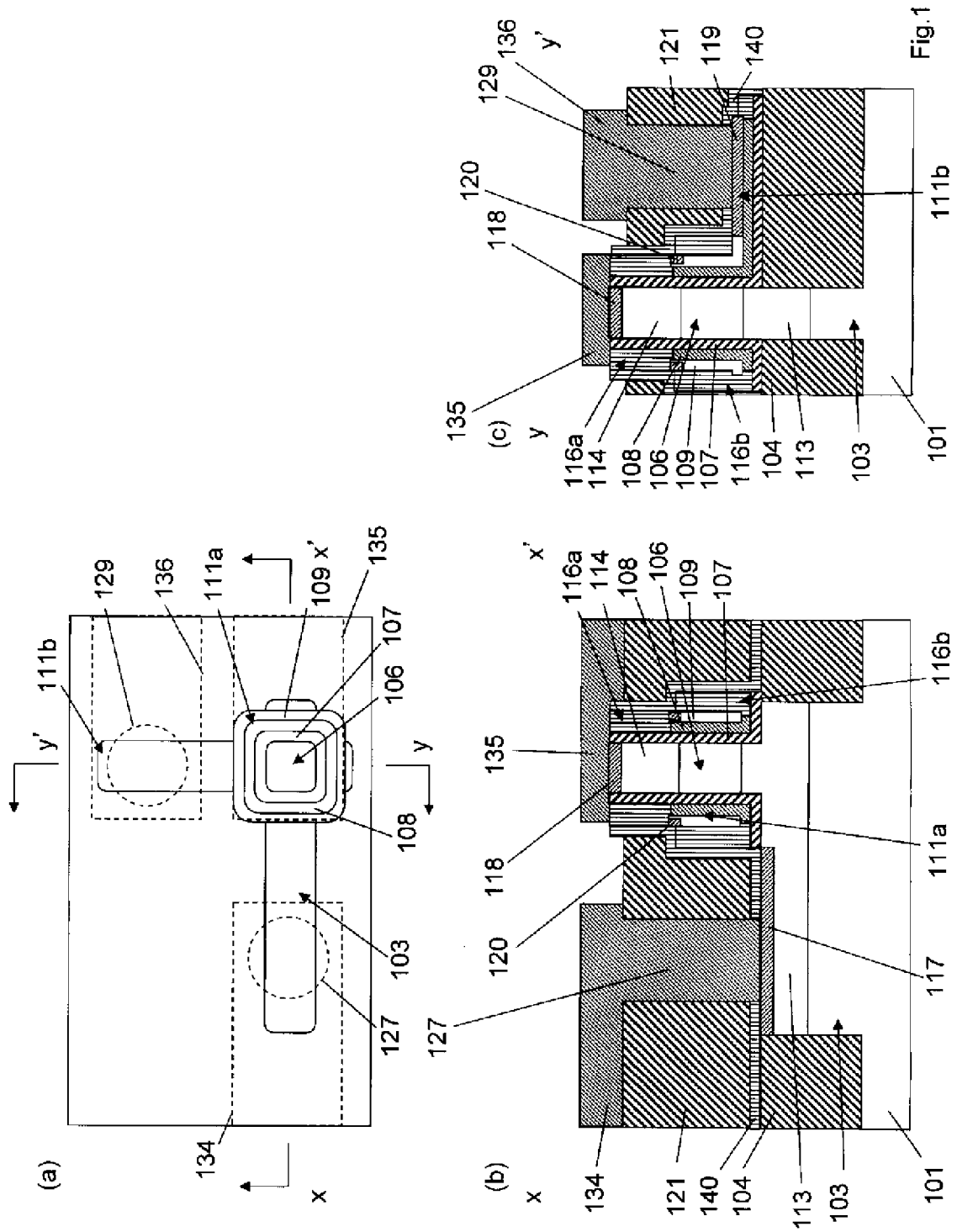
シリコン基板上に形成されたフィン状シリコン層と、
前記フィン状シリコン層の周囲に形成された第1の絶縁膜と、
前記フィン状シリコン層上に形成された柱状シリコン層と、
前記柱状シリコン層の幅は前記フィン状シリコン層の幅と同じであって、
前記柱状シリコン層の周囲に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の周囲に形成されたゲート電極と、
前記ゲート電極に接続された前記フィン状シリコン層に直交する方向に延在するゲート配線と、

前記柱状シリコン層の上部に形成された第 1 の拡散層と、
前記フィン状シリコン層の上部と前記柱状シリコン層の下部に形成された第 2 の拡散層と、
前記第 1 の拡散層の上部に形成された第 1 のシリサイドと、
前記第 2 の拡散層の上部に形成された第 2 のシリサイドと、
第 2 のシリサイド上に形成された第 1 のコンタクトと、
第 1 のシリサイド上に形成された第 1 の金属配線と、
第 1 のコンタクト上に形成された第 2 の金属配線と、
を有することを特徴とする半導体装置。

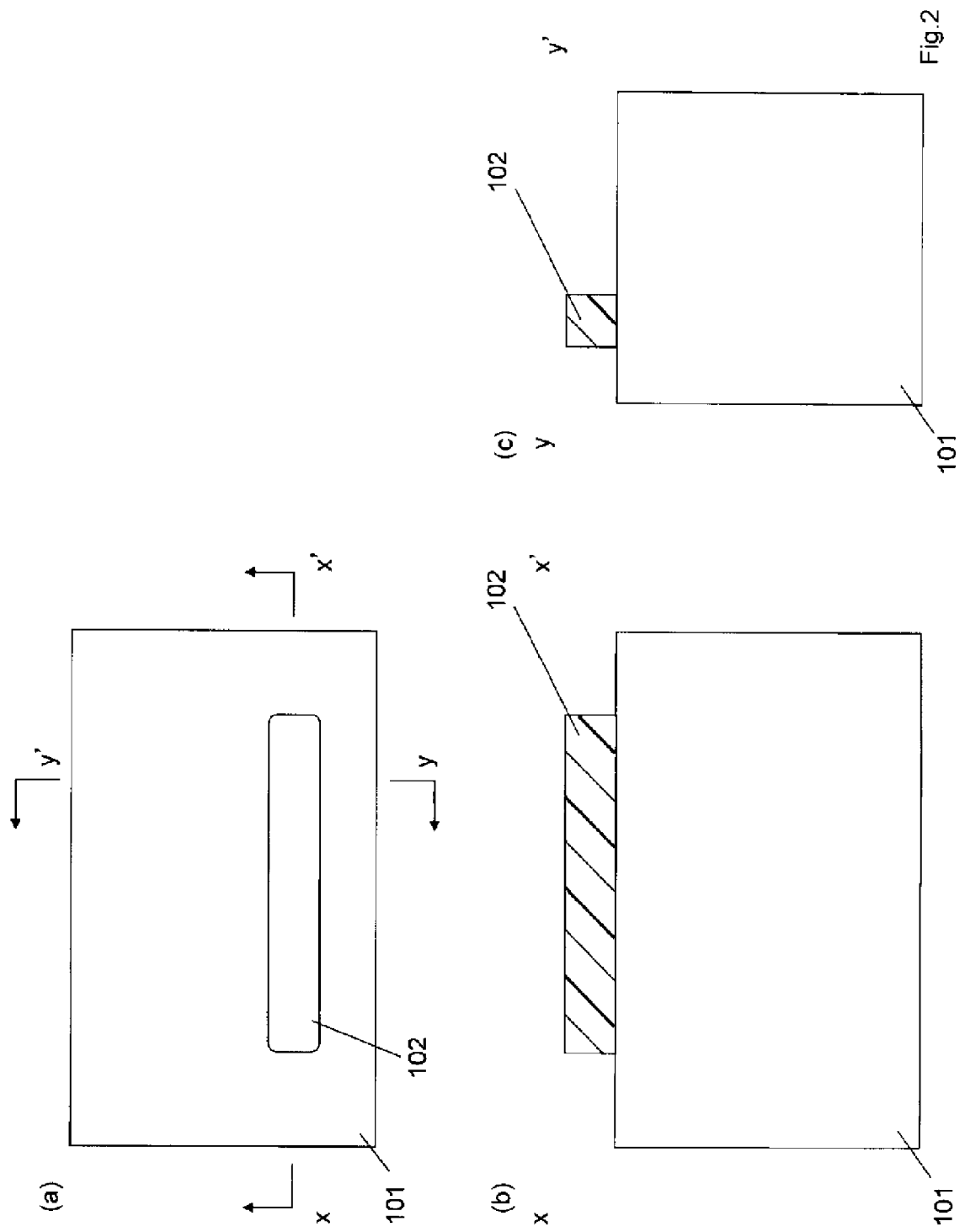
[請求項6] 前記ゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなるゲート電極と、を有し、
前記ポリシリコン膜の膜厚は前記柱状シリコン層の幅より薄いことを特徴とする請求項 5 に記載の半導体装置。

[請求項7] 前記第 1 のコンタクトの深さは、前記柱状シリコン層の高さより低いことを特徴とする請求項 5 に記載の半導体装置。

[図1]



[図2]



[図3]

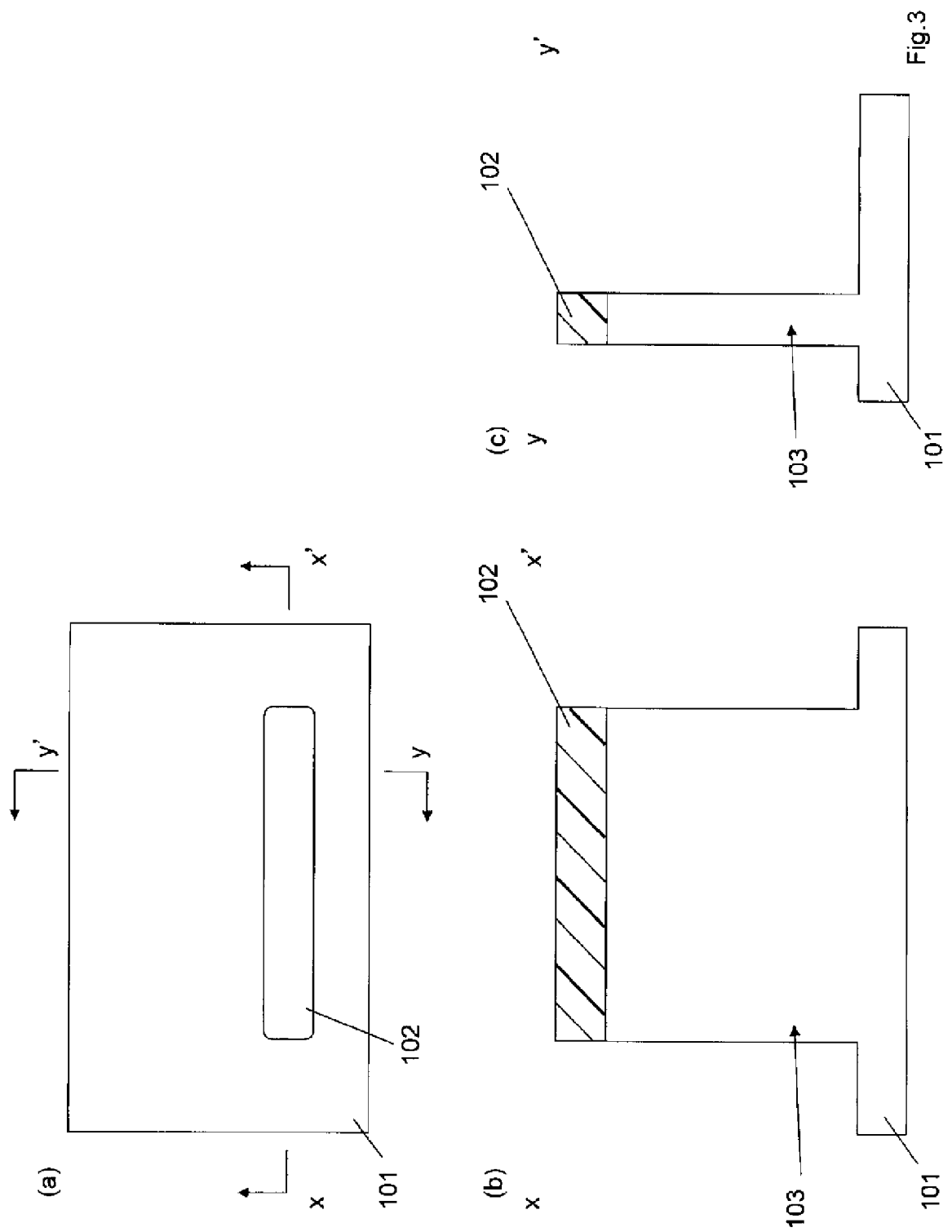
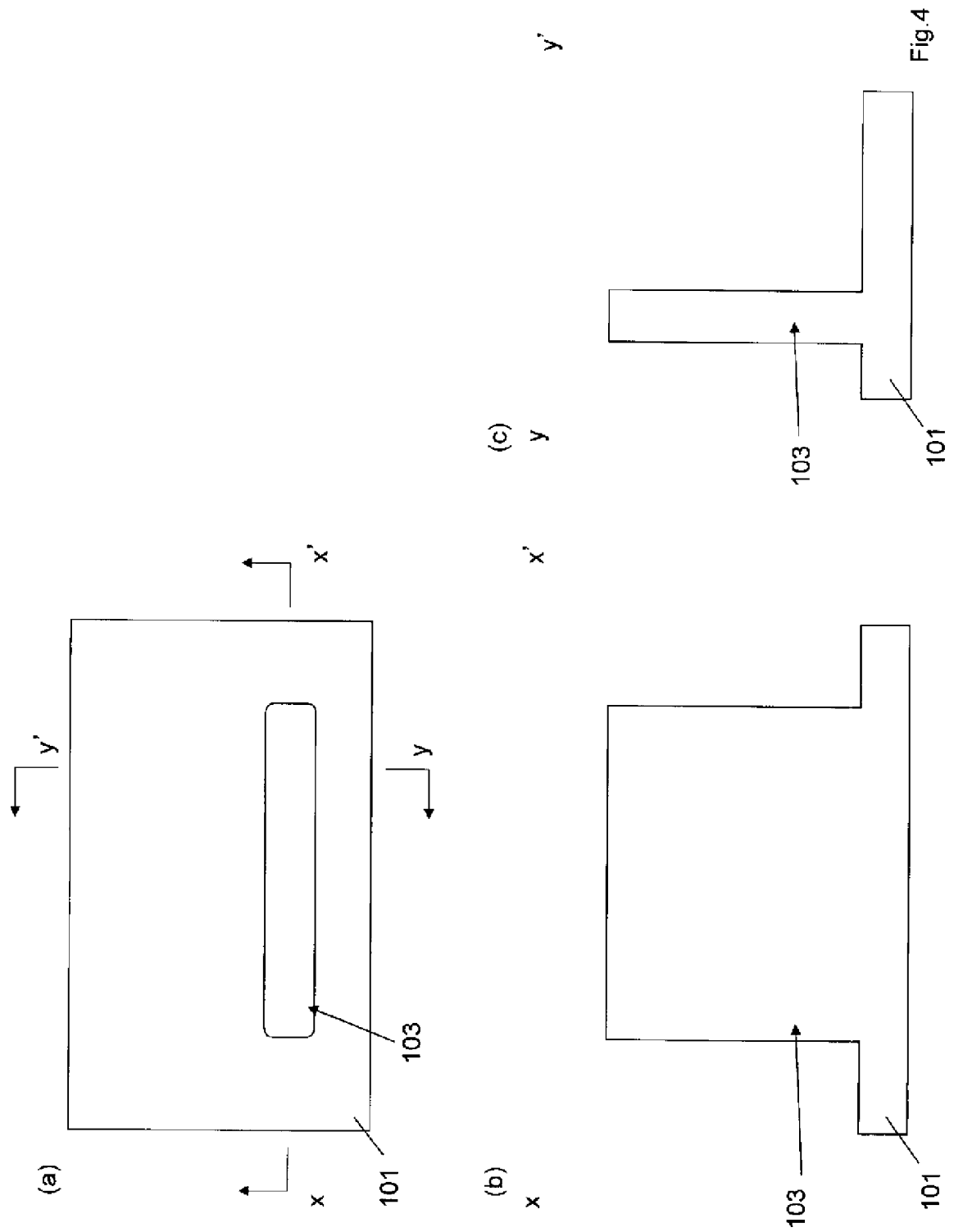
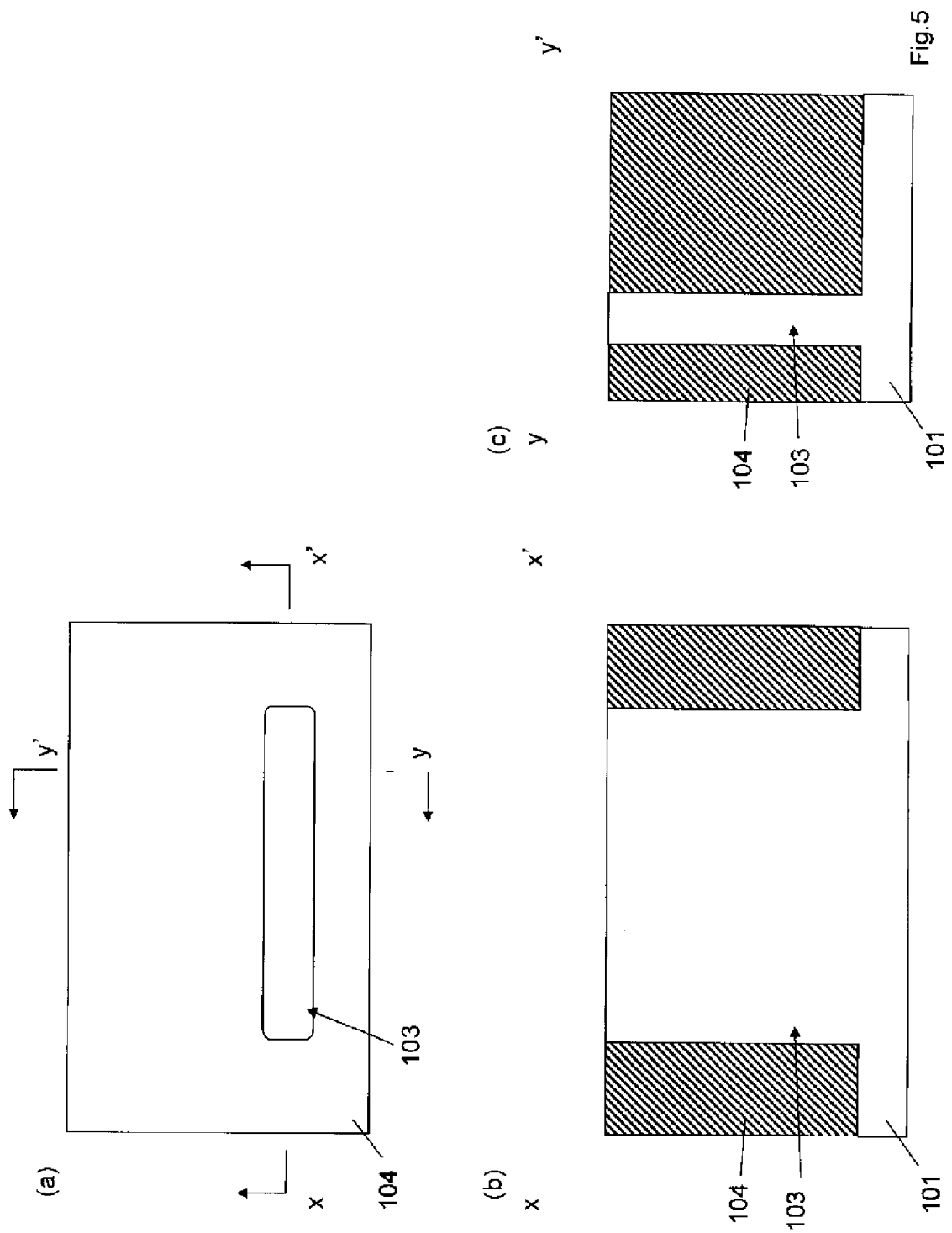


Fig.3

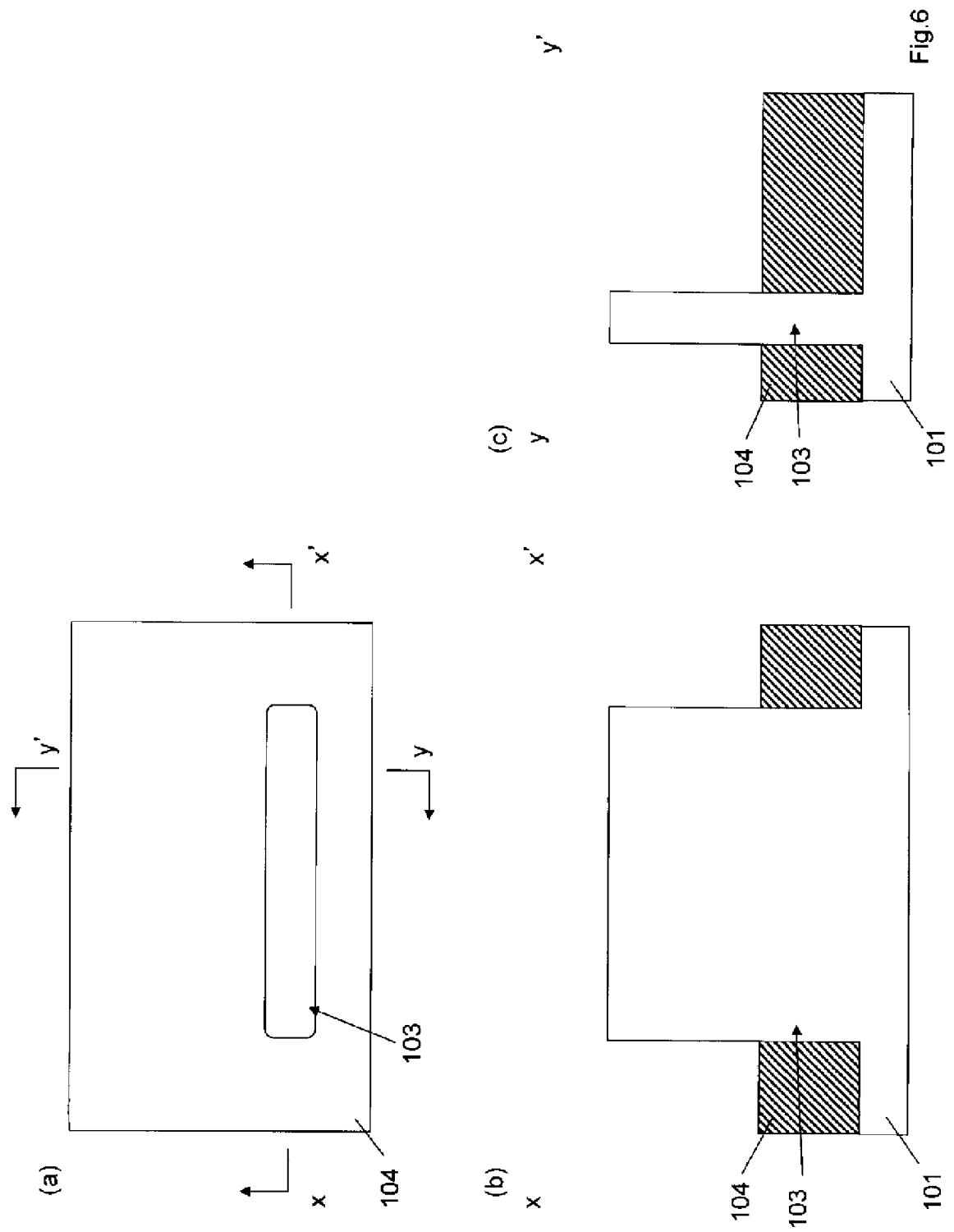
[図4]



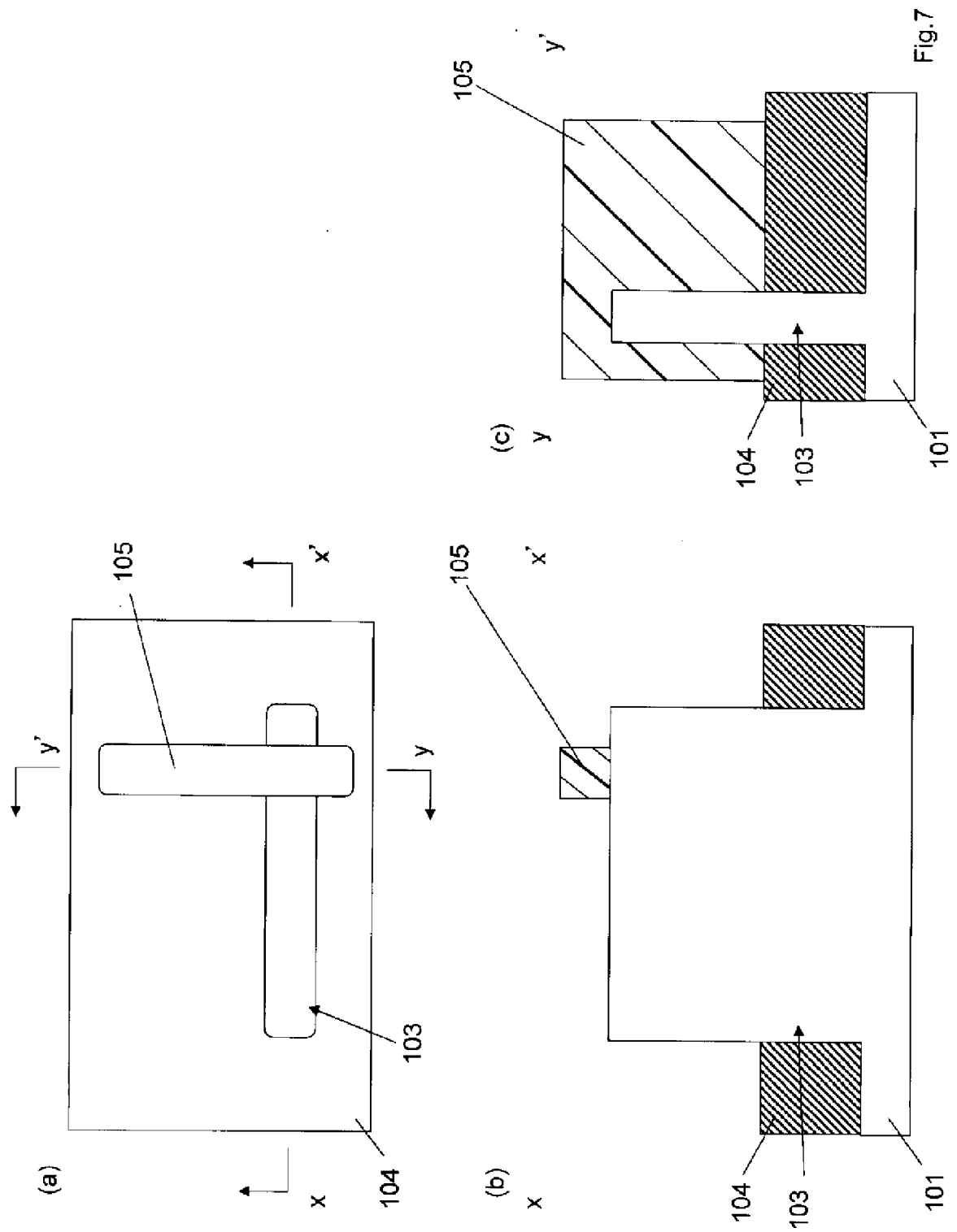
[図5]



[図6]



[図7]



[図8]

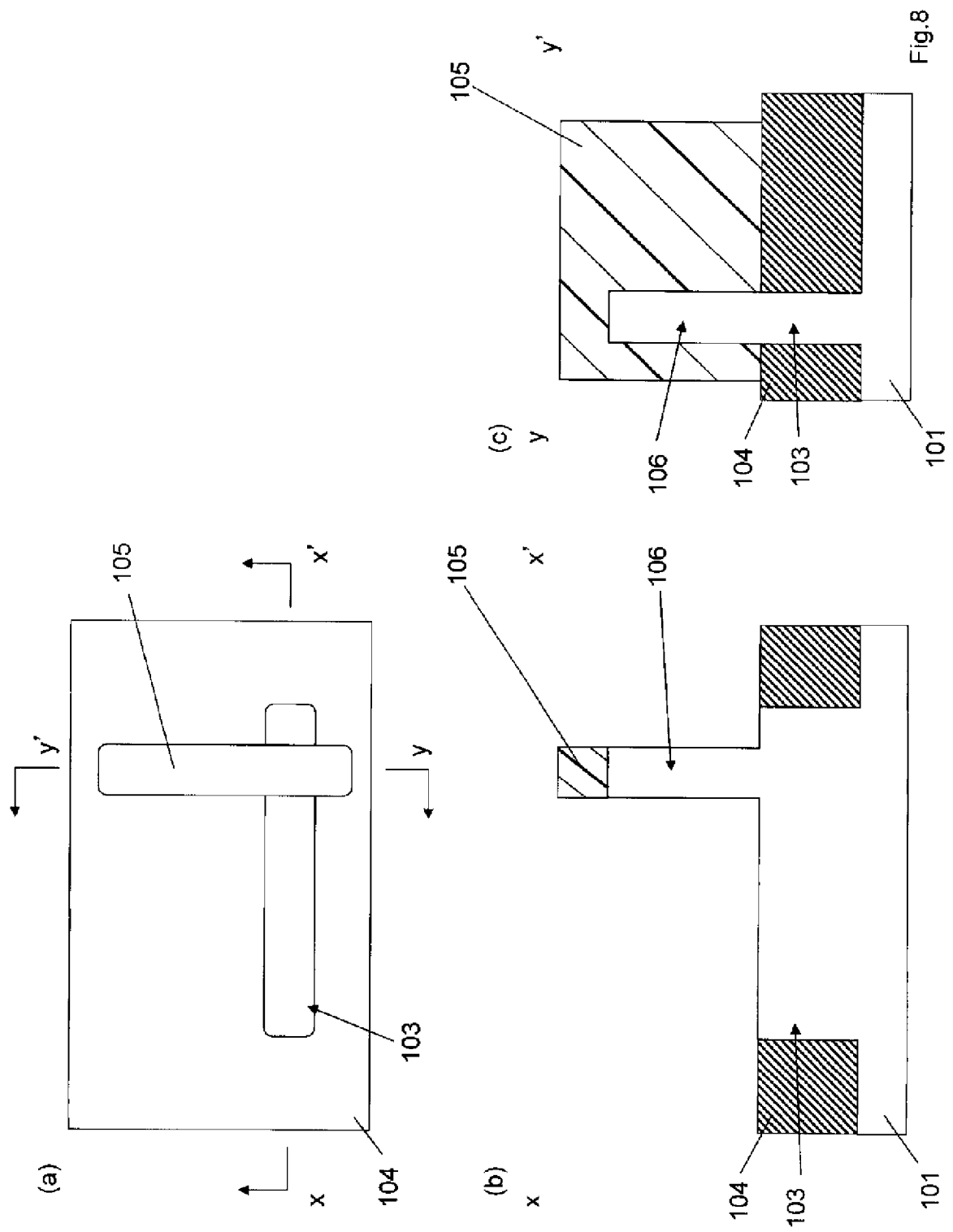
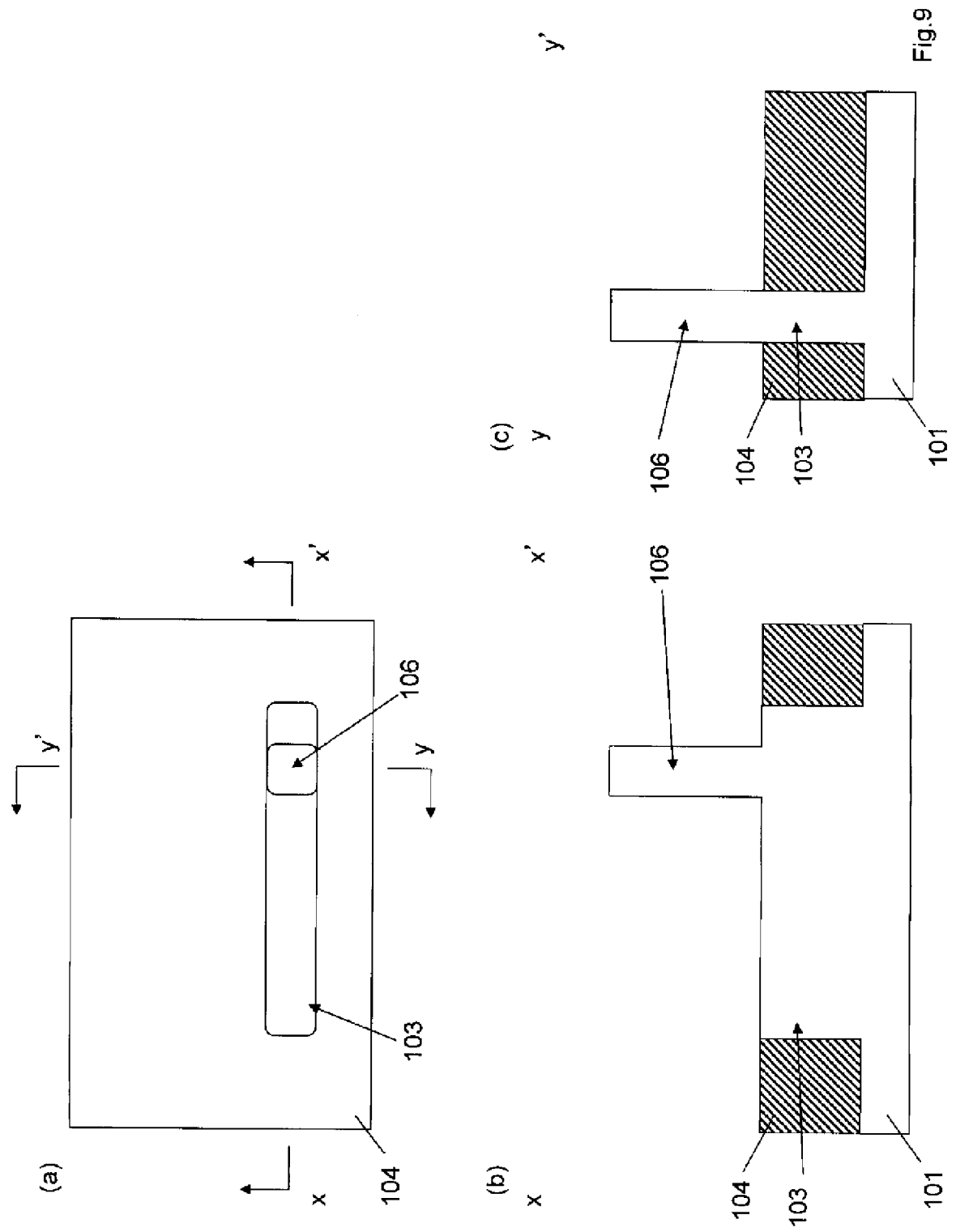
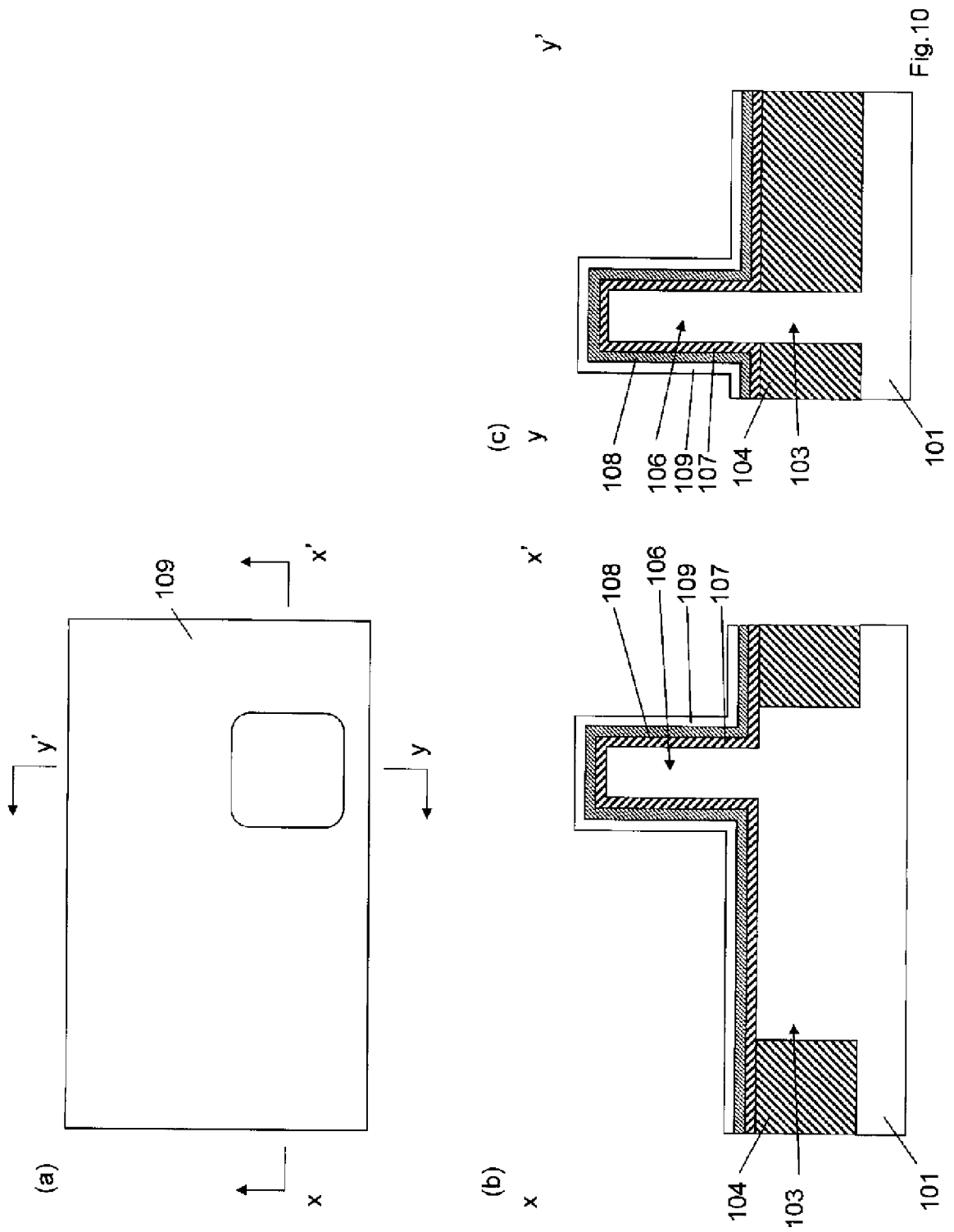


Fig. 8

[図9]



[図10]



[図11]

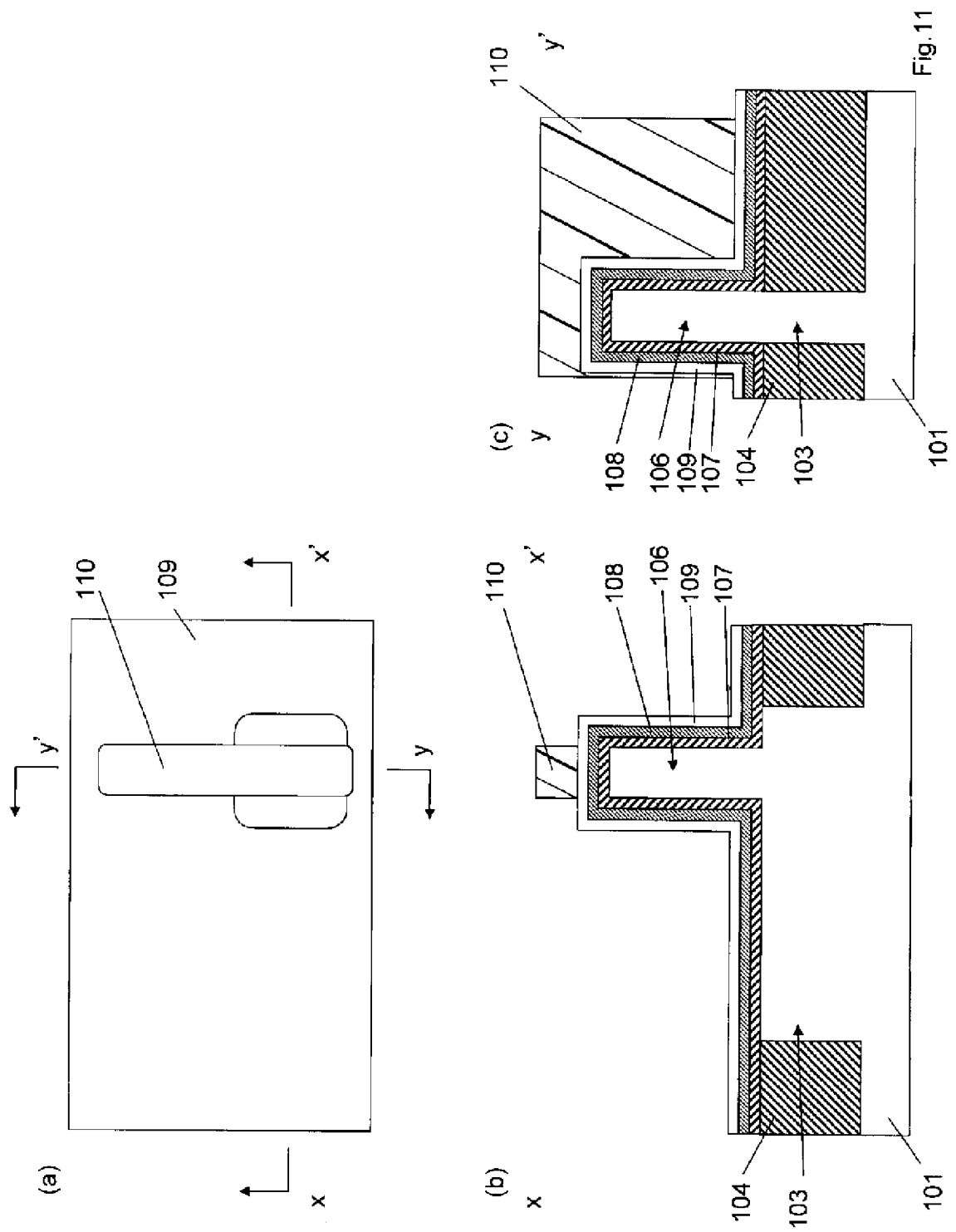
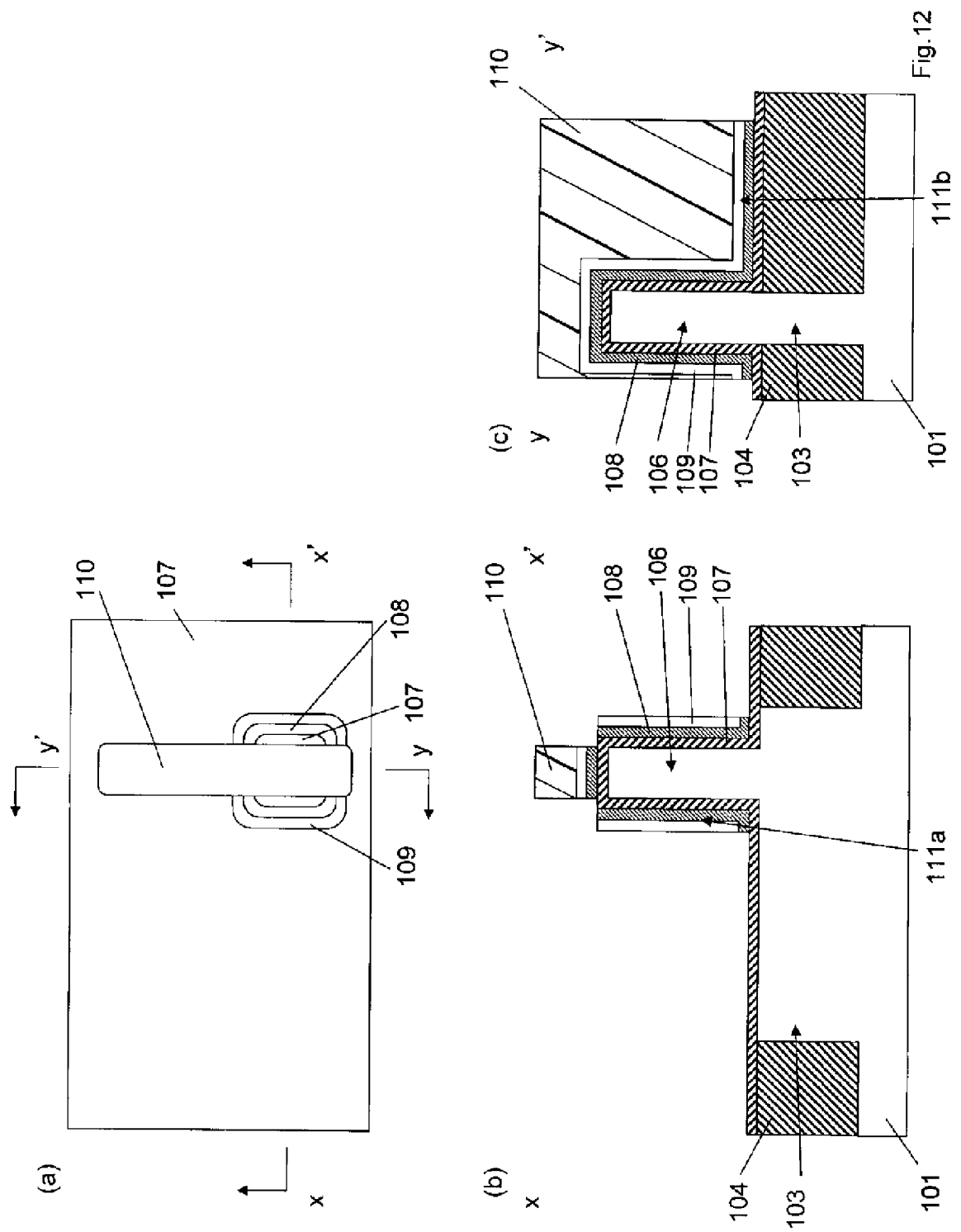
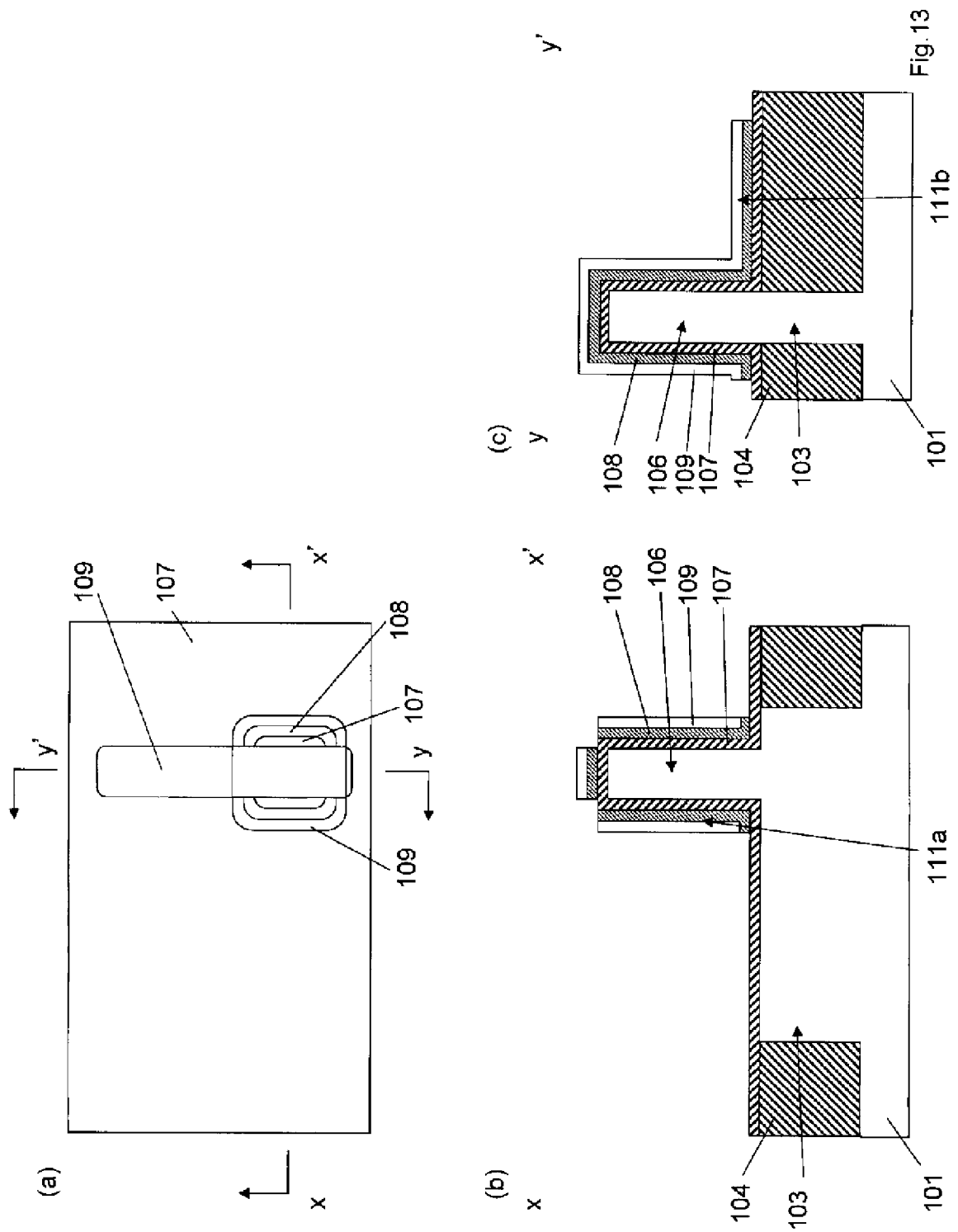


Fig. 11

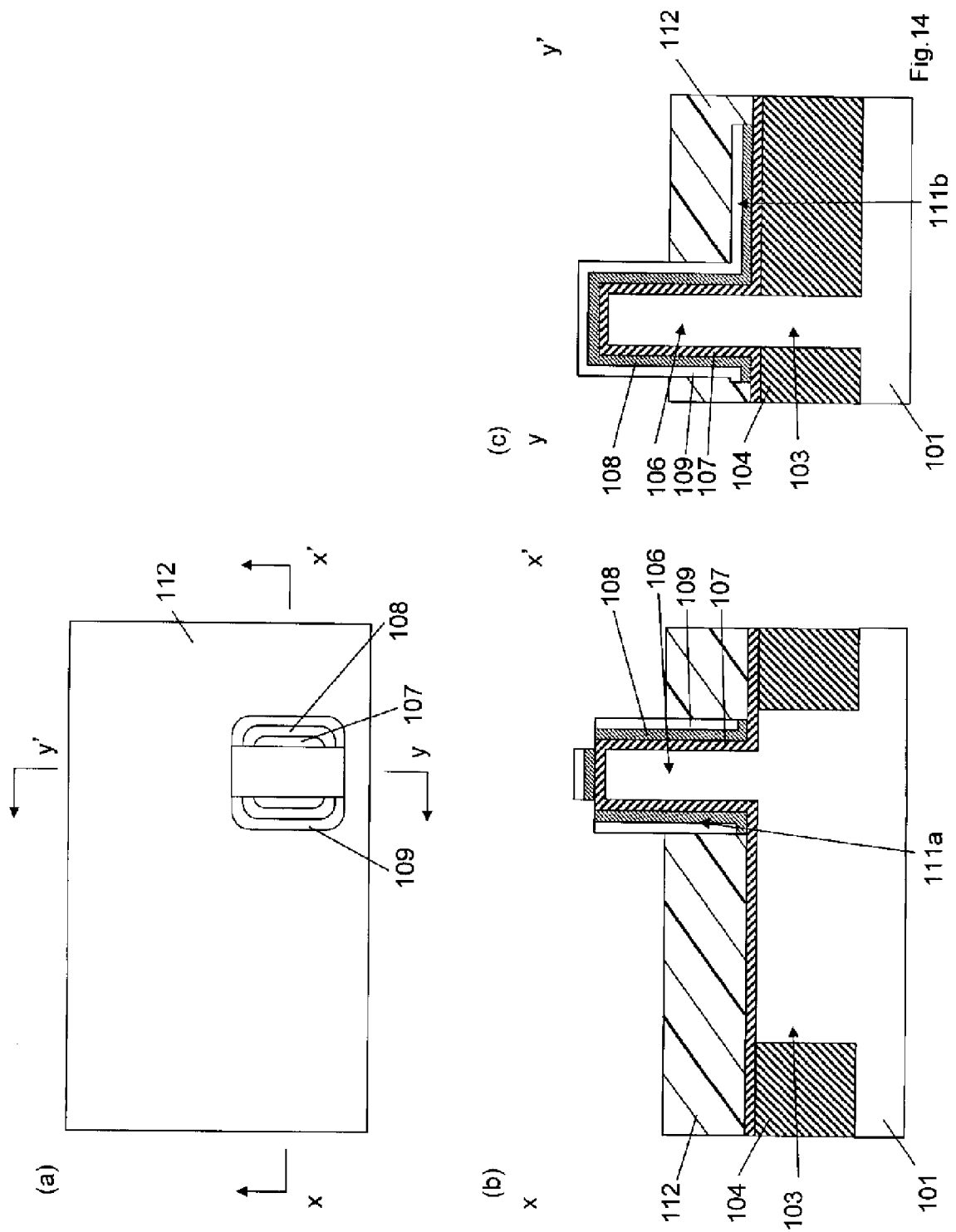
[図12]



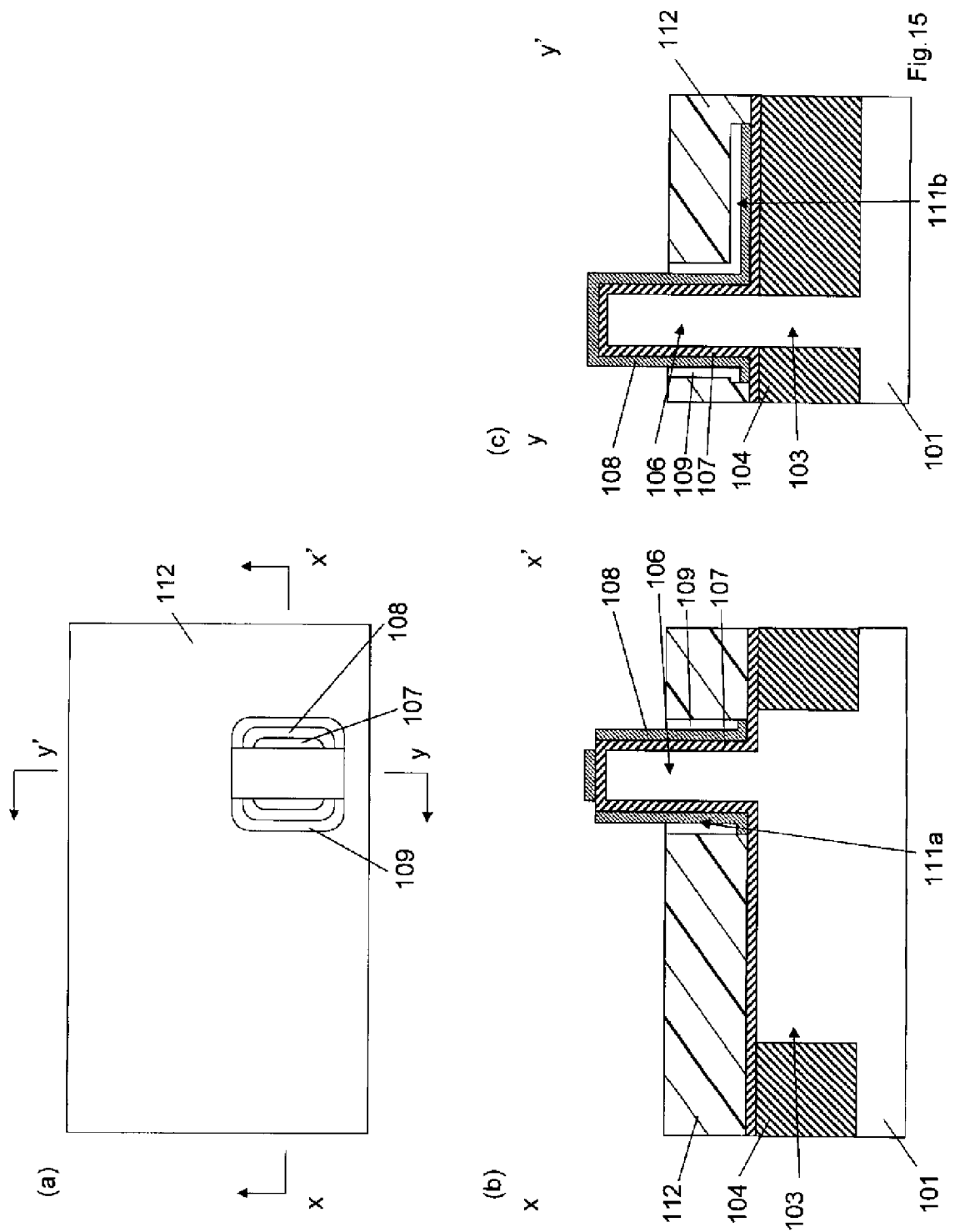
[図13]



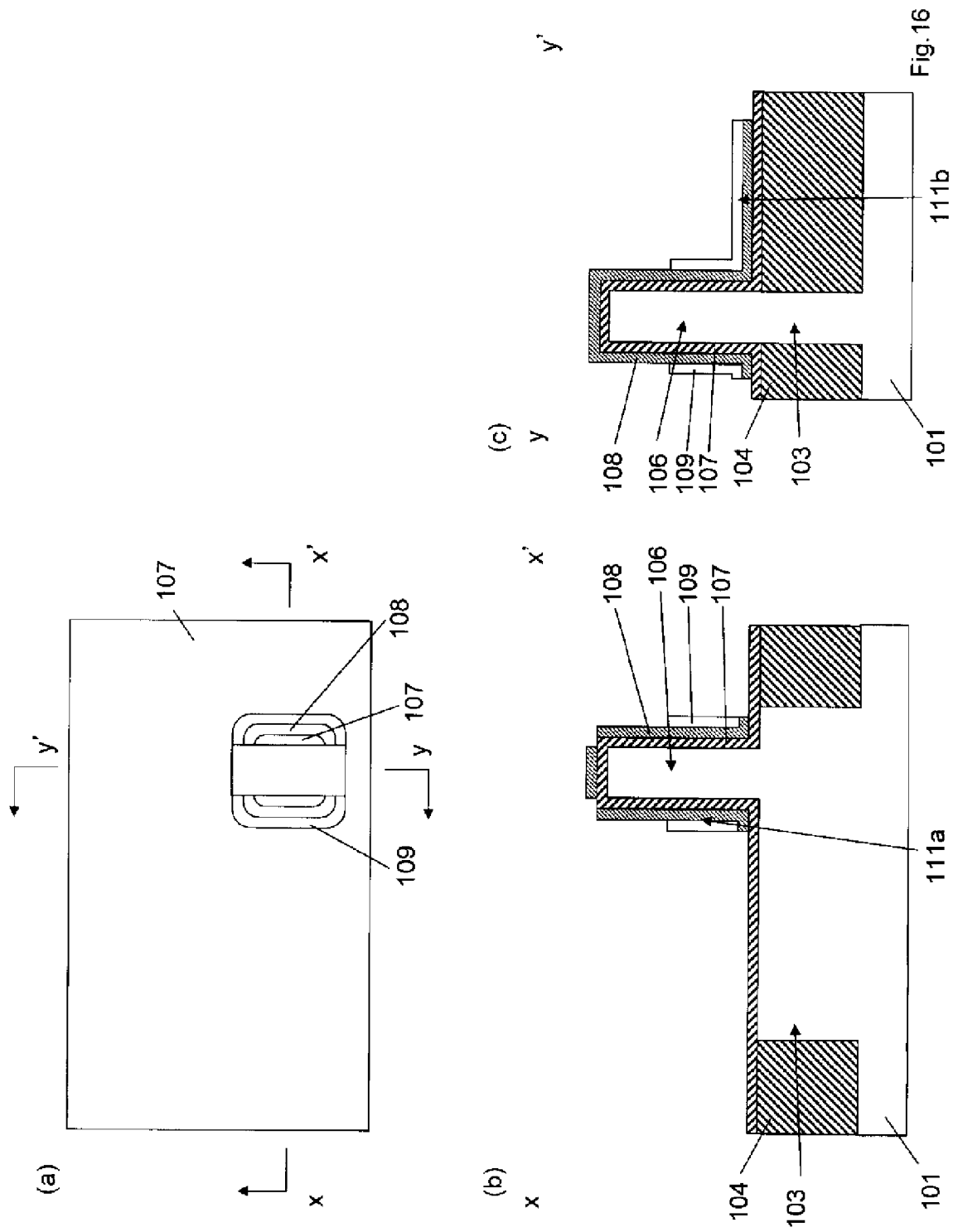
[図14]



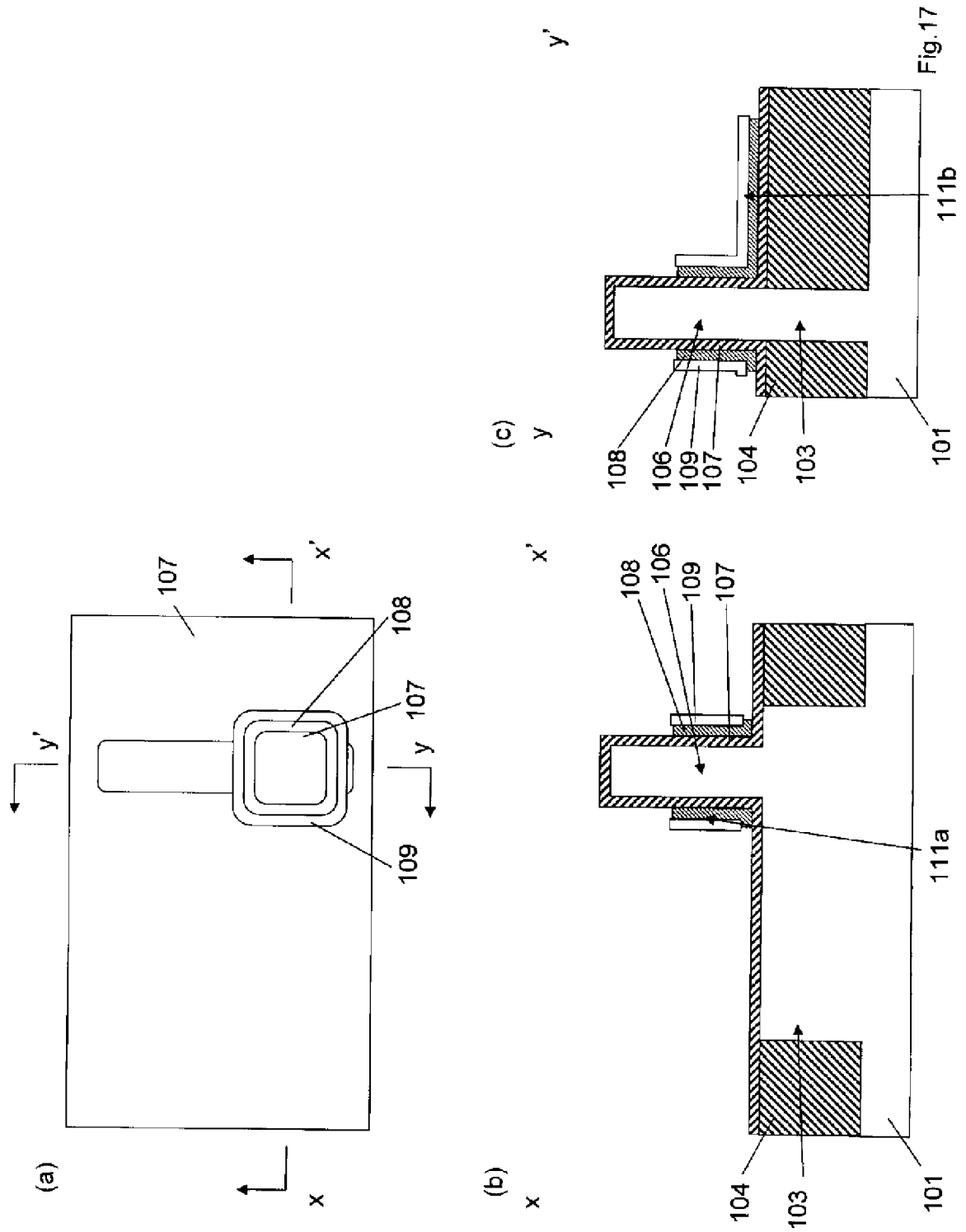
[図15]



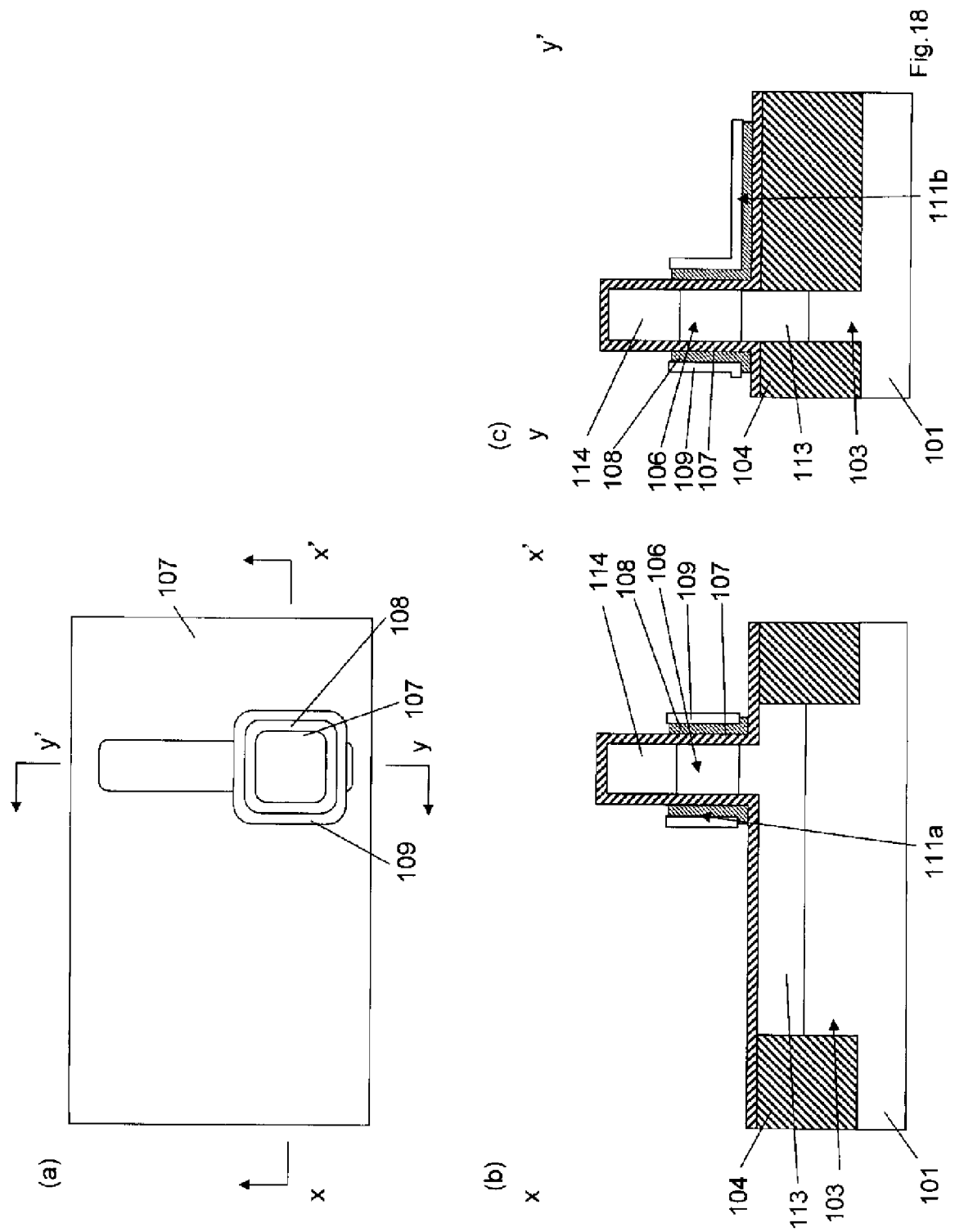
[図16]



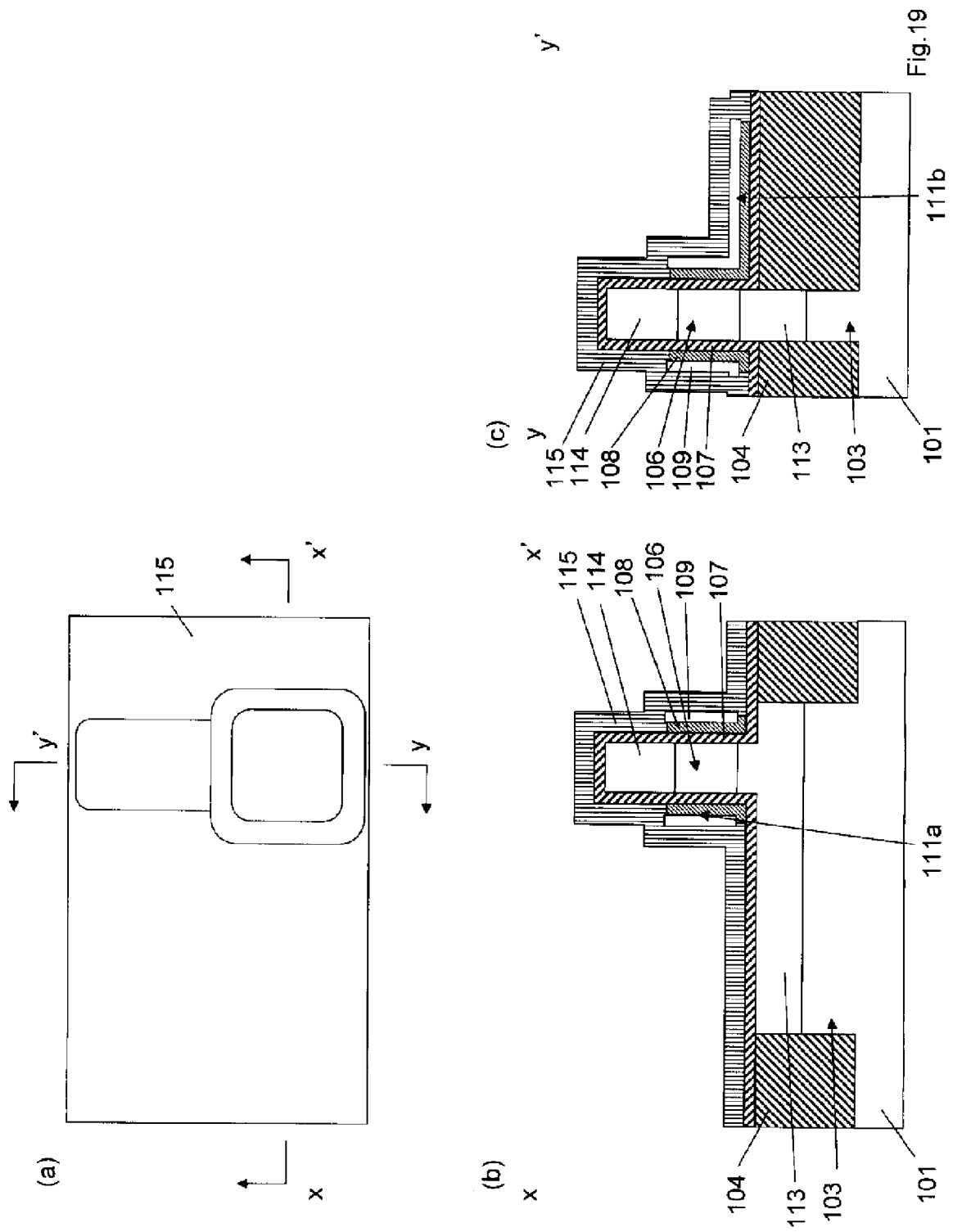
[図17]



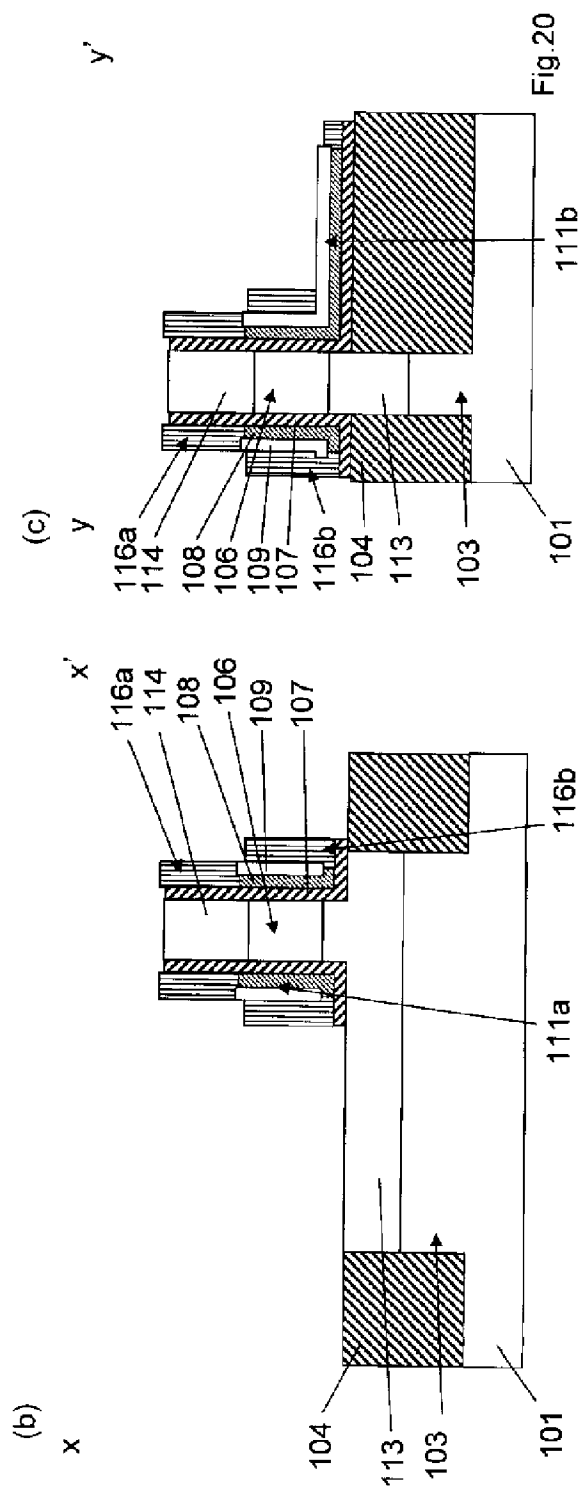
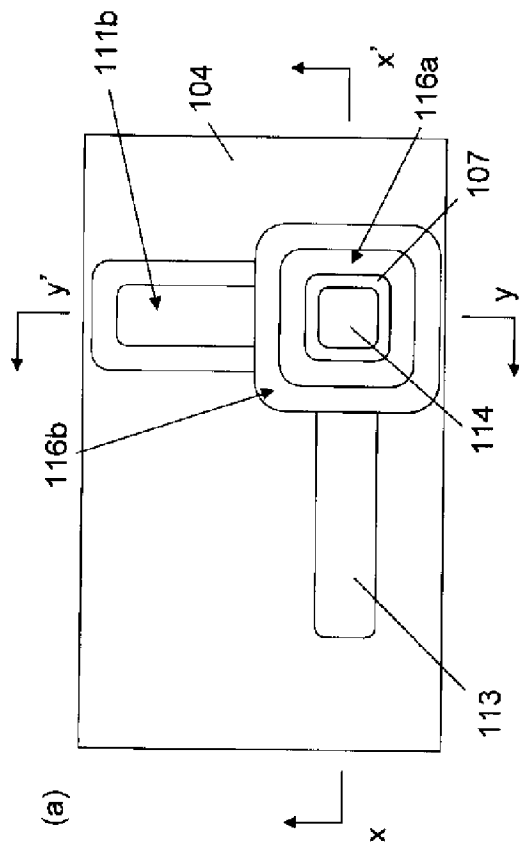
[図18]



[図19]



[図20]



[図22]

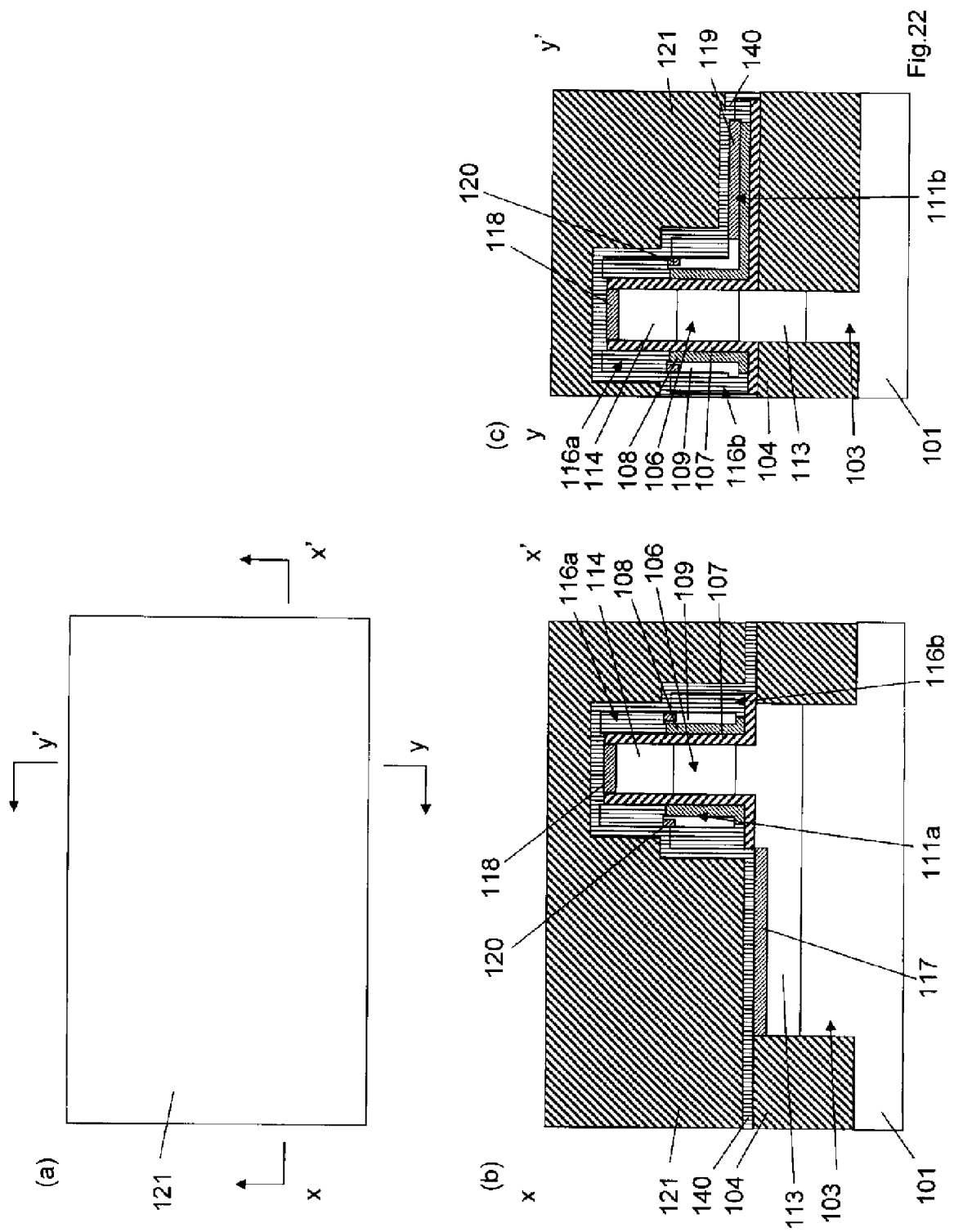
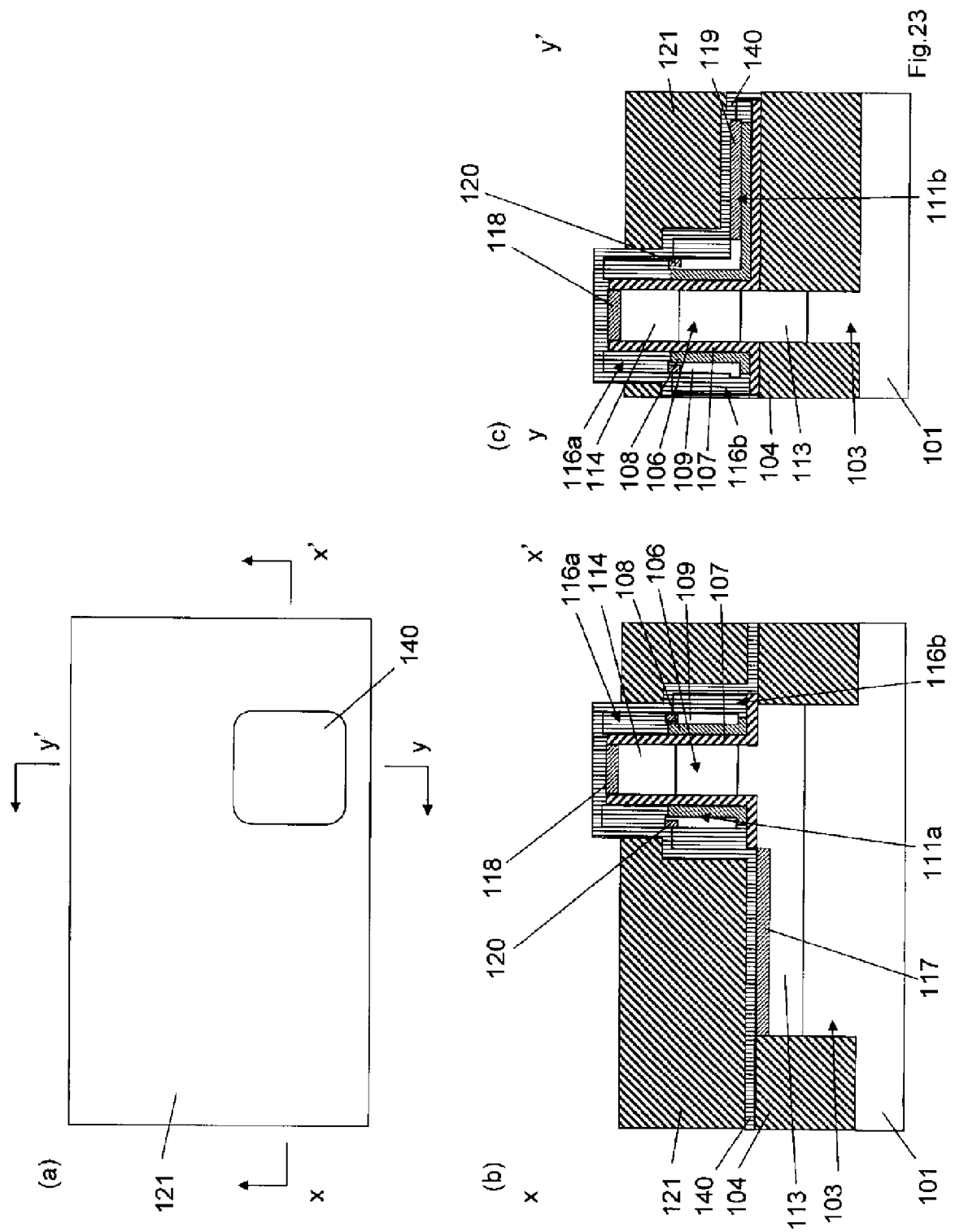
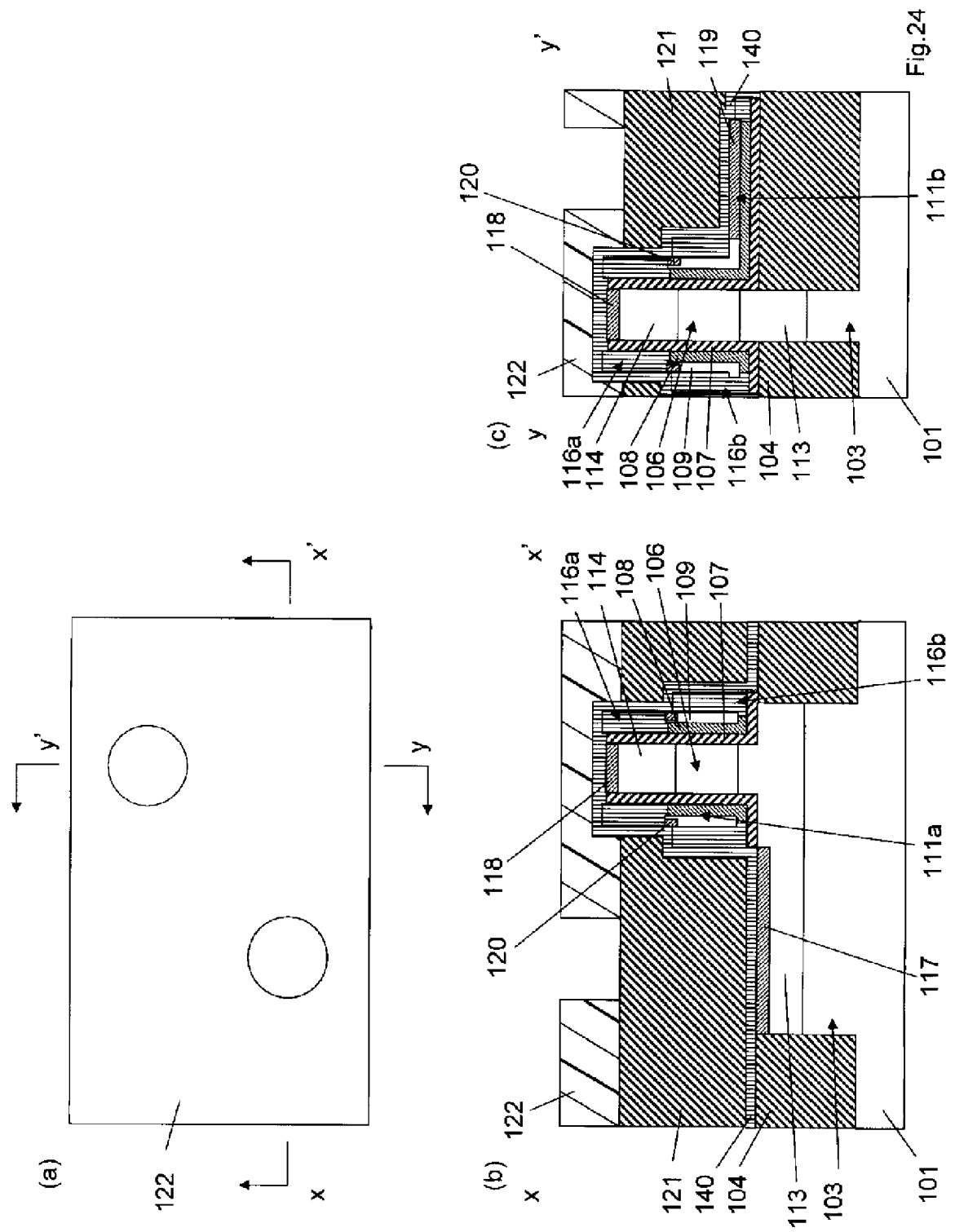


Fig.22

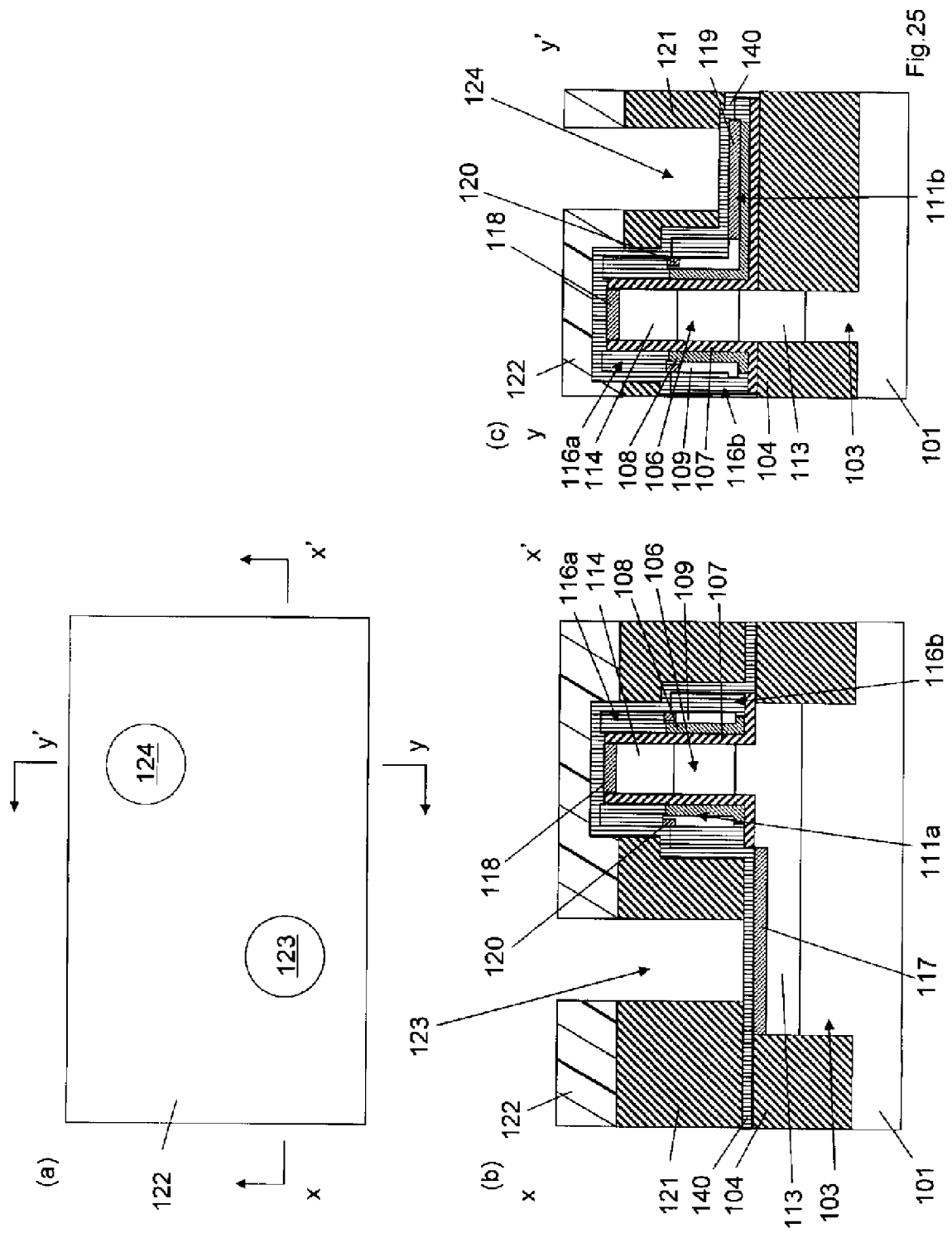
[図23]



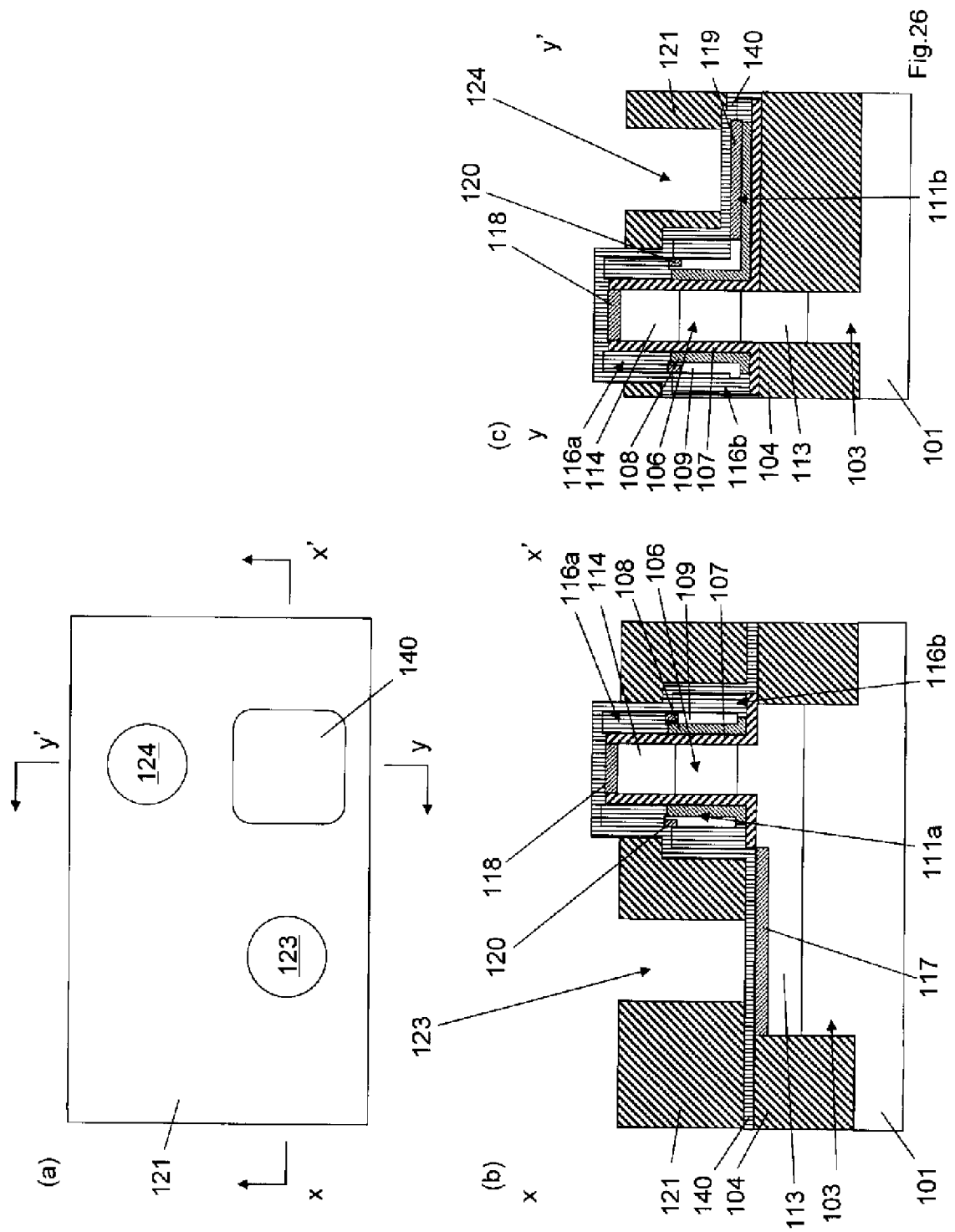
[図24]



[図25]



[図26]



[図28]

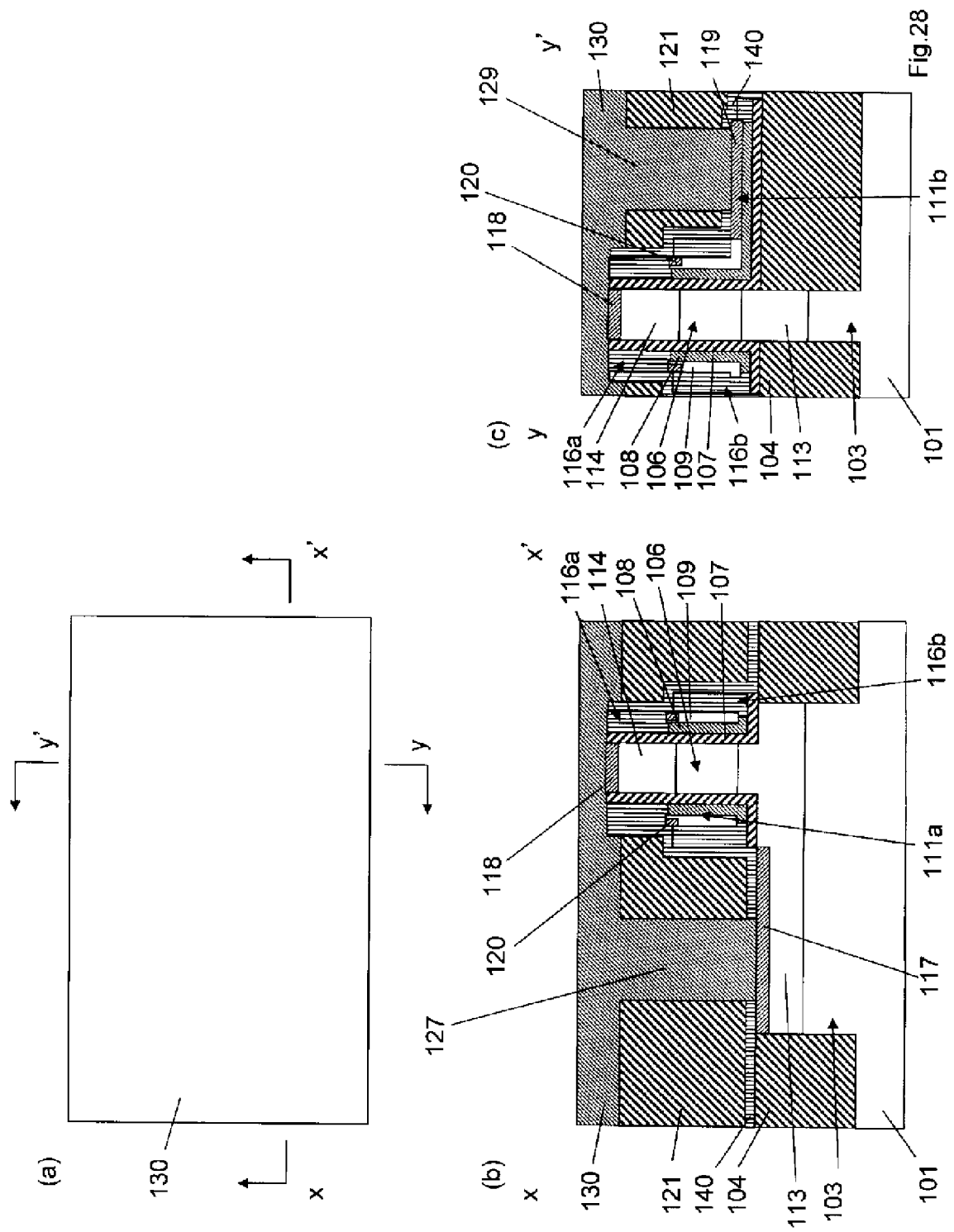
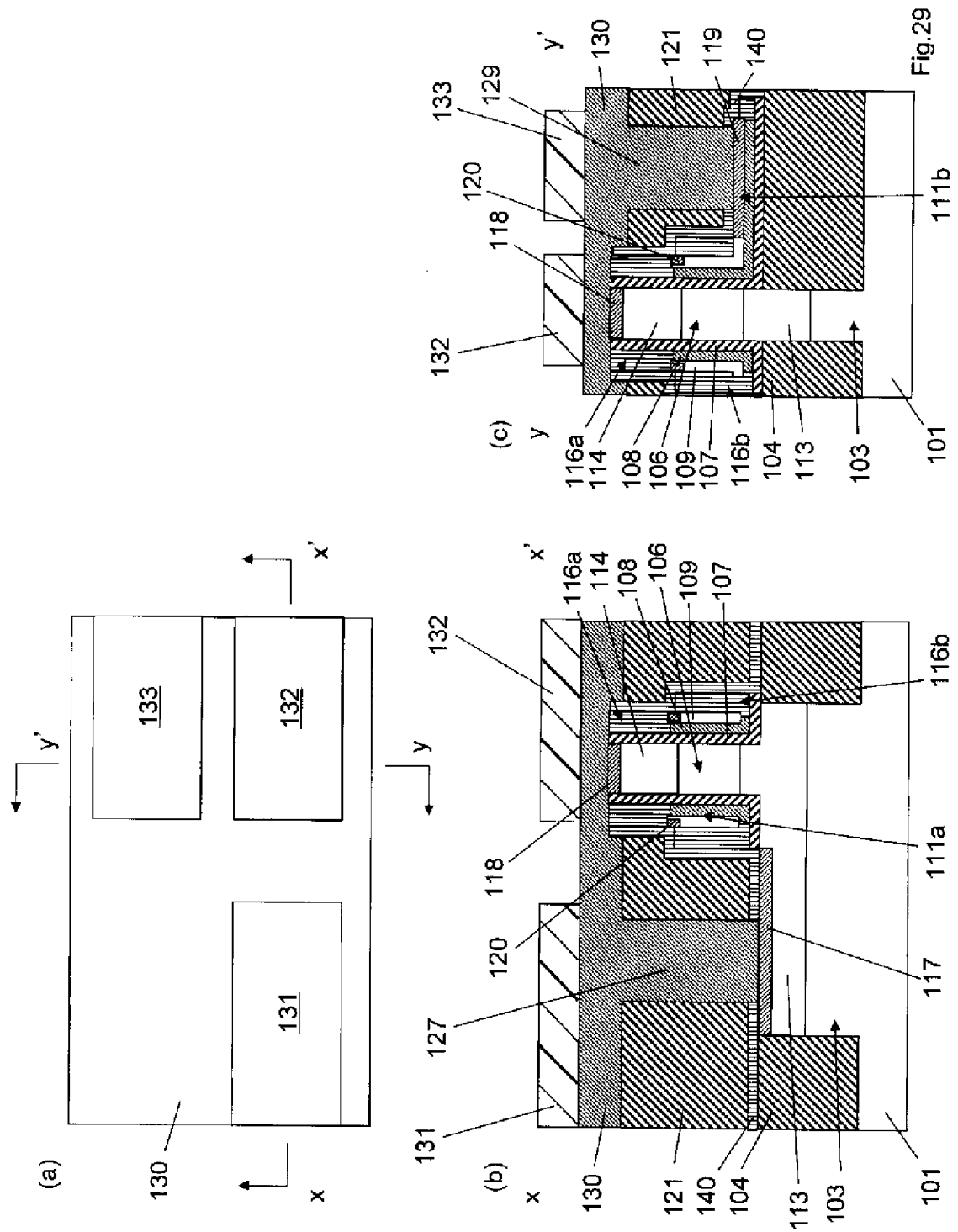
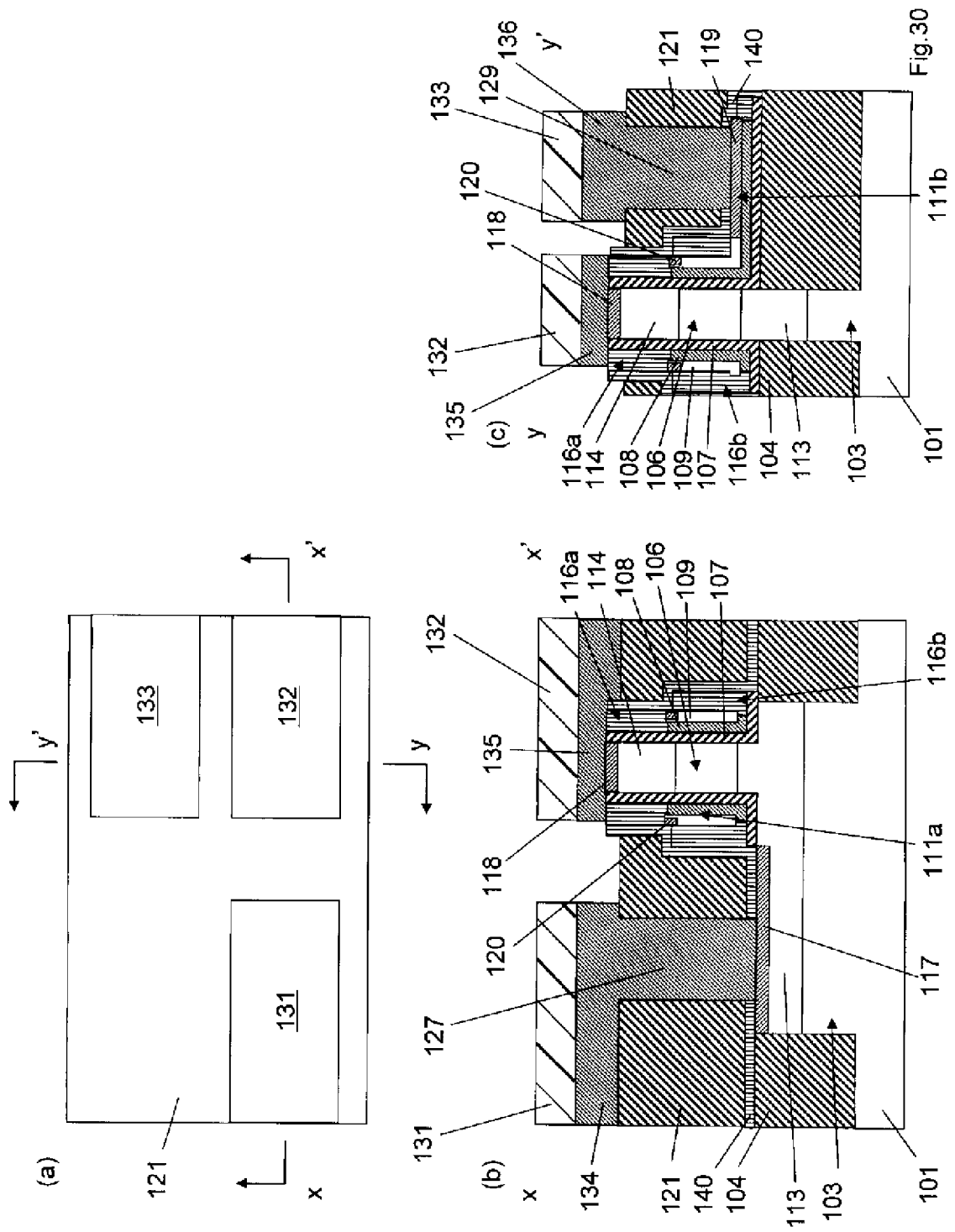


Fig.28

[図29]



[図30]



[図31]

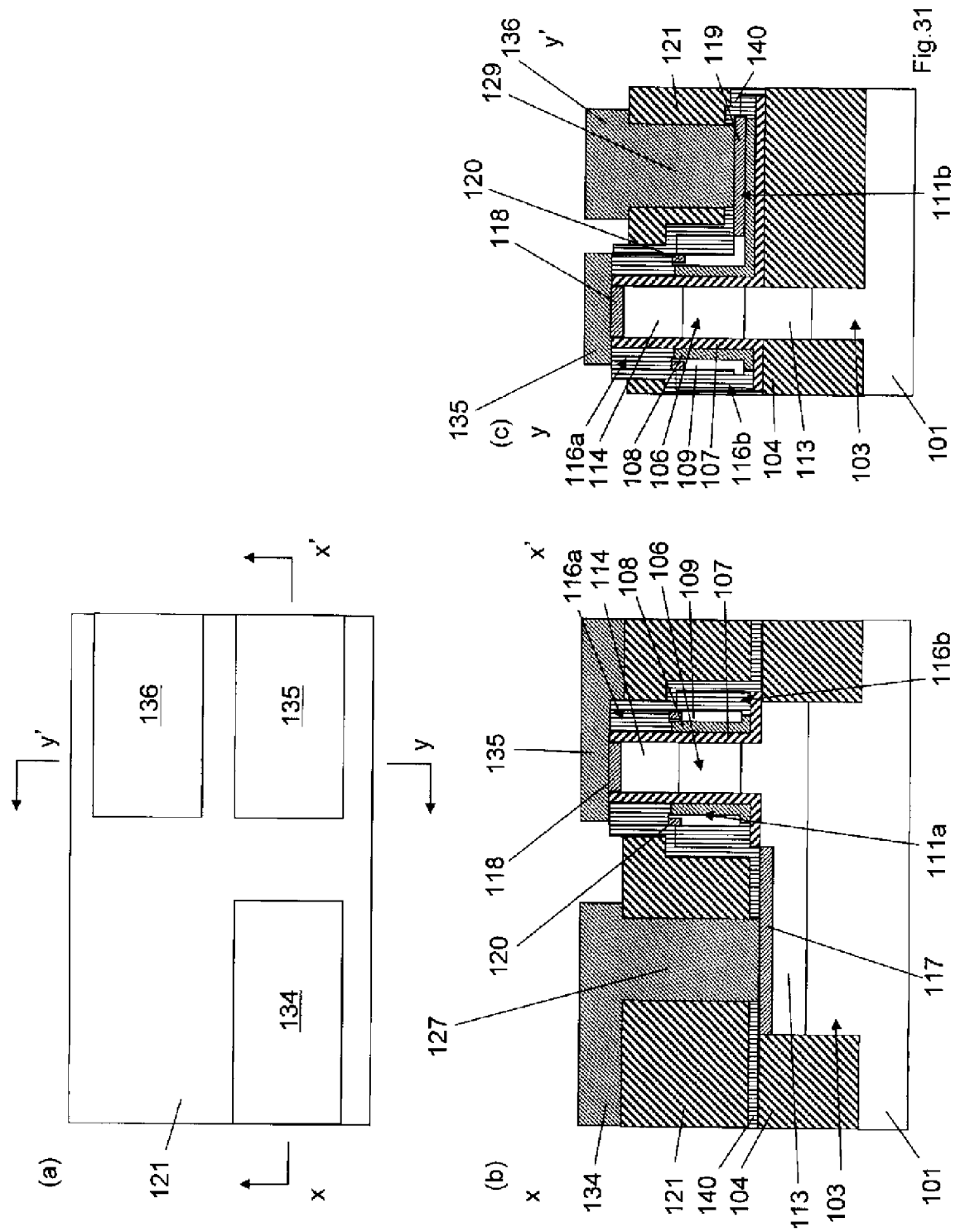


Fig.31

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/076106

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01) i, H01L29/78(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-258345 A (Unisantis Electronics Japan Ltd.), 11 November 2010 (11.11.2010), paragraphs [0037] to [0053]; fig. 6 to 20 & US 2010/0213539 A1 & US 2010/0270611 A1 & EP 2246893 A2 & CN 101877353 A & KR 10-2010-0118531 A & SG 166085 A & TW 201039443 A	1-7
A	JP 2011-040682 A (Unisantis Electronics Japan Ltd.), 24 February 2011 (24.02.2011), paragraphs [0033] to [0079]; fig. 1 to 44 & US 2011/0042740 A1 & EP 2287895 A1 & CN 101996942 A & KR 10-2011-0018848 A & SG 169292 A & TW 201108331 A	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 November, 2012 (05.11.12)

Date of mailing of the international search report
13 November, 2012 (13.11.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/336(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-258345 A（日本ユニサンティスエレクトロニクス株式会社） 2010.11.11, 段落【0037】-【0053】, 【図 6】-【図 20】 & US 2010/0213539 A1 & US 2010/0270611 A1 & EP 2246893 A2 & CN 101877353 A & KR 10-2010-0118531 A & SG 166085 A & TW 201039443 A	1-7
A	JP 2011-040682 A（日本ユニサンティスエレクトロニクス株式会社） 2011.02.24, 段落【0033】-【0079】, 【図 1】-【図 44】 & US 2011/0042740 A1 & EP 2287895 A1 & CN 101996942 A & KR 10-2011-0018848 A & SG 169292 A & TW 201108331 A	1-7

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

0 5 . 1 1 . 2 0 1 2

国際調査報告の発送日

1 3 . 1 1 . 2 0 1 2

国際調査機関の名称及びあて先
日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

多賀 和宏

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

5 0

4 4 5 1