

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication :

2 957 191

(à n'utiliser que pour les  
commandes de reproduction)

②1 N° d'enregistrement national :

10 51551

⑤1 Int Cl<sup>8</sup> : H 01 L 21/60 (2006.01), H 05 K 3/32

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 04.03.10.

③0 Priorité :

④3 Date de mise à la disposition du public de la  
demande : 09.09.11 Bulletin 11/36.

⑤6 Liste des documents cités dans le rapport de  
recherche préliminaire : *Se reporter à la fin du  
présent fascicule*

⑥0 Références à d'autres documents nationaux  
apparentés :

⑦1 Demandeur(s) : TRONIC'S MICROSYSTEMS Société  
anonyme — FR.

⑦2 Inventeur(s) : RENARD STEPHANE et COLLET  
JOEL.

⑦3 Titulaire(s) : TRONIC'S MICROSYSTEMS Société  
anonyme.

⑦4 Mandataire(s) : CABINET LAURENT ET CHARRAS.

⑤4 STRUCTURE DE SUPPORT D'INTERCONNEXION ELECTRIQUE POUR CIRCUITS INTEGRES, ET PROCEDE DE FABRICATION CORRESPONDANT.

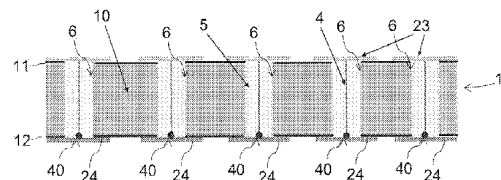
⑤7 Procédé de fabrication d'une structure de support d'interconnexion pour circuits intégrés, comprenant au moins:

- la réalisation de plots conducteurs (21) sur les faces supérieure (AV) et inférieure (AR) d'un substrat (1), l'ensemble étant posé sur une contreplaque (3); la réalisation d'évidements (6) traversant l'épaisseur du substrat (1) et débouchant sur les plots conducteurs (22) de la face inférieure (AR);

- la réalisation d'un fil conducteur (4) à l'intérieur de chaque évidement (6); le remplissage de l'évidement (6) par un matériau isolant (5), de manière à isoler électriquement le fil conducteur (4) du substrat (1);

- le polissage de la face supérieure (AV) du substrat;  
- le dépôt d'un point de contact électrique sur la face supérieure (AV) au niveau du fil conducteur (4), le deuxième plot conducteur (22) formant un autre point de contact électrique; et

l'élimination de la contreplaque (3).



FR 2 957 191 - A1



**STRUCTURE DE SUPPORT D'INTERCONNEXION ELECTRIQUE POUR  
CIRCUITS INTEGRES, ET PROCEDE DE FABRICATION CORRESPONDANT**

5

**Domaine technique**

L'invention se rapporte au domaine des supports d'interconnexion électrique pour circuits intégrés, également appelés « interposers » en anglais. Plus précisément,  
10 l'invention se rapporte à une structure de support d'interconnexion et à un procédé de fabrication d'une telle structure de support pour circuits intégrés, notamment de type MEMS (acronyme anglo-saxon pour « microelectromechanical system » en anglais ou « microsystème électromécanique » en français).

15 **Etat de la technique antérieure**

De manière générale, un « interposer » ou support d'interconnexion électrique (ou « interposers » en anglais) est une pièce destinée à recevoir des circuits intégrés (ou puces) et à assurer une connexion électrique de ces circuits. En d'autres termes, ce  
20 support est une interface de connexion électrique entre des circuits.

Un tel support est généralement réalisé dans un substrat muni de trous d'interconnexion (ou interconnexions électrique ou « vias » en anglais), par exemple de type TSV (acronyme anglo-saxon pour « Through Silicon Vias »). Ces « vias » sont des  
25 éléments conducteurs verticaux traversant toute l'épaisseur du substrat et permettant la connexion électrique d'un point à un autre à travers la couche de substrat. Ce support d'interconnexion permet notamment l'adaptation d'un circuit intégré à différentes modes de report sur une carte électronique standard, mais permet également le montage, le câblage et la connexion de circuits intégrés. Ainsi, il est possible d'interconnecter les  
30 circuits entre eux en réalisant un empilement de puces de nature différentes ou identiques, tel que par exemple un empilement de capacités de mémoire, la transmission des signaux électriques se faisant par l'intermédiaire de ces vias. Cette particularité offre l'avantage de réduire l'espace occupé par les circuits connectés entre eux, et donc de réduire la taille du boîtier contenant ces circuits.

Un procédé de fabrication d'un tel support d'interconnexion peut consister à réaliser des évidements (ou trous) traversant toute l'épaisseur du substrat constituant le support, à recouvrir les parois de ces évidements d'une couche diélectrique, et à combler ces  
5 évidements d'un matériau conducteur pour former les éléments conducteurs (ou vias). Cette dernière étape est critique. En effet, lorsque le matériau conducteur ne se dépose pas de manière homogène dans l'évidement, les éléments conducteurs peuvent comporter des cavités, sous forme de bulles d'air, qui dégradent la conductivité. En outre, dès lors qu'une seule bulle d'air s'est formée dans un des vias d'un support d'interconnexion  
10 réalisé selon ce procédé de fabrication, ce support n'est plus fiable et donc plus utilisable. De ce fait, mal contrôlé, ce procédé de fabrication est susceptible de générer beaucoup de rebuts.

Par exemple, le matériau conducteur peut être du silicium poly-cristallin (Si-poly).  
15 Les interconnexions électriques en Si-poly peuvent être réalisées en faisant croître progressivement des couches de Si-poly à partir des parois des évidements, par dépôt chimique en phase vapeur sous pression réduite ou LPCVD (acronyme anglo-saxon pour « low pressure chemical vapor deposition »). Ce procédé, applicable à des substrats de silicium, permet d'obtenir un support d'interconnexion résistant aux hautes températures,  
20 et autorise donc des modifications ultérieures, par exemple pour réaliser directement des composants de type MEMS dans le support d'interconnexion. Cependant, la conductivité électrique des éléments conducteurs (ou vias) ainsi formés est limitée à la conductance du silicium poly-cristallin. Un trop fort dopage, qui pourrait réduire cette résistivité, engendre notamment des contraintes susceptibles de générer des défauts de type fissures  
25 dans le substrat ou rupture électrique du via. En outre, du fait de la faible épaisseur de la couche diélectrique destinée à isoler électriquement les éléments conducteurs du substrat, des capacités parasites peuvent apparaître entre ces éléments conducteurs et le substrat, induisant des erreurs dans les signaux. Par ailleurs, le procédé de fabrication devient long et coûteux lorsque l'on cherche à réaliser des évidements de diamètre plus important et  
30 une couche isolante de plus forte épaisseur.

Pour minimiser la résistance électrique de ces vias, une solution consiste à remplacer le silicium poly-cristallin par un métal. Dans ce cas, les parois des évidements sont recouvertes d'une couche d'accrochage isolante électriquement, et sont ensuite

comblés par électrodéposition. Cependant, ce procédé est long et complexe à réaliser, ne permet pas d'éliminer les capacités parasites, et n'offre pas les mêmes avantages liés à la résistance aux hautes températures.

## 5 Exposé de l'invention

Dans ce contexte, la présente invention a notamment pour but de proposer un nouveau procédé de fabrication d'une structure de support d'interconnexion pour circuits intégrés exempte de l'une au moins des limitations précédemment évoquées. L'invention  
10 a notamment pour but de proposer un procédé de fabrication moins coûteux et aisé, permettant d'obtenir une structure de support d'interconnexion compact, présentant des capacités parasites négligeables et des vias de faible résistivité.

Ces objectifs ainsi que d'autres sont atteints par l'invention qui a pour objet un  
15 procédé de fabrication d'une structure de support d'interconnexion pour circuits intégrés, comprenant au moins :

- la réalisation d'au moins un premier plot conducteur sur la face supérieure d'un substrat, et d'au moins un deuxième plot conducteur sur la face inférieure dudit substrat ;
- 20 - la solidarisation d'une contreplaque au moins audit deuxième plot conducteur ;
- la réalisation d'au moins un évidement traversant l'épaisseur du substrat et débouchant sur le deuxième plot conducteur ;
- la réalisation d'un fil conducteur à l'intérieur de l'évidement, ledit fil conducteur reliant le deuxième plot conducteur au premier plot conducteur ;
- 25 - le remplissage de l'évidement par un matériau isolant, de manière à isoler électriquement le fil conducteur du substrat ;
- l'élimination de la portion de fil conducteur à l'extérieur de l'évidement ;
- le dépôt d'un point de contact électrique sur la face supérieure, au niveau du fil conducteur, le deuxième plot conducteur formant un autre point de contact électrique ;
- 30 et
- l'élimination de la contreplaque.

En d'autres termes, le procédé de fabrication selon l'invention consiste notamment à réaliser un évidement, à tirer un fil conducteur entre un plot conducteur réalisé sur une

face du substrat et un autre plot conducteur réalisé sur une autre face du substrat, et à combler l'évidement d'un matériau pour isoler électriquement le fil conducteur du substrat.

5 Ce procédé de fabrication simple à mettre en œuvre, permet d'obtenir un support d'interconnexion électrique (ou « interposer ») dont l'évidement présente une épaisseur de couche isolante assez importante par rapport au diamètre du fil conducteur pour réduire considérablement les capacités parasites. En outre, ce procédé est compatible avec des substrats en silicium et autorise donc des modifications ultérieures du support dans le  
10 but d'intégrer ou de réaliser directement des composant de type MEMS dans le support d'interconnexion en silicium. Par ailleurs, le fil conducteur réalisé dans ce procédé de fabrication est d'une continuité certaine et assure donc une conductivité optimale.

L'invention a également pour objet une structure de support d'interconnexion pour  
15 circuits intégrés comprenant au moins :

- un substrat ;
- un évidement débouchant de part et d'autres des faces supérieure et inférieure du substrat ;
- un élément conducteur disposé dans l'évidement reliant électriquement des premier et  
20 deuxième points de contact électrique disposés respectivement sur les faces supérieure et inférieure du substrat ; et
- un volume de matériau isolant disposé autour de l'élément conducteur pour isoler électriquement l'élément conducteur du substrat.

Selon l'invention, l'élément conducteur est un fil conducteur présentant une boule  
25 de soudure, de préférence de type ball-bonding, à une de ses extrémités.

De préférence, le ratio du diamètre de l'évidement sur le diamètre de l'élément conducteur est supérieur ou égal à 5.

30 Un tel ratio permet de mieux isoler électriquement le fil conducteur du substrat et donc de limiter les capacités parasites.

### **Brève description des dessins**

D'autres caractéristiques et avantages de l'invention ressortiront clairement de la description qui en est faite ci-après, à titre indicatif et nullement limitatif, en référence aux figures annexées, dans lesquelles :

- 5 - la figure 1 est une vue schématique de la structure de support d'interconnexion électrique muni de plusieurs connexions électriques traversant ou vias, selon un mode de réalisation de l'invention ; et
  - les figures 2 à 10 sont des schémas illustrant les étapes du procédé de fabrication d'une structure de support d'interconnexion selon un mode de réalisation de
- 10 l'invention.

### **Exposé détaillé d'un mode de réalisation particulier**

En référence à la figure 1, une structure de support d'interconnexion électrique (ou

15 « interposers ») selon un mode de réalisation de l'invention comprend notamment :

- un substrat 1 qui peut être une tranche, par exemple, de silicium oxydée, comprenant par exemple une couche conductrice 10 interposée entre deux couches diélectriques 11, 12 ;
- des évidements 6 débouchant de part et d'autre des faces supérieure AV et inférieure

20 AR du substrat 1, chaque évidement 6 contenant :

- un élément conducteur 4 (ou vias) disposé de manière sensiblement verticale et débouchant de part et d'autre des faces du substrat,
- ainsi qu'un volume de matériau isolant 5 disposé autour de l'élément conducteur 4 pour isoler électriquement l'élément conducteur 4 du substrat 1, l'ensemble formé par

25 l'élément conducteur 4 et le volume de matériau isolant 5 comblant l'évidement 6 ; et

- des premiers et deuxièmes points de contact électrique 23, 24 disposés respectivement sur la face supérieure AV et la face inférieure AR du substrat 1, chaque fil conducteur 4 reliant un des premiers points de contact électrique 23 à un des deuxièmes points de contact électrique 24.

30

Par exemple, le diamètre de l'évidement est égal à 200µm et le fil conducteur peut présenter un diamètre de 20 à 40 µm. De préférence, le ratio du diamètre de l'évidement sur celui de l'élément conducteur est supérieur ou égal à 5. De préférence, le ratio de l'épaisseur de l'isolant sur le diamètre du fil conducteur est supérieur ou égal à 2. Par

épaisseur de l'isolant on entend la valeur moyenne de la distance séparant le fil conducteur de la paroi de l'évidement. Dans le cas d'un fil et d'un évidement cylindrique, cette épaisseur moyenne correspond sensiblement à la moitié de la différence des diamètres de l'évidement et du fil. Par exemple, le diamètre de l'évidement est égal 5 à 200 $\mu\text{m}$ , et le fil conducteur peut présenter un diamètre de 20 à 40  $\mu\text{m}$ , le volume de matériau isolant occupant le reste de l'espace dans l'évidement. Par exemple, la couche isolante peut présenter une épaisseur moyenne de 80 à 90  $\mu\text{m}$ .

Le procédé de fabrication d'une telle structure de support selon un mode de 10 réalisation, est illustré aux figures 2 à 10, et consiste tout d'abord à réaliser (figure 3) plusieurs premiers plots conducteurs 21 sur la face supérieure AV du substrat 1 (figure 2), et à réaliser plusieurs deuxièmes plots conducteurs 22 sur la face inférieure AR du substrat 1. Par exemple, le substrat 1 peut présenter une couche de silicium de l'ordre de 300 $\mu\text{m}$  et des couches d'oxyde de l'ordre de 2 $\mu\text{m}$  chacune. De préférence, les premiers 15 plots conducteurs 21 sont disposés en décalage par rapport aux deuxièmes plots conducteurs 22, c'est-à-dire que les premiers plots conducteurs 21 ne sont pas en regard des deuxièmes plots conducteurs 22. Les premiers et deuxièmes plots conducteurs 21, 22 peuvent être réalisés par un dépôt d'une couche métallique sur les faces inférieure AR et supérieure AV du substrat 1, par exemple un alliage Chrome-Or, puis par 20 photolithographie et gravure de ces couches métalliques pour former les premiers et deuxièmes plots conducteurs 21, 22.

En pratique, une contreplaque 3, par exemple un substrat en silicium, est solidarisée (figure 4) aux deuxièmes plots conducteurs 22, ces deuxièmes plots conducteurs 22 se 25 retrouvant entre la contreplaque 3 et la couche diélectrique 12 du substrat 1.

Des évidements 6 débouchant sur les faces inférieure AR et supérieure AV du substrat 1 sont ensuite réalisés (figure 5), par exemple par photolithographie et par gravure ionique réactive profonde (ou DRIE acronyme anglo-saxon pour « Deep Reactive 30 Ion Etching »). Chaque évidement 6 débouche sur un des deuxièmes plots conducteurs 22. Dans un souci de clarté, un seul évidement a été représenté dans les figures 5 à 10.

L'étape suivante consiste à disposer (figure 6) dans chaque évidement 6, un fil conducteur 4 formant l'élément conducteur s'étirant du deuxième plot conducteur 22

associé à l'évidement 6 vers un premier plot conducteur 21. Le fil conducteur 4 peut être un fil d'or de dimensions micrométriques, réalisé selon une technique de report de contact plus connu sous le nom de « wire-bonding » en anglais. En pratique, une extrémité du fil conducteur 4 est soudée au fond de l'évidement 6 sur le deuxième plot conducteur 22, 5 suivant la technique dite du « ball bonding » - technique qui consiste à réaliser initialement par fusion une boule 40 de soudure à une des extrémités du fil, à souder cette boule sur un plot métallique par thermo compression, puis à tirer le fil conducteur 4 à la verticale et à souder son autre extrémité au premier plot conducteur 21. Dans cette réalisation particulière, le diamètre minimal de l'évidement 6 est donc limité par la taille 10 des instruments utilisés pour réaliser le « wire bonding ». Bien évidemment, d'autres techniques, telles que la soudure électrique ou le « wedge-bonding », peuvent également être utilisées pour souder le fil conducteur au fond de l'évidement. Le fil conducteur 4 de chaque évidement 6 est maintenu sensiblement centré entre les parois de l'évidement 6, et un matériau isolant 5 sous forme liquide est versé (figure 7) dans chaque évidement 6 de 15 manière à remplir lesdits évidements et à former une couche permettant d'isoler électriquement le fil conducteur 4 du substrat 1. S'ensuit une étape de durcissement du matériau isolant déposé sous forme liquide, ce durcissement pouvant être obtenu, par exemple, par une polymérisation, un séchage ou une solidification, suivant le type de matériau isolant utilisé. La surface supérieure AV du substrat 1 est ensuite polie (figure 8) 20 de manière à réaliser une coupe du fil conducteur 4, et à éliminer tout résidus sur la surface supérieure AV du substrat 1. Une couche métallique est ensuite déposée sur cette face supérieure AV pour réaliser (figure 9) des premiers points de contact électrique 23 au niveau des fils conducteurs 4.

25 Enfin, la contreplaque 3 est éliminée (figure 10). La face inférieure AR du substrat 1 est ensuite polie et une couche métallique est déposée sur cette face inférieure AR afin de reprendre les contacts sur les fils conducteurs 4. Par exemple, les deuxièmes points de contact électrique 24 sont réalisés sur la face inférieure AR du substrat 1 par photolithogravure de la couche métallique.

30

Il ressort de ce qui précède que le procédé de fabrication de l'invention permet d'obtenir une structure de support d'interconnexion compact présentant des capacités parasites négligeables, ainsi que des vias de faible résistivité. En outre, ce procédé de fabrication évite l'apparition de bulle d'air, rendant la structure d'interconnexion ainsi

réalisée plus fiable, offrant ainsi un meilleur taux de fabrication. Le procédé de fabrication de l'invention est donc moins coûteux et plus aisé. En outre, ce procédé peut être mis en œuvre dans une fabrication de masse, ce qui réduit les coûts de production.

5 L'utilisation de cette structure autorise la connexion de circuits de technologies différentes et permet notamment d'augmenter la densité d'intégration des circuits intégrés. Les composants ou produits intégrant cette structure de support fabriquée selon le procédé de l'invention peuvent donc être plus compact. En outre, les longueurs d'interconnexion électrique entre les circuits étant réduites, la vitesse de transmission des  
10 signaux est améliorée.

## REVENDEICATIONS

1. Procédé de fabrication d'une structure de support d'interconnexion pour circuits intégrés, *caractérisé* en ce qu'il comprend au moins :
- 5 - la réalisation d'au moins un premier plot conducteur (21) sur la face supérieure (AV) d'un substrat (1), et d'au moins un deuxième plot conducteur (22) sur la face inférieure (AR) dudit substrat (1) ;
  - la solidarisation d'une contreplaque (3) audit deuxième plot conducteur (22) ;
  - la réalisation d'au moins un évidement (6) traversant l'épaisseur du substrat (1) et débouchant sur le deuxième plot conducteur (22) ;
  - 10 - la réalisation d'un fil conducteur (4) à l'intérieur de l'évidement (6), ledit fil conducteur (4) reliant le deuxième plot conducteur (22) au premier plot conducteur (21) ;
  - le remplissage de l'évidement (6) par un matériau isolant (5), de manière à isoler
  - 15 électriquement le fil conducteur (4) du substrat (1) ;
  - l'élimination de la portion de fil conducteur (4) à l'extérieur de l'évidement (6) ;
  - le dépôt d'un point de contact électrique sur la face supérieure (AV) au niveau du fil conducteur (4), le deuxième plot conducteur (22) formant un autre point de contact électrique ; et
  - 20 - l'élimination de la contreplaque (3).
2. Structure de support d'interconnexion pour circuits intégrés comprenant au moins :
- un substrat (1) ;
  - 25 - un évidement (6) débouchant de part et d'autres des faces supérieure (AV) et inférieure (AR) du substrat (1) ;
  - un élément conducteur (4) disposé dans l'évidement (6) reliant électriquement des premier et deuxième points de contact électrique (23, 24) disposés respectivement sur la face supérieure (AV) et inférieure (AR) du substrat (1) ; et
  - 30 - un volume de matériau isolant (5) disposé autour de l'élément conducteur (4) pour isoler électriquement l'élément conducteur (4) du substrat (1),
- caractérisé* en ce que l'élément conducteur (4) est un fil conducteur présentant une boule (40) de soudure à une de ses extrémités.

**3.** Structure de support d'interconnexion selon la revendication 2, caractérisé en ce que le ratio du diamètre de l'évidement (6) sur le diamètre de l'élément conducteur (4) est supérieur ou égal à 5.

1/5

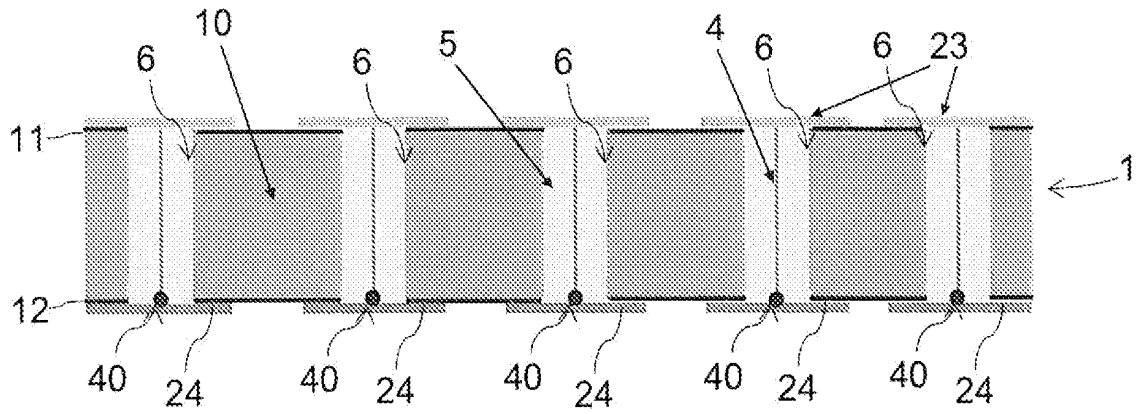


Fig. 1

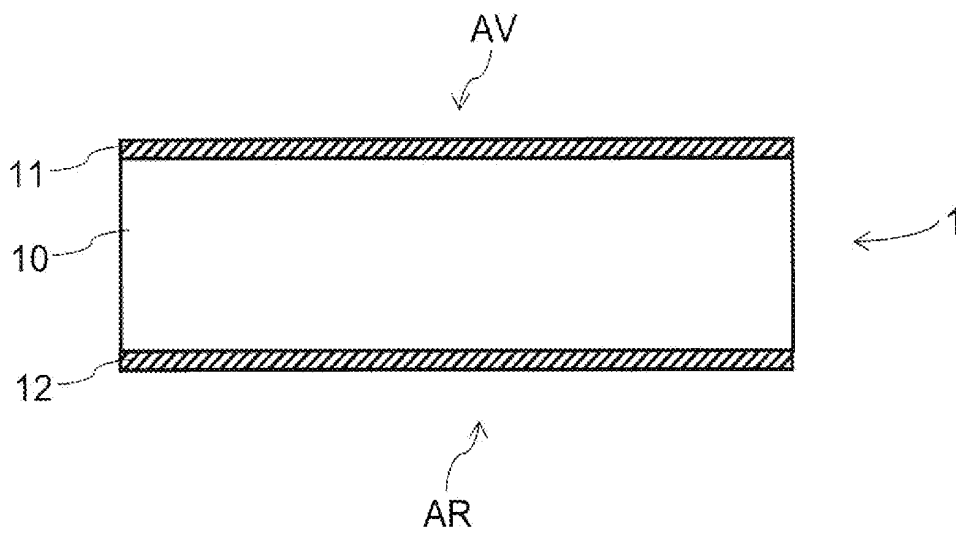


Fig. 2

2/5

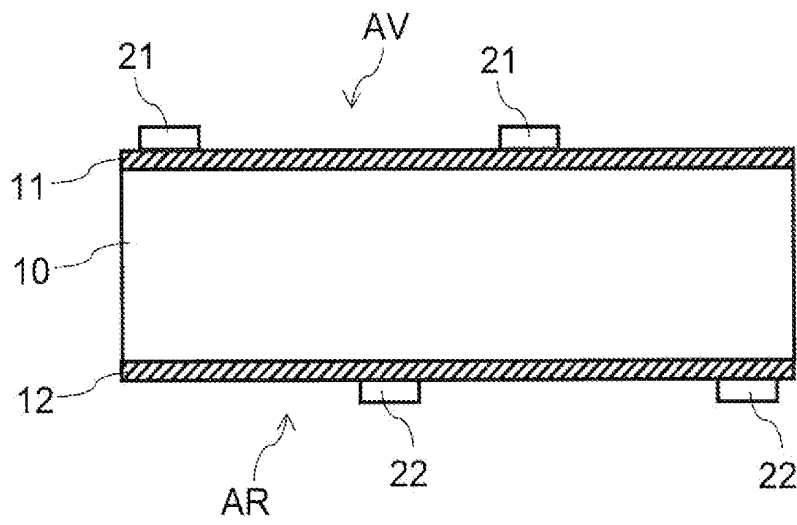


Fig. 3

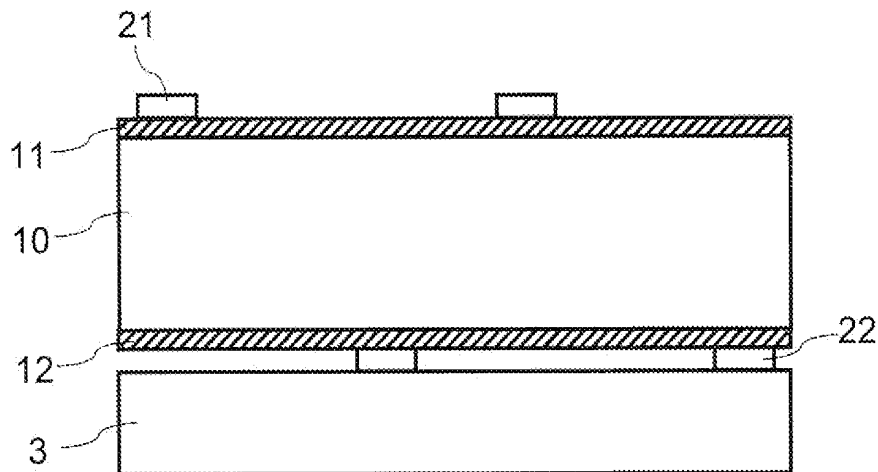


Fig. 4

3/5

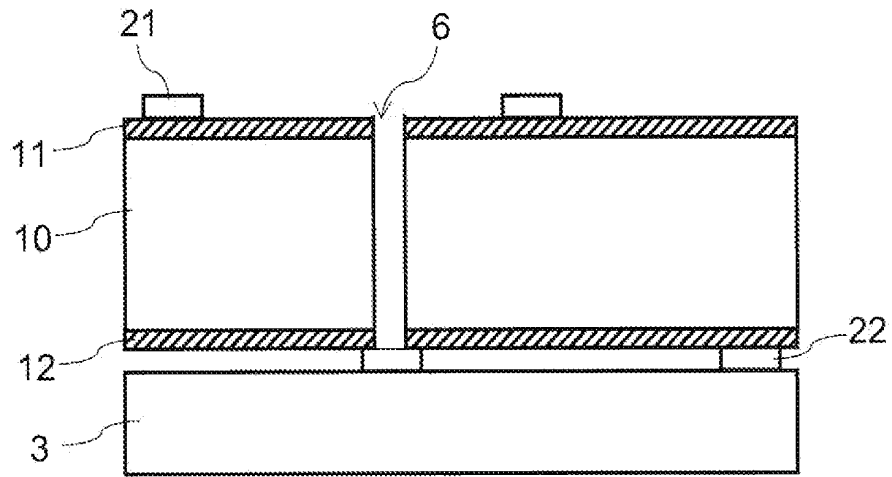


Fig. 5

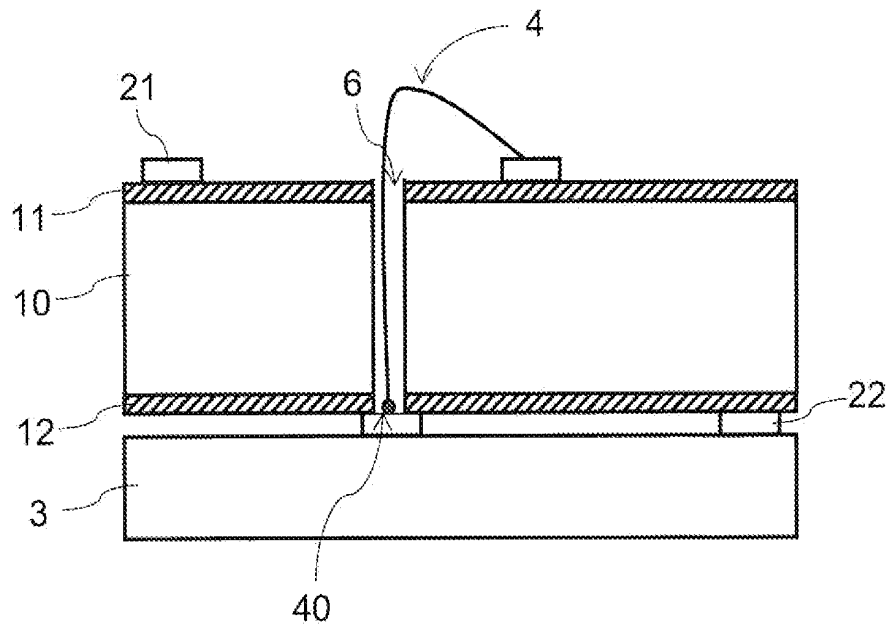


Fig. 6

4/5

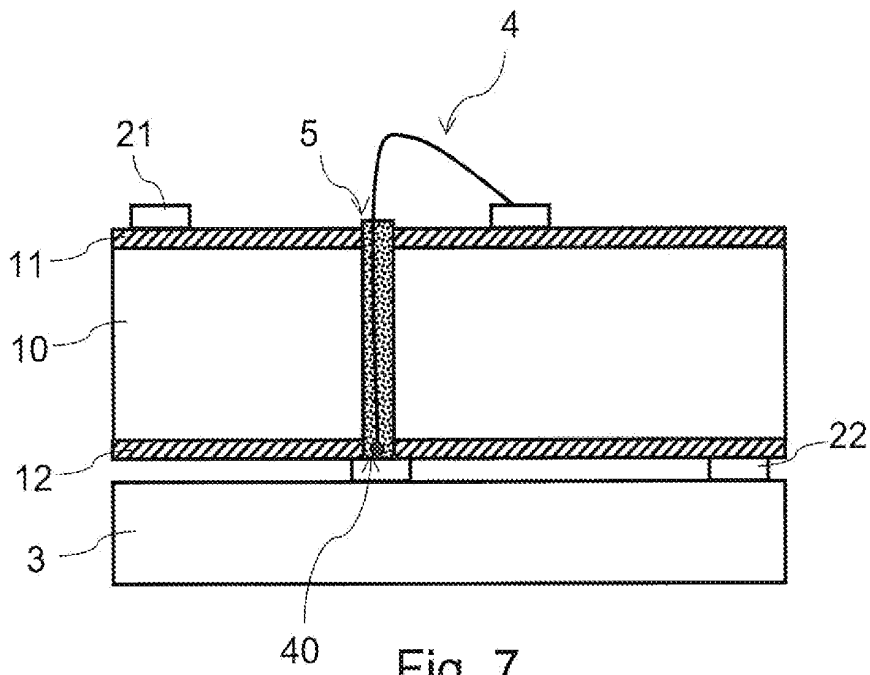


Fig. 7

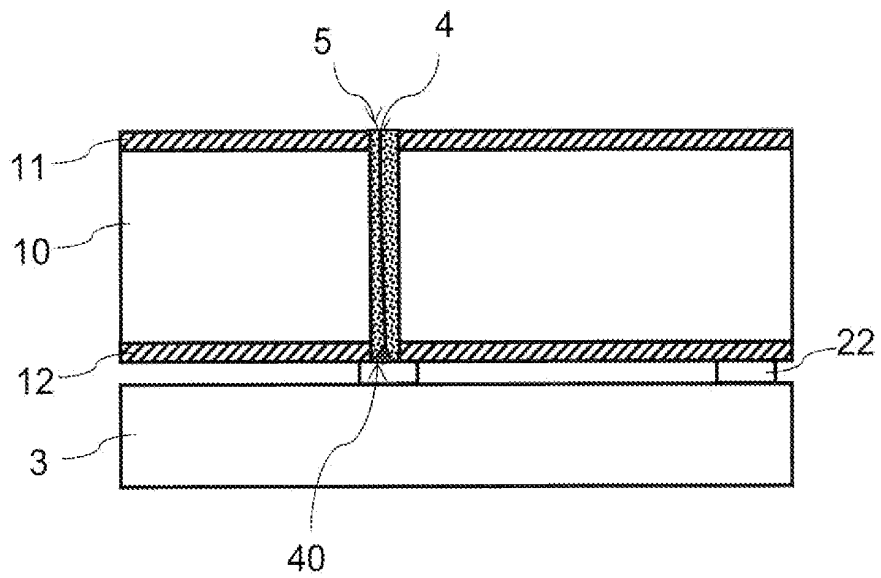


Fig. 8

5/5

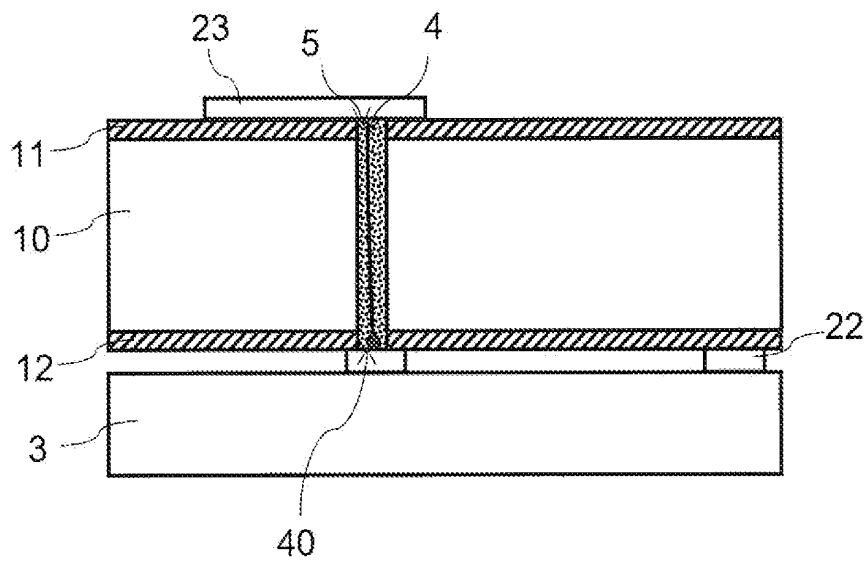


Fig. 9

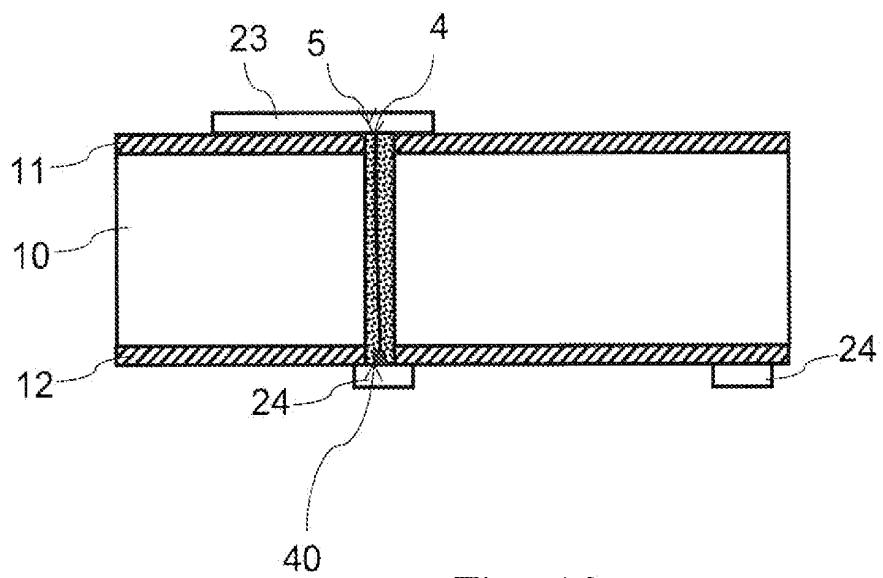


Fig. 10



**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**

N° d'enregistrement  
national

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

FA 733623  
FR 1051551

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
Y	JP 2007 157771 A (MATSUSHITA ELECTRIC IND CO LTD) 21 juin 2007 (2007-06-21)	2,3	H01L21/60 H05K3/32
A	* alinéas [0060] - [0067]; figures 7-9 *	1	
Y	US 2007/246819 A1 (HEMBREE DAVID R [US] ET AL) 25 octobre 2007 (2007-10-25)	2,3	
A	* alinéas [0053] - [0057], [0063]; revendications; figures *	1	
A	US 2009/127667 A1 (IWATA RONALD TAKAO [TW]) 21 mai 2009 (2009-05-21)	1	
A	* revendications; figures *		
A	US 2006/281294 A1 (YAMAMOTO SATOSHI [JP] ET AL) 14 décembre 2006 (2006-12-14)	1	
A	* alinéas [0039] - [41.50]; figures 3,4 *		
A	US 2009/321124 A1 (KUMANO YUTAKA [JP] ET AL) 31 décembre 2009 (2009-12-31)	1	
A	* alinéas [0059] - [0068]; figure 1 *		
A	US 2005/260791 A1 (BEATSON DAVID T [US] ET AL) 24 novembre 2005 (2005-11-24)	1	DOMAINES TECHNIQUES RECHERCHÉS (IPC)  H05K H01L H01R
A	* alinéas [0039] - [0041], [0050]; figures 6,9 *		
A	US 2009/145649 A1 (HORIUCHI MICHIO [JP] ET AL) 11 juin 2009 (2009-06-11)	1	
	* alinéas [0110] - [0114], [0116] - [0118]; figures 4,9 *		
Date d'achèvement de la recherche		Examineur	
12 octobre 2010		Mes, Leendert	
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul                      Y : particulièrement pertinent en combinaison avec un                      autre document de la même catégorie                      A : arrière-plan technologique                      O : divulgation non-écrite                      P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention                      E : document de brevet bénéficiant d'une date antérieure                      à la date de dépôt et qui n'a été publié qu'à cette date                      de dépôt ou qu'à une date postérieure.                      D : cité dans la demande                      L : cité pour d'autres raisons</p> <p>&amp; : membre de la même famille, document correspondant</p>			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1051551 FA 733623**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 12-10-2010

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
JP 2007157771	A	21-06-2007	AUCUN	
-----				
US 2007246819	A1	25-10-2007	EP 2016607 A2	21-01-2009
			JP 2009534865 T	24-09-2009
			KR 20080111156 A	22-12-2008
			US 2010047934 A1	25-02-2010
			WO 2007133302 A2	22-11-2007
-----				
US 2009127667	A1	21-05-2009	US 2010167534 A1	01-07-2010
-----				
US 2006281294	A1	14-12-2006	CN 1516241 A	28-07-2004
			EP 1432024 A2	23-06-2004
			JP 4071615 B2	02-04-2008
			JP 2004200584 A	15-07-2004
			KR 20040055642 A	26-06-2004
			US 2004180539 A1	16-09-2004
-----				
US 2009321124	A1	31-12-2009	JP 2010010248 A	14-01-2010
-----				
US 2005260791	A1	24-11-2005	AUCUN	
-----				
US 2009145649	A1	11-06-2009	JP 2009135221 A	18-06-2009
-----				