

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 8 月 6 日 (06.08.2020)



(10) 国际公布号
WO 2020/155217 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01) **G02F 1/1343** (2006.01)

(21) 国际申请号: PCT/CN2019/075516

(22) 国际申请日: 2019 年 2 月 20 日 (20.02.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910089130.X 2019 年 1 月 30 日 (30.01.2019) CN

(71) 申请人: 惠科股份有限公司(**HKC CORPORATION LIMITED**) [CN/CN]; 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。

(72) 发明人: 单剑锋(**SHAN, Jianfeng**); 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。

(74) 代理人: 深圳市百瑞专利商标事务所(普通合伙)(**SHENZHEN BAIRUI PATENT&TRADEMARK OFFICE**); 中国广东省深圳市福田区香蜜湖街道竹子林七路 2 号益华综合楼 A 栋第六层西 01#, Guangdong 518000 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) **Title:** DRIVE METHOD, DISPLAY PANEL AND DRIVE CIRCUIT

(54) 发明名称: 驱动方法、显示面板和驱动电路

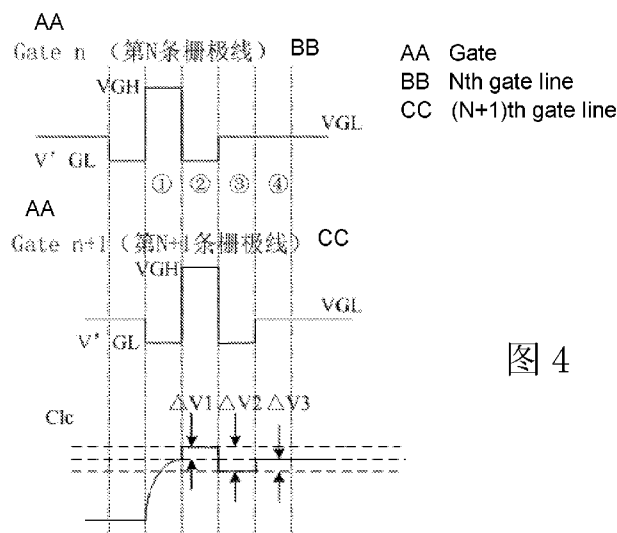


图 4

(57) **Abstract:** A drive method, a display panel (110) and a drive circuit (120). The drive method is applied to the display panel (110), and comprises the step of outputting a gate drive signal to a corresponding gate line (140) of the display panel (110), wherein a signal period of the gate drive signal comprises a hold time, a turn-on time, and a first pull-down time adjacent to the turn-on time; the gate drive signal is at a first low level within the hold time, is at a high level within the turn-on time, and is at a second low level within the first pull-down time; and the second low level is lower than the first low level.

(57) **摘要:** 一种驱动方法、显示面板 (110) 和驱动电路 (120), 驱动方法应用于显示面板 (110), 包括输出栅极驱动信号给显示面板 (110) 对应的栅极线 (140) 的步骤, 栅极驱动信号的一个信号周期包括维持时间、打开时间和与打开时间相邻的第一下拉时间; 栅极驱动信号在维持时间内为第一低电平; 在打开时间内为高电平; 在第一下拉时间内为第二低电平; 第二低电平低于第一低电平。

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

驱动方法、显示面板和驱动电路

5 本申请要求于 2019 年 1 月 30 日提交中国专利局，申请号为 CN201910089130.X，发明名称为“一种驱动方法、显示面板和驱动电路”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

10 本申请涉及显示技术领域，尤其涉及一种驱动方法、显示面板和驱动电路。

背景技术

这里的陈述仅提供与本申请有关的背景信息，而不必然地构成现有技术。

随着科技的发展和进步，平板显示器由于具备机身薄、省电和辐射低等热点而成为显示
15 器的主流产品，得到了广泛应用。平板显示器包括薄膜晶体管液晶显示器(Thin Film Transistor-Liquid Crystal Display, TFT-LCD)和有机发光二极管(Organic Light-Emitting Diode, OLED)显示器等。其中，薄膜晶体管液晶显示器通过控制液晶分子的旋转方向，以将背光模组的光线折射出来产生画面，具有机身薄、省电、无辐射等众多优点。而有机发光二极管显示器是利用有机电致发光二极管制成，具有自发光、响应时间短、清晰度与对比度高、可实
20 现柔性显示与大面积全色显示等诸多优点。

在液晶显示器的使用中，显示画面的清晰度以及稳定性是我们一直在解决的重要问题，画面常受到驱动电压的影响，导致产生一些闪烁,此类现象亟待解决。

技术解决方案

25 为实现上述目的，本申请提供了能够解决显示画面闪烁的一种驱动方法、显示面板和驱动电路。

本申请还公开了一种驱动方法，应用于显示面板，所述显示面板包括多条数据线、多条栅极线和多个像素，所述栅极线和所述数据线互相交错形成，多个像素分别由对应的数据线和栅极线驱动，所述每个像素包括对应的像素电极；

30 所述驱动方法包括输出栅极驱动信号给所述显示面板对应的栅极线的步骤；

其中，所述栅极驱动信号的一个信号周期包括维持时间、打开时间和与打开时间相邻的第一下拉时间；所述栅极驱动信号在维持时间内为第一低电平；所述栅极驱动信号在打开时

间内为高电平；所述栅极驱动信号在第一下拉时间内为第二低电平；所述第二低电平的电压值低于所述的第一低电平的电压值。

可选的，所述第一下拉时间位于所述打开时间之前，所述栅极驱动信号的一个信号周期还包括位于打开时间之后的第二下拉时间；所述栅极驱动信号在第二下拉时间内为第三低电平；所述第三低电平的电压值低于所述的第一低电平的电压值。

可选的，所述第一下拉时间和所述打开时间时长相等。

可选的，所述第一下拉时间和所述打开时间时长相等；在上一栅极线的栅极驱动信号对应于所述打开时间时，所述的当前栅极线的栅极驱动信号对应于第一下拉时间内。

可选的，所述打开时间和所述第二下拉时间时长相等。

可选的，所述打开时间和所述第二下拉时间时长相等；在上一栅极线的栅极驱动信号对应于第二下拉时间时，当前栅极线的栅极驱动信号对应于所述打开时间。

可选的，所述第二低电平的电压值和所述第三低电平的电压值相等。

可选的，所述每个像素包括一个像素电极，同一栅极线连接相邻的两个像素为一像素组，所述像素组包括与不同的数据线连接的第一像素和第二像素；

可选的，所述像素组的第一像素的像素电极与上一栅极线重叠，形成第一重叠区；所述第一重叠区的面积为 $S1$ ，所述第一像素的第一重叠区与上一栅极线重叠形成的存储电容为 $Cst1$ ，所述第一像素的像素电容为 $Cic1$ ，所述第一像素的像素电极与当前栅线形成的寄生电容为 $Cgs1$ ；所述第一低电平和所述第三低电平的电压值为 V'_{GL} ，所述高电平的电压值为 VGH ，所述第二低电平的电压值为 VGL ； $Cst1 = (VGH - VGL) * Cgs1 / (VGL - V'_{GL})$ 。

可选的，所述像素组的第二像素的像素电极与下一栅极线重叠，形成第二重叠区；所述第二重叠区的面积为 $S2$ ，所述第二像素的第二重叠区与下一栅极线重叠形成的存储电容为 $Cst2$ ，所述第二像素的像素电容为 $Cic2$ ，所述第二像素的像素电极与当前栅线形成的寄生电容为 $Cgs2$ ；所述第一低电平和所述第三低电平的电压值为 V'_{GL} ，所述高电平的电压值为 VGH ，所述第二低电平的电压值为 VGL ； $Cst2 = (VGH - VGL) * Cgs2 / (VGL - V'_{GL})$ 。

本申请还公开了一种使用了上述驱动方法的显示面板，其中，所述显示面板包括多条数据线、多条栅极线和多个像素，所述栅极线和所述数据线互相交错形成，多个像素分别由对应的数据线和栅极线驱动，所述每个像素包括对应的像素电极；同一栅极线连接相邻的两个像素为一个像素组，所述像素组包括与不同的数据线连接的第一像素和第二像素；其中，所述像素组的第一像素的像素电极与上一栅极线重叠，形成第一重叠区；所述像素组的第二像素的像素电极与下一栅极线重叠，形成第二重叠区。

可选的，所述栅极线包括互相导通的主栅极线和辅栅极线，所述主栅极线与辅栅极线垂直。

可选的，所述辅栅极线包括第一辅栅极线和第二辅栅极线，所述第一辅栅极线和所述第二辅栅极线平行设置。

可选的，所述栅极线包括相互导通的主栅极线和辅栅极线，所述主栅极线与所述数据线交叉设置，所述辅栅极线与所述数据线平行设置。

5 可选的，所述辅栅极线与当前主栅极线对应的第一像素的像素电极之间以及上一主栅极线对应的第二像素的像素电极之间都设有第一安全距离。

可选的，所述辅栅极线与对应的数据线之间设有第二安全距离。

可选的，所述第一辅栅极线与上一栅极线对应的第二像素的像素电极形成第一重叠区，所述第二辅栅极线与所述下一栅极线对应的第一像素的像素电极形成第二重叠区。

10 可选的，所述第一重叠区的面积为 S_1 ，所述第二重叠区的面积为 S_2 。

本申请还公开了一种驱动电路，所述驱动电路驱动如上所述的显示面板，所述驱动电路包括：栅极驱动电路，输出栅极驱动信号给所述显示面板对应的栅极线；其中，所述栅极驱动电路输出的栅极驱动信号的一个信号周期包括：维持时间、打开时间和与打开时间相邻的第一下拉时间；所述栅极驱动信号在维持时间内为第一低电平；所述栅极驱动信号在打开时间为高电平；所述栅极驱动信号在第一下拉时间内为第二低电平；所述第二低电平的电压值
15 低于所述的第一低电平的电压值。

可选的，所述第一下拉时间位于所述打开时间之前，所述栅极驱动信号的一个信号周期还包括位于打开时间之后的第二下拉时间；所述栅极驱动信号在第二下拉时间内为第三低电平；所述第三低电平的电压值低于所述的第一低电平的电压值。

20 相对于栅极驱动信号在一个周期时间内保持相同电平信号输入的方案来说，本申请每个栅极驱动信号的一个周期包括三个时间段，分别是维持时间，打开时间和第一下拉时间，第一下拉时间与打开时间相邻，栅极驱动信号在维持时间内是第一低电平，打开时间内为高电平，下拉时间内为第二低电平，由于栅极线跟像素电极存在寄生电容 C_{gs} ，当像素充电后元件关闭时，栅极电压的变化透过寄生电容 C_{gs} 对于像素的液晶电容及储存电容电荷产生再分配作用，使得原像素充电后的电压产生反向（kickback）的现象，第一下拉时间内的第二低电平的电压值小于维持时间内的第一低电平的电压值，第一下拉时间用于调节像素电极和栅极线之间产生的寄生电容所产生的反向电压，减少甚至消除闪烁问题的产生。

附图说明

30 图所包括的附图用来提供对本申请实施例的进一步的理解，其构成了说明书的一部分，用于例示本申请的实施方式，并与文字描述一起来阐释本申请的原理。显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳

动性的前提下，还可以根据这些附图获得其他的附图。在附图中：

图 1 是本申请的一实施例的一种显示面板的像素放大的示意图；

图 2 是本申请的一实施例的像素结构电路的示意图；

图 3 是本申请的一实施例的一种只有一个下拉时间的驱动波形的示意图；

5 图 4 是本申请的一实施例的具有两个下拉时间的的驱动波形的示意图；

图 5 是本申请的另一实施例的一种驱动波形的示意图；

图 6 是本申请的另一实施例的像素结构的示意图；

图 7 是本申请的另一实施例的驱动电路的示意图；

图 8 是本申请的另一实施例的显示装置的示意图。

10

具体实施方式

下需要理解的是，这里所使用的术语、公开的具体结构和功能细节，仅仅是为了描述具体实施例，是代表性的，但是本申请可以通过许多替换形式来具体实现，不应被解释成仅受限于这里所阐述的实施例。

15 在本申请的描述中，术语“第一”、“第二”仅用于描述目的，而不能理解为指示相对重要性，或者隐含指明所指示的技术特征的数量。由此，除非另有说明，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征；“多个”的含义是两个或两个以上。术语“包括”及其任何变形，意为不排他的包含，可能存在或添加一个或更多其他特征、整数、步骤、操作、单元、组件和/或其组合。

20 另外，“中心”、“横向”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系的术语，是基于附图所示的方位或相对位置关系描述的，仅是为了便于描述本申请的简化描述，而不是指示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。

此外，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解，例如
25 如可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连，或是两个元件内部的连通。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本申请中的具体含义。

下面参考附图和可选的实施例对本申请作进一步说明。

参考图 1 至图 5，本实施例公开了一种驱动方法，应用于显示面板 110，如图 1 所示，
30 显示面板 110 包括多条数据线 130、多条栅极线 140 和多个像素 150，栅极线 130 和数据线 140 互相交错，多个像素 150 分别由对应的数据线 130 和栅极线 140 驱动，每个像素 150 包括对应的像素电极；

驱动方法包括输出栅极驱动信号给显示面板 110 对应的栅极线的步骤；

其中，栅极驱动信号的一个信号周期包括维持时间、打开时间和与打开时间相邻的第一下拉时间；参考图 3，栅极驱动信号在维持时间内为第一低电平；在打开时间为高电平；在第一下拉时间内为第二低电平；第二低电平低于的第一低电平。

5 本方案中，每个栅极驱动信号的一个周期包括三个时间段，分别是维持时间，打开时间和第一下拉时间，第一下拉时间与打开时间相邻，栅极驱动信号在维持时间内是第一低电平，打开时间内为高电平，下拉时间内为第二低电平，参考图 2 所示，由于栅极线 140 跟像素电极存在寄生电容 C_{gs} ，当像素 150 充电后元件关闭时，栅极电压的变化通过寄生电容 C_{gs} 对于画素的液晶电容及储存电容电荷产生再分配作用，使得原像素 150 充电后的电压产生反向
10 (kickback) 的现象，第一下拉时间内的第二低电平的电压值小于维持时间内的第一低电平的电压值，为了拉低反向电压的值，在第一下拉时间内调节像素电极和栅极线 140 之间产生的寄生电容所产生的反向电压，减少甚至消除闪烁问题的产生。

在一实施例中，参考图 4 所示，第一下拉时间位于打开时间之前；栅极驱动信号的一个信号周期还包括位于打开时间之后的第二下拉时间；栅极驱动信号在第二下拉时间内为第三
15 低电平；第三低电平的电压值低于的第一低电平的电压值。

本方案中，寄生电容对于画素的液晶电容及储存电容电荷产生再分配作用，使得原像素 150 充电后的电压产生反向，打开时间内栅极驱动信号为高电平信号，第一下拉时间和第二下拉时间内为低电平信号，且该低电平的电压值都小于维持时间内的低电平的电压值，两个
20 下拉时间内的低电平主要是拉低反向电压，可以更好的解决甚至消除寄生电容产生的反向电压给显示画面的闪烁问题。

在一实施例中，第一下拉时间和打开时间时长相等；在上一栅极线 140 的栅极驱动信号对应于打开时间时，当前栅极线 140 的栅极驱动信号对应于第一下拉时间内。

本方案中，第一下拉时间和打开时间时长相等，在上一栅极线 140 的栅驱动信号对应与打开时间时，当前的栅极线 140 的栅驱动信号刚好对应与第一下拉时间内，若时长不相等，
25 则无法实现对应，造成混乱，不能形成正确的回路，导致显示面板 110 显示异常。

在一实施例中，打开时间和第二下拉时间时长相等；在上一栅极线 140 的栅极驱动信号对应于第二下拉时间时，当前栅极线 140 的栅极驱动信号对应于打开时间内。

本方案中，在上一栅极线 140 的栅极驱动信号对应于第二下拉时间时，当前栅极线 140 的栅极驱动信号对应于打开时间内，保证打开时间和第二下拉时间时长相等，这样才能实现
30 各栅极线 140 之间的相互对应，形成正确的回路。

在一实施例中，第二低电平的电压值和第三低电平的电压值相等。

本方案中，寄生电容的电压产生的再分配，导致出现电压反向的问题，影响画面，第二

低电平电压值与第三低电平电压值相等，第二低电平电压值和第三低电平电压值都是用以调节 kickback 现象，形成更加准确的回路，减轻甚至消除 kickback 的影响。

在一实施例中，每个像素 150 包括一个像素电极，同一栅极线 140 连接相邻的两个像素 150 为一像素组 160，像素组 160 包括与不同的数据线 130 连接的第一像素 161 和第二像素 162；

其中，像素组 160 的第一像素 161 的像素电极与上一栅极线 140 重叠，形成第一重叠区 170；第一像素 161 的第一重叠区 170 与上一栅极线 140 重叠形成的存储电容为 C_{st1} ，第一像素 161 的像素电容为 C_{lc1} ，第一像素 161 的像素电极与当前栅线形成的寄生电容为 C_{gs1} ；

第一低电平和第三低电平的电压值为 V'_{GL} ，高电平的电压值为 V_{GH} ，第二低电平的电压值为 V_{GL} ；

$$C_{st1} = (V_{GH} - V_{GL}) * C_{gs1} / (V_{GL} - V'_{GL})$$

本方案中，参考附图 4，可知

$$\text{At } ①, V_{\text{pixel}} = V_{\text{data}}$$

$$\text{At } ②, \Delta V_1 = \Delta V'_{1} + \Delta V''_{1}$$

$$\Delta V'_{1} = (V_{GH} - V'_{GL}) * C_{gs1} / (C_{gs} + C_{st} + C_{lc})$$

$$\Delta V''_{1} = (V'_{GL} - V_{GH}) * C_{st1} / (C_{gs} + C_{st} + C_{lc})$$

$$\text{At } ③, \Delta V_2 = \Delta V'_{2} + \Delta V''_{2}$$

$$\Delta V'_{2} = (V'_{GL} - V_{GL}) * C_{gs1} / (C_{gs} + C_{st} + C_{lc})$$

$$\Delta V''_{2} = (V_{GH} - V'_{GL}) * C_{st1} / (C_{gs} + C_{st} + C_{lc})$$

$$\text{At } ④, \Delta V_3 = (V'_{GL} - V_{GL}) * C_{st1} / (C_{gs} + C_{st} + C_{lc})$$

为了减少 kickback 造成闪烁，设置， $C_{st1} = (V_{GH} - V_{GL}) * C_{gs1} / (V_{GL} - V'_{GL})$ ，形成正确的回路，消除反向电压的影响，避免出现闪烁。

在一实施例中，参考附图 1 所示，每个像素 150 包括一个像素电极，同一栅极线 140 连接相邻的两个像素 150 为一像素组 160，像素组 160 包括与不同的数据线 130 连接的第一像素 161 和第二像素 162；

参考附图 6 所示，像素组 160 的第二像素 162 的像素电极与下一栅极线 140 重叠，形成第二重叠区 180；

第二像素 162 的第二重叠区 180 与下一栅极线 140 重叠形成的存储电容为 C_{st2} ，第二像素 162 的像素电容为 C_{lc2} ，第二像素 162 的像素电极与当前栅线形成的寄生电容为 C_{gs2} ；

第一低电平和第三低电平的电压值为 V'_{GL} ，高电平的电压值为 V_{GH} ，第二低电平的电压值为 V_{GL} ；

$$C_{st2} = (V_{GH} - V_{GL}) * C_{gs2} / (V_{GL} - V'_{GL})$$

本方案中，参考附图 5 所示，

At ①, $V_{\text{pixel}} = V_{\text{data}}$

At ②, $\Delta V_1 = \Delta V'_1 + \Delta V''_1$

$\Delta V'_1 = (V_{\text{GH}} - V'_{\text{GL}}) * C_{\text{gs}2} / (C_{\text{gs}} + C_{\text{st}} + C_{\text{lc}})$

5 $\Delta V''_1 = (V'_{\text{GL}} - V_{\text{GL}}) * C_{\text{st}2} / (C_{\text{gs}} + C_{\text{st}} + C_{\text{lc}})$

At ③, $\Delta V_2 = (V'_{\text{GL}} - V_{\text{GL}}) * C_{\text{gs}2} / (C_{\text{gs}} + C_{\text{st}} + C_{\text{lc}})$

为了减少 kickback 造成闪烁，设置， $C_{\text{st}2} = (V_{\text{GH}} - V_{\text{GL}}) * C_{\text{gs}1} / (V_{\text{GL}} - V'_{\text{GL}})$ ，同样能形成正确的回路，消除反向电压的影响，避免出现闪烁。

10 如图 1 和图 6 所示，作为本申请的另一实施例，公开了一种使用了上述驱动方法的显示面板 110，包括多条数据线 130、多条栅极线 140 和多个像素 150，栅极线 130 和数据线 140 互相交错，多个像素 150 分别由对应的数据线 130 和栅极线 140 驱动，每个像素 150 包括对应的像素电极；同一栅极线 140 连接相邻的两个像素 150 为一个像素组 160，像素组 160 包括与不同的数据线 130 连接的第一像素 161 和第二像素 162；

15 其中，像素组 160 的第一像素 161 的像素电极与上一栅极线 140 重叠，形成第一重叠区 170；像素组 160 的第二像素 162 的像素电极与下一栅极线 140 重叠，形成第二重叠区 180。

本方案中，像素组 160 内的两个像素 150 分别对应不同的数据线 130，能够更好保证每个像素 150 的数据驱动电压的大小，防止像素电极本身的负载导致数据电压的降低，另外像素组 160 内的不同像素 150 的像素电极分别与上一栅极线 140 和下一栅极线 140 重叠，形成两个不同的存储电容，加大存储电容，可以减少像素电极与栅极线 140 产生的寄生电容的影响，减少甚至消除寄生电容对液晶电容和存储电容的再分配作用而导致显示面板 110 产生闪烁的问题，还可以降低开口率，提高液晶分子的穿透率，实现大视角色偏。

25 在一实施例中，栅极线 140 包括互相导通且相互垂直的主栅极线 141 和辅栅极线 142，辅栅极线 142 包括第一辅栅极线 1421 和第二辅栅极线 1422，第一辅栅极线 1421 与上一栅极线 140 对应的第二像素 162 的像素电极形成第一重叠区 170，第二辅栅极线 1422 与下一栅极线 140 对应的第一像素 161 的像素电极形成第二重叠区 180，辅栅极线与当前主栅极线对应的第一像素的像素电极之间以及上一主栅极线对应的第二像素的像素电极之间都设有第一安全距离，辅栅极线与对应的数据线之间设有第二安全距离。

30 本方案中，由主栅极线 141 延伸出来的辅栅极线 142 与像素组 160 形成重叠区，辅栅极线 142 可以具备屏蔽电场的效果，第一辅栅极线 1421 和第二辅栅极线 1422 与数据线平行设置，且设置了安全距离，减少了电场形成于像素电极与数据线 130 之间，另外也防止像素电极与主栅极线 141 产生较强的寄生电容。

如图 4 和图 7 所示，作为本申请的另一实施例，公开了一种驱动电路，驱动电路驱动如

上所有的显示面板 110，驱动电路包括：

栅极驱动电路 121，输出栅极驱动信号给显示面板 110 对应的栅极线；

其中，栅极驱动电路 121 输出的栅极驱动信号的一个信号周期包括：维持时间、打开时间和与打开时间相邻的第一下拉时间；的栅极驱动信号在维持时间内为第一低电平；在打开时间为高电平；在第一下拉时间内为第二低电平；第二低电平的电压值低于第一低电平的电压值。

本方案中，驱动电路 120 用于驱动显示面板 110，驱动电路 120 中的栅极驱动电路 121 输出信号给显示面板 110 对应的栅极线，输出相应的信号开启对应的栅极线，栅极驱动信号周期分为三个时间段，分别输出不同的电平，因为受到像素电极与栅极线 140 产生的寄生电容所带来的反向电压影响，不同时间段设置电压下拉时间，形成正确的回路，解决反向电压带来的闪烁问题。

如图 8 所示，作为本申请的另一实施例，公开了一种显示装置 100，包括上述的显示面板 110 及驱动电路 120。

需要说明的是，本方案中涉及到的各步骤的限定，在不影响具体方案实施的前提下，并不认定为对步骤先后顺序做出限定，写在前面的步骤可以是在先执行的，也可以是在后执行的，甚至也可以是同时执行的，只要能实施本方案，都应当视为属于本申请的保护范围。

本申请的技术方案可以广泛用于各种显示面板，如 TN 型显示面板（全称为 Twisted Nematic，即扭曲向列型面板）、IPS 型显示面板（In-Plane Switching，平面转换）、VA 型显示面板（Vertical Alignment，垂直配向技术）、MVA 型显示面板（Multi-domain Vertical Alignment，多象限垂直配向技术），当然，也可以是其他类型的显示面板，如有机发光显示面板（organic light-emitting diode，简称 OLED 显示面板），均可适用上述方案。

以上内容是结合具体的优选实施方式对本申请所作的进一步详细说明，不能认定本申请的具体实施只局限于这些说明。对于本申请所属技术领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干简单推演或替换，都应当视为属于本申请的保护范围。

权利要求书

1、一种驱动方法，应用于显示面板，所述显示面板包括：

多条数据线；

5 多条栅极线，所述栅极线和所述数据线互相交错；以及

多个像素，分别由对应的数据线和栅极线驱动，所述每个像素包括对应的像素电极；

所述驱动方法包括输出栅极驱动信号给所述显示面板对应的栅极线的步骤；

其中，所述栅极驱动信号的一个信号周期包括维持时间、打开时间和与打开时间相邻的第一下拉时间；所述栅极驱动信号在维持时间内为第一低电平；所述栅极驱动信号在打开时间内为高电平；所述栅极驱动信号在第一下拉时间内为第二低电平；所述第二低电平的电压值低于所述的第一低电平的电压值。

2、如权利要求 1 所述的一种驱动方法，其中，所述第一下拉时间位于所述打开时间之前，所述栅极驱动信号的一个信号周期还包括位于打开时间之后的第二下拉时间；所述栅极驱动信号在第二下拉时间内为第三低电平；所述第三低电平的电压值低于所述的第一低电平的电压值。

3、如权利要求 2 所述的一种驱动方法，其中，所述第一下拉时间和所述打开时间时长相等。

4、如权利要求 3 所述的一种驱动方法，其中，在上一栅极线的栅极驱动信号对应于所述打开时间时，所述的当前栅极线的栅极驱动信号对应于第一下拉时间内。

5、如权利要求 4 所述的一种驱动方法，其中，所述打开时间和所述第二下拉时间时长相等。

6、如权利要求 4 所述的一种驱动方法，其中，在上一栅极线的栅极驱动信号对应于第二下拉时间时，当前栅极线的栅极驱动信号对应于所述打开时间。

7、如权利要求 2 所述的一种驱动方法，其中，所述第二低电平的电压值和所述第三低电平的电压值相等。

8、如权利要求 5 所述的一种驱动方法，其中，所述每个像素包括一个像素电极，同一栅极线连接相邻的两个像素为一像素组，所述像素组包括与不同的数据线连接的第一像素和第二像素。

9、如权利要求 8 所述的一种驱动方法，其中，所述像素组的第一像素的像素电极与上一栅极线重叠，形成第一重叠区；所述第一重叠区的面积为 $S1$ ，所述第一像素的第一重叠区与上一栅极线重叠形成的存储电容为 $Cst1$ ，所述第一像素的像素电容为 $C1c1$ ，所述第一像素的像素电极与当前栅线形成的寄生电容为 $Cgs1$ ；

所述第一低电平和所述第三低电平的电压值为 V'_{GL} ，所述高电平的电压值为 V_{GH} ，所述第二低电平的电压值为 V_{GL} ；

$$C_{st1} = (V_{GH} - V_{GL}) * C_{gs1} / (V_{GL} - V'_{GL})。$$

10、如权利要求 9 所述的一种驱动方法，其中，所述像素组的第二像素的像素电极与下一栅极线重叠，形成第二重叠区；所述第二重叠区的面积为 S_2 ，所述第二像素的第二重叠区与下一栅极线重叠形成的存储电容为 C_{st2} ，所述第二像素的像素电容为 C_{lc2} ，所述第二像素的像素电极与当前栅线形成的寄生电容为 C_{gs2} ；

所述所述第一低电平和所述第三低电平的电压值为 V'_{GL} ，所述高电平的电压值为 V_{GH} ，所述第二低电平的电压值为 V_{GL} ；

10 $C_{st2} = (V_{GH} - V_{GL}) * C_{gs2} / (V_{GL} - V'_{GL})。$

11、一种显示面板，包括：

多条数据线；

多条栅极线，所述栅极线与所述数据线互相交错；以及

多个像素，分别由对应的数据线和栅极线驱动，所述每个像素包括对应的像素电极；同一栅极线连接相邻的两个像素为一个像素组，所述像素组包括与不同的数据线连接的第一像素和第二像素；

其中，所述像素组的第一像素的像素电极与上一栅极线重叠，形成第一重叠区；所述像素组的第二像素的像素电极与下一栅极线重叠，形成第二重叠区。

12、如权利要求 11 所述的一种显示面板，其中，所述栅极线包括互相导通的主栅极线和辅栅极线，所述主栅极线与辅栅极线垂直。

13、如权利要求 12 所述的一种显示面板，其中，所述辅栅极线包括第一辅栅极线和第二辅栅极线，所述第一辅栅极线和所述第二辅栅极线平行设置。

14、如权利要求 12 所述的一种显示面板，其中，所述栅极线包括相互导通的主栅极线和辅栅极线，所述主栅极线与所述数据线交叉设置，所述辅栅极线与所述数据线平行设置。

25 15、如权利要求 14 所述的一种显示面板，其中，所述辅栅极线与当前主栅极线对应的第一像素的像素电极之间以及上一主栅极线对应的第二像素的像素电极之间都设有第一安全距离。

16、如权利要求 14 所述的一种显示面板，其中，所述辅栅极线与对应的数据线之间设有第二安全距离。

30 17、如权利要求 13 所述的一种显示面板，其中，所述第一辅栅极线与上一栅极线对应的第二像素的像素电极形成第一重叠区，所述第二辅栅极线与所述下一栅极线对应的第一像素的像素电极形成第二重叠区。

18、如权利要求 11 所述的一种显示面板，其中，所述第一重叠区的面积为 S_1 ，所述第二重叠区的面积为 S_2 。

19、一种驱动电路，所述驱动电路驱动所述显示面板，所述显示面板包括：

多条数据线；

5 多条栅极线，所述栅极线与所述数据线互相交错；以及

多个像素，分别由对应的数据线和栅极线驱动，所述每个像素包括对应的像素电极；

同一栅极线连接相邻的两个像素为一个像素组，所述像素组包括与不同的数据线连接的第一像素和第二像素；

10 其中，所述像素组的第一像素的像素电极与上一栅极线重叠，形成第一重叠区；所述像素组的第二像素的像素电极与下一栅极线重叠，形成第二重叠区；

所述驱动电路包括：

栅极驱动电路，输出栅极驱动信号给所述显示面板对应的栅极线；

15 其中，所述栅极驱动电路输出的栅极驱动信号的一个信号周期包括：维持时间、打开时间和与打开时间相邻的第一下拉时间；所述栅极驱动信号在维持时间内为第一低电平；所述栅极驱动信号在打开时间为高电平；所述栅极驱动信号在第一下拉时间内为第二低电平；所述第二低电平的电压值低于所述的第一低电平的电压值。

20 20、如权利要求 19 所述的一种驱动电路，其中，所述第一下拉时间位于所述打开时间之前，所述栅极驱动信号的一个信号周期还包括位于打开时间之后的第二下拉时间；所述栅极驱动信号在第二下拉时间内为第三低电平；所述第三低电平的电压值低于所述的第一低电平的电压值。

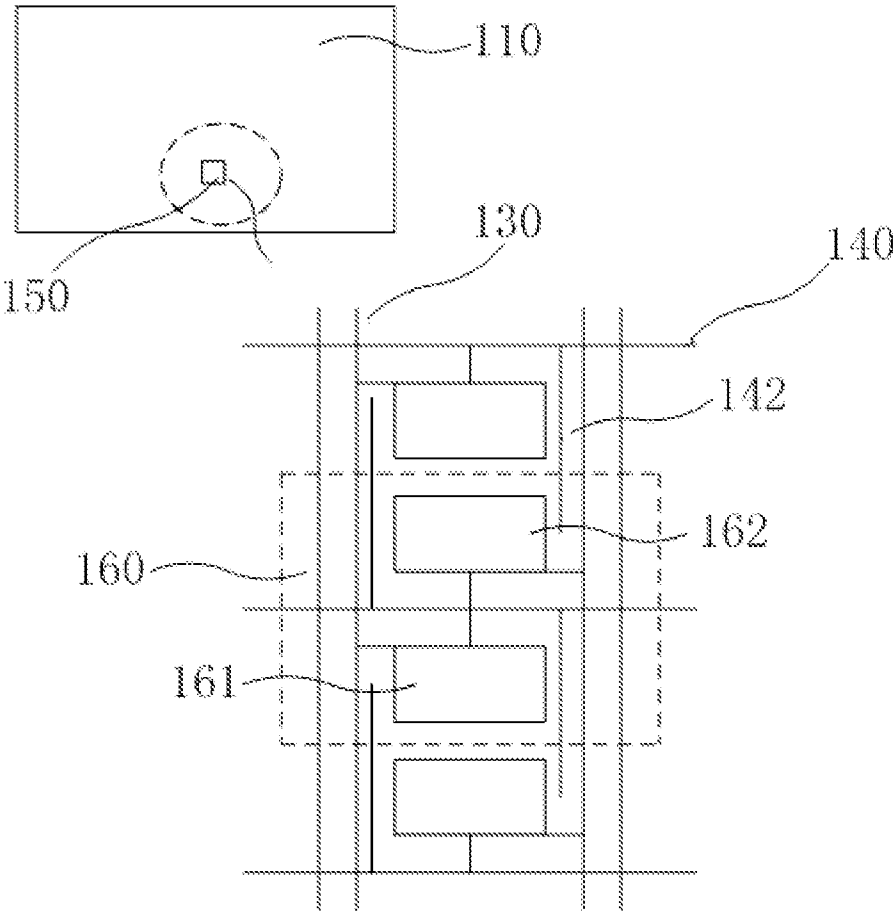


图 1

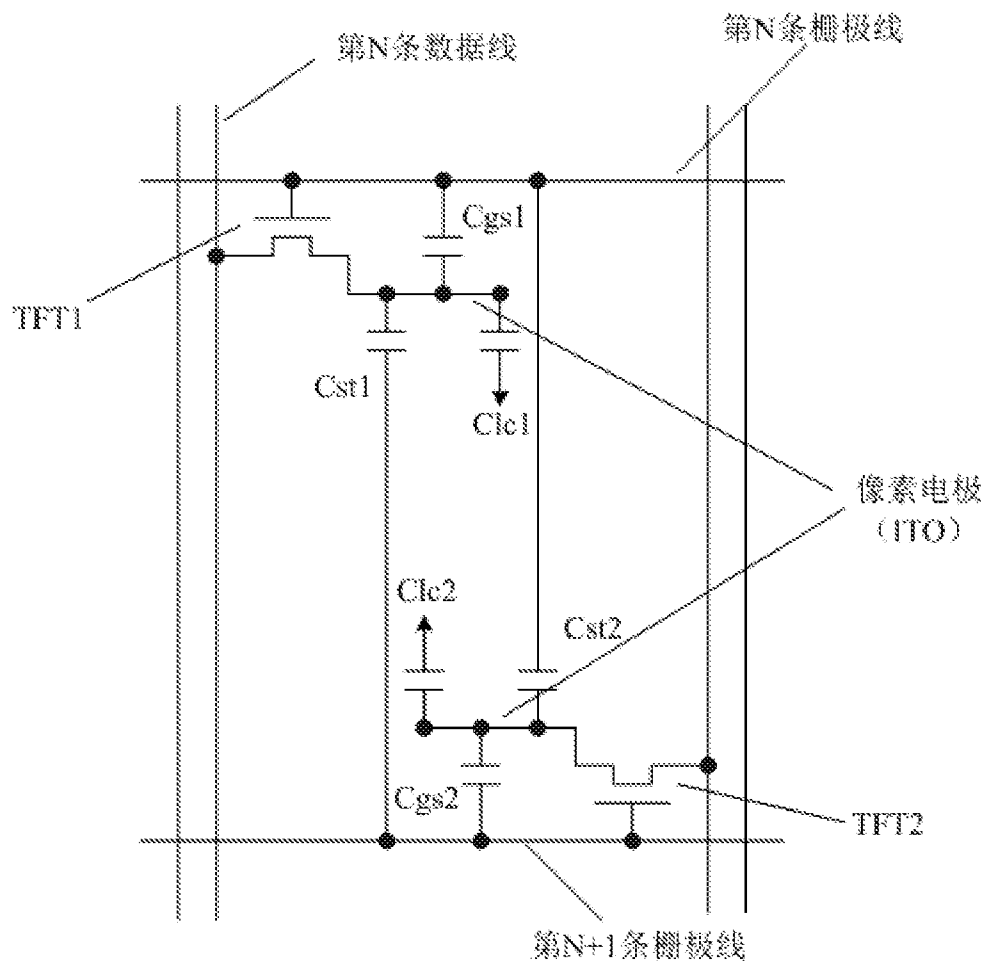


图 2

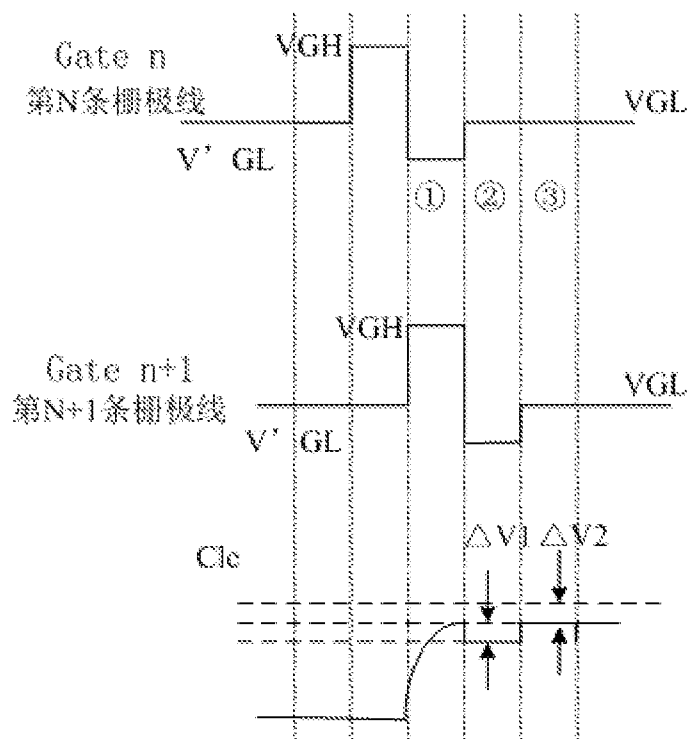


图 3

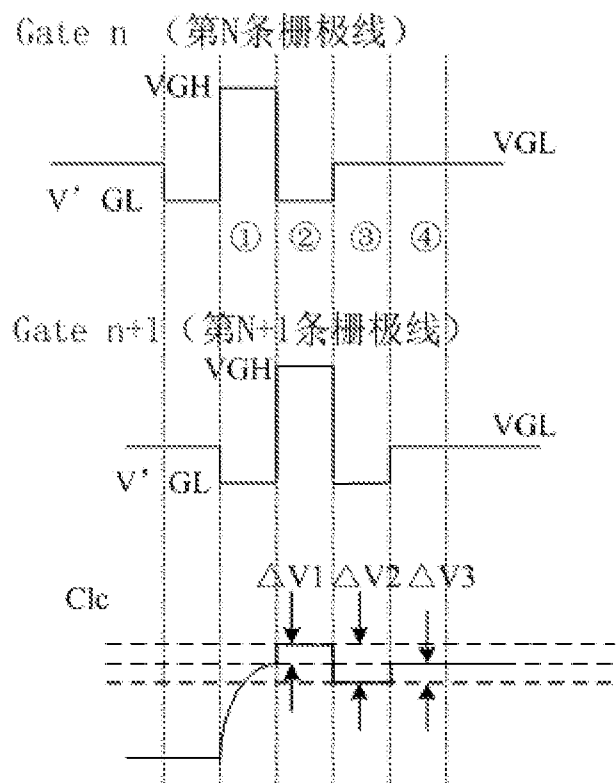


图 4

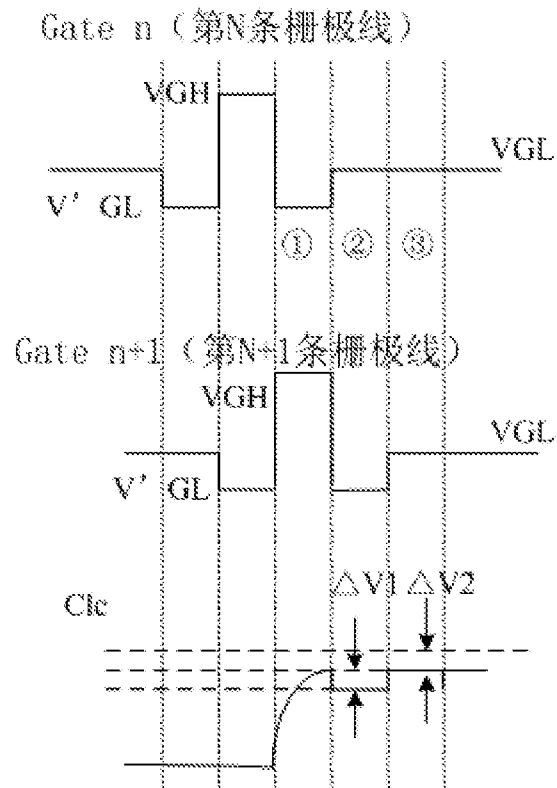


图 5

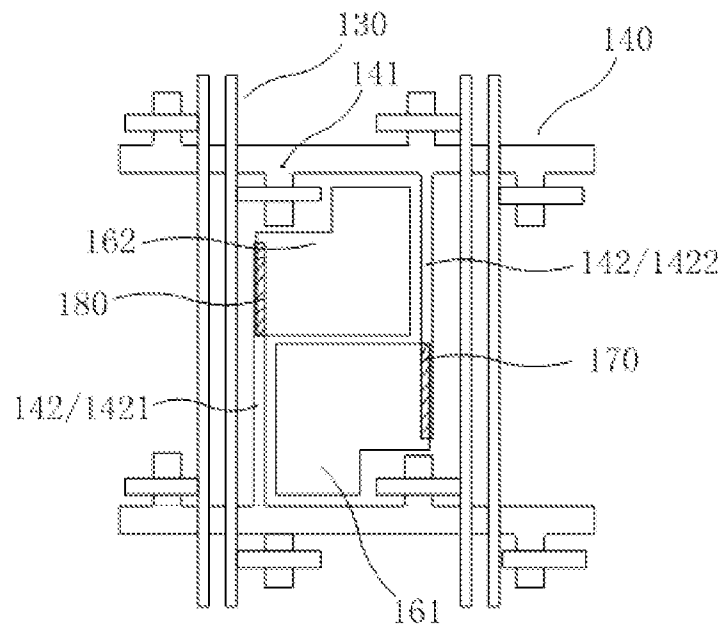


图 6

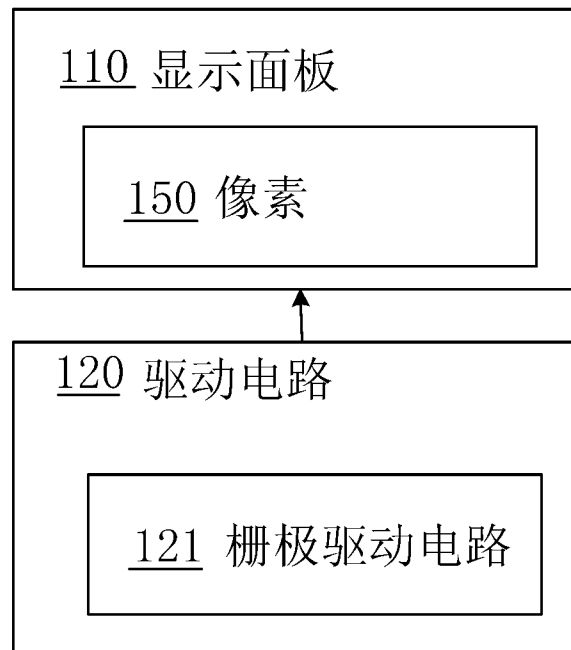


图 7

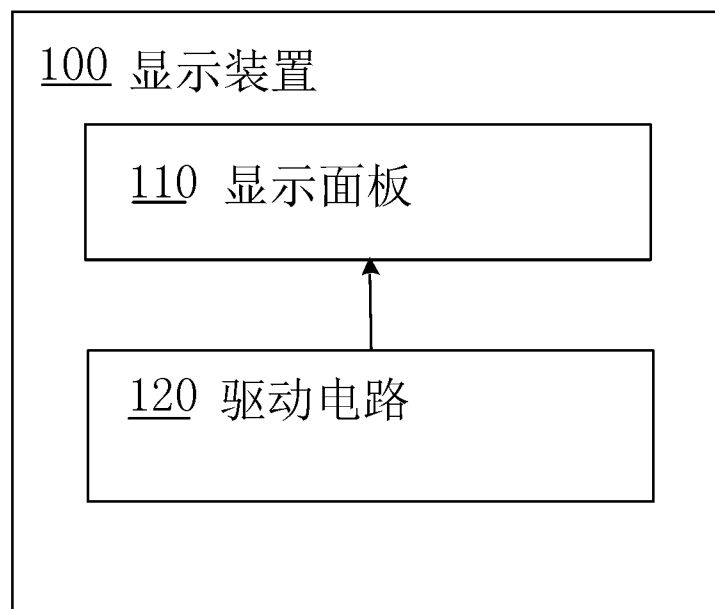


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/075516

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i; G02F 1/1343(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 惠科, 寄生电容, 耦合电容, 馈通, 栅极, 扫描, 低, 补偿, 电极, 叠, 线, 像素, 象素, 画素, parasitic, coupling, capacit+, gate, scan+, low+, compensat+, electrode, overlap+, line, pixel

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1284709 A (DAQI SCIENCE & TECHNOLOGY CO., LTD.) 21 February 2001 (2001-02-21) description, pages 1-2, and figures 1-6	1-7
Y	CN 1284709 A (DAQI SCIENCE & TECHNOLOGY CO., LTD.) 21 February 2001 (2001-02-21) description, pages 1-2, and figures 1-6	8-20
Y	CN 109116641 A (CHONGQING HKC OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 01 January 2019 (2019-01-01) description, paragraphs [0002] and [0039]-[0051], and figures 8-13	8-20
A	CN 107402486 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 28 November 2017 (2017-11-28) entire document	1-20
A	CN 101281330 A (CHUNGHWA PICTURE TUBES, LTD.) 08 October 2008 (2008-10-08) entire document	1-20
A	CN 101216645 A (INFOVISION OPTOELECTRONICS (KUNSHAN) CO., LTD.) 09 July 2008 (2008-07-09) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 September 2019

Date of mailing of the international search report

08 October 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/075516

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP H10104578 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 24 April 1998 (1998-04-24) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/075516

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	1284709	A	21 February 2001	CN	1133149	C	31 December 2003
CN	109116641	A	01 January 2019	None			
CN	107402486	A	28 November 2017	US	2019067329	A1	28 February 2019
CN	101281330	A	08 October 2008	CN	101281330	B	26 May 2010
CN	101216645	A	09 July 2008	US	2009174639	A1	09 July 2009
				CN	101216645	B	10 November 2010
				US	8203513	B2	19 June 2012
JP	H10104578	A	24 April 1998	None			

国际检索报告

国际申请号

PCT/CN2019/075516

A. 主题的分类

G09G 3/36 (2006.01) i; G02F 1/1343 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G09G; G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, CNKI, WPI, EPDOC: 惠科, 寄生电容, 耦合电容, 馈通, 栅极, 扫描, 低, 补偿, 电极, 叠, 线, 像素, 像素, 画素, parasitic, coupling, capacit+, gate, scan+, low+, compensat+, electrode, overlap+, line, pixel

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 1284709 A (达碁科技股份有限公司) 2001年 2月 21日 (2001 - 02 - 21) 说明书第1-2页, 附图1-6	1-7
Y	CN 1284709 A (达碁科技股份有限公司) 2001年 2月 21日 (2001 - 02 - 21) 说明书第1-2页, 附图1-6	8-20
Y	CN 109116641 A (重庆惠科金渝光电科技有限公司 等) 2019年 1月 1日 (2019 - 01 - 01) 说明书第[0002]、[0039]-[0051]段, 附图8-13	8-20
A	CN 107402486 A (京东方科技集团股份有限公司 等) 2017年 11月 28日 (2017 - 11 - 28) 全文	1-20
A	CN 101281330 A (中华映管股份有限公司) 2008年 10月 8日 (2008 - 10 - 08) 全文	1-20
A	CN 101216645 A (昆山龙腾光电有限公司) 2008年 7月 9日 (2008 - 07 - 09) 全文	1-20
A	JP H10104578 A (松下电器产业株式会社) 1998年 4月 24日 (1998 - 04 - 24) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 9月 5日

国际检索报告邮寄日期

2019年 10月 8日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

晏静文

电话号码 86-(10)-53962511

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/075516

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1284709	A	2001年 2月 21日	CN	1133149	C	2003年 12月 31日
CN	109116641	A	2019年 1月 1日	无			
CN	107402486	A	2017年 11月 28日	US	2019067329	A1	2019年 2月 28日
CN	101281330	A	2008年 10月 8日	CN	101281330	B	2010年 5月 26日
CN	101216645	A	2008年 7月 9日	US	2009174639	A1	2009年 7月 9日
				CN	101216645	B	2010年 11月 10日
				US	8203513	B2	2012年 6月 19日
JP	H10104578	A	1998年 4月 24日	无			