

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2015-179556
(P2015-179556A)

(43) 公開日 平成27年10月8日(2015.10.8)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 19/28 (2006.01)	G 1 1 C 19/28 D	3 K 1 0 7
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 2 2 E	5 C 0 0 6
G 0 9 G 3/30 (2006.01)	G 0 9 G 3/30 J	5 C 0 8 0
G 0 9 G 3/36 (2006.01)	G 0 9 G 3/36	5 C 3 8 0
H 0 1 L 51/50 (2006.01)	G 0 9 G 3/20 6 7 0 J	
審査請求 有 請求項の数 3 O L (全 198 頁) 最終頁に続く		

(21) 出願番号	特願2015-76520 (P2015-76520)	(71) 出願人	000153878
(22) 出願日	平成27年4月3日 (2015.4.3)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2014-100120 (P2014-100120) の分割	(72) 発明者	梅崎 敦司
原出願日	平成18年9月29日 (2006.9.29)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		Fターム(参考)	3K107 AA01 AA07 AA08 AA09 BB01 BB03 BB06 BB08 CC14 CC33 CC45 EE03 HH02 HH05
		最終頁に続く	

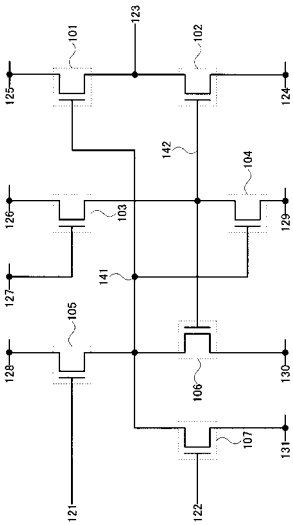
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 アモルファスシリコンを用いたトランジスタのしきい値電圧の変動を抑制し、実装するドライバICの接点数を削減し、低消費電力、大型化又は高精細化できる表示装置の駆動回路を提供する。

【解決手段】 駆動回路としてフリップフロップは高電位(VDD)がゲート電極に印加されているトランジスタを介して(若しくは抵抗成分を持つ素子を介して)、交流パルスを劣化しやすいトランジスタ102、106のゲート電極に加える構成を含み、劣化しやすいトランジスタ102、106のゲート電極に、非選択期間にオンしたトランジスタ103を介して信号を入力することで、劣化しやすいトランジスタ102、106のしきい値電圧のシフト及びオンしたトランジスタ103のしきい値電圧のシフトを抑制する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 乃至第 6 のトランジスタを有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 3 のトランジスタのゲートと電氣的に接続され、 10

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと電氣的に接続されることを特徴とする半導体装置。

【請求項 2】

20

第 1 乃至 12 のトランジスタを有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方と電氣的に接続され、 30

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 7 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 10 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 11 のトランジスタのゲートと電氣的に接続され、 40

前記第 9 のトランジスタのソース又はドレインの他方は、前記第 9 のトランジスタのゲートと電氣的に接続され、

前記第 11 のトランジスタのソース又はドレインの一方は、前記第 12 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 10 のトランジスタの 50

ゲートと電氣的に接続され、

前記第7のトランジスタのソース又はドレインの一方は、前記第12のトランジスタのゲートと電氣的に接続されることを特徴とする半導体装置。

【請求項3】

走査線駆動回路を有し、

前記走査線駆動回路は、請求項1乃至請求項4のいずれか一項に記載のバッファ回路を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明はトランジスタを用いて構成された回路を有する表示装置に関する。特に液晶等の電気光学素子若しくは発光素子等を表示媒体として用いる表示装置及びその駆動方法に関する。

【背景技術】

【0002】

近年、表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められている。特に、絶縁基板上に非結晶半導体（以下、アモルファスシリコンともいう）によって構成されたトランジスタを用いて、画素回路及びシフトレジスタ等を含む駆動回路（以下、内部回路ともいう）を一体形成する技術は、低消費電力化、低コスト化に大きく貢献するため、活発に開発が進められている。絶縁体上に形成された内部回路は、FPC等を介してコントローラIC等（以下、外部回路ともいう）に接続され、その動作が制御される。

20

【0003】

上記示した内部回路の中でも、非結晶半導体によって構成されたトランジスタ（以下、アモルファスシリコントランジスタともいう）を用いたシフトレジスタが考案されている。従来のシフトレジスタが有するフリップフロップの構成を図124（A）に示す（特許文献1）。図124（A）のフリップフロップは、トランジスタ11、トランジスタ12、トランジスタ13、トランジスタ14、トランジスタ15及びトランジスタ17を有し、信号線21、信号線22、配線23、信号線24、電源線25、電源線26に接続されている。信号線21、信号線22、信号線24、電源線25、電源線26には、それぞれスタート信号、リセット信号、クロック信号、電源電位VDD、電源電位VSSが入力される。図124（A）のフリップフロップの動作期間は、図124（B）のタイミングチャートに示すように、セット期間、選択期間、リセット期間、非選択期間に分割され、動作期間のうちのほとんどが非選択期間となる。

30

【0004】

ここで、非選択期間においてトランジスタ12及びトランジスタ16がオンしている。よって、トランジスタ12及びトランジスタ16の半導体層にアモルファスシリコンを用いているので、劣化等によりしきい値電圧（ V_{th} ）に変動が生じる。より具体的には、しきい値電圧が上昇する。つまり、従来のシフトレジスタは、トランジスタ12及びトランジスタ16のしきい値電圧が上昇してオンできなくなるため、ノード41及び配線23にVSSを供給することができずに誤動作を起こす。

40

【0005】

この問題を解決すべく、非特許文献1、非特許文献2及び非特許文献3において、トランジスタ12のしきい値電圧のシフトを抑制できるシフトレジスタが考案されている。非特許文献1、非特許文献2及び非特許文献3では、新たなトランジスタ（第1のトランジスタとする）をトランジスタ12（第2のトランジスタとする）と並列に配置し、非選択期間において、第1のトランジスタのゲート電極及び第2のトランジスタのゲート電極にそれぞれ反転した信号を入力することで、第1のトランジスタ及び第2のトランジスタのしきい値電圧のシフトを抑制している。

【0006】

50

さらに、非特許文献4では、トランジスタ12だけでなく、トランジスタ16のしきい値電圧のシフトも抑制できるシフトレジスタが考案されている。非特許文献4では、新たなトランジスタ（第1のトランジスタとする）をトランジスタ12（第2のトランジスタとする）と並列に配置し、さらに別の新たなトランジスタ（第3のトランジスタとする）をトランジスタ16（第4のトランジスタとする）と並列に配置する。そして、非選択期間において、第1のトランジスタのゲート電極及び第2のトランジスタのゲート電極にそれぞれ反転した信号を入力し、第3のトランジスタのゲート電極及び第4のトランジスタのゲート電極にそれぞれ反転した信号を入力することで、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ及び第4のトランジスタのしきい値電圧のシフトを抑制している。

10

【0007】

さらに、非特許文献5では、トランジスタ12のゲート電極に交流パルスを印加することで、トランジスタ12のしきい値電圧のシフトを抑制している。

【0008】

なお、非特許文献6及び非特許文献7の表示装置は、アモルファスシリコントランジスタで構成されるシフトレジスタを走査線駆動回路として用いて、さらにR、G、Bのサブ画素に1つの信号線からビデオ信号を入力することで、信号線の数を1/3に減らしている。こうして、非特許文献6及び非特許文献7の表示装置は、表示パネルとドライバICとの接続数を減らしている。

20

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2004-157508号公報

【非特許文献】

【0010】

【非特許文献1】Soo Young Yoon, et al., "Highly Stable Integrated Gate Driver Circuit using a-Si TFT with Dual Pull-down Structure", SOCIETY FOR INFORMATION DISPLAY 2005 INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, Volume XXXVI, p. 348-351

30

【非特許文献2】Binn Kim, et al., "a-Si Gate Driver Integration with Time Shared Data Driving", Proceedings of The 12th International Display Workshops in conjunction with Asia Display 2005, p. 1073-1076

【非特許文献3】Mindoo Chun, et al., "Integrated Gate Driver Using Highly Stable a-Si TFT's", Proceedings of The 12th International Display Workshops in conjunction with Asia Display 2005, p. 1077-1080

40

【非特許文献4】Chun-Ching, et al., "Integrated Gate Driver Circuit Using a-Si TFT", Proceedings of The 12th International Display Workshops in conjunction with Asia Display 2005, p. 1023-1026

【非特許文献5】Yong Ho Jang, et al., "A-Si TFT Integrated Gate Driver with AC-Driven Single Pull-down Structure", SOCIETY FOR INFORMATION DISPLAY 2006 INTERNATIONAL SY

50

M P O S I U M D I G E S T O F T E C H N I C A L P A P E R S , V o l u m e X X X V I I , p . 2 0 8 - 2 1 1

【非特許文献6】Jin Young Choi, et al., "A Compact and Cost-efficient TFT-LCD through the Triple-Gate Pixcel Structure", SOCIETY FOR INFORMATION DISPLAY 2006 INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, Volume XXXVII, p. 274-276

【非特許文献7】Yong Soon Lee, et al., "Advanced TFT-LCD Data Line Reduction Method", SOCIETY FOR INFORMATION DISPLAY 2006 INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, Volume XXXVII, p. 1083-1086

【発明の概要】

【発明が解決しようとする課題】

【0011】

従来の技術によれば、劣化しやすいトランジスタのゲートに交流パルス印加することで、当該トランジスタのしきい値電圧のシフトを抑制している。しかしながら、トランジスタの半導体層としてアモルファスシリコンを用いた場合、当然、交流パルスを生成する回路を構成するトランジスタも、しきい値電圧のシフトを生じてしまうことが問題となる。また、信号線の数を1/3に減らして表示パネルとドライバICとの接点の数を削減することが提案されているが（非特許文献6及び非特許文献7）、実用的にはドライバICの接点の数をより削減することが求められている。

【0012】

すなわち従来の技術で解決されないものとして、トランジスタのしきい値電圧の変動を抑制する回路技術が課題として残されている。表示パネルに実装するドライバICの接点数を削減する技術が課題として残されている。表示装置の低消費電力化が課題として残されている。表示装置の大型化又は高精細化が課題として残されている。

【0013】

本明細書で開示する発明は、このような課題の一又は複数を解決することにより産業上有益な技術を提供することとを目的としている。

【課題を解決するための手段】

【0014】

本発明に係わる表示装置は、劣化しやすいトランジスタのゲート電極に、オンしたトランジスタを介して信号を入力することで、劣化しやすいトランジスタのしきい値電圧のシフト及びオンしたトランジスタのしきい値電圧のシフトを抑制するものである。すなわち、本発明は、高電位（VDD）がゲート電極に印加されているトランジスタを介して（若しくは抵抗成分を持つ素子を介して）、交流パルスを劣化しやすいトランジスタのゲート電極に加える構成を含んでいる。

【0015】

本明細書に示すスイッチは、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、サイリスタなどを用いることが出来る。または、これらを組み合わせた論理回路をスイッチとして用いることが出来る。

【0016】

スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を有するトランジスタやマルチゲート構造を有するトランジスタ等がある。または、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（VSS、GND、0Vなど）に近い状態で動作する場合はNチャネル型トランジスタを用いることが望ましい。反対に、ソース端子の電位が、高電位側電源（VDDなど）に近い状態で動作する場合はPチャネル型トランジスタを用いることが望ましい。なぜなら、Nチャネル型トランジスタではソース端子が低電位側電源に近い状態で動作するとき、Pチャネル型トランジスタではソース端子が高電位側電源に近い状態で動作するとき、ゲートソース間電圧の絶対値を大きくできるため、スイッチング特性が良好となる。また、ソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまいうことが少ないからである。

10

【0017】

Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。CMOS型のスイッチにすると、Pチャネル型トランジスタまたはNチャネル型トランジスタのどちらか一方のトランジスタが導通すれば電流が流れるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることが出来る。さらに、スイッチをオン・オフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。

20

【0018】

スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることが出来る。

【0019】

本明細書において、「AとBとが接続されている」と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、本明細書が開示する構成において、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

30

【0020】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上配置されていてもよい。あるいは、AとBとが機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上配置されていてもよい。あるいは、AとBとが直接接続されている場合として、AとBとの間に他の素子や他の回路を挟まずに、AとBとが直接接続されていてもよい。

40

【0021】

「AとBとが直接接続されている」と明示的に記載する場合は、AとBとが直接接続され

50

ている場合（つまり、AとBとの間に他の素子や他の回路を間に介さずに接続されている場合）と、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）とを含むものとする。

【0022】

「AとBとが電氣的に接続されている」と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

10

【0023】

表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用いたり、様々な素子を有することが出来る。例えば、表示素子、表示装置、発光素子または発光装置としては、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を用いることができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーがある。

20

【0024】

本明細書に記載されたトランジスタとして、様々な形態のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを用いることが出来る。TFTを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストが安くなったり、製造装置を大きくすることが可能になる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。さらに、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透明基板上にトランジスタを製造できる。そして、透明な基板上のトランジスタを用いて表示素子での光の透過を制御することが出来る。あるいは、トランジスタの膜厚が薄いため、トランジスタを構成する膜の一部は、光を透過させることが出来る。そのため、開口率が向上させることができる。

30

40

【0025】

多結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路（信号線駆動回路）、信号処理回路（信号生成回路、ガンマ補正回路、DA変換回路など）を基板上に一体形成することが出来る。

【0026】

微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザーを用いず、熱処理を加えるだけで、結晶性を向上させることができる。その結果

50

、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路の一部（アナログスイッチなど）を基板上に一体形成することが出来る。さらに、結晶化のためにレーザーを用いない場合は、シリコンの結晶性のムラを抑えることができる。そのため、綺麗な画像を表示することが出来る。

【0027】

ただし、触媒（ニッケルなど）を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

【0028】

または、半導体基板やSOI基板などを用いてトランジスタを形成することが出来る。その場合、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを本明細書に記載されたトランジスタとして用いることが出来る。これらにより、特性やサイズや形状などのバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。これらのトランジスタを用いると、消費電力の少ない回路を構成し、又は高集積化を図ることが出来る。

【0029】

または、ZnO、 α -InGaZnO、SiGe、GaAs、IZO、ITO、SnOなどの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することが出来る。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透明電極として用いることができる。さらに、それらをトランジスタと同時に成膜し、又は形成することが出来て、コストを低減できる。

【0030】

または、インクジェットや印刷法を用いて形成したトランジスタなどを用いることが出来る。これらにより、室温での製造、低真空度での製造、又は大型基板上への製造をすることができる。また、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

【0031】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。そのため、衝撃に強くできる。

【0032】

その他、様々なトランジスタを用いることができる。

【0033】

トランジスタが形成されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。トランジスタが形成される基板としては、例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることが出来る。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。または、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板としては、単結晶基板、SOI基板、ガラス

基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、又は軽量化を図ることが出来る。

【0034】

トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上による信頼性の向上を図ることができる。あるいは、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレインとソース間の電流があまり変化せず、電圧・電流特性の傾きがフラットな特性にすることができる。電圧対電流特性の傾きがフラットである特性を利用すると、理想的な電流源回路や、非常に高い抵抗値をもつ能動負荷を実現することが出来る。その結果、特性のよい差動回路やカレントミラー回路を実現することが出来る。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値を大きくすることができる。あるいは、空乏層ができやすくなってS値を小さくすることができる。チャンネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

【0035】

あるいは、チャンネル領域の上にゲート電極が配置されている構造でもよいし、チャンネル領域の下にゲート電極が配置されている構造でもよい。あるいは、正スタガ構造または逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれていてもよいし、チャンネル領域が並列に接続されていてもよいし、チャンネル領域が直列に接続されていてもよい。また、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることにより、チャンネル領域の一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域を設けても良い。LDD領域を設けることにより、オフ電流の低減、トランジスタの耐圧向上による信頼性の向上を図ることが出来る。あるいは、飽和領域で動作する時に、ドレインとソース間の電圧が変化しても、ドレインとソース間の電流があまり変化せず、電圧対電流特性の傾きがフラットな特性にすることができる。

【0036】

本明細書においては、一画素とは画像の最小単位を示すものとする。よって、R（赤）G（緑）B（青）の色要素からなるフルカラー表示装置の場合には、一画素とはRの色要素のドットとGの色要素のドットとBの色要素のドットとから構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW（Wは白）としてもよい。また、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加してもよい。または、例えば、RGBの中の少なくとも一色に類似した色を、RGBに追加してもよい。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、少し周波数が異なっている。同様に、R1、R2、G、Bとしてもよい。このような色要素を用いることにより、より実物に近い表示を行うことができたり、消費電力を低減することが出来る。なお、一画素に、同じ色の色要素のドットが複数個あってもよい。そのとき、その複数の色要素は、各々、表示に寄与する領域の大きさが異なってもよい。また、複数個ある、同じ色の色要素のドットを各々制御することによって、階調を表現してもよい。これを、面積階調方式と呼ぶ。あるいは、複数個ある、同じ色の色要素の

10

20

30

40

50

ドットを用いて、各々のドットに供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、複数個ある、同じ色の色要素が各々有する画素電極の電位が、各々異なっているようにしてもよい。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることが出来る。

【0037】

本明細書においては、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW（Wは白）としてもよい。また、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加してもよい。また、例えば、RGBの中の少なくとも一色に類似した色を、RGBに追加してもよい。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、少し周波数が異なっている。同様に、R1、R2、G、Bとしてもよい。このような色要素を用いることにより、より実物に近い表示を行うことができたり、消費電力を低減することが出来る。また、別の例としては、1つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素としてもよい。よって、一例として、面積階調を行う場合または副画素（サブ画素）を有している場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する領域の一つ分を一画素としてもよい。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。あるいは、明るさを制御する領域が1つの色要素の中に複数あっても、それらをまとめて、1つの色要素を1画素としてもよい。よって、その場合は、一つの色要素は、一つの画素で構成されることとなる。また、1つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。また、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、1つの色要素について、複数個ある領域が各々有する画素電極の電位が、各々異なっているようにしてもよい。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることが出来る。

【0038】

一画素（三色分）と明示的に記載する場合は、RとGとBの三画素分を一画素と考える場合であるとする。一画素（一色分）と明示的に記載する場合は、一つの色要素につき、複数の領域がある場合、それらをまとめて一画素と考える場合であるとする。

【0039】

本明細書において、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合や、ギザギザな線上に配置されている場合を含む。例えば三色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストライプ配置されている場合や、三つの色要素のドットがデルタ配置されている場合も含む。さらに、ベイヤー配置されている場合も含む。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）や、RGBに、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。また、色要素のドット毎にその表示領域の大きさが異なっているようにしてもよい。これにより、消費電力を低下させることができる。あるいは、表示素子の寿命を延ばすことが出来る。

【0040】

本明細書において、画素に能動素子を有するアクティブマトリクス方式、または、画素に能動素子を有しないパッシブマトリクス方式を用いることが出来る。

【0041】

アクティブマトリクス方式では、能動素子（アクティブ素子、非線形素子）として、トラ

ンジスタだけでなく、さまざまな能動素子（アクティブ素子、非線形素子）を用いることが出来る。例えば、MIM（Metal Insulator Metal）やTFD（Thin Film Diode）などを用いることも可能である。これらの素子は、製造工程が少ないため、低コストで製造することができる。あるいは、歩留まりを高くできたりすることが可能である。さらに、素子のサイズが小さいため、開口率を向上させることができ、低消費電力化や高輝度化をはかることが出来る。

【0042】

アクティブマトリクス方式以外のものとして、能動素子（アクティブ素子、非線形素子）を用いないパッシブマトリクス型を用いることも可能である。能動素子（アクティブ素子、非線形素子）を用いないため、製造工程が少なく、低コストで製造することができる。あるいは、歩留まりを高くできたりすることが可能である。また、能動素子（アクティブ素子、非線形素子）を用いないため、開口率を向上させることができ、低消費電力化や高輝度化をはかることが出来る。

【0043】

トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本明細書においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1の電極、第2の電極と表記する場合がある。

【0044】

トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子と表記する場合がある。

【0045】

ゲートとは、ゲート電極とゲート配線（ゲート線、ゲート信号線、走査線、走査信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャンネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。なお、ゲート電極の一部は、LDD（Lightly Doped Drain）領域またはソース領域及びドレイン領域と、ゲート絶縁膜を介してオーバーラップしている場合もある。ゲート配線とは、各トランジスタのゲート電極の間の接続、又はゲート電極と別の配線との接続をするための配線のことを言う。

【0046】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分（領域、導電膜、配線など）も存在する。そのような部分（領域、導電膜、配線など）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線の一部とチャンネル領域がオーバーラップしている場合、その部分（領域、導電膜、配線など）はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線など）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0047】

ゲート電極と同じ材料で形成され、ゲート電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）も、ゲート配線と呼んでも良い。このような部分（領域、導電膜、配線など）は、厳密な意味では、チャンネル領域とオーバーラップせずに、別のゲート電極と接続させる機能を有していない場合がある。しかし、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）

を形成してつながっている部分（領域、導電膜、配線など）がある。そのような部分（領域、導電膜、配線など）もゲート電極またはゲート配線と呼んでも良い。

【0048】

例えば、マルチゲートのトランジスタにおいて、1つのゲート電極と、別のゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような部分（領域、導電膜、配線など）は、ゲート電極とゲート電極とを接続させるための部分（領域、導電膜、配線など）であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタと見なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）は、ゲート電極やゲート配線と呼んでも良い。さらに、例えば、ゲート電極とゲート配線とを接続させている部分の導電膜であって、ゲート電極またはゲート配線とは異なる材料で形成された導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

10

【0049】

ゲート端子とは、ゲート電極の部分（領域、導電膜、配線など）または、ゲート電極と電氣的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

【0050】

ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線などと呼ぶ場合、配線にトランジスタのゲートが接続されていない場合もある。この場合、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線は、トランジスタのゲートと同じ層で形成された配線、トランジスタのゲートと同じ材料で形成された配線またはトランジスタのゲートと同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

20

【0051】

ソースとは、ソース領域とソース電極とソース配線（ソース線、ソース信号線、データ線、データ信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各画素のソース電極の間の接続、又はソース電極と別の配線との接続をするための配線のことを言う。

30

【0052】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分（領域、導電膜、配線など）も存在する。そのような部分（領域、導電膜、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線の一部とソース領域とがオーバーラップしている場合、その部分（領域、導電膜、配線など）はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

40

【0053】

ソース電極と同じ材料で形成され、ソース電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）や、ソース電極とソース電極とを接続する部分（領域、導電膜、配線など）も、ソース電極と呼んでも良い。さらに、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線と同じ島（アイランド）を形成してつながっている領域も、ソース配線と呼んでも良い。このような部分（領域、導電膜、配線など）は、厳密な意味では

50

、別のソース電極と接続させる機能を有していたりすることがない場合がある。しかし、ソース電極またはソース配線と同じ材料で形成され、ソース電極またはソース配線とつながっている部分（領域、導電膜、配線など）がある。よって、そのような部分（領域、導電膜、配線など）もソース電極またはソース配線と呼んでも良い。

【0054】

例えば、ソース電極とソース配線とを接続させている部分の導電膜であって、ソース電極またはソース配線とは異なる材料で形成された導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0055】

ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電氣的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

10

【0056】

ソース配線、ソース線、ソース信号線、データ線、データ信号線などと呼ぶ場合、配線にトランジスタのソース（ドレイン）が接続されていない場合もある。この場合、ソース配線、ソース線、ソース信号線、データ線、データ信号線は、トランジスタのソース（ドレイン）と同じ層で形成された配線、トランジスタのソース（ドレイン）と同じ材料で形成された配線またはトランジスタのソース（ドレイン）と同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

【0057】

ドレインについては、ソースと同様である。

20

【0058】

半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタなど）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。

【0059】

表示素子とは、光学変調素子、液晶素子、発光素子、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、電気泳動素子、放電素子、光反射素子、光回折素子、デジタルマイクロミラーデバイス（DMD）、などのことを言う。ただし、これに限定されない。

【0060】

表示装置とは、表示素子を有する装置のことを言う。なお、表示装置とは、表示素子を含む複数の画素またはそれらの画素を駆動させる周辺駆動回路が同一基板上に形成された表示パネル本体のことでもよい。なお、表示装置は、ワイヤボンディングや bumps などによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（COG）で接続されたICチップ、または、TABなどで接続されたICチップを含んでも良い。なお、表示装置は、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブル配線基板（FPC）を含んでもよい。なお、表示装置は、フレキシブル配線基板（FPC）などを介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基盤（PWB）を含んでもよい。なお、表示装置は、偏光板または位相差板などの光学シートを含んでもよい。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでもよい。ここで、バックライトユニットのような照明装置は、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管など）、冷却装置（水冷式、空冷式）などを含んでもよい。

30

40

【0061】

照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管、熱陰極管など）、冷却装置などを有している装置のことをいう。

【0062】

なお、発光装置とは、発光素子などを有している装置のことをいう。

50

【0063】

反射装置とは、光反射素子、光回折素子、光反射電極などを有している装置のことをいう。

【0064】

液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型などがある。

【0065】

駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタなどと呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタなどは、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路などと呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路などと呼ぶことがある）などは、駆動装置の一例である。

10

【0066】

表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置などは、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有していたり、半導体装置が、表示装置および駆動装置を有している場合がある。

【0067】

本明細書において、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、AとBと間に別の対象物が介在する場合も含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

20

【0068】

従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、と明示的に記載されている場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

30

【0069】

さらに、Aの上方にBが形成されている、と明示的に記載されている場合についても同様であり、Aの上にBが直接接していることに限定されず、AとBとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0070】

Aの上にBが直接接して形成されている、と明示的に記載する場合は、Aの上に直接接してBが形成されている場合を含み、AとBと間に別の対象物が介在する場合は含まないものとする。

40

【0071】

Aの下にBが、あるいは、Aの下方にBが、の場合についても、同様である。

【発明の効果】

【0072】

シフトレジスタが有する全てのトランジスタの特性劣化を抑制することができる。そのため、液晶表示装置をはじめとする当該シフトレジスタを適用した半導体装置の誤動作を抑制することができる。

【図面の簡単な説明】

50

【 0 0 7 3 】

- 【図 1】実施の形態 1 に示すフリップフロップの構成を説明する図。
- 【図 2】図 1 で示したフリップフロップの動作を説明するタイミングチャート。
- 【図 3】図 1 で示したフリップフロップの動作を説明する図。
- 【図 4】実施の形態 1 に示すフリップフロップの構成を説明する図。
- 【図 5】実施の形態 1 に示すフリップフロップの構成を説明する図。
- 【図 6】実施の形態 1 に示すフリップフロップの動作を説明するタイミングチャート。
- 【図 7】実施の形態 1 に示すフリップフロップの構成を説明する図。
- 【図 8】実施の形態 1 に示す表示装置の構成を説明する図。
- 【図 9】図 8 で示した表示装置の書き込み動作を説明するタイミングチャート。 10
- 【図 10】実施の形態 1 に示すシフトレジスタの構成を説明する図。
- 【図 11】図 10 で示したシフトレジスタの動作を説明するタイミングチャート。
- 【図 12】図 10 で示したシフトレジスタの動作を説明するタイミングチャート。
- 【図 13】実施の形態 1 に示すシフトレジスタの構成を説明する図。
- 【図 14】実施の形態 1 に示すシフトレジスタの構成を説明する図。
- 【図 15】実施の形態 1 に示すシフトレジスタの構成を説明する図。
- 【図 16】実施の形態 2 に示す表示装置の構成を説明する図。
- 【図 17】実施の形態 1 に示すシフトレジスタの構成を説明する図。
- 【図 18】実施の形態 1 に示す表示装置の構成を説明する図。
- 【図 19】図 18 で示した表示装置の書き込み動作を説明するタイミングチャート。 20
- 【図 20】実施の形態 1 に示す表示装置の構成を説明する図。
- 【図 21】実施の形態 1 に示すフリップフロップの構成を説明する図。
- 【図 22】実施の形態 2 に示すフリップフロップの構成を説明する図。
- 【図 23】実施の形態 4 に示すフリップフロップの構成を説明する図。
- 【図 24】図 23 で示したフリップフロップの動作を説明するタイミングチャート。
- 【図 25】図 1 で示したフリップフロップの上面図。
- 【図 26】図 13 で示したバッファの構成を説明する図。
- 【図 27】実施の形態 3 に示すフリップフロップの構成を説明する図。
- 【図 28】図 27 で示したフリップフロップの動作を説明するタイミングチャート。
- 【図 29】実施の形態 3 に示すシフトレジスタの構成を説明する図。 30
- 【図 30】図 29 で示したシフトレジスタの動作を説明するタイミングチャート。
- 【図 31】実施の形態 2 に示すフリップフロップの動作を説明するタイミングチャート。
- 【図 32】実施の形態 2 に示すフリップフロップの動作を説明するタイミングチャート。
- 【図 33】実施の形態 2 に示すシフトレジスタの構成を説明する図。
- 【図 34】実施の形態 2 に示すシフトレジスタの構成を説明する図。
- 【図 35】図 33 で示したシフトレジスタの動作を説明するタイミングチャート。
- 【図 36】図 33 で示したシフトレジスタの動作を説明するタイミングチャート。
- 【図 37】実施の形態 5 に示す信号線駆動回路の構成を説明する図。
- 【図 38】図 37 で示した信号線駆動回路の動作を説明するタイミングチャート。
- 【図 39】実施の形態 5 に示す信号線駆動回路の構成を説明する図。 40
- 【図 40】図 39 で示した信号線駆動回路の動作を説明するタイミングチャート。
- 【図 41】実施の形態 5 に示す信号線駆動回路の構成を説明する図。
- 【図 42】実施の形態 6 に示す保護ダイオードの構成を説明する図。
- 【図 43】実施の形態 6 に示す保護ダイオードの構成を説明する図。
- 【図 44】実施の形態 6 に示す保護ダイオードの構成を説明する図。
- 【図 45】実施の形態 7 に示す表示装置の構成を説明する図。
- 【図 46】半導体装置の画素レイアウト例と断面図。
- 【図 47】半導体装置の画素レイアウト例と断面図。
- 【図 48】半導体装置の画素レイアウト例と断面図。
- 【図 49】半導体装置の画素レイアウト例と断面図。 50

【図 5 0】半導体装置の画素レイアウト例と断面図。	
【図 5 1】半導体装置の表示素子の断面図。	
【図 5 2】半導体装置の表示素子の断面図。	
【図 5 3】半導体装置の表示素子の断面図。	
【図 5 4】半導体装置の表示素子の上面図。	
【図 5 5】半導体装置の表示素子の上面図。	
【図 5 6】半導体装置の表示素子の上面図。	
【図 5 7】半導体装置の周辺回路構成を説明する図。	
【図 5 8】半導体装置の周辺回路構成を説明する図。	
【図 5 9】半導体装置のパネル回路構成を説明する図。	10
【図 6 0】半導体装置のパネル回路構成を説明する図。	
【図 6 1】半導体装置の断面図。	
【図 6 2】半導体装置の周辺回路構成を説明する図。	
【図 6 3】半導体装置の断面図。	
【図 6 4】半導体装置の断面図。	
【図 6 5】半導体装置の断面図。	
【図 6 6】半導体装置の断面図。	
【図 6 7】半導体装置の断面図。	
【図 6 8】半導体装置の断面図。	
【図 6 9】半導体装置の断面図。	20
【図 7 0】半導体装置の断面図。	
【図 7 1】半導体装置の断面図。	
【図 7 2】半導体装置の断面図。	
【図 7 3】半導体装置の断面図。	
【図 7 4】半導体装置の断面図。	
【図 7 5】半導体装置の断面図。	
【図 7 6】半導体装置の断面図。	
【図 7 7】半導体装置の断面図。	
【図 7 8】半導体装置の断面図。	
【図 7 9】半導体装置の断面図。	30
【図 8 0】半導体装置の断面図。	
【図 8 1】半導体装置の断面図。	
【図 8 2】半導体装置の周辺構成部材を説明する図。	
【図 8 3】半導体装置の周辺回路構成を説明する図。	
【図 8 4】半導体装置の周辺構成部材を説明する図。	
【図 8 5】半導体装置の周辺構成部材を説明する図。	
【図 8 6】半導体装置の周辺構成部材を説明する図。	
【図 8 7】半導体装置を説明する図。	
【図 8 8】半導体装置の駆動方法の一を説明する図。	
【図 8 9】半導体装置の駆動方法の一を説明する図。	40
【図 9 0】半導体装置の駆動方法の一を説明する図。	
【図 9 1】半導体装置の駆動方法の一を説明する図。	
【図 9 2】半導体装置の画素レイアウト例と断面図。	
【図 9 3】半導体装置の画素レイアウト例と断面図。	
【図 9 4】半導体装置の画素レイアウト例と断面図。	
【図 9 5】半導体装置の表示素子の断面図。	
【図 9 6】半導体装置の表示素子を形成する装置を説明する図。	
【図 9 7】半導体装置の表示素子を形成する装置を説明する図。	
【図 9 8】半導体装置の駆動方法の一を説明する図。	
【図 9 9】半導体装置の駆動方法の一を説明する図。	50

- 【図 1 0 0】半導体装置の画素回路の一を説明する図。
【図 1 0 1】半導体装置の画素回路の一を説明する図。
【図 1 0 2】半導体装置を製造するプロセスを説明する図。
【図 1 0 3】半導体装置の表示素子を説明する図。
【図 1 0 4】半導体装置の表示素子を説明する図。
【図 1 0 5】半導体装置の構造を説明する図。
【図 1 0 6】半導体装置の構造を説明する図。
【図 1 0 7】半導体装置の構造を説明する図。
【図 1 0 8】半導体装置の構造を説明する図。
【図 1 0 9】半導体装置の構造を説明する図。
【図 1 1 0】半導体装置の構造を説明する図。
【図 1 1 1】半導体装置の構造を説明する図。
【図 1 1 2】半導体装置の構造を説明する図。
【図 1 1 3】半導体装置の構造を説明する図。
【図 1 1 4】半導体装置の構造を説明する図。
【図 1 1 5】半導体装置の構造を説明する図。
【図 1 1 6】半導体装置を用いた電子機器を説明する図。
【図 1 1 7】半導体装置を用いた電子機器を説明する図。
【図 1 1 8】半導体装置を用いた電子機器を説明する図。
【図 1 1 9】半導体装置を用いた電子機器を説明する図。
【図 1 2 0】半導体装置を用いた電子機器を説明する図。
【図 1 2 1】半導体装置を用いた電子機器を説明する図。
【図 1 2 2】半導体装置を用いた電子機器を説明する図。
【図 1 2 3】図 1 3 で示したバッファの構成を説明する図。
【図 1 2 4】従来技術のフリップフロップの構成とタイミングチャートを説明する図。
【発明を実施するための形態】
【0 0 7 4】

10

20

30

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。

【0 0 7 5】

（実施の形態 1）

本実施の形態では、フリップフロップ、当該フリップフロップを有する駆動回路、及び当該駆動回路を有する表示装置の構成並びに駆動方法について説明する。

【0 0 7 6】

本実施の形態のフリップフロップの基本構成について、図 1 を参照して説明する。図 1 に示すフリップフロップは、第 1 のトランジスタ 1 0 1、第 2 のトランジスタ 1 0 2、第 3 のトランジスタ 1 0 3、第 4 のトランジスタ 1 0 4、第 5 のトランジスタ 1 0 5、第 6 のトランジスタ 1 0 6 及び第 7 のトランジスタ 1 0 7 を有する。本実施の形態において、第 1 のトランジスタ 1 0 1、第 2 のトランジスタ 1 0 2、第 3 のトランジスタ 1 0 3、第 4 のトランジスタ 1 0 4、第 5 のトランジスタ 1 0 5、第 6 のトランジスタ 1 0 6 及び第 7 のトランジスタ 1 0 7 は、N チャネル型トランジスタとし、ゲート及びソース間電圧（ V_{gs} ）がしきい値電圧（ V_{th} ）を上回ったとき導通状態になるものとする。

40

【0 0 7 7】

図 1 のフリップフロップの接続関係について説明する。第 1 のトランジスタ 1 0 1 の第 1 の電極（ソース電極及びドレイン電極の一方）が第 5 の配線 1 2 5 に接続され、第 1 のトランジスタ 1 0 1 の第 2 の電極（ソース電極及びドレイン電極の他方）が第 3 の配線 1 2 3 に接続される。第 2 のトランジスタ 1 0 2 の第 1 の電極が第 4 の配線 1 2 4 に接続され、第 2 のトランジスタ 1 0 2 の第 2 の電極が第 3 の配線 1 2 3 に接続される。第 3 のトラン

50

ジスタ103の第1の電極が第6の配線126に接続され、第3のトランジスタ103の第2の電極が第2のトランジスタ102のゲート電極に接続され、第3のトランジスタ103のゲート電極が第7の配線127に接続される。第4のトランジスタ104の第1の電極が第9の配線129に接続され、第4のトランジスタ104の第2の電極が第2のトランジスタ102のゲート電極に接続され、第4のトランジスタ104のゲート電極が第1のトランジスタ101のゲート電極に接続される。第5のトランジスタ105の第1の電極が第8の配線128に接続され、第5のトランジスタ105の第2の電極が第1のトランジスタ101のゲート電極に接続され、第5のトランジスタ105のゲート電極が第1の配線121に接続される。第6のトランジスタ106の第1の電極が第10の配線130に接続され、第6のトランジスタ106の第2の電極が第1のトランジスタ101のゲート電極に接続され、第6のトランジスタ106のゲート電極が第2のトランジスタ102のゲート電極に接続される。第7のトランジスタ107の第1の電極が第11の配線131に接続され、第7のトランジスタ107の第2の電極が第1のトランジスタ101のゲート電極に接続され、第7のトランジスタ107のゲート電極が第2の配線122に接続される。

10

【0078】

なお、第1のトランジスタ101のゲート電極、第4のトランジスタ104のゲート電極、第5のトランジスタ105の第2の電極、第6のトランジスタ106の第2の電極及び第7のトランジスタ107の第2の電極の接続箇所をノード141とする。さらに、第2のトランジスタ102のゲート電極、第3のトランジスタ103の第2の電極、第4のトランジスタ104の第2の電極及び第6のトランジスタ106のゲート電極の接続箇所をノード142とする。

20

【0079】

なお、第4の配線124、第9の配線129、第10の配線130及び第11の配線131は互いに接続されてもよいし、同一の配線としてもよい。さらに、第7の配線127及び第8の配線128は互いに接続されてもよいし、同一の配線としてもよい。

【0080】

なお、第1の配線121、第2の配線122、第3の配線123、第5の配線125及び第6の配線126を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線、第5の信号線と呼んでもよい。さらに、第4の配線124、第7の配線127、第8の配線128、第9の配線129、第10の配線130及び第11の配線131を、それぞれ第1の電源線、第2の電源線、第3の電源線、第4の電源線、第5の電源線、第6の電源線と呼んでもよい。

30

【0081】

なお、第7の配線127及び第8の配線128にはそれぞれV1の電位が供給され、第4の配線124、第9の配線129、第10の配線130及び第11の配線131にはそれぞれV2の電位が供給される。さらに、 $V1 > V2$ である。

【0082】

なお、第1の配線121、第2の配線122、第5の配線125及び第6の配線126には、それぞれ信号が入力される。第1の配線121に入力される信号はスタート信号であり、第2の配線122に入力される信号はリセット信号であり、第5の配線125に入力される信号は第1のクロック信号であり、第6の配線126に入力される信号は第2のクロック信号である。さらに、第1の配線121、第2の配線122、第5の配線125及び第6の配線126にそれぞれ入力される信号は、H信号の電位がV1（以下、Hレベルともいう）、L信号の電位がV2（以下、Lレベルともいう）のデジタル信号である。

40

【0083】

なお、第1の配線121、第2の配線122、第2の配線122～第11の配線131には、それぞれ様々な信号、電位及び電流が入力されてもよい。

【0084】

なお、第3の配線123からは信号が出力される。第3の配線123から出力される信号

50

は、各ステージのフリップフロップの出力信号であり、次のステージのフリップフロップのスタート信号（以下、転送信号ともいう）でもある。さらに、第3の配線123から出力される信号は、H信号の電位がV1（以下、Hレベルともいう）、L信号の電位がV2（以下、Lレベルともいう）のデジタル信号である。

【0085】

次に、図1に示したフリップフロップの動作について、図2のタイミングチャート及び図3を参照して説明する。さらに、図2のタイミングチャートを選択期間及び非選択期間に分割して説明する。さらに、非選択期間を第1の非選択期間、第2の非選択期間、セット期間及びリセット期間に分割して説明する。さらに、非選択期間において、セット期間、選択期間及びリセット期間を除く動作期間は、第1の非選択期間及び第2の非選択期間を順に繰り返す。

10

【0086】

なお、図2において、信号221、信号225、信号226、電位241、電位242、信号222及び信号223は、それぞれ第1の配線121に入力される信号、第5の配線125に入力される信号、第6の配線126に入力される信号、ノード141の電位、ノード142の電位、第2の配線122に入力される信号、第3の配線123から出力される信号を示している。

【0087】

まず、図2（A）及び図3（A）に示すセット期間において、信号221がHレベルなので第5のトランジスタ105がオンし、信号222がLレベルなので第7のトランジスタ107がオフする。このときのノード141の電位は、第5のトランジスタ105の第2の電極がソース電極となって、第8の配線128の電位から第5のトランジスタ105のしきい値電圧を引いた値となるため $V1 - V_{th}(105)$ ($V_{th}(105)$ ：第5のトランジスタ105のしきい値電圧) となる。よって、第1のトランジスタ101及び第4のトランジスタ104がオンし、第5のトランジスタ105がオフする。このときのノード142の電位（電位242）は、第3のトランジスタ103と第4のトランジスタ104との抵抗比（ L/W 及び印加電圧）によって決定され、 $V2 + \beta$ （ β ：任意の正の数）となる。さらに、 $\beta < V_{th}(102)$ ($V_{th}(102)$ ：第2のトランジスタ102のしきい値電圧) 及び $\beta < V_{th}(106)$ （第6のトランジスタ106のしきい値電圧) とする。つまり、第9の配線129の電位（V2）と第6の配線126の電位（V1）との電位差（ $V1 - V2$ ）が第3のトランジスタ103及び第4のトランジスタ104によって分圧される。よって、第2のトランジスタ102及び第6のトランジスタ106がオフする。このように、セット期間では、第3の配線123はL信号が入力されている第5の配線125と導通するため、第3の配線123の電位がV2となる。したがって、L信号が第3の配線123から出力される。さらに、ノード141は、電位を $V1 - V_{th}(105)$ に維持したまま浮遊状態となる。

20

30

【0088】

図2（B）及び図3（B）に示す選択期間では、信号221がLレベルとなって第5のトランジスタ105がオフし、信号222がLレベルのままなので第7のトランジスタ107がオフのままである。このときのノード141は電位を $V1 - V_{th}(105)$ に維持している。よって、第1のトランジスタ101及び第4のトランジスタ104はオンのままである。このときのノード142の電位は、第6の配線126がLレベルとなるためV2となる。よって、第2のトランジスタ102及び第6のトランジスタ106はオフのままである。ここで、第5の配線125にH信号が入力されるので、第3の配線123の電位が上昇し始める。このとき、ノード141の電位は、ブートストラップ動作によって $V1 - V_{th}(105)$ から上昇し、 $V1 + V_{th}(101) + \alpha(V_{th}(101))$ ：第1のトランジスタ101のしきい値電圧、 α ：任意の正の数) となる。したがって、第3の配線123の電位は、第5の配線125と等しい電位となるのでV1となる。なお、このブートストラップ動作は、第1のトランジスタ101のゲート電極と第2の電極との間の寄生容量の容量結合によって行われる。このように、選択期間では、第3の配線123

40

50

はH信号が入力されている第5の配線125と導通するため、第3の配線123の電位がV1となる。したがって、H信号が第3の配線123から出力される。

【0089】

図2(C)及び図3(C)に示すリセット期間では、信号221がLレベルのままなので第5のトランジスタ105がオフのままであり、信号222がHレベルとなって第7のトランジスタ107がオンする。このときのノード141の電位は、第11の配線の電位(V2)が第7のトランジスタ107を介して供給されるためV2となる。よって、第1のトランジスタ101及び第4のトランジスタ104がオフする。このときのノード142の電位は、第3のトランジスタ103の第2の電極がソース電極となって、第6の配線126の電位(V1)から第3のトランジスタ103のしきい値電圧を引いた値となるため $V1 - V_{th}(103)$ ($V_{th}(103)$: 第3のトランジスタ103のしきい値電圧) となる。よって、第2のトランジスタ102及び第6のトランジスタ106がオンする。このように、リセット期間では、第3の配線123はV2が供給されている第4の配線124と導通するため、第3の配線123の電位がV2となる。したがって、L信号が第3の配線123から出力される。

【0090】

図2(D)及び図3(D)に示す第1の非選択期間では、信号221がLレベルのままなので第5のトランジスタ105がオフのままであり、信号222がLレベルとなって第7のトランジスタ107がオフする。このときのノード142の電位は、第6の配線126にL信号が入力されるためV2となる。よって、第2のトランジスタ102及び第6のトランジスタ106がオフする。このときのノード141は、浮遊状態となるため電位をV2に維持する。よって、第1のトランジスタ101及び第4のトランジスタ104はオフのままである。このように、第1の非選択期間では、第3の配線123は浮遊状態となるため、第3の配線123の電位はV2を維持する。

【0091】

図2(E)及び図3(E)に示す第2の非選択期間では、信号221がLレベルのままなので第5のトランジスタ105がオフのままであり、信号222がLレベルのままなので第7のトランジスタ107がオフのままである。このときのノード142の電位は、第6の配線126にH信号が入力され、トランジスタ104がオフしているため $V1 - V_{th}(103)$ となる。よって、第2のトランジスタ102及び第6のトランジスタ106がオンする。このときのノード141の電位は、第10の配線130の電位(V2)が第6のトランジスタ106を介して供給されるためV2のままである。よって、第1のトランジスタ101及び第4のトランジスタ104はオフのままである。このように、第2の非選択期間では、第3の配線123はV2が供給されている第4の配線124と導通するため、第3の配線123の電位がV2のままである。したがって、L信号が第3の配線123から出力される。

【0092】

以上のことから、図1のフリップフロップは、選択期間においてブートストラップ動作動作を用いて、ノード141の電位を $V1 + V_{th}(101)$ よりも高くすることによって、第3の配線123の電位をV1とすることができる。さらに、図1のフリップフロップは、このブートストラップ動作が第1のトランジスタ101の第2の電極とゲート電極との間の寄生容量の容量結合を用いて行われることによって、レイアウト面積の縮小及び素子数の低減などのメリットを得ることができる。

【0093】

さらに、図1のフリップフロップは、第2のトランジスタ102及び第6のトランジスタ106が第2の非選択期間においてのみオンするため、第2のトランジスタ102及び第6のトランジスタ106のしきい値電圧のシフトを抑制することができる。

【0094】

なお、図1のフリップフロップは、第3のトランジスタ103のゲート電極にV1を供給し、第1の電極に第2のクロック信号を入力することで、第3のトランジスタ103のし

10

20

30

40

50

きい値電圧のシフトも抑制することができる。

【0095】

さらに、図1のフリップフロップは、第1のトランジスタ101、第4のトランジスタ104、第5のトランジスタ105及び第7のトランジスタ107が第1の非選択期間及び第2の非選択期間においてオンしないため、第1のトランジスタ101、第4のトランジスタ104、第5のトランジスタ105及び第7のトランジスタ107のしきい値電圧のシフトを抑制することができる。

【0096】

さらに、図1のフリップフロップは、ノード141の電位及び第3の配線123の電位が第1の非選択期間において変動しても、次の第2の非選択期間においてノード141及び第3の配線123にV2を供給することで、ノード141の電位及び第3の配線123の電位をV2にリセットすることができる。したがって、図1のフリップフロップは、ノード141及び配線123が浮遊状態となって、ノード141及び第3の配線123の電位が変動することが原因となる誤動作を抑制することができる。

【0097】

さらに、図1のフリップフロップは、トランジスタのしきい値シフトを抑制できるため、トランジスタのしきい値電圧シフトが原因となる誤動作を抑制することができる。

【0098】

さらに、図1のフリップフロップは、第1のトランジスタ101乃至第7のトランジスタ107が全てNチャネル型トランジスタで構成されている。したがって、図1のフリップフロップは、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示装置を作製することも可能となる。ただし、トランジスタの半導体層として、ポリシリコンや多結晶シリコンを用いても製造工程の簡略化を図ることができる。

【0099】

なお、図1のフリップフロップは、トランジスタの半導体層として特性劣化（しきい値電圧のシフト）が顕著に表れるアモルファスシリコンを用いても、トランジスタの特性劣化を抑制することができるため、長寿命な表示装置を作製することができる。

【0100】

ここで、第1のトランジスタ101乃至第8のトランジスタ108が有する機能を説明する。第1のトランジスタ101は、第5の配線125の電位を第3の配線123に供給するタイミングを選択し、ノード141の電位をブートストラップ動作によって上昇させる機能を有し、ブートストラップ用トランジスタとして機能する。第2のトランジスタ102は、第4の配線124の電位を第3の配線123に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第3のトランジスタ103は、第6の配線の電位と第9の配線129の電位とを分圧する機能を有し、抵抗素子又は抵抗成分を有するトランジスタとして機能する。第4のトランジスタ104は、第9の配線129の電位をノード142に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第5のトランジスタは、第8の配線の電位をノード141に供給するタイミングを選択する機能を有し、入力用トランジスタとして機能する。第6のトランジスタ106は、第10の配線130の電位をノード141に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第7のトランジスタ107は、第11の配線131の電位をノード141に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。ただし、第1のトランジスタ101乃至第7のトランジスタ107は上記説明した機能を有していれば、トランジスタとは限定されない。例えば、スイッチングトランジスタとして機能する第2のトランジスタ102、第4のトランジスタ104、第6のトランジスタ106及び第7のトランジスタ107は、スイッチング機能を有する素子であれば、ダイオード、CMOSアナログスイッチ又は様々な論理回路などを適用してもよい。さらに、入力用トランジスタとして機能する第

10

20

30

40

50

5のトランジスタ105は、ノード141の電位を上昇させてオフするタイミングを選択する機能有していればよく、PN接合ダイオード又はダイオード接続したトランジスタなどを適用してもよい。

【0101】

なお、第3のトランジスタ103と第4のトランジスタ104とで交流パルス生成回路を構成している。交流パルス生成回路は、第3のトランジスタ103の第1の電極から入力される信号をノード142に出力する。ただし、交流パルス生成回路は、第4のトランジスタ104のゲート電極がHレベルの場合は、第3のトランジスタ103の第1の電極から入力される信号に関係なくノード142にL信号を出力する。

【0102】

なお、本実施の形態のフリップフロップにおいて、第1のトランジスタ101～第7のトランジスタ107のそれぞれのW/Lの値の中で、第1のトランジスタ101のW/Lの値が最大になるようにすると、信号223の立ち下がり時間及び立ち上がり時間を短くすることができる。これにより、本実施の形態のフリップフロップは、配線123に大きな負荷が接続されても、なまりや遅延が少ない信号を出力することができる。

【0103】

さらに、本実施の形態のフリップフロップにおいて、第1のトランジスタ101のW/Lの値は、第5のトランジスタ105のW/Lの値よりも2倍乃至5倍であることが好ましく、より好ましくは3倍～4倍である。これにより、実施の形態1のフリップフロップは、配線123に大きな負荷が接続されても、なまりや遅延が少ない信号を出力することができる。

【0104】

さらに、本実施の形態のフリップフロップにおいて、第4のトランジスタ104のW/Lの値を第3のトランジスタ103のW/Lの値よりも大きくすると、セット期間におけるノード142の電位を小さくすることができる。これにより、本実施の形態のフリップフロップは、セット期間に第6のトランジスタ106を確実にオフできるため、誤動作を抑制することができる。

【0105】

さらに、本実施の形態のフリップフロップにおいて、第3のトランジスタ103のLの値は、第4のトランジスタ104のLの値よりも大きいことが好ましく、より好ましくは2倍乃至3倍である。これにより、本実施の形態のフリップフロップは、第3のトランジスタ103のW/Lの値が小さくなるため、第4のトランジスタ104のWの値を小さくすることができる、レイアウト面積を縮小を図ることができる。

【0106】

なお、図1と同様の動作を行うものであれば、各トランジスタの配置及び数などは図1に限定されない。図1のフリップフロップの動作を説明した図3から分かるように、本実施の形態では、セット期間、選択期間、リセット期間、第1の非選択期間及び第2の非選択期間は、それぞれ図3(A)乃至(E)に示す実線のように導通がとれていればよい。よって、これを満たすようにトランジスタ等を配置し、動作させうる構成であれば、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

【0107】

例えば、図4(A)に示すフリップフロップは、第1のトランジスタ101のゲート電極と第2の電極との間に容量素子401を配置することで、選択期間でのブートストラップ動作をより安定して行うことができる。さらに、図4(A)のフリップフロップは、第1のトランジスタ101のゲート電極と第2の電極との間の寄生容量を小さくできるため、各トランジスタが高速にスイッチングできる。あるいは、図4(B)に示すように、容量素子401としてトランジスタ402を用いてもよい。トランジスタ402は、ゲート電極がノード141に接続され、第1の電極及び第2の電極が第3の配線123に接続されることで、大きな容量成分を持つ容量素子として機能することができる。ただし、ラン

10

20

30

40

50

ジスタ402は、第1の電極及び第2の電極のうちどちらか一方を浮遊としても容量素子として機能できる。なお、図1の構成と共通するところは共通の符号を用いてその説明を省略する。

【0108】

なお、容量素子401は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。ただし、容量素子401は、導電膜としてゲート電極層及び配線層を用いる場合、ゲート電極層を第1のトランジスタ101のゲート電極と接続し、配線層を第1のトランジスタ101の第2の電極と接続するとよい。より望ましくは、導電膜としてゲート電極層及び配線層を用いる場合、ゲート電極層を第1のトランジスタ101のゲート電極と直接接続し、配線層を第1のトランジスタ101の第2の電極と直接接続するとよい。なぜなら、容量素子401の配置によるフリップフロップのレイアウト面積の増加が小さくなるからである。

【0109】

別の例として、図4（C）に示すフリップフロップは、第1のトランジスタ101の第1の電極を第1の配線121に接続することで（第1のトランジスタ101をダイオード接続することで）、第8の配線128が不必要になり、配線及び電源（V1）を1つ減らすことができる。なお、図1の構成と共通するところは共通の符号を用いてその説明を省略する。

【0110】

別の例として、図4（D）に示すフリップフロップは、第3のトランジスタ103の代わりに抵抗素子403を用いることで、配線及び電源を1つ減らすことができる。さらに、図4（D）のフリップフロップは、第2の非選択期間においてノード142の電位を第6の配線126の電位（V1）と等しくできるので、駆動能力の向上を図ることができる。なお、図1の構成と共通するところは共通の符号を用いてその説明を省略する。

【0111】

別の例として、図7（A）に示すフリップフロップは、第2のトランジスタ102のゲート電極を任意の信号が入力される配線711に接続することで、第2のトランジスタ102のゲート電極に逆バイアスを印加できる。さらに、第2のトランジスタ102のV_{gs}を小さくできる。したがって、第2のトランジスタ102のしきい値シフトをさらに抑制することができる。なお、図1の構成と共通するところは共通の符号を用いてその説明を省略する。

【0112】

別の例として、図7（B）に示すフリップフロップは、第2のトランジスタ102のゲート電極が第6の配線126に接続されることで、セット期間においても第2のトランジスタ102をオンできるため、駆動能力の向上を図ることができる。さらに、第3の配線123のノイズの低減を図ることができる。なお、図1の構成と共通するところは共通の符号を用いてその説明を省略する。

【0113】

別の例として図7（C）に示すフリップフロップは、第3のトランジスタ103の代わりに、ダイオード接続のトランジスタ701及びダイオード接続のトランジスタ702を用いることで、配線及び電源を1つ減らすことができる。トランジスタ701の第1の電極、トランジスタ702の第2の電極及びトランジスタ701のゲート電極が第6の配線126に接続され、トランジスタ701の第2の電極、トランジスタ702の第2の電極及びトランジスタ702のゲート電極がノード141に接続される。つまり、第6の配線126とノード141との間に2つの逆向きのダイオードが並列に接続される。なお、図1の構成と共通するところは共通の符号を用いてその説明を省略する。

【0114】

別の例として、図21（A）に示すように、第6のトランジスタ106は必ずしも必要で

10

20

30

40

50

はない。なぜなら、第6のトランジスタ106は、非選択期間においてノード141の電位をLレベルに維持することができれば、必ずしも必要ではないからである。よって、図21(A)のフリップフロップは、トランジスタ数を減らすことができるため、レイアウト面積の縮小などのメリットを得ることができる。なお、図1の構成と共通するところは共通の符号を用いてその説明を省略する。

【0115】

別の例として、図21(B)に示すように、第4のトランジスタ104の代わりに、第8のトランジスタ2108を用いてもよい。第8のトランジスタ2108の第1の電極が第12の配線2132に接続され、第8のトランジスタ2108の第2の電極がノード142に接続され、第8のトランジスタ2108のゲート電極が第1の配線121に接続される。さらに、第12の配線2132にはV2が供給される。こうすることで、図21(B)のフリップフロップは、スタート信号によって第8のトランジスタ2108のオン・オフが制御されるため、セット期間においてノード142の電位の立ち下がり時間を短くすることができる、かつ、第2のトランジスタ102及び第6のトランジスタ106がオフする時間も早くすることができる。さらに、図21(B)のフリップフロップは、第6のトランジスタ106がオフする時間が早くなるため、セット期間においてノード141の電位の立ち上がり時間を短くすることができる。こうして、図21(B)のフリップフロップは、フリップフロップの駆動能力の向上を図ることができる。なお、図1の構成と共通するところは共通の符号を用いてその説明を省略する。

【0116】

なお、第8の配線128は、第4の配線124、第9の配線129、第10の配線130又は第11の配線131に接続されていてもよい。

【0117】

別の例として、図21(C)に示すように、第8のトランジスタ2108を追加してもよい。第8のトランジスタ2108は、スタート信号がHレベルの場合にノード142の電位をLレベルにできればよいので、トランジスタサイズを小さくできる。さらに、図22(C)のフリップフロップは、スタート信号によって第8のトランジスタ2108のオン・オフが制御されるので、図22(B)のフリップフロップと同様に、フリップフロップの駆動能力の向上を図ることができる。なお、図1、図21(B)の構成と共通するところは共通の符号を用いてその説明を省略する。

【0118】

なお、図1と同様の動作を行うものであれば、各配線の接続関係は図1に限定されない。図1のフリップフロップの動作を説明した図3から分かるように、本実施の形態では、セット期間、選択期間、リセット期間、第1の非選択期間及び第2の非選択期間は、それぞれ図3(A)乃至(E)に示す実線のように導通がとれていればよい。よって、これを満たすように各配線が配置又は接続されていればよい。

【0119】

例えば、図5(A)に示すように、第2のトランジスタ102の第1の電極、第4のトランジスタ104の第1の電極、第6のトランジスタ106の第1の電極及び第7のトランジスタ107の第1の電極が第6の配線506に接続されていてもよい。さらに、第3のトランジスタ103の第1の電極及び第5のトランジスタ105の第1の電極が第7の配線507に接続されていてもよい。こうして、図5(A)のフリップフロップは、図1のフリップフロップに比べて、配線数を11本から7本に減らすことができる。さらに、図5(A)のフリップフロップは、配線数が減ることによって、シフトレジスタの歩留まりの向上を図ることができる。さらに、図5(A)のフリップフロップは、配線の引き回し面積を小さくでき、シフトレジスタのレイアウト面積の縮小を図ることができる。さらに、図5(A)のフリップフロップは、各配線の幅を大きくできるため電圧降下を小さくでき、シフトレジスタの駆動能力の向上を図ることができる。なお、図1の構成と共通するところは共通の符号を用いてその説明を省略する。

【0120】

なお、図 5 (A) に示す第 6 の配線 5 0 6 は、図 1 に示した第 4 の配線 1 2 4、第 9 の配線 1 2 9、第 10 の配線 1 3 0 及び第 11 の配線 1 3 1 に相当する。さらに、図 5 (A) に示す第 7 の配線 1 2 7 は、図 1 に示した第 7 の配線 1 2 7 及び第 8 の配線 1 2 8 に相当する。さらに、図 5 (A) に示す第 1 の配線 5 0 1、第 2 の配線 5 0 2、第 3 の配線 5 0 3、第 4 の配線 5 0 4 及び第 5 の配線 5 0 5 は、それぞれ図 1 に示した第 1 の配線 1 2 1、第 2 の配線 1 2 2、第 3 の配線 1 2 3、第 5 の配線 1 2 5、第 6 の配線 1 2 6 に相当する。

【0 1 2 1】

なお、第 6 の配線 5 0 6 及び第 7 の配線 5 0 7 を、それぞれ第 1 の電源線、第 2 の電源線と呼んでもよい。さらに、第 1 の配線 5 0 1、第 2 の配線 5 0 2、第 3 の配線 5 0 3、第 4 の配線 5 0 4 及び第 5 の配線 5 0 5 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線、第 5 の信号線と呼んでもよい。

10

【0 1 2 2】

別の例として、図 5 (B) に示すように、第 4 のトランジスタ 1 0 4 の第 1 の電極が第 8 の配線 5 0 8 に接続されてもよい。図 5 (B) のフリップフロップは、セット期間において第 4 のトランジスタ 1 0 4 に生じる瞬間電流を第 8 の配線 5 0 8 に流すことで、第 6 の配線 5 0 6 の電圧降下による誤動作を抑制することができる。なお、図 1 及び図 5 (A) の構成と共通するところは共通の符号を用いてその説明を省略する。

【0 1 2 3】

別の例として、図 5 (C) に示すように、第 2 のトランジスタ 1 0 2 の第 1 の電極が第 9 の配線 5 0 9 に接続されてもよい。図 5 (B) のフリップフロップは、リセット期間において第 2 のトランジスタ 1 0 2 に生じる瞬間電流を第 9 の配線 5 0 9 に流すことで、第 6 の配線 5 0 6 の電圧降下による誤動作を抑制することができる。なお、図 1 及び図 5 (A) の構成と共通するところは共通の符号を用いてその説明を省略する。

20

【0 1 2 4】

別の例として、図 5 (D) に示すように、第 3 のトランジスタ 1 0 3 のゲート電極が第 10 の配線 5 1 0 に接続されてもよい。図 5 (D) のフリップフロップは、第 10 の配線 5 1 0 に V1 よりも低い電位を供給すれば、第 2 の非選択期間において第 2 のトランジスタ 1 0 2 のゲート電極の電位及び第 6 のトランジスタ 1 0 6 のゲート電極の電位が下がるため、第 2 のトランジスタ 1 0 2 及び第 6 のトランジスタ 1 0 6 の特性劣化を抑制することができる。なお、図 1 及び図 5 (A) の構成と共通するところは共通の符号を用いてその説明を省略する。

30

【0 1 2 5】

なお、図 1 と同様の動作を行うものであれば、電源電位、信号振幅及び信号タイミングは図 2 のタイミングチャートに限定されない。図 1 のフリップフロップの動作を説明した図 3 から分かるように、本実施の形態では、セット期間、選択期間、リセット期間、第 1 の非選択期間及び第 2 の非選択期間は、それぞれ図 3 (A) 乃至 (E) に示す実線のように導通がとれていればよい。よって、これを満たすように電源電位、信号振幅及び信号タイミングを変えてもよい。

【0 1 2 6】

例えば、図 6 のタイミングチャートに示すように、第 1 の配線 1 2 1、第 5 の配線 1 2 5、第 6 の配線 1 2 6 に H 信号を入力する期間を短くしてもよい。図 6 は、図 2 のタイミングチャートと比較して、信号が L レベルから H レベルに切り替わるタイミングが期間 T a 1 だけ遅延し、信号が H レベルから L レベルに切り替わるタイミングが期間 T a 2 だけ早くなっている。つまり、図 6 は、図 2 と比較して、信号が H レベルとなる期間 (期間 T b) が期間 T a 1 + 期間 T a 2 だけ短くなっている。したがって、図 6 のタイミングチャートを適用したフリップフロップは、各配線の瞬間電流が小さくなるため、省電力化、誤動作の抑制、駆動能力の向上などを図ることができる。さらに、図 6 のタイミングチャートを適用したフリップフロップは、リセット期間において、第 3 の配線 1 2 3 から出力される信号の立ち下がり時間を短くできる。。なぜなら、ノード 1 4 1 の電位が L レベルとな

40

50

るタイミングが期間 T_{a1} + 期間 T_{a2} だけ遅延するので、第 5 の配線 125 に入力されている L 信号が電流能力の大きい（チャネル幅が大きい）第 1 のトランジスタ 101 を介して第 3 の配線 123 に供給されるからである。なお、図 2 のタイミングチャートと共通するところは共通の符号を用いてその説明を省略する。

【0127】

なお、期間 T_{a1} 、期間 T_{a2} 及び期間 T_b の関係は、 $((T_{a1} + T_b) / (T_{a1} + T_{a2} + T_b)) \times 100 < 10$ [%] とすることが望ましい。より望ましくは、 $((T_{a1} + T_b) / (T_{a1} + T_{a2} + T_b)) \times 100 < 5$ [%] とすることが望ましい。さらに、期間 T_{a1} 期間 T_{a2} とすることが望ましい。

【0128】

別の例として、第 7 の配線 127 に V_a ($V_2 < V_a < V_1$) を供給すると、リセット期間及び第 2 の非選択期間においてノード 142 の電位が $V_a - V_{th}$ (103) となるため、第 2 のトランジスタ 102 及び第 6 のトランジスタ 106 のしきい値電圧シフトを抑制することができる。

【0129】

別の例として、第 7 の配線 127 に V_b ($V_1 + V_{th}$ (103) $< V_b$) を供給すると、リセット期間及び第 2 の非選択期間においてノード 142 の電位が V_1 となるため、第 2 のトランジスタ 102 及び第 6 のトランジスタ 106 をオンしやすくできる。

【0130】

別の例として、第 6 の配線 126 に入力される L 信号の電位を V_c ($V_c < V_2$)、H 信号の電位を V_d ($V_1 > V_d > V_2$) とすることで、第 2 のトランジスタ 102 及び第 6 のトランジスタ 106 のしきい値電圧シフトを抑制することができる。なぜなら、セット期間及び第 1 の非選択期間においてノード 142 の電位が V_c となって、第 2 のトランジスタ 102 及び第 6 のトランジスタ 106 に逆バイアスが印加されるからである。さらに、リセット期間及び第 2 の非選択期間においてノード 142 の電位が V_d となって、第 2 のトランジスタ 102 及び第 6 のトランジスタ 106 の V_{gs} が小さくなるからである。

【0131】

図 5 (A) に示したフリップフロップの上面図の一例を図 25 に示す。導電層 2501 は、第 2 のトランジスタ 102 のゲート電極、第 6 のトランジスタ 106 のゲート電極として機能する部分を含み、配線 2547 を介して導電層 2502 と接続される。導電層 2502 は、第 3 のトランジスタ 103 の第 2 の電極、第 4 のトランジスタ 104 の第 2 の電極として機能する部分を含む。導電層 2503 は、第 2 のトランジスタ 102 の第 1 の電極、第 6 のトランジスタ 106 の第 1 の電極、第 4 のトランジスタ 104 の第 1 の電極として機能する部分を含み、第 6 の配線 506 と接続される。導電層 2504 は、第 2 のトランジスタ 102 の第 2 の電極として機能する部分を含み、配線 2548 を介して第 3 の配線 503 と接続される。導電層 2505 は、第 5 のトランジスタ 105 の第 2 の電極、第 7 のトランジスタ 107 の第 2 の電極として機能する部分を含み、配線 2549 を介して導電層 2510 と接続される。導電層 2506 は、第 7 のトランジスタ 107 の第 1 の電極として機能する部分を含み、第 6 の配線 506 と接続される。導電層 2507 は、第 1 のトランジスタ 101 の第 1 の電極として機能する部分を含み、配線 2541 を介して第 4 の配線 504 と接続される。導電層 2508 は、第 1 のトランジスタ 101 の第 2 の電極として機能する部分を含み、配線 2548 を介して第 3 の配線 503 と接続される。導電層 2510 は、第 1 のトランジスタ 101 のゲート電極、第 4 のトランジスタ 104 のゲート電極として機能する部分を含む。導電層 2511 は、第 7 のトランジスタ 107 のゲート電極として機能する部分を含み、配線 2546 を介して第 2 の配線 502 と接続される。導電層 2512 は、第 3 のトランジスタ 103 のゲート電極として機能する部分を含み、配線 2544 を介して第 7 の配線 507 に接続される。導電層 2513 は、第 3 のトランジスタ 103 の第 1 の電極として機能する部分を含み、配線 2543 を介して第 5 の配線 505 と接続される。導電層 2514 は、第 5 のトランジスタ 105 のゲート電極として機能する部分を含み、配線 2545 を介して第 1 の配線 501 と接続される。導

10

20

30

40

50

電層 2515 は、第 6 のトランジスタ 106 の第 2 の電極として機能する部分を含み、配線 2547 を介して導電層 2510 と接続される。

【0132】

なお、第 1 のトランジスタ 101 のゲート電極、第 1 の電極及び第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2581 とが重なって形成される部分である。第 2 のトランジスタ 102 のゲート電極、第 1 の電極及び第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2582 とが重なって形成される部分である。第 3 のトランジスタ 103 のゲート電極、第 1 の電極及び第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2583 とが重なって形成される部分である。第 4 のトランジスタ 104 のゲート電極、第 1 の電極及び第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2584 とが重なって形成される部分である。第 5 のトランジスタ 105 のゲート電極、第 1 の電極及び第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2585 とが重なって形成される部分である。第 6 のトランジスタ 106 のゲート電極、第 1 の電極及び第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2586 とが重なって形成される部分である。第 7 のトランジスタ 107 のゲート電極、第 1 の電極及び第 2 の電極として機能する部分は、それぞれを含む導電層と半導体層 2587 とが重なって形成される部分である。

【0133】

上述した本実施の形態のフリップフロップを有するシフトレジスタの構成及び駆動方法について説明する。

【0134】

本実施の形態のシフトレジスタの構成について図 10 を参照して説明する。図 10 のシフトレジスタは、 n 個のフリップフロップ（フリップフロップ 1001__1～フリップフロップ 1001__ n ）を有する。

【0135】

図 10 のシフトレジスタの接続関係について説明する。図 10 のシフトレジスタは、 i 段目のフリップフロップ 1001__ i （フリップフロップ 1001__1～1001__ n のうちいずれか）は、第 2 の配線 1012、第 3 の配線 1013、第 4 の配線 1014、第 5 の配線 1015、第 6 の配線 1016、第 8 の配線 1018__ $i-1$ 、第 8 の配線 1018__ i 及び第 8 の配線 1018__ $i+1$ に接続される。ただし、1 段目のフリップフロップ 1001__1 は、第 1 の配線 1011、第 2 の配線 1012、第 3 の配線 1013、第 4 の配線 1014、第 5 の配線 1015、第 6 の配線 1016、第 8 の配線 1018__1 及び第 8 の配線 1018__2 に接続される。さらに、 n 段目のフリップフロップ 1001__ n は、第 2 の配線 1012、第 3 の配線 1013、第 4 の配線 1014、第 5 の配線 1015、第 6 の配線 1016、第 7 の配線 1017、第 8 の配線 1018__ $n-1$ 及び第 8 の配線 1018__ n に接続される。

【0136】

第 1 の配線 1011 は、フリップフロップ 1001__1 の図 1 に示す第 1 の配線 121 に接続される。第 2 の配線 1012 は、奇数段目のフリップフロップでは図 1 に示す第 5 の配線 125 に接続され、偶数段目のフリップフロップでは図 1 に示す第 6 の配線 126 に接続される。第 3 の配線 1013 は、奇数段目のフリップフロップでは図 1 に示す第 6 の配線 126 に接続され、偶数段目のフリップフロップでは図 1 に示す第 5 の配線 125 に接続される。第 4 の配線 1014 は、全段のフリップフロップで図 1 に示す第 7 の配線 127 に接続される。第 5 の配線 1015 は、全段のフリップフロップで図 1 に示す第 8 の配線 128 に接続される。第 6 の配線 1016 は、全段のフリップフロップで図 1 に示す第 4 の配線 124、第 9 の配線 129、第 10 の配線 130 及び第 11 の配線 131 に接続される。第 8 の配線 1018__ i は、フリップフロップ 1001__ $i-1$ の図 1 に示す第 2 の配線 122、フリップフロップ 1001__ i の図 1 に示す第 3 の配線 123 及びフリップフロップ 1001__ $i+1$ の図 1 に示す第 1 の配線 121 に接続される。ただし、第 8 の配線 1018__1 は、フリップフロップ 1001__1 の図 1 に示す第 3 の配線 12

3 及びフリップフロップ 1001__2 の図 1 に示す第 1 の配線 121 に接続される。さらに、第 8 の配線 1018__n は、フリップフロップ 1001__n-1 の図 1 に示す第 2 の配線 122 及びフリップフロップ 1001__n の図 1 に示す第 3 の配線 123 に接続される。

【0137】

なお、第 4 の配線 1014 及び第 5 の配線 1015 にはそれぞれ V1 の電位が供給され、第 6 の配線 1016 には V2 の電位が供給される。

【0138】

なお、第 1 の配線 1011、第 2 の配線 1012、第 3 の配線 1013 及び第 7 の配線 1017 にはそれぞれ信号が入力される。第 1 の配線 1011 に入力される信号はスタート信号であり、第 2 の配線 1012 に入力される信号は第 1 のクロック信号であり、第 3 の配線 1013 に入力される信号は第 2 のクロック信号であり、第 7 の配線 1017 に入力される信号はリセット信号である。さらに、第 1 の配線 1011、第 2 の配線 1012、第 3 の配線 1013 及び第 7 の配線 1017 にそれぞれ入力される信号は、H 信号の電位が V1、L 信号の電位が V2 のデジタル信号である。

【0139】

なお、第 1 の配線 1011～第 7 の配線 1017 には、様々な信号、電源電位又は電流が入力されてもよい。

【0140】

なお、第 8 の配線 1018__1～第 8 の配線 1018__n からは信号が出力される。例えば、第 8 の配線 1018__i から出力される信号は、フリップフロップ 1001__i の出力信号となる。さらに、第 8 の配線 1018__i から出力される信号は、フリップフロップ 1001__i+1 のスタート信号及びフリップフロップ 1001__i-1 のリセット信号でもある。

【0141】

なお、第 1 の配線 1011 乃至第 7 の配線 1017 に入力される信号又は供給される電圧が同じ場合には、第 1 の配線 1011 乃至第 7 の配線 1017 それぞれは接続されてもよいし、同一の配線としてもよい。

【0142】

次に、図 10 に示したシフトレジスタの動作について、図 11 のタイミングチャート及び図 12 のタイミングチャートを参照して説明する。ここで、図 11 のタイミングチャートは、走査期間と帰線期間とに分割されている。走査期間は、第 8 の配線 1018__1 からの選択信号の出力が開始して第 8 の配線 1018__n からの選択信号の出力が終了するまでの期間である。帰線期間は、第 8 の配線 1018__n からの選択信号の出力が終了して第 8 の配線 1018__1 からの選択信号の出力が開始されるまでの期間である。

【0143】

なお、図 11 において、第 1 の配線 1011 に入力される信号 1111、第 2 の配線 1012 に入力される信号 1112、第 3 の配線 1013 に入力される信号 1113、第 7 の配線 1017 に入力される信号 1117、第 8 の配線 1018__1 に出力される信号第 8 の配線 1018__2 及び第 8 の配線 1018__n に出力される信号 1118__n を示している。さらに、図 12 において、第 1 の配線 1011 に入力される信号 1211、第 8 の配線 1018__1 に出力される信号 1218__1、第 8 の配線 1018__i に出力される信号 1218__i、第 8 の配線 1018__i+1 に出力される信号 1218__i+1 及び第 8 の配線 1018__n に出力される信号 1218__n を示している。

【0144】

図 12 に示すように、例えば、フリップフロップ 1001__i が選択期間（になると、第 8 の配線 1018__i から H 信号が出力される。このとき、フリップフロップ 1001__i+1 はセット期間となる。その後、フリップフロップ 1001__i はリセット期間になって、第 8 の配線 1018__i から L 信号が出力される。このとき、フリップフロップ 1001__i+1 は選択期間となる。その後、フリップフロップ 1001__i は第 1 の非選

10

20

30

40

50

択期間になって、第8の配線1018__iが浮遊状態になって電位をLレベルに維持する。このとき、フリップフロップ1001__i+1はリセット期間となる。その後、フリップフロップ1001__iは第2の非選択期間になって、第8の配線1018__iからL信号が出力される。このとき、フリップフロップ1001__i+1は第1の非選択期間となる。こうして、フリップフロップ1001__iは、次のセット期間まで、第1の非選択期間及び第2の非選択期間を繰り返す。

【0145】

以上のことから、図10のシフトレジスタは、選択信号を第8の配線1018__1から順に第8の配線1018__nまで出力することができる。つまり、図10のシフトレジスタは、第8の配線1018__1～第8の配線1018__nを走査することができる。したがって、図10のシフトレジスタは、シフトレジスタとしての機能を十分得ることができる。

10

【0146】

さらに、最終段のフリップフロップ1001__nに入力されるリセット信号は、第7の配線1017を介して入力されることを特徴とする。こうすることで、図10のシフトレジスタは、ダミーのフリップフロップが必要なくなるため、レイアウト面積を縮小することができる。ただし、ダミーのフリップフロップが配置されていてもよい。

【0147】

さらに、図10のシフトレジスタは、第1の配線1011に入力する信号のタイミングによって、自由に帰線期間を決定することができる。

20

【0148】

さらに、図10のシフトレジスタは、本実施の形態に示したフリップフロップを適用することで、トランジスタのしきい値シフトの抑制を図ることができる。さらに、図10のシフトレジスタは、長寿命化を図ることができる。さらに、図10のシフトレジスタは、駆動能力の向上を図ることができる。さらに、誤作動の抑制を図ることができる。さらに、図10のシフトレジスタは、工程の簡略化などを行うことができる。

【0149】

なお、図10と同様の動作を行うものであれば、図10の構成に限定されない。

【0150】

例えば、図13に示すように、各フリップフロップの出力信号をそれぞれバッファを介して出力してもよい。図13のシフトレジスタは、フリップフロップ1001__1～フリップフロップ1001__nがそれぞれバッファ1301__1～バッファ1301__nを介して第8の配線1018__1～第8の配線1018__nに接続されるため、広い駆動能力を得ることができる。なぜなら、第8の配線1018__1～第8の配線1018__nそれぞれに大きな負荷が接続されると、第8の配線1018__1～第8の配線1018__nそれぞれから出力される信号に遅延及びなまりが生じる。つまり、第8の配線1018__1～第8の配線1018__nそれぞれから出力される信号の遅延及びなまりがシフトレジスタの動作に影響しないからである。なお、図10の構成と共通するところは共通の符号を用いてその説明を省略する。

30

【0151】

なお、バッファ1301__1～バッファ1301__nそれぞれは、NAND、NORなどの論理回路や、オペアンプなどや、これらを組み合わせた回路を用いることができる。つまり、インバータ又はアナログバッファなどを用いることができる。さらに、バッファ1301__1～バッファ1301__nそれぞれは、フリップフロップがNチャネル型トランジスタで構成されている場合、Nチャネル型トランジスタで構成されることが望ましい。さらに、バッファ1301__1～バッファ1301__nそれぞれは、ブートストラップ動作を行えるような構成にすることが望ましい。さらに、バッファ1301__1～バッファ1301__nそれぞれの駆動電圧（負電源と正電源との電位差）は、フリップフロップ1001__1～フリップフロップ1001__nそれぞれの駆動電圧よりも大きいほうが好ましい。

40

50

【0152】

ここで、図13に示すシフトレジスタが有するバッファ1301__1～バッファ1301__nの一例について図123(A)及び図123(B)を参照して説明する。図123(A)に示すバッファ8000は、配線8011と配線8012と間にインバータ8001a、インバータ8001b、インバータ8001cが接続されることで、配線8011に入力される信号の反転信号が配線8012から出力される。ただし、配線8011と配線8012と間に接続されるインバータの数に限定はなく、例えば配線8011と配線8012と間に偶数個のインバータが接続される場合は、配線8011に入力される信号と同じ極性の信号が配線8012から出力される。さらに、図123(B)のバッファ8100に示すように、直列に接続されたインバータ8002a、インバータ8002b及びインバータ8002cと、直列に配置されたインバータ8003a、インバータ8003b及びインバータ8003cとが並列に接続されてもよい。図123(B)のバッファ8100は、トランジスタの特性のバラツキを平均化できるため、配線8012から出力される信号の遅延及びなまりを低減できる。さらに、インバータ8002a及びインバータ8002aの出力、並びにインバータ8002b及びインバータ8002bの出力は、お互いに接続されてもよい。

10

【0153】

なお、図123(A)において、インバータ8001aが有するトランジスタの $W<$ インバータ8001bが有するトランジスタの $W<$ インバータ8001cが有するトランジスタの W とすることが好ましい。なぜなら、インバータ8001aの W が小さいことで、フリップフロップの駆動能力（具体的には図1のトランジスタ101の W/L の値）を小さくできるので、本実施の形態のシフトレジスタは、レイアウト面積を小さくできる。同様に、図123(B)において、インバータ8002aが有するトランジスタの $W<$ インバータ8002bが有するトランジスタの $W<$ インバータ8002cが有するトランジスタの W とすることが好ましい。同様に、図123(B)において、インバータ8003aが有するトランジスタの $W<$ インバータ8003bが有するトランジスタの $W<$ インバータ8003cが有するトランジスタの W とすることが好ましい。さらに、インバータ8002aが有するトランジスタの $W=$ インバータ8003aが有するトランジスタの W 、インバータ8002bが有するトランジスタの $W=$ インバータ8003bが有するトランジスタの W 、インバータ8002cが有するトランジスタの $W=$ インバータ8003cが有するトランジスタの W とすることが好ましい。

20

30

【0154】

なお、図123(A)及び図123(B)に示すインバータとしては、入力された信号を反転して出力できるものであれば特に限定されない。例えば、図123(C)に示すように、第1のトランジスタ8201及び第2のトランジスタ8202によってインバータを構成してもよい。さらに、第1の配線には信号が入力され、第2の配線8212からは信号が出力され、第3の配線8213には V_1 が供給され、第4の配線8214には V_2 が供給される。図123(C)のインバータは、第1の配線8211に H 信号を入力すると、 V_1-V_2 を第1のトランジスタ8201と第2のトランジスタ8202で分割した電位（第1のトランジスタ8201の $W/L<$ 第2のトランジスタ8202の W/L ）を、第2の配線8212から出力する。さらに、図123(C)のインバータは、第1の配線8211に L 信号を入力すると、 $V_1-V_{th}(8201)$ （ $V_{th}(8201)$ ：第1のトランジスタ8201のしきい値電圧）を第2の配線8212から出力する。さらに、第1のトランジスタ8201は抵抗成分を有する素子であればPN接合ダイオードでもよいし、単に抵抗素子としてもよい。

40

【0155】

さらに、図123(D)に示すように、第1のトランジスタ8301、第2のトランジスタ8302、第3のトランジスタ8303及び第4のトランジスタ8304によってインバータを構成してもよい。さらに、第1の配線8311には信号が入力され、第2の配線8312からは信号が出力され、第3の配線8313及び第5の配線8315には V_1 が

50

供給され、第4の配線8314及び第6の配線8316にはV2が供給される。図123(D)のインバータは、第1の配線8311にH信号を入力すると、V2を第2の配線8312から出力する。このとき、ノード8341は電位をLレベルとするため第1のトランジスタ8301はオフする。さらに、図123(D)のインバータは、第1の配線8311にL信号を入力すると、V1を第2の配線8312から出力する。このとき、ノード8341の電位が $V1 - V_{th}(8303)$ ($V_{th}(8303)$:第3のトランジスタ8303のしきい値電圧)となると、ノード8341が浮遊状態となり、ノード8341の電位がブートストラップ動作によって $V1 + V_{th}(8301)$ ($V_{th}(8301)$:第1のトランジスタ8301のしきい値電圧)よりも高くなるので、第1のトランジスタ8301はオンする。さらに、第1のトランジスタ8301はブートストラップ用トランジスタとして機能するため、第2の電極とゲート電極との間に容量素子が配置されてもよい。

10

【0156】

さらに、図26(A)に示すように、第1のトランジスタ8401、第2のトランジスタ8402、第3のトランジスタ8403及び第4のトランジスタ8404によってインバータを構成してもよい。図26(A)のインバータは、2入力型のインバータであり、ブートストラップ動作が可能である。さらに、第1の配線8411には信号が入力され、第2の配線8412には反転信号が入力され、第3の配線8413からは信号が出力され、第4の配線8414及び第6の配線8416にはV1が供給され、第5の配線8415及び第7の配線8417にはV2が供給される。図26(A)のインバータは、第1の配線8411にL信号、第2の配線8412にH信号を入力すると、V2を第3の配線8413から出力する。このとき、ノード8441の電位はV2となるため、第1のトランジスタ8401はオフする。さらに、図26(A)のインバータは、第1の配線8411にH信号、第2の配線8412にL信号を入力すると、V1を第3の配線8413から出力する。このとき、ノード8441の電位が $V1 - V_{th}(8403)$ ($V_{th}(8403)$:第3のトランジスタ8403のしきい値電圧)となると、ノード8441が浮遊状態となり、ノード8441の電位がブートストラップ動作によって $V1 + V_{th}(8401)$ ($V_{th}(8401)$:第1のトランジスタ8401のしきい値電圧)よりも高くなるので、第1のトランジスタ8401はオンする。さらに、第1のトランジスタ8401はブートストラップ用トランジスタとして機能するため、第2の電極とゲート電極との間に容量素子が配置されてもよい。さらに、第1の配線8411及び第2の配線8412のうち一方には、図1に示す第3の配線123を接続し、他方には図1に示すノード142を接続するとよい。

20

30

【0157】

さらに、図26(B)に示すように、第1のトランジスタ8501、第2のトランジスタ8502及び第3のトランジスタ8503によって、インバータを構成してもよい。図26(B)のインバータは、2入力型のインバータであり、ブートストラップ動作が可能である。さらに、第1の配線8511には信号が入力され、第2の配線8512には反転信号が入力され、第3の配線8513からは信号が出力され、第4の配線8514及び第6の配線8516にはV2が供給され、第5の配線8515にはV2が供給される。図26(B)のインバータは、第1の配線8511にL信号、第2の配線8512にH信号を入力すると、V2を第3の配線8513から出力する。このとき、ノード8541の電位はV2となるため、第1のトランジスタ8501はオフする。さらに、図26(B)のインバータは、第1の配線8511にH信号、第2の配線8512にL信号を入力すると、V1を第3の配線8513から出力する。このとき、ノード8541の電位が $V1 - V_{th}(8503)$ ($V_{th}(8503)$:第3のトランジスタ8503のしきい値電圧)となると、ノード8541が浮遊状態となり、ノード8541の電位がブートストラップ動作によって $V1 + V_{th}(8501)$ ($V_{th}(8501)$:第1のトランジスタ8501のしきい値電圧)よりも高くなるので、第1のトランジスタ8501はオンする。さらに、第1のトランジスタ8501はブートストラップ用トランジスタとして機能するため、

40

50

第2の電極とゲート電極との間に容量素子が配置されてもよい。さらに、第1の配線8511及び第2の配線8512のうち一方には、図1に示す第3の配線123を接続し、他方には図1に示すノード142を接続するとよい。

【0158】

さらに、図26(C)に示すように、第1のトランジスタ8601、第2のトランジスタ8602、第3のトランジスタ8603及び第4のトランジスタ8604によってインバータを構成してもよい。図26(C)のインバータは、2入力型のインバータであり、ブートストラップ動作が可能である。さらに、第1の配線8611には信号が入力され、第2の配線8612には反転信号が入力され、第3の配線8613からは信号が出力され、第4の配線8614にはV1が供給され、第5の配線8615及び第6の配線8616にはV2が供給される。図26(A)のインバータは、第1の配線8611にL信号、第2の配線8612にH信号を入力すると、V2を第3の配線8613から出力する。このとき、ノード8641の電位はV2となるため、第1のトランジスタ8601はオフする。さらに、図26(C)のインバータは、第1の配線8611にH信号、第2の配線8612にL信号を入力すると、V1を第3の配線8613から出力する。このとき、ノード8641の電位がV1-Vth(8603)(Vth(8603):第3のトランジスタ8603のしきい値電圧)となると、ノード8641が浮遊状態となり、ノード8641の電位がブートストラップ動作によってV1+Vth(8601)(Vth(8601):第1のトランジスタ8601のしきい値電圧)よりも高くなるので、第1のトランジスタ8601はオンする。さらに、第1のトランジスタ8601はブートストラップ用トランジスタとして機能するため、第2の電極とゲート電極との間に容量素子が配置されてもよい。さらに、第1の配線8611及び第2の配線8612のうち一方には、図1に示す第3の配線123を接続し、他方には図1に示すノード142を接続するとよい。

【0159】

別の例として、フリップフロップ1001__nに入力するリセット信号は、シフトレジスタの他の入力信号又は出力信号を用いることができる。つまり、フリップフロップ1001__nに入力するリセット信号をシフトレジスタ内部で生成することによって、一つの配線及び一つの信号を削減できる。例えば、フリップフロップ1001__nが偶数段目の場合は、図14に示すように、第8の配線1018__1に接続されていてもよい。別の例として、フリップフロップ1001__nが偶数段目の場合は、図15に示すように、第1の配線1011に接続されていてもよい。別の例として、図17に示すようにダミーのフリップフロップ1001__dを用いて、フリップフロップ1001__nに入力するリセット信号を生成してもよい。ダミーのフリップフロップ1001__dは、フリップフロップ1001__n-1と同様のものを用いることができる。ただし、ダミーのフリップフロップ1001__dの図1に示す第2の配線122は、図17の第6の配線1016に接続される。なお、図10の構成と共通するところは共通の符号を用いてその説明を省略する。

【0160】

続いて、上述した本実施の形態のシフトレジスタを有する表示装置の構造及び駆動方法について説明する。ただし、本実施の形態の表示装置は、少なくとも本実施の形態のフリップフロップを有していればよい。

【0161】

本実施の形態の表示装置の構成について図18を参照して説明する。図18の表示装置は、信号線駆動回路1801、走査線駆動回路1802及び画素部1804を有し、画素部1804には、信号線駆動回路1801から列方向に伸張して配置された複数の信号線S1~Sm、走査線駆動回路1802から行方向に伸張して配置された複数の走査線G1~Gn及び信号線S1~Sm並びに走査線G1~Gnに対応してマトリクス状に配置された複数の画素1803を有する。そして、各画素1803は、信号線Sj(信号線S1~Smのうちいずれか一)、走査線Gi(走査線G1~Gnのうちいずれか一)と接続される。さらに、走査線駆動回路1802を駆動回路と呼んでもよい。

【0162】

10

20

30

40

50

なお、走査線駆動回路1802として、本実施の形態のシフトレジスタを適用することができる。もちろん、信号線駆動回路1801にも本実施の形態のシフトレジスタを用いてもよい。

【0163】

なお、走査線G1～Gnは、図10、図12、図13、図14、図15及び図17に示した第8の配線1808__1～第8の配線1808__nに接続される。

【0164】

なお、信号線及び走査線は、単に配線と呼んでもよい。さらに、信号線駆動回路1801及び走査線駆動回路1802は、それぞれを駆動回路と呼んでもよい。

【0165】

なお、画素1803は、少なくとも1つのスイッチング素子、1つの容量素子及び画素電極を有している。ただし、画素1803は、複数のスイッチング素子又は複数の容量素子を有していてもよい。さらに、容量素子は必ずしも必要ではない。さらに、画素1803は、さらに飽和領域で動作するトランジスタを有していてもよい。さらに、画素1803は、液晶素子又はEL素子などの表示素子を有していてもよい。ここで、スイッチング素子として、トランジスタ及びPN接合ダイオードを用いることができる。ただし、スイッチング素子としてトランジスタを用いる場合は、トランジスタが線形領域で動作することが望ましい。さらに、走査線駆動回路1802がNチャネル型のトランジスタのみで構成される場合は、スイッチング素子としてNチャネル型トランジスタを用いることが望ましい。さらに、走査線駆動回路1802がPチャネル型のトランジスタのみで構成される場合は、スイッチング素子としてPチャネル型トランジスタを用いることが望ましい。

【0166】

なお、走査線駆動回路1802及び画素部1804は絶縁基板1805上に形成され、信号線駆動回路1801は絶縁基板1805上に形成されない。信号線駆動回路1801は、単結晶基板上、SOI基板上若しくは絶縁基板1805とは別の絶縁基板上に形成されている。そして、信号線駆動回路1801は、FPCなどのプリント基板を介して、信号線S1～Smと接続される。ただし、信号線駆動回路1801は絶縁基板1805上に形成されていてもよいし、信号線駆動回路1801の一部の機能を構成する回路が絶縁基板1805上に形成されてもよい。

【0167】

なお、配線、電極、導電層、導電膜、端子などは、アルミニウム(Al)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ネオジウム(Nd)、クロム(Cr)、ニッケル(Ni)、白金(Pt)、金(Au)、銀(Ag)、銅(Cu)、マグネシウム(Mg)、スカンジウム(Sc)、コバルト(Co)、亜鉛(Zn)、ニオブ(Nb)、シリコン(Si)、リン(P)、ボロン(B)、ヒ素(As)、ガリウム(Ga)、インジウム(In)、錫(Sn)、酸素(O)で構成された群から選ばれた一つもしくは複数の元素、または、前記群から選ばれた一つもしくは複数の元素を成分とする化合物、合金材料(例えば、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、アルミネオジウム(Al-Nd)、マグネシウム銀(Mg-Ag)、モリブデンニオブ(Mo-Nb)など)で形成されることが望ましい。または、配線、電極、導電層、導電膜、端子などは、これらの化合物を組み合わせた物質などを有して形成されることが望ましい。もしくは、前記群から選ばれた一つもしくは複数の元素とシリコンの化合物(シリサイド)(例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど)、前記群から選ばれた一つもしくは複数の元素と窒素の化合物(例えば、窒化チタン、窒化タンタル、窒化モリブデン等)を有して形成されることが望ましい。

【0168】

なお、シリコン(Si)には、n型不純物(リンなど)またはp型不純物(ボロンなど)を含んでいてもよい。シリコンが不純物を含むことにより、導電率が向上できる。あるいは、通常の導体と同様な振る舞いをするのが可能となる。従って、配線、電極などと

10

20

30

40

50

して利用しやすくなる。

【0169】

なお、シリコンは、単結晶、多結晶（ポリシリコン）、微結晶（マイクロクリスタルシリコン）など、様々な結晶性を有するシリコンを用いることが出来る。あるいは、非晶質（アモルファスシリコン）などを用いることも出来る。単結晶シリコンまたは多結晶シリコンを用いることにより、配線、電極、導電層、導電膜、端子などの抵抗を小さくすることが出来る。非晶質シリコンまたは微結晶シリコンを用いることにより、簡単な工程で配線などを形成することが出来る。

【0170】

なお、アルミニウムまたは銀は、導電率が高いため、信号遅延を低減することができる。さらに、エッチングしやすいので、パターニングしやすく、微細加工を行うことが出来る。

10

【0171】

なお、銅は、導電率が高いため、信号遅延を低減することが出来る。銅を用いる場合は、密着性を向上させるため、積層構造にすることが望ましい。

【0172】

なお、モリブデンまたはチタンは、酸化物半導体（ITO、IZOなど）またはシリコンと接触しても、不良を起こさない、エッチングしやすい、耐熱性が高いなどの利点を有するため、望ましい。

【0173】

なお、タンゲステンは、耐熱性が高いなどの利点を有するため、望ましい。

20

【0174】

なお、ネオジウムは、耐熱性が高いなどの利点を有するため、望ましい。特に、ネオジウムとアルミニウムとの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなる。

【0175】

なお、シリコンは、トランジスタが有する半導体層と同時に形成できる、耐熱性が高いなどの利点を有するため、望ましい。

【0176】

なお、ITO、IZO、ITSO、酸化亜鉛（ZnO）、シリコン（Si）、酸化錫（SnO）は、透光性を有しているため、光を透過させる部分に用いることができる。たとえば、画素電極や共通電極として用いることができる。

30

【0177】

なお、配線、電極、導電層、導電膜、端子などは、単層構造でもよいし、多層構造になっていてもよい。単層構造にすることにより、配線、電極、導電層、導電膜、端子などの製造工程を簡略化することができ、工程日数を少なくでき、コストを低減することが出来る。あるいは、多層構造にすることにより、それぞれの材料のメリットを生かしつつ、デメリットを低減させ、性能の良い配線、電極などを形成することが出来る。たとえば、低抵抗材料（アルミニウムなど）を多層構造の中に含むことにより、配線の低抵抗化を図ることができる。また、低耐熱性の材料を、高耐熱性の材料で挟む積層構造にすることにより、低耐熱性の材料の持つメリットを生かしつつ、配線、電極などの耐熱性を高くすることが出来る。例えば、アルミニウムを含む層を、モリブデン、チタン、ネオジウムなどを含む層で挟む積層構造にすると望ましい。

40

【0178】

また、配線、電極など同士が直接接する場合、お互いに悪影響を及ぼすことがある。例えば、一方の配線、電極などが他方の配線、電極など材料の中に入っている、性質を変えてしまい、本来の目的を果たせなくなることがある。あるいは、高抵抗な部分を形成することがある。あるいは、製造するときに、問題が生じて、正常に製造できなくなることがある。そのような場合、積層構造により反応しやすい材料を、反応しにくい材料で挟んだり、覆ったりするとよい。例えば、ITOとアルミニウムとを接続させる場合は、ITO

50

とアルミニウムとの間に、チタン、モリブデン、ネオジウム合金を挟むことが望ましい。
また、シリコンとアルミニウムとを接続させる場合は、ITOとアルミニウムとの間に、
チタン、モリブデン、ネオジウム合金を挟むことが望ましい。

【0179】

なお、配線とは、導電体が配置されているものを言う。線状に伸びていても良いし、伸びずに短く配置されていてもよい。したがって、電極は、配線に含まれている。

【0180】

なお、上記説明した配線や電極は、他の表示装置、シフトレジスタ及び画素にも適用することができる。

【0181】

なお、信号線駆動回路1801は、信号線S1～Smにビデオ信号として電圧又は電流を入力する。ただし、ビデオ信号はデジタル信号でもよいし、アナログ信号でもよい。さらに、ビデオ信号は、1フレームごとに正極・負極が反転してもよいし（フレーム反転駆動）、1行毎に正極・負極が反転してもよいし（ゲートライン反転駆動）、1列毎に正極・負極が反転してもよいし（ソースライン反転駆動）、1行及び1列毎に正極・負極が反転してもよい（ドットライン反転駆動）。さらに、ビデオ信号は、信号線S1～Smに点順次駆動で入力されてもよいし、線順次駆動で入力されてもよい。さらに、信号線駆動回路1801は、ビデオ信号だけでなくプリチャージ電圧などの一定電圧を信号線S1～Smに入力してもよい。プリチャージ電圧などの一定電圧は、1ゲート選択期間毎、1フレーム毎に入力することが望ましい。

【0182】

なお、走査線駆動回路1802は、走査線G1～Gnに信号を入力し、走査線G1～Gnを1行目から順に選択（以下、走査するともいう）する。そして、走査線駆動回路1802は、選択された走査線に接続される複数の画素1803を選択する。ここで、1つの走査線が選択されている期間を1ゲート選択期間と呼び、当該走査線が選択されていない期間を非選択期間と呼ぶ。さらに、走査線駆動回路1802が走査線に出力する信号を走査信号と呼ぶ。さらに、走査信号の最大値はビデオ信号の最大値又は信号線の最大電圧よりも大きく、走査信号の最小値はビデオ信号の最小値又は信号線の最小電圧よりも小さいことを特徴とする。

【0183】

なお、画素1803が選択されている場合には、信号線駆動回路1801から信号線を介して画素1803にビデオ信号が入力される。さらに、画素1803が選択されない場合には、画素1803は選択期間に入力されたビデオ信号（ビデオ信号に対応した電位）を保持している。

【0184】

なお、図示はしないが、信号線駆動回路1801及び走査線駆動回路1802には、複数の電位及び複数の信号が供給されている。

【0185】

次に、図18に示した表示装置の動作について、図19のタイミングチャートを参照して説明する。さらに、図19において、1画面分の画像を表示する期間に相当する1フレーム期間を示す。ただし、1フレーム期間は特に限定はしないが、画像を見る人がちらつき（フリッカー）を感じないように少なくとも1/60秒以下とすることが好ましい。

【0186】

なお、図19のタイミングチャートでは、1行目の走査線G1、i行目の走査線Gi、i+1行目の走査線Gi+1及びn行目の走査線Gnがそれぞれ選択されるタイミングを示している。

【0187】

図19において、例えばi行目の走査線Giが選択され、走査線Giに接続される複数の画素1803が選択される。そして、走査線Giに接続される複数の画素1803は、それぞれビデオ信号を入力し、ビデオ信号に応じた電位を保持する。その後、i行目の走査

10

20

30

40

50

線 G_i が非選択になって、 $i + 1$ 行目の走査線 G_{i+1} が選択され、走査線 G_{i+1} に接続される複数の画素 1803 が選択される。そして、走査線 G_{i+1} に接続される複数の画素 1803 は、それぞれビデオ信号を入力し、ビデオ信号に応じた電位を保持する。このように、1 フレーム期間において、走査線 G_1 から走査線 G_n まで順に選択され、各々の走査線に接続される画素 1803 も順に選択される。そして、各々の走査線に接続される複数の画素 1803 は、それぞれビデオ信号を入力し、ビデオ信号に応じた電位を保持する。

【0188】

以上のことから、図 18 の表示装置は、全画素に独立してビデオ信号を入力することができるため、アクティブマトリクス型表示装置としての機能を十分に得ることができる。

10

【0189】

さらに、図 18 の表示装置は、走査線駆動回路 1802 として本実施の形態のシフトレジスタを用いるため、トランジスタのしきい値シフトの抑制を図ることが出来る。図 18 の表示装置は、長寿命化を図ることができる。図 18 の表示装置は、駆動能力の向上を図ることができる。図 18 の表示装置は、誤動作を抑制できる。図 18 の表示装置は、工程の簡略化を図ることができる。

【0190】

さらに、図 18 の表示装置は、高速動作が必要な信号線駆動回路 1801 と、走査線駆動回路 1802 及び画素 1803 とを別々の基板上に形成するため、走査線駆動回路 1802 が有するトランジスタの半導体層及び画素 1803 が有するトランジスタの半導体層として、アモルファスシリコンを用いることができる。したがって、製造工程の簡略化を図ることができ、製造コストの削減を図ることができる。さらに、図 18 の表示装置は、歩留まりの向上を図ることができる。さらに、本実施の形態の表示装置は、大型化を図ることができる。あるいは、トランジスタの半導体層として、ポリシリコンや多結晶シリコンを用いても製造工程の簡略化を図ることができる。

20

【0191】

なお、信号線駆動回路 1801 と、走査線駆動回路 1802 及び画素 1803 とを同一基板上に形成する場合は、走査線駆動回路 1802 が有するトランジスタの半導体層及び画素 1803 が有するトランジスタの半導体層としてポリシリコンや多結晶シリコンを用いるとよい。

30

【0192】

なお、図 18 のように、画素を選択し、画素に独立してビデオ信号を書き込むことができれば、各駆動回路の数や配置などは図 18 に限定されない。

【0193】

例えば、図 20 に示すように、走査線 $G_1 \sim G_n$ が第 1 の走査線駆動回路 2002a 及び第 2 の走査線駆動回路 2002b によって走査されてもよい。第 1 の走査線駆動回路 2002a 及び第 2 の走査線駆動回路 2002b は、図 18 に示した走査線駆動回路 1802 と同様の構成であり、同じタイミングで走査線 $G_1 \sim G_n$ を走査する。さらに、第 1 の走査線駆動回路 2002a 及び第 2 の走査線駆動回路 2002b を、それぞれ第 1 の駆動回路、第 2 の駆動回路と呼んでもよい。

40

【0194】

図 20 の表示装置は、第 1 の走査線駆動回路 2002a 及び第 2 の走査線駆動回路 2002b のうち一方に不良が生じて、走査線駆動回路 2002a 及び第 2 の走査線駆動回路 2002b のうち他方が走査線 $G_1 \sim G_n$ を走査できるため、冗長性を持つことができる。さらに、図 20 の表示装置は、第 1 の走査線駆動回路 2002a の負荷（走査線の配線抵抗及び走査線の寄生容量）及び第 2 の走査線駆動回路 2002b の負荷を図 18 に比べ半分程度にできるため、走査線 $G_1 \sim G_n$ に入力される信号（第 1 の走査線駆動回路 2002a 及び第 2 の走査線駆動回路 2002b の出力信号）の遅延及びなまりを低減できる。さらに、図 20 の表示装置は、第 1 の走査線駆動回路 2002a の負荷及び第 2 の走査線駆動回路 2002b の負荷が低減されるので、走査線 $G_1 \sim G_n$ を

50

高速に走査することができる。さらに、走査線 G 1 ～走査線 G n を高速に走査することができるので、パネルの大型化又はパネルの高精細化を可能にできる。さらに、図 20 の表示装置が有するメリットは、第 1 の走査線駆動回路 2002a 及び第 2 の走査線駆動回路 2002b が有するトランジスタの半導体層にアモルファスシリコンを用いた場合に、さらに効果的である。なお、図 18 の構成と共通するところは共通の符号を用いてその説明を省略する。

【0195】

別の例として、図 8 は、画素にビデオ信号を高速に書き込むことができる表示装置である。図 8 の表示装置は、奇数行目の画素 1803 には奇数列目の信号線からビデオ信号を入力し、偶数行目の画素 1803 には偶数列目の信号線からビデオ信号を入力する。さらに、図 8 の表示装置は、走査線 G 1 ～走査線 G n のうち奇数段目の走査線が第 1 の走査線駆動回路 802a によって走査され、走査線 G 1 ～走査線 G n のうち偶数段目の走査線が第 2 の走査線駆動回路 802b によって走査される。さらに、第 1 の走査線駆動回路 802b に入力されるスタート信号は、第 1 の走査線駆動回路 802a 入力されるスタート信号よりもクロック信号の $1/4$ 周期分遅延して入力される。

【0196】

なお、図 8 の表示装置は、1 フレーム期間において各信号線に 1 列毎に正極のビデオ信号と負極のビデオ信号とを入力するだけで、ドット反転駆動をすることができる。さらに、図 8 の表示装置は、1 フレーム期間毎に、各信号線に入力するビデオ信号の極性を反転することでフレーム反転駆動をすることができる。

【0197】

図 8 の表示装置の動作について、図 9 のタイミングチャートを参照して説明する。図 9 のタイミングチャートでは、1 行目の走査線 G 1、 $i-1$ 行目の走査線 G $i-1$ 、 i 行目の走査線 G i 、 $i+1$ 行目の走査線 G $i+1$ 及び n 行目の走査線 G n がそれぞれ選択されるタイミングを示している。さらに、図 9 のタイミングチャートでは、1 つの選択期間を選択期間 a と選択期間 b とに分割している。さらに、図 9 のタイミングチャートでは、図 8 の表示装置がドット反転駆動及びフレーム反転駆動を行う場合について説明する。

【0198】

図 9 において、例えば i 行目の走査線 G i の選択期間 a は、 $i-1$ 行目の走査線 G $i-1$ の選択期間 b と重なっており、 i 行目の走査線 G i の選択期間 T b は、 $i+1$ 行目の走査線 G $i+1$ の選択期間 a と重なっている。したがって、選択期間 a において、 $i-1$ 行・ $j+1$ 列目の画素 1803 に入力されるビデオ信号と同様なものが、 i 行 j 列目の画素 1803 に入力される。さらに、選択期間 b において、 i 行 j 列目の画素 1803 に入力されるビデオ信号と同様なものが、 $i+1$ 行・ $j+1$ 列目の画素 1803 に入力される。なお、選択期間 b において画素 1803 に入力されるビデオ信号が本来のビデオ信号であり、選択期間 a において画素 1803 に入力されるビデオ信号が画素 1803 のプリチャージ用のビデオ信号である。したがって、画素 1803 それぞれは、選択期間 a において $i-1$ 行・ $j+1$ 列目の画素 1803 に入力されるビデオ信号によってプリチャージしたあとに、選択期間 b において本来 (i 行・ j 列目) のビデオ信号を入力する。

【0199】

以上のことから、図 8 の表示装置は、画素 1803 に高速にビデオ信号を書き込むことができるため、大型化、又は高精細化を容易に実現することができる。さらに、図 8 の表示装置は、1 フレーム期間において信号線各々は同じ極性のビデオ信号が入力されるため、各信号線の充放電が少なく、低消費電力化を実現できる。さらに、図 8 の表示装置は、ビデオ信号を供給するための IC の負荷が大幅に低減されるため、IC の発熱及び IC の消費電力などを低減することができる。さらに、図 8 の表示装置は、第 1 の走査線駆動回路 802a 及び第 2 の走査線駆動回路 802b の駆動周波数を約半分にできる。

【0200】

なお、本実施の形態の表示装置は、画素 1803 の構成及び駆動方法によって、様々な駆動方法を行うことができる。例えば、1 フレーム期間において、走査線駆動回路は、走査

10

20

30

40

50

線を複数回走査してもよい。

【0201】

なお、図8、図18及び図20の表示装置は、画素1803の構成によって別の配線などを追加してもよい。例えば、一定の電位に保たれている電源線、容量線及び新たな走査線などを追加してもよい。ただし、新たに走査線を追加する場合には、本実施の形態のシフトレジスタを適用した走査線駆動回路を新たに追加してもよい。別の例として、ダミーの走査線、信号線、電源線又は容量線が画素部に配置されていてもよい。

【0202】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

10

【0203】

同様に、本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0204】

なお、本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用できる。あるいは、組み合わせることが出来る。

20

【0205】

(実施の形態2)

本実施の形態では、実施の形態1とは別のフリップフロップ、当該フリップフロップを有する駆動回路、及び当該駆動回路を有する表示装置の構成並びに駆動方法について説明する。なお、実施の形態1と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0206】

本実施の形態のフリップフロップの構成は、実施の形態1と同様のフリップフロップの構成を用いることができる。ただ、フリップフロップを駆動するタイミングが実施の形態1とは異なる。よって、本実施の形態では、フリップフロップの構成の説明を省略する。

30

【0207】

なお、本実施の形態の駆動タイミングを図1のフリップフロップに適用した場合について説明するが、本実施の形態の駆動タイミングを図4(A)、図4(B)、図4(C)、図4(D)、図5(A)、図5(B)、図5(C)、図5(D)、図7(A)、図7(B)、図7(C)、図21(A)、図21(B)、又は図21(C)のフリップフロップと自由に組み合わせて実施することもできる。さらに、本実施の形態の駆動タイミングは、実施の形態1に記載の駆動タイミングと自由に組み合わせて実施することもできる。

40

【0208】

次に、本実施の形態のフリップフロップの動作について、図1のフリップフロップ及び図31のタイミングチャートを参照して説明する。さらに、図31タイミングチャートを選択期間及び非選択期間に分割して説明する。さらに、非選択期間は、第1の非選択期間、第2の非選択期間、セット期間a、セット期間b及びリセット期間に分割して説明する。さらに、選択期間は、選択期間a及び選択期間bに分割して説明する。さらに、非選択期間において、セット期間a、セット期間b、選択期間a、選択期間b及びリセット期間を除く動作期間は、第1の非選択期間及び第2の非選択期間を繰り返す。

【0209】

なお、図31において、信号3121、信号3125、信号3126、電位3141、電

50

位 3 1 4 2、信号 3 1 2 2 及び信号 3 1 2 3 は、それぞれ第 1 の配線 1 2 1 に入力される信号、第 5 の配線 1 2 5 に入力される信号、第 6 の配線 1 2 6 に入力される信号、ノード 1 4 1 の電位、ノード 1 4 2 の電位、第 2 の配線 1 2 2 に入力される信号、第 3 の配線 1 2 3 から出力される信号を示している。

【0 2 1 0】

なお、信号 3 1 2 1、信号 3 1 2 5、信号 3 1 2 6、電位 3 1 4 1、電位 3 1 4 2、信号 3 1 2 2 及び信号 3 1 2 3 は、図 2 に示した信号 2 2 1、信号 2 2 5、信号 2 2 6、電位 2 4 1、電位 2 4 2、信号 2 2 2 及び信号 2 2 3 に対応しており、同様の特徴を有している。

【0 2 1 1】

なお、本実施の形態のフリップフロップは、基本的には実施の形態 1 で説明したフリップフロップと同様の動作を行う。ただし、本実施の形態のフリップフロップは、第 1 の配線 1 2 1 に H 信号が入力されるタイミングがクロック信号の $1/4$ 周期分遅延しているところが、実施の形態 1 のフリップフロップと異なる。

【0 2 1 2】

なお、本実施の形態のフリップフロップは、第 1 の非選択期間及び第 2 の非選択期間において、実施の形態 1 で説明したフリップフロップの第 1 の非選択期間及び第 2 の非選択期間と同様の動作を行う。さらに、本実施の形態のフリップフロップは、セット期間 a において、第 2 の非選択期間と同様の動作を行う。さらに、本実施の形態のフリップフロップは、リセット期間において、実施の形態 1 で説明したフリップフロップのリセット期間と同様の動作を行う。さらに、本実施の形態のフリップフロップは、選択期間 a 及び選択期間 b において、実施の形態 1 で説明したフリップフロップの選択期間と同様の動作を行う。ただし、本実施の形態のフリップフロップは、選択期間 a において第 1 の配線 1 2 1 に H 信号が入力されることが、実施の形態 1 のフリップフロップと異なる。しかし、選択期間 a において第 1 の配線 1 2 1 に H 信号が入力されても、第 5 のトランジスタ 1 0 5 はオフしているので、本実施の形態の動作にはほとんど影響しない。したがって、セット期間 a、セット期間 b、選択期間 a、選択期間 b、リセット期間、第 1 の非選択期間及び第 2 の非選択期間での、本実施の形態のフリップフロップの詳細な説明を省略する。

【0 2 1 3】

なお、本実施の形態のフリップフロップは、実施の形態 1 に示したフリップフロップと同様に、レイアウト面積の縮小を図ることができる。さらに本実施の形態のフリップフロップは、トランジスタのしきい値シフトの抑制を図ることができる。さらに、本実施の形態のフリップフロップは、工程の簡略化を図ることができる。

【0 2 1 4】

なお、本実施の形態のフリップフロップに図 3 2 に示したタイミングチャートを適用することで、本実施の形態のフリップフロップは出力信号の立ち下がり時間を大幅に短くすることができる。なぜなら、信号 3 1 2 2 (リセット信号) が H レベルになるタイミングをずらすことで、第 1 のトランジスタ 1 0 1 を介して第 3 の配線 1 2 3 に L 信号を入力できるからである。

【0 2 1 5】

続いて、上述した本実施の形態のフリップフロップを有するシフトレジスタの構成及び駆動方法について説明する。

【0 2 1 6】

本実施の形態のシフトレジスタの構成について図 3 3 を参照して説明する。図 3 3 のシフトレジスタは、 n 個のフリップフロップ (フリップフロップ 3 3 0 1 __ 1 ~ フリップフロップ 3 3 0 1 __ n) を有する。

【0 2 1 7】

図 3 3 のシフトレジスタの接続関係について説明する。図 3 3 のシフトレジスタは、 i 段目のフリップフロップ 3 3 0 1 __ i (フリップフロップ 3 3 0 1 __ 1 ~ 3 3 0 1 __ n のうちいずれか) のうち、 $4N-3$ (N は 1 以上の自然数) 段目のフリップフロップ 3 3 0

10

20

30

40

50

1_4N-3 、及び $4N-1$ 段目のフリップフロップ 3301_4N-1 は、第2の配線 3312 、第4の配線 3314 、第6の配線 3316 、第7の配線 3317 、第8の配線 3318 、第11の配線 3321_i-1 、第11の配線 3321_i 、第11の配線 3321_i+2 に接続される。さらに、 $4N-2$ 段目のフリップフロップ 3301_4N-2 、及び $4N$ 段目のフリップフロップ 3301_4N は、第3の配線 3313 、第5の配線 3315 、第6の配線 3316 、第7の配線 3317 、第8の配線 3318 、第11の配線 3321_i-1 、第11の配線 3321_i 、第11の配線 3321_i+2 に接続される。ただし、1段目のフリップフロップ 3301_1 は、第1の配線 3111 、第2の配線 3312 、第4の配線 3314 、第6の配線 3316 、第7の配線 3317 、第8の配線 3318 、第11の配線 3321_1 、第11の配線 3321_3 に接続される。さらに、 $n-1$ 段目のフリップフロップ 3101_n-1 は、第2の配線 3312 、第4の配線 3314 、第6の配線 3316 、第7の配線 3317 、第8の配線 3318 、第10の配線 3320 、第11の配線 3321_n-2 、第11の配線 3321_n-1 に接続される。さらに、 n 段目のフリップフロップ 3301_n は、第3の配線 3313 、第5の配線 3315 、第6の配線 3316 、第7の配線 3317 、第8の配線 3318 、第9の配線 3319 、第11の配線 3321_n-1 、第11の配線 3321_n に接続される。

【0218】

第1の配線 3311 は、フリップフロップ 3301_1 の図1に示す第1の配線 121 に接続される。第2の配線 3312 は、フリップフロップ 3301_4N-3 では図1に示す第5の配線 125 に接続され、フリップフロップ 3301_4N-1 では図1に示す第6の配線 126 に接続される。第3の配線 3313 は、フリップフロップ 3301_4N-2 では図1に示す第5の配線 125 に接続され、フリップフロップ 3301_4N では図1に示す第6の配線 126 に接続される。第4の配線 3314 は、フリップフロップ 3301_4N-3 では図1に示す第6の配線 126 に接続され、フリップフロップ 3301_4N-1 では図1に示す第5の配線 125 に接続される。第5の配線 3315 は、フリップフロップ 3301_4N-2 では図1に示す第6の配線 126 に接続され、フリップフロップ 3301_4N では図1に示す第5の配線 125 に接続される。第6の配線 3306 は、全段のフリップフロップで図1に示す第7の配線 127 に接続される。第7の配線 3317 は、全段のフリップフロップで図1に示す第8の配線 128 に接続される。第8の配線 3318 、全段のフリップフロップで図1に示す第4の配線 124 、第9の配線 129 、第10の配線 130 及び第11の配線 131 に接続される。第9の配線 3319 は、フリップフロップ 3301_n の図1に示す第2の配線 122 に接続される。第10の配線 3120 は、フリップフロップ 3301_n-1 の図1に示す第2の配線 122 に接続される。第11の配線 3321_i は、フリップフロップ 3301_i-2 の図1に示す第2の配線 122 、フリップフロップ 3301_i の図1に示す第3の配線 123 、及びフリップフロップ 3301_i+1 の図1に示す第1の配線 121 に接続される。ただし、第11の配線 3321_1 は、フリップフロップ 3301_1 の図1に示す第3の配線 123 、及びフリップフロップ 3301_2 の図1に示す第1の配線 121 に接続される。さらに、第11の配線 3321_2 は、フリップフロップ 3301_2 の図1に示す第3の配線 123 、及びフリップフロップ 3301_3 の図1に示す第1の配線 121 に接続される。さらに、第11の配線 3321_n は、フリップフロップ 3301_n の図1に示す第3の配線 123 に接続される。

【0219】

なお、第6の配線 3316 及び第7の配線 3317 にはそれぞれV1の電位が供給され、第8の配線 3318 にはV2の電位が供給される。

【0220】

なお、第1の配線 3311 、第2の配線 3312 、第3の配線 3314 、第5の配線 3315 、第9の配線 3319 及び第10の配線 3320 にはそれぞれ信号が入力される。第1の配線 3311 に入力される信号はスタート信号であり、第2の配線 3312 に入力さ

れる信号は第1のクロック信号であり、第3の配線3313にされる信号は第2のクロック信号であり、第4の配線3314にされる信号は第3のクロック信号であり、第5の配線3315にされる信号は第4のクロック信号であり、第9の配線3319にされる信号は第1のリセット信号であり、第10の配線3320にされる信号は第2のリセット信号である。さらに、第1の配線3311、第2の配線3312、第3の配線3314、第5の配線3315、第9の配線3319及び第10の配線3320にそれぞれされる信号は、H信号の電位がV1、L信号の電位がV2のデジタル信号である。

【0221】

なお、第1の配線3311～第10の配線3320には、それぞれ様々な信号、電流又は電圧がされてもよい。

10

【0222】

なお、第11の配線3321__1～第11の配線3321__nからは信号が出力される。例えば、第11の配線3321__iから出力される信号は、フリップフロップ3301__iの出力信号となる。さらに、第11の配線3321__iから出力される信号は、フリップフロップ3301__i+1の入力信号及びフリップフロップ3301__i-2のリセット信号でもある。

【0223】

次に、図33に示したシフトレジスタの動作について、図35のタイミングチャート及び図36のタイミングチャートを参照して説明する。ここで、図35のタイミングチャートは、走査期間と帰線期間とに分割されている。走査期間は、第11の配線3311__1からの選択信号の出力が開始して第11の配線3311__nからの選択信号の出力が終了するまでの期間である。帰線期間は、第11の配線3311__nからの選択信号の出力が終了して第11の配線3311__1からの選択信号の出力が開始されるまでの期間である。

20

【0224】

なお、図35において、第1の配線3311にされる信号3511、第2の配線3312にされる信号3512、第3の配線3313にされる信号3513、第4の配線3314にされる信号3514、第5の配線3315にされる信号3515、第9の配線3319にされる信号3519、第10の配線3320にされる信号3520、第11の配線3321__1に出力される信号3521__1及び第11の配線3321__nに出力される信号3521__nを示している。さらに、図36において、第1の配線3311にされる信号3611、第11の配線3321__1に出力される信号3621__1、第11の配線3321__i-1に出力される信号3621__i-1、第11の配線3321__iに出力される信号3621__i、第11の配線3321__i+1に出力される信号3621__i+1及び第11の配線3321__nに出力される信号3621__nを示している。

30

【0225】

図36に示すように、例えば、フリップフロップ3301__i-1が選択期間aになると第11の配線3321__i-1からH信号が出力される。このとき、フリップフロップ3301__iはセット期間aとなる。その後、フリップフロップ3301__i-1が選択期間bになって第11の配線3321__i-1からH信号が出力されたままである。このとき、フリップフロップ3301__iは選択期間aとなる。その後、フリップフロップ3301__i-1がリセット期間になって第11の配線3321__i-1からH信号が出力される。このとき、フリップフロップ3301__iは選択期間bとなる。つまり、本実施の形態のシフトレジスタは、フリップフロップ3301__i-1から順にH信号が出力されるが、フリップフロップ3301__i-1の選択期間bと、フリップフロップ3301__iが選択期間aとが重なる期間を有する。

40

【0226】

なお、本明細書のフリップフロップに図32のタイミングチャートを適用した場合は、シフトレジスタの構成を図34に示すようにすればよい。図34のシフトレジスタは、例え

50

ば、 i 段目のフリップフロップ 3 3 0 1 __ i の図 1 に示す配線 1 2 2 が第 1 1 の配線 3 3 2 1 __ $i + 3$ に接続される。さらに、フリップフロップ 3 3 0 1 __ $n - 2$ の図 1 に示す第 2 の配線 1 2 2 が第 3 のリセット信号が入力される第 1 2 の配線 3 3 2 2 に接続される。なお、図 3 3 と共通するところは共通の符号を用いてその説明を省略する。

【0 2 2 7】

なお、本実施の形態のシフトレジスタは、本実施の形態のフリップフロップを適用しているため、トランジスタのしきい値シフトの抑制、長寿命化、駆動能力の向上、誤作動の抑制、工程の簡略化などを図ることができる。

【0 2 2 8】

なお、本実施の形態のシフトレジスタは、実施の形態 1 に記載のシフトレジスタと自由に組み合わせて実施できる。例えば、本実施の形態のシフトレジスタは、図 1 3、図 1 4、図 1 5、図 1 7 のシフトレジスタと自由に組み合わせて実施できる。具体的には、本実施の形態のシフトレジスタは、第 1 1 の配線 3 3 2 1 __ 1 ~ 第 1 1 の配線 3 3 2 1 __ n にバッファを接続してもよいし、リセット信号を内部で生成してもよいし、ダミーのフリップフロップを配置してもよい。なお、すでに述べたように、実施の形態 1 と共通するところは共通の符号を用いてその説明を省略する。

【0 2 2 9】

続いて、上述した本実施の形態のシフトレジスタを有する表示装置の構成及び駆動方法について説明する。ただし、本実施の形態の表示装置は、少なくとも本実施の形態のフリップフロップを有していればよい。

【0 2 3 0】

本実施の形態の表示装置の構成について図 1 6 を参照して説明する。図 1 6 の表示装置は、走査線 $G_1 \sim G_n$ が走査線駆動回路 1 6 0 2 によって走査される。さらに、図 1 6 の表示装置は、奇数行目の画素 1 8 0 3 には奇数行目の信号線からビデオ信号を入力し、偶数行目の画素 1 8 0 3 には偶数行目の信号線からビデオ信号を入力する。なお、図 1 8 の構成と共通するところは共通の符号を用いてその説明を省略する。

【0 2 3 1】

なお、図 1 6 の表示装置は、走査線駆動回路 1 6 0 2 に本実施の形態のシフトレジスタを適用することによって、図 8 の表示装置と同様の動作を 1 つの走査線駆動回路によって行うことができる。したがって、図 1 6 の表示装置は、画素にビデオ信号を高速に書き込むことができる。さらに、図 1 6 の表示装置は、大型化、又は高精細化を図ることができる。さらに、図 1 6 の表示装置は、さらに、図 1 6 の表示装置は、低消費電力化を図ることができる。さらに、図 1 6 の表示装置は、 IC の発熱を抑制できる。さらに、図 1 6 の表示装置は、 IC の省電力化を図ることができる。

【0 2 3 2】

なお、図 2 2 に示すように、走査線 $G_1 \sim G_n$ が第 1 の走査線駆動回路 2 2 0 2 a 及び第 2 の走査線駆動回路 2 2 0 2 b によって走査されてもよい。第 1 の走査線駆動回路 2 0 0 2 a 及び第 2 の走査線駆動回路 2 0 0 2 b は、図 1 6 に示した走査線駆動回路 1 6 0 2 と同様の構成であり、同じタイミングで走査線 $G_1 \sim G_n$ を走査する。さらに、第 1 の走査線駆動回路 2 2 0 2 a 及び第 2 の走査線駆動回路 2 2 0 2 b を、それぞれ第 1 の駆動回路、第 2 の駆動回路と呼んでもよい。

【0 2 3 3】

図 2 2 の表示装置は、第 1 の走査線駆動回路 2 2 0 2 a 及び第 2 の走査線駆動回路 2 2 0 2 b のうち一方に不良が生じて、走査線駆動回路 2 2 0 2 a 及び第 2 の走査線駆動回路 2 2 0 2 b のうち他方が走査線 $G_1 \sim G_n$ を走査できるため、冗長性を持つことができる。さらに、図 2 2 の表示装置は、第 1 の走査線駆動回路 2 2 0 2 a 及び第 2 の走査線駆動回路 2 2 0 2 b が走査線 $G_1 \sim G_n$ を走査するため、第 1 の走査線駆動回路 2 2 0 2 a の負荷（走査線の配線抵抗及び走査線の寄生容量）及び第 2 の走査線駆動回路 2 2 0 2 b の負荷を図 1 8 に比べ半分にすることができる。したがって、図 2 2 の表示装置は、第 1 の走査線駆動回路 2 2 0 2 a の負荷及び第 2 の走査線駆動回路 2 2 0 2 b の負

荷が低減されるので、走査線 G 1 ～走査線 G n に入力される信号（第 1 の走査線駆動回路 2 2 0 2 a 及び第 2 の走査線駆動回路 2 2 0 2 b の出力信号）の遅延及びなまりを低減することができる。さらに、図 2 2 の表示装置は、第 1 の走査線駆動回路 2 2 0 2 a の負荷及び第 2 の走査線駆動回路 2 2 0 2 b の負荷が低減されるので、走査線 G 1 ～走査線 G n を高速に走査することができる。さらに、走査線 G 1 ～走査線 G n を高速に走査することができるので、パネルの大型化又はパネルの高精細化を可能にできる。さらに、図 2 2 の表示装置が有するメリットは、第 1 の走査線駆動回路 2 2 0 2 a 及び第 2 の走査線駆動回路 2 2 0 2 b が有するトランジスタの半導体層にアモルファスシリコンを用いた場合に、さらに効果的である。なお、図 1 6 の構成と共通するところは共通の符号を用いてその説明を省略する。

10

【0 2 3 4】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0 2 3 5】

同様に、本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

20

【0 2 3 6】

なお、本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用できる。あるいは、組み合わせることが出来る。

【0 2 3 7】

（実施の形態 3）

本実施の形態では、実施の形態 1 及び実施の形態 2 とは別のフリップフロップ、当該フリップフロップを有する駆動回路、及び当該駆動回路を有する表示装置の構成並びに駆動方法について説明する。本実施の形態のフリップフロップは、フリップフロップの出力信号と、フリップフロップの転送信号とを、別々のトランジスタによって別々の配線から出力することを特徴とする。なお、実施の形態 1 及び実施の形態 2 と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

30

【0 2 3 8】

本実施の形態のフリップフロップの基本構成について、図 2 7 を参照して説明する。図 2 7 に示すフリップフロップは、第 1 のトランジスタ 1 0 1、第 2 のトランジスタ 1 0 2、第 3 のトランジスタ 1 0 3、第 4 のトランジスタ 1 0 4、第 5 のトランジスタ 1 0 5、第 6 のトランジスタ 1 0 6、第 7 のトランジスタ 1 0 7、第 8 のトランジスタ 1 0 8 及び第 9 のトランジスタ 1 0 9 を有する。本実施の形態において、第 8 のトランジスタ 1 0 8 及び第 9 のトランジスタ 1 0 9 は、N チャネル型トランジスタとし、ゲート及びソース間電圧（ V_{gs} ）がしきい値電圧（ V_{th} ）を上回ったとき導通状態になるものとする。

40

【0 2 3 9】

なお、図 2 7 のフリップフロップは、図 1 のフリップフロップに第 8 のトランジスタ 1 0 8 及び第 9 のトランジスタ 1 0 9 を追加したものと同様である。したがって、第 1 のトランジスタ 1 0 1、第 2 のトランジスタ 1 0 2、第 3 のトランジスタ 1 0 3、第 4 のトランジスタ 1 0 4、第 5 のトランジスタ 1 0 5、第 6 のトランジスタ 1 0 6 及び第 7 のトランジスタ 1 0 7 は、図 1 と同様のものを用いることができる。

【0 2 4 0】

図 2 7 のフリップフロップの接続関係について説明する。第 1 のトランジスタ 1 0 1 の第

50

1の電極（ソース電極及びドレイン電極の一方）が第5の配線125に接続され、第1のトランジスタ101の第2の電極（ソース電極及びドレイン電極の他方）が第3の配線123に接続される。第2のトランジスタ102の第1の電極が第4の配線124に接続され、第2のトランジスタ102の第2の電極が第3の配線123に接続される。第3のトランジスタ103の第1の電極が第6の配線126に接続され、第3のトランジスタ103の第2の電極が第2のトランジスタ102のゲート電極に接続され、第3のトランジスタ103のゲート電極が第7の配線127に接続される。第4のトランジスタ104の第1の電極が第9の配線129に接続され、第4のトランジスタ104の第2の電極が第2のトランジスタ102のゲート電極に接続され、第4のトランジスタ104のゲート電極が第1のトランジスタ101のゲート電極に接続される。第5のトランジスタ105の第1の電極が第8の配線128に接続され、第5のトランジスタ105の第2の電極が第1のトランジスタ101のゲート電極に接続され、第5のトランジスタ105のゲート電極が第1の配線121に接続される。第6のトランジスタ106の第1の電極が第10の配線130に接続され、第6のトランジスタ106の第2の電極が第1のトランジスタ101のゲート電極に接続され、第6のトランジスタ106のゲート電極が第2のトランジスタ102のゲート電極に接続される。第7のトランジスタ107の第1の電極が第11の配線131に接続され、第7のトランジスタ107の第2の電極が第1のトランジスタ101のゲート電極に接続され、第7のトランジスタ107のゲート電極が第2の配線122に接続される。第8のトランジスタ108の第1の電極が第13の配線133に接続され、第8のトランジスタ108の第2の電極が第12の配線に接続され、第8のトランジスタ108のゲート電極が第1のトランジスタ101のゲート電極に接続される。第9のトランジスタ109の第1の電極が第14の配線134に接続され、第9のトランジスタ109の第2の電極が第12の配線132に接続され、第9のトランジスタ109のゲート電極が第2のトランジスタ102のゲート電極に接続される。

【0241】

なお、第12の配線132、第3の配線133を、それぞれ第6の信号線、第7の信号線と呼んでもよい。さらに、第14の配線を第7の電源線と呼んでもよい。

【0242】

なお、第14の配線134には、V2が供給される。

【0243】

なお、第13の配線133には信号が入力される。第3の配線に入力される信号は、第5の配線125に入力される信号と同様なものを用いることができる。

【0244】

なお、第12の配線132からは信号が出力される。さらに、実施の形態1で説明したように、第3の配線123からも信号が出力される。

【0245】

なお、第1の配線121、第2の配線122、第4の配線124、第5の配線125、第6の配線126、第7の配線127、第8の配線128、第9の配線129、第10の配線130及び第11の配線131それぞれに、入力される信号又は供給される電位は図1と同様である。

【0246】

なお、図27のフリップフロップは、図1のフリップフロップに第8のトランジスタ108及び第9のトランジスタ109を追加した場合について示したが、図4（A）、図4（B）、図4（C）、図4（D）、図5（A）、図5（B）、図5（C）、図5（D）、図7（A）、図7（B）、図7（C）、図21（A）、図21（B）及び図21（C）に示したフリップフロップに第8のトランジスタ108及び第9のトランジスタ109を追加してもよい。

【0247】

次に、図1に示したフリップフロップの動作について、図28のタイミングチャートを参照して説明する。さらに、図2のタイミングチャートと共通するところは共通の符号を用

いてその説明を省略する。

【0248】

なお、信号232は、第12の配線132から出力される信号を示している。さらに、信号221、信号225、信号226、電位241、電位242、信号222及び信号223は、図2と同様である。ただし、信号221、信号225、信号226、電位241、電位242、信号222及び信号223として、図6、図31又は図32と同様なものを用いることもできる。

【0249】

本実施の形態では、すでに述べたように、フリップフロップの出力信号と、フリップフロップの転送信号とを、別々のトランジスタによって別々の配線から出力することとを特徴とする。つまり、図27のフリップフロップは、第1のトランジスタ101及び第2のトランジスタ102によって第3の配線123から信号を出力し、第8のトランジスタ108及び第9のトランジスタによって第12の配線132から信号を出力する。さらに、第8のトランジスタ108及び第9のトランジスタは第1のトランジスタ101及び第2のトランジスタ102と同じように接続されるため、図28に示すように第12の配線132から出力される信号（信号232）は第3の配線123から出力される信号（信号223）とおおむね同じ波形である。ここでは、信号232をフリップフロップの出力信号とし、信号223をフリップフロップの転送信号とする。ただし、信号223をフリップフロップの出力信号、信号232をフリップフロップの転送信号としてもよい。

【0250】

なお、第8のトランジスタ108及び第9のトランジスタ109は、それぞれ第1のトランジスタ101、第2のトランジスタ102と同様の機能を有する。さらに、第8のトランジスタ108及び第9のトランジスタ109をバッファ部と呼んでもよい。

【0251】

以上のことから、図27のフリップフロップは、第3の配線132に大きな負荷が接続され、信号232に遅延、なまりなどが生じて、誤動作を防止することができる。なぜなら、図27のフリップフロップは、フリップフロップの出力信号と、フリップフロップの転送信号とを、別々のトランジスタによって別々の配線から出力することによって、出力信号の遅延、なまりなどがフリップフロップの動作に影響しないからである。

【0252】

さらに、図27のフリップフロップは、実施の形態1及び実施の形態2に示したフリップフロップと同様に、レイアウト面積の縮小、トランジスタのしきい値シフトの抑制、工程の簡略化、大型表示装置などの半導体装置の作製、長寿命な表示パネルなどの半導体装置の作製などのメリットを得ることができる。

【0253】

なお、本実施の形態のフリップフロップに、実施の形態2に記載の動作タイミングを適用することもできる。

【0254】

上述した本実施の形態のフリップフロップを有するシフトレジスタの構成及び駆動方法について説明する。

【0255】

本実施の形態のシフトレジスタの構成について図29を参照して説明する。図29のシフトレジスタは、 n 個のフリップフロップ（フリップフロップ2901__1～フリップフロップ2901__ n ）を有する。

【0256】

図29のフリップフロップの接続関係について説明する。図29のフリップフロップは、 i 段目のフリップフロップ2901__ i （フリップフロップ2901__1～2901__ n のうちいずれか）は、第2の配線2912、第3の配線2913、第4の配線2914、第5の配線2915、第6の配線2916、第8の配線2918__ $i-1$ 、第8の配線2918__ i 、第8の配線2918__ $i+1$ 及び第9の配線2919__ i に接続される。

ただし、1段目のフリップフロップ2901__1は、第1の配線2911、第2の配線2912、第3の配線2913、第4の配線2914、第5の配線2915、第6の配線2916、第8の配線2918__1、第8の配線2918__2、第9の配線2919__1に接続される。さらに、n段目のフリップフロップ2901__nは、第2の配線2912、第3の配線2913、第4の配線2914、第5の配線2915、第6の配線2916、第7の配線2917、第8の配線2918__n-1、第8の配線2918__n及び第9の配線2919__nに接続される。

【0257】

第1の配線2911は、フリップフロップ2901__1の図27に示す第1の配線121に接続される。第2の配線2912は、奇数段目のフリップフロップでは図27に示す第5の配線125及び第3の配線133に接続され、偶数段目のフリップフロップでは図27に示す第6の配線126に接続される。第3の配線2913は、奇数段目のフリップフロップでは図27に示す第6の配線126に接続され、偶数段目のフリップフロップでは図27に示す第5の配線125第3の配線133に接続される。第4の配線2914は、全段のフリップフロップで図27に示す第7の配線127に接続される。第5の配線2915は、全段のフリップフロップで図27に示す第8の配線128に接続される。第6の配線2916は、全段のフリップフロップで図27に示す第4の配線124、第9の配線129、第29の配線130及び第11の配線131に接続される。第8の配線2918__iは、フリップフロップ2901__i-1の図27に示す第2の配線122、フリップフロップ2901__iの図27に示す第3の配線123及びフリップフロップ2901__i+1の図27に示す第1の配線121に接続される。ただし、第8の配線2918__1は、フリップフロップ2901__1の図27に示す第3の配線123及びフリップフロップ2901__2の図27に示す第1の配線121に接続される。さらに、第8の配線2918__nは、フリップフロップ2901__n-1の図27に示す第2の配線122及びフリップフロップ2901__nの図27に示す第3の配線123に接続される。第9の配線2919__1～第9の配線2919__nは、それぞれフリップフロップ2901__1～フリップフロップ2901__nの図27に示す第12の配線132に接続される。

【0258】

なお、フリップフロップ2901__1～フリップフロップ2901__n、第1の配線2911、第2の配線2912、第3の配線2913、第4の配線2914、第5の配線2915、第5の配線2916、第7の配線2907は、それぞれ図10に示したフリップフロップ1001__1～フリップフロップ1001__n、第1の配線1011、第2の配線1012、第3の配線1013、第4の配線1014、第5の配線1015、第5の配線1016、第7の配線1007に相当し、同様の信号又は電位が供給される。

【0259】

次に、図29に示したシフトレジスタの動作について、図30のタイミングチャートを参照して説明する。

【0260】

図30において、第1の配線2911に入力される信号3011、第8の配線2918__1に出力される信号3018__1、第8の配線2918__iに出力される信号3018__i、第8の配線2918__i+1に出力される信号3018__i+1、第8の配線2918__nに出力される信号3018__n、第9の配線2919__1に出力される信号3019__1、第9の配線2918__iに出力される信号3019__i、第9の配線2918__i+1に出力される信号3019__i+1及び第9の配線2919__nに出力される信号3018__nを示している。

【0261】

図30に示すように、例えば、フリップフロップ2901__iが選択期間になると、第8の配線2918__i及び第9の配線2919__iからH信号が出力される。このとき、フリップフロップ2901__i+1はセット期間となる。その後、フリップフロップ2901__iはリセット期間になって、第8の配線2918__i及び第9の配線2919__iか

ら L 信号が出力される。このとき、フリップフロップ 2901__i+1 は選択期間となる。その後、フリップフロップ 2901__i は第 1 の非選択期間になって、第 8 の配線 2918__i 及び第 9 の配線 2919__i が浮遊状態になって電位を L レベルに維持する。このとき、フリップフロップ 2901__i+1 はリセット期間となる。その後、フリップフロップ 2901__i は第 2 の非選択期間になって、第 8 の配線 2918__i 及び第 9 の配線 2919__i から L 信号が出力される。このとき、フリップフロップ 2901__i+1 は第 1 の非選択期間となる。こうして、フリップフロップ 2901__i は、次のセット期間まで、第 1 の非選択期間及び第 2 の非選択期間を繰り返す。

【0262】

以上のことから、図 29 のシフトレジスタは、転送信号を第 8 の配線 2918__1 から順に第 8 の配線 2918__n まで出力することができる。さらに、図 29 のシフトレジスタは、選択信号を第 9 の配線 2919__1 から順に第 9 の配線 2919__n まで出力することができる。つまり、図 29 のシフトレジスタは、第 9 の配線 2919__1 ~ 第 9 の配線 2919__n を走査することができる。したがって、図 29 のシフトレジスタは、シフトレジスタとしての機能を十分得ることができる。

【0263】

さらに、図 29 のシフトレジスタは、第 9 の配線 2919__1 ~ 第 9 の配線 2919__n に大きな負荷（抵抗及び容量など）が接続されも、負荷の影響を受けずに動作することができる。さらに、図 29 のシフトレジスタは、第 9 の配線 2919__1 ~ 第 9 の配線 2919__n のいずれかが電源線又は信号線とショートしても、正常動作を続けることができる。したがって、図 29 のシフトレジスタは、駆動能力の向上を図ることができる。なぜなら、図 29 のシフトレジスタは、各フリップフロップの転送信号と、各フリップフロップの出力信号とを分割しているからである。

【0264】

さらに、図 29 のシフトレジスタは、本実施の形態に示したフリップフロップを適用することで、レイアウト面積の縮小、トランジスタのしきい値シフトの抑制、工程の簡略化、大型表示装置などの半導体装置の作製、長寿命な表示パネルなどの半導体装置の作製などのメリットを得ることができる。

【0265】

なお、図 29 と同様の動作を行うものであれば、図 29 の構成に限定されない。例えば、図 13、図 14、図 15、図 17 のシフトレジスタと自由に組み合わせて実施することで、図 13、図 14、図 15、図 17 と同様のメリットを得ることができる。

【0266】

上述した本実施の形態のシフトレジスタを有する表示装置の構造及び駆動方法について説明する。ただし、本実施の形態の表示装置は、少なくとも本実施の形態のフリップフロップを有していればよい。

【0267】

本実施の形態の表示装置として、図 8、図 18、図 16、図 20、図 22 の表示装置を用いることができる。したがって、本実施の形態の表示装置は、走査線駆動回路として本実施の形態のシフトレジスタを適用すれば、レイアウト面積の縮小を図ることができる。さらに、本実施の形態の表示装置は、トランジスタのしきい値シフトの抑制できる。さらに、本実施の形態の表示装置は、工程の簡略化を図ることができる。さらに、本実施の形態の表示装置は、大型化又は高精細化を図ることができる。さらに、本実施の形態の表示装置は、長寿命化を図ることができる。特に、図 8、図 16、図 22 の表示装置に走査線駆動回路として本実施の形態のシフトレジスタを適用すれば、大型化、又は高精細化を図ることができる。さらに、本実施の形態のシフトレジスタを適用した図 8、図 16、又は図 22 の表示装置は、省電力化を図ることができる。さらに、本実施の形態のシフトレジスタを適用した図 8、図 16、又は図 22 の表示装置は、I C の発熱を抑制できる。さらに、本実施の形態のシフトレジスタを適用した図 8、図 16、又は図 22 の表示装置は、I C の省電力化を図ることができる。

【0268】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせる組み合わせることが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0269】

同様に、本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

10

【0270】

なお、本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用することができ、又は組み合わせることが出来る。

【0271】

(実施の形態4)

本実施の形態では、本明細書のフリップフロップを構成するトランジスタにPチャネル型トランジスタを適用した場合について説明する。さらに、当該フリップフロップを有する駆動回路、及び当該駆動回路を有する表示装置の構成並びに駆動方法について説明する。

20

【0272】

本実施の形態のフリップフロップは、図1のフリップフロップが有するトランジスタの極性をPチャネル型にした場合について説明する。ただし、図4(A)、図4(B)、図4(C)、図4(D)、図5(A)、図5(B)、図5(C)、図5(D)、図7(A)、図7(B)、図7(C)、図21(A)、図21(B)、図21(C)又は図27に示したフリップフロップが有するトランジスタの極性をPチャネル型とすることもできる。さらに、本実施の形態のフリップフロップは、実施の形態1乃至実施の形態3の記載と自由に組み合わせて実施することもできる。

30

【0273】

本実施の形態のフリップフロップの基本構成について、図23を参照して説明する。図23に示すフリップフロップは、第1のトランジスタ2301、第2のトランジスタ2302、第3のトランジスタ2303、第4のトランジスタ2304、第5のトランジスタ2305、第6のトランジスタ2306及び第7のトランジスタ2307を有する。本実施の形態において、第1のトランジスタ2301、第2のトランジスタ2302、第3のトランジスタ2303、第4のトランジスタ2304、第5のトランジスタ2305、第6のトランジスタ2306及び第7のトランジスタ2307は、Pチャネル型トランジスタとし、ゲート及びソース間電圧の絶対値($|V_{gs}|$)がしきい値電圧の絶対値($|V_{th}|$)を上回ったとき(V_{gs} が V_{th} を下回ったとき)導通状態になるものとする。

40

【0274】

図23のフリップフロップの接続関係について説明する。第1のトランジスタ2301の第1の電極(ソース電極及びドレイン電極の一方)が第5の配線2325に接続され、第1のトランジスタ2301の第2の電極(ソース電極及びドレイン電極の他方)が第3の配線2323に接続される。第2のトランジスタ2302の第1の電極が第4の配線2324に接続され、第2のトランジスタ2302の第2の電極が第3の配線2323に接続される。第3のトランジスタ2303の第1の電極が第6の配線2326に接続され、第3のトランジスタ2303の第2の電極が第2のトランジスタ2302のゲート電極に接続され、第3のトランジスタ2303のゲート電極が第7の配線2327に接続される。第4のトランジスタ2304の第1の電極が第9の配線2329に接続され、第4のトラン

50

ンジスタ 2304 の第 2 の電極が第 2 のトランジスタ 2302 のゲート電極に接続され、第 4 のトランジスタ 2304 のゲート電極が第 1 のトランジスタ 2301 のゲート電極に接続される。第 5 のトランジスタ 2305 の第 1 の電極が第 8 の配線 2328 に接続され、第 5 のトランジスタ 2305 の第 2 の電極が第 1 のトランジスタ 2301 のゲート電極に接続され、第 5 のトランジスタ 2305 のゲート電極が第 1 の配線 2321 に接続される。第 6 のトランジスタ 2306 の第 1 の電極が第 10 の配線 2330 に接続され、第 6 のトランジスタ 2306 の第 2 の電極が第 1 のトランジスタ 2301 のゲート電極に接続され、第 6 のトランジスタ 2306 のゲート電極が第 2 のトランジスタ 2302 のゲート電極に接続される。第 7 のトランジスタ 2307 の第 1 の電極が第 11 の配線 2331 に接続され、第 7 のトランジスタ 2307 の第 2 の電極が第 1 のトランジスタ 2301 のゲート電極に接続され、第 7 のトランジスタ 2307 のゲート電極が第 2 の配線 2322 に接続される。

【0275】

なお、第 1 のトランジスタ 2301 のゲート電極、第 4 のトランジスタ 2304 のゲート電極、第 5 のトランジスタ 2305 の第 2 の電極、第 6 のトランジスタ 2306 の第 2 の電極及び第 7 のトランジスタ 2307 の第 2 の電極の接続箇所をノード 2341 とする。さらに、第 2 のトランジスタ 2302 のゲート電極、第 3 のトランジスタ 2303 の第 2 の電極、第 4 のトランジスタ 2304 の第 2 の電極及び第 6 のトランジスタ 2306 のゲート電極の接続箇所をノード 2342 とする。

【0276】

第 4 の配線 2324、第 9 の配線 2329、第 10 の配線 2330 及び第 11 の配線 2331 はお互いに接続されてもよいし、同一の配線としてもよい。さらに、第 7 の配線 2327 及び第 8 の配線 2328 はお互いに接続されてもよいし、同一の配線としてもよい。

【0277】

なお、第 1 のトランジスタ 2301～第 7 のトランジスタ 2307 は、それぞれ図 1 の第 1 のトランジスタ 101～第 7 のトランジスタ 107 に対応し、同様の機能を有する。

【0278】

なお、第 1 の配線 2321～第 11 の配線 2331 は、それぞれ図 1 の第 1 の配線 121～第 11 の配線 131 に対応している。ただし、第 1 の配線 2321～第 11 の配線 2331 に入力される信号、供給される電位又は出力される信号は、図 1 の第 1 の配線 121～第 11 の配線 131 に入力される信号、供給される電位又は出力される信号と比較して H レベル・L レベルが反転している。

【0279】

なお、第 7 の配線 2327 及び第 8 の配線 2328 にはそれぞれ V2 の電位が供給され、第 4 の配線 2324、第 9 の配線 2329、第 10 の配線 2330 及び第 11 の配線 2331 にはそれぞれ V1 の電位が供給される。

【0280】

なお、第 1 の配線 2321、第 2 の配線 2322、第 5 の配線 2325 及び第 6 の配線 2326 には、それぞれ信号が入力される。第 1 の配線 2321 に入力される信号はスタート信号であり、第 2 の配線 2322 に入力される信号はリセット信号であり、第 5 の配線 2325 に入力される信号は第 1 のクロック信号であり、第 6 の配線 2326 に入力される信号は第 2 のクロック信号である。さらに、第 1 の配線 2321、第 2 の配線 2322、第 5 の配線 2325 及び第 6 の配線 2326 にそれぞれ入力される信号は、H 信号の電位が V1（以下、H レベルともいう）、L 信号の電位が V2（以下、L レベルともいう）のデジタル信号である。

【0281】

なお、第 1 の配線 2321、第 2 の配線 2322、第 2 の配線 2322～第 11 の配線 2331 には、それぞれ様々な信号、電流又は電圧が入力されてもよい。

【0282】

なお、第 3 の配線 2323 からは信号が出力される。第 3 の配線 2323 から出力される

信号は、各ステージのフリップフロップの出力信号であり、次のステージのフリップフロップのスタート信号（以下、転送信号ともいう）でもある。さらに、第3の配線2323から出力される信号は、H信号の電位がV1（以下、Hレベルともいう）、L信号の電位がV2（以下、Lレベルともいう）のデジタル信号である。

【0283】

次に、図23に示したフリップフロップの動作について、図24のタイミングチャートを参照して説明する。さらに、図24のタイミングチャートを選択期間及び非選択期間に分割して説明する。さらに、非選択期間を第1の非選択期間、第2の非選択期間、セット期間及びリセット期間に分割して説明する。ここで、図24のタイミングチャートに示すように、各期間は、セット期間、選択期間、リセット期間、第1の非選択期間、第2の非選択期間、第1の非選択期間、第2の非選択期間の順で並んでいる。つまり、セット期間、選択期間及びリセット期間を除く動作期間は、第1の非選択期間及び第2の非選択期間を順に繰り返す。さらに、セット期間の前の期間は、第2の非選択期間である。

10

【0284】

なお、図24のタイミングチャートは、図2のタイミングチャートのHレベル・Lレベルを反転したものと同様である。

【0285】

なお、本実施の形態のフリップフロップには、図2のHレベル・Lレベルを反転したものだけでなく、図6、図28、図31及び図32のタイミングチャートのHレベル・Lレベルを反転したものをを用いてもよい。

20

【0286】

なお、図24において、信号2421、信号2425、信号2426、電位2441、電位2442、信号2422及び信号2423は、それぞれ第1の配線2321に入力される信号、第5の配線2325に入力される信号、第6の配線2326に入力される信号、ノード2341の電位、ノード2342の電位、第2の配線2322に入力される信号、第3の配線2323から出力される信号を示している。

【0287】

なお、信号2421、信号2425、信号2426、電位2441、電位2442、信号2422及び信号2423は、それぞれ図2の信号221、信号225、信号226、電位241、電位242、信号222及び信号223に対応している。ただし、すでに述べたように、Hレベル・Lレベルが反転している。

30

【0288】

まず、図24（A）に示すセット期間において、信号2421がLレベルなので第5のトランジスタ2305がオンし、信号2422がHレベルなので第7のトランジスタ2307がオフする。このときのノード2341の電位は、第5のトランジスタ2305の第2の電極がソース電極となって、第8の配線2328の電位と第5のトランジスタ2305のしきい値電圧の絶対値との和となるため $V_2 + |V_{th}(2305)|$ （ $V_{th}(2305)$ ：第5のトランジスタ2305のしきい値電圧）となる。よって、第1のトランジスタ2301及び第4のトランジスタ2304がオンし、第5のトランジスタ2305がオフする。このときのノード2342の電位（電位2442）は、第3のトランジスタ2303と第4のトランジスタ2304との抵抗比（ L/W 及び印加電圧）によって決定され、 $V_1 - \theta$ （ θ ：任意の正の数）となる。さらに、 $\theta < |V_{th}(2302)|$ （ $V_{th}(2302)$ ：第2のトランジスタ2302のしきい値電圧）及び $\theta < |V_{th}(2306)|$ （第6のトランジスタ2306のしきい値電圧）とする。つまり、第9の配線2329の電位（V1）と第6の配線2326の電位（V2）との電位差（ $V_1 - V_2$ ）が第3のトランジスタ2303及び第4のトランジスタ2304によって分圧される。よって、第2のトランジスタ2302及び第6のトランジスタ2306がオフする。このように、セット期間では、第3の配線2323はH信号が入力されている第5の配線2325と導通するため、第3の配線2323の電位がV1となる。したがって、H信号が第3の配線2323から出力される。さらに、ノード2341は、電位を $V_2 + |V_{th}(23$

40

50

05) | に維持したまま浮遊状態となる。

【0289】

図24B) に示す選択期間では、信号2421がHレベルとなって第5のトランジスタ2305がオフし、信号2422がHレベルのままなので第7のトランジスタ2307がオフのままである。このときのノード2341は電位を $V2 + |V_{th}(2305)|$ に維持している。よって、第1のトランジスタ2301及び第4のトランジスタ2304はオンのままである。このときのノード2342の電位は、第6の配線2326がHレベルとなるため $V1$ となる。よって、第2のトランジスタ2302及び第6のトランジスタ2306はオフのままである。ここで、第5の配線2325にL信号が入力されるので、第3の配線2323の電位が減少し始める。すると、ノード2341の電位は、ブートストラップ動作によって $V2 + |V_{th}(2305)|$ から下がって、 $V2 - |V_{th}(2301)| - \gamma(V_{th}(2301))$ (第1のトランジスタ2301のしきい値電圧、 γ : 任意の正の数) となる。したがって、第3の配線2323の電位は、第5の配線2325と等しい電位となるので $V2$ となる。なお、このブートストラップ動作は、第1のトランジスタ2301のゲート電極と第2の電極との間の寄生容量の容量結合によって行われる。このように、選択期間では、第3の配線2323はL信号が入力されている第5の配線2325と導通するため、第3の配線2323の電位が $V2$ となる。したがって、L信号が第3の配線2323から出力される。

10

【0290】

図24(C) に示すリセット期間では、信号2421がHレベルのままなので第5のトランジスタ2305がオフのままであり、信号2422がLレベルとなって第7のトランジスタ2307がオンする。このときのノード2341の電位は、第11の配線の電位 ($V1$) が第7のトランジスタ2307を介して供給されるため $V1$ となる。よって、第1のトランジスタ2301及び第4のトランジスタ2304がオフする。このときのノード2342の電位は、第3のトランジスタ2303の第2の電極がソース電極となって、第6の配線2326の電位 ($V2$) から第3のトランジスタ2303のしきい値電圧を引いた値となるため $V2 + |V_{th}(2303)| - (V_{th}(2303))$ (第3のトランジスタ2303のしきい値電圧) となる。よって、第2のトランジスタ2302及び第6のトランジスタ2306がオンする。このように、リセット期間では、第3の配線2323は $V1$ が供給されている第4の配線2324と導通するため、第3の配線2323の電位が $V1$ となる。したがって、H信号が第3の配線2323から出力される。

20

30

【0291】

図24(D) に示す第1の非選択期間では、信号2421がHレベルのままなので第5のトランジスタ2305がオフのままであり、信号2422がHレベルとなって第7のトランジスタ2307がオフする。このときのノード2342の電位は、第6の配線2326にH信号が入力されるため $V1$ となる。よって、第2のトランジスタ2302及び第6のトランジスタ2306がオフする。このときのノード2341は、浮遊状態となるため電位を $V1$ に維持する。よって、第1のトランジスタ2301及び第4のトランジスタ2304はオフのままである。このように、第1の非選択期間では、第3の配線2323は浮遊状態となるため、第3の配線2323の電位は $V1$ を維持する。

40

【0292】

図24(E) に示す第2の非選択期間では、信号2421がHレベルのままなので第5のトランジスタ2305がオフのままであり、信号2422がHレベルのままなので第7のトランジスタ2307がオフのままである。このときのノード2342の電位は、第6の配線2326にL信号が入力され、トランジスタ2304がオフしているため $V2 + |V_{th}(2303)|$ となる。よって、第2のトランジスタ2302及び第6のトランジスタ2306がオンする。このときのノード2341の電位は、第10の配線2330の電位 ($V1$) が第6のトランジスタ2306を介して供給されるため $V1$ のままである。よって、第1のトランジスタ2301及び第4のトランジスタ2304はオフのままである。このように、第2の非選択期間では、第3の配線2323は $V1$ が供給されている第4

50

の配線 2 3 2 4 と導通するため、第 3 の配線 2 3 2 3 の電位が V 1 のままである。したがって、H 信号が第 3 の配線 2 3 2 3 から出力される。

【0 2 9 3】

以上のことから、図 2 3 のフリップフロップは、選択期間においてブートストラップ動作を用いて、ノード 2 3 4 1 の電位を $V_2 - |V_{th}(2301)|$ よりも低くすることによって、第 3 の配線 2 3 2 3 の電位を V 2 とすることができる。さらに、図 2 3 のフリップフロップは、このブートストラップ動作が第 1 のトランジスタ 2 3 0 1 の第 2 の電極とゲート電極との間の寄生容量の容量結合を用いて行われることによって、レイアウト面積の縮小及び素子数の低減などのメリットを得ることができる。

【0 2 9 4】

さらに、図 2 3 のフリップフロップは、第 2 のトランジスタ 2 3 0 2 及び第 6 のトランジスタ 2 3 0 6 が第 2 の非選択期間においてのみオンするため、第 2 のトランジスタ 2 3 0 2 及び第 6 のトランジスタ 2 3 0 6 のしきい値電圧のシフトを抑制することができる。

【0 2 9 5】

なお、図 2 3 のフリップフロップは、第 3 のトランジスタ 2 3 0 3 のゲート電極に V 2 を供給し、第 1 の電極に第 2 のクロック信号を入力することで、第 3 のトランジスタ 2 3 0 3 のしきい値電圧のシフトも抑制することができる。

【0 2 9 6】

さらに、図 2 3 のフリップフロップは、第 1 のトランジスタ 2 3 0 1、第 4 のトランジスタ 2 3 0 4、第 5 のトランジスタ 2 3 0 5 及び第 7 のトランジスタ 2 3 0 7 が第 1 の非選択期間及び第 2 の非選択期間においてオンしないため、第 1 のトランジスタ 2 3 0 1、第 4 のトランジスタ 2 3 0 4、第 5 のトランジスタ 2 3 0 5 及び第 7 のトランジスタ 2 3 0 7 のしきい値電圧のシフトを抑制することができる。

【0 2 9 7】

さらに、図 2 3 のフリップフロップは、ノード 2 3 4 1 の電位及び第 3 の配線 2 3 2 3 の電位が第 1 の非選択期間において変動しても、次の第 2 の非選択期間においてノード 2 3 4 1 及び第 3 の配線 2 3 2 3 に V 1 を供給することで、ノード 2 3 4 1 の電位及び第 3 の配線 2 3 2 3 の電位を V 1 にリセットすることができる。したがって、図 2 3 のフリップフロップは、ノード 2 3 4 1 及び配線 2 3 2 3 が浮遊状態となって、ノード 2 3 4 1 及び第 3 の配線 2 3 2 3 の電位が変動することが原因となる誤動作を抑制することができる。

【0 2 9 8】

さらに、図 2 3 のフリップフロップは、トランジスタのしきい値シフトを抑制できるため、トランジスタのしきい値電圧シフトが原因となる誤動作を抑制することができる。

【0 2 9 9】

さらに、図 2 3 のフリップフロップは、第 1 のトランジスタ 2 3 0 1 乃至第 7 のトランジスタ 2 3 0 7 が全て P チャネル型トランジスタで構成されていることを特徴とする。したがって、図 2 3 のフリップフロップは、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。

【0 3 0 0】

なお、図 2 4 と同様の動作を行うものであれば、各トランジスタの配置及び数などは図 2 4 に限定されない。したがって、図 2 4 のフリップフロップに、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

【0 3 0 1】

なお、本実施の形態のシフトレジスタは、本実施の形態のフリップフロップを実施の形態 1 乃至実施の形態 3 に記載のシフトレジスタと自由に組み合わせて実施することができる。例えば、本実施の形態のシフトレジスタは、本実施の形態のフリップフロップを図 1 0、図 1 3、図 1 4、図 1 5、図 1 7、図 2 9、図 3 3、及び図 3 4 のシフトレジスタと自由に組み合わせて実施することができる。ただし、本実施の形態のシフトレジスタは、実施の形態 1 乃至実施の形態 3 に記載のシフトレジスタと比較して、H レベル・L レベ

10

20

30

40

50

ルが反転している。

【0302】

なお、本実施の形態の表示装置は、本実施の形態のシフトレジスタを実施の形態1乃至実施の形態3に記載の表示装置と自由に組み合わせて実施することができる。例えば、本実施の形態の表示装置は、図8、図18、図16、図20及び図22の表示装置と自由に組み合わせて実施することができる。ただし、本実施の形態の表示装置は、実施の形態1乃至実施の形態3に記載の表示装置と比較して、HレベルとLレベルが反転している。

【0303】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

10

【0304】

同様に、本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0305】

なお、本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用できる。あるいは、組み合わせることが出来る。

20

【0306】

(実施の形態5)

本実施の形態では、実施の形態1乃至実施の形態4に示した表示装置が有する信号線駆動回路について説明する。

【0307】

図37の信号線駆動回路について説明する。図37に示す信号線駆動回路は、ドライバIC5601、スイッチ群5602__1～5602__M、第1の配線5611、第2の配線5612、第3の配線5613及び配線5621__1～5621__Mを有する。スイッチ群5602__1～5602__Mそれぞれは、第1のスイッチ5603a、第2のスイッチ5603b及び第3のスイッチ5603cを有する。

30

【0308】

ドライバIC5601は第1の配線5611、第2の配線5612、第3の配線5613及び配線5621__1～5621__Mに接続される。そして、スイッチ群5602__1～5602__Mそれぞれは、第1の配線5611、第2の配線5612、第3の配線5613及びスイッチ群5602__1～5602__Mそれぞれに対応した配線5621__1～5621__Mのうちいずれかに接続される。そして、配線5621__1～5621__Mそれぞれは、第1のスイッチ5603a、第2のスイッチ5603b及び第3のスイッチ5603cを介して、3つの信号線に接続される。例えば、J列目の配線5621__J（配線5621__1～配線5621__Mのうちいずれか）は、スイッチ群5602__Jが有する第1のスイッチ5603a、第2のスイッチ5603b及び第3のスイッチ5603cを介して、信号線S_j-1、信号線S_j、信号線S_j+1に接続される。

40

【0309】

なお、第1の配線5611、第2の配線5612、第3の配線5613には、それぞれ信号が入力される。

【0310】

なお、ドライバIC5601は、単結晶基板若しくは多結晶半導体を用いたガラス基板上に形成されていることが望ましい。さらに、スイッチ群5602は、実施の形態1乃至実

50

施の形態 4 に示した画素部と同一基板上に形成されていることが望ましい。したがって、ドライバ IC 5601 とスイッチ群 5602 とは FPC などを通じて接続するとよい。

【0311】

次に、図 37 に示した信号線駆動回路の動作について、図 38 のタイミングチャートを参照して説明する。なお、図 38 のタイミングチャートは、 i 行目の走査線 G_i が選択されている場合のタイミングチャートを示している。さらに、 i 行目の走査線 G_i の選択期間は、第 1 のサブ選択期間 T_1 、第 2 のサブ選択期間 T_2 及び第 3 のサブ選択期間 T_3 に分割されている。さらに、図 37 の信号線駆動回路は、他の行の走査線が選択されている場合でも図 38 と同様の動作をする。

【0312】

なお、図 38 のタイミングチャートは、 J 列目の配線 5621 __ J が第 1 のスイッチ 5603a、第 2 のスイッチ 5603b 及び第 3 のスイッチ 5603c を介して、信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に接続される場合について示している。

【0313】

なお、図 38 のタイミングチャートは、 i 行目の走査線 G_i が選択されるタイミング、第 1 のスイッチ 5603a のオン・オフのタイミング 5703a、第 2 のスイッチ 5603b のオン・オフのタイミング 5703b、第 3 のスイッチ 5603c のオン・オフのタイミング 5703c 及び J 列目の配線 5621 __ J に入力される信号 5721 __ J を示している。

【0314】

なお、配線 5621 __ 1 ~ 配線 5621 __ M には第 1 のサブ選択期間 T_1 、第 2 のサブ選択期間 T_2 及び第 3 のサブ選択期間 T_3 において、それぞれ別のビデオ信号が入力される。例えば、第 1 のサブ選択期間 T_1 において配線 5621 __ J に入力されるビデオ信号は信号線 S_{j-1} に入力され、第 2 のサブ選択期間 T_2 において配線 5621 __ J に入力されるビデオ信号は信号線 S_j に入力され、第 3 のサブ選択期間 T_3 において配線 5621 __ J に入力されるビデオ信号は信号線 S_{j+1} に入力される。さらに、選択期間 T_1 、第 2 のサブ選択期間 T_2 及び第 3 のサブ選択期間 T_3 において、配線 5621 __ J に入力されるビデオ信号をそれぞれ $Data_{j-1}$ 、 $Data_j$ 、 $Data_{j+1}$ とする。

【0315】

図 38 に示すように、第 1 のサブ選択期間 T_1 において第 1 のスイッチ 5603a がオンし、第 2 のスイッチ 5603b 及び第 3 のスイッチ 5603c がオフする。このとき、配線 5621 __ J に入力される $Data_{j-1}$ が、第 1 のスイッチ 5603a を介して信号線 S_{j-1} に入力される。第 2 のサブ選択期間 T_2 では、第 2 のスイッチ 5603b がオンし、第 1 のスイッチ 5603a 及び第 3 のスイッチ 5603c がオフする。このとき、配線 5621 __ J に入力される $Data_j$ が、第 2 のスイッチ 5603b を介して信号線 S_j に入力される。第 3 のサブ選択期間 T_3 では、第 3 のスイッチ 5603c がオンし、第 1 のスイッチ 5603a 及び第 2 のスイッチ 5603b がオフする。このとき、配線 5621 __ J に入力される $Data_{j+1}$ が、第 3 のスイッチ 5603c を介して信号線 S_{j+1} に入力される。

【0316】

以上のことから、図 37 の信号線駆動回路は、1 ゲート選択期間を 3 つに分割することで、1 ゲート選択期間中に 1 つの配線 5621 から 3 つの信号線にビデオ信号を入力することができる。したがって、図 37 の信号線駆動回路は、ドライバ IC 5601 が形成される基盤と、画素部が形成されている基盤との接続数を信号線の数に比べて約 $1/3$ にすることができる。接続数が約 $1/3$ になることによって、図 37 の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

【0317】

なお、本実施形態の信号線駆動回路を実施形態 1 乃至実施形態 4 に示した表示装置に適用することによって、さらに画素部が形成されている基盤と外部基盤との接続数を減らすことができる。したがって、本実施の形態の表示装置は、信頼性の向上を図ることができる

10

20

30

40

50

。さらに、本実施の形態の表示装置は、歩留まりを高くすることができる。

【0318】

次に、第1のスイッチ5603a、第2のスイッチ5603b及び第3のスイッチ5603cにNチャネル型のトランジスタを適用した場合について図39を参照して説明する。なお、図37と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0319】

第1のトランジスタ5903aが第1のスイッチ5603aに相当し、第2のトランジスタ5903bが第2のスイッチ5603bに相当し、第3のトランジスタ5903cが第3のスイッチ5603cに相当する。

10

【0320】

例えば、スイッチ群5602__Jの場合、第1のトランジスタ5903aは、第1の電極が配線5621__Jに接続され、第2の電極が信号線S_j-1に接続され、ゲート電極が第1の配線5611に接続される。第2のトランジスタ5903bは、第1の電極が配線5621__Jに接続され、第2の電極が信号線S_jに接続され、ゲート電極が第2の配線5612に接続される。第3のトランジスタ5903cは、第1の電極が配線5621__Jに接続され、第2の電極が信号線S_j+1に接続され、ゲート電極が第3の配線5613に接続される。

【0321】

なお、第1のトランジスタ5903a、第2のトランジスタ5903b、第3のトランジスタ5903cは、それぞれスイッチングトランジスタとして機能する。さらに、第1のトランジスタ5903a、第2のトランジスタ5903b、第3のトランジスタ5903cは、それぞれゲート電極に入力される信号がHレベルのときにオンとなり、ゲート電極に入力される信号がLレベルのときにオフとなる。

20

【0322】

なお、第1のスイッチ5603a、第2のスイッチ5603b及び第3のスイッチ5603cとしてNチャネル型のトランジスタを用いることによって、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。さらに、大型の表示パネルなどの半導体装置を作製することも可能となるからである。あるいは、トランジスタの半導体層として、ポリシリコンや多結晶シリコンを用いても製造工程の簡略化を図ることができる。

30

【0323】

図39の信号線駆動回路では、第1のトランジスタ5903a、第2のトランジスタ5903b、第3のトランジスタ5903cとしてNチャネル型のトランジスタを用いた場合について説明したが、第1のトランジスタ5903a、第2のトランジスタ5903b、第3のトランジスタ5903cとしてPチャネル型のトランジスタを用いてもよい。このとき、トランジスタはゲート電極に入力される信号がLレベルのときにオンとなり、ゲート電極に入力される信号がHレベルのときにオフとなる。

【0324】

なお、図37のように、1ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいてある1つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、スイッチの配置や数、駆動方法などは限定されない。

40

【0325】

例えば、3つ以上のサブ選択期間それぞれにおいて1つの配線から3つ以上の信号線それぞれにビデオ信号を入力する場合は、スイッチ及びスイッチを制御するための配線を追加すればよい。ただし、1ゲート選択期間を4つ以上のサブ選択期間に分割すると、1つのサブ選択期間が短くなる。したがって、1ゲート選択期間は、2つ又は3つのサブ選択期間に分割されることが望ましい。

【0326】

50

別の例として、図40のタイミングチャートに示すように、1つの選択期間をプリチャージ期間 T_p 、第1のサブ選択期間 T_1 、第2のサブ選択期間 T_2 、第3の選択期間 T_3 に分割してもよい。さらに、図40のタイミングチャートは、 i 行目の走査線 G_i が選択されるタイミング、第1のスイッチ5603aのオン・オフのタイミング5803a、第2のスイッチ5603bのオン・オフのタイミング5803b、第3のスイッチ5603cのオン・オフのタイミング5803c及びJ列目の配線5621__Jに入力される信号5821__Jを示している。図40に示すように、プリチャージ期間 T_p において第1のスイッチ5603a、第2のスイッチ5603b及び第3のスイッチ5603cがオンする。このとき、配線5621__Jに入力されるプリチャージ電圧 V_p が第1のスイッチ5603a、第2のスイッチ5603b及び第3のスイッチ5603cを介してそれぞれ信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に入力される。第1のサブ選択期間 T_1 において第1のスイッチ5603aがオンし、第2のスイッチ5603b及び第3のスイッチ5603cがオフする。このとき、配線5621__Jに入力される $Data_{j-1}$ が、第1のスイッチ5603aを介して信号線 S_{j-1} に入力される。第2のサブ選択期間 T_2 では、第2のスイッチ5603bがオンし、第1のスイッチ5603a及び第3のスイッチ5603cがオフする。このとき、配線5621__Jに入力される $Data_j$ が、第2のスイッチ5603bを介して信号線 S_j に入力される。第3のサブ選択期間 T_3 では、第3のスイッチ5603cがオンし、第1のスイッチ5603a及び第2のスイッチ5603bがオフする。このとき、配線5621__Jに入力される $Data_{j+1}$ が、第3のスイッチ5603cを介して信号線 S_{j+1} に入力される。

【0327】

以上のことから、図40のタイミングチャートを適用した図37の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図38と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0328】

図41においても、図37のように、1ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいてある1つの配線から複数の信号線それぞれにビデオ信号を入力することができる。なお、図41は、信号線駆動回路のうちJ列目のスイッチ群6022__Jのみを示している。スイッチ群6022__Jは、第1のトランジスタ6001、第2のトランジスタ6002、第3のトランジスタ6003、第4のトランジスタ6004、第5のトランジスタ6005、第6のトランジスタ6006を有している。第1のトランジスタ6001、第2のトランジスタ6002、第3のトランジスタ6003、第4のトランジスタ6004、第5のトランジスタ6005、第6のトランジスタ6006はNチャネル型のトランジスタである。スイッチ群6022__Jは、第1の配線6011、第2の配線6012、第3の配線6013、第4の配線6014、第5の配線6015、第6の配線6016、配線5621__J、信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に接続される。

【0329】

第1のトランジスタ6001の第1の電極は配線5621__Jに接続され、第2の電極は信号線 S_{j-1} に接続され、ゲート電極は第1の配線6011に接続される。第2のトランジスタ6002の第1の電極は配線5621__Jに接続され、第2の電極は信号線 S_{j-1} に接続され、ゲート電極は第2の配線6012に接続される。第3のトランジスタ6003の第1の電極は配線5621__Jに接続され、第2の電極は信号線 S_j に接続され、ゲート電極は第3の配線6013に接続される。第4のトランジスタ6004の第1の電極は配線5621__Jに接続され、第2の電極は信号線 S_j に接続され、ゲート電極は第4の配線6014に接続される。第5のトランジスタ6005の第1の電極は配線5621__Jに接続され、第2の電極は信号線 S_{j+1} に接続され、ゲート電極は第5の配線6015に接続される。第6のトランジスタ6006の第1の電極は配線5621__Jに

接続され、第2の電極は信号線 $S_j + 1$ に接続され、ゲート電極は第6の配線 6016 に接続される。

【0330】

なお、第1のトランジスタ6001、第2のトランジスタ6002、第3のトランジスタ6003、第4のトランジスタ6004、第5のトランジスタ6005、第6のトランジスタ6006は、それぞれスイッチングトランジスタとして機能する。さらに、第1のトランジスタ6001、第2のトランジスタ6002、第3のトランジスタ6003、第4のトランジスタ6004、第5のトランジスタ6005、第6のトランジスタ6006は、それぞれゲート電極に入力される信号がHレベルのときにオンとなり、ゲート電極に入力される信号がLレベルのときにオフとなる。

10

【0331】

なお、第1の配線6011及び第2の配線6012は、図39の第1の配線5911に相当する。第3の配線6013及び第4の配線6014は、図39の第2の配線5912に相当する。第5の配線6015及び第6の配線6016は、図39の第3の配線5913に相当する。なお、第1のトランジスタ6001及び第2のトランジスタ6002は、図39の第1のトランジスタ5903aに相当する。第3のトランジスタ6003及び第4のトランジスタ6004は、図39の第2のトランジスタ5903bに相当する。第5のトランジスタ6005及び第6のトランジスタ6006は、図39の第3のトランジスタ5903cに相当する。

【0332】

図41では、図38に示した第1のサブ選択期間 T_1 において第1のトランジスタ6001又は第2のトランジスタ6002のどちらかがオンする。第2のサブ選択期間 T_2 において第3のトランジスタ6003又は第4のトランジスタ6004のどちらかがオンする。第3のサブ選択期間 T_3 において第5のトランジスタ6005又は第6のトランジスタ6006のどちらかがオンする。さらに、図40に示したプリチャージ期間 T_p において第1のトランジスタ6001、第3のトランジスタ6003及び第5のトランジスタ6005か、第2のトランジスタ6002、第4のトランジスタ6004及び第6のトランジスタ6006のどちらかがオンする。

20

【0333】

したがって、図41では、各トランジスタのオン時間を短くすることができるため、各トランジスタの特性劣化を抑制することができる。なぜなら、例えば図38に示した第1のサブ選択期間 T_1 においては、第1のトランジスタ6001又は第2のトランジスタ6002のどちらかがオンしていればビデオ信号を信号線 S_{j-1} に入力することができるからである。なお、例えば図38に示した第1のサブ選択期間 T_1 において、第1のトランジスタ6001及び第2のトランジスタ6002を同時にオンすることによって、高速にビデオ信号を信号線 S_{j-1} に入力することもできる。

30

【0334】

なお、図41では、2つのトランジスタを配線5621と信号線との間に並列に接続する場合について説明した。しかし、これに限定されず、3つ以上のトランジスタを配線5621と信号線との間に並列に接続してもよい。こうすることで、さらに各トランジスタの特性劣化を抑制することができる。

40

【0335】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0336】

同様に、本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み

50

合わせることににより、さらに多くの図を構成させることが出来る。

【0337】

なお、本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用できる。あるいは、組み合わせることが出来る。

【0338】

(実施の形態6)

本実施の形態では、実施の形態1乃至実施の形態4に示した表示装置の静電破壊による不良を防止するための構成について説明する。

10

【0339】

なお、静電破壊とは、人体又は物体に蓄積された、正又は負の電荷が半導体デバイスに触れた時にデバイスの入出力端子を介して瞬時に放電されることで、デバイス内部に大電流が流れて発生する破壊のことである。

【0340】

図42(A)は、保護ダイオードによって走査線に発生する静電破壊を防止するための構成を示す。図42(A)は、保護ダイオードを配線6111と走査線との間に配置した構成である。なお、図示はしないが、 i 行目の走査線 G_i には複数の画素が接続される。なお、保護ダイオードとしては、トランジスタ6101を用いる。なお、トランジスタ6101はNチャネル型のトランジスタである。ただし、Pチャネル型のトランジスタを用いてもよく、トランジスタ6101の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。

20

【0341】

なお、保護ダイオードは1つだけ配置されいるが、複数の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。

【0342】

トランジスタ6101は第1の電極が i 行目の走査線 G_i に接続され、第2の電極が配線6111に接続され、ゲート電極が i 行目の走査線 G_i に接続される。

【0343】

図42(A)の動作について説明する。配線6111にはある電位が入力されており、その電位は、 i 行目の走査線 G_i に入力される信号のLレベルよりも低い電位である。正又は負の電荷が i 行目の走査線 G_i に放電されていない場合、 i 行目の走査線 G_i の電位はHレベル若しくはLレベルであるため、トランジスタ6101はオフしている。一方、負の電荷が i 行目の走査線 G_i に放電された場合、 i 行目の走査線 G_i の電位は瞬間的に下がる。このとき、 i 行目の走査線 G_i の電位が配線6111の電位からトランジスタ6101のしきい値電圧を引いた値よりも低くなると、トランジスタ6101がオンして、電流がトランジスタ6101を介して配線6111に流れる。したがって、図42(A)に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。

30

40

【0344】

なお、図42(B)は、正の電荷が i 行目の走査線 G_i に放電された場合に静電破壊を防止するための構成である。保護ダイオードとして機能するトランジスタ6102が走査線と配線6112との間に配置されている。なお、保護ダイオードは1つだけ配置されいるが、複数の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。なお、トランジスタ6102はNチャネル型のトランジスタである。ただし、Pチャネル型のトランジスタを用いてもよく、トランジスタ6102の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。トランジスタ6102は第1の電極が i 行目の走査線 G_i に接続され、第2の電極が配線6112に接続され、ゲート電極が配線6112に接続される。なお、配線

50

6 1 1 2 には、 i 行目の走査線 G_i に入力される信号の H レベルよりも高い電位が入力されている。したがって、トランジスタ 6 1 0 2 は、電荷が i 行目の走査線 G_i に放電されていない場合ときには、オフしている。一方、正の電荷が i 行目の走査線 G_i に放電された場合、 i 行目の走査線 G_i の電位は瞬間的に上昇する。このとき、 i 行目の走査線 G_i の電位が配線 6 1 1 2 の電位とトランジスタ 6 1 0 2 のしきい値電圧との和よりも高くなると、トランジスタ 6 1 0 2 がオンして、電流がトランジスタ 6 1 0 2 を介して配線 6 1 1 2 に流れる。したがって、図 4 2 (B) に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。

【0345】

なお、図 4 2 (C) に示すように、図 4 2 (A) と図 4 2 (B) とを組み合わせた構成にすることで、正の電荷が i 行目の走査線 G_i に放電された場合でも、負の電荷が i 行目の走査線 G_i に放電された場合でも、画素の静電破壊を防止することができる。なお、図 4 2 (A)、(B) と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0346】

図 4 3 (A) は、保護ダイオードとして機能するトランジスタ 6 2 0 1 を走査線と保持容量線との間に接続した場合の構成を示す。なお、保護ダイオードは 1 つだけ配置されているが、複数の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。なお、トランジスタ 6 2 0 1 は N チャネル型のトランジスタである。ただし、P チャネル型のトランジスタを用いてもよく、トランジスタ 6 2 0 1 の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。なお、配線 6 2 1 1 は、保持容量線として機能する。トランジスタ 6 2 0 1 の第 1 の電極は i 行目の走査線 G_i に接続され、第 2 の電極は配線 6 2 1 1 に接続され、ゲート電極は i 行目の走査線 G_i に接続される。なお、配線 6 2 1 1 には、 i 行目の走査線 G_i に入力される信号の L レベルよりも低い電位が入力されている。したがって、トランジスタ 6 2 0 1 は、電荷が i 行目の走査線 G_i に放電されていない場合ときには、オフしている。一方、負の電荷が i 行目の走査線 G_i に放電された場合、 i 行目の走査線 G_i の電位は瞬間的に下がる。このとき、 i 行目の走査線 G_i の電位が配線 6 2 1 1 の電位からトランジスタ 6 2 0 1 のしきい値電圧を引いた値よりも低くなると、トランジスタ 6 2 0 1 がオンして、電流がトランジスタ 6 2 0 1 を介して配線 6 2 1 1 に流れる。したがって、図 4 3 (A) に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。さらに、図 4 3 (A) に示した構成では、保持容量線を電荷を逃がす配線として利用しているので、新たに配線を追加する必要がない。

【0347】

なお、図 4 3 (B) は、正の電荷が i 行目の走査線 G_i に放電された場合に静電破壊を防止するための構成である。ここでは、配線 6 2 1 1 には、 i 行目の走査線 G_i に入力される信号の H レベルよりも高い電位が入力されている。したがって、トランジスタ 6 2 0 1 は、電荷が i 行目の走査線 G_i に放電されていない場合ときにはオフしている。一方、正の電荷が i 行目の走査線 G_i に放電された場合、 i 行目の走査線 G_i の電位は瞬間的に上昇する。このとき、 i 行目の走査線 G_i の電位が配線 6 2 1 1 の電位とトランジスタ 6 2 0 1 のしきい値電圧との和よりも高くなると、トランジスタ 6 2 0 1 がオンして、電流がトランジスタ 6 2 0 1 を介して配線 6 2 1 1 に流れる。したがって、図 4 3 (B) に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。さらに、図 4 3 (B) に示した構成では、保持容量線を電荷を逃がす配線として利用しているので、新たに配線を追加する必要がない。なお、図 4 3 (B) と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0348】

次に、保護ダイオードによって信号線に発生する静電破壊を防止するための構成を図 4 4

(A)に示す。図44(A)は、保護ダイオードを配線6411と信号線との間に配置した場合の構成である。なお、図示はしないがj列目の信号線S_jには複数の画素が接続される。なお、保護ダイオードとしては、トランジスタ6401を用いる。なお、なお、トランジスタ6401はNチャネル型のトランジスタである。ただし、Pチャネル型のトランジスタを用いてもよく、トランジスタ6401の極性は信号線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。

【0349】

なお、保護ダイオードは1つだけ配置されいるが、複数の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。

【0350】

トランジスタ6401は第1の電極がj行目の信号線S_jに接続され、第2の電極が配線6411に接続され、ゲート電極がj行目の信号線S_jに接続される。

【0351】

図44(A)の動作について説明する。配線6411にはある電位が入力されており、その電位は、j行目の信号線S_jに入力されるビデオ信号の最小値も低い電位である。正又は負の電荷がj行目の信号線S_jに放電されていない場合、j行目の信号線S_jの電位はビデオ信号と同電位であるため、トランジスタ6401はオフしている。一方、負の電荷がj行目の信号線S_jに放電された場合、j行目の信号線S_jの電位は瞬間的に下がる。このとき、j行目の信号線S_jの電位が配線6411の電位からトランジスタ6401のしきい値電圧を引いた値よりも低くなると、トランジスタ6401がオンして、電流がトランジスタ6401を介して配線6411に流れる。したがって、図44(A)に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。

【0352】

なお、図44(B)は、正の電荷がj行目の信号線S_jに放電された場合に静電破壊を防止するための構成である。保護ダイオードとして機能するトランジスタ6402が走査線と配線6412との間に配置されている。なお、保護ダイオードは1つだけ配置されいるが、複数の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。なお、トランジスタ6402はNチャネル型のトランジスタである。ただし、Pチャネル型のトランジスタを用いてもよく、トランジスタ6402の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。トランジスタ6402は第1の電極がj行目の信号線S_jに接続され、第2の電極が配線6412に接続され、ゲート電極が配線6412に接続される。なお、配線6412には、j行目の信号線S_jに入力されるビデオ信号の最大値よりも高い電位が入力されている。したがって、トランジスタ6402は、電荷がj行目の信号線S_jに放電されていない場合ときには、オフしている。一方、正の電荷がj行目の信号線S_jに放電された場合、j行目の信号線S_jの電位は瞬間的に上昇する。このとき、j行目の信号線S_jの電位が配線6412の電位とトランジスタ6402のしきい値電圧との和よりも高くなると、トランジスタ6402がオンして、電流がトランジスタ6402を介して配線6412に流れる。したがって、図44(B)に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。

【0353】

なお、図44(C)に示すように、図44(A)と図44(B)とを組み合わせた構成にすることで、正の電荷がj行目の信号線S_jに放電された場合でも、負の電荷がj行目の信号線S_jに放電された場合でも、画素の静電破壊を防止することができる。なお、図44(A)、(B)と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0354】

本実施の形態では、走査線及び信号線に接続された画素の静電破壊を防止するための構成を説明した。しかし、本実施の形態の構成は、走査線及び信号線に接続された画素の静電

10

20

30

40

50

破壊の防止だけに適用されるものではない。例えば、実施の形態 1 乃至実施の形態 4 に示した走査線駆動回路及び信号線駆動回路に接続される信号又は電位が入力された配線に本実施の形態を適用する場合は、走査線駆動回路及び信号線駆動回路の静電破壊を防止することができる。

【0355】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0356】

同様に、本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0357】

なお、本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用できる。あるいは、組み合わせることが出来る。

【0358】

(実施の形態 7)

本実施の形態では、実施の形態 1 乃至実施の形態 4 に示した表示装置に適用できる表示装置の新たな構成について説明する。

【0359】

図 45 (A) は、ダイオード接続されたトランジスタをある走査線と別の走査線との間に配置した場合の構成である。図 45 (A) では、 $i-1$ 行目の走査線 G_{i-1} と i 行目の走査線 G_i との間にダイオード接続されたトランジスタ 6301a を配置し、 i 行目の走査線 G_i と $i+1$ 行目の走査線 G_{i+1} との間にダイオード接続されたトランジスタ 6301b を配置した場合の構成を示している。なお、トランジスタ 6301a 及びトランジスタ 6301b は N チャネル型のトランジスタである。ただし、P チャネル型のトランジスタを用いてもよく、トランジスタ 6301a 及びトランジスタ 6301b の極性は走査線駆動回路や画素が有するトランジスタの極性と同等なものを用いればよい。

【0360】

なお、図 45 (A) では、代表して $i-1$ 行目の走査線 G_{i-1} 、 i 行目の走査線 G_i 及び $i+1$ 行目の走査線 G_{i+1} を示しているが、他の走査線も同様にダイオード接続されたトランジスタが配置されている。

【0361】

トランジスタ 6301a の第 1 の電極は i 行目の走査線 G_i に接続され、第 2 の電極は $i-1$ 行目の走査線 G_{i-1} に接続され、ゲート電極は G_{i-1} 行目の走査線 G_{i-1} に接続される。トランジスタ 6301b の第 1 の電極は $i+1$ 行目の走査線 G_{i+1} に接続され、第 2 の電極は i 行目の走査線 G_i に接続され、ゲート電極は i 行目の走査線 G_i に接続される。

【0362】

図 45 (A) の動作について説明する。実施の形態 1 乃至実施の形態 4 に示した走査線駆動回路では、非選択期間において、 $i-1$ 行目の走査線 G_{i-1} 、 i 行目の走査線 G_i 及び $i+1$ 行目の走査線 G_{i+1} は L レベルを維持している。したがって、トランジスタ 6301a 及びトランジスタ 6301b はオフしている。しかしながら、例えばノイズなどによって i 行目の走査線 G_i の電位が上昇した場合、 i 行目の走査線 G_i が画素を選択しまい、画素に不正なビデオ信号が書き込まれてしまう。そこで、図 45 (A) のようにダ

10

20

30

40

50

イオード接続したトランジスタを走査線間に配置しておくことで、画素に不正なビデオ信号が書き込まれることを防止することができる。なぜなら、 i 行目の走査線 G_i の電位が $i-1$ 行目の走査線 G_{i-1} の電位とトランジスタ 6301a のしきい値電圧との和以上に上昇すると、トランジスタ 6301a がオンして、 i 行目の走査線 G_i の電位が下がる。したがって、 i 行目の走査線 G_i によって画素が選択されることはないからである。

【0363】

なお、図 45 (A) の構成は、特に走査線駆動回路と画素部とを同一基板上に一体形成した場合に有利である。なぜなら、N チャネル型のトランジスタ、又は P チャネル型のトランジスタだけで構成されている走査線駆動回路では、走査線が浮遊状態になることがあり、走査線にノイズが発生しやすいからである。

10

【0364】

なお、図 45 (B) は、走査線間に配置するダイオード接続されたトランジスタの向きを逆にした場合の構成である。なお、トランジスタ 6302a 及びトランジスタ 6302b は N チャネル型のトランジスタである。ただし、P チャネル型のトランジスタを用いてもよく、トランジスタ 6302a 及びトランジスタ 6302b の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。図 45 (B) では、トランジスタ 6302a の第 1 の電極が i 行目の走査線 G_i に接続され、第 2 の電極が $i-1$ 行目の走査線 G_{i-1} に接続され、ゲート電極が i 行目の走査線 G_i に接続される。トランジスタ 6302b の第 1 の電極が $i+1$ 行目の走査線 G_{i+1} に接続され、第 2 の電極が i 行目の走査線 G_i に接続され、ゲート電極が $i+1$ 行目の走査線 G_{i+1} に接続される。図 45 (B) は、図 44 (A) と同様に、 i 行目の走査線 G_i の電位が $i-1$ 行目の走査線 G_{i+1} の電位とトランジスタ 6302b のしきい値電圧との和以上に上昇すると、トランジスタ 6302b がオンして、 i 行目の走査線 G_i の電位が下がる。したがって、 i 行目の走査線 G_i によって画素が選択されることはなく、画素に不正なビデオ信号が書き込まれることを防止することができる。

20

【0365】

なお、図 45 (C) に示すように、図 45 (A) と図 45 (B) とを組み合わせた構成にすることで、 i 行目の走査線 G_i の電位が上昇しても、トランジスタ 6301a 及びトランジスタ 6302b がオンするので、 i 行目の走査線 G_i の電位が下がる。なお、図 45 (C) では、電流が 2 つのトランジスタを介して流れるので、より大きいノイズを除去することが可能である。なお、図 45 (A)、(B) と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

30

【0366】

なお、図 43 (A) 及び (B) に示すように、走査線と保持容量線との間にダイオード接続したトランジスタを配置しても図 45 (A)、(B)、(C) と同様の効果を得ることができる。

【0367】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

40

【0368】

同様に、本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0369】

なお、本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したが

50

って、他の実施の形態で述べた内容は、本実施の形態にも適用できる。あるいは、組み合わせることが出来る。

【0370】

(実施の形態8)

本実施形態においては、表示装置の画素構造について説明する。特に、液晶表示装置の画素構造について説明する。

【0371】

図46は、液晶表示装置の画素構造のうち、TN方式と呼ばれるものに、薄膜トランジスタ(TFT)を組み合わせた場合の画素の断面図と上面図である。図46の(A)は、画素の断面図であり、図46の(B)は、画素の上面図である。また、図46の(A)に示す画素の断面図は、図46の(B)に示す画素の上面図における線分a-a'に対応している。図46に示す画素構造の液晶表示装置に本実施の形態を適用することによって、安価に液晶表示装置を製造することができる。

10

【0372】

図46の(A)を参照して、TN方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した2枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図46の(A)において、2枚の基板は、第1の基板10101および第2の基板10116である。第1の基板には、TFTおよび画素電極を作製し、第2の基板には、遮光膜10114、カラーフィルタ10115、第4の導電層10113、スペーサ10117、および第2の配向膜10112を作製してもよい。

20

【0373】

なお、第1の基板10101にTFTを作製しなくとも実施可能である。TFTを作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。さらに、構造が簡単であるので、歩留まりを向上させることができる。一方、TFTを作製して本実施の形態を実施する場合は、より大型の表示装置を得ることができる。

【0374】

なお、図46に示すTFTは、非晶質半導体を用いたボトムゲート型のTFTである。非結晶半導体を用いたTFTを適応した液晶パネルは、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本実施の形態はこれに限定されるものではない。使用できるTFTの構造は、ボトムゲート型のTFTではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

30

【0375】

なお、本実施の形態は、第2の基板10116に遮光膜10114を作製しなくとも実施可能である。遮光膜10114を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜10114を作製して本実施の形態を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

40

【0376】

なお、本実施の形態は、第2の基板10116にカラーフィルタ10115を作製しなくとも実施可能である。カラーフィルタ10115を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。ただし、カラーフィルタ10115を作製せずに本実施の形態を実施する場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ10115を作製して本実施の形態を実施する場合は、カラー表示ができる表示装置を得ることができる。

【0377】

50

なお、本実施の形態は、第2の基板10116にスペーサ10117を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することによって本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ10117を作製して本実施の形態を実施する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【0378】

次に、第1の基板10101に施す加工について説明する。第1の基板10101は透光性を有する基板が好適であり、例えば石英基板、ガラス基板またはプラスチック基板でもよい。なお、第1の基板10101は遮光性の基板でもよく、半導体基板又はSOI (Silicon on Insulator) 基板でもよい。

10

【0379】

まず、第1の基板10101に第1の絶縁膜10102を成膜してもよい。第1の絶縁膜10102は、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜 (SiO_xN_y) 等の絶縁膜であってもよい。あるいは、第1の絶縁膜10102は、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜 (SiO_xN_y) 等のうちの2つ以上の膜を組み合わせた積層構造の絶縁膜を用いてもよい。第1の絶縁膜10102を成膜して本実施の形態を実施する場合は、基板からの不純物が半導体層に影響を及ぼし、TFETの性質が変化してしまうのを防ぐことができる。また、TFETの性質の変化を抑制できるので、信頼性の高い表示装置を得ることができる。なお、第1の絶縁膜10102を成膜せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。

20

【0380】

次に、第1の基板10101または第1の絶縁膜10102上に、第1の導電層10103を形成する。なお、第1の導電層10103は、形状を加工して形成してもよい。形状を加工する工程は、次のようなものであることが好適である。まず、第1の導電層10103を全面に成膜する。このとき、第1の導電層10103は、スパッタ装置、またはCVD装置などの成膜装置を用いて成膜されてもよい。次に、全面に成膜した第1の導電層上に、感光性のレジスト材料を全面に形成する。次に、フォトリソグラフィ法やレーザー直描法などによって、形成したい形状に従ってレジスト材料を感光させる。次に、感光させたレジスト材料、または感光させなかったレジスト材料のうち、どちらか一方を、エッチングによって除去することで、第1の導電層10103を形状加工するためのマスクを得ることができる。その後、形成したマスクパターンに従って、第1の導電層10103をエッチングにより除去することで、所望のパターンに第1の導電層10103を形状加工することができる。なお、第1の導電層10103をエッチングする方法には、化学的な方法 (ウェットエッチング) と、物理的な方法 (ドライエッチング) があるが、第1の導電層10103の材料や、第1の導電層10103の下層にある材料の性質などを勘案し、適宜選択する。なお、第1の導電層10103に使用する材料は、Mo、Ti、Al、Nd、Crなどが好適である。あるいは、Mo、Ti、Al、Nd、Crなどのうちの2つ以上を組み合わせた積層構造であってもよい。

30

40

【0381】

次に、第2の絶縁膜10104を形成する。このとき、第2の絶縁膜10104は、スパッタ装置またはCVD装置などの成膜装置を用いて成膜されてもよい。なお、第2の絶縁膜10104に使用する材料は、熱酸化膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などが好適である。あるいは、熱酸化膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などのうち2つ以上を組み合わせた積層構造であってもよい。なお、第1の半導体層10105に接する部分の第2の絶縁膜10104は、酸化シリコン膜であることが、特に好適である。なぜならば、酸化シリコン膜にすると半導体層10105との界面におけるトラップ準位が少なくなるからである。なお、第1の導電層10

50

103をMoで形成するときは、第1の導電層10103と接する部分の第2の絶縁膜10104は窒化シリコン膜が好ましい。なぜならば、窒化シリコン膜はMoを酸化させないからである。

【0382】

次に、第1の半導体層10105を形成する。その後、第2の半導体層10106を連続して形成するのが好適である。なお、第1の半導体層10105および第2の半導体層10106は、形状を加工して形成してもよい。形状を加工する工程は、前述したフォトリソグラフィ法等の方法であることが好適である。なお、第1の半導体層10105に使用する材料は、シリコンまたはシリコンゲルマニウム(SiGe)などが好適である。また、第2の半導体層10106に使用する材料は、リン等を含んだシリコン等が好適である。

10

【0383】

次に、第2の導電層10107を形成する。このとき、第2の導電層10107の形成方法としては、スパッタ法または印刷法を用いるのが好適である。なお、第2の導電層10107に使用する材料は、透明性を有していても、反射性を有していてもよい。透明性を有する場合は、例えば、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物(ITO)膜、インジウムスズ酸化物(ITO)に酸化珪素を混ぜたインジウムスズ珪素酸化物(ITSO)膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物(IZO)膜、酸化亜鉛膜または酸化スズ膜を用いることができる。なお、IZOとは、ITOに2~20wt%の酸化亜鉛(ZnO)を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料である。一方、反射性を有する場合は、Ti、Mo、Ta、Cr、W、Alなどを用いることができる。また、Ti、Mo、Ta、Cr、WとAlを積層させた2層構造、AlをTi、Mo、Ta、Cr、Wなどの金属で挟んだ3層積層構造としてもよい。なお、第2の導電層10107は、形状を加工して形成されてもよい。形状を加工する方法は、前述したフォトリソグラフィ法等の方法であることが好適である。なお、エッチング方法は、ドライエッチングで行なうのが好適である。ドライエッチングはECR(Electron Cyclotron Resonance)やICP(Inductive Coupled Plasma)などの高密度プラズマ源を用いたドライエッチング装置によって行われてもよい。

20

【0384】

次に、TFTのチャネル領域を形成する。このとき、第2の半導体層10106をエッチングするためのマスクとしては、第2の導電層10107を用いてもよいし、第2の導電層10107をエッチングするためのマスク(レジスト)を用いてもよい。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。導電性をもつ第2の半導体層10106のエッチングを行なうことで、除去された部分がTFTのチャネル領域となる。なお、第1の半導体層10105と第2の半導体層10106を連続で形成せずに、第1の半導体層10105の形成のあと、TFTのチャネル領域となる部分にストッパーとなる膜を成膜およびパターン加工し、その後、第2の半導体層10106を形成してもよい。なお、第1の半導体層10105と第2の半導体層10106は、第2の導電層10107を前述したフォトリソグラフィ法等の方法で形状を加工するときに、同じマスクを用いてエッチングされる。こうすることで、第2の導電層10107をマスクとして用いないで、TFTのチャネル領域を形成することができるので、レイアウトパターンの自由度が大きくなる利点がある。また、第2の半導体層10106のエッチング時に第1の半導体層10105までエッチングしてしまわないため、エッチング不良を起こすことなく、確実にTFTのチャネル領域が形成できる利点がある。

30

40

【0385】

次に、第3の絶縁膜10108を形成する。第3の絶縁膜は、透明性を有していることが好適である。なお、第3の絶縁膜10108に用いる材料は、無機材料(酸化シリコン、窒化シリコン、酸化窒化シリコンなど)または、低誘電率の有機化合物材料(感光性又は非感光性の有機樹脂材料)などが好適である。また、シロキサンを含む材料を用いてもよ

50

い。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。あるいは、置換基としてフルオロ基を用いてもよい。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。なお、第3の絶縁膜10108には、をエッチングによって、選択的にコンタクトホールが形成される。また、コンタクトホールは少なくとも第2の導電層10107上に形成される。なお、第3の絶縁膜10108をエッチングすると同時に第2の絶縁膜10104もエッチングすることで、第2の導電層10107だけではなく、第1の導電層10103とのコンタクトホールを形成することができる。なお、第3の絶縁膜10108の表面は、できるだけ平坦であることが好適である。なぜならば、液晶が接する面の凹凸により、液晶分子の配向が影響を受けてしまうからである。

10

【0386】

次に、第3の導電層10109を形成する。このとき、第3の導電層10109の形成方法としては、スパッタ法または印刷法を用いるのが好適である。なお、第3の導電層10109に使用する材料は、第2の導電層10107と同じく、透明性を有していても、反射性を有していてもよい。なお、第3の導電層10109として使用できる材料は、第2の導電層10107と同様でもよい。また、第3の導電層10109は、形状を加工して形成してもよい。形状を加工する方法は、第2の導電層10107と同様でもよい。

【0387】

次に、第1の配向膜10110を形成する。配向膜10110には、ポリイミドなどの高分子膜を用いることができる。なお、第1の配向膜10110を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

20

【0388】

以上のように作製した第1の基板10101と、遮光膜10114、カラーフィルタ10115、第4の導電層10113、スペーサ10117および第2の配向膜10112を作製した第2の基板10116とは、シール材によって数 μm のギャップを持たせて貼り合わせられる。そして、2枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図46に示すようなTN方式の液晶パネルにおいては、第4の導電層10113は、第2の基板10116の全面に作製されていてもよい。

30

【0389】

次に、図46に示す、TN方式の液晶パネルの画素構造の特徴について説明する。図46の（A）に示した液晶分子10118は、長軸と短軸を持った細長い分子である。液晶分子10118の向きを示すため、図46の（A）においては、その長さによって表現している。すなわち、長く表現された液晶分子10118は、その長軸の向きが紙面に平行であり、短く表現された液晶分子10118ほど、その長軸の向きが紙面の法線方向に近くなっているとす。つまり、図46の（A）に示した液晶分子10118は、第1の基板10101に近いものと、第2の基板10116に近いものとは、その長軸の向きが90度異なっており、これらの中間に位置する液晶分子10118の長軸の向きは、これらを滑らかにつなぐような向きとなる。すなわち、図46の（A）に示した液晶分子10118は、第1の基板10101と第2の基板10116の間で、90度ねじれているような配向状態となっている。

40

【0390】

次に、図46の（B）を参照して、TN方式の液晶表示装置に本実施の形態を適用した場合の、画素のレイアウトの一例について説明する。本実施の形態を適用したTN方式の液晶表示装置の画素は、走査線10121と、映像信号線10122と、容量線10123と、TFT10124と、画素電極10125と、画素容量10126と、を備えていてもよい。

【0391】

50

走査線 10121 は、TFT10124 のゲート電極と電氣的に接続されるため、第 1 の導電層 10103 で構成されているのが好適である。

【0392】

映像信号線 10122 は、TFT10124 のソース電極またはドレイン電極と電氣的に接続されるため、第 2 の導電層 10107 で構成されているのが好適である。また、走査線 10121 と映像信号線 10122 はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。

【0393】

容量線 10123 は、画素電極 10125 と平行に配置されることで、画素容量 10126 を形成するための配線であり、第 1 の導電層 10103 で構成されているのが好適である。なお、図 46 の (B) に示すように、容量線 10123 は、映像信号線 10122 に沿って、映像信号線 10122 を囲むように延設されていてもよい。こうすることで、映像信号線 10122 の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線 10122 との交差容量を低減させるため、図 46 の (B) に示すように、第 1 の半導体層 10105 を容量線 10123 と映像信号線 10122 の交差領域に設けてもよい。

【0394】

TFT10124 は、映像信号線 10122 と画素電極 10125 を導通させるスイッチとして動作する。なお、図 46 の (B) に示すように、TFT10124 のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図 46 の (B) に示すように、TFT10124 のゲート電極は、第 1 の半導体層 10105 を囲むように配置してもよい。

【0395】

画素電極 10125 は、TFT10124 のソース電極またはドレイン電極の一方に電氣的に接続される。画素電極 10125 は、映像信号線 10122 によって伝達された信号電圧を液晶素子に与えるための電極である。また、容量線 10123 を配置することで、画素容量 10126 を形成してもよい。こうすることで、画素電極 10125 は、映像信号線 10122 によって伝達された信号電圧を保持しやすくなる。なお、画素電極 10125 は、図 46 の (B) に示すように、矩形であってもよい。こうすることで、画素の開口率を大きくすることができるので、液晶表示装置の効率が向上する。また、画素電極 10125 を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極 10125 を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極 10125 を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極 10125 を、反射性をもつ材料で作製した場合は、画素電極 10125 の表面に凹凸を持たせてもよい。あるいは、第 3 の絶縁膜 10108 の表面に凹凸を持たせることで、画素電極 10125 を凹凸にすることもできる。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【0396】

次に、図 47 を参照して、VA (Vertical Alignment) モードの液晶表示装置に、本実施の形態を適用した場合を説明する。図 47 は、VA モードの液晶表示装置の画素構造のうち、配向制御用突起を用いることで、液晶分子が様々な向きを持つように制御し、視野角を大きくした、いわゆる MVA (Multi-domain Vertical Alignment) 方式に、本実施の形態を適用した場合の、画素の断面

図と上面図である。図４７の（Ａ）は、画素の断面図であり、図４７の（Ｂ）は、画素の上面図である。また、図４７の（Ａ）に示す画素の断面図は、図４７の（Ｂ）に示す画素の上面図における線分 a-a' に対応している。図４７に示す画素構造の液晶表示装置に本実施の形態を適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【０３９７】

図４７の（Ａ）を参照して、MVA方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図４７の（Ａ）において、２枚の基板は、第１の基板１０２０１および第２の基板１０２１６である。第１の基板には、TF Tおよび画素電極を作製し、第２の基板には、遮光膜１０２１４、カラーフィルタ１０２１５、第４の導電層１０２１３、スペーサ１０２１７、第２の配向膜１０２１２、および配向制御用突起１０２１９を作製してもよい。

【０３９８】

なお、本実施の形態は、第１の基板１０２０１にTF Tを作製しなくとも実施可能である。TF Tを作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。さらに、構造が簡単であるので、歩留まりを向上させることができる。一方、TF Tを作製して本実施の形態を実施する場合は、より大型の表示装置を得ることができる。

【０３９９】

なお、図４７に示すTF Tは、非晶質半導体を用いたボトムゲート型のTF Tである。非結晶半導体を用いたTF Tを適応した液晶パネルは、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本実施の形態はこれに限定されるものではない。使用できるTF Tの構造は、ボトムゲート型のTF Tではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【０４００】

なお、本実施の形態は、第２の基板１０２１６に遮光膜１０２１４を作製しなくとも実施可能である。遮光膜１０２１４を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜１０２１４を作製して本実施の形態を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【０４０１】

なお、本実施の形態は、第２の基板１０２１６にカラーフィルタ１０２１５を作製しなくとも実施可能である。カラーフィルタ１０２１５を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。ただし、カラーフィルタ１０２１５を作製せずに本実施の形態を実施する場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ１０２１５を作製して本実施の形態を実施する場合は、カラー表示ができる表示装置を得ることができる。

【０４０２】

なお、本実施の形態は、第２の基板１０２１６にスペーサ１０２１７を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ１０２１７を作製して本実施の形態を実施する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【０４０３】

次に、第1の基板10201に施す加工については、図46で説明した方法を用いてもよい。ここで、第1の基板10201、第1の絶縁膜10202、第1の導電層10203、第2の絶縁膜10204、第1の半導体層10205、第2の半導体層10206、第2の導電層10207、第3の絶縁膜10208、第3の導電層10209、第1の配向膜10210が、それぞれ、図46における第1の基板10101、第1の絶縁膜10102、第1の導電層10103、第2の絶縁膜10104、第1の半導体層10105、第2の半導体層10106、第2の導電層10107、第3の絶縁膜10108、第3の導電層10109、第1の配向膜10110、と対応する。なお、図示はしないが、第1の基板側にも、配向制御用突起を設けてもよい。こうすることで、より確実に液晶分子の配向を制御することができる。また、第1の配向膜10210および第2の配向膜10212は、垂直配向膜でもよい。こうすることで、液晶分子10218を垂直に配向することができる。

10

【0404】

以上のように作製した第1の基板10201と、遮光膜10214、カラーフィルタ10215、第4の導電層10213、スペーサ10217、および第2の配向膜10212を作製した第2の基板10216を、シール材によって数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図47に示すようなMVA方式の液晶パネルにおいては、第4の導電層10213は、第2の基板10216の全面に作製されていてもよい。また、第4の導電層10213に接して、配向制御用突起10219を作製してもよい。なお、配向制御用突起10219の形状に限定はないが、滑らかな曲面を持った形状であるのが好適である。こうすることで、近接する液晶分子10218の配向が極近いものとなるため、配向不良が低減する。また、第2の配向膜10212が、配向制御用突起10219によって段切れを起こしてしまうことによる、配向膜の不良も低減することができる。

20

【0405】

次に、図47に示す、MVA方式の液晶パネルの画素構造の特徴について説明する。図47の(A)に示した液晶分子10218は、長軸と短軸を持った細長い分子である。液晶分子10218の向きを示すため、図47の(A)においては、その長さによって表現している。すなわち、長く表現された液晶分子10218は、その長軸の向きが紙面に平行であり、短く表現された液晶分子10218ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図47の(A)に示した液晶分子10218は、その長軸の向きが配向膜の法線方向を向くように配向している。よって、配向制御用突起10219のある部分の液晶分子10218は、配向制御用突起10219を中心として放射状に配向する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

30

【0406】

次に、図47の(B)を参照して、MVA方式の液晶表示装置に本実施の形態を適用した場合の、画素のレイアウトの一例について説明する。本実施の形態を適用したMVA方式の液晶表示装置の画素は、走査線10221と、映像信号線10222と、容量線10223と、TFT10224と、画素電極10225と、画素容量10226と、配向制御用突起10219と、を備えていてもよい。

40

【0407】

走査線10221は、TFT10224のゲート電極と電気的に接続されるため、第1の導電層10203で構成されているのが好適である。

【0408】

映像信号線10222は、TFT10224のソース電極またはドレイン電極と電気的に接続されるため、第2の導電層10207で構成されているのが好適である。また、走査線10221と映像信号線10222はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。

【0409】

50

容量線 10223 は、画素電極 10225 と平行に配置されることで、画素容量 10226 を形成するための配線であり、第 1 の導電層 10203 で構成されているのが好適である。なお、図 47 の (B) に示すように、容量線 10223 は、映像信号線 10222 に沿って、映像信号線 10222 を囲むように延設されていてもよい。こうすることで、映像信号線 10222 の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線 10222 との交差容量を低減させるため、図 47 の (B) に示すように、第 1 の半導体層 10205 を容量線 10223 と映像信号線 10222 の交差領域に設けてもよい。

【0410】

TFT10224 は、映像信号線 10222 と画素電極 10225 を導通させるスイッチとして動作する。なお、図 47 の (B) に示すように、TFT10224 のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図 47 の (B) に示すように、TFT10224 のゲート電極は、第 1 の半導体層 10205 を囲むように配置してもよい。

【0411】

画素電極 10225 は、TFT10224 のソース電極またはドレイン電極の一方に電氣的に接続される。画素電極 10225 は、映像信号線 10222 によって伝達された信号電圧を液晶素子に与えるための電極である。また、容量線 10223 を配置することで、画素容量 10226 を形成してもよい。こうすることで、画素電極 10225 は、映像信号線 10222 によって伝達された信号電圧を保持しやすくなる。なお、画素電極 10225 は、図 47 の (B) に示すように、矩形であってもよい。こうすることで、画素の開口率を大きくすることができるので、液晶表示装置の効率が向上する。また、画素電極 10225 を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極 10225 を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極 10225 を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極 10225 を、反射性をもつ材料で作製した場合は、画素電極 10225 の表面に凹凸を持たせてもよい。あるいは、第 3 の絶縁膜 10208 の表面に凹凸を持たせることで、画素電極 10225 を凹凸にすることもできる。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【0412】

次に、図 48 を参照して、VA (Vertical Alignment) モードの液晶表示装置に、本実施の形態を適用した場合の、別の例を説明する。図 48 は、VA モードの液晶表示装置の画素構造のうち、第 4 の導電層 10313 にパターン加工を施すことで、液晶分子が様々な向きを持つように制御し、視野角を大きくした、いわゆる PVA (Patterned Vertical Alignment) 方式に、本実施の形態を適用した場合の、画素の断面図と上面図である。図 48 の (A) は、画素の断面図であり、図 48 の (B) は、画素の上面図である。また、図 48 の (A) に示す画素の断面図は、図 48 の (B) に示す画素の上面図における線分 a-a' に対応している。図 48 に示す画素構造の液晶表示装置に本実施の形態を適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【0413】

図 48 の (A) を参照して、PVA 方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは

、加工を施した2枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図48の(A)において、2枚の基板は、第1の基板10301、および第2の基板10316である。第1の基板には、TFTおよび画素電極を作製し、また、第2の基板には、遮光膜10314、カラーフィルタ10315、第4の導電層10313、スペーサ10317、および第2の配向膜10312を作製してもよい。

【0414】

なお、本実施の形態は、第1の基板10301にTFTを作製しなくとも実施可能である。TFTを作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。さらに、構造が簡単であるので、歩留まりを向上させることができる。一方、TFTを作製して本実施の形態を実施する場合は、より大型の表示装置を得ることができる。

10

【0415】

なお、図48に示すTFTは、非晶質半導体を用いたボトムゲート型のTFTである。非結晶半導体を用いたTFTを適応した液晶パネルは、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本実施の形態はこれに限定されるものではない。使用できるTFTの構造は、ボトムゲート型のTFTではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【0416】

なお、本実施の形態は、第2の基板10316に遮光膜10314を作製しなくとも実施可能である。遮光膜10314を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜10314を作製して本実施の形態を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

20

【0417】

なお、本実施の形態は、第2の基板10316にカラーフィルタ10315を作製しなくとも実施可能である。カラーフィルタ10315を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。ただし、カラーフィルタ10315を作製せずに本実施の形態を実施する場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ10315を作製して本実施の形態を実施する場合は、カラー表示ができる表示装置を得ることができる。

30

【0418】

なお、本実施の形態は、第2の基板10316にスペーサ10317を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ10317を作製して本実施の形態を実施する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

40

【0419】

次に、第1の基板10301に施す加工については、図46で説明した方法を用いてもよい。ここで、第1の基板10301、第1の絶縁膜10302、第1の導電層10303、第2の絶縁膜10304、第1の半導体層10305、第2の半導体層10306、第2の導電層10307、第3の絶縁膜10308、第3の導電層10309、第1の配向膜10310が、それぞれ、図46における第1の基板10101、第1の絶縁膜10102、第1の導電層10103、第2の絶縁膜10104、第1の半導体層10105、第2の半導体層10106、第2の導電層10107、第3の絶縁膜10108、第3の導電層10109、第1の配向膜10110、と対応する。なお、第1の

50

基板10301側の第3の導電層10309に、電極切り欠き部を設けてもよい。こうすることで、より確実に液晶分子の配向を制御することができる。また、第1の配向膜10310および第2の配向膜10312は、垂直配向膜でもよい。こうすることで、液晶分子10318を垂直に配向することができる。

【0420】

以上のように作製した第1の基板10301と、遮光膜10314、カラーフィルタ10315、第4の導電層10313、スペーサ10317、および第2の配向膜10312を作製した第2の基板10316を、シール材によって数 μm のギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図48に示すようなPVA方式の液晶パネルにおいては、第4の導電層10313は、パターン加工を施して、電極切り欠き部10319を作製してもよい。なお、電極切り欠き部10319の形状に限定はないが、異なる向きを持った複数の矩形を組み合わせた形状であるのが好適である。こうすることで、配向の異なる複数の領域が形成できるので、視野角の大きな液晶表示装置を得ることができる。また、電極切り欠き部10319と第4の導電層10313の境界における第4の導電層10313の形状は、滑らかな曲線であることが好適である。こうすることで、近接する液晶分子10318の配向が極近いものとなるため、配向不良が低減する。また、第2の配向膜10312が、電極切り欠き部10319によって段切れを起こしてしまうことによる、配向膜の不良も低減することができる。

【0421】

次に、図48に示す、PVA方式の液晶パネルの画素構造の特徴について説明する。図48の(A)に示した液晶分子10318は、長軸と短軸を持った細長い分子である。液晶分子10318の向きを示すため、図48の(A)においては、その長さによって表現している。すなわち、長く表現された液晶分子10318は、その長軸の向きが紙面に平行であり、短く表現された液晶分子10318ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図48の(A)に示した液晶分子10318は、その長軸の向きが配向膜の法線方向を向くように配向している。よって、電極切り欠き部10319のある部分の液晶分子10318は、電極切り欠き部10319と第4の導電層10313の境界を中心として放射状に配向する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【0422】

次に、図48の(B)を参照して、PVA方式の液晶表示装置に本実施の形態を適用した場合の、画素のレイアウトの一例について説明する。本実施の形態を適用したPVA方式の液晶表示装置の画素は、走査線10321と、映像信号線10322と、容量線10323と、TFT10324と、画素電極10325と、画素容量10326と、電極切り欠き部10319と、を備えていてもよい。

【0423】

走査線10321は、TFT10324のゲート電極と電氣的に接続されるため、第1の導電層10303で構成されているのが好適である。

【0424】

映像信号線10322は、TFT10324のソース電極またはドレイン電極と電氣的に接続されるため、第2の導電層10307で構成されているのが好適である。また、走査線10321と映像信号線10322はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。

【0425】

容量線10323は、画素電極10325と平行に配置されることで、画素容量10326を形成するための配線であり、第1の導電層10303で構成されているのが好適である。なお、図48の(B)に示すように、容量線10323は、映像信号線10322に沿って、映像信号線10322を囲むように延設されていてもよい。こうすることで、映像信号線10322の電位変化に伴って、電位を保持すべき電極の電位が変化してしま

う現象、いわゆるクロストークを低減することができる。なお、映像信号線 10322 との交差容量を低減させるため、図 48 の (B) に示すように、第 1 の半導体層 10305 を容量線 10323 と映像信号線 10322 の交差領域に設けてもよい。

【0426】

TFT10324 は、映像信号線 10322 と画素電極 10325 を導通させるスイッチとして動作する。なお、図 48 の (B) に示すように、TFT10324 のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図 48 の (B) に示すように、TFT10324 のゲート電極は、第 1 の半導体層 10305 を囲むように配置してもよい。

10

【0427】

画素電極 10325 は、TFT10324 のソース電極またはドレイン電極の一方に電気的に接続される。画素電極 10325 は、映像信号線 10322 によって伝達された信号電圧を液晶素子に与えるための電極である。また、容量線 10323 を配置することで、画素容量 10326 を形成してもよい。こうすることで、画素電極 10325 は、映像信号線 10322 によって伝達された信号電圧を保持しやすくなる。なお、画素電極 10325 は、図 48 の (B) に示すように、第 4 の導電層 10313 に設けた電極切り欠き部 10319 の形状に合わせて、電極切り欠き部 10319 のない部分に、画素電極 10325 を切り欠いた部分を形成するのが好適である。こうすることで、液晶分子 10318 の配向が異なる複数の領域を形成することができるので、視野角の大きな液晶表示装置を得ることができる。また、画素電極 10325 を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極 10325 を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極 10325 を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極 10325 を、反射性をもつ材料で作製した場合は、画素電極 10325 の表面に凹凸を持たせてもよい。あるいは、第 3 の絶縁膜 10308 の表面に凹凸を持たせることで、画素電極 10325 を凹凸にすることもできる。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

20

30

【0428】

次に、図 49 を参照して、横電界方式の液晶表示装置に、本実施の形態を適用した場合を説明する。図 49 は、液晶分子の配向が基板に対して常に水平であるようにスイッチングを行なうために、横方向に電界をかける方式の液晶表示装置の画素構造のうち、画素電極 10425 と共通電極 10423 に櫛歯状のパターン加工を施すことで、横方向に電界をかける方式、いわゆる IPS (In-Plane-Switching) 方式に、本実施の形態を適用した場合の、画素の断面図と上面図である。図 49 の (A) は、画素の断面図であり、図 49 の (B) は、画素の上面図である。また、図 49 の (A) に示す画素の断面図は、図 49 の (B) に示す画素の上面図における線分 a-a' に対応している。図 49 に示す画素構造の液晶表示装置に本実施の形態を適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

40

【0429】

図 49 の (A) を参照して、IPS 方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した 2 枚の基板を、数 μm のギャップを持たせて貼り合わせ、2 枚の基板間に液晶材料を注入することで作製される。図 49 の (A) において、2 枚の基板は、第 1 の基板 10401、および第 2 の基板 10416 である。第 1 の基板には、TFT および画

50

素電極を作製し、また、第2の基板には、遮光膜10414、カラーフィルタ10415、スペーサ10417、および第2の配向膜10412を作製してもよい。

【0430】

なお、本実施の形態は、第1の基板10401にTFTを作製しなくとも実施可能である。TFTを作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。さらに、構造が簡単であるので、歩留まりを向上させることができる。一方、TFTを作製して本実施の形態を実施する場合は、より大型の表示装置を得ることができる。

【0431】

なお、図49に示すTFTは、非晶質半導体を用いたボトムゲート型のTFTである。非結晶半導体を用いたTFTを適応した液晶パネルは、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本実施の形態はこれに限定されるものではない。使用できるTFTの構造は、ボトムゲート型のTFTではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【0432】

なお、本実施の形態は、第2の基板10416に遮光膜10414を作製しなくとも実施可能である。遮光膜10414を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜10414を作製して本実施の形態を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【0433】

なお、本実施の形態は、第2の基板10416にカラーフィルタ10415を作製しなくとも実施可能である。カラーフィルタ10415を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。ただし、カラーフィルタ10415を作製せずに本実施の形態を実施する場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、カラーフィルタ10415を作製して本実施の形態を実施する場合は、カラー表示ができる表示装置を得ることができる。

【0434】

なお、本実施の形態は、第2の基板10416にスペーサ10417を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ10417を作製して本実施の形態を実施する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一樣にすることができ、表示ムラの少ない表示装置を得ることができる。

【0435】

次に、第1の基板10401に施す加工については、図46で説明した方法を用いてもよい。ここで、第1の基板10401、第1の絶縁膜10402、第1の導電層10403、第2の絶縁膜10404、第1の半導体層10405、第2の半導体層10406、第2の導電層10407、第3の絶縁膜10408、第3の導電層10409、第1の配向膜10410が、それぞれ、図46における第1の基板10101、第1の絶縁膜10102、第1の導電層10103、第2の絶縁膜10104、第1の半導体層10105、第2の半導体層10106、第2の導電層10107、第3の絶縁膜10108、第3の導電層10109、第1の配向膜10110、と対応する。なお、第1の基板10401側の第3の導電層10409にパターン加工を施し、互いにかみ合った2つの櫛歯状の形状に形成してもよい。また、一方の櫛歯状の電極は、TFT10424のソース電極またはドレイン電極の一方と電氣的に接続され、他方の櫛歯状の電極は、共通電極10423と電氣的に接続されていてもよい。こうすることで、液晶分子10418

に効果的に横方向の電界をかけることができる。

【0436】

以上のように作製した第1の基板10401と、遮光膜10414、カラーフィルタ10415、スペーサ10417、および第2の配向膜10412を作製した第2の基板10416を、シール材によって数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図示しないが、第2の基板10416側に、導電層を形成してもよい。第2の基板10416側に導電層を形成することで、外部からの電磁波ノイズの影響を受けにくくすることができる。

【0437】

次に、図49に示す、IPS方式の液晶パネルの画素構造の特徴について説明する。図49の(A)に示した液晶分子10418は、長軸と短軸を持った細長い分子である。液晶分子10418の向きを示すため、図49の(A)においては、その長さによって表現している。すなわち、長く表現された液晶分子10418は、その長軸の向きが紙面に平行であり、短く表現された液晶分子10418ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図49の(A)に示した液晶分子10418は、その長軸の向きが常に基板と水平の方向を向くように配向している。図49の(A)においては、電界のない状態における配向を表しているが、液晶分子10418に電界がかかったときは、その長軸の向きが常に基板と水平の方向を保ったまま、水平面内で回転する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【0438】

次に、図49の(B)を参照して、IPS方式の液晶表示装置に本実施の形態を適用した場合の、画素のレイアウトの一例について説明する。本実施の形態を適用したIPS方式の液晶表示装置の画素は、走査線10421と、映像信号線10422と、共通電極10423と、TFT10424と、画素電極10425と、を備えていてもよい。

【0439】

走査線10421は、TFT10424のゲート電極と電氣的に接続されるため、第1の導電層10403で構成されているのが好適である。

【0440】

映像信号線10422は、TFT10424のソース電極またはドレイン電極と電氣的に接続されるため、第2の導電層10407で構成されているのが好適である。また、走査線10421と映像信号線10422はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。なお、図49の(B)に示すように、映像信号線10422は、画素電極10425および共通電極10423の形状に合わせるように、画素内で屈曲して形成されていてもよい。こうすることで、画素の開口率を大きくすることができるため、液晶表示装置の効率を向上させることができる。

【0441】

共通電極10423は、画素電極10425と平行に配置されることで、横方向の電界を発生させるための電極であり、第1の導電層10403および第3の導電層10409で構成されているのが好適である。なお、図49の(B)に示すように、共通電極10423は、映像信号線10422に沿って、映像信号線10422を囲むように延設されていてもよい。こうすることで、映像信号線10422の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線10422との交差容量を低減させるため、図49の(B)に示すように、第1の半導体層10405を共通電極10423と映像信号線10422の交差領域に設けてもよい。

【0442】

TFT10424は、映像信号線10422と画素電極10425を導通させるスイッチとして動作する。なお、図49の(B)に示すように、TFT10424のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、ス

スイッチング能力を大きくすることができる。なお、図49の(B)に示すように、TF T 10424のゲート電極は、第1の半導体層10405を囲むように配置してもよい。

【0443】

画素電極10425は、TF T 10424のソース電極またはドレイン電極の一方に電気的に接続される。画素電極10425は、映像信号線10422によって伝達された信号電圧を液晶素子に与えるための電極である。また、共通電極10423を配置することで、画素容量を形成してもよい。こうすることで、画素電極10325は、映像信号線10422によって伝達された信号電圧を保持しやすくなる。なお、画素電極10425および櫛歯状の共通電極10423は、図49の(B)に示すように、屈曲した櫛歯状の形状として形成するのが好適である。こうすることで、液晶分子10418の配向が異なる複数の領域を形成することができるので、視野角の大きな液晶表示装置を得ることができる。また、画素電極10425および櫛歯状の共通電極10423を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。さらに、透過型の液晶表示装置は、画素が高開口率となって、光効率を向上することができる。ただし、画素電極10425および櫛歯状の共通電極10423を透明性をもたず、かつ、反射性をもたない材料で作製した場合でも、透過型の液晶表示装置を得ることができる。当該透過型の液晶表示装置は、横電界が存在する部分の液晶分子10418のみを光が透過するため、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極10425および櫛歯状の共通電極10423を、反射性をもつ材料で作製した場合は、半透過型の液晶表示装置を得ることができる。半透過型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、消費電力を非常に小さくすることができる。さらに、半透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。ただし、画素電極10425および櫛歯状の共通電極10423を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合でも半透過型の液晶表示装置を得ることができる。なお、画素電極10425および櫛歯状の共通電極10423を、反射性をもつ材料で作製した場合は、画素電極10425および櫛歯状の共通電極10423の表面に凹凸を持たせてもよい。あるいは、第3の絶縁膜10408の表面に凹凸を持たせることで、画素電極10425および櫛歯状の共通電極10423を凹凸にすることもできる。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【0444】

なお、櫛歯状の画素電極10425と、櫛歯状の共通電極10423は、ともに第3の導電層10409で形成されとしたが、本実施の形態が適用できる画素構成は、これに限定されず、適宜選択することができる。たとえば、櫛歯状の画素電極10425と、櫛歯状の共通電極10423を、ともに第2の導電層10407で形成してもよいし、ともに第1の導電層10403で形成してもよいし、どちらか一方を第3の導電層10409で形成し、他方を第2の導電層10407で形成してもよいし、どちらか一方を第3の導電層10409で形成し、他方を第1の導電層10407で形成してもよいし、どちらか一方を第2の導電層10409で形成し、他方を第1の導電層10407で形成してもよい。

【0445】

次に、図50を参照して、別の横電界方式の液晶表示装置に、本実施の形態を適用した場合を説明する。図50は、液晶分子の配向が基板に対して常に水平であるようにスイッチングを行なうために、横方向に電界をかける方式の液晶表示装置の別の画素構造を示す図である。より詳細には、画素電極10525と共通電極10523のうち、どちらか一方に櫛歯状のパターン加工を施し、他方は櫛歯状の形状に重なる領域に一樣に電極を形成することで、横方向に電界をかける方式、いわゆるFFS (Fringe Field Switching) 方式に、本実施の形態を適用した場合の、画素の断面図と上面図であ

る。図50の(A)は、画素の断面図であり、図50の(B)は、画素の上面図である。また、図50の(A)に示す画素の断面図は、図50の(B)に示す画素の上面図における線分a-a'に対応している。図50に示す画素構造の液晶表示装置に本実施の形態を適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【0446】

図50の(A)を参照して、FFS方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した2枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図50の(A)において、2枚の基板は、第1の基板10501および第2の基板10516である。第1の基板には、TF Tおよび画素電極を作製し、第2の基板には、遮光膜10514、カラーフィルタ10515、スペーサ10517、および第2の配向膜10512を作製してもよい。

10

【0447】

なお、本実施の形態は、第1の基板10501にTF Tを作製しなくとも実施可能である。TF Tを作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、TF Tを作製して本実施の形態を実施する場合は、より大型の表示装置を得ることができる。

【0448】

なお、図50に示すTF Tは、非晶質半導体を用いたボトムゲート型のTF Tである。非結晶半導体を用いたTF Tを適応した液晶パネルは、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本実施の形態はこれに限定されるものではない。使用できるTF Tの構造は、ボトムゲート型のTF Tではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

20

【0449】

なお、本実施の形態は、第2の基板10516に遮光膜10514を作製しなくとも実施可能である。遮光膜10514を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜10514を作製して本実施の形態を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

30

【0450】

なお、本実施の形態は、第2の基板10516にカラーフィルタ10515を作製しなくとも実施可能である。カラーフィルタ10515を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。ただし、カラーフィルタ10515を作製せずに本実施の形態を実施する場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ10515を作製して本実施の形態を実施する場合は、カラー表示ができる表示装置を得ることができる。

40

【0451】

なお、本実施の形態は、第2の基板10516にスペーサ10517を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ10517を作製して本実施の形態を実施する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【0452】

次に、第1の基板10501に施す加工については、図46で説明した方法を用いてもよ

50

いため、省略する。ここで、第1の基板10501、第1の絶縁膜10502、第1の導電層10503、第2の絶縁膜10504、第1の半導体層10505、第2の半導体層10506、第2の導電層10507、第3の絶縁膜10508、第3の導電層10509、第1の配向膜10510が、それぞれ、図46における第1の基板10101、第1の絶縁膜10102、第1の導電層10103、第2の絶縁膜10104、第1の半導体層10105、第2の半導体層10106、第2の導電層10107、第3の絶縁膜10108、第3の導電層10109、第1の配向膜10110、と対応する。

【0453】

ただし、図46と異なる点は、第1の基板10501側に、第4の絶縁膜10519および第4の導電層10513を形成してもよいという点である。より詳細には、第3の導電層10509にパターン加工を施したあと、第4の絶縁膜10519を成膜し、パターン加工を施してコンタクトホールを形成した後、第4の導電層10513を成膜し、同様にパターン加工を施した後、第1の配向膜10510を形成してもよい。なお、第4の絶縁膜10519および第4の導電層10513に使用できる材料および加工方法は、第3の絶縁膜10508および第3の導電層10509に用いるものと同様のものを用いることができる。また、一方の櫛歯状の電極は、TFT10524のソース電極またはドレイン電極の一方と電氣的に接続され、他方の一様な電極は、共通電極10523と電氣的に接続されていてもよい。こうすることで、液晶分子10518に効果的に横方向の電界をかけることができる。

【0454】

以上のように作製した第1の基板10501と、遮光膜10514、カラーフィルタ10515、スペーサ10517、および第2の配向膜10512を作製した第2の基板10516を、シール材によって数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図示しないが、第2の基板10516側に、導電層を形成してもよい。第2の基板10516側に導電層を形成することで、外部からの電磁波ノイズの影響を受けにくくすることができる。

【0455】

次に、図50に示す、FFS方式の液晶パネルの画素構造の特徴について説明する。図50の(A)に示した液晶分子10518は、長軸と短軸を持った細長い分子である。液晶分子10518の向きを示すため、図50の(A)においては、その長さによって表現している。すなわち、長く表現された液晶分子10518は、その長軸の向きが紙面に平行であり、短く表現された液晶分子10518ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図50の(A)に示した液晶分子10518は、その長軸の向きが常に基板と水平の方向を向くように配向している。図50の(A)においては、電界のない状態における配向を表しているが、液晶分子10518に電界がかかったときは、その長軸の向きが常に基板と水平の方向を保ったまま、水平面内で回転する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【0456】

次に、図50の(B)を参照して、FFS方式の液晶表示装置に本実施の形態を適用した場合の、画素のレイアウトの一例について説明する。本実施の形態を適用したFFS方式の液晶表示装置の画素は、走査線10521と、映像信号線10522と、共通電極10523と、TFT10524と、画素電極10525と、を備えていてもよい。

【0457】

走査線10521は、TFT10524のゲート電極と電氣的に接続されるため、第1の導電層10503で構成されているのが好適である。

【0458】

映像信号線10522は、TFT10524のソース電極またはドレイン電極と電氣的に接続されるため、第2の導電層10507で構成されているのが好適である。また、走査線10521と映像信号線10522はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。なお、図50の(B)に示すように、映

像信号線 10522 は、画素電極 10525 の形状に合わせるように、画素内で屈曲して形成されていてもよい。こうすることで、画素の開口率を大きくすることができるため、液晶表示装置の効率を向上させることができる。

【0459】

共通電極 10523 は、第 1 の導電層 10503 および第 3 の導電層 10509 で構成されているのが好適である。なお、映像信号線 10522 との交差容量を低減させるため、図 50 の (B) に示すように、第 1 の半導体層 10505 を共通電極 10523 と映像信号線 10522 の交差領域に設けてもよい。

【0460】

TFT 10524 は、映像信号線 10522 と画素電極 10525 を導通させるスイッチとして動作する。なお、図 50 の (B) に示すように、TFT 10524 のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図 50 の (B) に示すように、TFT 10524 のゲート電極は、第 1 の半導体層 10505 を囲むように配置してもよい。

【0461】

画素電極 10525 は、TFT 10524 のソース電極またはドレイン電極の一方に電氣的に接続される。画素電極 10525 は、映像信号線 10522 によって伝達された信号電圧を液晶素子に与えるための電極である。また、共通電極 10523 を配置することで、画素容量を形成してもよい。こうすることで、画素電極 10525 は、映像信号線 10522 によって伝達された信号電圧を保持しやすくなる。なお、画素電極 10525 は、図 50 の (B) に示すように、屈曲した櫛歯状の形状として形成するのが好適である。こうすることで、液晶分子 10518 の配向が異なる複数の領域を形成することができるので、視野角の大きな液晶表示装置を得ることができる。また、櫛歯状の画素電極 10525 および共通電極 10523 を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。ただし、櫛歯状の画素電極 10525 を反射性をもたない材料で作製し、かつ、共通電極 10523 を透明性をもつ材料で作製した場合でも、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、櫛歯状の画素電極 10525 および共通電極 10523 を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。ただし、すくなくとも共通電極 10523 を反射性をもつ材料で作製すれば、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、櫛歯状の画素電極 10525 および共通電極 10523 を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。ただし、櫛歯状の画素電極 10525 を反射性をもつ材料で作製し、画素電極 10525 を透過性を持つ材料で作製した場合でも、半透過型の液晶表示装置を得ることができる。なお、画素電極 10525 および櫛歯状の共通電極 10523 を、反射性をもつ材料で作製した場合は、櫛歯状の画素電極 10525 および共通電極 10523 の表面に凹凸を持たせてもよい。あるいは、第 3 の絶縁膜 10508 の表面に凹凸を持たせることで、櫛歯状の画素電極 10525 および共通電極 10523 を凹凸にすることもできる。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【0462】

なお、櫛歯状の画素電極 10525 は、第 4 の導電層 10513 で形成され、一様な共通電極 10523 は、第 3 の導電層 10509 で形成されとしたが、本実施の形態が適用できる画素構成は、これに限定されず、ある条件を満たしていれば、適宜選択することができる。より詳細には、第 1 の基板 10501 から見て、櫛歯状の電極が、一様な電極より液晶に近いほうに位置していればよい。なぜならば、横方向の電界は、櫛歯状の電極か

ら見た場合、常に、一様な電極とは逆方向に発生するからである。つまり、液晶に横電界をかけるためには、櫛歯状の電極は、一様な電極よりも液晶よりに位置していなければならないからである。

【0463】

この条件を満たすには、たとえば、櫛歯状の電極を第4の導電層10513で形成し、一様な電極を第3の導電層10509で形成してもよいし、櫛歯状の電極を第4の導電層10513で形成し、一様な電極を第2の導電層10507で形成してもよいし、櫛歯状の電極を第4の導電層10513で形成し、一様な電極を第1の導電層10503で形成してもよいし、櫛歯状の電極を第3の導電層10509で形成し、一様な電極を第2の導電層10507で形成してもよいし、櫛歯状の電極を第3の導電層10509で形成し、一様な電極を第1の導電層10503で形成してもよいし、櫛歯状の電極を第2の導電層10507で形成し、一様な電極を第1の導電層10503で形成してもよい。なお、櫛歯状の電極は、TF T 10524のソース領域またはドレイン領域の一方と電氣的に接続され、一様な電極は、共通電極10523と電氣的に接続されるとしたが、この接続は、逆でもよい。その場合は、一様な電極が画素ごとに独立して形成されていてもよい。

10

【0464】

続いて、本実施形態の液晶表示装置に適応しうる各種液晶モードについて、説明する。

【0465】

まず図51(A1)(A2)にはTNモードの液晶表示装置の模式図を示す。

【0466】

上記実施の形態と同様に、互いに対向するように配置された第1の基板10601及び第2の基板10602に、液晶層10600が挟持されている。そして、第1の基板10601側には、第1の偏光子を含む層10603が積層され、第2の基板10602側には、第2の偏光子を含む層10604が配置されている。なお、第1の偏光子を含む層10603と、第2の偏光子を含む層10604とは、クロスニコルになるように配置されている。

20

【0467】

なお、図示しないが、バックライト等は、第2の偏光子を含む層の外側に配置される。第1の基板10601、及び第2の基板10602上には、それぞれ第1の電極10605、第2の電極10606が設けられている。そして、バックライトと反対側、つまり視認側の電極である第1の電極10605は、少なくとも透光性を有するように形成する。

30

【0468】

図51(A1)(A2)のような構成を有する液晶表示装置において、ノーマリホワイトモードの場合、第1の電極10605及び第2の電極10606に電圧が印加（縦電界方式と呼ぶ）されると、図51(A1)に示すように黒色表示が行われる。このとき液晶分子は縦に並んだ状態となる。すると、バックライトからの光は、基板を通過することができず黒色表示となる。

【0469】

そして、図51(A2)に示すように、第1の電極10605及び第2の電極10606の間に電圧が印加されていないときは白色表示となる。このとき、液晶分子は横に並び、平面内で回転している状態となる。その結果、バックライトからの光は、クロスニコルになるように配置された一対の偏光子を含む層（第1の偏光子を含む層10603、及び第2の偏光子を含む層10604）を通過することができ、所定の映像表示が行われる。

40

【0470】

図51(A1)(A2)のような構成を有する液晶表示装置は、カラーフィルタを設けることによって、フルカラー表示を行うことができる。カラーフィルタは、第1の基板10601側、又は第2の基板10602側のいずれかに設けることができる。ただし、図51(A1)(A2)のような構成を有する液晶表示装置は、カラーフィルタを設けなくてもバックライトからの光が経時的に変化すれば、フィールドシーケンシャル駆動によってフルカラー表示を行うことができる。

50

【0471】

TNモードに使用される液晶材料は、公知のものを使用すればよい。

【0472】

図51(B1)にはVAモードの液晶表示装置の模式図を示す。VAモードは、無電界の時に液晶分子が基板に垂直となるように配向されているモードである。

【0473】

図51(A1)(A2)と同様に、第1の基板10601、及び第2の基板10602上には、それぞれ第1の電極10605、第2の電極10606が設けられている。そして、バックライトと反対側、つまり視認側の電極である第1の電極10605は、少なくとも透光性を有するように形成する。そして、第1の基板10601側には、第1の偏光子を含む層10603が積層され、第2の基板10602側には、第2の偏光子を含む層10604が配置されている。なお、第1の偏光子を含む層10603と、第2の偏光子を含む層10604とは、クロスニコルになるように配置されている。

10

【0474】

図51(A1)(A2)のような構成を有する液晶表示装置において、第1の電極10605、及び第2の電極10606に電圧が印加される(縦電界方式)と、図51(B1)に示すように白色表示が行われるオン状態となる。このとき液晶分子は横に並んだ状態となる。すると、バックライトからの光は、クロスニコルになるように配置された一対の偏光子を含む層(第1の偏光子を含む層10603、及び第2の偏光子を含む層10604)を通過することができ、所定の映像表示が行われる。このとき、カラーフィルタを設けることにより、フルカラー表示を行うことができる。カラーフィルタは、第1の基板10601側、又は第2の基板10602側のいずれかに設けることができる。

20

【0475】

そして、図51(B2)に示すように、第1の電極10605及び第2の電極10606の間に電圧が印加されていないときは黒色表示、つまりオフ状態とする。このとき、液晶分子は縦に並んだ状態となる。その結果、バックライトからの光は基板を通過することができず、黒色表示となる。

【0476】

オフ状態では、液晶分子が基板に対して垂直に立ち上がって、黒表示となり、オン状態では液晶分子が基板に対して水平に倒れて白表示となる。オフ状態では液晶分子が立ち上がっているため、偏光されたバックライトからの光は、液晶分子の複屈折の影響を受けることなくセル内を通過し、対向基板側の偏光子を含む層で遮断することができる。

30

【0477】

ここで、液晶の配向が分割されたMVAモードに、本実施の形態の積層された偏光子を含む層を適用する例を図51(C1)(C2)に示す。MVAモードは、それぞれの部分の視野角依存性を互いに補償する方法である。図51(C1)に示すように、MVAモードでは、第1の電極10605、及び第2の電極10606上に配向制御用に断面が三角の突起物10607、及び10608が設けられている。第1の電極10605、及び第2の電極10606に電圧が印加される(縦電界方式)と、図51(C1)に示すように白色表示が行われるオン状態となる。このとき液晶分子は突起物10607、及び10608に対して倒れて並んだ状態となる。すると、バックライトからの光は、クロスニコルになるように配置された一対の偏光子を含む層(第1の偏光子を含む層10603、及び第2の偏光子を含む層10604)を通過することができ、所定の映像表示が行われる。なお、図51(C1)(C2)のような構成を有する液晶表示装置は、カラーフィルタを設けることによって、フルカラー表示を行うことができる。カラーフィルタは、第1の基板10601側、又は第2の基板10602側のいずれかに設けることができる。もちろん、図51(C1)(C2)のような構成を有する液晶表示装置は、カラーフィルタを設けなくても、フィールドシーケンシャル駆動によってフルカラー表示を行うことができる。

40

【0478】

そして、図51(C2)に示すように、第1の電極10605、及び第2の電極1060

50

6の間に電圧が印加されていないときは黒色表示、つまりオフ状態とする。このとき、液晶分子は縦に並んだ状態となる。その結果、バックライトからの光は基板を通過することができず、黒色表示となる。

【0479】

MVAモードの他の例を上図、及び断面図を図54に示す。図54(A)のように、第2の電極10606a、10606b、10606cは、くの字型のように屈曲したパターンに形成されていてもよい。また、液晶層10600に近接して、絶縁層10901および10902が形成されている。なお、絶縁層10901および10902は、配向膜であってもよい。図54(B)で示すように第1の電極10605に近接して、突起物10607が第2の電極10606a、10606b、10606cと対応して形成されていてもよい。突起物10607を第2の電極10606a、10606b、10606cと対応して形成することによって、第2の電極10606a、10606b、10606cの開口部が、突起物のように機能し、液晶分子を効果的に配向させることができる。なお、第1の電極10605と突起物10607が形成される順番は、図54(B)と逆であってもよい。

10

【0480】

図52(A1)(A2)にはOCBモードの液晶表示装置の模式図を示す。OCBモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しており、これはベンド配向と呼ばれる。

【0481】

図51と同様に、第1の基板10601、及び第2の基板10602上には、それぞれ第1の電極10605、第2の電極10606が設けられている。また、図示しないが、バックライト等は第2の偏光子を含む層10604の外側に配置される。そして、バックライトと反対側、つまり視認側の電極である第1の電極10605は、少なくとも透光性を有するように形成する。そして、第1の基板10601側には、第1の偏光子を含む層10603が積層され、第2の基板10602側には、第2の偏光子を含む層10604が配置されている。なお、第1の偏光子を含む層10603と、第2の偏光子を含む層10604とは、クロスニコルになるように配置されている。

20

【0482】

図52(A1)(A2)のような構成を有する液晶表示装置において、第1の電極10605、及び第2の電極10606に一定のオン電圧が印加される(縦電界方式)と、図52(A1)に示すように黒色表示が行われる。このとき液晶分子は縦に並んだ状態となる。すると、バックライトからの光は、基板を通過することができず、黒色表示となる。

30

【0483】

そして、図52(A2)に示すように、第1の電極10605、及び第2の電極10606の間に一定のオフ電圧が印加されるときは白色表示となる。このとき、液晶分子はベンド配向の状態となる。その結果、バックライトからの光は、クロスニコルになるように配置された一対の偏光子を含む層(第1の偏光子を含む層10603、及び第2の偏光子を含む層10604)を通過することができ、所定の映像表示が行われる。なお、図52(A1)(A2)のような構成を有する液晶表示装置は、カラーフィルタを設けることによって、フルカラー表示を行うことができる。カラーフィルタは、第1の基板10601側、又は第2の基板10602側のいずれかに設けることができる。もちろん、図52(A1)(A2)のような構成を有する液晶表示装置は、カラーフィルタを設けなくても、フィールドシーケンシャル駆動によってフルカラー表示を行うことができる。

40

【0484】

図52(A1)(A2)のようなOCBモードでは、液晶層内で液晶分子の配列が光学的に補償できるため視野角依存が少なく、さらに、一対の積層された偏光子を含む層によりコントラスト比を高めることができる。

【0485】

図52(B1)(B2)には、FLCモード及びAFLCモードの液晶の模式図を示す。

50

【0486】

図51と同様に、第1の基板10601、及び第2の基板10602上には、それぞれ第1の電極10605、第2の電極10606が設けられている。そして、バックライトと反対側、つまり視認側の電極である第1の電極10605は、少なくとも透光性を有するように形成する。そして第1の基板10601側には、第1の偏光子を含む層10603が積層され、第2の基板10602側には、第2の偏光子を含む層10604が配置されている。なお、第1の偏光子を含む層10603と、第2の偏光子を含む層10604とは、クロスニコルになるように配置されている。

【0487】

図52(B1)(B2)のような構成を有する液晶表示装置において、第1の電極10605及び第2の電極10606に電圧が印加(縦電界方式と呼ぶ)されると、図52(B1)に示すように、白色表示となる。このときの液晶分子はラビング方向からずれた方向で横に並んでいる状態となる。よって、バックライトからの光は、クロスニコルになるように配置された一対の偏光子を含む層(第1の偏光子を含む層10603、及び第2の偏光子を含む層10604)を通過することができ、所定の映像表示が行われる。

10

【0488】

そして、図52(B2)に示すように、第1の電極10605、及び第2の電極10606の間に電圧が印加されていないときは、黒色表示が行われる。このときの液晶分子はラビング方向に沿って横に並んだ状態となる。すると、バックライトからの光は、基板を通過することができず黒色表示となる。

20

【0489】

なお、図52(B1)(B2)のような構成を有する液晶表示装置は、カラーフィルタを設けることによって、フルカラー表示を行うことができる。カラーフィルタは、第1の基板10601側、又は第2の基板10602側のいずれかに設けることができる。もちろん、図52(B1)(B2)のような構成を有する液晶表示装置は、カラーフィルタを設けなくても、フィールドシーケンシャル駆動によってフルカラー表示を行うことができる。

【0490】

FLCモード及びAFLCモードに使用される液晶材料は、公知のものを使用すればよい。

30

【0491】

図53(A1)(A2)にはIPSモードの液晶表示装置の模式図を示す。IPSモードは、液晶分子を基板に対して常に平面内で回転させるモードであり、電極は一方の基板側のみに設けた横電界方式をとる。

【0492】

IPSモードは一方の基板に設けられた対となる電極により液晶を制御することを特徴とする。そのため、第2の基板10602上に対となる電極10801、10802が設けられている。対となる電極10801、10802は、それぞれ遮光性を有していてもよい。そして、第1の基板10601側には、第1の偏光子を含む層10603が積層され、第2の基板10602側には、第2の偏光子を含む層10604が配置されている。なお、第1の偏光子を含む層10603と、第2の偏光子を含む層10604とは、クロスニコルになるように配置されていてもよい。

40

【0493】

図53(A1)(A2)のような構成を有する液晶表示装置において、対となる電極10801、10802に電圧が印加されると、図53(A1)に示すように液晶分子はラビング方向からずれた電気力線に沿って配向し白色表示が行われるオン状態となる。すると、バックライトからの光は、クロスニコルになるように配置された一対の偏光子を含む層(第1の偏光子を含む層10603、及び第2の偏光子を含む層10604)を通過することができ、所定の映像表示が行われる。

【0494】

50

なお、図53(A1)(A2)のような構成を有する液晶表示装置は、カラーフィルタを設けることにより、フルカラー表示を行うことができる。カラーフィルタは、第1の基板10601側、又は第2の基板10602側のいずれかに設けることができる。もちろん、図53(A1)(A2)のような構成を有する液晶表示装置は、カラーフィルタを設けなくても、フィールドシーケンシャル駆動によってフルカラー表示を行うことができる。

【0495】

そして、図53(A2)に示すように、一对の電極10801、10802の間に電圧が印加されていないとき黒表示、つまりオフ状態とする。このとき、液晶分子は、ラビング方向に沿って横に並んだ状態となる。その結果、バックライトからの光は基板を通過することができず、黒色表示となる。

【0496】

I PSモードで用いることできる対となる電極10801、10802の例を図55に示す。図55(A)乃至(D)においては、電極10801は電極10801a、電極10801b、電極10801cおよび電極10801dと対応する。また、電極10802は電極10802a、電極10802b、電極10802cおよび電極10802dと対応する。図55(A)では電極10801a、及び電極10802aはうねりを有する波形状であり、図55(B)では電極10801b、及び電極10802bは同心円状の開口部を有する形状であり、図55(C)では電極10801c、及び電極10802cは櫛場状であり一部重なっている形状であり、図55(D)では電極10801d、及び電極10802dは櫛場状であり電極同士がかみ合うような形状である。

【0497】

I PSモードのほかにF F Sモードも用いることができる。I PSモードは、対となる電極が同一の絶縁膜上に形成されているのに対し、F F Sモードは、図53(B1)、(B2)に示すように、対となる電極10803、10804が、それぞれ異なる層の絶縁膜上に形成されていてもよい。

【0498】

図53(B1)、(B2)に示すような構成を有する液晶表示装置において、対となる電極10803、10804に電圧が印加されると、図53(B1)に示すように白色表示が行われるオン状態となる。すると、バックライトからの光は、クロスニコルになるように配置された一对の偏光子を含む層(第1の偏光子を含む層10603、及び第2の偏光子を含む層10604)を通過することができ、所定の映像表示が行われる。

【0499】

なお、図53(B1)、(B2)のような構成を有する液晶表示装置は、カラーフィルタを設けることにより、フルカラー表示を行うことができる。カラーフィルタは、第1の基板10601側、又は第2の基板10602側のいずれかに設けることができる。もちろん、図53(B1)、(B2)のような構成を有する液晶表示装置は、カラーフィルタを設けなくても、フィールドシーケンシャル駆動によってフルカラー表示を行うことができる。

【0500】

そして、図53(B2)に示すように、対となる電極10803、10804の間に電圧が印加されていないとき黒表示、つまりオフ状態とする。このとき、液晶分子は、横に並び、且つ平面内で回転した状態となる。その結果、バックライトからの光は基板を通過することができず、黒色表示となる。

【0501】

F F Sモードで用いることできる対となる電極10803、10804の例を図56に示す。図56(A)乃至(D)においては、電極10803は電極10803a、電極10803b、電極10803cおよび電極10803dと対応する。また、電極10804は電極10804a、電極10804b、電極10804cおよび電極10804dと対応する。図56(A)では電極10803aは屈曲したくの字形状であり、電極10804aは画素領域内ではパターン形成されていなくてもよい。図56(B)では電極108

03bは同心円状の形状であり、電極10804bは画素領域内ではパターン形成されていなくてもよい。図56(C)では電極10803cは櫛場状で電極同士がかみ合うような形状であり、電極10804cは画素領域内ではパターン形成されていなくてもよい。図56(D)では電極10803dは櫛場状の形状であり、電極10804dは画素領域内ではパターン形成されていなくてもよい。

【0502】

なお、電極10803(10803a、10803b、10803c、10803d)および電極10804(10804a、10804b、10804c、10804d)は、透光性を有していてもよい。透光性を有することで、開口率の大きい透過型の表示装置を得ることができる。

10

【0503】

なお、電極10803(10803a、10803b、10803c、10803d)および電極10804(10804a、10804b、10804c、10804d)は、遮光性または反射性を有していてもよい。遮光性または反射性を有することで、バックライトが不要で消費電力の小さい反射型の表示装置を得ることができる。

【0504】

なお、電極10803(10803a、10803b、10803c、10803d)および電極10804(10804a、10804b、10804c、10804d)は、透光性を有する領域と、遮光性または反射性を有する領域と、双方の領域を有していてもよい。双方の領域を有することで、屋内のような暗い環境下では表示品質の高い透過型の表示を行い、屋外のような明るい環境下ではバックライトが不要で消費電力の小さい反射型の表示を行う、半透過型の表示装置を得ることができる。

20

【0505】

IPSモード及びFFSモードに使用される液晶材料は、公知のものを使用すればよい。

【0506】

なお、本実施の形態の液晶表示装置に適応しうる液晶モードとして、上述した液晶モードの他に、ASM(Axially Symmetric aligned Micro-cell)モード、PDLC(Polymer Dispersed Liquid Crystal)モードなどがある。

【0507】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

30

【0508】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。

【0509】

(実施の形態9)

本実施形態においては、本実施の形態を実施できる表示装置の表示パネル構成、および周辺構成について説明する。特に、液晶表示装置の表示パネル(液晶パネルとも記す)構成、および周辺構成について説明する。

【0510】

まず、液晶パネルの簡単な構成について、図57(A)を参照して説明する。また、図57(A)は、液晶パネルの上面図である。

40

【0511】

図57(A)に示す液晶パネルは、基板20100上に、画素部20101、走査線入力端子20103及び信号線入力端子20104が形成されている。走査線入力端子20103から走査線が行方向に延在して基板20100上に形成され、信号線入力端子20104から信号線が列方向に延在して基板20100上に形成されている。また、画素部20101には、画素20102が走査線と、信号線とが交差するところで、マトリクス上に配置されている。また、画素20102には、スイッチング素子と画素電極層とが配置されている。

50

【0512】

図57(A)の液晶パネルに示すように、走査線入力端子20103は、基板20100の行方向の両側に形成されている。信号線入力端子20104は、基板20100の列方向のうち一方に形成されている。また、一方の走査線入力端子20103から延在する走査線と、他方の走査線入力端子20103から延在する走査線とは、交互に形成されている。

【0513】

また、画素部20101の画素20102それぞれでは、スイッチング素子の第1端子が信号線に接続され、第2端子が画素電極層に接続されることによって、個々の画素20102を外部から入力する信号によって独立して制御することができる。なお、スイッチング素子のオン・オフは走査線に供給されている信号によって制御されている。

10

【0514】

なお、走査線入力端子20103を基板20100の行方向のうち両方に配置することで、画素20102を高密度に配置することができる。また、信号線側入力端子20103を基板20100の列方向のうち一方に配置することで、液晶パネルの額縁を小さくし、画素部20101の領域を大きくすることができる。

【0515】

なお、基板20100には、すでに述べたように、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレススチル基板、ステンレススチルホイルを有する基板などを用いることができる。

20

【0516】

なお、スイッチング素子には、すでに述べたように、トランジスタ、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）、サイリスタ、それらを組み合わせた論理回路などを用いることができる。

【0517】

なお、スイッチング素子として、TFETを用いた場合、TFETのゲートが走査線に接続され、第1端子が信号線に接続され、第2端子が画素電極層に接続されることにより、個々の画素20102を外部から入力する信号によって独立して制御することができる。

【0518】

なお、走査線入力端子20103を基板20100の行方向のうち一方に配置してもよい。走査線入力端子20103を基板20100の行方向のうち一方に配置することで、液晶パネルの額縁を小さくし、画素部20101の領域を大きくすることができる。

30

【0519】

なお、一方の走査線入力端子20103から延在する走査線と、他方の走査線入力端子20103から延在する走査線とは、共通にしてもよい。

【0520】

なお、走査線入力端子20103を基板20100の列方向のうち両方に配置してもよい。走査線入力端子20103を基板20100の列方向のうち両方に配置することで、画素20102を高密度に配置できる。

40

【0521】

なお、画素20102には、さらに容量素子を形成してもよい。画素20102に容量素子を設ける場合、基板20100上に、容量線を形成してもよい。基板20100上に容量線を形成する場合、容量素子の第1電極が容量線に接続され、第2端子が画素電極層に接続されるようにする。また、基板20100上に容量線を形成しない場合、容量素子の第1電極がこの容量素子が配置されている画素20102とは別の走査線に接続され、第2端子が画素電極層に接続されているようにする。

【0522】

ここで、図57(A)に示した液晶パネルは、走査線及び信号線に供給する信号を外付けの駆動回路によって制御する構成を示しているが、図58(A)に示すように、COG（

50

Chip on Glass)方式によりドライバIC20201を基板20100上に実装してもよい。また、別の構成として、図58(B)に示すように、TAB(Tape Automated Bonding)方式によりドライバIC20201をFPC20200(Flexible Printed Circuit)上に実装してもよい。また、図58において、ドライバIC20201は、FPC20200と接続されている。

【0523】

なお、ドライバIC20201は単結晶半導体基板上に形成されたものでもよいし、ガラス基板上にTFTで回路を形成したものでもよい。

【0524】

なお、図57(A)に示した液晶パネルは、図57(B)に示すように、走査線駆動回路20105を基板20100上に形成してもよい。また、図57(C)に示すように、走査線駆動回路20105及び信号線駆動回路20106を基板20100上に形成してもよい。

【0525】

なお、走査線駆動回路20105及び走査線駆動回路20105は、多数のNチャネル型及び多数のPチャネル型のトランジスタから構成されている。ただし、多数のNチャネル型のトランジスタのみで構成されていてもよいし、多数のPチャネル型のトランジスタのみで構成されていてもよい。

【0526】

続いて、画素20102の詳細について、図59及び図60の回路図を参照して説明する。

【0527】

図59(A)の画素20102は、トランジスタ20301、液晶素子20302及び容量素子20303を有している。トランジスタ20301のゲートが配線20305に接続され、第1端子が配線20304に接続されている。液晶素子20302の第1電極が対向電極20307に接続され、第2電極がトランジスタ20301の第2端子に接続されている。容量素子20303の第1電極が容量線20306に接続され、第2電極がトランジスタ20301の第2端子に接続されている。

【0528】

なお、配線20304は信号線であり、配線20305は走査線であり、容量線20306は容量線である。また、トランジスタ20301は、スイッチングトランジスタであり、Pチャネル型トランジスタでもNチャネル型トランジスタでもよい。また、液晶素子20302は、動作モードとしてTN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)などを用いることができる。

【0529】

配線20304及び配線20305には、それぞれビデオ信号、走査信号が入力されている。ビデオ信号はアナログの電圧信号であり、走査信号はHレベル又はLレベルのデジタルの電圧信号である。ただし、ビデオ信号は電流信号でもよいし、デジタル信号でもよい。また、走査信号のHレベル及びLレベルは、トランジスタ20301のオンとオフを制御できる電位であればよい。

【0530】

容量線20306には、一定の電源電圧が供給されている。ただし、パルス状の信号が供

10

20

30

40

50

給されていてもよい。

【0531】

図59(A)の画素20102の動作について説明する。まず、配線20305がHレベルになると、トランジスタ20301がオンし、ビデオ信号が配線20304からオンしたトランジスタ20301を介して液晶素子20302の第2電極及び容量素子20303の第2電極に供給される。そして、容量素子20303は配線203076の電位とビデオ信号の電位との電位差を保持する。

【0532】

次に、配線20305がLレベルになると、トランジスタ20301がオフし、配線20304と、液晶素子20302の第2電極及び容量素子20303の第2電極とは、電氣的に遮断される。しかし、容量素子20303が配線203076の電位とビデオ信号の電位との電位差を保持しているため、容量素子20303の第2電極の電位はビデオ信号と同様な電位を維持することができる。

10

【0533】

こうして、図59(A)の画素20102は、液晶素子20302の第2電極の電位をビデオ信号と同電位に維持でき、液晶素子20302をビデオ信号に応じた透過率に維持できる。

【0534】

なお、図示はしないが、液晶素子20302がビデオ信号を保持できるだけの容量成分を有していれば、容量素子20303は必ずしも必要ではない。

20

【0535】

なお、図59(B)のように、液晶素子20302の第1電極は、容量線20306と接続されていてもよい。例えば、液晶素子20302の液晶モードがFFSモードのときなどに、液晶素子20302は図59(B)の構成を用いる。

【0536】

なお、図60のように、容量素子20303の第1電極は前行の配線20305aに接続されていてもよい。なお、配線20305aをn行目(nは正の整数)の走査線としたとき、配線20305bはn+1行目の走査線である。同様に、トランジスタ20301a、画素20102a、容量素子20303aをn行目の素子としたとき、トランジスタ20301b、画素20102b、容量素子20303bはn+1行目の素子である。このように、容量素子20303bの第1電極が前列の配線20305aに接続されることで、配線を少なくすることができる。よって、図60の画素20102aおよび20102bは、開口率を大きくすることができる。

30

【0537】

次に、図57及び図58を参照して説明した液晶パネルの構成よりも、詳細な液晶パネルの構成について、図61を参照して説明する。具体的には、TF T基板と、対向基板と、対向基板とTF T基板との間に挟持された液晶層とを有する液晶パネルの構成について説明する。また、図61(A)は、液晶パネルの上面図である。図61(B)は、図61(A)の線C-Dにおける断面図である。なお、図61(B)は、基板20100上に、半導体膜として結晶性半導体膜(ポリシリコン膜)を用いた場合のトップゲート型のトランジスタを形成した場合の断面図である。

40

【0538】

図61(A)に示す液晶パネルは、基板20100上に、画素部20101、走査線駆動回路20105a、走査線駆動回路20105b及び信号線駆動回路20106が形成されている。画素部20101、走査線駆動回路20105a、走査線駆動回路20105b及び信号線駆動回路20106は、シール材20516によって、基板20100と対向基板20515との間に封止されている。また、TAB方式によって、FPC20518及びICチップ20530が基板20100上に配置されている。

【0539】

図61(A)の線C-Dにおける断面構造について、図61(B)を参照して説明する。

50

基板 20100 上に、画素部 20101 と、その周辺駆動回路部（走査線回路 20105 a 及び走査線駆動回路 20105 b 及び信号線駆動回路 20106）が形成されているが、ここでは、駆動回路領域 20525（走査線駆動回路 20105 a 及び走査線駆動回路 20105 b）と、画素領域 20526（画素部 20101）とが示されている。

【0540】

まず、基板 20100 上に、下地膜として、絶縁膜 20501 が成膜されている。絶縁膜 20501 としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（SiO_xN_y）等の絶縁膜の単層、或いはこれらの膜の少なくとも 2 つの膜を有する積層構造を用いてもよい。

【0541】

なお、半導体と接する部分では、酸化シリコン膜を用いる方がよい。その結果、下地膜における電子のトラップやトランジスタ特性のヒステリシスを抑えることが出来る。また、下地膜として、窒素を多く含む膜を少なくとも 1 つ配置することが望ましい。それにより、ガラスからの不純物を低減することが出来る。

【0542】

次に、絶縁膜 20501 上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、半導体層 20502 が形成されている。

【0543】

次に、絶縁膜 20501 上及び半導体層 20502 上に、ゲート絶縁膜として、絶縁層 20503 が形成されている。

【0544】

なお、絶縁層 20503 としては、熱酸化膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの単層または積層構造を用いることができる。半導体層 20502 と接する絶縁層 20503 は酸化珪素膜が好ましい。それは、酸化珪素膜にすると半導体層 20502 との界面におけるトラップ準位が少なくなるからである。また、ゲート電極を Mo で形成するときは、ゲート電極と接するゲート絶縁膜は窒化シリコン膜が好ましい。それは、窒化シリコン膜は Mo を酸化させないからである。ここでは絶縁層 20503 として、プラズマ CVD 法により厚さ 115 nm の酸化窒化シリコン膜（組成比 Si = 32 %、O = 59 %、N = 7 %、H = 2 %）を形成する。

【0545】

次に、絶縁層 20503 上に、ゲート電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20504 が形成されている。

【0546】

なお、導電層 20504 としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Ge などや、これら元素の合金等がある。もしくは、これら元素またはこれら元素の合金の積層により構成してもよい。ここでは Mo によりゲート電極を形成する。Mo は、エッチングしやすく、熱に強いので好適である。

【0547】

なお、半導体層 20502 には、導電層 20504 又はレジストをマスクとして半導体層 20502 に不純物元素がドーピングされており、チャンネル形成領域と、ソース領域及びドレイン領域となる不純物領域とが形成されている。

【0548】

なお、不純物領域は、不純物濃度を制御して高濃度領域と低濃度領域とを形成されている。

【0549】

なお、トランジスタ 20521 の導電層 20504 は、デュアルゲート構造としている。トランジスタ 20521 は、デュアルゲート構造にすることで、トランジスタ 20521 のオフ電流を小さくすることができる。なお、デュアルゲート構造とは、2 つのゲート電極を有している構造である。ただし、トランジスタのチャンネル領域上に、複数のゲート電

10

20

30

40

50

極を有していてもよい。

【0550】

次に、絶縁層20503上及び導電層20504上に、層間膜として、絶縁層20505が形成されている。

【0551】

なお、絶縁層20505としては、有機材料又は無機材料、若しくはそれらの積層構造を用いることができる。例えば酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化窒化アルミニウム、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウムまたは酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、ポリシラザン、窒素含有炭素(CN)、PSG(リンガラス)、BPSG(リンボロンガラス)、アルミナ、その他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。また、有機絶縁性材料を用いてもよく、有機材料としては、感光性、非感光性どちらでも良く、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン樹脂などを用いることができる。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

10

【0552】

なお、絶縁層20503及び絶縁層20505には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、各トランジスタの不純物領域の上面に形成されている。

20

【0553】

次に、絶縁層20505上に、ドレイン電極、ソース電極及び配線として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電膜20506が形成されている。

【0554】

なお、導電膜20506としては、材料としてはTi、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなどや、これら元素の合金等がある。もしくは、これら元素またはこれら元素の合金の積層構造を用いることができる。

30

【0555】

なお、絶縁層20503及び導電層20504のコンタクトホールが形成されている部分では、導電膜20506とトランジスタの半導体層20502の不純物領域とが接続されている。

【0556】

次に、絶縁層20505及び絶縁層20505上に形成された導電膜20506上に、平坦化膜として、絶縁層20507が形成されている。

【0557】

なお、絶縁層20507としては、平坦性や被覆性がよいことが望ましいため、有機材料を用いて形成されることが多い。なお、絶縁層20507としては多層構造になっていてもよく、無機材料(酸化シリコン、窒化シリコン、酸化窒化シリコン)の上に有機材料が形成されていてもよい。

40

【0558】

なお、絶縁層20507には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、トランジスタ20521のドレイン電極の上面に形成されている。

【0559】

次に、絶縁層20507上に、画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層20508が形成されている。

【0560】

50

なお、導電層 20508 としては、光を透過する透明電極及び光を反射する反射電極を用いることができる。

【0561】

透明電極の場合は、例えば、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物（ITO）膜、インジウムスズ酸化物（ITO）に酸化珪素を混ぜたインジウムスズ珪素酸化物（ITSO）膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物（IZO）膜、酸化亜鉛膜、または酸化スズ膜などを用いることができる。なお、IZOとは、ITOに2～20wt%の酸化亜鉛（ZnO）を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料であるが、これに限定されない。

【0562】

反射電極の場合は、例えば、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなどやそれらの合金などを用いることができる。また、Ti、Mo、Ta、Cr、WとAlを積層させた2層構造、AlをTi、Mo、Ta、Cr、Wなどの金属で挟んだ3層積層構造としてもよい。

【0563】

次に、絶縁層 20507 上及び絶縁層 20507 上に形成された導電層 20508 上に、配向膜として、絶縁層 20509 が形成されている。

【0564】

次に、画素部 20101 の周辺部、若しくは画素部 20101 の周辺部とその周辺駆動回路部の周辺部に、インクジェット法などにより、シール材 20516 が形成される。

【0565】

次に、絶縁膜 20514、絶縁膜 20513、導電膜 20512 及び絶縁膜 20511 などが形成された対向基板 20515 と、基板 20100 とがスペーサ 20531 を介して貼り合わされており、その隙間に、液晶層 20510 が配置されている。

【0566】

なお、基板 20115 は、対向基板として機能してもよい。また、絶縁膜 20514 は、ブラックマトリックス（遮光膜）として機能してもよい。また、絶縁膜 20513 は、カラーフィルタとして機能してもよい。また、スペーサ 20531 は、数 μm の粒子を散布して設ける方法でもよいし、基板全面に樹脂膜を形成した後に、樹脂膜をエッチング加工して形成する方法でもよい。また、導電膜 20512 は、対向電極として機能してもよい。導電膜 20512 としては、導電層 20508 と同様なものを用いることができる。また、絶縁膜 20511 は、配向膜として機能してもよい。

【0567】

なお、絶縁膜 20513 及び絶縁膜 20514 と導電膜 20512 との間には、平坦化膜として絶縁膜 20532 を形成してもよい。ただし、図 61 では、絶縁膜 20532 を図示していない。

【0568】

なお、液晶層 20510 としては公知の液晶を自由に用いることができる。例えば、液晶層 20510 として強誘電性の液晶を用いてもよいし、反強誘電性の液晶を用いてもよい。また、液晶の駆動方式は、TN（Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、MVA（Multi-domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optical Compensated Birrefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）等を自由に用いることができる。

【0569】

次に、画素部 20101 と、その周辺駆動回路部と電氣的に接続されている導電膜 205

10

20

30

40

50

33上に、異方性導電体層20517を介して、FPC20200が配置されている。また、FPC20200上に、異方性導電体層20517を介して、ICチップが配置されている。つまり、FPC20200、導電膜20533及びICチップ20530は、電氣的に接続されている。

【0570】

なお、導電膜20533は、FPC20200から入力される信号及び電位を、画素や周辺回路に伝達する機能を有している。導電膜20533としては、導電膜20506と同様なものを用いてもよいし、導電層20504と同様なものを用いてもよいし、半導体層20502の不純物領域と同様なものを用いてもよいし、これらを少なくとも2層以上組み合わせたものを用いてもよい。

10

【0571】

なお、ICチップ20530は、機能回路（メモリやバッファ）を形成することで、基板面積を有効利用することができる。

【0572】

図61（A）、（B）の液晶パネルは、走査線駆動回路20105a、走査線駆動回路20105b及び信号線駆動回路20106を基板20100上に形成した場合の構成について説明したが、図62（A）の液晶パネルに示すように、信号線駆動回路20106に相当する駆動回路をドライバIC20601に形成して、COG方式などで液晶パネルに実装した構成としてもよい。信号線駆動回路20106をドライバIC20601に形成することで、省電力化を図ることができる。また、ドライバIC20601はシリコンウエハ等の半導体チップとすることで、図62（A）の液晶パネルはより高速、且つ低消費電力化を図ることができる。

20

【0573】

同様に、図62（B）の液晶パネルに示すように、走査線駆動回路20105a、走査線駆動回路20105b及び信号線駆動回路20106に相当する駆動回路を、それぞれドライバIC20602a、ドライバIC20602b及びドライバIC20601に形成して、COG方式などで液晶パネルに実装した構成としてもよい。また、走査線駆動回路20105a、走査線駆動回路20105b及び信号線駆動回路20106に相当する駆動回路を、それぞれドライバIC20602a、ドライバIC20602b及びドライバIC20601に形成することで、低コスト化が図れる。

30

【0574】

なお、トランジスタ20521はデュアルゲート構造としたが、図63の画素領域20526に示すように、トランジスタ20521はシングルゲート構造としてもよい。ただし、図63は、画素領域20526のみを示している。

【0575】

次に、基板20100上にボトムゲート型トランジスタを形成した場合の断面図について、図64を参照して説明する。ただし、図64は、画素領域20526のみを示している。

【0576】

まず、基板20100上に、下地膜として、絶縁膜20501が成膜されている。次に、絶縁膜20501上に、ゲート電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層20504が形成されている。なお、トランジスタ20521の導電層20504は、デュアルゲート構造としている。なぜなら、すでに述べたように、トランジスタ20521はデュアルゲート構造にすることで、トランジスタ20521のオフ電流を小さくできる。次に、絶縁膜20501上及び導電層20504上に、ゲート絶縁膜として、絶縁層20503が形成されている。次に、絶縁層20503上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、半導体層20502が形成されている。なお、半導体層20502には、レジストをマスクとして半導体層20502に不純物元素がドーピングされており、チャネル形成領域と、ソース領域及びドレイン領域となる不純物領域とが形成されている。なお、不純物領域は、不純物濃度を制御

40

50

して高濃度領域と低濃度領域とを形成されていてもよい。次に、絶縁層 20503 上及び半導体層 20502 上に、層間膜として、絶縁層 20505 が形成されている。なお、絶縁層 20505 には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、各トランジスタの不純物領域の上面に形成されている。次に、絶縁層 20505 上に、ドレイン電極、ソース電極及び配線として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電膜 20506 が形成されている。なお、絶縁層 20505 のコンタクトホールが形成されている部分では、導電膜 20506 とトランジスタの半導体層 20502 の不純物領域とが接続されている。次に、絶縁層 20505 上及び導電膜 20506 上に、平坦化膜として、絶縁層 20507 が形成されている。なお、絶縁層 20507 には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、トランジスタ 20521 のドレイン電極の上面に形成されている。次に、絶縁層 20507 上に、画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20508 が形成されている。次に、絶縁層 20507 上及び導電層 20508 上に、配向膜として、絶縁層 20509 が形成されている。次に、絶縁膜 20514、絶縁膜 20513、導電膜 20512 及び絶縁膜 20511 などが形成された対向基板 20515 と、基板 20100 との隙間に、液晶層 20510 が配置されている。

【0577】

なお、図 64 では、トランジスタ 20521 をデュアルゲート構造としている。ただし、図 65 の画素領域 20526 に示すように、トランジスタ 20521 はシングルゲート構造としてもよい。

【0578】

次に、基板 20100 上に、ダブルゲート型のトランジスタを形成した場合の断面図について、図 66 を参照して説明する。ただし、図 66 は、画素領域 20526 のみを示している。

【0579】

なお、ダブルゲート型のトランジスタとは、半導体膜の上下にゲート電極が、それぞれ配置されている構造のことをいう。また、ダブルゲート型のトランジスタは、トップゲート型トランジスタ及びボトムゲート型トランジスタに比べて、同様のサイズ及び同様の印加電圧であれば流れる電流が 2 倍になる。つまり、ダブルゲート型のトランジスタは、小さいトランジスタサイズでより多くの電流を流すことができる。

【0580】

まず、基板 20100 上に、下地膜として、絶縁膜 20501 が成膜されている。次に、絶縁膜 20501 上に、第 1 のゲート電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20504a が形成されている。なお、導電層 20504a は、導電層 20504 と同様な材料及び構造のものを用いることができる。次に、絶縁膜 20501 上及び導電層 20504a 上に、第 1 のゲート絶縁膜として、絶縁層 20503a が形成されている。なお、絶縁層 20503a は、絶縁層 20503 と同様な材料及び構造のものを用いることができる。次に、絶縁層 20503a 上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、半導体層 20502 が形成されている。次に、絶縁層 20503a 上及び半導体層 20502 上に、第 2 のゲート絶縁膜として、絶縁層 20503b が形成されている。なお、絶縁層 20503b は、絶縁層 20503 と同様な材料及び構造のものを用いることができる。次に、絶縁層 20503b 上に、第 2 のゲート電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20504b が形成されている。なお、導電層 20504b は、導電層 20504 と同様な材料及び構造のものを用いることができる。なお、半導体層 20502 には、導電層 20504b 又はレジストをマスクとして半導体層 20502 に不純物元素がドーピングされており、チャネル形成領域と、ソース領域及びドレイン領域となる不純物領域とが形成されている。なお、不純物領域は、不純物濃度を制御して高濃度領域と低濃度領域とを形成されていてもよい。なお、半導体層 20502 には、絶縁層 20503b 及び導電層 20504b が形成される前に、レジストをマスクとして半導体層 2050

2 に不純物元素がドーピングされ、チャネル形成領域と、ソース領域及びドレイン領域となる不純物領域とが形成されていてもよい。次に、絶縁層 20503b 上及び導電層 20504b 上に、層間膜として、絶縁層 20505 が形成されている。なお、絶縁層 20503b 及び絶縁層 20505 には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、各トランジスタの不純物領域の上面に形成されている。次に、絶縁層 20505 上に、ドレイン電極、ソース電極及び配線として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電膜 20506 が形成されている。なお、絶縁層 20503 及び絶縁層 20505 のコンタクトホールが形成されている部分では、導電膜 20506 とトランジスタの半導体層 20502 の不純物領域とが接続されている。次に、絶縁層 20505 上及び導電膜 20506 上に、平坦化膜として、絶縁層 20507 が形成されている。なお、絶縁層 20507 には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、トランジスタ 20521 のドレイン電極の上面に形成されている。次に、絶縁層 20507 上に、画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20508 が形成されている。次に、絶縁層 20507 上及び導電層 20508 上に、配向膜として、絶縁層 20509 が形成されている。次に、絶縁膜 20514、絶縁膜 20513、導電膜 20512 及び絶縁膜 20511 などが形成された対向基板 20515 と、基板 20100 との隙間に、液晶層 20510 が配置されている。

【0581】

なお、図 61 及び図 63～図 66 では、絶縁層 20505 上及び絶縁層 20505 上に形成された導電膜 20506 上に、平坦膜として、絶縁層 20507 が形成されている場合の断面図について説明した。ただし、絶縁層 20507 は、図 67 に示すように、必ずしも必要ではない。

【0582】

なお、図 67 に示す断面図は、トップゲート型のトランジスタの場合について示しているが、ボトムゲート型のトランジスタ及びダブルゲート型のトランジスタの場合についても同様である。

【0583】

次に、基板 20100 上に、半導体膜として非結晶半導体膜（アモルファスシリコン膜）を用いたトランジスタを形成した場合の断面図について、図 68 を参照して説明する。図 68 に示す断面図は、逆スタガ型のチャネルエッチ構造のトランジスタの断面図である。

【0584】

まず、基板 20100 上に、下地膜として、絶縁膜 20501 が成膜されている。次に、絶縁膜 20501 上に、ゲート電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20504 が形成されている。次に、絶縁膜 20501 及び導電層 20504 上に、ゲート絶縁膜として、絶縁層 20503 が形成されている。次に、絶縁層 20503 上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、半導体層 20502 が形成されている。なお、半導体層 20502 は第 1 の半導体膜及び第 2 の半導体膜を有しており、第 1 の半導体膜の上に第 2 の半導体膜が形成されている。また、第 1 の半導体膜及び第 2 の半導体膜は連続して成膜され、同時にフォトリソグラフィ法によってパターニングされてもよい。また、第 2 の半導体膜は不純物元素を含んでいる。次に、絶縁層 20503 上及び半導体層 20502 上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電膜 20506 が形成されている。なお、半導体層 20502 は、導電膜 20506 をマスクとしてエッチングをすることによって、チャネル形成領域と、ソース領域及びドレイン領域となる不純物領域とが形成されている。つまり、チャネル領域では、不純物元素を含む第 2 の半導体膜が除去される。ただし、半導体層 20502 は、導電膜 20506 をエッチングするためのレジストをマスクにして、エッチングされてもよい。次に、絶縁層 20503 上、半導体層 20502 上及び導電膜 20506 上に、平坦化膜として、絶縁層 20507 が形成されている。なお、絶縁層 20507 には、コンタクトホールが選択的に形成されている。例えば、コンタクト

ホールは、トランジスタ 20521 のドレイン電極の上面に形成されている。次に、絶縁層 20507 上に、画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20508 が形成されている。次に、絶縁層 20507 上及び導電層 20508 上に、配向膜として、絶縁層 20509 が形成されている。次に、絶縁膜 20514、絶縁膜 20513、導電膜 20512 及び絶縁膜 20511 などが形成された対向基板 20515 と、基板 20100 との隙間に、液晶層 20510 が配置されている。

【0585】

なお、チャネルエッチ構造のトランジスタについて説明したが、図 69 に示すように、半導体層 20502 上に絶縁膜 21301 を設けてもよい。絶縁膜 21301 は、第 1 の半導体膜と第 2 の半導体膜との間に形成される。また、半導体層 20502 は、導電膜 20506 を形成するとき、同時にエッチングされる。

【0586】

なお、図 68 のトランジスタ 20521 をチャネルエッチ構造と呼び、図 69 のトランジスタ 20521 をチャネル保護構造と呼ぶ。

【0587】

次に、基板 20100 上に、半導体膜として非結晶半導体膜を用いたトップゲート型のトランジスタを形成した場合の断面図について、図 70 を参照して説明する。

【0588】

まず、基板 20100 上に、下地膜として、絶縁膜 20501 が成膜されている。次に、絶縁膜 20501 上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電膜 20506 が形成されている。次に、導電膜 20506 上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、半導体層 20502a が形成されている。なお、半導体層 20502a は、半導体層 20502 と同様な材料及び構造のものを用いることができる。また、半導体層 20502a は、不純物元素を含んでいる。次に、絶縁膜 20501 上及び半導体層 20502a 上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、半導体層 20502b が形成されている。なお、半導体層 20502b は、半導体層 20502 と同様な材料及び構造のものを用いることができる。次に、絶縁膜 20501 上、半導体層 20502b 上及び導電膜 20506 上に、ゲート絶縁膜として、絶縁層 20503 が形成されている。次に、絶縁層 20503 上に、ゲート電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20504 が形成されている。次に、絶縁層 20503 上及び絶縁層 20503 上に形成された導電層 20504 上に、平坦化膜として、絶縁層 20507 が形成されている。なお、絶縁層 20507 には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、トランジスタ 20521 のドレイン電極の上面に形成されている。次に、絶縁層 20507 上に、画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20508 が形成されている。次に、絶縁層 20507 上及び導電層 20508 上に、配向膜として、絶縁層 20509 が形成されている。次に、絶縁膜 20514、絶縁膜 20513、導電膜 20512 及び絶縁膜 20511 などが形成された対向基板 20515 と、基板 20100 との隙間に、液晶層 20510 が配置されている。

【0589】

なお、図 69 及び図 70 では、絶縁層 20505 上及び絶縁層 20505 上に形成された導電膜 20506 上に、平坦膜として、絶縁層 20507 が形成されている場合の断面図について説明した。ただし、絶縁層 20507 は、図 71 に示すように、必ずしも必要ではない。

【0590】

なお、図 71 に示す断面図は、逆スタガ型のチャネルエッチ構造のトランジスタの場合について示しているが、逆スタガ型のチャネル保護構造のトランジスタの場合についても同様である。また、図 71 では、逆スタガ型のトランジスタの場合について示しているが、

トップゲート型トランジスタとしてもよい。トップゲート型トランジスタのトランジスタの場合の断面図を図 7 2 及び図 7 3 に示す。

【0591】

なお、図 7 2 に示す断面図の場合、絶縁膜 20501 上及び導電膜 20506 上に、画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20508 が形成されている。また、導電層 20508 は、導電膜 20506 を形成してから絶縁層 20503 を形成するまでに、形成される。

【0592】

なお、図 7 3 に示す断面図の場合、絶縁膜 20501 上に、画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20508 が形成されている。また、導電層 20508 は、絶縁膜 20501 の形成後、形成される。

10

【0593】

次に、半透過型の液晶パネルの断面図について、図 7 4 を参照して説明する。

【0594】

なお、図 7 4 の断面図は、トランジスタが半導体膜として多結晶半導体を用いた場合の液晶パネルの断面図である。ただし、トランジスタはボトムゲート型でもよいし、ダブルゲート型でもよい。また、トランジスタのゲート電極は、シングルゲート構造でもよいし、デュアルゲート構造でもよい。

【0595】

なお、図 7 4 は、導電膜 20506 が形成されるまでは、図 6 3 と同様である。したがって、導電膜 20506 が形成された後の工程及び構造について説明する。

20

【0596】

まず、絶縁層 20505 及び絶縁層 20505 上に形成された導電膜 20506 上に、液晶層 20510 の厚さ（いわゆるセルギャップ）を薄くするための膜として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、絶縁膜 21801 が形成されている。なお、絶縁膜 21801 としては、平坦性や被覆性がよいことが望ましいため、有機材料を用いて形成されることが多い。なお、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコン）の上に、有機材料が形成され、多層構造になっていてもよい。なお、絶縁膜 21801 には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、トランジスタ 20521 のドレイン電極の上面に形成されている。次に、絶縁層 20505 上及び絶縁層 20507 上に、第 1 の画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20508 a が形成されている。なお、導電層 20508 a としては、導電層 20508 と同様な光を透過する透明電極を用いることができる。次に、導電層 20508 a 上に、第 2 の画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20508 b が形成されている。なお、導電層 20508 b としては、導電層 20508 と同様な光を反射する反射電極を用いることができる。なお、導電層 20508 b が形成される領域を反射領域という。また、導電層 20508 a が形成されている領域のうち、導電層 20508 a 上に導電層 20508 b が形成されていない領域を透過領域という。次に、絶縁膜 21801 上、導電層 20508 a 及び導電層 20508 b 上に、配向膜として、絶縁層 20509 が形成されている。次に、絶縁膜 20514、絶縁膜 20513、導電膜 20512 及び絶縁膜 20511 などが形成された対向基板 20515 と、基板 20100 との隙間に、液晶層 20510 が配置されている。

30

40

【0597】

なお、図 7 4 では、導電層 20508 a が形成された後に導電層 20508 b が形成されているが、図 7 5 に示すように、導電層 20508 b が形成された後に導電層 20508 a が形成されていてもよい。

【0598】

なお、図 7 4 及び図 7 5 では、液晶層 20510（セルギャップ）を調整するための絶縁膜が導電層 20508 a の下及び導電層 20508 b の下に、形成されている。しかし、

50

図 76 のように絶縁膜 22001 が対向基板 20515 側に形成されていてもよい。絶縁膜 22001 は、絶縁膜 21801 と同様に、液晶層 20510（セルギャップ）を調整するための絶縁膜である。

【0599】

なお、図 76 では、平坦化膜として絶縁層 20507 が形成されている場合について説明したが、図 77 に示すように、絶縁層 20507 が形成されていなくてもよい。図 77 の場合は、反射画素電極として導電膜 20506 を用いることができる。もちろん、反射画素電極として、別の導電膜が形成されていてもよい。

【0600】

なお、絶縁膜 22001 は、導電膜 20512 と絶縁膜 20511 との間に形成されていてもよいし、絶縁膜 20511 と液晶層 20510 との間に形成されていてもよい。

10

【0601】

次に、半透過型の液晶パネルにおいて、トランジスタの半導体膜として多結晶半導体を用いられている場合の液晶パネルの断面図を図 78 に示す。

【0602】

なお、図 78 の断面図は、逆スタガ型のチャネルエッチ構造を用いたトランジスタを有する液晶パネルの断面図である。ただし、トランジスタは、トップゲート型でもよいし、逆スタガ型のチャネル保護構造を用いてもよい。

【0603】

なお、図 78 は、導電膜 20506 が形成されるまでは、図 78 と同様である。したがって、導電膜 20506 が形成された後の工程及び構造について説明する。

20

【0604】

まず、半導体層 20502 上、絶縁層 20503 及び導電膜 20506 上に、液晶層 20510 の厚さ（いわゆるセルギャップ）を薄くするための層として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、絶縁膜 22201 が形成されている。なお、絶縁膜 22201 としては、平坦性や被覆性がよいことが望ましいため、有機材料を用いて形成されることが多い。なお、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコン）の上に、有機材料が形成され、多層構造になっていてもよい。なお、絶縁膜 22201 には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、トランジスタ 20521 のドレイン電極の上面に形成されている。次に、絶縁層 20503 上及び絶縁膜 22201 上に、第 1 の画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20508a が形成されている。次に、導電層 20508a 上に、第 2 の画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層 20508b が形成されている。なお、導電層 20508b が形成される領域を反射領域という。また、導電層 20508a が形成されている領域のうち、導電層 20508a 上に導電層 20508b が形成されていない領域を透過領域という。次に、絶縁膜 22201 上、導電層 20508a 及び導電層 20508b 上に、配向膜として、絶縁層 20509 が形成されている。次に、絶縁膜 20514、絶縁膜 20513、導電膜 20512 及び絶縁膜 20511 などが形成された対向基板 20515 と、基板 20100 との隙間に、液晶層 20510 が配置されている。

30

40

【0605】

なお、図 78 では、導電層 20508a が形成された後に導電層 20508b が形成されているが、図 79 に示すように、導電層 20508b が形成された後に導電層 20508a が形成されていてもよい。

【0606】

なお、図 78 及び図 79 では、液晶層 20510（セルギャップ）を調整するための絶縁膜が導電層 20508a の下及び導電層 20508b の下に、形成されている。しかし、図 80 のように絶縁膜 22001 が対向基板 20515 側に形成されていてもよい。絶縁膜 22001 は、絶縁膜 22201 と同様に、液晶層 20510（セルギャップ）を調整するための絶縁膜である。

50

【0607】

なお、図79及び図80では、平坦化膜として絶縁層20507が形成されている場合について説明したが、図81に示すように、絶縁層20507が形成されていなくてもよい。図81の場合は、反射画素電極として導電膜20506を用いることができる。もちろん、反射画素電極として、別の導電膜が形成されていてもよい。

【0608】

なお、図61及び図63～図81では、液晶層20510に電圧を印加する一対の電極（導電層20508及び導電膜20512）を異なる基板上に形成した例を示した。しかし、導電膜20512が基板20100上に設けられていてもよい。こうして、液晶の駆動方式として、IPS（In-Plane-Switching）モードを用いることができる。また、液晶層20510によっては、2つの配向膜（絶縁層20509及び絶縁膜20511）の一方又は双方を省略することもできる。

【0609】

なお、図61及び図63～図81において、反射画素電極として、導電層20508（導電層20508b）が形成されているが、導電層20508の形状は凹凸となっていることが望ましい。なぜなら、反射画素電極は、外光を反射させて、表示を行うためのものである。反射電極に入ってきた外光を効率的に活用し、表示輝度を高めるために、反射電極で乱反射させることができるからである。なお、導電層20508の下の膜（絶縁層20505、絶縁層20507、絶縁膜21801又は絶縁膜22201など）の形状を凹凸にすることで、導電層20508の形状が凹凸になる。

【0610】

続いて、図61～図81で説明した液晶パネルを有する液晶表示装置について、図82を参照して説明する。

【0611】

まず、図82に示した液晶表示装置には、バックライトユニット22601、液晶パネル22607、第1の偏光子を含む層22608、第2の偏光子を含む層22609が設けられている。

【0612】

なお、液晶パネル22607は、本実施形態で説明したものと同様なものとすることができる。また、本実施形態の液晶パネルは、各画素にスイッチング素子が設けられたアクティブ型の構造について説明してきたが、図82の液晶パネルはパッシブ型の構造でもよい。

【0613】

バックライトユニット22601の構造について説明する。バックライトユニット22601は、拡散板22602、導光板22603、反射板22604、ランプリフレクタ22605、光源22606を有するように構成されている。光源22606としては冷陰極管、熱陰極管、発光ダイオード、無機EL又は有機ELなどが用いられ、光源22606は必要に応じて発光する機能を有する。ランプリフレクタ22605は、光源22606からの蛍光を効率よく導光板22603に導く機能を有する。導光板22603は、蛍光を全反射させて、全面に光を導く機能を有する。拡散板22602は、明度のムラを低減する機能を有する。反射板22604は、導光板22603から下方向（液晶パネル22607と反対方向）に漏れた光を反射して再利用する機能を有する。

【0614】

なお、拡散板22602と第2の偏光子を含む層22609との間に、プリズムシートを配置することで、本実施形態の液晶表示装置は液晶パネルの画面の明るさを向上させることができる。

【0615】

バックライトユニット22601には、光源22606の輝度を調整するための制御回路が接続されている。制御回路からの信号供給によって、光源22606の輝度を調整することができる。

【0616】

液晶パネル22607とバックライトユニット22601との間には第2の偏光子を含む層22609が設けられ、バックライトユニット22601とは反対方向の液晶パネル22607にも第1の偏光子を含む層22608が設けられている。

【0617】

なお、第1の偏光子を含む層22608と第2の偏光子を含む層22609とは、液晶パネル22607の液晶素子がTNモードで駆動する場合、クロスニコルになるように配置される。また、第1の偏光子を含む層22608と第2の偏光子を含む層22609とは、液晶パネル22607の液晶素子がVAモードで駆動する場合、クロスニコルになるように配置される。また、第1の偏光子を含む層22608と第2の偏光子を含む層22609とは、液晶パネル22607の液晶素子がIPSモード及びFFSモードで駆動する場合、クロスニコルになるように配置されていてもよいし、パラレルニコルになるように配置されていてもよい。

10

【0618】

第1の偏光子を含む層22608及び第2の偏光子を含む層22609の両方又は一方と、液晶パネル22607との間に位相差板を有していてもよい。

【0619】

なお、図85に示すように、第2の偏光子を含む層22609とバックライトユニット22601との間に、スリット（格子）22610を配置することで、本実施形態の液晶表示装置は3次元表示を行うことができる。

20

【0620】

バックライトユニット側に配置された開口部を有するスリット22610は、光源より入射された光をストライプ状にして透過し、表示装置へ入射させる。このスリット22610によって、視認側にいる視認者の両目に視差を作ることができ、視認者は右目では右目の画素だけを、左目では左目の画素だけを同時に見ることになる。よって、視認者は、3次元表示を見ることができる。つまり、スリット22610によって特定の視野角を与えられた光が右目用画像及び左目用画像のそれぞれに対応する画素を通過することで、右目用画像と左目用画像とが異なる視野角に分離され、3次元表示が行われる。

【0621】

図85の液晶表示装置を用いて、テレビジョン装置、携帯電話などの電子機器を作製すれば、3次元表示を行うことができる高機能でかつ高画質の電子機器を提供することができる。

30

【0622】

続いて、バックライトの詳細な構成について、図84を参照して説明する。バックライトは光源を有するバックライトユニットとして液晶表示装置に設けられ、バックライトユニットは効率よく光を散乱させるため、光源は反射板により囲まれている。

【0623】

図84（A）に示すように、バックライトユニット22852は、光源として冷陰極管22801を用いることができる。また、冷陰極管22801からの光を効率よく反射させるため、ランプリフレクタ22832を設けることができる。冷陰極管22801は、大型表示装置に用いることが多い。これは冷陰極管からの輝度の強度のためである。そのため、冷陰極管を有するバックライトユニットは、パーソナルコンピュータのディスプレイに用いることができる。

40

【0624】

図84（B）に示すように、バックライトユニット22852は、光源として発光ダイオード22802（LED）を用いることができる。例えば、白色に発する発光ダイオード22802（W）を所定の間隔に配置する。また、発光ダイオード22802（W）22802からの光を効率よく反射させるため、ランプリフレクタ22832を設けることができる。

【0625】

50

また図 8 4 (C) に示すように、バックライトユニット 2 2 8 5 2 は、光源として各色 R G B の発光ダイオード 2 2 8 0 3、2 2 8 0 4、2 2 8 0 5 を用いることができる。各色 R G B の発光ダイオード 2 2 8 0 3、2 2 8 0 4、2 2 8 0 5 を用いることにより、白色を発する発光ダイオード 2 2 8 0 2 (W) のみと比較して、色再現性を高くすることができる。また、発光ダイオードからの光を効率よく反射させるため、ランプリフレクタ 2 2 8 3 2 を設けることができる。

【0 6 2 6】

またさらに図 8 4 (D) に示すように、光源として各色 R G B の発光ダイオード 2 2 8 0 3、2 2 8 0 4、2 2 8 0 5 を用いる場合、それらの数や配置を同じとする必要はない。例えば、発光強度の低い色（例えば緑）を複数配置してもよい。

10

【0 6 2 7】

さらに白色を発する発光ダイオード 2 2 8 0 2 と、各色 R G B の発光ダイオード 2 2 8 0 3、2 2 8 0 4、2 2 8 0 5 とを組み合わせて用いてもよい。

【0 6 2 8】

なお、R G B の発光ダイオードを有する場合、フィールドシーケンシャルモードを適用すると、時間に応じて R G B の発光ダイオードを順次点灯させることによりカラー表示を行うことができる。

【0 6 2 9】

発光ダイオードを用いると、輝度が高いため、大型表示装置に適する。また、R G B 各色の色純度が良いため冷陰極管と比べて色再現性に優れており、配置面積を小さくすることができるため、小型表示装置に適応すると、狭額縁化を図ることができる。

20

【0 6 3 0】

また、光源を必ずしも図 8 4 に示すバックライトユニットとして配置する必要はない。例えば、大型表示装置に発光ダイオードを有するバックライトを搭載する場合、発光ダイオードは該基板の背面に配置することができる。このとき発光ダイオードは、所定の間隔を維持し、各色の発光ダイオードを順に配置させることができる。発光ダイオードの配置により、色再現性を高めることができる。

【0 6 3 1】

続いて、偏光子を含む層（偏光板又は偏光フィルムともいう）の一例について、図 8 6 を参照して説明する。

30

【0 6 3 2】

図 8 6 の偏光フィルム 2 3 0 0 0 は、保護フィルム 2 3 0 0 1、基板フィルム 2 3 0 0 2、P V A 偏光フィルム 2 3 0 0 3、基板フィルム 2 3 0 0 4、粘着剤層 2 3 0 0 5 及び離型フィルム 2 3 0 0 6 を有するように構成されている。

【0 6 3 3】

P V A 偏光フィルム 2 3 0 0 3 は、ある振動方向だけの光（直線偏光）を作り出す機能を有する。具体的には、P V A 偏光フィルム 2 3 0 0 3 は、電子の密度が縦と横で大きく異なる分子（偏光子）を含んでいる。P V A 偏光フィルム 2 3 0 0 3 は、この電子の密度が縦と横で大きく異なる分子の方向を揃えることで、直線偏光を作り出すことができる。

【0 6 3 4】

40

一例として、P V A 偏光フィルム 2 3 0 0 3 は、ポリビニールアルコール（P o l y V i n y l A l c o h o l）の高分子フィルムに、ヨウ素化合物をドーブし、P V A フィルムをある方向に引っ張ることで、一定方向にヨウ素分子の並んだフィルムを得ることができる。そして、ヨウ素分子の長軸と平行な光は、ヨウ素分子に吸収される。また、高耐久用途及び高耐熱用途として、ヨウ素の代わりに 2 色性の染料が用いてもよい。なお、染料は、車載用 L C D やプロジェクタ用 L C D などの耐久性、耐熱性が求められる液晶表示装置に用いられることが望ましい。

【0 6 3 5】

P V A 偏光フィルム 2 3 0 0 3 は、両側を基材となるフィルム（基板フィルム 2 3 0 0 2 及び基板フィルム 3 6 0 4）で挟むことで、信頼性を増すことができる。また、P V A 偏

50

光フィルム 23003 は、高透明性、高耐久性のトリアセチルロース（TAC）フィルムによって挟まれていてもよい。なお、基板フィルム及び TAC フィルムは、PVA 偏光フィルム 23003 が有する偏光子の保護層として機能する。

【0636】

一方の基板フィルム（基板フィルム 23004）には、液晶パネルのガラス基板に貼るための粘着剤層 23005 が貼られている。なお、粘着剤層 23005 は、粘着剤を片側の基板フィルム（基板フィルム 23004）に塗布することで形成される。また、粘着剤層 23005 には、離形フィルム 23006（セパレートフィルム）が備えられている。

【0637】

他方の基板フィルム（基板フィルム 23002）には、保護フィルムが備えられている。

10

【0638】

なお、偏光フィルム 23000 表面に、ハードコート散乱層（アンチグレア層）が備えられていてもよい。ハードコート散乱層は、AG 処理によって表面に微細な凹凸が形成されており、外光を散乱させる防眩機能を有するため、液晶パネルへの外光の映り込みや表面反射を防ぐことができる。

【0639】

また、偏光フィルム 23000 表面に、複数の屈折率の異なる光学薄膜層を多層化（アンチリフレクション処理、若しくは AR 処理ともいう）してもよい。多層化された複数の屈折率のことになる光学薄膜層は、光の干渉効果によって表面の反射率を低減することができる。

20

【0640】

続いて、液晶表示装置が有する各回路の動作について、図 83 を参照して説明する。

【0641】

図 83 には、表示装置の画素部 22705 及び駆動回路部 22708 のシステムブロック図を示す。

【0642】

画素部 22705 は、複数の画素を有し、各画素となる信号線 22712 と、走査線 22710 との交差領域には、スイッチング素子が設けられている。スイッチング素子により液晶分子の傾きを制御するための電圧の印加を制御することができる。このように各交差領域にスイッチング素子が設けられた構造をアクティブ型と呼ぶ。本実施の形態の画素部は、このようなアクティブ型に限定されず、パッシブ型の構成を有してもよい。パッシブ型は、各画素にスイッチング素子がないため、工程が簡便である。

30

【0643】

駆動回路部 22708 は、制御回路 22702、信号線駆動回路 22703、走査線駆動回路 22704 を有する。映像信号 22701 が入力される制御回路 22702 は、画素部 22705 の表示内容に応じて、階調制御を行う機能を有する。そのため、制御回路 22702 は、生成された信号を信号線駆動回路 22703 及び走査線駆動回路 22704 に入力する。そして、走査線駆動回路 22704 に基づき、走査線 22710 を介してスイッチング素子が選択されると、選択された交差領域の画素電極に電圧が印加される。この電圧の値は、信号線駆動回路 22703 から信号線を介して入力される信号に基づき決定される。

40

【0644】

さらに、制御回路 22702 では、照明手段 22706 へ供給する電力を制御する信号が生成され、該信号は、照明手段 22706 の電源 22707 に入力される。照明手段には、上記実施の形態で示したバックライトユニットを用いることができる。なお照明手段はバックライト以外にフロントライトもある。フロントライトとは、画素部の前面側に取り付け、全体を照らす発光体および導光体で構成された板状のライトユニットである。このような照明手段により、低消費電力で、均等に画素部を照らすことができる。

【0645】

図 83（B）に示すように走査線駆動回路 22704 は、シフトレジスタ 22741、レ

50

ベルシフタ 2 2 7 4 2、バッファ 2 2 7 4 3として機能する回路を有する。シフトレジスタ 2 2 7 4 1にはゲートスタートパルス（G S P）、ゲートクロック信号（G C K）等の信号が入力される。なお、本実施の形態の走査線駆動回路は、図 8 3（B）に示す構成に限定されない。

【0646】

また図 8 3（C）に示すように信号線駆動回路 2 2 7 0 3は、シフトレジスタ 2 2 7 3 1、第 1 のラッチ 2 2 7 3 2、第 2 のラッチ 2 2 7 3 3、レベルシフタ 2 2 7 3 4、バッファ 2 2 7 3 5として機能する回路を有する。バッファ 2 2 7 3 5として機能する回路とは、弱い信号を増幅させる機能を有する回路であり、オペアンプ等を有する。レベルシフタ 2 2 7 3 4には、スタートパルス（S S P）等の信号が、第 1 のラッチ 2 2 7 3 2にはビデオ信号等のデータ（D A T A）が入力される。第 2 のラッチ 2 2 7 3 3にはラッチ（L A T）信号を一時保持することができ、一斉に画素部 2 2 7 0 5へ入力させる。これを線順次駆動と呼ぶ。そのため、線順次駆動ではなく、点順次駆動を行う画素であれば、第 2 のラッチは不要とすることができる。このように、本実施の形態の信号線駆動回路は図 8 3（C）に示す構成に限定されない。

【0647】

このような信号線駆動回路 2 2 7 0 3、走査線駆動回路 2 2 7 0 4、画素部 2 2 7 0 5は、同一基板状に設けられた半導体素子によって形成することができる。半導体素子は、ガラス基板に設けられた薄膜トランジスタを用いて形成することができる。この場合、半導体素子には結晶性半導体膜を適用するとよい。結晶性半導体膜は、電気特性、特に移動度が高いため、駆動回路部が有する回路を構成することができる。また、信号線駆動回路 2 2 7 0 3や走査線駆動回路 2 2 7 0 4は、I C（I n t e g r a t e d C i r c u i t）チップを用いて、基板上に実装することもできる。この場合、画素部の半導体素子には非晶質半導体膜を適用することができる。

【0648】

ここで、本実施形態の液晶表示モジュールを図 8 7（A）及び図 8 7（B）を用いて説明する。

【0649】

図 8 7（A）は液晶表示モジュールの一例であり、T F T基板 2 3 1 0 0と対向基板 2 3 1 0 1がシール材 2 3 1 0 2により固着され、その間にT F T等を含む画素部 2 3 1 0 3と液晶層 2 3 1 0 4が設けられ表示領域を形成している。着色層 2 3 1 0 5はカラー表示を行う場合に必要であり、R G B方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。T F T基板 2 3 1 0 0と対向基板 2 3 1 0 1の外側には第 1 の偏光子を含む層 2 3 1 0 6、第 2 の偏光子を含む層 2 3 1 0 7、拡散板 2 3 1 1 3が配設されている。光源は冷陰極管 2 3 1 1 0と反射板 2 3 1 1 1により構成され、回路基板 2 3 1 1 2は、フレキシブル配線基板 2 3 1 0 9によりT F T基板 2 3 1 0 0と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。

【0650】

T F T基板 2 3 1 0 0と光源であるバックライトの間には第 2 の偏光子を含む層 2 3 1 0 7が積層して設けられ、対向基板 2 3 1 0 1にも第 1 の偏光子を含む層 2 3 1 0 6が積層して設けられている。一方、第 2 の偏光子を含む層 2 3 1 0 7の吸収軸と、視認側に設けられた第 1 の偏光子を含む層 2 3 1 0 6の吸収軸とは、クロスニコルになるように配置される。

【0651】

積層された第 2 の偏光子を含む層 2 3 1 0 7や積層された第 1 の偏光子を含む層 2 3 1 0 6は、T F T基板 2 3 1 0 0、対向基板 2 3 1 0 1に接着されている。また積層された偏光子を含む層と、基板との間に位相差板を有した状態で積層してもよい。また、必要に応じて、視認側である第 1 の偏光子を含む層 2 3 1 0 6には反射防止処理を施してもよい。

【0652】

液晶表示モジュールには、T N（T w i s t e d N e m a t i c）モード、I P S（I

10

20

30

40

50

n-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment)、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal)、PDLC (Polymer Dispersed Liquid Crystal) モードなどを用いることができる。

【0653】

10

図87(B)は図87(A)の液晶表示モジュールにOCBモードを適用した一例であり、FS-LCD (Field sequential-LCD) となっている。FS-LCDは、1フレーム期間に赤色発光と緑色発光と青色発光をそれぞれ行うものであり、時間分割を用いて画像を合成しカラー表示を行うことが可能である。また、各発光を発光ダイオードまたは冷陰極管等で行うので、カラーフィルターが不要である。よって、3原色のカラーフィルターを並べ、各色の表示領域を限定する必要がなく、どの領域でも3色全ての表示を行うことができる。一方、1フレーム期間に3色の発光を行うため、液晶の高速な応答が求められる。本実施の形態の表示装置に、FS方式を用いたFLCモード及びOCBモードを適用し、高性能で高画質な表示装置、また液晶テレビジョン装置を完成させることができる。

20

【0654】

OCBモードの液晶層は、いわゆる π セル構造を有している。 π セル構造とは、液晶分子のプレチルト角がアクティブマトリクス基板と対向基板との基板間の中心面に対して面対称の関係で配向された構造である。 π セル構造の配向状態は、基板間に電圧が印加されていない時はスプレィ配向となり、電圧を印加するとベンド配向に移行する。このベンド配向が白表示となる。さらに電圧を印加するとベンド配向の液晶分子が両基板と垂直に配向し、光が透過しない状態となる。なお、OCBモードにすると、従来のTNモードより約10倍速い高速応答性を実現できる。

【0655】

また、FS方式に対応するモードとして、高速動作が可能な強誘電性液晶 (FLC: Ferroelectric Liquid Crystal) を用いたHV (Half V) -FLC、SS (Surface Stabilized) -FLCなども用いることができる。

30

【0656】

また、液晶表示モジュールのセルギャップを狭くすることで、液晶表示モジュールの光学応答速度を高速化することができる。また、液晶材料の粘度を下げることで高速化できる。高速化は、TNモードの液晶表示モジュールの画素領域の画素ピッチが $30\mu\text{m}$ 以下の場合に、より効果的である。また、液晶層にかかる印加電圧を本来の電圧よりも一瞬だけ高く (または低く) するオーバードライブを用いることで、高速化を行なってもよい。

【0657】

40

図87(B)の液晶表示モジュールは透過型の液晶表示モジュールを示しており、光源として赤色光源23190a、緑色光源23190b、青色光源23190cが設けられている。光源は赤色光源23190a、緑色光源23190b、青色光源23190cのそれぞれオンオフを制御するために、制御部23199が設置されている。制御部23199によって、各色の発光は制御され、液晶に光は入射し、時間分割を用いて画像を合成し、カラー表示が行われる。

【0658】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

【0659】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施す

50

ることができる。

【0660】

(実施の形態10)

本実施形態においては、本実施の形態を実施できる表示装置の駆動方法について説明する。特に、液晶表示装置の駆動方法について説明する。

【0661】

まず、オーバードライブ駆動について、図88を参照して説明する。図88の(A)は、表示素子の、入力電圧に対する出力輝度の時間変化を表したものである。破線で表した入力電圧30121に対する表示素子の出力輝度の時間変化は、同じく破線で表した出力輝度30123のようになる。すなわち、目的の出力輝度 L_o を得るための電圧は V_i であるが、入力電圧として V_i をそのまま入力した場合は、目的の出力輝度 L_o に達するまでに、素子の応答速度に対応した時間を要してしまう。

10

【0662】

オーバードライブ駆動は、この応答速度を速めるための技術である。具体的には、まず、 V_i よりも大きい電圧である V_o を素子に一定時間与えることで出力輝度の応答速度を高めて、目的の出力輝度 L_o に近づけた後に、入力電圧を V_i に戻す、という方法である。このときの入力電圧は入力電圧30122、出力輝度は出力輝度30124に表したようになる。出力輝度30124のグラフは、目的の輝度 L_o に至るまでの時間が、出力輝度30123のグラフよりも短くなっている。

【0663】

20

なお、図88の(A)においては、入力電圧に対し出力輝度が正の変化をする場合について述べたが、入力電圧に対し出力輝度が負の変化をする場合も、本実施の形態は含んでいる。

【0664】

このような駆動を実現するための回路について、図88の(B)および図88の(C)を参照して説明する。まず、図88の(B)を参照して、入力映像信号30131がアナログ値(離散値でもよい)をとる信号であり、出力映像信号30132もアナログ値をとる信号である場合について説明する。図88の(B)に示すオーバードライブ回路は、符号化回路30101、フレームメモリ30102、補正回路30103、DA変換回路30104、を備える。

30

【0665】

入力映像信号30131は、まず、符号化回路30101に入力され、符号化される。つまり、アナログ信号から、適切なビット数のデジタル信号に変換される。その後、変換されたデジタル信号は、フレームメモリ30102と、補正回路30103と、にそれぞれ入力される。補正回路30103には、フレームメモリ30102に保持されていた前フレームの映像信号も、同時に入力される。そして、補正回路30103において、当該フレームの映像信号と、前フレームの映像信号から、あらかじめ用意された数値テーブルにしたがって、補正された映像信号を出力する。このとき、補正回路30103に出力切替信号30133を入力し、補正された映像信号と、当該フレームの映像信号を切替えて出力できるようにしてもよい。次に、補正された映像信号または当該フレームの映像信号は、DA変換回路30104に入力される。そして、補正された映像信号または当該フレームの映像信号にしたがった値のアナログ信号である出力映像信号30132が出力される。このようにして、オーバードライブ駆動が実現できる。

40

【0666】

次に、図88の(C)を参照して、入力映像信号30131がデジタル値をとる信号であり、出力映像信号30132もデジタル値をとる信号である場合について説明する。図88の(C)に示すオーバードライブ回路は、フレームメモリ30112、補正回路30113、を備える。

【0667】

入力映像信号30131は、デジタル信号であり、まず、フレームメモリ30112と、

50

補正回路 30113 と、にそれぞれ入力される。補正回路 30113 には、フレームメモリ 30112 に保持されていた前フレームの映像信号も、同時に入力される。そして、補正回路 30113 において、当該フレームの映像信号と、前フレームの映像信号から、あらかじめ用意された数値テーブルにしたがって、補正された映像信号を出力する。このとき、補正回路 30113 に出力切替信号 30133 を入力し、補正された映像信号と、当該フレームの映像信号を切替えて出力できるようにしてもよい。このようにして、オーバードライブ駆動が実現できる。

【0668】

なお、本実施の形態におけるオーバードライブ回路は、入力映像信号 30131 がアナログ信号であり、出力映像信号 30132 がデジタル信号である場合も含む。このときは、図 88 の (B) に示した回路から、DA 変換回路 30104 を省略すればよい。また、本実施の形態におけるオーバードライブ回路は、入力映像信号 30131 がデジタル信号であり、出力映像信号 30132 がアナログ信号である場合も含む。このときは、図 88 の (B) に示した回路から、符号化回路 30101 を省略すればよい。

【0669】

次に、コモン線の電位を操作する駆動について、図 89 を参照して説明する。図 89 の (A) は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線一本に対し、コモン線が 1 本配置されているときの、複数の画素回路を表した図である。図 89 の (A) に示す画素回路は、トランジスタ 30201、補助容量 30202、表示素子 30203、映像信号線 30204、走査線 30205、コモン線 30206、を備えている。

【0670】

トランジスタ 30201 のゲート電極は、走査線 30205 に電氣的に接続され、トランジスタ 30201 のソース電極またはドレイン電極の一方は、映像信号線 30204 に電氣的に接続され、トランジスタ 30201 のソース電極またはドレイン電極の他方は、補助容量 30202 の一方の電極、および表示素子 30203 の一方の電極に電氣的に接続されている。また、補助容量 30202 の他方の電極は、コモン線 30206 に電氣的に接続されている。

【0671】

まず、走査線 30205 によって選択された画素は、トランジスタ 30201 がオンとなるため、それぞれ、映像信号線 30204 を介して、表示素子 30203 および補助容量 30202 に映像信号に対応した電圧がかかる。このとき、その映像信号が、コモン線 30206 に接続された全ての画素に対して最低階調を表示させるものだった場合、または、コモン線 30206 に接続された全ての画素に対して最高階調を表示させるものだった場合は、画素にそれぞれ映像信号線 30204 を介して映像信号を書き込む必要はない。映像信号線 30204 を介して映像信号を書き込む代わりに、コモン線 30206 の電位を動かすことで、表示素子 30203 にかかる電圧を変えることができる。

【0672】

次に、図 89 の (B) は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線一本に対し、コモン線が 2 本配置されているときの、複数の画素回路を表した図である。図 89 の (B) に示す画素回路は、トランジスタ 30211、補助容量 30212、表示素子 30213、映像信号線 30214、走査線 30215、第 1 のコモン線 30216、第 2 のコモン線 30217、を備えている。

【0673】

トランジスタ 30211 のゲート電極は、走査線 30215 に電氣的に接続され、トランジスタ 30211 のソース電極またはドレイン電極の一方は、映像信号線 30214 に電氣的に接続され、トランジスタ 30211 のソース電極またはドレイン電極の他方は、補助容量 30212 の一方の電極、および表示素子 30213 の一方の電極に電氣的に接続されている。また、補助容量 30212 の他方の電極は、第 1 のコモン線 30216 に電氣的に接続されている。また、当該画素と隣接する画素においては、補助容量 30212

の他方の電極は、第2のコモン線30217に電氣的に接続されている。

【0674】

図89の(B)に示す画素回路は、コモン線一本に対し電氣的に接続されている画素が少ないため、映像信号線30214を介して映像信号を書き込む代わりに、第1のコモン線30216または第2のコモン線30217の電位を動かすことで、表示素子30213にかかる電圧を変えることができる頻度が、顕著に大きくなる。また、ソース反転駆動またはドット反転駆動が可能になる。ソース反転駆動またはドット反転駆動により、素子の信頼性を向上させつつ、フリッカを抑えることができる。

【0675】

次に、走査型バックライトについて、図90を参照して説明する。図90の(A)は、冷陰極管を並置した走査型バックライトを示す図である。図90の(A)に示す走査型バックライトは、拡散板30301と、N個の冷陰極管30302-1から30302-Nと、を備える。N個の冷陰極管30302-1から30302-Nを、拡散板30301の後ろに並置することで、N個の冷陰極管30302-1から30302-Nは、その輝度を変化させて走査することができる。

10

【0676】

走査するときの各冷陰極管の輝度の変化を、図90の(C)を用いて説明する。まず、冷陰極管30302-1の輝度を、一定時間変化させる。そして、その後に、冷陰極管30302-1の隣に配置された冷陰極管30302-2の輝度を、同じ時間だけ変化させる。このように、冷陰極管30302-1から30302-Nまで、輝度を順に変化させる。なお、図90の(C)においては、一定時間変化させる輝度は、元の輝度より小さいものとしたが、元の輝度より大きくてもよい。また、冷陰極管30302-1から30302-Nまで走査するものとしたが、逆方向に冷陰極管30302-Nから30302-1まで走査してもよい。

20

【0677】

図90のように駆動することで、バックライトの平均輝度を小さくすることができる。したがって、液晶表示装置の消費電力の大部分を占める、バックライトの消費電力を低減することができる。

【0678】

なお、走査型バックライトの光源として、LEDを用いてもよい。その場合の走査型バックライトは、図90の(B)のようになる。図90の(B)に示す走査型バックライトは、拡散板30311と、LEDを並置した光源30312-1から30312-Nと、を備える。走査型バックライトの光源として、LEDを用いた場合、バックライトを薄く、軽くできる利点がある。また、色再現範囲を広げることができるという利点がある。さらに、LEDを並置した光源30312-1から30312-Nのそれぞれに並置したLEDも、同様に走査することができるので、点走査型のバックライトとすることもできる。点走査型とすれば、動画像の画質をさらに向上させることができる。

30

【0679】

なお、バックライトの光源としてLEDを用いた場合も、図90の(C)に示すように輝度を変化させて駆動することができる。

40

【0680】

次に、高周波駆動について、図91を参照して説明する。図91の(A)は、1フレーム期間30400に1つの画像および1つの中間画像を表示するときの図である。30401は当該フレームの画像、30402は当該フレームの中間画像、30403は次フレームの画像、30404は次フレームの中間画像である。

【0681】

なお、当該フレームの中間画像30402は、当該フレームおよび次フレームの映像信号を元に作成された画像であってもよい。また、当該フレームの中間画像30402は、当該フレームの画像30401から作成された画像であってもよい。また、当該フレームの中間画像30402は、黒画像であってもよい。こうすることで、ホールド型表示装置の

50

動画像の画質を向上できる。また、1フレーム期間30400に1つの画像および1つの中間画像を表示する場合は、映像信号のフレームレートと整合性が取り易く、画像処理回路が複雑にならないという利点がある。

【0682】

図91の(B)は、1フレーム期間30400が2つ連続する期間(2フレーム期間)に1つの画像および2つの中間画像を表示するときの図である。30411は当該フレームの画像、30412は当該フレームの中間画像、30413は次フレームの中間画像、30414は次々フレームの画像である。

【0683】

なお、当該フレームの中間画像30412および次フレームの中間画像30413は、当該フレーム、次フレーム、次々フレームの映像信号を元に作成された画像であってもよい。また、当該フレームの中間画像30412および次フレームの中間画像30413は、黒画像であってもよい。2フレーム期間に1つの画像および2つの中間画像を表示する場合は、周辺駆動回路の動作周波数をそれほど高速化することなく、効果的に動画像の画質を向上できるという利点がある。

【0684】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

【0685】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。

【0686】

(実施の形態11)

本実施形態においては、本実施の形態を実施できる表示装置の画素構造について説明する。特に、有機EL素子を用いた表示装置の画素構造について説明する。

【0687】

図92(A)に、1つの画素に2つのTF Tを有する画素の素子のレイアウト例を示す。また、図92(A)において、X-X'で示される部分の断面図を図92(B)に示す。

【0688】

図92(A)に示すように、本実施の形態における画素は、第1のTF T 60105、第1の配線60106、第2の配線60107、第2のTF T 60108、第3の配線60111、対向電極60112、コンデンサ60113、画素電極60115、隔壁60116、有機導電体膜60117、有機薄膜60118、基板60119を有していてもよい。なお、第1のTF T 60105はスイッチング用TF Tとして、第1の配線60106はゲート信号線として、第2の配線60107はソース信号線として、第2のTF T 60108は駆動用TF Tとして、第3の配線60111は電流供給線として、それぞれ用いられるのが好適である。

【0689】

図92(A)に示すように、第1のTF T 60105のゲート電極は、第1の配線60106と電氣的に接続され、第1のTF T 60105のソース電極またはドレイン電極の一方は、第2の配線60107と電氣的に接続され、第1のTF T 60105のソース電極またはドレイン電極の他方は、第2のTF T 60108のゲート電極およびコンデンサ60113の一方の電極と電氣的に接続されているのが好適である。なお、第1のTF T 60105のゲート電極は、図92(A)に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第1のTF T 60105のオフ状態におけるリーク電流を低減することができる。

【0690】

また、第2のTF T 60108のソース電極またはドレイン電極の一方は、第3の配線60111と電氣的に接続され、第2のTF T 60108のソース電極またはドレイン電極の他方は、画素電極60115と電氣的に接続されているのが好適である。こうすることで、画素電極60115に流れる電流を、第2のTF T 60108によって制御すること

ができる。

【0691】

画素電極60115上には、有機導電体膜60117が設けられ、さらに有機薄膜60118（有機化合物層）設けられていてもよい。有機薄膜60118（有機化合物層）上には、対向電極60112が設けられていてもよい。なお、対向電極60112は、全ての画素で共通に接続されるように、ベタ付けの形で形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【0692】

有機薄膜60118（有機化合物層）から発せられた光は、画素電極60115もしくは対向電極60112のうちいずれかを透過して発せられる。このとき、図92（B）において、画素電極側、すなわちTF T等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。

10

【0693】

下面放射の場合、画素電極60115は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極60112は透明導電膜によって形成されるのが好適である。

【0694】

また、カラー表示の発光装置においては、R、G、Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子をベタ付けの形で塗り、カラーフィルタによってR・G・Bの発光を得るようにしても良い。

20

【0695】

なお、図92に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関して、図92に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、LEDのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【0696】

次に、図93（A）を参照して、1つの画素に3つのTF Tを有する画素の素子のレイアウト例について説明する。また、図93（A）において、X-X'で示される部分の断面図を図93（B）に示す。

【0697】

図93（A）に示すように、本実施の形態における画素は、基板60200、第1の配線60201、第2の配線60202、第3の配線60203、第4の配線60204、第1のTF T60205、第2のTF T60206、第3のTF T60207、画素電極60208、隔壁60211、有機導電体膜60212、有機薄膜60213、対向電極60214、を有していてもよい。なお、第1の配線60201はソース信号線として、第2の配線60202は書込用ゲート信号線として、第3の配線60203は消去用ゲート信号線として、第4の配線60204は電流供給線として、第1のTF T60205はスイッチング用TF Tとして、第2のTF T60206は消去用TF Tとして、第3のTF T60207は駆動用TF Tとして、それぞれ用いられるのが好適である。

30

【0698】

図93（A）に示すように、第1のTF T60205のゲート電極は、第2の配線60202と電氣的に接続され、第1のTF T60205のソース電極またはドレイン電極の一方は、第1の配線60201と電氣的に接続され、第1のTF T60205のソース電極またはドレイン電極の他方は、第3のTF T60207のゲート電極と電氣的に接続されているのが好適である。なお、第1のTF T60205のゲート電極は、図93（A）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第1のTF T60205のオフ状態におけるリーク電流を低減することができる。

40

【0699】

また、第2のTF T60206のゲート電極は、第3の配線60203と電氣的に接続され、第2のTF T60206のソース電極またはドレイン電極の一方は、第4の配線60

50

204と電氣的に接続され、第2のTF T 60206のソース電極またはドレイン電極の他方は、第3のTF T 60207のゲート電極と電氣的に接続されているのが好適である。なお、第2のTF T 60206のゲート電極は、図93(A)に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第2のTF T 60206のオフ状態におけるリーク電流を低減することができる。

【0700】

また、第3のTF T 60207のソース電極またはドレイン電極の一方は、第4の配線60204と電氣的に接続され、第3のTF T 60207のソース電極またはドレイン電極の他方は、画素電極60208と電氣的に接続されているのが好適である。こうすることで、画素電極60208に流れる電流を、第3のTF T 60207によって制御することができる。

10

【0701】

画素電極60208上には、有機導電体膜60212が設けられ、さらに有機薄膜60213(有機化合物層)が設けられていてもよい。有機薄膜60213(有機化合物層)上には、対向電極60214が設けられていてもよい。なお、対向電極60214は、全ての画素で共通に接続されるように、ベタ付けの形で形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【0702】

有機薄膜60213(有機化合物層)から発せられた光は、画素電極60208もしくは対向電極60214のうちいずれかを透過して発せられる。このとき、図93(B)において、画素電極側、すなわちTF T等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。

20

【0703】

下面放射の場合、画素電極60208は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極60214は透明導電膜によって形成されるのが好適である。

【0704】

また、カラー表示の発光装置においては、R、G、Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子をベタ付けの形で塗り、カラーフィルタによってR、G、Bの発光を得るようにしても良い。

30

【0705】

なお、図93に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関して、図93に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、LEDのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【0706】

次に、図94(A)を参照して、1つの画素に4つのTF Tを有する画素の素子のレイアウト例について説明する。また、図94(A)において、X-X'で示される部分の断面図を図94(B)に示す。

【0707】

図94(A)に示すように、本実施の形態における画素は、基板60300、第1の配線60301、第2の配線60302、第3の配線60303、第4の配線60304、第1のTF T 60305、第2のTF T 60306、第3のTF T 60307、第4のTF T 60308、画素電極60309、第5の配線60311、第6の配線60312、隔壁60321、有機導電体膜60322、有機薄膜60323、対向電極60324、を有していてもよい。なお、第1の配線60301はソース信号線として、第2の配線60302は書込用ゲート信号線として、第3の配線60303は消去用ゲート信号線として、第4の配線60304は逆方向バイアス用信号線として、第1のTF T 60305はスイッチング用TF Tとして、第2のTF T 60306は消去用TF Tとして、第3のTF T 60307は駆動用TF Tとして、第4のTF T 60308は逆方向バイアス用TF T

40

50

として、第5の配線60311は電流供給線として、第6の配線60312は逆方向バイアス用電源線として、それぞれ用いられるのが好適である。

【0708】

図94(A)に示すように、第1のTFT60305のゲート電極は、第2の配線60302と電氣的に接続され、第1のTFT60305のソース電極またはドレイン電極の一方は、第1の配線60301と電氣的に接続され、第1のTFT60305のソース電極またはドレイン電極の他方は、第3のTFT60307のゲート電極と電氣的に接続されているのが好適である。なお、第1のTFT60305のゲート電極は、図94(A)に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第1のTFT60305のオフ状態におけるリーク電流を低減することができる。

10

【0709】

第2のTFT60306のゲート電極は、第3の配線60303と電氣的に接続され、第2のTFT60306のソース電極またはドレイン電極の一方は、第5の配線60311と電氣的に接続され、第2のTFT60306のソース電極またはドレイン電極の他方は、第3のTFT60307のゲート電極と電氣的に接続されているのが好適である。なお、第2のTFT60306のゲート電極は、図94(A)に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第2のTFT60306のオフ状態におけるリーク電流を低減することができる。

【0710】

第3のTFT60307のソース電極またはドレイン電極の一方は、第5の配線60311と電氣的に接続され、第3のTFT60307のソース電極またはドレイン電極の他方は、画素電極60309と電氣的に接続されているのが好適である。こうすることで、画素電極60309に流れる電流を、第3のTFT60307によって制御することができる。

20

【0711】

第4のTFT60308のゲート電極は、第4の配線60304と電氣的に接続され、第4のTFT60308のソース電極またはドレイン電極の一方は、第6の配線60312と電氣的に接続され、第4のTFT60308のソース電極またはドレイン電極の他方は、画素電極60309と電氣的に接続されているのが好適である。こうすることで、画素電極60309の電位を、第4のTFT60308によって制御することができるので、有機導電体膜60322および有機薄膜60323に、逆方向のバイアスを印加することができる。有機導電体膜60322および有機薄膜60323などで構成される発光素子に逆方向のバイアスを印加することによって、発光素子の信頼性を大きく向上させることができる。

30

【0712】

たとえば、直流電圧(3.65V)で駆動した場合の輝度半減時間が400時間程度である発光素子を、交流電圧(順方向バイアス:3.7V、逆方向バイアス:1.7V、デューティ50%、交流周波数60Hz)で駆動すると、輝度半減時間は700時間以上となることがわかっている。

【0713】

画素電極60309上には、有機導電体膜60322が設けられ、さらに有機薄膜60323(有機化合物層)が設けられていてもよい。有機薄膜60323(有機化合物層)上には、対向電極60324が設けられていてもよい。なお、対向電極60324は、全ての画素で共通に接続されるように、ベタ付けの形で形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

40

【0714】

有機薄膜60323(有機化合物層)から発せられた光は、画素電極60309もしくは対向電極60324のうちいずれかを透過して発せられる。このとき、図94(B)において、画素電極側、すなわちTFT等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。

50

【0715】

下面放射の場合、画素電極60309は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極60324は透明導電膜によって形成されるのが好適である。

【0716】

カラー表示の発光装置においては、R、G、Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子をベタ付けの形で塗り、カラーフィルタによってR、G、Bの発光を得るようにしても良い。

【0717】

なお、図94に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関して、図94に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、LEDのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

10

【0718】

次に、本実施の形態に適用できるEL素子の構造について説明する。

【0719】

本実施の形態に適用できるEL素子は、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層等が、明確に区別されるような積層構造ではなく、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料等の材料のうち、複数の材料が混合された層（混合層）を有する構成（以下、混合接合型のEL素子と表記する）でもよい。

20

【0720】

混合接合型のEL素子の構造を示す模式図を、図95に示す。図95において、60401はEL素子の陽極である。60402はEL素子の陰極である。陽極60401と陰極60402の間に挟まれた層が、EL層に相当する。

【0721】

図95（A）において、EL層は、正孔輸送材料からなる正孔輸送領域60403と、電子輸送材料からなる電子輸送領域60404とを含み、正孔輸送領域60403は電子輸送領域60404よりも陽極側に位置し、且つ、正孔輸送領域60403と、電子輸送領域60404の間に、前記正孔輸送材料及び前記電子輸送材料の両方を含む混合領域60405が設けられた構成とすることができる。

30

【0722】

なお、陽極60401から陰極60402の方向に、混合領域60405内の前記正孔輸送材料の濃度は減少し、混合領域60405内の電子輸送材料の濃度は増加することを特徴としても良い。

【0723】

なお、上記構成において、正孔輸送材料のみからなる正孔輸送領域60403が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域60405内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、正孔輸送材料のみからなる正孔輸送領域60403及び電子輸送材料のみからなる電子輸送領域60404が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域60405内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、前記濃度の割合は、陽極や陰極からの距離に依存して変化する構成であってもよい。更に、前記濃度の割合の変化は連続的であってもよい。濃度勾配の設定の仕方は、自由に設定することが可能である。

40

【0724】

混合領域60405内に、発光材料が添加された領域60406を有する。発光材料によって、EL素子の発光色を制御することができる。また、発光材料によって、キャリアをトラップすることができる。発光材料としては、キノリン骨格を含む金属錯体、ベンゾオ

50

キサドール骨格を含む金属錯体、ベンゾチアゾール骨格を含む金属錯体等の他、各種蛍光色素を用いることができる。これらの発光材料を添加することによって、EL素子の発光色を制御することができる。

【0725】

陽極60401としては、効率よく正孔を注入するため、仕事関数の大きな電極材料を用いることが好ましい。例えば、錫ドーパ酸化インジウム（ITO）や、亜鉛ドーパ酸化インジウム（IZO）、ZnO、SnO₂、In₂O₃等の透明電極を用いることができる。また、透光性を有する必要が無いならば、陽極60401は、不透明の金属材料でもよい。

【0726】

正孔輸送材料としては、芳香族アミン系の化合物等を用いることができる。

【0727】

電子輸送材料としては、キノリン誘導体、8-キノリノールまたはその誘導体を配位子とする金属錯体（特に、トリス（8-キノリノライト）アルミニウム（Alq₃））等を用いることができる。

【0728】

陰極60402としては、効率よく電子を注入するため、仕事関数の小さな電極材料を用いることが好ましい。アルミニウム、インジウム、マグネシウム、銀、カルシウム、バリウム、リチウム等の金属を単体で用いることができる。また、これらの金属の合金であっても良いし、これらの金属と他の金属との合金であっても良い。

【0729】

図95（A）とは異なる構成のEL素子の模式図を図95（B）に示す。なお、図95（A）と同じ部分は同じ符号を用いて示し、説明は省略する。

【0730】

図95（B）では、発光材料が添加された領域を有さない。しかし、電子輸送領域60404に添加する材料として、電子輸送性及び発光性の両方を有する材料（電子輸送発光材料）、例えば、トリス（8-キノリノライト）アルミニウム（Alq₃）を用いる構成とし、発光を行うことができる。

【0731】

または、正孔輸送領域60403に添加する材料として、正孔輸送性及び発光性の両方を有する材料（正孔輸送発光材料）を用いてもよい。

【0732】

図95（A）及び図95（B）とは異なる構成のEL素子の模式図を図95（C）に示す。なお、図95（A）及び図95（B）と同じ部分は同じ符号を用いて示し、説明は省略する。

【0733】

図95（C）において、正孔輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい正孔ブロッキング性材料が、混合領域60405内に添加された領域60407を有する。正孔ブロッキング性材料が添加された領域60407を、混合領域60405内の発光材料が添加された領域60406より陰極60402側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、正孔ブロッキング性材料が添加された領域60407を設ける構成は、特に、三重光励起子による発光（燐光）を利用するEL素子において有効である。

【0734】

図95（A）、図95（B）及び図95（C）とは異なる構成のEL素子の模式図を図95（D）に示す。なお、図95（A）、図95（B）及び図95（C）と同じ部分は同じ符号を用いて示し、説明は省略する。

【0735】

図95（D）において、電子輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい電子ブロッキング性材料が、混合領域60405内に添加された領

10

20

30

40

50

域 6 0 4 0 8 を有する。電子ブロッキング性材料が添加された領域 6 0 4 0 8 を、混合領域 6 0 4 0 5 内の発光材料が添加された領域 6 0 4 0 6 より陽極 6 0 4 0 1 側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、電子ブロッキング性材料が添加された領域 6 0 4 0 8 を設ける構成は、特に、三重光励起子の発光（燐光）を利用する E L 素子において有効である。

【0736】

図 9 5 (E) は、図 9 5 (A)、図 9 5 (B)、図 9 5 (C) および図 9 5 (D) とは異なる混合接合型の E L 素子の構成を示す模式図である。図 9 5 (E) では、E L 素子の電極に接する E L 層の部分に、金属材料を添加した領域 6 0 4 0 9 を有する構成の例を示す。図 9 5 (E) において、図 9 5 (A) ～図 9 5 (D) と同じ部分は同じ符号を用いて示し説明は省略する。図 9 5 (E) に示す構成は、たとえば、陰極 6 0 4 0 2 として M g A g (M g - A g 合金)を用い、電子輸送材料が添加された電子輸送領域 6 0 4 0 4 の、陰極 6 0 4 0 2 に接する領域に A l (アルミニウム)合金を添加した領域 6 0 4 0 9 を有する構成であってもよい。上記構成によって、陰極の酸化を防止し、且つ、陰極からの電子の注入効率を高めることができる。こうして、混合接合型の E L 素子では、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

10

【0737】

上記混合接合型の E L 素子を作製する手法としては、共蒸着法等を用いることができる。

【0738】

図 9 5 (A) ～図 9 5 (E) に示したような混合接合型の E L 素子では、明確な層の界面が存在せず、電荷の蓄積を低減することができる。こうして、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

20

【0739】

図 9 5 (A) ～図 9 5 (E) に示した構成は、自由に組み合わせて実施することが可能である。

【0740】

混合接合型の E L 素子の構成は、これに限定されない。公知の構成を自由に用いることができる。

【0741】

E L 素子の E L 層を構成する有機材料としては、低分子材料でも高分子材料でもよい。また、これらの材料を両方用いてもよい。有機化合物材料として低分子材料を用いる場合は、蒸着法によって成膜することができる。一方、E L 層として高分子材料を用いる場合は、高分子材料を溶媒に溶かし、スピン塗布法やインクジェット方式で成膜することができる。

30

【0742】

E L 層は、中分子材料によって構成されていても良い。本明細書中において、中分子系有機発光材料とは、昇華性を有さず、かつ、重合度が 2 0 程度以下の有機発光材料を示すものとする。E L 層として中分子材料を用いる場合は、インクジェット方式等で成膜することができる。

【0743】

低分子材料と、高分子材料と、中分子材料とを組み合わせ用いても良い。

40

【0744】

また、E L 素子は、一重項励起子からの発光（蛍光）を利用するものでも、三重項励起子からの発光（燐光）を利用するものでも、どちらでも良い。

【0745】

次に、本実施の形態が適用できる表示装置を製造するための蒸着装置について、図面を参照して説明する。

【0746】

本実施の形態が適用できる表示装置は、E L 層を形成して製造されてもよい。E L 層は、エレクトロルミネセンスを発現する材料を少なくとも一部に含んで形成される。E L 層は

50

機能の異なる複数の層で構成されても良い。その場合、EL層は、正孔注入輸送層、発光層、電子注入輸送層などとも呼ばれる機能の異なる層が組み合わさって構成されていてもよい。

【0747】

トランジスタが形成された素子基板に、EL層を形成するための蒸着装置の構成を図96に示す。この蒸着装置は、搬送室60560、60561に複数の処理室を連結している。処理室には、基板を供給するロード室60562、基板を回収するアンロード室60563、その他、加熱処理室60568、プラズマ処理室60572、EL材料を蒸着する成膜処理室60569～60575、EL素子の一方の電極として、アルミニウム若しくはアルミニウムを主成分とする導電膜を形成する成膜処理室60576を含んでいる。また、搬送室と各処理室の間にはゲートバルブ60577a～60577mが設けられていて、各処理室の圧力は独立して制御可能とされており、処理室間の相互汚染を防いでいる。

10

【0748】

ロード室60562から搬送室60560に導入された基板は、回転自在に設けられたアーム方式の搬送手段60566により、所定の処理室へ搬入される。また、基板は搬送手段60566により、ある処理室から他の処理室へ搬送される。搬送室60560と搬送室60561とは成膜処理室60570で連結され、ここで搬送手段60566と搬送手段60567により基板の受け渡しが行う。

【0749】

搬送室60560及び搬送室60561に連結する各処理室は減圧状態に保持されている。従って、この蒸着装置では、基板は大気に触れることなく連続してEL層の成膜処理が行われる。EL層の成膜処理が終わった表示パネルは、水蒸気などにより劣化する場合があるので、この蒸着装置では、品質を保持するために大気に触れさせる前に封止処理を行うための封止処理室60565が搬送室60561に連結されている。封止処理室60565は大気圧若しくはそれに近い減圧下におかれているので、搬送室60561と封止処理室60565の間にも中間処理室60564が備えられている。中間処理室60564は基板の受け渡しと、室間の圧力を緩衝するために設けられている。

20

【0750】

ロード室、アンロード室、搬送室及び成膜処理室には室内を減圧に保持するための排気手段が備えられている。排気手段としては、ドライポンプ、ターボ分子ポンプ、拡散ポンプなど各種の真空ポンプを用いることができる。

30

【0751】

図96の蒸着装置において、搬送室60560及び搬送室60561に連結される処理室の数やその構成は、EL素子の積層構造に応じて適宜組み合わせることができる。以下に、その組み合わせの一例を示す。

【0752】

加熱処理室60568は、最初に下部電極や絶縁隔壁等が形成された基板を加熱して脱ガス処理を行う。プラズマ処理室60572は、下地電極表面を希ガスや酸素プラズマ処理を行う。このプラズマ処理は、表面を清浄化、表面状態の安定化、表面の物理的若しくは化学的状态（例えば、仕事関数など）を安定化させるために行う。

40

【0753】

成膜処理室60569は、EL素子の一方の電極と接触する電極バッファ層を形成する処理室である。電極バッファ層はキャリア注入性（正孔注入若しくは電子注入）があり、EL素子の短絡や暗点欠陥の発生を抑制する層である。代表的には、電極バッファ層は、有機無機混合材料であって、抵抗率が $5 \times 10^4 \sim 1 \times 10^6 \Omega \text{cm}$ であり、30～300nmの厚さに形成される。また、成膜室60571は正孔輸送層を成膜する処理室である。

【0754】

EL素子における発光層は、単色発光をする場合と白色発光をする場合とで、その構成が

50

異なる。蒸着装置において成膜処理室もそれに応じて配置することが好ましい。例えば、表示パネルに発光色が異なる三種類の E L 素子を形成する場合には、各発光色に対応した発光層を成膜する必要がある。この場合、成膜処理室 6 0 5 7 0 を第 1 の発光層の成膜用として、成膜処理室 6 0 5 7 3 を第 2 の発光層の成膜用として、成膜処理室 6 0 5 7 4 を第 3 の発光層の成膜用として用いることができる。発光層ごとに成膜処理室を分けることで、異なる発光材料による相互汚染を防止することが出来、成膜処理のスループットを向上させることが出来る。

【0755】

成膜処理室 6 0 5 7 0、成膜処理室 6 0 5 7 3、成膜処理室 6 0 5 7 4 のそれぞれで、発光色が異なる三種類の E L 材料を順次蒸着しても良い。この場合、シャドーマスクを使い、蒸着する領域に応じて当該マスクをずらして蒸着を行うことになる。

10

【0756】

白色発光する E L 素子を形成する場合には、異なる発光色の発光層を縦積みにして形成する。その場合にも、素子基板が成膜処理室を順次移動して、発光層ごとに成膜することができる。また、同じ成膜処理室で異なる発光層を連続して成膜することもできる。

【0757】

成膜処理室 6 0 5 7 6 では、E L 層の上に電極を成膜する。電極の形成は、電子ビーム蒸着法やスパッタリング法を適用することもできるが、好ましくは抵抗加熱蒸着法を用いることが好ましい。

【0758】

電極の形成まで終了した素子基板は、中間処理室 6 0 5 6 4 を経て封止処理室 6 0 5 6 5 に搬入される。封止処理室 6 0 5 6 5 は、ヘリウム、アルゴン、ネオン、若しくは窒素などの不活性な気体が充填されており、その雰囲気下で素子基板の E L 層が形成された側に封止板を貼り付けて封止する。封止された状態において、素子基板と封止板との間には、不活性気体が充填されていても良いし、樹脂材料を充填しておいても良い。封止処理室 6 0 5 6 5 には、シール材を描画するディスペンサーや、素子基板に対向して封止板を固定する固定ステージやアームなどの機械的要素、樹脂材料を充填するディスペンサー若しくはスピンコーターなどが備えられている。

20

【0759】

図 9 7 は、成膜処理室の内部構成を示す。成膜処理室は減圧下に保たれていて、図 9 7 では天板 6 0 6 9 1 と底板 6 0 6 9 2 で挟まれる内側が室内であり、減圧状態に保たれる室内を示している。

30

【0760】

処理室内には、一つ又は複数個の蒸発源が備えられている。組成の異なる複数の層を成膜する場合や、異なる材料を共蒸着する場合は、複数個の蒸発源を設けることが好ましいからである。図 9 7 では、蒸発源 6 0 6 8 1 a、6 0 6 8 1 b、6 0 6 8 1 c が蒸発源ホルダ 6 0 6 8 0 に装着されている。蒸発源ホルダ 6 0 6 8 0 は多関節アーム 6 0 6 8 3 によって保持されている。多関節アーム 6 0 6 8 3 は関節の伸縮によって、蒸発源ホルダ 6 0 6 8 0 の位置をその可動範囲内で自在に移動可能としている。また、蒸発源ホルダ 6 0 6 8 0 に距離センサー 6 0 6 8 2 を設け、蒸発源 6 0 6 8 1 a ~ 6 0 6 8 1 c と基板 6 0 6 8 9 との間隔をモニターして、蒸着時における最適な間隔を制御しても良い。その場合には、多関節アームに上下方向（Z 方向）にも変位する多関節アームとしても良い。

40

【0761】

基板ステージ 6 0 6 8 6 と基板チャック 6 0 6 8 7 は一対となって基板 6 0 6 8 9 を固定する。基板ステージ 6 0 6 8 6 はヒータを内蔵させて基板 6 0 6 8 9 を加熱できるように構成しても良い。基板 6 0 6 8 9 は、基板チャック 6 0 6 8 7 の禁緩により、基板ステージ 6 0 6 8 6 に固定されまた搬出入される。蒸着に際しては、必要に応じて蒸着するパターンに対応して開口部を備えたシャドーマスク 6 0 6 9 0 を用いることもできる。その場合、シャドーマスク 6 0 6 9 0 は、基板 6 0 6 8 9 と蒸発源 6 0 6 8 1 a ~ 6 0 6 8 1 c の間に配置されるようにする。シャドーマスク 6 0 6 9 0 はマスクチャック 6 0 6 8 8 に

50

より、基板 60689 と密着若しくは一定の間隔を持って固定される。シャドーマスク 60690 のアライメントが必要な場合には、処理室内にカメラを配置し、マスクチャック 60688 に X-Y-θ 方向に微動する位置決め手段を備えることで、その位置合わせを行う。

【0762】

蒸発源 60681 には、蒸着材料を蒸発源に連続して供給する蒸着材料供給手段が付加されている。蒸着材料供給手段は、蒸発源 60681 と離れた位置に配置される材料供給源 60685a、60685b、60685c と、その両者の間を繋ぐ材料供給管 60684 を有している。典型的には、材料供給源 60685a、60685b、60685c は蒸発源 60681 に対応して設けられている。図 97 の場合は、材料供給源 60685a と 606 蒸発源 81a が対応している。材料供給源 60685b と蒸発源 60681b、材料供給源 60685c と蒸発源 60681c についても同様である。

10

【0763】

蒸着材料の供給方式には、気流搬送方式、エアロゾル方式などが適用できる。気流搬送方式は、蒸着材料の微粉末を気流に乗せて搬送するもので、不活性ガスなどを用いて蒸発源 60681 に搬送する。エアロゾル方式は、蒸着材料を溶剤中に溶解または分散させた原料液を搬送し、噴霧器によりエアロゾル化し、エアロゾル中の溶媒を気化させながら行う蒸着である。いずれの場合にも、蒸発源 60681 には加熱手段が設けられ、搬送された蒸着材料を蒸発させて基板 60689 に成膜する。図 97 の場合、材料供給管 60684 は柔軟に曲げることができ、減圧状態下においても変形しない程度の剛性を持った細管で構成されている。

20

【0764】

気流搬送方式やエアロゾル方式を適用する場合には、成膜処理室内を大気圧若しくはそれ以下であって、好ましくは 133Pa ~ 13300Pa の減圧下で成膜を行えば良い。成膜処理室内にはヘリウム、アルゴン、ネオン、クリプトン、キセノン、若しくは窒素などの不活性気体を充填し、または当該気体を供給しながら（同時に排気しながら）、圧力の調節を行うことができる。また、酸化膜を形成する成膜処理室では、酸素、亜酸化窒素などの気体を導入して酸化雰囲気としておいても良い。また、有機材料を蒸着する成膜処理室内には水素などの気体を導入して還元雰囲気としておいても良い。

【0765】

その他の蒸着材料の供給方法として、材料供給管 60684 の中にスクリューを設け蒸着材料を蒸発源に向けて連続的に押し出す構成としても良い。

30

【0766】

この蒸着装置によれば、大画面の表示パネルであっても、均一性良く、連続して成膜することができる。また、蒸発源に蒸着材料が無くなる度に、その都度蒸着材料を補給する必要があるないので、スループットを向上することができる。

【0767】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

【0768】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。

40

【0769】

（実施の形態 12）

本実施形態においては、本実施の形態を実施できる表示装置の画素回路及び駆動方法について説明する。

【0770】

まず、本実施の形態に適応可能なデジタル時間階調駆動について説明する。まず、画素への信号書き込み期間（アドレス期間）と発光期間（サステイン期間）とが分離されている場合の駆動方法について、図 98（A）を参照して説明する。ここでは、一例として 4 ビットのデジタル時間階調の場合について説明する。

50

【0771】

なお、1表示領域分の画像を完全に表示するための期間を1フレーム期間という。1フレーム期間は複数のサブフレーム期間を有し、1サブフレーム期間はアドレス期間とサステイン期間とを有する。アドレス期間 $T_{a1} \sim T_{a4}$ は、全行分の画素への信号書き込みにかかる時間を示し、期間 $T_{b1} \sim T_{b4}$ は一行分の画素（又は一画素分）への信号書き込みにかかる時間を示している。また、サステイン期間 $T_{s1} \sim T_{s4}$ は、画素へ書き込まれたビデオ信号にしたがって点灯又は非点灯状態を維持する時間を示し、その長さの比を $T_{s1} : T_{s2} : T_{s3} : T_{s4} = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$ としている。どのサステイン期間で発光するかによって階調を表現している。

【0772】

動作について説明する。まず、アドレス期間 T_{a1} において、1行目から順に走査線に画素選択信号が入力され、画素が選択される。そして、画素が選択されているときに、信号線から画素へビデオ信号が入力される。そして、画素にビデオ信号が書き込まれると、画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサステイン期間 T_{s1} における各画素の点灯、非点灯が制御される。同様に、アドレス期間 T_{a2} 、 T_{a3} 、 T_{a4} において画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間 T_{s2} 、 T_{s3} 、 T_{s4} における各画素の点灯、非点灯が制御される。そして、それぞれのサブフレーム期間において、アドレス期間中は点灯せず、アドレス期間が終了した後、サステイン期間が始まり、点灯させるための信号が書き込まれている画素が点灯する。

【0773】

ここで、図98（B）を参照して、 i 行目の画素行に着目して説明する。まず、アドレス期間 T_{a1} において、1行目から順に走査線に画素選択信号が入力され、アドレス期間 T_{a1} のうち期間 $T_{b1}(i)$ において i 行目の画素が選択される。そして、 i 行目の画素が選択されているときに、信号線から i 行目の画素へビデオ信号が入力される。そして、 i 行目の画素にビデオ信号が書き込まれると、 i 行目の画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサステイン期間 T_{s1} における i 行目の画素の点灯、非点灯が制御される。同様に、アドレス期間 T_{a2} 、 T_{a3} 、 T_{a4} において i 行目の画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間 T_{s2} 、 T_{s3} 、 T_{s4} における i 行目の画素の点灯、非点灯が制御される。そして、それぞれのサブフレーム期間において、アドレス期間中は点灯せず、アドレス期間が終了した後、サステイン期間が始まり、点灯させるための信号が書き込まれている画素が点灯する。

【0774】

なお、ここでは4ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。また、点灯の順番は T_{s1} 、 T_{s2} 、 T_{s3} 、 T_{s4} である必要はなく、ランダムでもよいし、複数に分割して発光をさせてもよい。また、 T_{s1} 、 T_{s2} 、 T_{s3} 、 T_{s4} の点灯時間は、2のべき乗にする必要はなく、同じ長さの点灯時間にしてもよいし、2のべき乗からすこしだけずらしてもよい。

【0775】

続いて、画素への信号書き込み期間（アドレス期間）と発光期間（サステイン期間）とが分離されていない場合の駆動方法について説明する。つまり、ビデオ信号の書き込み動作が完了した行の画素は、次に画素へ信号の書き込み（又は消去）が行われるまで、信号を保持する。書き込み動作から次にこの画素へ信号の書き込みが行われるまでの期間をデータ保持時間という。そして、このデータ保持時間中は画素に書き込まれたビデオ信号に従って、画素が点灯又は非点灯となる。同じ動作が、最終行まで行われ、アドレス期間が終了する。そして、データ保持時間が終了した行から順に次のサブフレーム期間の信号書き込み動作へ移る。

【0776】

このように、信号書き込み動作が完了しデータ保持時間となると、直ちに画素へ書き込ま

10

20

30

40

50

れたビデオ信号に従って画素が点灯又は非点灯となる駆動方法の場合には、データ保持時間をアドレス期間より短くしようとしても、同時に2行に信号を入力できないため、アドレス期間を重ねないようにしなければならないので、データ保持時間を短くすることができない。よって、その結果、高階調表示を行うことが困難になる。

【0777】

よって、消去期間を設けることによって、アドレス期間より短いデータ保持時間を設定する。消去期間を設けアドレス期間より短いデータ保持時間を設定する場合の駆動方法について図99(A)を用いて説明する。

【0778】

まず、アドレス期間 T_{a1} において、1行目から順に走査線に画素走査信号が入力され、画素が選択される。そして、画素が選択されているときに、信号線から画素へビデオ信号が入力される。そして、画素にビデオ信号が書き込まれると、画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサスティン期間 T_{s1} における各画素の点灯、非点灯が制御される。ビデオ信号の書き込み動作が完了した行においては、直ちに書き込まれたビデオ信号にしたがって、画素が点灯又は非点灯の状態となる。同じ動作が、最終行まで行われ、アドレス期間 T_{a1} が終了する。そして、データ保持時間が終了した行から順に次のサブフレーム期間の信号書き込み動作へ移る。同様に、アドレス期間 T_{a2} 、 T_{a3} 、 T_{a4} において画素へビデオ信号が入力され、そのビデオ信号によってサスティン期間 T_{s2} 、 T_{s3} 、 T_{s4} における各画素の点灯、非点灯が制御される。そして、サスティン期間 T_{s4} はその終期を消去動作の開始によって設定される。なぜなら、各行の消去時間 T_e に画素に書き込まれた信号の消去が行われると、次の画素への信号の書き込みが行われるまでは、アドレス期間に画素に書き込まれたビデオ信号に関わらず、強制的に非点灯となるからである。つまり、消去時間 T_e が始まった行の画素からデータ保持時間が終了する。

【0779】

ここで、図99(B)を参照して、 i 行目の画素行に着目して説明する。 i 行目の画素行において、アドレス期間 T_{a1} において、1行目から順に走査線に画素走査信号が入力され、画素が選択される。そして、期間 $T_{b1}(i)$ において i 行目の画素が選択されているときに、 i 行目の画素にビデオ信号が入力される。そして、 i 行目の画素にビデオ信号が書き込まれると、 i 行目の画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によって、サスティン期間 $T_{s1}(i)$ における i 行目の画素の点灯、非点灯が制御される。つまり、 i 行目にビデオ信号の書き込み動作が完了したら、直ちに書き込まれたビデオ信号にしたがって、 i 行目の画素が点灯又は非点灯の状態となる。同様に、アドレス期間 T_{a2} 、 T_{a3} 、 T_{a4} において i 行目の画素へビデオ信号が入力され、そのビデオ信号によってサスティン期間 T_{s2} 、 T_{s3} 、 T_{s4} における i 行目の画素の点灯、非点灯が制御される。そして、サスティン期間 $T_{s4}(i)$ はその終期を消去動作の開始によって設定される。なぜなら、 i 行目の消去時間 $T_s(i)$ に i 行目の画素に書き込まれたビデオ信号に関わらず、強制的に非点灯となるからである。つまり、消去時間 $T_e(i)$ が始まると i 行目の画素のデータ保持時間が終了する。

【0780】

よって、アドレス期間とサスティン期間とを分離せずに、アドレス期間より短い高階調且つデューティ比(1フレーム期間中の点灯期間の割合)の高い表示装置を提供することができる。また、瞬間輝度を低くすることが可能であるため表示素子の信頼性の向上を図ることが可能である。

【0781】

なお、ここでは4ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。また、点灯の順番は T_{s1} 、 T_{s2} 、 T_{s3} 、 T_{s4} である必要はなく、ランダムでもよいし、複数に分割して発光をしてもよい。また、 T_{s1} 、 T_{s2} 、 T_{s3} 、 T_{s4} の点灯時間は、2のべき乗にする必要はなく、同じ長さの点灯時間にしてもよいし、2のべき乗からすこしだけずらしてもよい。

【0782】

ここで、図98(A)及び図99(A)で説明したデジタル時間階調駆動を可能な画素構成について図100(A)、(B)、(C)、(D)及び(E)を参照して説明する。なお、図100(A)、(B)、(C)、(D)及び(E)に示す表示素子としては、EL素子(有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子)、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ(GLV)、デジタルマイクロミラーデバイス(DMD)、カーボンナノチューブ、など、電気磁気的作用によりコントラストが変化する表示媒体を適応することができる。また、図100(A)、(B)、(C)、(D)及び(E)に示す画素は、表示素子としてEL素子などのような自発光型の素子が適している。なお、図100(A)、(B)、(C)、(D)及び(E)は1画素のみを図示しているが、表示装置の画素部には行方向と列方向にマトリクス状に複数の画素が配置されている。

10

【0783】

図100(A)に示す画素は、スイッチング用トランジスタ80301a、駆動用トランジスタ80302a、容量素子80304aを有している。スイッチング用トランジスタ80301aは、ゲート端子が走査線80312aに接続され、第1端子(ソース端子又はドレイン端子)が信号線80311aに接続され、第2端子(ソース端子又はドレイン端子)が駆動用トランジスタ80302aのゲート端子と接続されている。また、スイッチング用トランジスタ80301aの第2端子は容量素子80304aを介して電源線80313aに接続されている。さらに、駆動用トランジスタ80302aは第1端子が電源線80313aに接続され、第2端子が表示素子80320aの第1の電極に接続されている。表示素子80320aの第2の電極80321aには低電源電位が設定されている。なお、低電源電位とは、電源線80313aに設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を表示素子80320aに印加して、表示素子80320aに電流を流して表示素子80320aを発光させるため、高電源電位と低電源電位との電位差が表示素子80320aの順方向しきい値電圧以上となるようにそれぞれの電位を設定する。なお、容量素子80304aは駆動用トランジスタ80302aのゲート容量を代用して省略することも可能である。駆動用トランジスタ80302aのゲート容量については、ソース領域やドレイン領域やLDD領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

20

30

【0784】

走査線80312aで画素が選択されているとき、つまりスイッチング用トランジスタ80301aがオンになっているときに信号線80311aから画素にビデオ信号が入力される。そして、ビデオ信号に相当する電圧分の電荷が容量素子80304aに蓄積され、容量素子80304aはその電圧を保持する。この電圧は駆動用トランジスタ80302aのゲート端子と第1端子間の電圧であり、駆動用トランジスタ80302aのゲートソース間電圧 V_{gs} に相当する。

【0785】

一般に、トランジスタの動作領域は、線形領域と飽和領域とに分けることが出来る。その境目は、ドレインソース間電圧を V_{ds} 、ゲートソース間電圧を V_{gs} 、しきい値電圧を V_{th} とすると、 $(V_{gs} - V_{th}) = V_{ds}$ の時になる。 $(V_{gs} - V_{th}) > V_{ds}$ の場合は、線形領域であり、 V_{ds} 、 V_{gs} の大きさによって電流値が決まる。一方、 $(V_{gs} - V_{th}) < V_{ds}$ の場合は飽和領域になり、理想的には、 V_{ds} が変化しても、電流値はほとんど変わらない。つまり、 V_{gs} の大きさだけによって電流値が決まる。

40

【0786】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ80302aのゲート端子には、駆動用トランジスタ80302aが十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ80302aは線形領

50

域で動作させる。

【0787】

よって、駆動用トランジスタ80302aがオンするビデオ信号であるときには、理想的には電源線80313aに設定されている電源電位VDDをそのまま表示素子80320aの第1の電極に設定する。

【0788】

つまり、理想的には表示素子80320aに印加する電圧を一定にし、表示素子80320aから得られる輝度を一定にする。そして、1フレーム期間内に複数のサブフレーム期間を設け、サブフレーム期間毎に画素へのビデオ信号の書き込みを行い、サブフレーム期間毎に画素の点灯又は非点灯を制御し、その点灯しているサブフレーム期間の合計によって、階調を表現する。

10

【0789】

次に、図100(B)の画素構成について説明する。図100(B)に示す画素は、スイッチング用トランジスタ80301a、駆動用トランジスタ80302a、整流素子80306a、容量素子80304a、表示素子80320bを有している。スイッチング用トランジスタ80301bは、ゲート端子が第1の走査線80312bに接続され、第1端子(ソース端子又はドレイン端子)が信号線80311bに接続され、第2端子(ソース端子又はドレイン端子)が駆動用トランジスタ80302bのゲート端子と接続されている。さらに、駆動トランジスタ80302のゲート端子は整流素子80306aを介して第2の走査線80314bに接続されている。また、スイッチング用トランジスタ80301bの第2端子は容量素子80304bを介して電源線80313bに接続されている。さらに、駆動用トランジスタ80302bは第1端子が電源線80313bに接続され、第2端子が表示素子80320bの第1の電極に接続されている。表示素子80320bの第2の電極80321bには低電源電位が設定されている。なお、低電源電位とは、電源線80313bに設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を表示素子80320bに印加して、表示素子80320bに電流を流して表示素子80320bを発光させるため、高電源電位と低電源電位との電位差が表示素子80320bの順方向しきい値電圧以上となるようにそれぞれの電位を設定する。なお、容量素子80304bは駆動用トランジスタ80302bのゲート容量を代用して省略することも可能である。駆動用トランジスタ80302bのゲート容量については、ソース領域やドレイン領域やLDD領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

20

30

【0790】

本画素構成は、図100(A)の画素に、整流素子80306aと第2の走査線80314bを追加したものである。よって、スイッチング用トランジスタ80301b、駆動用トランジスタ80302b、容量素子80304b、信号線80311b、第1の走査線80312b、電源線80313bは、それぞれスイッチング用トランジスタ80301a、駆動用トランジスタ80302a、容量素子80304a、信号線80311a、走査線80312a、電源線80313aに相当し、書き込みの動作や発光の動作は同様であるためここではその説明を省略する。

40

【0791】

消去動作について説明する。消去動作時には、第2の走査線80314bにHレベルの信号を入力する。すると、整流素子80306aに電流が流れ、容量素子80304bによって保持されていた駆動用トランジスタ80302bのゲート電位をある電位に設定することができる。つまり、駆動用トランジスタ80302bのゲート端子の電位を、ある電位に設定し、画素へ書き込まれたビデオ信号に関わらず、駆動用トランジスタ80302bを強制的にオフさせることができる。

【0792】

50

なお、第2の走査線80314bに入力するLレベルの信号は、画素に非点灯となるビデオ信号が書き込まれているときに整流素子80306aに電流が流れないような電位とする。また、第2の走査線80314bに入力するHレベルの信号は、画素に書き込まれたビデオ信号に関わらず、駆動用トランジスタ80302bがオフするような電位をゲート端子に設定することができるような電位とする。

【0793】

なお、整流素子80306aには、ダイオード接続したトランジスタを用いることが可能である。さらに、ダイオード接続したトランジスタの他にも、PN接合やPIN接合のダイオードやショットキー型のダイオードやカーボンナノチューブで形成されたダイオードなどを用いてもよい。ダイオード接続したNチャネル型トランジスタを適用した場合を図100(C)に示す。ダイオード接続トランジスタ80303cの第1端子(ソース端子又はドレイン端子)を駆動用トランジスタ80302cのゲート端子と接続する。また、ダイオード接続トランジスタ80303cの第2端子(ソース端子又はドレイン端子)をゲート端子と接続するとともに、第2の走査線80314cに接続する。すると、第2の走査線80314cがLレベルのときにはダイオード接続トランジスタ80303cはゲート端子とソース端子が接続されているため電流が流れないが、第2の走査線80314cにHレベルの信号を入力したときにダイオード接続トランジスタ80303cの第2端子はドレイン端子となるためダイオード接続トランジスタ80303cに電流が流れる。よって、ダイオード接続トランジスタ80303cは整流作用を奏する。

【0794】

なお、スイッチング用トランジスタ80301c、駆動用トランジスタ80302c、容量素子80304c、信号線80311c、第1の走査線80312c、電源線80313cは、それぞれ図100(A)のスイッチング用トランジスタ80301a、駆動用トランジスタ80302a、容量素子80304a、信号線80311a、走査線80312a、電源線80313aに相当する。また、第2の走査線80314cは、図100(B)の第2の走査線80312dに相当する。

【0795】

また、ダイオード接続したPチャネル型トランジスタを適用した場合は図100(D)に示す。ダイオード接続トランジスタ80303dの第1端子(ソース端子又はドレイン端子)を第2の走査線80313dに接続する。また、ダイオード接続トランジスタ80303dの第2端子(ソース端子又はドレイン端子)をゲート端子と接続するとともに、駆動用トランジスタ80302dのゲート端子と接続する。すると、第2の走査線80313dがLレベルのときにはダイオード接続トランジスタ80303dはゲート端子とソース端子が接続されているため電流が流れないが、第2の走査線80313dにHレベルの信号を入力したときにダイオード接続トランジスタ80303dの第2端子はドレイン端子となるためダイオード接続トランジスタ80303dに電流が流れる。よって、ダイオード接続トランジスタ80303dは整流作用を奏する。

【0796】

なお、スイッチング用トランジスタ80301d、駆動用トランジスタ80302d、容量素子80304d、信号線80311d、第1の走査線80312d、電源線80313dは、それぞれ図100(A)のスイッチング用トランジスタ80301a、駆動用トランジスタ80302a、容量素子80304a、信号線80311a、走査線80312a、電源線80313aに相当する。また、第2の走査線80314dは、図100(B)の第2の走査線80312dに相当する。

【0797】

また、画素へ書き込まれた信号を消去させるために消去用トランジスタを設けてもよい。図100(E)に示す画素は、図100(A)の画素に消去用トランジスタ80303eと第2の走査線80312eを追加したものである。よって、スイッチング用トランジスタ80301e、駆動用トランジスタ80302e、容量素子80304e、信号線80311e、第1の走査線80312e、電源線80313eは、それぞれ図100(A)

10

20

30

40

50

のスイッチング用トランジスタ 80301a、駆動用トランジスタ 80302a、容量素子 80304a、信号線 80311a、走査線 80312a、電源線 80313a に相当し、書き込みの動作や発光の動作は同様であるためここではその説明を省略する。

【0798】

消去動作について説明する。消去動作時には、第2の走査線 80312e に H レベルの信号を入力する。すると、消去用トランジスタ 80303e がオンし、駆動用トランジスタ 80302e のゲート端子と第1端子を同電位にすることができる。つまり、駆動用トランジスタ 80302e のゲートソース間電圧を 0V にすることができる。なお、第2の走査線 80312e の H レベルの電位は、電源線 80313e の電位よりも消去用トランジスタ 80303e のしきい値電圧 V_{th} 以上高いことが望ましい。こうして、駆動用トランジスタ 80302e を強制的にオフさせることができる。

10

【0799】

続いて、本実施の形態に適応可能なしきい値電圧補正型の画素回路及び駆動方法の一例について、図101(A)を参照して説明する。

【0800】

図101(A)に示す画素は、駆動トランジスタ 80400、第1のスイッチ 80401、第2のスイッチ 80402、第3のスイッチ 80403、第1の容量素子 80404、第2の容量素子 80405 及び表示素子 80420 を有している。駆動トランジスタ 80400 は、ゲート端子が第1の容量素子 80404 と第1のスイッチ 80401 とを順に介して信号線 80411 と接続され、第1端子が電源線 80412 と接続され、第2端子が第3のスイッチ 80403 を介して表示素子 80420 の第1の電極に接続されている。さらに、駆動トランジスタ 80400 のゲート端子が第2の容量素子 80405 を介して電源線 80412 と接続されている。また、駆動トランジスタ 80400 のゲート端子が第2のスイッチ 80402 を介して駆動トランジスタ 80400 の第2端子と接続されている。また、表示素子 80420 の第2の電極 80421 には低電源電位が設定されている。なお、低電源電位とは、電源線 80412 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば GND、0V などが設定されていても良い。この高電源電位と低電源電位との電位差を表示素子 80420 に印加して、表示素子 80420 に電流を流して表示素子 80420 を発光させるため、高電源電位と低電源電位との電位差が表示素子 80420 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。なお、第2の容量素子 80405 は駆動トランジスタ 80400 のゲート容量を代用して省略することも可能である。駆動トランジスタ 80400 のゲート容量については、ソース領域やドレイン領域や LDD 領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャンネル領域とゲート電極との間で容量が形成されていてもよい。なお、第1のスイッチ 80401、第2のスイッチ 80402、第3のスイッチ 80403 は、それぞれ第1の走査線 80413、第2の走査線 80414、第3の走査線 80415 によってオン・オフが制御される。

20

30

【0801】

図101(A)に示す画素の駆動方法は、初期化期間、データ書き込み期間、しきい値取得期間、発光期間に分割することができる。

40

【0802】

初期化期間では、第2のスイッチ 80402 及び第3のスイッチ 80403 がオンして、駆動トランジスタ 80400 のゲート端子の電位が少なくとも電源線 80412 の電位よりも低くなる。なお、このとき、第1のスイッチ 80401 は、オンしていてもオフしていてもよい。なお、初期化期間は必ずしも必要ではない。

【0803】

しきい値取得期間では、第1の走査線 80413 によって画素が選択される。つまり、第1のスイッチ 80401 がオンし、信号線 80411 からある一定電圧が入力される。このとき、第2のスイッチ 80402 がオンしており、駆動トランジスタ 80400 がダイ

50

オード接続される。また、第3のスイッチ80403はオフしている。したがって、駆動トランジスタ80400のゲート端子の電位は、電源線80412の電位から駆動トランジスタ80400のしきい値電圧を引いた値となる。第1の容量素子80404には駆動トランジスタ80400のしきい値電圧が保持される。また、第2の容量素子80405には、駆動トランジスタ80400のゲート端子の電位と信号線80411から入力されている一定電圧との電位差が保持される。

【0804】

データ書き込み期間では、信号線80411からビデオ信号（電圧）が入力される。このとき、第1のスイッチ80401がオンのままであり、第2のスイッチ80402がオフし、第2のスイッチ80402がオフのままである。また、駆動トランジスタ80400のゲート端子は浮遊状態となっている。よって、駆動トランジスタ80400のゲート端子の電位は、しきい値取得期間において信号線80411入力される一定電圧と、データ書き込み期間において信号線80411入力されるビデオ信号と、の電位差に応じて変化する。例えば、第1の容量素子80404の容量値<<第2の容量素子80405の容量値であれば、データ書き込み期間における駆動トランジスタ80400のゲート端子の電位は、しきい値取得期間において信号線80411入力される一定電圧とデータ書き込み期間において信号線80411入力されるビデオ信号との電位差を、電源線80412の電位から駆動トランジスタ80400のしきい値電圧を引いた値に足した値とおおむね等しくなる。つまり、駆動トランジスタ80400のゲート端子の電位は、駆動トランジスタ80400のしきい値電圧を補正した電位となる。

【0805】

発光期間では、駆動トランジスタ80400のゲート端子の電位と電源線80412との電位差（ V_{gs} ）に応じた電流が表示素子80420に流れる。このとき、第1のスイッチ80401がオフし、第2のスイッチ80402がオフのままであり、第3のスイッチ80403がオンする。なお、表示素子80420に流れる電流は、駆動トランジスタ80400のしきい値電圧によらず一定である。

【0806】

なお、図101（A）に示す画素構成は、図101（A）に限定されない。例えば、図101（A）に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。また、例えば、第2のスイッチ80402をPチャネル型トランジスタ又はNチャネル型トランジスタで構成し、第3のスイッチ80403を第2のスイッチ80402とは別の極性のトランジスタで構成し、第2のスイッチ80402及び第3のスイッチ80403を同じ走査線で制御してもよい。

【0807】

続いて、本実施の形態に適応可能な電流入力型の画素回路及び駆動方法の一例について、図101（B）参照して説明する。

【0808】

図101（B）に示す画素は、駆動用トランジスタ80430、第1のスイッチ80431、第2のスイッチ80432、第3のスイッチ80433、容量素子80434及び表示素子80450を有している。駆動用トランジスタ80430は、ゲート端子が第2のスイッチ80432と第1のスイッチ80431とを順に介して信号線80441に接続され、第1端子が電源線80442と接続され、第2端子が第3のスイッチ80433を介して表示素子80450の第1の電極に接続されている。さらに、駆動用トランジスタ80430のゲート端子が容量素子80434を介して電源線80442と接続されている。また、駆動用トランジスタ80430のゲート端子が第2のスイッチ80432を介して駆動用トランジスタ80430の第2端子と接続されている。また、表示素子80450の第2の電極80451には低電源電位が設定されている。なお、低電源電位とは、電源線80442に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を表示素子80450に印加して、表示素子8045

0に電流を流して表示素子80450を発光させるため、高電源電位と低電源電位との電位差が表示素子80450の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。なお、容量素子80434は駆動用トランジスタ80430のゲート容量を代用して省略することも可能である。駆動用トランジスタ80430のゲート容量については、ソース領域やドレイン領域やLDD領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャンネル領域とゲート電極との間で容量が形成されていてもよい。なお、第1のスイッチ80431、第2のスイッチ80432、第3のスイッチ80433は、それぞれ第1の走査線80443、第2の走査線80444、第3の走査線80445によってオンオフが制御される。

【0809】

図101(B)に示す画素の駆動方法は、データ書き込み期間、発光期間に分割することができる。

【0810】

データ書き込み期間では、第1の走査線80443によって画素が選択される。つまり、第1のスイッチ80431がオンし、信号線80441からビデオ信号として電流が入力される。このとき、第2のスイッチ80432がオンし、第3のスイッチ80433がオフする。したがって、駆動用トランジスタ80430のゲート端子の電位は、ビデオ信号に応じた電位となる。つまり、容量素子80434には、駆動用トランジスタ80430がビデオ信号と同じ電流を流すような駆動用トランジスタ80430のゲートとソース間の電圧が保持される。

【0811】

次に、発光期間では、第1のスイッチ80431及び第2のスイッチ80432がオフし、第3のスイッチ80433がオンする。したがって、表示素子80450にはビデオ信号と同じ値の電流が流れる。

【0812】

なお、図101(B)に示す画素構成は、図101(B)に限定されない。例えば、図101(B)に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。また、例えば、第1のスイッチ80431をPチャンネル型トランジスタ又はNチャンネル型トランジスタで構成し、第2のスイッチ80432を第1のスイッチ80431と同じ極性のトランジスタで構成し、第1のスイッチ80431及び第2のスイッチ80432を同じ走査線で制御してもよい。また、第2のスイッチ80432は駆動用トランジスタ80430のゲート端子と信号線80441との間に配置されていてもよい。

【0813】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

【0814】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。

【0815】

(実施の形態13)

本実施形態においては、本実施の形態を適用できる半導体装置が薄膜トランジスタ(TFT)を素子として有する場合の半導体装置の作製方法について、図面を参照して説明する。

【0816】

図102は、本実施の形態を適用できる半導体装置が有することのできるTFTの構造および製造プロセスの例を示す図である。図102(A)は、本実施の形態を適用できる半導体装置が有することのできるTFTの構造の例を示す図である。また、図102(B)乃至(G)は、本実施の形態を適用できる半導体装置が有することのできるTFTの製造プロセスの例を示す図である。

【0817】

なお、本実施の形態を適用できる半導体装置が有することのできるTFTの構造および製造プロセスは、図102に示すものに限定されず、様々な構造および製造プロセスを用いることができる。

【0818】

まず、図102(A)を参照し、本実施の形態を適用できる半導体装置が有することのできるTFTの構造の例について説明する。図102(A)は複数の異なる構造を有するTFTの断面図である。ここで、図102(A)においては、複数の異なる構造を有するTFTを並置して示しているが、これは、発明を適用できる半導体装置が有することのできるTFTの構造を説明するための表現であり、発明を適用できる半導体装置が有することのできるTFTが、実際に図102(A)のように並置されている必要はなく、必要に応じて作り分けることができる。

10

【0819】

次に、本実施の形態を適用できる半導体装置が有することのできるTFTを構成する各層の特徴について説明する。

【0820】

基板110111は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板またはステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)に代表されるプラスチック又はアクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。可撓性を有する基板を用いることによって、折り曲げが可能である半導体装置を作製することが可能となる。また、可撓性を有す基板であれば、基板の面積及び基板の形状に大きな制限はないため、基板110111として、例えば、1辺が1メートル以上であって、矩形状のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。

20

【0821】

絶縁膜110112は、下地膜として機能する。基板110111からNaなどのアルカリ金属又はアルカリ土類金属が、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。絶縁膜110112としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)等の酸素又は窒素を有する絶縁膜の単層構造若しくはこれらの積層構造で設けることができる。例えば、絶縁膜110112を2層構造で設ける場合、1層目の絶縁膜として窒化酸化珪素膜を設け、2層目の絶縁膜として酸化窒化珪素膜を設けるとよい。また、絶縁膜110112を3層構造で設ける場合、1層目の絶縁膜として酸化窒化珪素膜を設け、2層目の絶縁膜として窒化酸化珪素膜を設け、3層目の絶縁膜として酸化窒化珪素膜を設けるとよい。

30

【0822】

半導体膜110113、110114、110115は、非晶質(アモルファス)半導体またはセミアモルファス半導体(SAS)で形成することができる。あるいは、多結晶半導体膜を用いても良い。SASは、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5~20nmの結晶領域を観測することができ、珪素を主成分とする場合にはラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。未結合手(ダングリングボンド)の補償するものとして水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。SASは、材料ガスをグロー放電分解(プラズマCVD)して形成する。材料ガスとしては、SiH₄、その他にもSi₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄などを用いることが可能である。あるいは、GeF₄を混合させても良い。この材料ガスをH₂、または、H₂とHe、Ar、Kr、Neから

40

50

選ばれた一種または複数種の希ガス元素で希釈してもよい。希釈率は2～1000倍の範囲。圧力は概略0.1 Pa～133 Paの範囲、電源周波数は1 MHz～120 MHz、好ましくは13 MHz～60 MHz。基板加熱温度は300℃以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は $1 \times 10^{20} \text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下とする。ここでは、公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いてシリコン（Si）を主成分とする材料（例えば $\text{Si}_x\text{Ge}_{1-x}$ 等）で非晶質半導体膜を形成し、当該非晶質半導体膜をレーザ結晶化法、RTA又はファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの公知の結晶化法により結晶化させる。

10

【0823】

絶縁膜110116は、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素または窒素有する絶縁膜の単層構造、若しくはこれらの積層構造で設けることができる。

【0824】

ゲート電極110117は、単層の導電膜、または二層、三層の導電膜の積層構造とすることができる。ゲート電極110117の材料としては、公知の導電膜を用いることができる。たとえば、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）などの元素の単体膜、または、前記元素の窒化膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または、前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または、前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）などを用いることができる。なお、上述した単体膜、窒化膜、合金膜、シリサイド膜などは、単層で用いてもよいし、積層して用いてもよい。

20

【0825】

絶縁膜110118は、公知の手段（スパッタ法やプラズマCVD法等）によって、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素または窒素有する絶縁膜やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜の単層構造、若しくはこれらの積層構造で設けることができる。

30

【0826】

絶縁膜110119は、シロキサン樹脂、または、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素または窒素有する絶縁膜やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜、または、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料、からなる単層若しくは積層構造で設けることができる。なお、シロキサン樹脂とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む樹脂に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。なお、本実施の形態における半導体装置において、絶縁膜110118を設けずにゲート電極110117を覆うように直接、絶縁膜110119を設けることも可能である。

40

【0827】

導電膜110123は、Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mnなどの元素の単体膜、または、前記元素の窒化膜、または、前記元素を組み合わせた合金膜、または、前記元素のシリサイド膜などを用いることができる。例えば、前記元素を複数含む合金として、C及びTiを含有したAl合金、Niを含有したAl合金、C及びNiを含有したAl合金、C及びMnを含有したAl合金等を用いることができる。また、積層構造で設ける場合、AlをMoまたはTiなどで挟み込んだ構造とすることができ

50

る。こうすることで、A 1 の熱や化学反応に対する耐性を向上することができる。

【0828】

次に、図102 (A) に示した、複数の異なる構造を有するTF Tの断面図を参照して、各々の構造の特徴について説明する。

【0829】

110101は、シングルドレインTF Tであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体膜110113、110115は、それぞれ不純物の濃度が異なり、半導体膜110113はチャンネル領域、半導体膜110115はソース領域およびドレイン領域として用いる。このように、不純物の量を制御することで、半導体膜の抵抗率を制御できる。また、半導体膜と導電膜110123との電気的な接続状態を、オーミック接続に近づけることができる。なお、不純物の量の異なる半導体膜を作り分ける方法としては、ゲート電極110117をマスクとして半導体膜に不純物をドーピングする方法を用いることができる。

10

【0830】

110102は、ゲート電極110117に一定以上のテーパ角を有するTF Tであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体膜110113、110114、110115は、それぞれ不純物濃度が異なり、半導体膜110113はチャンネル領域、半導体膜110114は低濃度ドレイン (Lightly Doped Drain: LDD) 領域、半導体膜110115はソース領域およびドレイン領域として用いる。このように、不純物の量を制御することで、半導体膜の抵抗率を制御できる。また、半導体膜と導電膜110123との電気的な接続状態を、オーミック接続に近づけることができる。また、LDD領域を有するため、TF T内部に高電界がかかりにくく、ホットキャリアによる素子の劣化を抑制することができる。なお、不純物の量の異なる半導体膜を作り分ける方法としては、ゲート電極110117をマスクとして半導体膜に不純物をドーピングする方法を用いることができる。110102においては、ゲート電極110117が一定以上のテーパ角を有しているため、ゲート電極110117を通過して半導体膜にドーピングされる不純物の濃度に勾配を持たせることができ、簡便にLDD領域を形成することができる。

20

【0831】

110103は、ゲート電極110117が少なくとも2層で構成され、下層のゲート電極が上層のゲート電極よりも長い形状を有するTF Tである。本明細書中においては、上層のゲート電極及び下層のゲート電極の形状を、帽子型と呼ぶ。ゲート電極110117の形状が帽子型であることによって、フォトマスクを追加することなく、LDD領域を形成することができる。なお、110103のように、LDD領域がゲート電極110117と重なっている構造を、特にGOLD構造 (Gate Overlapped LDD) と呼ぶ。なお、ゲート電極110117の形状を帽子型とする方法としては、次のような方法を用いてもよい。

30

【0832】

まず、ゲート電極110117をパターニングする際に、ドライエッチングにより、下層のゲート電極及び上層のゲート電極をエッチングして側面に傾斜 (テーパ) のある形状にする。続いて、異方性エッチングにより上層のゲート電極の傾斜を垂直に近くなるように加工する。これにより、断面形状が帽子型のゲート電極が形成される。その後、2回、不純物元素をドーピングすることによって、チャンネル領域として用いる半導体膜110113、LDD領域として用いる半導体膜110114、ソース電極およびドレイン電極として用いる半導体膜110115が形成される。

40

【0833】

なお、ゲート電極110117と重なっているLDD領域をLov領域、ゲート電極110117と重なっていないLDD領域をLoff領域と呼ぶことにする。ここで、Loff領域はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリアによるオン電流値の劣化を防ぐ効果は低い。一方、Lov領域はドレイン近傍の電界を

50

緩和し、オン電流値の劣化の防止には有効であるが、オフ電流値を抑える効果は低い。よって、種々の回路毎に、求められる特性に応じた構造のTFTを作製することが好ましい。たとえば、本実施の形態における半導体装置を表示装置として用いる場合、画素TFTは、オフ電流値を抑えるために、Loff領域を有するTFTを用いることが好適である。一方、周辺回路におけるTFTは、ドレイン近傍の電界を緩和し、オン電流値の劣化を防止するために、Lov領域を有するTFTを用いることが好適である。

【0834】

110104は、ゲート電極110117の側面に接して、サイドウォール110121を有するTFTである。サイドウォール110121を有することによって、サイドウォール110121と重なる領域をLDD領域とすることができる。

10

【0835】

110105は、半導体膜にマスクを用いてドーピングすることにより、LDD(Loff)領域を形成したTFTである。こうすることにより、確実にLDD領域を形成することができ、TFTのオフ電流値を低減することができる。

【0836】

110106は、半導体膜にマスクを用いてドーピングすることにより、LDD(Lov)領域を形成したTFTである。こうすることにより、確実にLDD領域を形成することができ、TFTのドレイン近傍の電界を緩和し、オン電流値の劣化を低減することができる。

【0837】

次に、図102(B)乃至(G)を参照して、本実施の形態を適用できる半導体装置が有することのできるTFTの製造プロセスの例を説明する。

なお、本実施の形態を適用できる半導体装置が有することのできるTFTの構造および製造プロセスは、図102に示すものに限定されず、様々な構造および製造プロセスを用いることができる。

20

【0838】

本実施の形態においては、基板110111の表面に、絶縁膜110112の表面に、半導体膜110113の表面に、110114の表面に、110115の表面に、絶縁膜110116の表面に、絶縁膜110118の表面に、または絶縁膜110119の表面に、プラズマ処理を用いて酸化または窒化を行うことにより、半導体膜または絶縁膜を酸化または窒化することができる。このように、プラズマ処理を用いて半導体膜または絶縁膜を酸化または窒化することによって、当該半導体膜または当該絶縁膜の表面を改質し、CVD法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。

30

【0839】

まず、基板110111の表面をフッ酸(HF)、アルカリまたは純水を用いて洗浄する。基板110111は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板またはステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。なお、ここでは基板110111としてガラス基板を用いる場合を示す。

40

【0840】

ここで、基板110111の表面にプラズマ処理を行うことで、基板110111の表面を酸化または窒化することによって、基板110111の表面に酸化膜または窒化膜を形成してもよい(図102(B))。表面にプラズマ処理を行うことで形成された酸化膜または窒化膜などの絶縁膜を、以下では、プラズマ処理絶縁膜とも記す。図102(B)においては、絶縁膜110131がプラズマ処理絶縁膜である。一般的に、ガラス又はプラスチック等の基板上に薄膜トランジスタ等の半導体素子を設ける場合、ガラス又はプラス

50

チック等に含まれるNaなどの、アルカリ金属又はアルカリ土類金属等の不純物元素が半導体素子に混入して汚染することによって、半導体素子の特性に影響を及ぼす恐れがある。しかし、ガラス又はプラスチック等からなる基板の表面を窒化することにより、基板に含まれるNaなどの、アルカリ金属又はアルカリ土類金属等の不純物元素が半導体素子に混入するのを防止することができる。

【0841】

なお、プラズマ処理により表面を酸化する場合には、酸素雰囲気下（例えば、酸素（ O_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、または、酸素と水素（ H_2 ）と希ガス雰囲気下、または、一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により半導体膜を窒化する場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、または、窒素と水素と希ガス雰囲気下、または、 NH_3 と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。あるいは、ArとKrを混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる。たとえば、Arを用いた場合にはプラズマ処理絶縁膜にArが含まれている。

【0842】

また、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、プラズマの電子温度が0.5 eV以上1.5 eV以下で行うことが好適である。プラズマの電子密度が高密度であり、被処理物付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化物または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。あるいは、プラズマの電子温度が1 eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも100度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波（2.45 GHz）等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

【0843】

なお、図102（B）においては、基板110111の表面をプラズマ処理することによってプラズマ処理絶縁膜を形成する場合を示しているが、本実施の形態は、基板110111の表面にプラズマ処理絶縁膜を形成しない場合も含む。

【0844】

なお、図102（C）乃至（G）においては、被処理物の表面をプラズマ処理することによって形成されるプラズマ処理絶縁膜を図示しないが、本実施の形態においては、基板110111、絶縁膜110112、半導体膜110113、110114、110115、絶縁膜110116、絶縁膜110118、または絶縁膜110119の表面に、プラズマ処理を行なうことによって形成されるプラズマ処理絶縁膜が存在する場合も含む。

【0845】

次に、基板110111上に公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いて絶縁膜110112を形成する（図102（C））。絶縁膜110112としては、酸化珪素（ SiO_x ）または酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）を用いることができる。

【0846】

ここで、絶縁膜110112の表面にプラズマ処理を行い、絶縁膜110112を酸化または窒化することによって、絶縁膜110112の表面にプラズマ処理絶縁膜を形成してもよい。絶縁膜110112の表面を酸化することによって、絶縁膜110112の表面を改質しピンホール等の欠陥の少ない緻密な膜を得ることができる。また、絶縁膜110

10

20

30

40

50

112の表面を酸化することによって、N原子の含有率が低いプラズマ処理絶縁膜を形成することができるため、プラズマ処理絶縁膜に半導体膜を設けた場合にプラズマ処理絶縁膜と半導体膜界面特性が向上する。また、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる。なお、プラズマ処理は上述した条件下で同様に行うことができる。

【0847】

次に、絶縁膜110112上に島状の半導体膜110113、110114を形成する（図102（D））。島状の半導体膜110113、110114は、絶縁膜110112上に公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いてシリコン（Si）を主成分とする材料（例えば $\text{Si}_x\text{Ge}_{1-x}$ 等）等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、RTA又はファーンズアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等の公知の結晶化法により行うことができる。なお、ここでは、島状の半導体膜の端部を直角に近い形状（ $\theta = 85 \sim 100^\circ$ ）で設ける。あるいは、低濃度ドレイン領域となる半導体膜110114は、マスクを用いて不純物をドーピングすることによって形成されてもよい。

【0848】

ここで、半導体膜110113、110114の表面にプラズマ処理を行い、半導体膜110113、110114の表面を酸化または窒化することによって、半導体膜110113、110114の表面にプラズマ処理絶縁膜を形成してもよい。例えば、半導体膜110113、110114としてSiを用いた場合、プラズマ処理絶縁膜として、酸化珪素（ SiO_x ）または窒化珪素（ SiN_x ）が形成される。あるいは、プラズマ処理により半導体膜110113、110114を酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体膜110113、110114に接して酸化珪素（ SiO_x ）が形成され、当該酸化珪素の表面に窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）が形成される。なお、プラズマ処理により半導体膜を酸化する場合には、酸素雰囲気下（例えば、酸素（ O_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、または、酸素と水素（ H_2 ）と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下）、でプラズマ処理を行う。一方、プラズマ処理により半導体膜を窒化する場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、または、窒素と水素と希ガス雰囲気下または NH_3 と希ガス雰囲気下）、でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる。たとえば、Arを用いた場合にはプラズマ処理絶縁膜にArが含まれている。

【0849】

次に、絶縁膜110116を形成する（図102（E））。絶縁膜110116は、公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いて、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。なお、半導体膜110113、110114の表面をプラズマ処理することにより、半導体膜110113、110114の表面にプラズマ処理絶縁膜を形成した場合には、プラズマ処理絶縁膜を絶縁膜110116として用いることも可能である。

【0850】

ここで、絶縁膜110116の表面にプラズマ処理を行い、絶縁膜110116の表面を酸化または窒化することによって、絶縁膜110116の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne

、Ar、Kr、Xeの少なくとも一つを含む)を含んでいる。また、プラズマ処理は上述した条件下で同様に行うことができる。

【0851】

あるいは、一旦酸素雰囲気下でプラズマ処理を行うことにより絶縁膜110116を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。このように、絶縁膜110116にプラズマ処理を行い、絶縁膜110116の表面を酸化または窒化することによって、絶縁膜110116の表面を改質し緻密な膜を形成することができる。プラズマ処理を行うことによって得られた絶縁膜は、CVD法やスパッタ法で形成された絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、薄膜トランジスタの特性を向上させることができる。

10

【0852】

次に、ゲート電極110117を形成する(図102(F))。ゲート電極110117は、公知の手段(スパッタ法、LPCVD法、プラズマCVD法等)を用いて形成することができる。

【0853】

110101においては、ゲート電極110117を形成した後に不純物ドーピングを行なうことで、ソース領域およびドレイン領域として用いる半導体膜110115を形成することができる。

【0854】

110102においては、ゲート電極110117を形成した後に不純物ドーピングを行なうことで、LDD領域として用いる110114と、半導体膜ソース領域およびドレイン領域として用いる半導体膜110115を形成することができる。

20

【0855】

110103においては、ゲート電極110117を形成した後に不純物ドーピングを行なうことで、LDD領域として用いる110114と、半導体膜ソース領域およびドレイン領域として用いる半導体膜110115を形成することができる。

【0856】

110104においては、ゲート電極110117の側面にサイドウォール110121を形成した後、不純物ドーピングを行なうことで、LDD領域として用いる110114と、半導体膜ソース領域およびドレイン領域として用いる半導体膜110115を形成することができる。

30

【0857】

なお、サイドウォール110121は、酸化珪素(SiO_x)または窒化珪素(SiN_x)を用いることができる。サイドウォール110121をゲート電極110117の側面に形成する方法としては、たとえば、ゲート電極110117を形成した後に、酸化珪素(SiO_x)または窒化珪素(SiN_x)を公知の方法で成膜した後に、異方性エッチングによって酸化珪素(SiO_x)または窒化珪素(SiN_x)膜をエッチングする方法を用いることができる。こうすることで、ゲート電極110117の側面にのみ酸化珪素(SiO_x)または窒化珪素(SiN_x)膜を残すことができるので、ゲート電極110117の側面にサイドウォール110121を形成することができる。

40

【0858】

110105においては、ゲート電極110117を覆うようにマスク110122を形成した後、不純物ドーピングを行なうことで、LDD(Loff)領域として用いる110114と、半導体膜ソース領域およびドレイン領域として用いる半導体膜110115を形成することができる。

【0859】

110106においては、ゲート電極110117を形成した後に不純物ドーピングを行なうことで、LDD(Lov)領域として用いる110114と、半導体膜ソース領域およびドレイン領域として用いる半導体膜110115を形成することができる。

【0860】

50

次に、絶縁膜 110118 を形成する（図 102（G））。絶縁膜 110118 は、公知の手段（スパッタ法やプラズマ CVD 法等）により、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素または窒素を有する絶縁膜や DLC（ダイヤモンドライクカーボン）等の炭素を含む膜の単層構造、またはこれらの積層構造で設けることができる。

【0861】

ここで、絶縁膜 110118 の表面にプラズマ処理を行い、絶縁膜 110118 の表面を酸化または窒化することによって、絶縁膜 110118 の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xe の少なくとも一つを含む）を含んでいる。また、プラズマ処理は上述した条件下で同様に行うことができる。

10

【0862】

次に、絶縁膜 110119 を形成する。絶縁膜 110119 は、公知の手段（スパッタ法やプラズマ CVD 法等）により、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素または窒素を有する絶縁膜や DLC（ダイヤモンドライクカーボン）等の炭素を含む膜を用いることができる他に、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂の単層構造、またはこれらの積層構造で設けることができる。なお、シロキサン樹脂とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む樹脂に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、プラズマ処理絶縁膜には、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xe の少なくとも一つを含む）が含まれており、例えば Ar を用いた場合にはプラズマ処理絶縁膜中に Ar が含まれている。

20

【0863】

絶縁膜 110119 としてポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂等を用いた場合、絶縁膜 110119 の表面をプラズマ処理により酸化または窒化することにより、当該絶縁膜の表面を改質することができる。表面を改質することによって、絶縁膜 110119 の強度が向上し開口部形成時等におけるクラックの発生やエッチング時の膜減り等の物理的ダメージを低減することが可能となる。また、絶縁膜 110119 の表面が改質されることによって、絶縁膜 110119 上に導電膜 110123 を形成する場合に導電膜との密着性が向上する。例えば、絶縁膜 110119 としてシロキサン樹脂を用いてプラズマ処理を用いて窒化を行った場合、シロキサン樹脂の表面が窒化されることにより窒素または希ガスを含むプラズマ処理絶縁膜が形成され、物理的強度が向上する。

30

【0864】

次に、半導体膜 110115 と電氣的に接続された導電膜 110123 を形成するため、絶縁膜 110119、絶縁膜 110118、絶縁膜 110116 にコンタクトホールを形成する。なお、コンタクトホールの形状はテーパー状であってもよい。こうすることで、導電膜 110123 のカバレッジを向上させることができる。

40

【0865】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

【0866】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。

【0867】

（実施の形態 14）

本実施形態においては、本実施の形態を実施できる表示装置に適用できる発光素子の詳細

50

な構成について説明する。

【0868】

エレクトロルミネセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0869】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。前者は、発光材料の粒子をバインダ中に分散させた電界発光層を有し、後者は、発光材料の薄膜からなる電界発光層を有している点に違いはあるが、高電界で加速された電子を必要とする点では共通である。なお、得られる発光のメカニズムとしては、ドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光と、金属イオンの内殻電子遷移を利用する局在型発光とがある。一般的に、分散型無機ELではドナー-アクセプター再結合型発光、薄膜型無機EL素子では局在型発光である場合が多い。

10

【0870】

本実施の形態で用いることのできる発光材料は、母体材料と発光中心となる不純物元素とで構成される。含有させる不純物元素を変化させることで、様々な色の発光を得ることができる。発光材料の作製方法としては、固相法や液相法（共沈法）などの様々な方法を用いることができる。あるいは、噴霧熱分解法、複分解法、プレカーサーの熱分解反応による方法、逆ミセル法やこれらの方法と高温焼成を組み合わせた方法、凍結乾燥法などの液相法なども用いることができる。

20

【0871】

固相法は、母体材料と、不純物元素又は不純物元素を含む化合物を秤量し、乳鉢で混合、電気炉で加熱、焼成を行い反応させ、母体材料に不純物元素を含有させる方法である。焼成温度は、700～1500℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。比較的高温での焼成を必要とするが、簡単な方法であるため、生産性がよく大量生産に適している。

【0872】

液相法（共沈法）は、母体材料又は母体材料を含む化合物と、不純物元素又は不純物元素を含む化合物を溶液中で反応させ、乾燥させた後、焼成を行う方法である。発光材料の粒子が均一に分布し、粒径が小さく低い焼成温度でも反応が進むことができる。

30

【0873】

発光材料に用いる母体材料としては、硫化物、酸化物、窒化物を用いることができる。硫化物としては、例えば、硫化亜鉛（ZnS）、硫化カドミウム（CdS）、硫化カルシウム（CaS）、硫化イットリウム（Y₂S₃）、硫化ガリウム（Ga₂S₃）、硫化ストロンチウム（SrS）、硫化バリウム（BaS）等を用いることができる。また、酸化物としては、例えば、酸化亜鉛（ZnO）、酸化イットリウム（Y₂O₃）等を用いることができる。また、窒化物としては、例えば、窒化アルミニウム（AlN）、窒化ガリウム（GaN）、窒化インジウム（InN）等を用いることができる。さらに、セレン化亜鉛（ZnSe）、テルル化亜鉛（ZnTe）等も用いることができ、硫化カルシウム-ガリウム（CaGa₂S₄）、硫化ストロンチウム-ガリウム（SrGa₂S₄）、硫化バリウム-ガリウム（BaGa₂S₄）、等の3元系の混晶であってもよい。

40

【0874】

局在型発光の発光中心として、マンガン（Mn）、銅（Cu）、サマリウム（Sm）、テルビウム（Tb）、エルビウム（Er）、ツリウム（Tm）、ユーロピウム（Eu）、セリウム（Ce）、プラセオジウム（Pr）などを用いることができる。なお、電荷補償として、フッ素（F）、塩素（Cl）などのハロゲン元素が添加されていてもよい。

【0875】

一方、ドナー-アクセプター再結合型発光の発光中心として、ドナー準位を形成する第1の不純物元素及びアクセプター準位を形成する第2の不純物元素を含む発光材料を用いる

50

ことができる。第1の不純物元素は、例えば、フッ素（F）、塩素（Cl）、アルミニウム（Al）等を用いることができる。第2の不純物元素としては、例えば、銅（Cu）、銀（Ag）等を用いることができる。

【0876】

ドナーアクセプター再結合型発光の発光材料を固相法を用いて合成する場合、母体材料と、第1の不純物元素又は第1の不純物元素を含む化合物と、第2の不純物元素又は第2の不純物元素を含む化合物をそれぞれ秤量し、乳鉢で混合した後、電気炉で加熱、焼成を行う。母体材料としては、上述した母体材料を用いることができ、第1の不純物元素又は第1の不純物元素を含む化合物としては、例えば、フッ素（F）、塩素（Cl）、硫化アルミニウム（ Al_2S_3 ）等を用いることができ、第2の不純物元素又は第2の不純物元素を含む化合物としては、例えば、銅（Cu）、銀（Ag）、硫化銅（ Cu_2S ）、硫化銀（ Ag_2S ）等を用いることができる。焼成温度は、700～1500℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。

10

【0877】

また、固相反応を利用する場合の不純物元素として、第1の不純物元素と第2の不純物元素で構成される化合物を組み合わせて用いてもよい。この場合、不純物元素が拡散されやすく、固相反応が進みやすくなるため、均一な発光材料を得ることができる。さらに、余分な不純物元素が入らないため、純度の高い発光材料を得ることができる。第1の不純物元素と第2の不純物元素で構成される化合物としては、例えば、塩化銅（CuCl）、塩化銀（AgCl）等を用いることができる。

20

【0878】

なお、これらの不純物元素の濃度は、母体材料に対して0.01～10atom%であればよく、好ましくは0.05～5atom%の範囲である。

【0879】

薄膜型無機ELの場合、電界発光層は、上記発光材料を含む層であり、抵抗加熱蒸着法、電子ビーム蒸着（EB蒸着）法等の真空蒸着法、スパッタリング法等の物理気相成長法（PVD）、有機金属CVD法、ハイドライド輸送減圧CVD法等の化学気相成長法（CVD）、原子エピタキシ法（ALE）等を用いて形成することができる。

30

【0880】

図103（A）乃至（C）に発光素子として用いることのできる薄膜型無機EL素子の一例を示す。図103（A）乃至（C）において、発光素子は、第1の電極層120100、電界発光層120102、第2の電極層120103を含む。

【0881】

図103（B）及び図103（C）に示す発光素子は、図103（A）の発光素子において、電極層と電界発光層間に絶縁層を設ける構造である。図103（B）に示す発光素子は、第1の電極層120100と電界発光層120102との間に絶縁層120104を有し、図103（C）に示す発光素子は、第1の電極層120100と電界発光層120102との間に絶縁層120105、第2の電極層120103と電界発光層120102との間に絶縁層120106とを有している。このように絶縁層は電界発光層を挟持する一対の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。また、絶縁層は単層でもよいし複数層を有する積層でもよい。

40

【0882】

なお、図103（B）では第1の電極層120100に接するように絶縁層120104が設けられているが、絶縁層と電界発光層の順番を逆にして、第2の電極層120103に接するように絶縁層120104を設けてもよい。

【0883】

分散型無機ELの場合、粒子状の発光材料をバインダ中に分散させ膜状の電界発光層を形成する。粒子状に加工する。発光材料の作製方法によって、十分に所望の大きさの粒子が

50

得られない場合は、乳鉢等で粉碎などによって粒子状に加工すればよい。バインダとは、粒状の発光材料を分散した状態で固定し、電界発光層としての形状に保持するための物質である。発光材料は、バインダによって電界発光層中に均一に分散し固定される。

【0884】

分散型無機ELの場合、電界発光層の形成方法は、選択的に電界発光層を形成できる液滴吐出法や、印刷法（スクリーン印刷やオフセット印刷など）、スピンコート法などの塗布法、ディッピング法、ディスペンサ法などを用いることもできる。膜厚は特に限定されることはないが、好ましくは、10～1000nmの範囲である。また、発光材料及びバインダを含む電界発光層において、発光材料の割合は50wt%以上80wt%以下とするよい。

10

【0885】

図104（A）乃至（C）に発光素子として用いることのできる分散型無機EL素子の一例を示す。図104（A）における発光素子は、第1の電極層120200、電界発光層120202、第2の電極層120203の積層構造を有し、電界発光層120202中にバインダによって保持された発光材料120201を含む。

【0886】

本実施の形態に用いることのできるバインダは、絶縁材料を用いることができる。絶縁材料としては、有機材料および無機材料を用いることができる。あるいは、有機材料及び無機材料の混合材料を用いてもよい。有機絶縁材料としては、シアノエチルセルロース系樹脂のように、比較的誘電率の高いポリマーや、ポリエチレン、ポリプロピレン、ポリスチレン系樹脂、シリコーン樹脂、エポキシ樹脂、フッ化ビニリデンなどの樹脂を用いることができる。あるいは、芳香族ポリアミド、ポリベンゾイミダゾール（polybenzimidazole）などの耐熱性高分子、又はシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。あるいは、ポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂、オキサゾール樹脂（ポリベンゾオキサゾール）等の樹脂材料を用いてもよい。これらの樹脂に、チタン酸バリウム（BaTiO₃）やチタン酸ストロンチウム（SrTiO₃）などの高誘電率の微粒子を適度に混合して誘電率を調整することもできる。

20

30

【0887】

バインダに含まれる無機絶縁材料としては、酸化珪素（SiO_x）、窒化珪素（SiN_x）、酸素及び窒素を含む珪素、窒化アルミニウム（AlN）、酸素及び窒素を含むアルミニウム、酸素及び窒素を含む酸化アルミニウム（Al₂O₃）、酸化チタン（TiO₂）、BaTiO₃、SrTiO₃、チタン酸鉛（PbTiO₃）、ニオブ酸カリウム（KNbO₃）、ニオブ酸鉛（PbNbO₃）、酸化タンタル（Ta₂O₅）、タンタル酸バリウム（BaTa₂O₆）、タンタル酸リチウム（LiTaO₃）、酸化イットリウム（Y₂O₃）、酸化ジルコニウム（ZrO₂）、ZnSその他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。有機材料に、誘電率の高い無機材料を含ませる（添加等によって）ことによって、発光材料及びバインダよりなる電界発光層の誘電率をより制御することができ、より誘電率を大きくすることができる。

40

【0888】

作製工程において、発光材料はバインダを含む溶液中に分散される。本実施の形態に用いることのできるバインダを含む溶液の溶媒としては、バインダ材料が溶解し、電界発光層を形成する方法（各種ウェットプロセス）及び所望の膜厚に適した粘度の溶液を作製できるような溶媒を適宜選択すればよい。たとえば、溶媒として有機溶媒等を用いることができる。バインダとしてシロキサン樹脂を用いる場合は、プロピレングリコールモノメチルエーテル、プロピレングリコールモノメチルエーテルアセテート（PGMEAともいう）

50

、3-メトシキ-3-メチル-1-ブタノール（MMBともいう）などを溶媒として用いることができる。

【0889】

図104（B）及び図104（C）に示す発光素子は、図104（A）の発光素子において、電極層と電界発光層間に絶縁層を設ける構造である。図104（B）に示す発光素子は、第1の電極層120200と電界発光層120202との間に絶縁層120204を有し、図104（C）に示す発光素子は、第1の電極層120200と電界発光層120202との間に絶縁層120205、第2の電極層120203と電界発光層120202との間に絶縁層120206とを有している。このように絶縁層は電界発光層を挟持する一対の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。また絶縁層は単層でもよいし複数層を有する積層でもよい。

10

【0890】

また、図104（B）では第1の電極層120200に接するように絶縁層120204が設けられているが、絶縁層と電界発光層の順番を逆にして、第2の電極層120203に接するように絶縁層120204を設けてもよい。

【0891】

図103における絶縁層120104、図104における絶縁層120204のような絶縁層に用いることができる材料は、絶縁耐性が高く、緻密な膜質であることが好ましい。さらには、誘電率が高いことが好ましい。例えば、酸化シリコン（ SiO_2 ）、酸化イットリウム（ Y_2O_3 ）、酸化チタン（ TiO_2 ）、酸化アルミニウム（ Al_2O_3 ）、酸化ハフニウム（ HfO_2 ）、酸化タンタル（ Ta_2O_5 ）、チタン酸バリウム（ BaTiO_3 ）、チタン酸ストロンチウム（ SrTiO_3 ）、チタン酸鉛（ PbTiO_3 ）、窒化シリコン（ Si_3N_4 ）、酸化ジルコニウム（ ZrO_2 ）等やこれらの混合膜又は2種以上の積層膜を用いることができる。これらの絶縁膜は、スパッタリング、蒸着、CVD等により成膜することができる。また、絶縁層はこれら絶縁材料の粒子をバインダ中に分散して成膜してもよい。バインダ材料は、電界発光層に含まれるバインダと同様な材料、方法を用いて形成すればよい。膜厚は特に限定されることはないが、好ましくは10～1000nmの範囲である。

20

【0892】

本実施の形態で示す発光素子は、電界発光層を挟持する一対の電極層間に電圧を印加することで発光が得られるが、直流駆動又は交流駆動のいずれにおいても動作することができる。

30

【0893】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

【0894】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。

【0895】

（実施の形態15）

本実施形態においては、本実施の形態を実施できる表示装置の一例、特に光学的な取り扱いを行なう場合について説明する。

40

【0896】

図105（A）及び（B）に示す背面投影型表示装置130100は、プロジェクタユニット130111、ミラー130112、スクリーンパネル130101を備えている。その他に、スピーカ130102、操作スイッチ類130104を備えていてもよい。このプロジェクタユニット130111は、背面投影型表示装置130100の筐体130110の下部に配設され、映像信号に基づいて映像を映し出す投射光をミラー130112に向けて投射する。背面投影型表示装置130100はスクリーンパネル130101の背面から投影される映像を表示する構成となっている。

【0897】

50

一方、図106は、前面投影型表示装置130200を示している。前面投影型表示装置130200は、プロジェクタユニット130111と投射光学系130201を備えている。この投射光学系130201は前面に配設するスクリーン等に映像を投影する構成となっている。

【0898】

図105に示す背面投影型表示装置130100、図106に示す前面投影型表示装置130200に適用されるプロジェクタユニット130111の構成を以下に説明する。

【0899】

図107は、プロジェクタユニット130111の一構成例を示している。このプロジェクタユニット130111は、光源ユニット130301及び変調ユニット130304を備えている。光源ユニット130301は、レンズ類を含んで構成される光源光学系130303と、光源ランプ130302を備えている。光源ランプ130302は迷光が拡散しないように筐体内に収納されている。光源ランプ130302としては、大光量の光を放射可能な、例えば、高圧水銀ランプやキセノンランプなどが用いられる。光源光学系130303は、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルム、IRフィルム等を適宜設けて構成される。そして、光源ユニット130301は、放射光が変調ユニット130304に入射するように配設されている。変調ユニット130304は、複数の表示パネル130308、カラーフィルター、ダイクロイックミラー130305、全反射ミラー130306、プリズム130309、投射光学系130310を備えている。光源ユニット130301から放射された光は、ダイクロイックミラー130305で複数の光路に分離される。

【0900】

各光路には、所定の波長若しくは波長帯の光を透過するカラーフィルターと、表示パネル130308が備えられている。透過型である表示パネル130308は映像信号に基づいて透過光を変調する。表示パネル130308を透過した各色の光は、プリズム130309に入射し投射光学系130310を通して、スクリーン上に映像を表示する。なお、フレネルレンズがミラー及びスクリーンの間に配設されていてもよい。そして、プロジェクタユニット130111によって投射されミラーで反射される投影光は、フレネルレンズによって概略平行光に変換され、スクリーンに投影される。

【0901】

図108で示すプロジェクタユニット130111は、反射型表示パネル130407、130408、130409を備えた構成を示している。

【0902】

図108で示すプロジェクタユニット130111は、光源ユニット130301と変調ユニット130400を備えている。光源ユニット130301は、図107と同様の構成であってもよい。光源ユニット130301からの光は、ダイクロイックミラー130401、130402、全反射ミラー130403により、複数の光路に分けられて、偏光ビームスプリッタ130404、130405、130406に入射する。偏光ビームスプリッタ130404、130405、130406は、各色に対応する反射型表示パネル130407、130408、130409に対応して設けられている。反射型表示パネル130407、130408、130409は、映像信号に基づいて反射光を変調する。反射型表示パネル130407、130408、130409で反射された各色の光は、プリズム130309に入射することで合成されて、投射光学系130411を通して投射される。

【0903】

光源ユニット130301から放射された光は、ダイクロイックミラー130401で赤の波長領域の光のみを透過し、緑および青の波長領域の光を反射する。さらに、ダイクロイックミラー130402では、緑の波長領域の光のみが反射される。ダイクロイックミラー130401を透過した赤の波長領域の光は、全反射ミラー130403で反射され、偏光ビームスプリッタ130404へ入射する、また、青の波長領域の光は偏光ビー

10

20

30

40

50

ムスプリッタ130405へ入射し、緑の波長領域の光は偏光ビームスプリッタ130406に入射する。偏光ビームスプリッタ130404、130405、130406は、入射光をP偏光とS偏光とに分離する機能を有し、且つP偏光のみを透過させる機能を有している。反射型表示パネル130407、130408、130409は、映像信号に基づいて、入射した光を偏光する。

【0904】

各色に対応する反射型表示パネル130407、130408、130409には各色に対応するS偏光のみが入射する。なお、反射型表示パネル130407、130408、130409は液晶パネルであってもよい。このとき、液晶パネルは電界制御複屈折モード（ECB）で動作する。また、液晶分子は基板に対してある角度をもって垂直配向している。よって、反射型表示パネル130407、130408、130409は画素がオフ状態にある時は入射光の偏光状態を変化させないで反射させるように表示分子が配向している。また、画素がオン状態にある時は表示分子の配向状態が変化し、入射光の偏光状態が変化する。

【0905】

図108に示すプロジェクタユニット130111は、図105に示す背面投影型表示装置130100及び、図106に示す前面投影型表示装置130200に適用することができる。

【0906】

図109で示すプロジェクタユニットは単板式の構成を示している。図109（A）に示したプロジェクタユニット130111は、光源ユニット130301、表示パネル130507、投射光学系130511、位相差板130504を備えている。投射光学系130511は一つ又は複数のレンズにより構成されている。表示パネル130507にはカラーフィルターが備えられていてもよい。

【0907】

図109（B）は、フィールドシーケンシャル方式で動作するプロジェクタユニット130111の構成を示している。フィールドシーケンシャル方式は、赤、緑、青などの各色の光を時間的にずらせて順次表示パネルに入射させて、カラーフィルター無しでカラー表示を行う方式である。特に、入力信号変化に対する応答速度の大きい表示パネルと組み合わせると、高精細な映像を表示することができる。図109（B）では、光源ユニット130301と表示パネル130508の間に、赤、緑、青などの複数のカラーフィルターが備えられた回動式のカラーフィルター板130505を備えている。

【0908】

図109（C）で示すプロジェクタユニット130111は、カラー表示の方式として、マクロレンズを使った色分離方式の構成を示している。この方式は、マイクロレンズアレイ130506を表示パネル130509の光入射側に備え、各色の光をそれぞれの方
向から照明することでカラー表示を実現する方式である。この方式を採用するプロジェクタユニット130111は、カラーフィルターによる光の損失が少ないので、光源ユニット130301からの光を有効に利用することができるという特徴を有している。図109（C）に示すプロジェクタユニット130111は、表示パネル130509に対して各色の光をそれぞれの方
向から照明するように、ダイクロイックミラー130501、ダイクロイックミラー130502、赤色光用ダイクロイックミラー130503を備えている。

【0909】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

【0910】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。

【0911】

（実施の形態16）

10

20

30

40

50

本実施形態においては、本実施の形態に係る電子機器の例について説明する。

【0912】

図110は表示パネル900101と、回路基板900111を組み合わせた表示パネルモジュールを示している。表示パネル900101は画素部900102、走査線駆動回路900103及び信号線駆動回路900104を有している。回路基板900111には、例えば、コントロール回路900112及び信号分割回路900113などが形成されている。表示パネル900101と回路基板900111とは接続配線900114によって接続されている。接続配線にはFPC等を用いることができる。

【0913】

表示パネル900101は、画素部900102と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にTFTを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）などで表示パネル900101に実装してもよい。こうすることで、回路基板900111の面積を削減でき、小型の表示装置を得ることができる。あるいは、そのICチップをTAB（Tape Auto Bonding）やプリント基板を用いて表示パネル900101に実装してもよい。こうすることで、表示パネル900101の面積を小さくできるので、額縁サイズの小さい表示装置を得ることができる。

【0914】

例えば、消費電力の低減を図るため、ガラス基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOGまたはTABで表示パネルに実装してもよい。

【0915】

図110に示した表示パネルモジュールによって、テレビ受像機を完成させることができる。図111は、テレビ受像機の主要な構成を示すブロック図である。チューナ900201は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路900202と、映像信号増幅回路900202から出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路900203と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路900212により処理される。コントロール回路900212は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動する場合には、信号線側に信号分割回路900213を設け、入力デジタル信号をm個（mは正の整数）に分割して供給する構成としても良い。

【0916】

チューナ900201で受信した信号のうち、音声信号は音声信号増幅回路900205に送られ、その出力は音声信号処理回路900206を経てスピーカー900207に供給される。制御回路900208は受信局（受信周波数）及び音量の制御情報を入力部900209から受け、チューナ900201や音声信号処理回路900206に信号を送出する。

【0917】

また、図111とは別の形態の表示パネルモジュールを組み込んだテレビ受像器について図112（A）に示す。図112（A）において、筐体900301内に収められた表示画面900302は、表示パネルモジュールで形成される。なお、スピーカー900303、操作スイッチ900304などが適宜備えられていてもよい。

【0918】

また、図112（B）に、ワイヤレスでディスプレイのみを持ち運び可能なテレビ受像器を示す。筐体900312にはバッテリー及び信号受信器が内蔵されており、そのバッテリーで表示部900313やスピーカー部900317を駆動させる。バッテリーは充電器900310で繰り返し充電が可能となっている。また、充電器900310は映像信号を送受信することが可能で、その映像信号をディスプレイの信号受信器に送信することができる。筐体900312は操作キー900316によって制御する。あるいは、図1

10

20

30

40

50

1 2 (B) に示す装置は、操作キー 9 0 0 3 1 6 を操作することによって、筐体 9 0 0 3 1 2 から充電器 9 0 0 3 1 0 に信号を送ることが可能である、映像音声双方向通信装置であってもよい。あるいは、操作キー 9 0 0 3 1 6 を操作することによって、筐体 9 0 0 3 1 2 から充電器 9 0 0 3 1 0 に信号を送り、さらに充電器 9 0 0 3 1 0 が送信できる信号を他の電子機器に受信させることによって、他の電子機器の通信制御も可能である、汎用遠隔制御装置であってもよい。本実施の形態は表示部 9 0 0 3 1 3 に適用することができる。

【0919】

図 1 1 3 (A) は、表示パネル 9 0 0 4 0 1 とプリント配線基板 9 0 0 4 0 2 を組み合わせたモジュールを示している。表示パネル 9 0 0 4 0 1 は、複数の画素が設けられた画素部 9 0 0 4 0 3 と、第 1 の走査線駆動回路 9 0 0 4 0 4、第 2 の走査線駆動回路 9 0 0 4 0 5 と、選択された画素にビデオ信号を供給する信号線駆動回路 9 0 0 4 0 6 を備えていてもよい。

10

【0920】

プリント配線基板 9 0 0 4 0 2 には、コントローラ 9 0 0 4 0 7、中央処理装置 (CPU) 9 0 0 4 0 8、メモリ 9 0 0 4 0 9、電源回路 9 0 0 4 1 0、音声処理回路 9 0 0 4 1 1 及び送受信回路 9 0 0 4 1 2 などが備えられている。プリント配線基板 9 0 0 4 0 2 と表示パネル 9 0 0 4 0 1 は、フレキシブル配線基板 (FPC) 9 0 0 4 1 3 により接続されている。プリント配線基板 (FPC) 9 0 0 4 1 3 には、保持容量、バッファ回路などを設け、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることを防ぐ構成としても良い。また、コントローラ 9 0 0 4 0 7、音声処理回路 9 0 0 4 1 1、メモリ 9 0 0 4 0 9、中央処理装置 (CPU) 9 0 0 4 0 8、電源回路 9 0 0 4 1 0 などは、COG (Chip On Glass) 方式を用いて表示パネル 9 0 0 4 0 1 に実装することもできる。COG 方式により、プリント配線基板 9 0 0 4 0 2 の規模を縮小することができる。

20

【0921】

プリント配線基板 9 0 0 4 0 2 に備えられたインターフェース (I/F) 部 9 0 0 4 1 4 を介して、各種制御信号の入出力が行われる。また、アンテナとの間の信号の送受信を行うためのアンテナ用ポート 9 0 0 4 1 5 が、プリント配線基板 9 0 0 4 0 2 に設けられている。

30

【0922】

図 1 1 3 (B) は、図 1 1 3 (A) に示したモジュールのブロック図を示す。このモジュールは、メモリ 9 0 0 4 0 9 として VRAM 9 0 0 4 1 6、DRAM 9 0 0 4 1 7、フラッシュメモリ 9 0 0 4 1 8 などが含まれている。VRAM 9 0 0 4 1 6 にはパネルに表示する画像のデータが、DRAM 9 0 0 4 1 7 には画像データまたは音声データが、フラッシュメモリには各種プログラムが記憶されている。

【0923】

電源回路 9 0 0 4 1 0 は、表示パネル 9 0 0 4 0 1、コントローラ 9 0 0 4 0 7、中央処理装置 (CPU) 9 0 0 4 0 8、音声処理回路 9 0 0 4 1 1、メモリ 9 0 0 4 0 9、送受信回路 9 0 0 4 1 2 を動作させる電力を供給する。またパネルの仕様によっては、電源回路 9 0 0 4 1 0 に電流源が備えられている場合もある。

40

【0924】

中央処理装置 (CPU) 9 0 0 4 0 8 は、制御信号生成回路 9 0 0 4 2 0、デコーダ 9 0 0 4 2 1、レジスタ 9 0 0 4 2 2、演算回路 9 0 0 4 2 3、RAM 9 0 0 4 2 4、中央処理装置 (CPU) 9 0 0 4 0 8 用のインターフェース 9 0 0 4 1 9 などを有している。インターフェース 9 0 0 4 1 9 を介して中央処理装置 (CPU) 9 0 0 4 0 8 に入力された各種信号は、一旦、レジスタ 9 0 0 4 2 2 に保持された後、演算回路 9 0 0 4 2 3、デコーダ 9 0 0 4 2 1 などに入力される。演算回路 9 0 0 4 2 3 では、入力された信号に基づき演算を行い、各種命令を送る場所を指定する。一方、デコーダ 9 0 0 4 2 1 に入力された信号はデコードされ、制御信号生成回路 9 0 0 4 2 0 に入力される。制御信号生成回路

50

900420は入力された信号に基づき、各種命令を含む信号を生成し、演算回路900423において指定された場所、具体的にはメモリ900409、送受信回路900412、音声処理回路900411、コントローラ900407などに送る。

【0925】

メモリ900409、送受信回路900412、音声処理回路900411、コントローラ900407は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

【0926】

入力手段900425から入力された信号は、インターフェイス（I/F）部900414を介してプリント配線基板900402に実装された中央処理装置（CPU）900408に送られる。制御信号生成回路900420は、ポインティングデバイスやキーボードなどの入力手段900425から送られてきた信号に従い、VRAM900416に格納してある画像データを所定のフォーマットに変換し、コントローラ900407に送付する。

10

【0927】

コントローラ900407は、パネルの仕様に合わせて中央処理装置（CPU）900408から送られてきた画像データを含む信号にデータ処理を施し、表示パネル900401に供給する。またコントローラ900407は、電源回路900410から入力された電源電圧や中央処理装置（CPU）900408から入力された各種信号をもとに、Hsync信号、Vsync信号、クロック信号CLK、交流電圧（AC Cont）、切り替え信号L/Rを生成し、表示パネル900401に供給する。

20

【0928】

送受信回路900412では、アンテナ900428において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、VCO（Voltage Controlled Oscillator）、LPF（Low Pass Filter）、カプラ、バランなどの高周波回路を含んでいてもよい。送受信回路900412において送受信される信号のうち音声情報を含む信号が、中央処理装置（CPU）900408からの命令に従って、音声処理回路900411に送られる。

【0929】

中央処理装置（CPU）900408の命令に従って送られてきた音声情報を含む信号は、音声処理回路900411において音声信号に復調され、スピーカ900427に送られる。またマイク900426から送られてきた音声信号は、音声処理回路900411において変調され、中央処理装置（CPU）900408からの命令に従って、送受信回路900412に送られる。

30

【0930】

コントローラ900407、中央処理装置（CPU）900408、電源回路900410、音声処理回路900411、メモリ900409を、本実施形態のパッケージとして実装することができる。

【0931】

勿論、本実施の形態はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

40

【0932】

次に、図114を参照して、本実施の形態に係る携帯電話の構成例について説明する。

【0933】

表示パネル900501はハウジング900530に脱着自在に組み込まれる。ハウジング900530は表示パネル900501のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル900501を固定したハウジング900530はプリント基板900531に嵌入されモジュールとして組み立てられる。

【0934】

50

表示パネル 900501 は FPC 900513 を介してプリント基板 900531 に接続される。プリント基板 900531 には、スピーカー 900532、マイクロフォン 900533、送受信回路 900534、CPU 及びコントローラなどを含む信号処理回路 900535 が形成されている。このようなモジュールと、入力手段 900536、バッテリー 900537 を組み合わせ、筐体 900539 に収納する。表示パネル 900501 の画素部は筐体 900539 に形成された開口窓から視認できよう配置する。

【0935】

表示パネル 900501 は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上に TFT を用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）を IC チップ上に形成し、その IC チップを COG (Chip On Glass) で表示パネル 900501 に実装しても良い。あるいは、その IC チップを TAB (Tape Auto Bonding) やプリント基板を用いてガラス基板と接続してもよい。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

【0936】

また、図 115 で示す携帯電話機は、操作スイッチ類 900604、マイクロフォン 900605 などが備えられた本体 (A) 900601 と、表示パネル (A) 900608、表示パネル (B) 900609、スピーカー 900606 などが備えられた本体 (B) 900602 とが、蝶番 900610 で開閉可能に連結されている。表示パネル (A) 900608 と表示パネル (B) 900609 は、回路基板 900607 と共に本体 (B) 900602 の筐体 900603 の中に収納される。表示パネル (A) 900608 及び表示パネル (B) 900609 の画素部は筐体 900603 に形成された開口窓から視認できるように配置される。

【0937】

表示パネル (A) 900608 と表示パネル (B) 900609 は、その携帯電話機 900600 の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パネル (A) 900608 を主画面とし、表示パネル (B) 900609 を副画面として組み合わせることができる。

【0938】

本実施形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、蝶番 900610 の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。また、操作スイッチ類 900604、表示パネル (A) 900608、表示パネル (B) 900609 を一つの筐体内に納めた構成としても、上記した作用効果を奏することができる。また、表示部を複数個そなえた情報表示端末に本実施形態の構成を適用しても、同様な効果を得ることができる。

【0939】

本実施の形態は様々な電子機器に適用することができる。具体的には、電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。

【0940】

図 116 (A) はディスプレイであり、筐体 900711、支持台 900712、表示部 900713 等を含む。

【0941】

図 116 (B) はカメラであり、本体 900721、表示部 900722、受像部 900723、操作キー 900724、外部接続ポート 900725、シャッター 900726

10

20

30

40

50

等を含む。

【0942】

図116(C)はコンピュータであり、本体900731、筐体900732、表示部900733、キーボード900734、外部接続ポート900735、ポインティングデバイス900736等を含む。

【0943】

図116(D)はモバイルコンピュータであり、本体900741、表示部900742、スイッチ900743、操作キー900744、赤外線ポート900745等を含む。

【0944】

図116(E)は記録媒体を備えた携帯型の画像再生装置(たとえば、DVD再生装置)であり、本体900751、筐体900752、表示部(A)900753、表示部(B)900754、記録媒体(DVD等)読み込み部900755、操作キー900756、スピーカー部900757等を含む。表示部(A)900753は主として画像情報を表示し、表示部(B)900754は主として文字情報を表示することができる。

10

【0945】

図116(F)はゴーグル型ディスプレイであり、本体900761、表示部900762、イヤホン900763、支持部900764を含む。

【0946】

図116(G)は携帯型遊技機であり、筐体900771、表示部900772、スピーカー部900773、操作キー900774、記憶媒体挿入部900775等を含む。本実施の形態の表示装置を表示部900772に用いた携帯型遊技機は、鮮やかな色彩を表現することができる。

20

【0947】

図116(H)はテレビ受像機能付きデジタルカメラであり、本体900781、表示部900782、操作キー900783、スピーカー900784、シャッター900785、受像部900786、アンテナ900787等を含む。

【0948】

図116(A)乃至(E)に示したように、本実施の形態に係る電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。

【0949】

次に、本実施の形態に係る半導体装置の応用例を説明する。

30

【0950】

図117に、本実施の形態に係る半導体装置を、建造物と一体にして設けた例について示す。図117は、筐体900810、表示部900811、操作部であるリモコン装置900812、スピーカー部900813等を含む。本実施の形態に係る半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【0951】

図118に、建造物内に本実施の形態に係る半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル900901は、ユニットバス900902と一体に取り付けられており、入浴者は表示パネル900901の視聴が可能になる。表示パネル900901は入浴者が操作することで情報を表示し、広告や娯楽手段として利用できる機能を有する。

40

【0952】

なお、本実施の形態に係る半導体装置は、図118で示したユニットバス900902の側壁だけではなく、様々な場所に設置することができる。たとえば、鏡面の一部や浴槽自体と一体にするなどとしてもよい。このとき、表示パネル900901の形状は、鏡面や浴槽の形状に合わせたものとなってもよい。

【0953】

図119に、本実施の形態に係る半導体装置を、建造物と一体にして設けた別の例につい

50

て示す。表示パネル 901002 は、柱状体 901001 の曲面に合わせて湾曲させて取り付けられている。なお、ここでは柱状体 901001 を電柱として説明する。

【0954】

図 119 に示す表示パネル 901002 は、人間の視点より高い位置に設けられている。電柱のように屋外で繰り返し林立している建造物に表示パネル 901002 を設置することで、不特定多数の視認者に広告を行なうことができる。ここで、表示パネル 901002 は、外部からの制御により、同じ画像を表示させること、また、瞬時に画像を切替えることが容易であるため、極めて効率的な情報表示、及び広告効果が期待できる。また、表示パネル 901002 に自発光型の表示素子を設けることで、夜間であっても、視認性の高い表示媒体として有用であるといえる。また、電柱に設置することで、表示パネル 901002 の電力供給手段の確保が容易である。また、災害発生時などの非常事態の際には、被災者に素早く正確な情報を伝達する手段ともなり得る。

10

【0955】

なお、表示パネル 901002 としては、たとえば、フィルム状の基板に有機トランジスタなどのスイッチング素子を設けて表示素子を駆動することにより画像の表示を行なう表示パネルを用いることができる。

【0956】

なお、本実施形態において、建造物として壁、柱状体、ユニットバスを例としたが、本実施形態はこれに限定されず、様々な建造物に本実施の形態に係る半導体装置を設置することができる。

20

【0957】

次に、本実施の形態に係る半導体装置を、移動体と一体にして設けた例について示す。

【0958】

図 120 は、本実施の形態に係る半導体装置を、自動車と一体にして設けた例について示した図である。表示パネル 901102 は、自動車の車体 901101 と一体に取り付けられており、車体の動作や車体内外から入力される情報をオンデマンドに表示することができる。また、ナビゲーション機能を有していてもよい。

【0959】

なお、本実施の形態に係る半導体装置は、図 120 で示した車体 901101 だけではなく、様々な場所に設置することができる。たとえば、ガラス窓、ドア、ハンドル、シフトレバー、座席シート、ルームミラー等と一体にしてもよい。このとき、表示パネル 901102 の形状は、設置するものの形状に合わせたものとなってもよい。

30

【0960】

図 121 は、本実施の形態に係る半導体装置を、列車車両と一体にして設けた例について示した図である。

【0961】

図 121 (a) は、列車車両のドア 901201 のガラスに表示パネル 901202 を設けた例について示した図である。従来の紙による広告に比べて、広告切替えの際に必要な人件費がかからないという利点がある。また、表示パネル 901202 は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、たとえば、電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替えることができ、より効果的な広告効果が期待できる。

40

【0962】

図 121 (b) は、列車車両のドア 901201 のガラスの他に、ガラス窓 901203、及び天井 901204 に表示パネル 901202 を設けた例について示した図である。このように、本実施の形態に係る半導体装置は、従来では設置が困難であった場所に容易に設置することが可能であるため、効果的な広告効果を得ることができる。また、本実施の形態に係る半導体装置は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、広告切替え時のコストおよび時間が削減でき、より柔軟な広告の運用および情報伝達が可能となる。

50

【0963】

なお、本実施の形態に係る半導体装置は、図121で示したドア901201、ガラス窓901203、及び天井901204だけではなく、様々な場所に設置することができる。たとえば、つり革、座席シート、てすり、床等と一体にしてもよい。このとき、表示パネル901202の形状は、設置するものの形状に合わせたものとなってもよい。

【0964】

図122は、本実施の形態に係る半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。

【0965】

図122(a)は、旅客用飛行機の座席上部の天井901301に表示パネル901302を設けたときの、使用時の形状について示した図である。表示パネル901302は、天井901301とヒンジ部901303を介して一体に取り付けられており、ヒンジ部901303の伸縮により乗客は表示パネル901302の視聴が可能になる。表示パネル901302は乗客が操作することで情報を表示できる。さらに、広告や娯楽手段として利用できる機能を有する。また、図122(b)に示すように、ヒンジ部を折り曲げて天井901301に格納することにより、離着陸時の安全に配慮することができる。なお、緊急時に表示パネルの表示素子を点灯させることで、情報伝達手段および誘導灯としても利用可能である。

【0966】

なお、本実施の形態に係る半導体装置は、図122で示した天井901301だけではなく、様々な場所に設置することができる。たとえば、座席シート、座席テーブル、肘掛、窓等と一体にしてもよい。また、多数の人が同時に視聴できる大型の表示パネルを、機体の壁に設置してもよい。このとき、表示パネル901302の形状は、設置するものの形状に合わせたものとなってもよい。

【0967】

なお、本実施形態において、移動体としては電車車両本体、自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。本実施の形態に係る半導体装置は、外部からの信号により、移動体内における表示パネルの表示を瞬時に切り替えることが可能であるため、移動体に本実施の形態に係る半導体装置を設置することにより、移動体を不特定多数の顧客を対象とした広告表示板、災害発生時の情報表示板、等の用途に用いることが可能となる。

【0968】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

【0969】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。

【0970】

（実施の形態17）

以上に説明したように、本明細書には少なくとも以下の発明が含まれている。

【0971】

液晶素子を有する画素と駆動回路とを有した液晶表示装置。駆動回路は、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ、第5のトランジスタ、第6のトランジスタ、第7のトランジスタを有している。この駆動回路は少なくとも一部に以下の接続関係を含んでいる。第1のトランジスタの第1の電極が第4の配線に電氣的に接続され、第1のトランジスタの第2の電極が第3の配線に電氣的に接続されている。第2のトランジスタの第1の電極が第6の配線に電氣的に接続され、第2のトランジスタの第2の電極が第3の配線に電氣的に接続されている。第3のトランジスタの第1の電極が第5の配線に電氣的に接続され、第3のトランジスタの第2の電極が第2のトランジスタのゲート電極に電氣的に接続され、第3のトランジスタのゲート電極が第7の配

線に電氣的に接続されている。第4のトランジスタの第1の電極が第6の配線に電氣的に接続され、第4のトランジスタの第2の電極が第2のトランジスタのゲート電極に電氣的に接続され、第4のトランジスタのゲート電極が第1のトランジスタのゲート電極に電氣的に接続されている。第5のトランジスタの第1の電極が第7の配線に電氣的に接続され、第5のトランジスタの第2の電極が第1のトランジスタのゲート電極に電氣的に接続され、第5のトランジスタのゲート電極が第1の配線に電氣的に接続されている。第6のトランジスタの第1の電極が第6の配線に電氣的に接続され、第6のトランジスタの第2の電極が第1のトランジスタのゲート電極に電氣的に接続され、第6のトランジスタのゲート電極が第2のトランジスタのゲート電極に電氣的に接続されている。第7のトランジスタの第1の電極が第6の配線に電氣的に接続され、第7のトランジスタの第2の電極が第1のトランジスタのゲート電極に電氣的に接続され、第7のトランジスタのゲート電極が第2の配線に電氣的に接続されている。

10

【0972】

上記液晶素子を有する画素と駆動回路とを有した液晶表示装置は次に示す構成が含まれていても良い。第1のトランジスタ乃至第7のトランジスタのチャンネル長 L とチャンネル幅 W の比 W/L の値の中で、第1のトランジスタの W/L の値が最大となる駆動回路を含む構成。第1のトランジスタの W/L の値は、第5のトランジスタの W/L の値の2倍乃至5倍となる駆動回路を含む構成。第3のトランジスタのチャンネル長 L は、第4のトランジスタのチャンネル長 L よりも大きい場合を含む構成。第1のトランジスタの第2の電極と、第1のトランジスタのゲート電極との間に容量素子が配置されているものを含む構成。第1のトランジスタ乃至第7のトランジスタは、 N チャンネル型トランジスタであるものを含む構成。第1のトランジスタ乃至第7のトランジスタは、半導体層としてアモルファスシリコンを用いるものを含む構成。

20

【0973】

液晶素子を有する画素と、第1の駆動回路、第2の駆動回路を有する液晶表示装置。第1の駆動回路と第2の駆動回路は少なくとも一部に以下の接続関係を含んでいる。

第1の駆動回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第7のトランジスタを有している。第1のトランジスタの第1の電極が第4の配線に電氣的に接続され、第1のトランジスタの第2の電極が第3の配線に電氣的に接続されている。第2のトランジスタの第1の電極が第6の配線に電氣的に接続され、第9のトランジスタの第2の電極が第3の配線に電氣的に接続されている。第3のトランジスタの第1の電極が第5の配線に電氣的に接続され、第3のトランジスタの第2の電極が第2のトランジスタのゲート電極に電氣的に接続され、第3のトランジスタのゲート電極が第7の配線に電氣的に接続されている。第4のトランジスタの第1の電極が第6の配線に電氣的に接続され、第4のトランジスタの第2の電極が第2のトランジスタのゲート電極に電氣的に接続され、第4のトランジスタのゲート電極が第1のトランジスタのゲート電極に電氣的に接続されている。第5のトランジスタの第1の電極が第7の配線に電氣的に接続され、第5のトランジスタの第2の電極が第1のトランジスタのゲート電極に電氣的に接続され、第5のトランジスタのゲート電極が第1の配線に電氣的に接続されている。第6のトランジスタの第1の電極が第6の配線に電氣的に接続され、第6のトランジスタの第2の電極が第1のトランジスタのゲート電極に電氣的に接続され、第6のトランジスタのゲート電極が第2のトランジスタのゲート電極に電氣的に接続されている。第7のトランジスタの第1の電極が第6の配線に電氣的に接続され、第7のトランジスタの第2の電極が第1のトランジスタのゲート電極に電氣的に接続され、第7のトランジスタのゲート電極が第2の配線に電氣的に接続されている。

30

40

第2の駆動回路は、第8のトランジスタと、第9のトランジスタと、第10のトランジスタと、第11のトランジスタと、第12のトランジスタと、第13のトランジスタと、第14のトランジスタを有している。第8のトランジスタの第1の電極が第11の配線に電氣的に接続され、第8のトランジスタの第2の電極が第10の配線に電氣的に接続されて

50

いる。第9のトランジスタの第1の電極が第13の配線に電氣的に接続され、第9のトランジスタの第2の電極が第10の配線に電氣的に接続されている。第10のトランジスタの第1の電極が第12の配線に電氣的に接続され、第10のトランジスタの第2の電極が第9のトランジスタのゲート電極に電氣的に接続され、第10のトランジスタのゲート電極が第14の配線に電氣的に接続されている。第11のトランジスタの第1の電極が第13の配線に電氣的に接続され、第11のトランジスタの第2の電極が第9のトランジスタのゲート電極に電氣的に接続され、第11のトランジスタのゲート電極が第8のトランジスタのゲート電極に電氣的に接続されている。第12のトランジスタの第1の電極が第14の配線に電氣的に接続され、第12のトランジスタの第2の電極が第8のトランジスタのゲート電極に電氣的に接続され、第12のトランジスタのゲート電極が第8配線に電氣的に接続されている。第13のトランジスタの第1の電極が第13の配線に電氣的に接続され、第13のトランジスタの第2の電極が第8のトランジスタのゲート電極に電氣的に接続され、第13のトランジスタのゲート電極が第9のトランジスタのゲート電極に電氣的に接続されている。第14のトランジスタの第1の電極が第13の配線に電氣的に接続され、第14のトランジスタの第2の電極が第8のトランジスタのゲート電極に電氣的に接続され、第14のトランジスタのゲート電極が第9の配線に電氣的に接続されている。

10

【0974】

上記液晶素子を有する画素と駆動回路とを有した液晶表示装置は次に示す構成が含まれていても良い。第4の配線と第11の配線とが電氣的に接続され、第5の配線と第12の配線とが電氣的に接続され、第6の配線と第13の配線とが電氣的に接続され、第7の配線と第14の配線とが電氣的に接続されている構成。第4の配線と第11の配線とは同一の配線であり、第5の配線と第12の配線とは同一の配線であり、第6の配線と第13の配線とは同一の配線であり、第7の配線と第14の配線とは同一の配線である構成。第3の配線と第10の配線とが電氣的に接続されている構成。第3の配線と第10の配線とは同一の配線である構成。第1のトランジスタ乃至第7のトランジスタのチャンネル長 L とチャンネル幅 W の比 W/L の値の中で、第1のトランジスタの W/L の値が最大となり、第8のトランジスタ乃至第14のトランジスタのチャンネル長 L とチャンネル幅 W の比 W/L の値の中で、第8のトランジスタの W/L の値が最大となる構成。第1のトランジスタの W/L の値は、第5のトランジスタの W/L の値の2倍乃至5倍となり、第8のトランジスタの W/L の値は、第12のトランジスタの W/L の値の2倍乃至5倍となる構成。第3のトランジスタのチャンネル長 L は、第4のトランジスタのチャンネル長 L よりも大きく、第10のトランジスタのチャンネル長 L は、第11のトランジスタのチャンネル長 L よりも大きい構成。第1のトランジスタの第2の電極と、第1のトランジスタのゲート電極との間に容量素子が配置され、第8のトランジスタの第2の電極と、第8のトランジスタのゲート電極との間に容量素子が配置されている構成。第1のトランジスタ乃至第14のトランジスタは、Nチャンネル型トランジスタである構成。第1のトランジスタ乃至第14のトランジスタは、半導体層としてアモルファスシリコンを用いる構成。

20

30

【0975】

本実施の形態で示す液晶表示装置は、本明細書に記載されているものであり、従って他の実施の形態と同様の作用効果を奏する。

40

【符号の説明】

【0976】

S1 信号線
Sj 信号線
VDD 電源電位
VSS 電源電位
G1 走査線
Gi 走査線
Gn 走査線
11 トランジスタ

50

1 2	トランジスタ	
1 3	トランジスタ	
1 4	トランジスタ	
1 5	トランジスタ	
1 6	トランジスタ	
1 7	トランジスタ	
2 1	信号線	
2 2	信号線	
2 3	配線	
2 4	信号線	10
2 5	電源線	
2 6	電源線	
3 2	酸化窒化シリコン膜	
4 1	ノード	
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	トランジスタ	
1 0 4	トランジスタ	
1 0 5	トランジスタ	
1 0 6	トランジスタ	20
1 1 0	配線	
1 0 7	トランジスタ	
1 1 2	配線	
1 0 8	トランジスタ	
1 0 9	トランジスタ	
1 2 1	配線	
1 2 2	配線	
1 2 3	配線	
1 2 4	配線	
1 2 5	配線	30
1 2 6	配線	
1 2 7	配線	
1 2 8	配線	
1 2 9	配線	
1 3 0	配線	
1 3 1	配線	
1 3 2	配線	
1 3 3	配線	
1 3 4	配線	
1 4 1	ノード	40
1 4 2	ノード	
2 2 1	信号	
2 2 2	信号	
2 2 3	信号	
2 2 5	信号	
2 2 6	信号	
2 3 2	信号	
2 4 1	電位	
2 4 2	電位	
4 0 1	容量素子	50

4 0 2	トランジスタ	
4 0 3	抵抗素子	
5 0 1	配線	
5 0 2	配線	
5 0 3	配線	
5 0 4	配線	
5 0 5	配線	
5 0 6	配線	
5 0 7	配線	
5 0 8	配線	10
5 0 9	配線	
5 1 0	配線	
7 0 1	トランジスタ	
7 0 2	トランジスタ	
7 1 1	配線	
8 1 a	蒸発源	
1 0 0 1	フリップフロップ	
1 0 0 7	配線	
1 0 1 1	配線	
1 0 1 2	配線	20
1 0 1 3	配線	
1 0 1 4	配線	
1 0 1 5	配線	
1 0 1 6	配線	
1 0 1 7	配線	
1 0 1 8	配線	
1 1 1 1	信号	
1 1 1 2	信号	
1 1 1 3	信号	
1 1 1 7	信号	30
1 1 1 8	信号	
1 2 1 1	信号	
1 2 1 8	信号	
1 3 0 1	バッファ	
1 6 0 2	走査線駆動回路	
1 8 0 1	信号線駆動回路	
1 8 0 2	走査線駆動回路	
1 8 0 3	画素	
1 8 0 4	画素部	
1 8 0 5	絶縁基板	40
1 8 0 8	配線	
2 1 0 8	トランジスタ	
2 1 3 2	配線	
2 3 0 1	トランジスタ	
2 3 0 2	トランジスタ	
2 3 0 3	トランジスタ	
2 3 0 4	トランジスタ	
2 3 0 5	トランジスタ	
2 3 0 6	トランジスタ	
2 3 0 7	トランジスタ	50

2 3 2 1	配線	
2 3 2 2	配線	
2 3 2 3	配線	
2 3 2 4	配線	
2 3 2 5	配線	
2 3 2 6	配線	
2 3 2 7	配線	
2 3 2 8	配線	
2 3 2 9	配線	
2 3 3 0	配線	10
2 3 3 1	配線	
2 3 4 1	ノード	
2 3 4 2	ノード	
2 4 2 1	信号	
2 4 2 2	信号	
2 4 2 3	信号	
2 4 2 5	信号	
2 4 2 6	信号	
2 4 4 1	電位	
2 4 4 2	電位	20
2 5 0 1	導電層	
2 5 0 2	導電層	
2 5 0 3	導電層	
2 5 0 4	導電層	
2 5 0 5	導電層	
2 5 0 6	導電層	
2 5 0 7	導電層	
2 5 0 8	導電層	
2 5 1 0	導電層	
2 5 1 1	導電層	30
2 5 1 2	導電層	
2 5 1 3	導電層	
2 5 1 4	導電層	
2 5 1 5	導電層	
2 5 4 1	配線	
2 5 4 2	配線	
2 5 4 3	配線	
2 5 4 4	配線	
2 5 4 5	配線	
2 5 4 6	配線	40
2 5 4 7	配線	
2 5 4 8	配線	
2 5 4 9	配線	
2 5 8 1	半導体層	
2 5 8 2	半導体層	
2 5 8 3	半導体層	
2 5 8 4	半導体層	
2 5 8 5	半導体層	
2 5 8 6	半導体層	
2 5 8 7	半導体層	50

2 9 0 1	フリップフロップ	
2 9 0 7	配線	
2 9 1 1	配線	
2 9 1 2	配線	
2 9 1 3	配線	
2 9 1 4	配線	
2 9 1 5	配線	
2 9 1 6	配線	
2 9 1 7	配線	
2 9 1 8	配線	10
2 9 1 9	配線	
3 0 1 1	信号	
3 0 1 8	信号	
3 0 1 9	信号	
3 1 0 1	フリップフロップ	
3 1 1 1	配線	
3 1 2 0	配線	
3 1 2 1	信号	
3 1 2 2	信号	
3 1 2 3	信号	20
3 1 2 5	信号	
3 1 2 6	信号	
3 1 4 1	電位	
3 1 4 2	電位	
3 3 0 1	フリップフロップ	
3 3 0 1	配線	
3 3 0 6	配線	
3 3 1 1	配線	
3 3 1 2	配線	
3 3 1 3	配線	30
3 3 1 4	配線	
3 3 1 5	配線	
3 3 1 6	配線	
3 3 1 7	配線	
3 3 1 8	配線	
3 3 1 9	配線	
3 3 2 0	配線	
3 3 2 1	配線	
3 3 2 2	配線	
3 5 1 1	信号	40
3 5 1 2	信号	
3 5 1 3	信号	
3 5 1 4	信号	
3 5 1 5	信号	
3 5 1 9	信号	
3 5 2 0	信号	
3 5 2 1	信号	
3 6 0 4	基板フィルム	
3 6 1 1	信号	
3 6 2 1	信号	50

5 6 0 1	ドライバ I C	
5 6 0 2	スイッチ 群	
5 6 1 1	配線	
5 6 1 2	配線	
5 6 1 3	配線	
5 6 2 1	配線	
5 7 2 1	信号	
5 8 2 1	信号	
5 9 1 1	配線	
5 9 1 2	配線	10
5 9 1 3	配線	
6 0 0 1	トランジスタ	
6 0 0 2	トランジスタ	
6 0 0 3	トランジスタ	
6 0 0 4	トランジスタ	
6 0 0 5	トランジスタ	
6 0 0 6	トランジスタ	
6 0 1 1	配線	
6 0 1 2	配線	
6 0 1 3	配線	20
6 0 1 4	配線	
6 0 1 5	配線	
6 0 1 6	配線	
6 0 2 2	スイッチ 群	
6 1 0 1	トランジスタ	
6 1 0 2	トランジスタ	
6 1 1 1	配線	
6 1 1 2	配線	
6 2 0 1	トランジスタ	
6 2 1 1	配線	30
6 4 0 1	トランジスタ	
6 4 0 2	トランジスタ	
6 4 1 1	配線	
6 4 1 2	配線	
8 0 0 0	バッファ	
8 0 1 1	配線	
8 0 1 2	配線	
8 0 2 a	走査線駆動回路	
8 0 2 b	走査線駆動回路	
8 1 0 0	バッファ	40
8 2 0 1	トランジスタ	
8 2 0 2	トランジスタ	
8 2 1 1	配線	
8 2 1 2	配線	
8 2 1 3	配線	
8 2 1 4	配線	
8 3 0 1	トランジスタ	
8 3 0 2	トランジスタ	
8 3 0 3	トランジスタ	
8 3 0 4	トランジスタ	50

8 3 1 1	配線	
8 3 1 2	配線	
8 3 1 3	配線	
8 3 1 4	配線	
8 3 1 5	配線	
8 3 1 6	配線	
8 3 4 1	ノード	
8 4 0 1	トランジスタ	
8 4 0 2	トランジスタ	
8 4 0 3	トランジスタ	10
8 4 0 4	トランジスタ	
8 4 1 1	配線	
8 4 1 2	配線	
8 4 1 3	配線	
8 4 1 4	配線	
8 4 1 5	配線	
8 4 1 6	配線	
8 4 1 7	配線	
8 4 4 1	ノード	
8 5 0 1	トランジスタ	20
8 5 0 2	トランジスタ	
8 5 0 3	トランジスタ	
8 5 1 1	配線	
8 5 1 2	配線	
8 5 1 3	配線	
8 5 1 4	配線	
8 5 1 5	配線	
8 5 1 6	配線	
8 5 4 1	ノード	
8 6 0 1	トランジスタ	30
8 6 0 2	トランジスタ	
8 6 0 3	トランジスタ	
8 6 0 4	トランジスタ	
8 6 1 1	配線	
8 6 1 2	配線	
8 6 1 3	配線	
8 6 1 4	配線	
8 6 1 5	配線	
8 6 1 6	配線	
8 6 4 1	ノード	40
1 0 1 0 1	基板	
1 0 1 0 2	絶縁膜	
1 0 1 0 3	導電層	
1 0 1 0 4	絶縁膜	
1 0 1 0 5	半導体層	
1 0 1 0 6	半導体層	
1 0 1 0 7	導電層	
1 0 1 0 8	絶縁膜	
1 0 1 0 9	導電層	
1 0 1 1 0	配向膜	50

1 0 1 1 2	配向膜	
1 0 1 1 3	導電層	
1 0 1 1 4	遮光膜	
1 0 1 1 5	カラーフィルタ	
1 0 1 1 6	基板	
1 0 1 1 7	スペーサ	
1 0 1 1 8	液晶分子	
1 0 1 2 1	走査線	
1 0 1 2 2	映像信号線	
1 0 1 2 3	容量線	10
1 0 1 2 4	T F T	
1 0 1 2 5	画素電極	
1 0 1 2 6	画素容量	
1 0 2 0 1	基板	
1 0 2 0 2	絶縁膜	
1 0 2 0 3	導電層	
1 0 2 0 4	絶縁膜	
1 0 2 0 5	半導体層	
1 0 2 0 6	半導体層	
1 0 2 0 7	導電層	20
1 0 2 0 8	絶縁膜	
1 0 2 0 9	導電層	
1 0 2 1 0	配向膜	
1 0 2 1 2	配向膜	
1 0 2 1 3	導電層	
1 0 2 1 4	遮光膜	
1 0 2 1 5	カラーフィルタ	
1 0 2 1 6	基板	
1 0 2 1 7	スペーサ	
1 0 2 1 8	液晶分子	30
1 0 2 1 9	配向制御用突起	
1 0 2 2 1	走査線	
1 0 2 2 2	映像信号線	
1 0 2 2 3	容量線	
1 0 2 2 4	T F T	
1 0 2 2 5	画素電極	
1 0 2 2 6	画素容量	
1 0 3 0 1	基板	
1 0 3 0 2	絶縁膜	
1 0 3 0 3	導電層	40
1 0 3 0 4	絶縁膜	
1 0 3 0 5	半導体層	
1 0 3 0 6	半導体層	
1 0 3 0 7	導電層	
1 0 3 0 8	絶縁膜	
1 0 3 0 9	導電層	
1 0 3 1 0	配向膜	
1 0 3 1 2	配向膜	
1 0 3 1 3	導電層	
1 0 3 1 4	遮光膜	50

1 0 3 1 5	カラーフィルタ	
1 0 3 1 6	基板	
1 0 3 1 7	スペーサ	
1 0 3 1 8	液晶分子	
1 0 3 1 9	電極切り欠き部	
1 0 3 2 1	走査線	
1 0 3 2 2	映像信号線	
1 0 3 2 3	容量線	
1 0 3 2 4	T F T	
1 0 3 2 5	画素電極	10
1 0 3 2 6	画素容量	
1 0 4 0 1	基板	
1 0 4 0 2	絶縁膜	
1 0 4 0 3	導電層	
1 0 4 0 4	絶縁膜	
1 0 4 0 5	半導体層	
1 0 4 0 6	半導体層	
1 0 4 0 7	導電層	
1 0 4 0 8	絶縁膜	
1 0 4 0 9	導電層	20
1 0 4 1 0	配向膜	
1 0 4 1 2	配向膜	
1 0 4 1 4	遮光膜	
1 0 4 1 5	カラーフィルタ	
1 0 4 1 6	基板	
1 0 4 1 7	スペーサ	
1 0 4 1 8	液晶分子	
1 0 4 2 1	走査線	
1 0 4 2 2	映像信号線	
1 0 4 2 3	共通電極	30
1 0 4 2 4	T F T	
1 0 4 2 5	画素電極	
1 0 5 0 1	基板	
1 0 5 0 2	絶縁膜	
1 0 5 0 3	導電層	
1 0 5 0 4	絶縁膜	
1 0 5 0 5	半導体層	
1 0 5 0 6	半導体層	
1 0 5 0 7	導電層	
1 0 5 0 8	絶縁膜	40
1 0 5 0 9	導電層	
1 0 5 1 0	配向膜	
1 0 5 1 2	配向膜	
1 0 5 1 3	導電層	
1 0 5 1 4	遮光膜	
1 0 5 1 5	カラーフィルタ	
1 0 5 1 6	基板	
1 0 5 1 7	スペーサ	
1 0 5 1 8	液晶分子	
1 0 5 1 9	絶縁膜	50

1 0 5 2 1	走査線	
1 0 5 2 2	映像信号線	
1 0 5 2 3	共通電極	
1 0 5 2 4	T F T	
1 0 5 2 5	画素電極	
1 0 6 0 0	液晶層	
1 0 6 0 1	基板	
1 0 6 0 2	基板	
1 0 6 0 3	層	
1 0 6 0 4	層	10
1 0 6 0 5	電極	
1 0 6 0 6	電極	
1 0 6 0 7	突起物	
1 0 8 0 1	電極	
1 0 8 0 2	電極	
1 0 8 0 3	電極	
1 0 8 0 4	電極	
1 0 9 0 1	絶縁層	
2 0 0 2 a	走査線駆動回路	
2 0 0 2 b	走査線駆動回路	20
2 0 1 0 0	基板	
2 0 1 0 1	画素部	
2 0 1 0 2	画素	
2 0 1 0 3	走査線入力端子	
2 0 1 0 4	信号線入力端子	
2 0 1 0 5	走査線駆動回路	
2 0 1 0 6	信号線駆動回路	
2 0 1 1 5	基板	
2 0 2 0 0	F P C	
2 0 2 0 1	ドライバ I C	30
2 0 3 0 1	トランジスタ	
2 0 3 0 2	液晶素子	
2 0 3 0 3	容量素子	
2 0 3 0 4	配線	
2 0 3 0 5	配線	
2 0 3 0 6	容量線	
2 0 3 0 7	対向電極	
2 0 5 0 1	絶縁膜	
2 0 5 0 2	半導体層	
2 0 5 0 3	絶縁層	40
2 0 5 0 4	導電層	
2 0 5 0 5	絶縁層	
2 0 5 0 6	導電膜	
2 0 5 0 7	絶縁層	
2 0 5 0 8	導電層	
2 0 5 0 9	絶縁層	
2 0 5 1 0	液晶層	
2 0 5 1 1	絶縁膜	
2 0 5 1 2	導電膜	
2 0 5 1 3	絶縁膜	50

2 0 5 1 4	絶縁膜	
2 0 5 1 5	対向基板	
2 0 5 1 6	シール材	
2 0 5 1 7	異方性導電体層	
2 0 5 1 8	F P C	
2 0 5 2 1	トランジスタ	
2 0 5 2 5	駆動回路領域	
2 0 5 2 6	画素領域	
2 0 5 3 0	I C チップ	
2 0 5 3 1	スペーサ	10
2 0 5 3 2	絶縁膜	
2 0 5 3 3	導電膜	
2 0 6 0 1	ドライバ I C	
2 1 3 0 1	絶縁膜	
2 1 8 0 1	絶縁膜	
2 2 0 0 1	絶縁膜	
2 2 0 2 a	走査線駆動回路	
2 2 0 2 b	走査線駆動回路	
2 2 2 0 1	絶縁膜	
2 2 6 0 1	バックライトユニット	20
2 2 6 0 2	拡散板	
2 2 6 0 3	導光板	
2 2 6 0 4	反射板	
2 2 6 0 5	ランプリフレクタ	
2 2 6 0 6	光源	
2 2 6 0 7	液晶パネル	
2 2 6 0 8	層	
2 2 6 0 9	層	
2 2 6 1 0	スリット	
2 2 7 0 1	映像信号	30
2 2 7 0 2	制御回路	
2 2 7 0 3	信号線駆動回路	
2 2 7 0 4	走査線駆動回路	
2 2 7 0 5	画素部	
2 2 7 0 6	照明手段	
2 2 7 0 7	電源	
2 2 7 0 8	駆動回路部	
2 2 7 1 0	走査線	
2 2 7 1 2	信号線	
2 2 7 3 1	シフトレジスタ	40
2 2 7 3 2	ラッチ	
2 2 7 3 3	ラッチ	
2 2 7 3 4	レベルシフタ	
2 2 7 3 5	バッファ	
2 2 7 4 1	シフトレジスタ	
2 2 7 4 2	レベルシフタ	
2 2 7 4 3	バッファ	
2 2 8 0 1	冷陰極管	
2 2 8 0 2	発光ダイオード	
2 2 8 0 3	発光ダイオード	50

2 2 8 3 2	ランプリフレクタ	
2 2 8 5 2	バックライトユニット	
2 3 0 0 0	偏光フィルム	
2 3 0 0 1	保護フィルム	
2 3 0 0 2	基板フィルム	
2 3 0 0 2	基板フィルム	
2 3 0 0 3	P V A 偏光フィルム	
2 3 0 0 4	基板フィルム	
2 3 0 0 5	粘着剤層	
2 3 0 0 6	離型フィルム	10
2 3 1 0 0	T F T 基板	
2 3 1 0 1	対向基板	
2 3 1 0 2	シール材	
2 3 1 0 3	画素部	
2 3 1 0 4	液晶層	
2 3 1 0 5	着色層	
2 3 1 0 6	層	
2 3 1 0 7	層	
2 3 1 0 9	フレキシブル配線基板	
2 3 1 1 0	冷陰極管	20
2 3 1 1 1	反射板	
2 3 1 1 2	回路基板	
2 3 1 1 3	拡散板	
2 3 1 9 9	制御部	
2 9 0 1 i	フリップフロップ	
3 0 1 0 1	符号化回路	
3 0 1 0 2	フレームメモリ	
3 0 1 0 3	補正回路	
3 0 1 0 4	D A 変換回路	
3 0 1 1 2	フレームメモリ	30
3 0 1 1 3	補正回路	
3 0 1 2 1	入力電圧	
3 0 1 2 2	入力電圧	
3 0 1 2 3	出力輝度	
3 0 1 2 4	出力輝度	
3 0 1 3 1	入力映像信号	
3 0 1 3 2	出力映像信号	
3 0 1 3 3	出力切替信号	
3 0 2 0 1	トランジスタ	
3 0 2 0 2	補助容量	40
3 0 2 0 3	表示素子	
3 0 2 0 4	映像信号線	
3 0 2 0 5	走査線	
3 0 2 0 6	コモン線	
3 0 2 1 1	トランジスタ	
3 0 2 1 2	補助容量	
3 0 2 1 3	表示素子	
3 0 2 1 4	映像信号線	
3 0 2 1 5	走査線	
3 0 2 1 6	コモン線	50

3 0 2 1 7	コモン線	
3 0 3 0 1	拡散板	
3 0 3 0 2	冷陰極管	
3 0 3 1 1	拡散板	
3 0 3 1 2	光源	
3 0 4 0 0	フレーム期間	
3 0 4 0 1	画像	
3 0 4 0 2	中間画像	
3 0 4 1 2	中間画像	
3 0 4 1 3	中間画像	10
5 6 0 3 a	スイッチ	
5 6 0 3 b	スイッチ	
5 6 0 3 c	スイッチ	
5 7 0 3 a	タイミング	
5 7 0 3 b	タイミング	
5 7 0 3 c	タイミング	
5 8 0 3 a	タイミング	
5 8 0 3 b	タイミング	
5 8 0 3 c	タイミング	
5 9 0 3 a	トランジスタ	20
5 9 0 3 b	トランジスタ	
5 9 0 3 c	トランジスタ	
6 0 1 0 5	T F T	
6 0 1 0 6	配線	
6 0 1 0 7	配線	
6 0 1 0 8	T F T	
6 0 1 1 1	配線	
6 0 1 1 2	対向電極	
6 0 1 1 3	コンデンサ	
6 0 1 1 5	画素電極	30
6 0 1 1 6	隔壁	
6 0 1 1 7	有機導電体膜	
6 0 1 1 8	有機薄膜	
6 0 1 1 9	基板	
6 0 2 0 0	基板	
6 0 2 0 1	配線	
6 0 2 0 2	配線	
6 0 2 0 3	配線	
6 0 2 0 4	配線	
6 0 2 0 5	T F T	40
6 0 2 0 6	T F T	
6 0 2 0 7	T F T	
6 0 2 0 8	画素電極	
6 0 2 1 1	隔壁	
6 0 2 1 2	有機導電体膜	
6 0 2 1 3	有機薄膜	
6 0 2 1 4	対向電極	
6 0 3 0 0	基板	
6 0 3 0 1	配線	
6 0 3 0 2	配線	50

6 0 3 0 3	配線	
6 0 3 0 4	配線	
6 0 3 0 5	T F T	
6 0 3 0 6	T F T	
6 0 3 0 7	T F T	
6 0 3 0 8	T F T	
6 0 3 0 9	画素電極	
6 0 3 1 1	配線	
6 0 3 1 2	配線	
6 0 3 2 1	隔壁	10
6 0 3 2 2	有機導電体膜	
6 0 3 2 3	有機薄膜	
6 0 3 2 4	対向電極	
6 0 4 0 1	陽極	
6 0 4 0 2	陰極	
6 0 4 0 3	正孔輸送領域	
6 0 4 0 4	電子輸送領域	
6 0 4 0 5	混合領域	
6 0 4 0 6	領域	
6 0 4 0 7	領域	20
6 0 4 0 8	領域	
6 0 4 0 9	領域	
6 0 5 6 0	搬送室	
6 0 5 6 1	搬送室	
6 0 5 6 2	ロード室	
6 0 5 6 3	アンロード室	
6 0 5 6 4	中間処理室	
6 0 5 6 5	封止処理室	
6 0 5 6 6	搬送手段	
6 0 5 6 7	搬送手段	30
6 0 5 6 8	加熱処理室	
6 0 5 6 9	成膜処理室	
6 0 5 7 0	成膜処理室	
6 0 5 7 1	成膜室	
6 0 5 7 2	プラズマ処理室	
6 0 5 7 3	成膜処理室	
6 0 5 7 4	成膜処理室	
6 0 5 7 6	成膜処理室	
6 0 6 8 0	蒸発源ホルダ	
6 0 6 8 1	蒸発源	40
6 0 6 8 2	距離センサー	
6 0 6 8 3	多関節アーム	
6 0 6 8 4	材料供給管	
6 0 6 8 6	基板ステージ	
6 0 6 8 7	基板チャック	
6 0 6 8 8	マスクチャック	
6 0 6 8 9	基板	
6 0 6 9 0	シャドーマスク	
6 0 6 9 1	天板	
6 0 6 9 2	底板	50

6 3 0 1 a	トランジスタ	
6 3 0 1 b	トランジスタ	
6 3 0 2 a	トランジスタ	
6 3 0 2 b	トランジスタ	
8 0 0 1 a	インバータ	
8 0 0 1 b	インバータ	
8 0 0 1 c	インバータ	
8 0 0 2 a	インバータ	
8 0 0 2 b	インバータ	
8 0 0 2 c	インバータ	10
8 0 0 3 a	インバータ	
8 0 0 3 b	インバータ	
8 0 0 3 c	インバータ	
8 0 3 0 2	駆動トランジスタ	
8 0 4 0 0	駆動トランジスタ	
8 0 4 0 1	スイッチ	
8 0 4 0 2	スイッチ	
8 0 4 0 3	スイッチ	
8 0 4 0 4	容量素子	
8 0 4 0 5	容量素子	20
8 0 4 1 1	信号線	
8 0 4 1 2	電源線	
8 0 4 1 3	第 1 の走査線	
8 0 4 1 4	第 2 の走査線	
8 0 4 1 5	第 3 の走査線	
8 0 4 2 0	表示素子	
8 0 4 2 1	電極	
8 0 4 3 0	駆動用トランジスタ	
8 0 4 3 1	スイッチ	
8 0 4 3 2	スイッチ	30
8 0 4 3 3	スイッチ	
8 0 4 3 4	容量素子	
8 0 4 4 1	信号線	
8 0 4 4 2	電源線	
8 0 4 4 3	第 1 の走査線	
8 0 4 4 4	第 2 の走査線	
8 0 4 4 5	第 3 の走査線	
8 0 4 5 0	表示素子	
8 0 4 5 1	電極	
8 0 4 5 4	走査線	40
1 0 6 0 6 a	電極	
1 0 8 0 1 a	電極	
1 0 8 0 1 b	電極	
1 0 8 0 1 c	電極	
1 0 8 0 1 d	電極	
1 0 8 0 2 a	電極	
1 0 8 0 2 b	電極	
1 0 8 0 2 c	電極	
1 0 8 0 2 d	電極	
1 0 8 0 3 a	電極	50

1 0 8 0 3 b	電極	
1 0 8 0 3 c	電極	
1 0 8 0 3 d	電極	
1 0 8 0 4 a	電極	
1 0 8 0 4 b	電極	
1 0 8 0 4 c	電極	
1 0 8 0 4 d	電極	
1 1 0 1 1 1	基板	
1 1 0 1 1 2	絶縁膜	
1 1 0 1 1 3	半導体膜	10
1 1 0 1 1 4	半導体膜	
1 1 0 1 1 5	半導体膜	
1 1 0 1 1 6	絶縁膜	
1 1 0 1 1 7	ゲート電極	
1 1 0 1 1 8	絶縁膜	
1 1 0 1 1 9	絶縁膜	
1 1 0 1 2 1	サイドウォール	
1 1 0 1 2 2	マスク	
1 1 0 1 2 3	導電膜	
1 1 0 1 3 1	絶縁膜	20
1 2 0 1 0 0	電極層	
1 2 0 1 0 2	電界発光層	
1 2 0 1 0 3	電極層	
1 2 0 1 0 4	絶縁層	
1 2 0 1 0 5	絶縁層	
1 2 0 1 0 6	絶縁層	
1 2 0 2 0 0	電極層	
1 2 0 2 0 1	発光材料	
1 2 0 2 0 2	電界発光層	
1 2 0 2 0 3	電極層	30
1 2 0 2 0 4	絶縁層	
1 2 0 2 0 5	絶縁層	
1 2 0 2 0 6	絶縁層	
1 3 0 1 0 0	背面投影型表示装置	
1 3 0 1 0 1	スクリーンパネル	
1 3 0 1 0 2	スピーカ	
1 3 0 1 0 4	操作スイッチ類	
1 3 0 1 1 0	筐体	
1 3 0 1 1 1	プロジェクタユニット	
1 3 0 1 1 2	ミラー	40
1 3 0 2 0 0	前面投影型表示装置	
1 3 0 2 0 1	投射光学系	
1 3 0 3 0 1	光源ユニット	
1 3 0 3 0 1	光源ユニット	
1 3 0 3 0 2	光源ランプ	
1 3 0 3 0 3	光源光学系	
1 3 0 3 0 4	変調ユニット	
1 3 0 3 0 5	ダイクロイックミラー	
1 3 0 3 0 6	全反射ミラー	
1 3 0 3 0 8	表示パネル	50

1 3 0 3 0 9	プリズム	
1 3 0 3 1 0	投射光学系	
1 3 0 4 0 0	変調ユニット	
1 3 0 4 0 1	ダイクロイックミラー	
1 3 0 4 0 2	ダイクロイックミラー	
1 3 0 4 0 3	全反射ミラー	
1 3 0 4 0 4	偏光ビームスプリッタ	
1 3 0 4 0 5	偏光ビームスプリッタ	
1 3 0 4 0 6	偏光ビームスプリッタ	
1 3 0 4 0 7	反射型表示パネル	10
1 3 0 4 1 1	投射光学系	
1 3 0 5 0 1	ダイクロイックミラー	
1 3 0 5 0 2	ダイクロイックミラー	
1 3 0 5 0 3	赤色光用ダイクロイックミラー	
1 3 0 5 0 4	位相差板	
1 3 0 5 0 5	カラーフィルター板	
1 3 0 5 0 6	マイクロレンズアレイ	
1 3 0 5 0 7	表示パネル	
1 3 0 5 0 8	表示パネル	
1 3 0 5 0 9	表示パネル	20
1 3 0 5 1 1	投射光学系	
2 0 1 0 2 a	画素	
2 0 1 0 2 b	画素	
2 0 1 0 5 a	走査線駆動回路	
2 0 1 0 5 b	走査線駆動回路	
2 0 3 0 1 a	トランジスタ	
2 0 3 0 1 b	トランジスタ	
2 0 3 0 3 a	容量素子	
2 0 3 0 3 b	容量素子	
2 0 3 0 5 a	配線	30
2 0 3 0 5 b	配線	
2 0 3 0 7 6	配線	
2 0 5 0 2 a	半導体層	
2 0 5 0 2 b	半導体層	
2 0 5 0 3 a	絶縁層	
2 0 5 0 3 b	絶縁層	
2 0 5 0 4 a	導電層	
2 0 5 0 4 b	導電層	
2 0 5 0 8 a	導電層	
2 0 5 0 8 b	導電層	40
2 0 6 0 2 a	ドライバ I C	
2 0 6 0 2 b	ドライバ I C	
2 3 1 9 0 a	赤色光源	
2 3 1 9 0 b	緑色光源	
2 3 1 9 0 c	青色光源	
6 0 5 7 7 a	ゲートバルブ	
6 0 6 8 1 a	蒸発源	
6 0 6 8 1 b	蒸発源	
6 0 6 8 1 c	蒸発源	
6 0 6 8 5 a	材料供給源	50

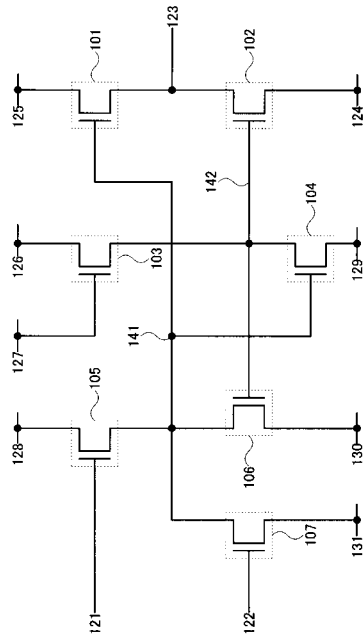
6 0 6 8 5 b	材料供給源	
6 0 6 8 5 c	材料供給源	
8 0 3 0 1 a	スイッチング用トランジスタ	
8 0 3 0 1 b	スイッチング用トランジスタ	
8 0 3 0 1 c	スイッチング用トランジスタ	
8 0 3 0 1 d	スイッチング用トランジスタ	
8 0 3 0 1 e	スイッチング用トランジスタ	
8 0 3 0 2 a	駆動用トランジスタ	
8 0 3 0 2 b	駆動用トランジスタ	
8 0 3 0 2 c	駆動用トランジスタ	10
8 0 3 0 2 d	駆動用トランジスタ	
8 0 3 0 2 e	駆動用トランジスタ	
8 0 3 0 3 c	ダイオード接続トランジスタ	
8 0 3 0 3 d	ダイオード接続トランジスタ	
8 0 3 0 3 e	消去用トランジスタ	
8 0 3 0 4 a	容量素子	
8 0 3 0 4 b	容量素子	
8 0 3 0 4 c	容量素子	
8 0 3 0 4 d	容量素子	
8 0 3 0 4 e	容量素子	20
8 0 3 0 6 a	整流素子	
8 0 3 1 1 a	信号線	
8 0 3 1 1 b	信号線	
8 0 3 1 1 c	信号線	
8 0 3 1 1 d	信号線	
8 0 3 1 1 e	信号線	
8 0 3 1 2 a	第 1 の走査線	
8 0 3 1 2 b	第 1 の走査線	
8 0 3 1 2 c	第 1 の走査線	
8 0 3 1 2 d	第 1 の走査線	30
8 0 3 1 2 e	第 1 の走査線	
8 0 3 1 3 a	電源線	
8 0 3 1 3 b	電源線	
8 0 3 1 3 c	電源線	
8 0 3 1 3 d	電源線	
8 0 3 1 3 e	電源線	
8 0 3 1 4 b	第 2 の走査線	
8 0 3 1 4 c	第 2 の走査線	
8 0 3 1 4 d	第 2 の走査線	
8 0 3 2 0 a	表示素子	40
8 0 3 2 0 b	表示素子	
8 0 3 2 1 a	電極	
8 0 3 2 1 b	電極	
9 0 0 1 0 1	表示パネル	
9 0 0 1 0 2	画素部	
9 0 0 1 0 3	走査線駆動回路	
9 0 0 1 0 4	信号線駆動回路	
9 0 0 1 1 1	回路基板	
9 0 0 1 1 2	コントロール回路	
9 0 0 1 1 3	信号分割回路	50

9 0 0 1 1 4	接続配線	
9 0 0 2 0 1	チューナ	
9 0 0 2 0 2	映像信号増幅回路	
9 0 0 2 0 3	映像信号処理回路	
9 0 0 2 0 5	音声信号増幅回路	
9 0 0 2 0 6	音声信号処理回路	
9 0 0 2 0 7	スピーカ	
9 0 0 2 0 8	制御回路	
9 0 0 2 0 9	入力部	
9 0 0 2 1 2	コントロール回路	10
9 0 0 2 1 3	信号分割回路	
9 0 0 3 0 1	筐体	
9 0 0 3 0 2	表示画面	
9 0 0 3 0 3	スピーカ	
9 0 0 3 0 4	操作スイッチ	
9 0 0 3 1 0	充電器	
9 0 0 3 1 2	筐体	
9 0 0 3 1 3	表示部	
9 0 0 3 1 6	操作キー	
9 0 0 3 1 7	スピーカ部	20
9 0 0 4 0 1	表示パネル	
9 0 0 4 0 2	プリント配線基板	
9 0 0 4 0 3	画素部	
9 0 0 4 0 4	走査線駆動回路	
9 0 0 4 0 5	走査線駆動回路	
9 0 0 4 0 6	信号線駆動回路	
9 0 0 4 0 7	コントローラ	
9 0 0 4 0 8	中央処理装置 (C P U)	
9 0 0 4 0 9	メモリ	
9 0 0 4 1 0	電源回路	30
9 0 0 4 1 1	音声処理回路	
9 0 0 4 1 2	送受信回路	
9 0 0 4 1 3	フレキシブル配線基板 (F P C)	
9 0 0 4 1 4	インターフェース (I / F) 部	
9 0 0 4 1 5	アンテナ用ポート	
9 0 0 4 1 6	V R A M	
9 0 0 4 1 7	D R A M	
9 0 0 4 1 8	フラッシュメモリ	
9 0 0 4 1 9	インターフェース	
9 0 0 4 2 0	制御信号生成回路	40
9 0 0 4 2 1	デコーダ	
9 0 0 4 2 2	レジスタ	
9 0 0 4 2 3	演算回路	
9 0 0 4 2 4	R A M	
9 0 0 4 2 5	入力手段	
9 0 0 4 2 6	マイク	
9 0 0 4 2 7	スピーカ	
9 0 0 4 2 8	アンテナ	
9 0 0 5 0 1	表示パネル	
9 0 0 5 1 3	F P C	50

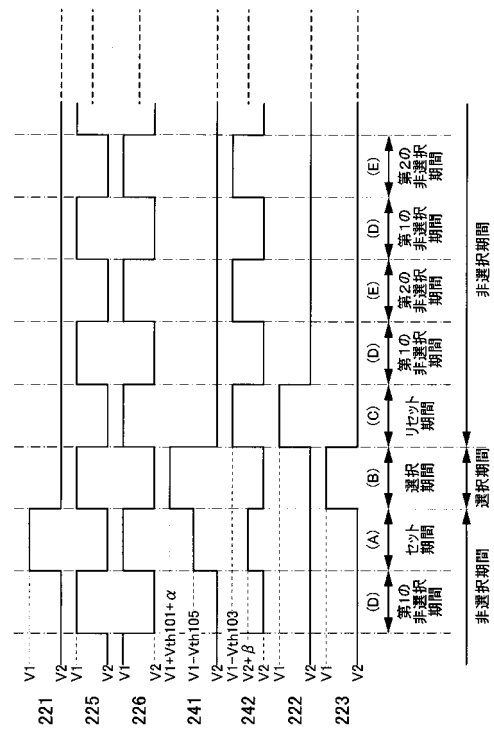
9 0 0 5 3 0	ハウジング	
9 0 0 5 3 1	プリント基板	
9 0 0 5 3 2	スピーカー	
9 0 0 5 3 3	マイクロフォン	
9 0 0 5 3 4	送受信回路	
9 0 0 5 3 5	信号処理回路	
9 0 0 5 3 6	入力手段	
9 0 0 5 3 7	バッテリー	
9 0 0 5 3 9	筐体	
9 0 0 6 0 0	携帯電話機	10
9 0 0 6 0 1	本体 (A)	
9 0 0 6 0 2	本体 (B)	
9 0 0 6 0 3	筐体	
9 0 0 6 0 4	操作スイッチ類	
9 0 0 6 0 5	マイクロフォン	
9 0 0 6 0 6	スピーカー	
9 0 0 6 0 7	回路基板	
9 0 0 6 0 8	表示パネル (A)	
9 0 0 6 0 9	表示パネル (B)	
9 0 0 6 1 0	蝶番	20
9 0 0 7 1 1	筐体	
9 0 0 7 1 2	支持台	
9 0 0 7 1 3	表示部	
9 0 0 7 2 1	本体	
9 0 0 7 2 2	表示部	
9 0 0 7 2 3	受像部	
9 0 0 7 2 4	操作キー	
9 0 0 7 2 5	外部接続ポート	
9 0 0 7 2 6	シャッター	
9 0 0 7 3 1	本体	30
9 0 0 7 3 2	筐体	
9 0 0 7 3 3	表示部	
9 0 0 7 3 4	キーボード	
9 0 0 7 3 5	外部接続ポート	
9 0 0 7 3 6	ポインティングデバイス	
9 0 0 7 4 1	本体	
9 0 0 7 4 2	表示部	
9 0 0 7 4 3	スイッチ	
9 0 0 7 4 4	操作キー	
9 0 0 7 4 5	赤外線ポート	40
9 0 0 7 5 1	本体	
9 0 0 7 5 2	筐体	
9 0 0 7 5 3	表示部 (A)	
9 0 0 7 5 4	表示部 (B)	
9 0 0 7 5 5	部	
9 0 0 7 5 6	操作キー	
9 0 0 7 5 7	スピーカー部	
9 0 0 7 6 1	本体	
9 0 0 7 6 2	表示部	
9 0 0 7 6 3	イヤホン	50

9 0 0 7 6 4	支持部	
9 0 0 7 7 1	筐体	
9 0 0 7 7 2	表示部	
9 0 0 7 7 3	スピーカー部	
9 0 0 7 7 4	操作キー	
9 0 0 7 7 5	記憶媒体挿入部	
9 0 0 7 8 1	本体	
9 0 0 7 8 2	表示部	
9 0 0 7 8 3	操作キー	
9 0 0 7 8 4	スピーカー	10
9 0 0 7 8 5	シャッター	
9 0 0 7 8 6	受像部	
9 0 0 7 8 7	アンテナ	
9 0 0 8 1 0	筐体	
9 0 0 8 1 1	表示部	
9 0 0 8 1 2	リモコン装置	
9 0 0 8 1 3	スピーカー部	
9 0 0 9 0 1	表示パネル	
9 0 0 9 0 2	ユニットバス	
9 0 1 0 0 1	柱状体	20
9 0 1 0 0 2	表示パネル	
9 0 1 1 0 1	車体	
9 0 1 1 0 2	表示パネル	
9 0 1 2 0 1	ドア	
9 0 1 2 0 2	表示パネル	
9 0 1 2 0 3	ガラス窓	
9 0 1 2 0 4	天井	
9 0 1 3 0 1	天井	
9 0 1 3 0 2	表示パネル	
9 0 1 3 0 3	ヒンジ部	30

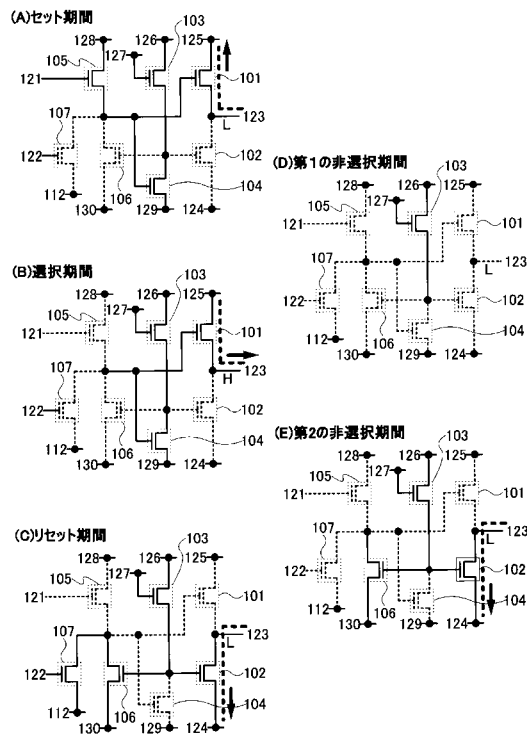
【図 1】



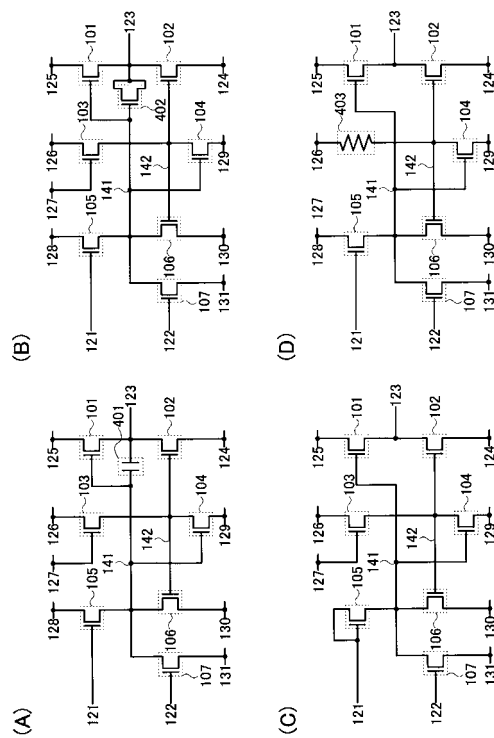
【図 2】



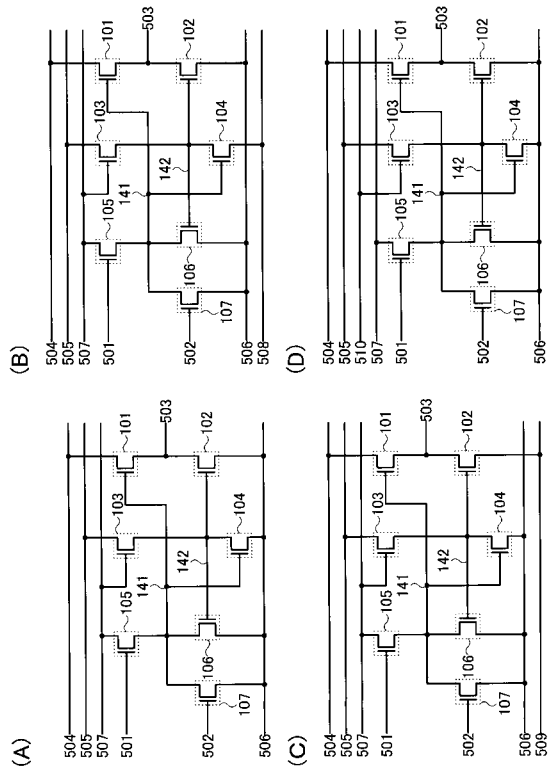
【図 3】



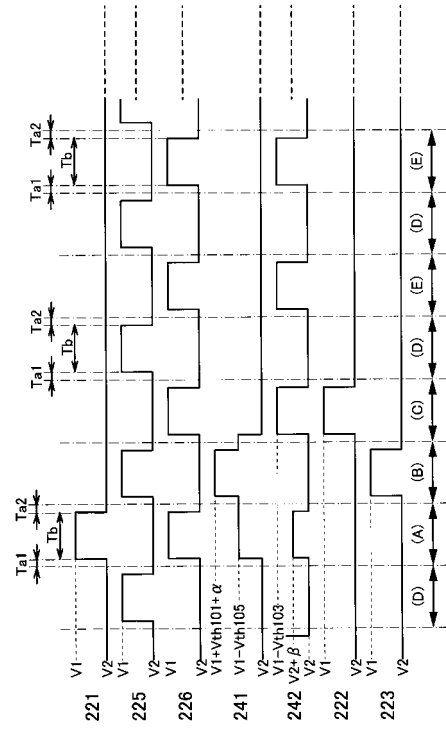
【図 4】



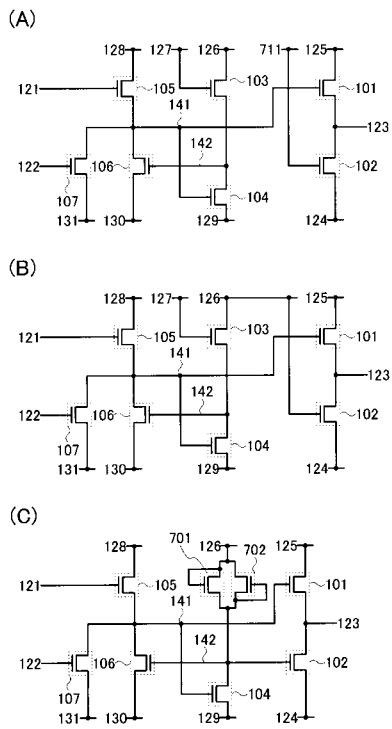
【図 5】



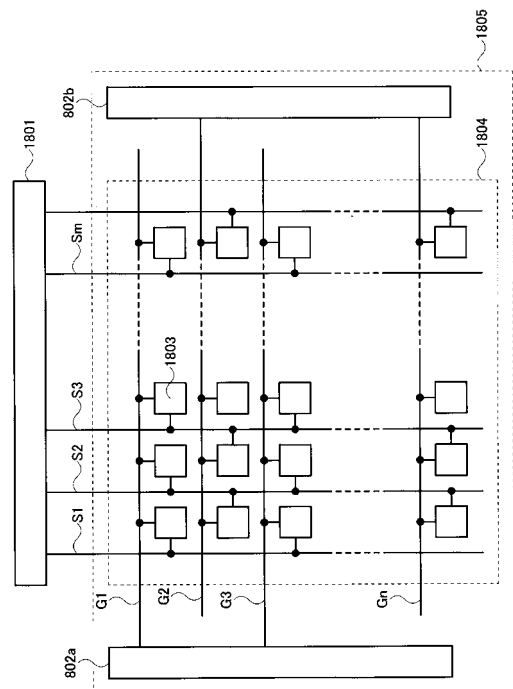
【図 6】



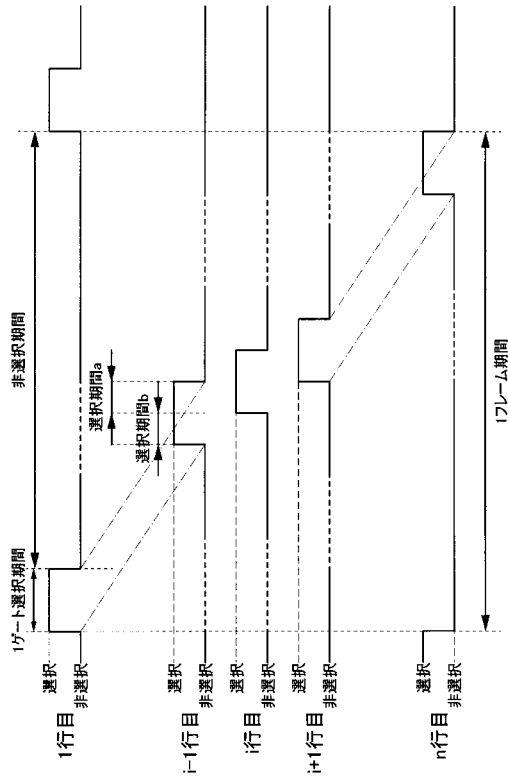
【図 7】



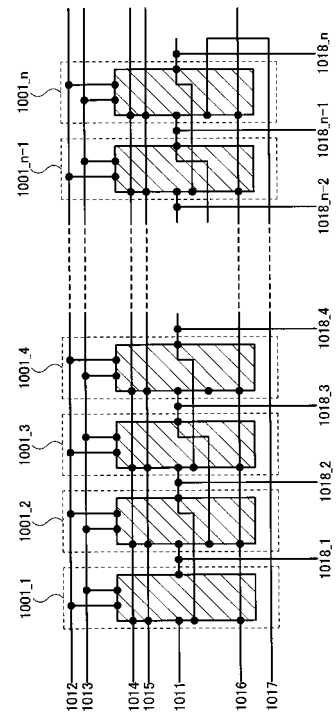
【図 8】



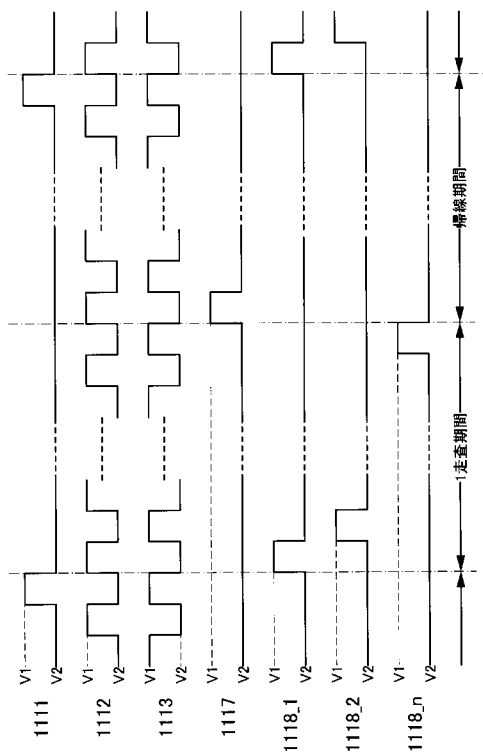
【図 9】



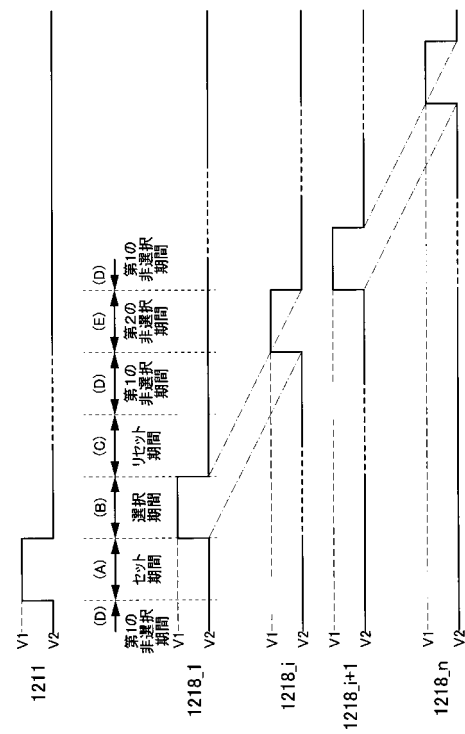
【図 10】



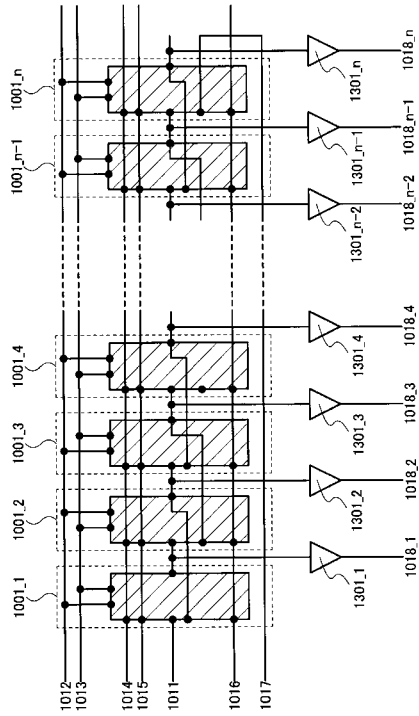
【図 11】



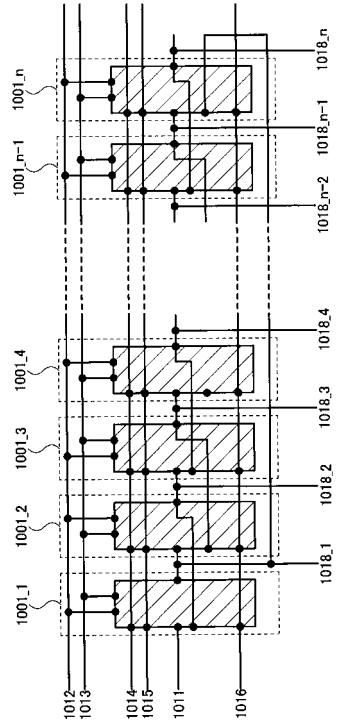
【図 12】



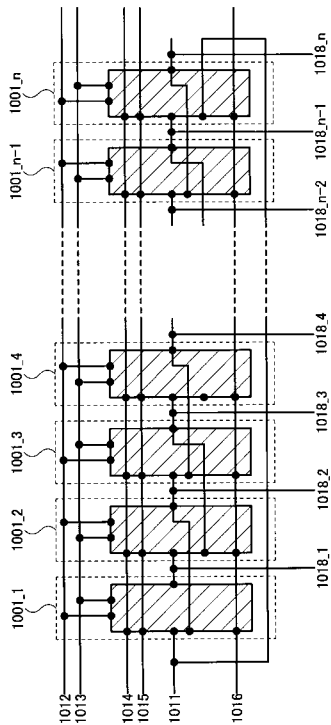
【図 13】



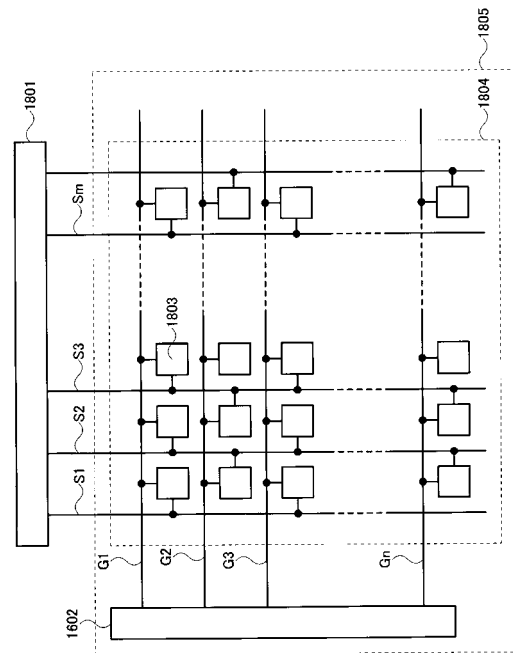
【図 14】



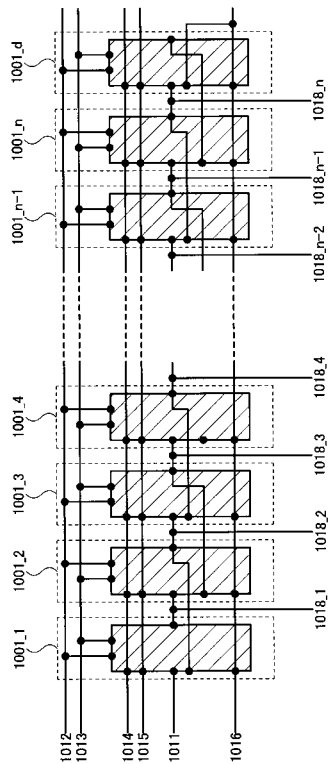
【図 15】



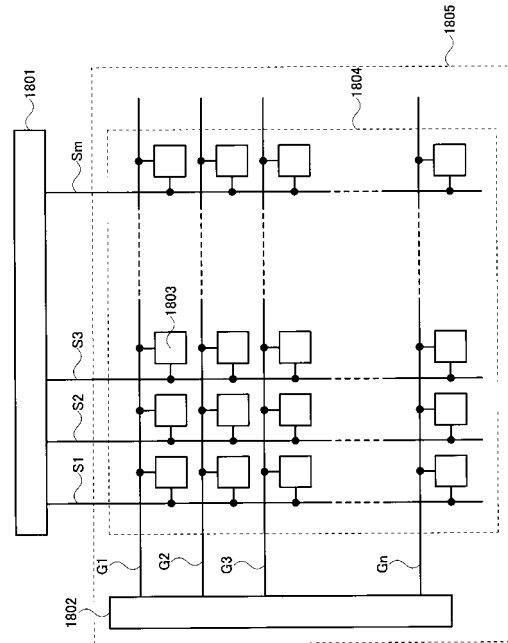
【図 16】



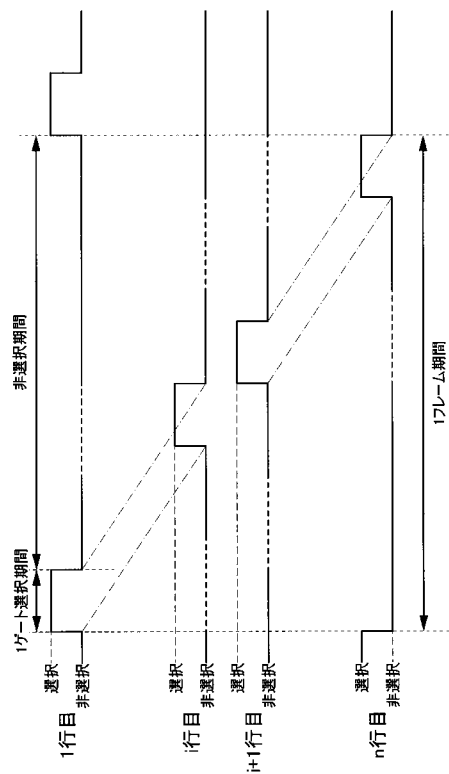
【図 17】



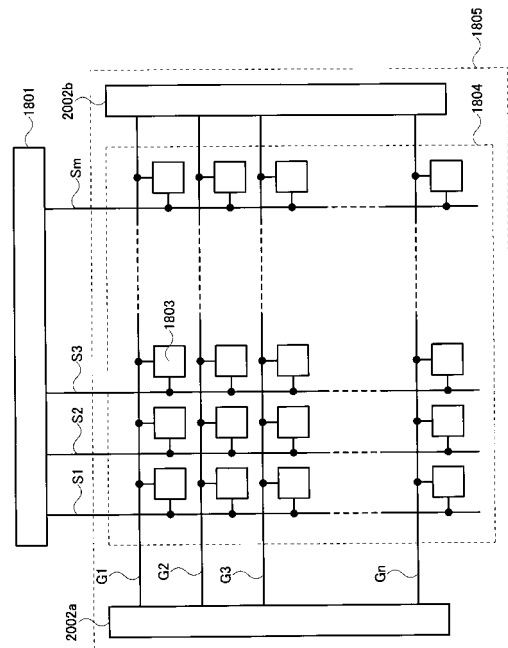
【図 18】



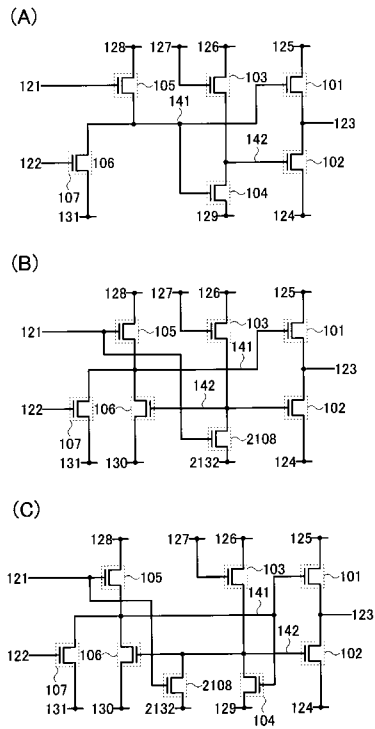
【図 19】



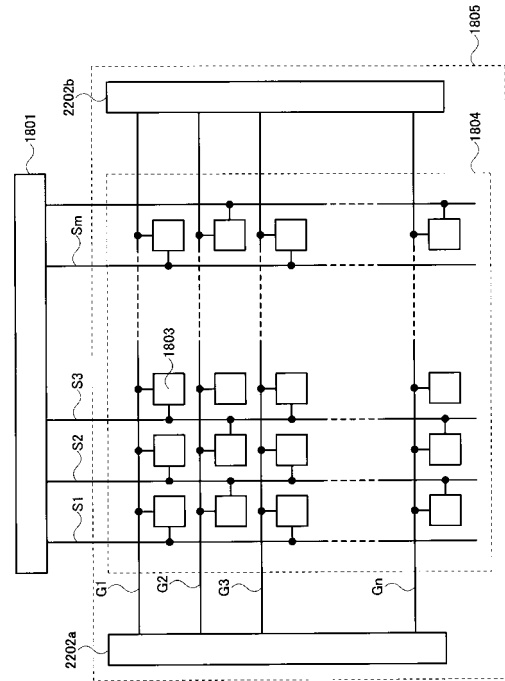
【図 20】



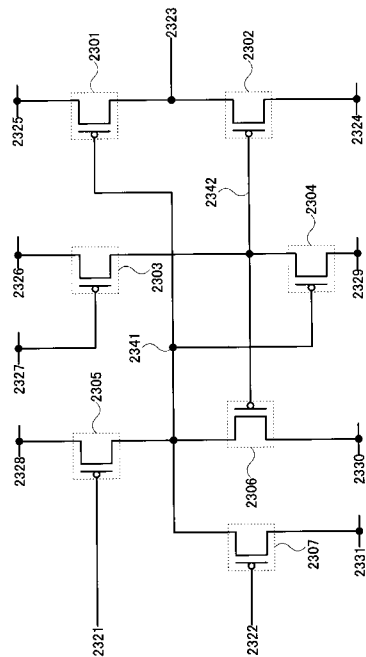
【 図 2 1 】



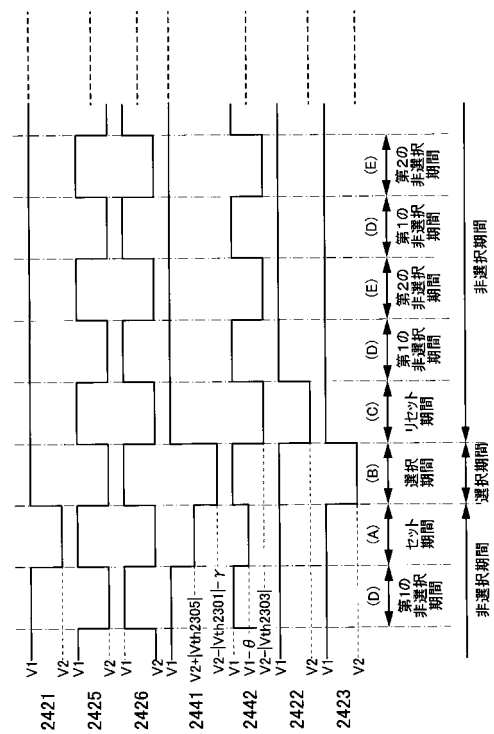
【図 2 2】



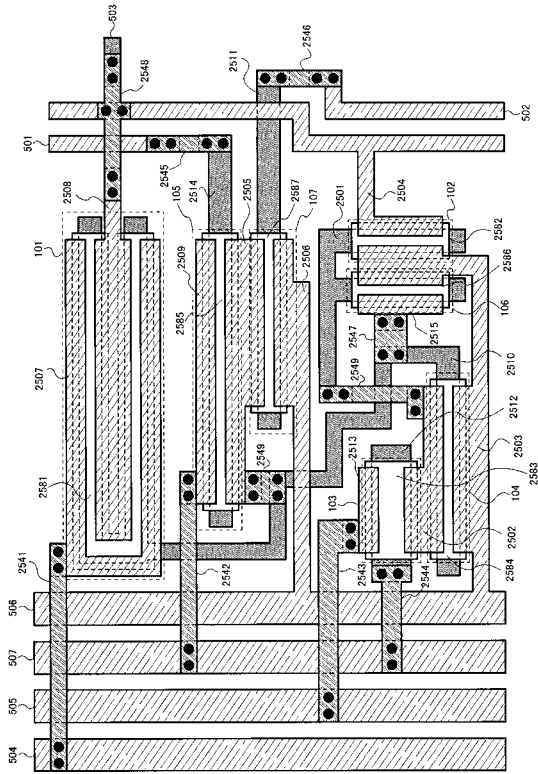
【图 2 3】



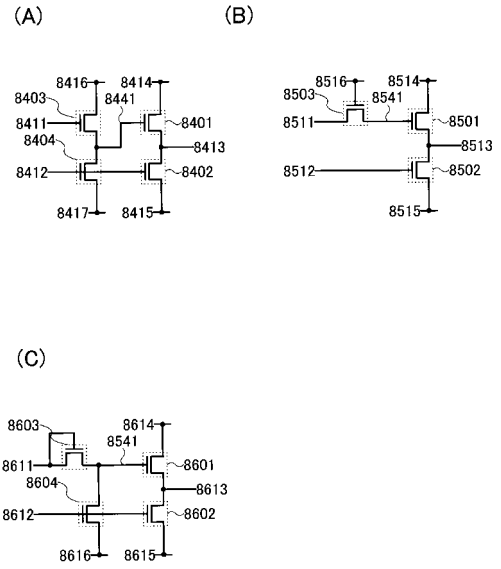
【圖 24】



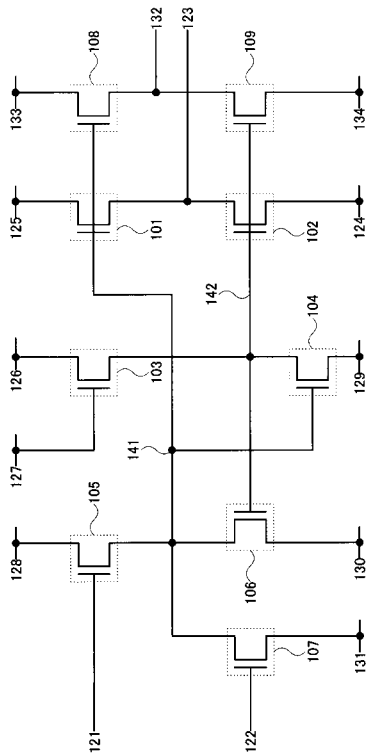
【図 25】



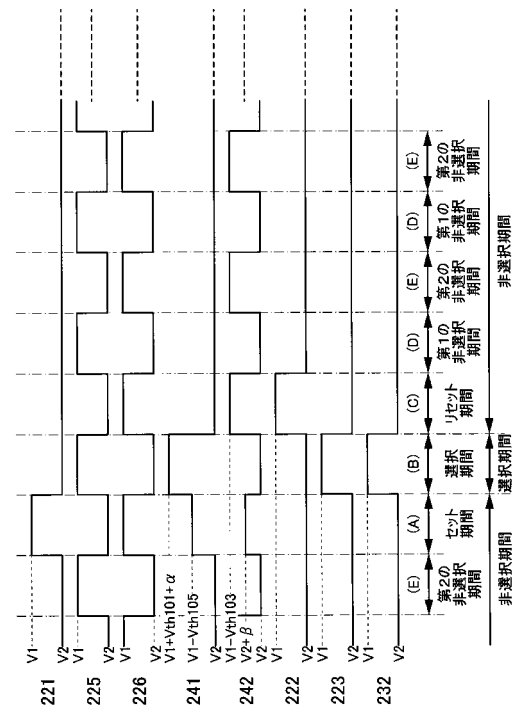
【図 26】



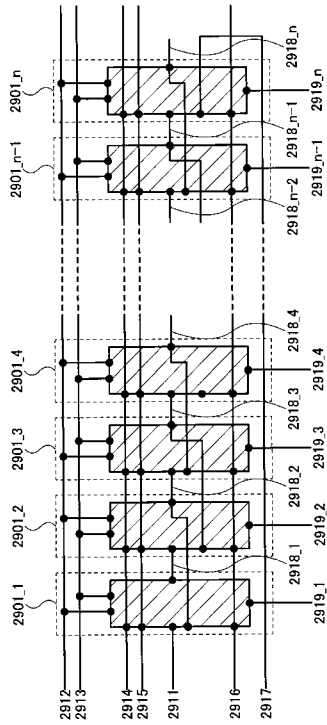
【図 27】



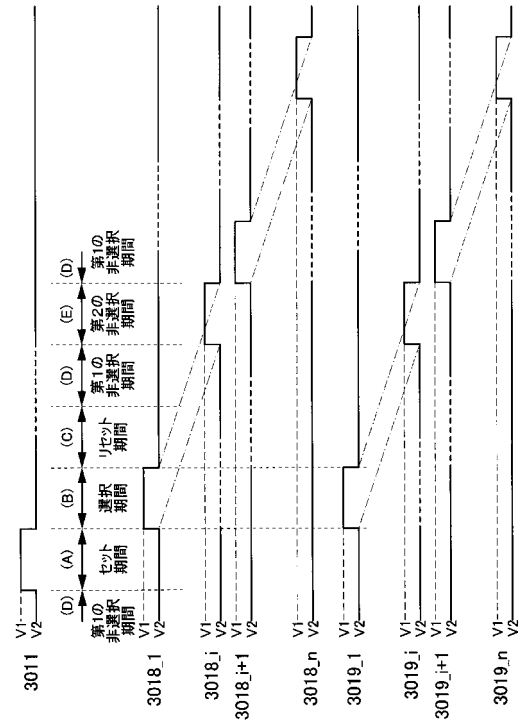
【図 28】



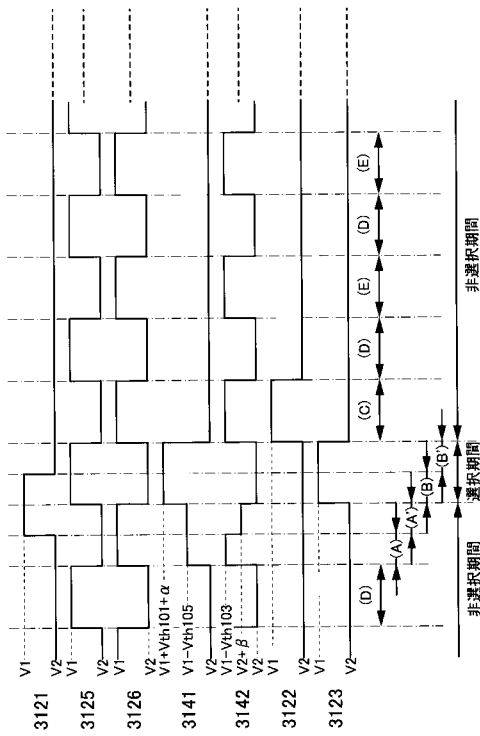
【図 29】



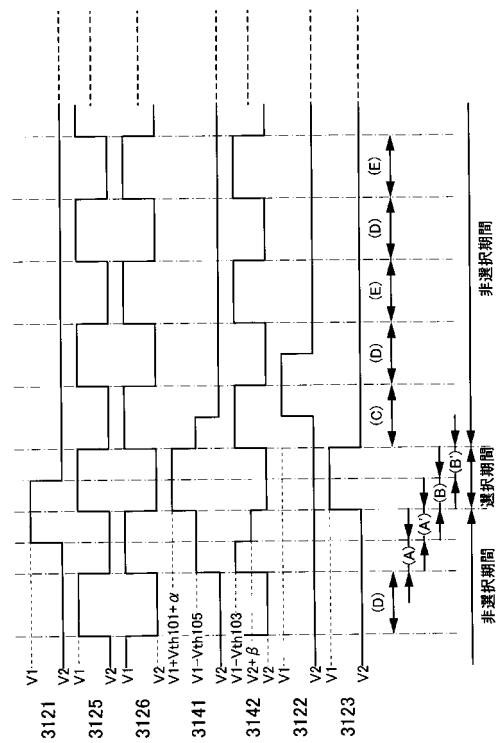
【図 30】



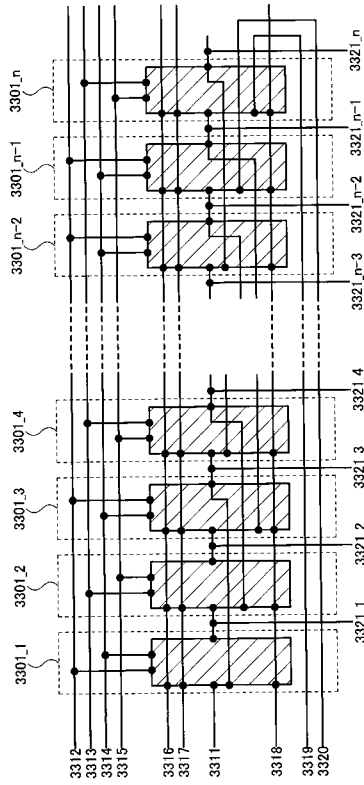
【図 31】



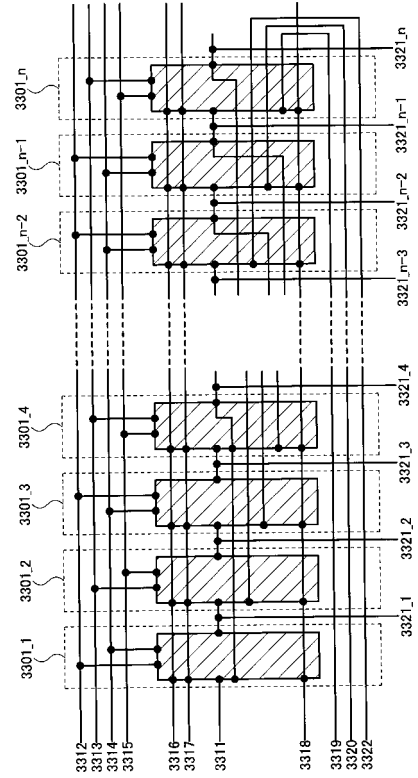
【図 32】



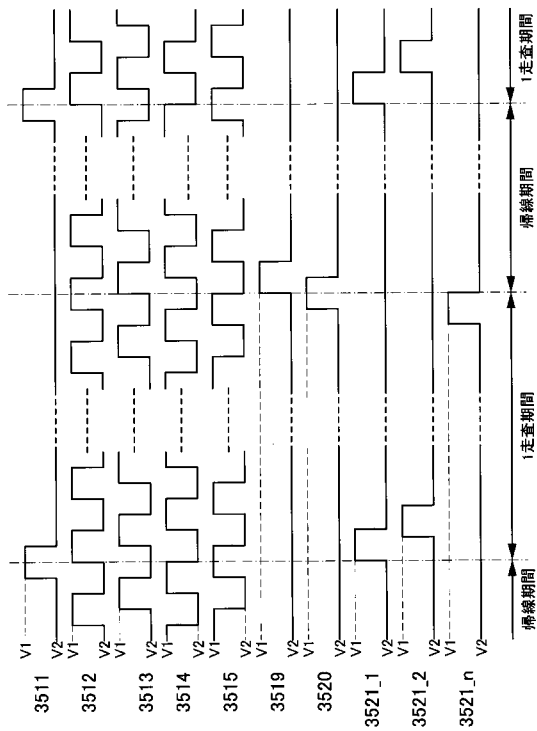
【図 3 3】



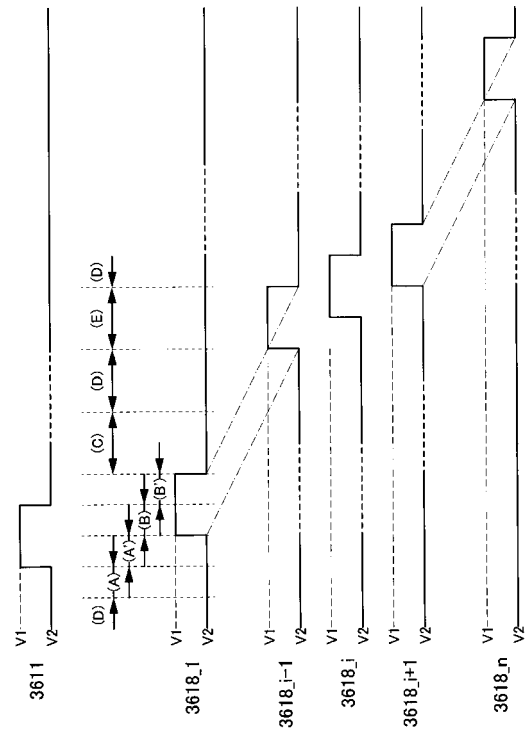
【図 3 4】



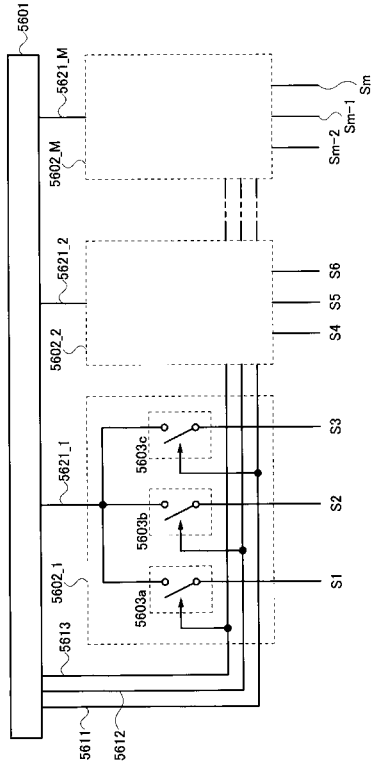
【図 3 5】



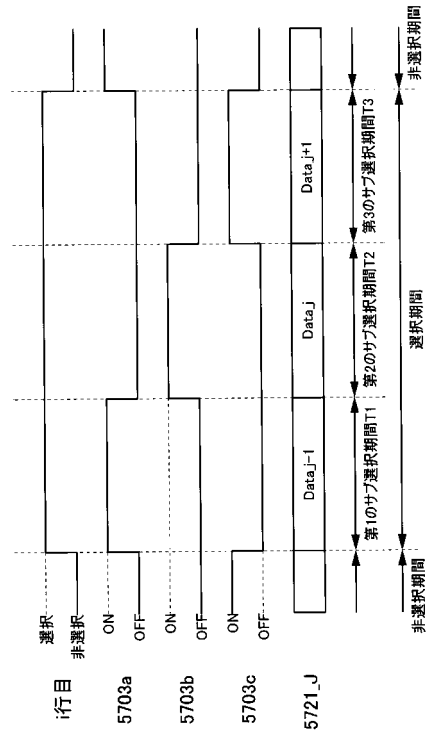
【図 3 6】



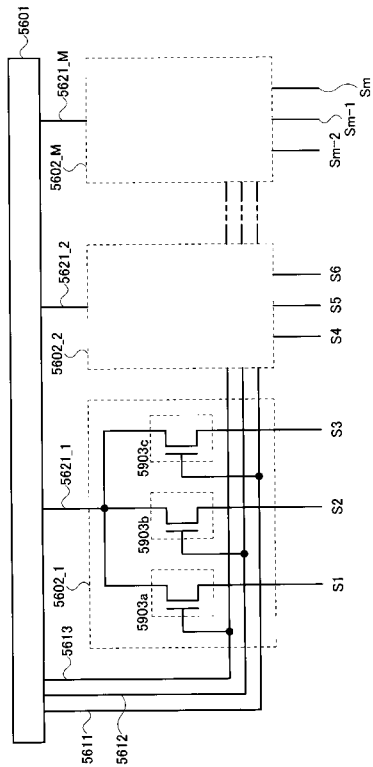
【図 37】



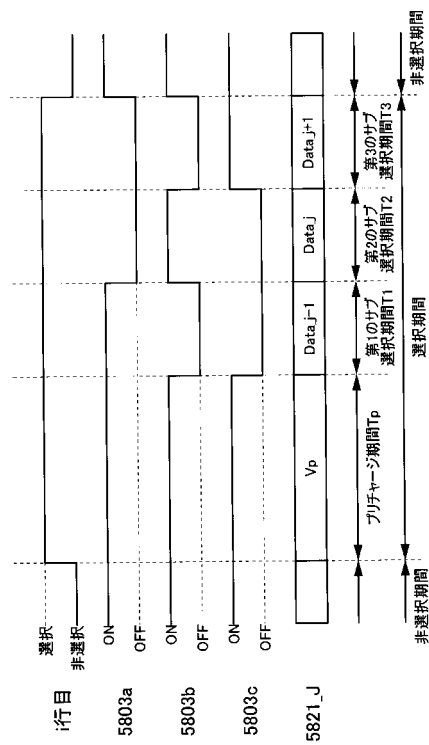
【図 38】



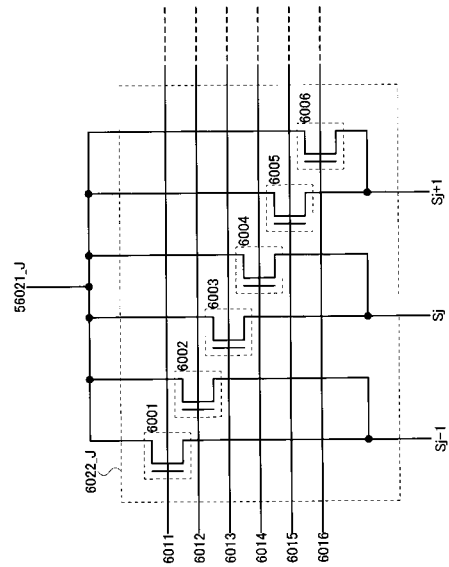
【図 39】



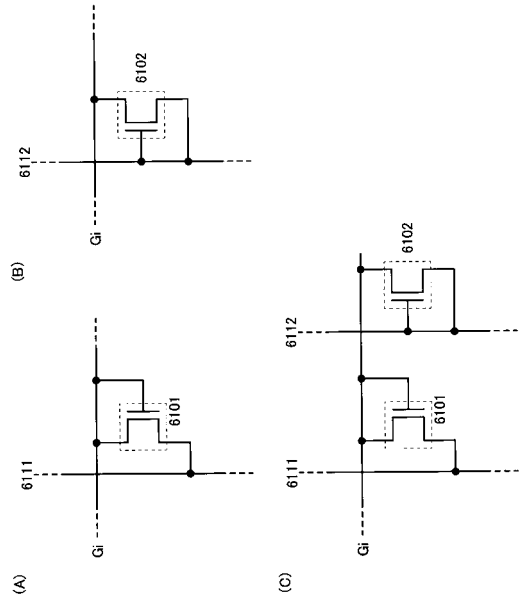
【図 40】



【図 4 1】



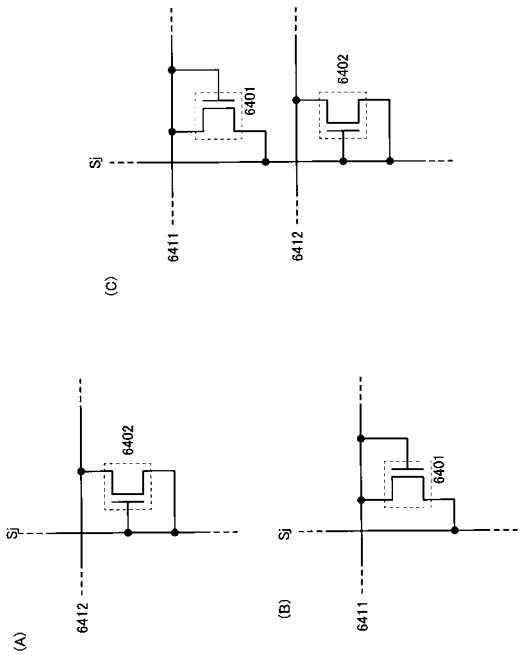
【図 4 2】



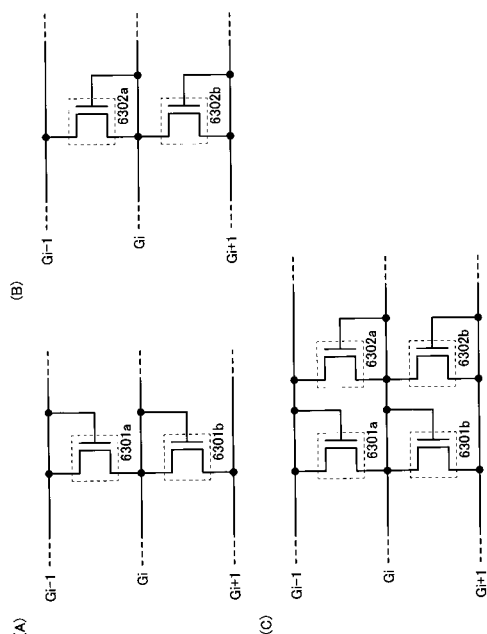
【図 4 3】



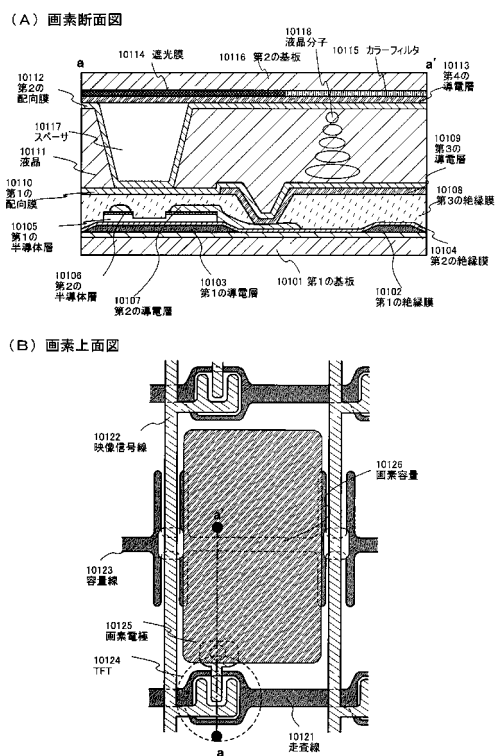
【図 4 4】



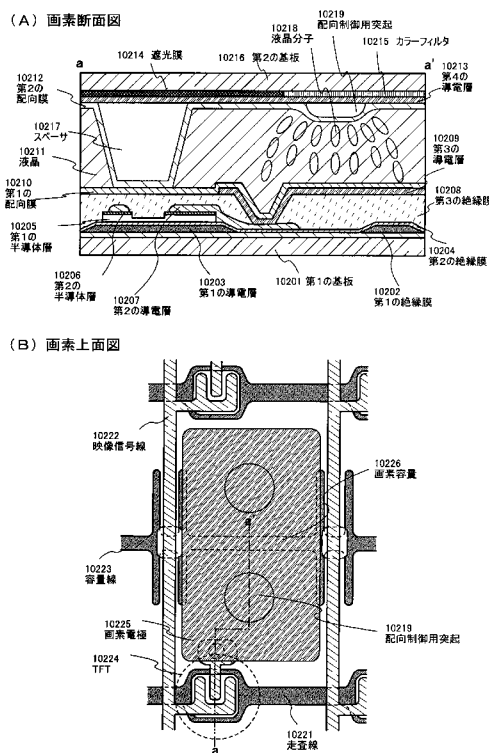
【图 4 5】



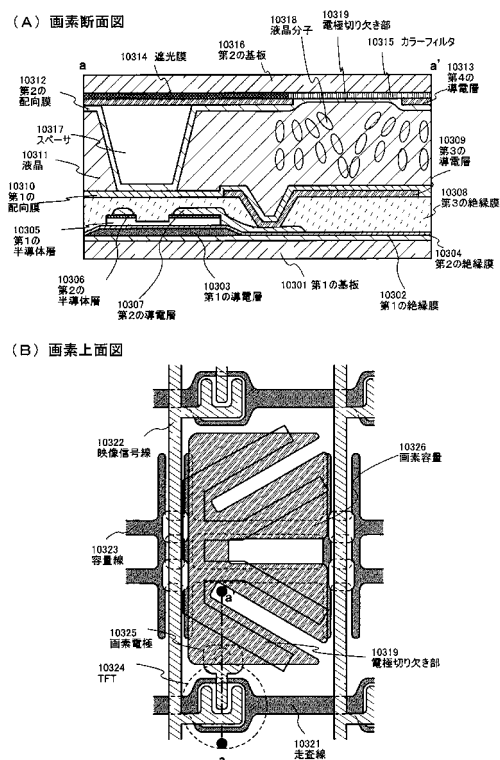
【图 4 6】



【图 4 7】

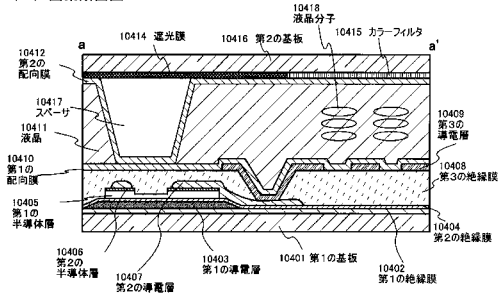


【图 48】

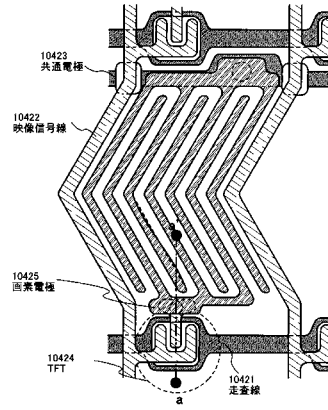


【図 49】

(A) 画素断面図

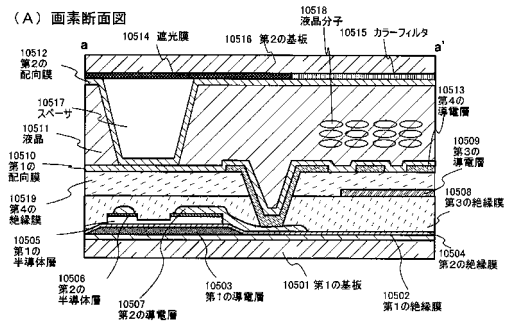


(B) 画素上面図

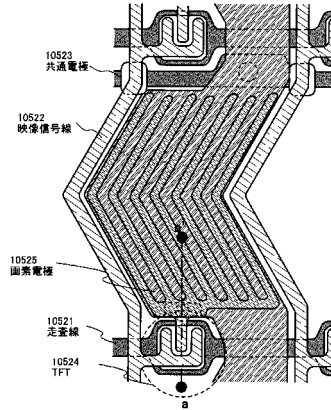


【図 50】

(A) 画素断面図

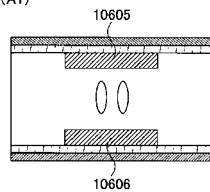


(B) 画素上面図

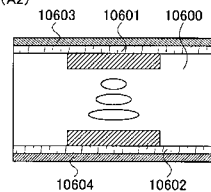


【図 51】

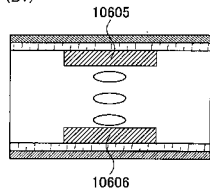
(A1)



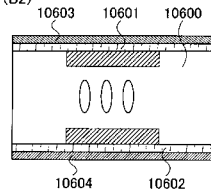
(A2)



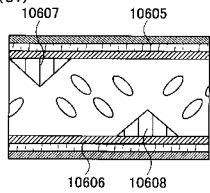
(B1)



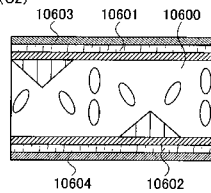
(B2)



(C1)

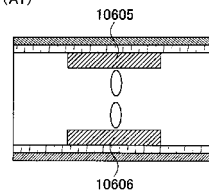


(C2)

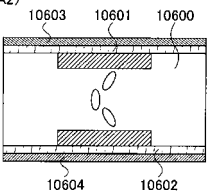


【図 52】

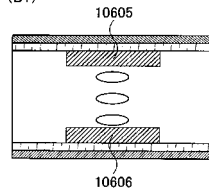
(A1)



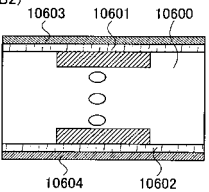
(A2)



(B1)

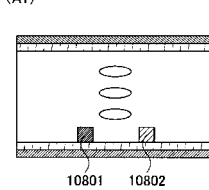


(B2)

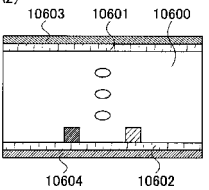


【図 53】

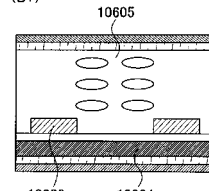
(A1)



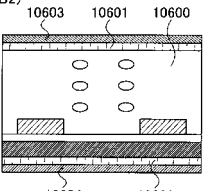
(A2)



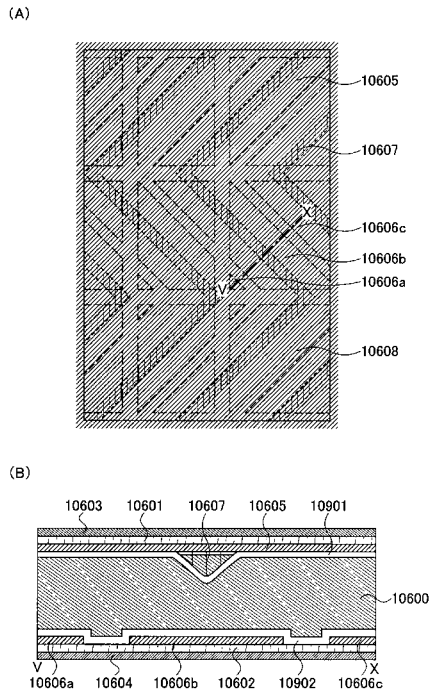
(B1)



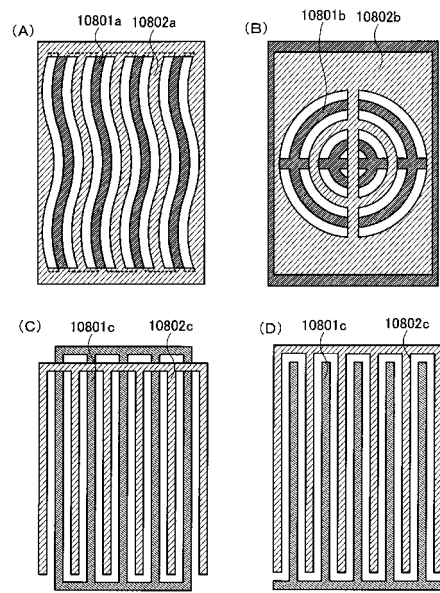
(B2)



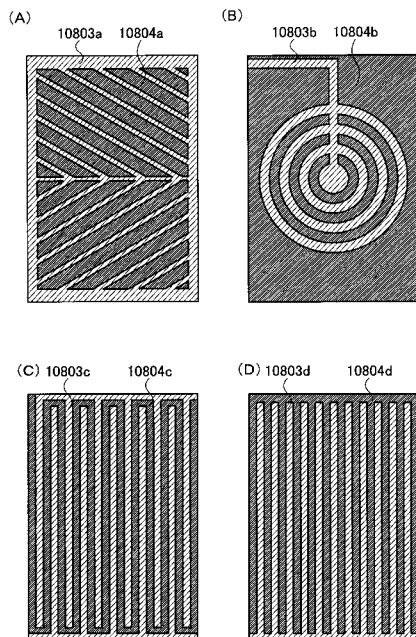
【図 5 4】



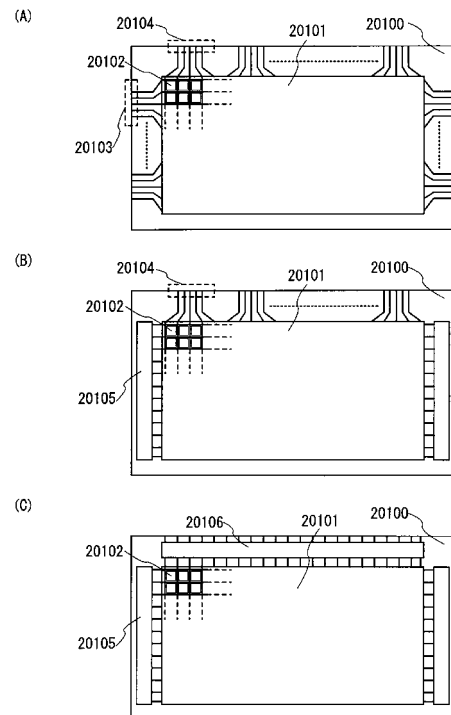
【図 5 5】



【図 5 6】

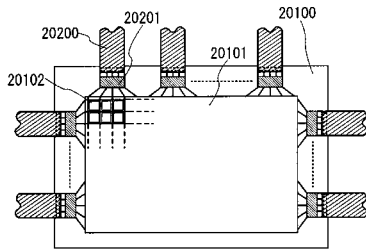


【図 5 7】

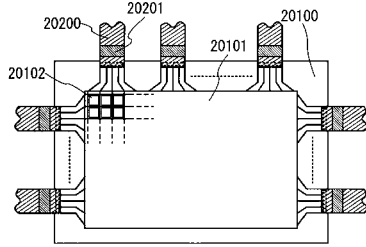


【図 58】

(A)

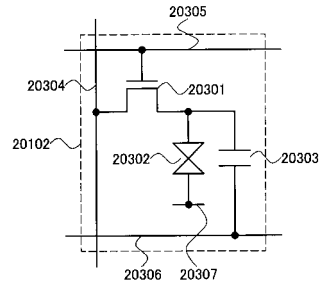


(B)

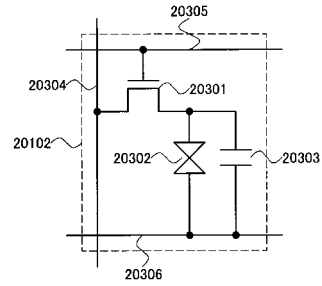


【図 59】

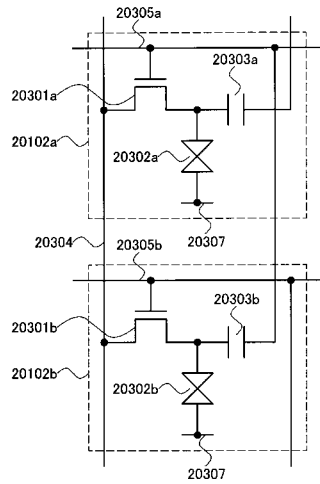
(A)



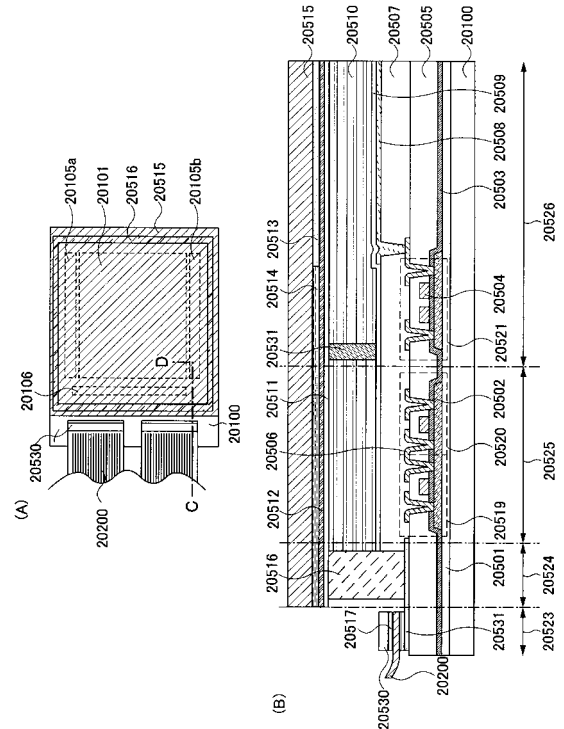
(b)



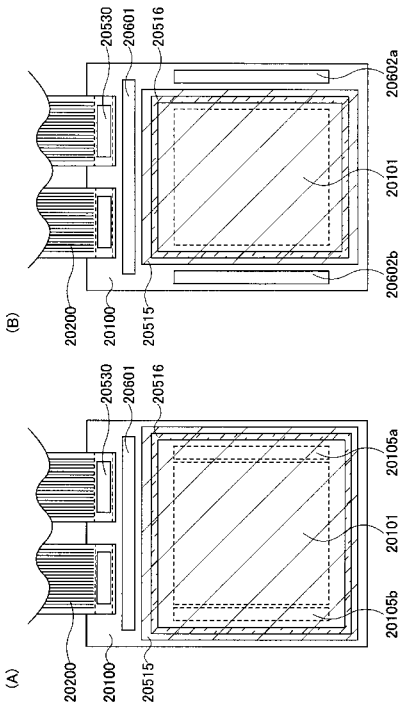
【図 60】



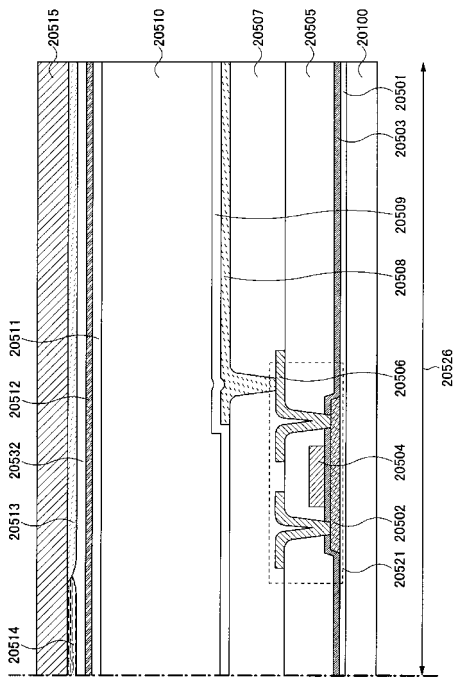
【図 61】



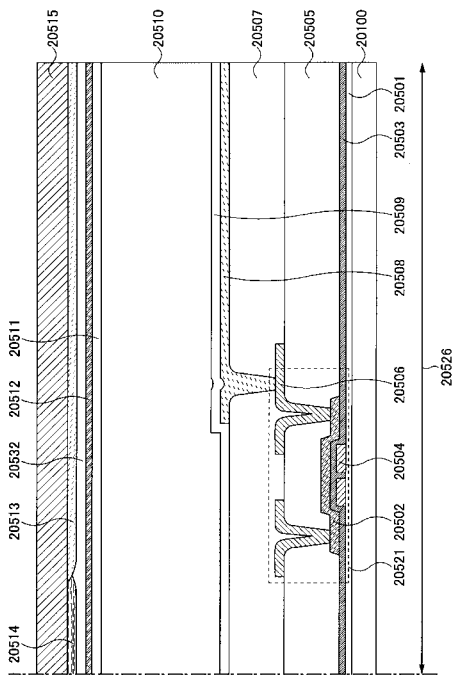
【図 6 2】



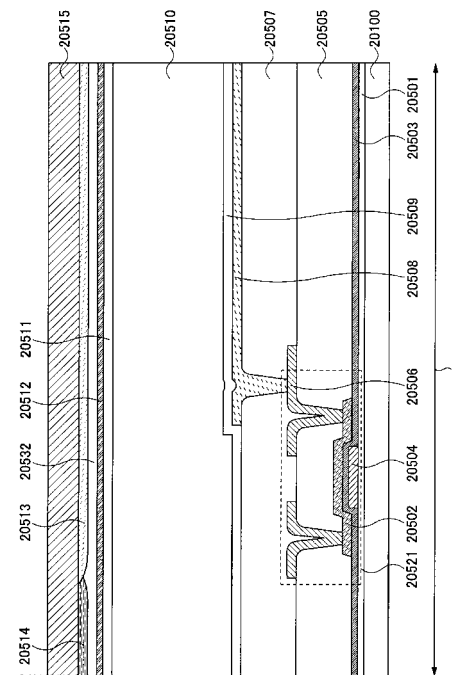
【図 6 3】



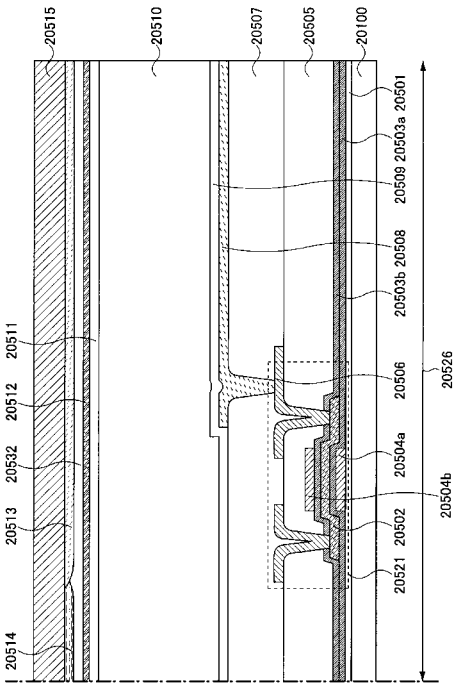
【図 6 4】



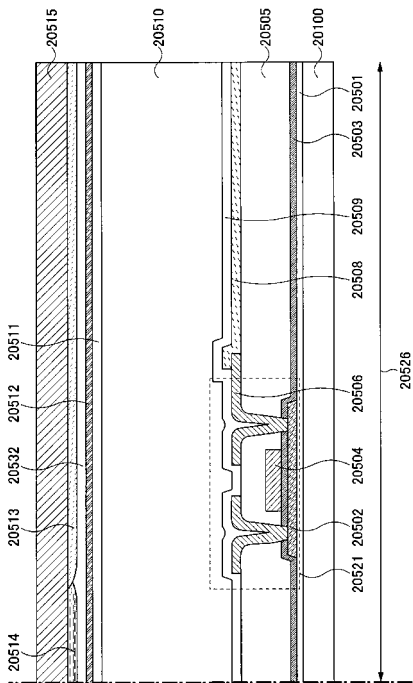
【図 6 5】



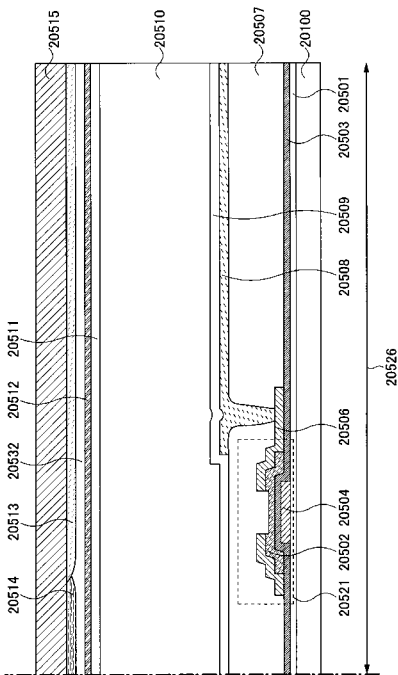
【図 6 6】



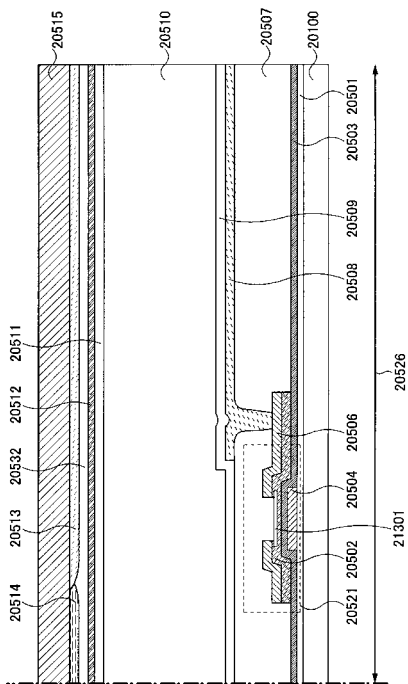
【図 6 7】



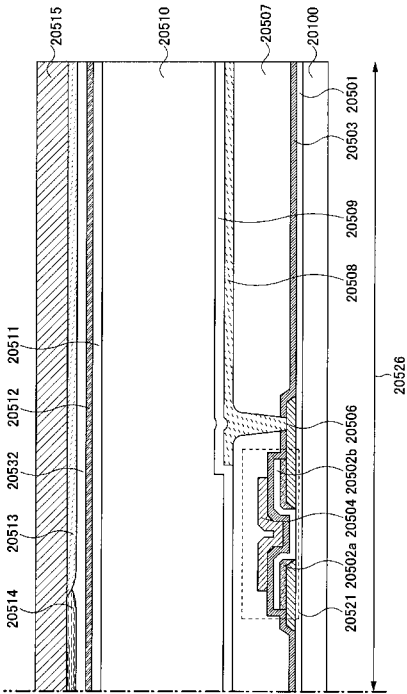
【図 6 8】



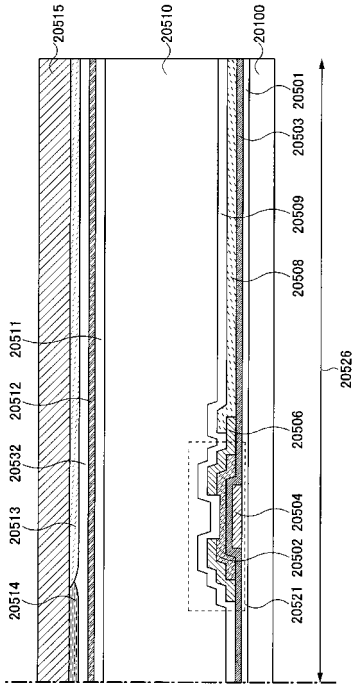
【図 6 9】



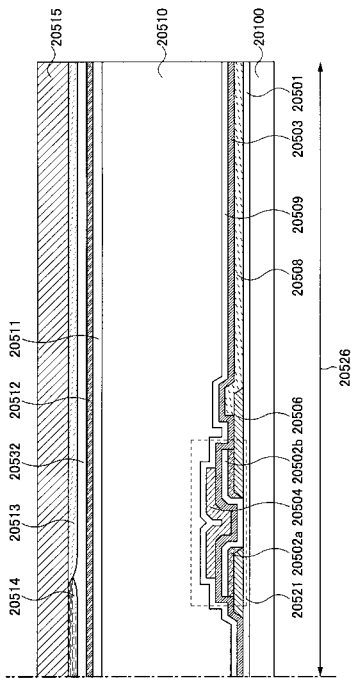
【図 7 0】



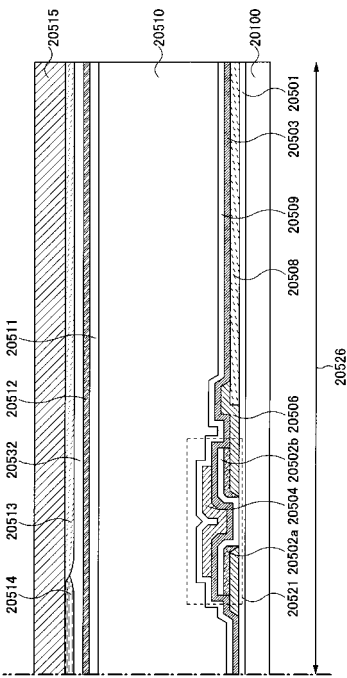
【図 7 1】



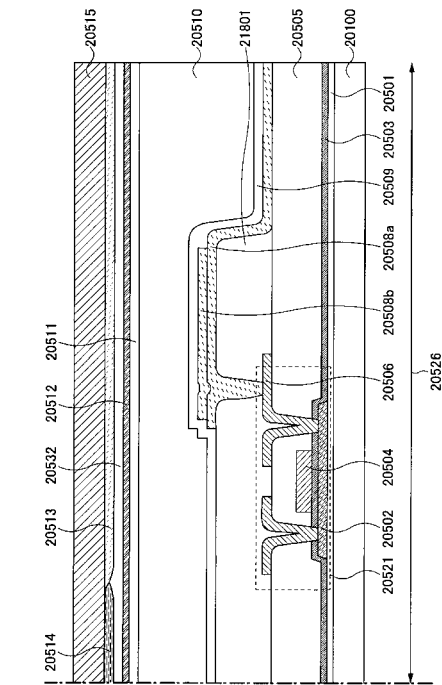
【図 7 2】



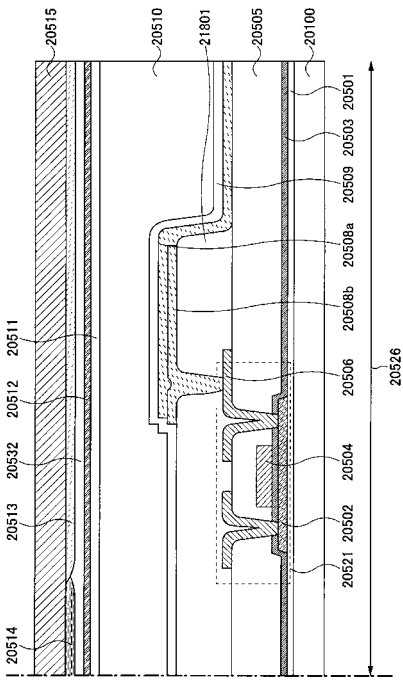
【図 7 3】



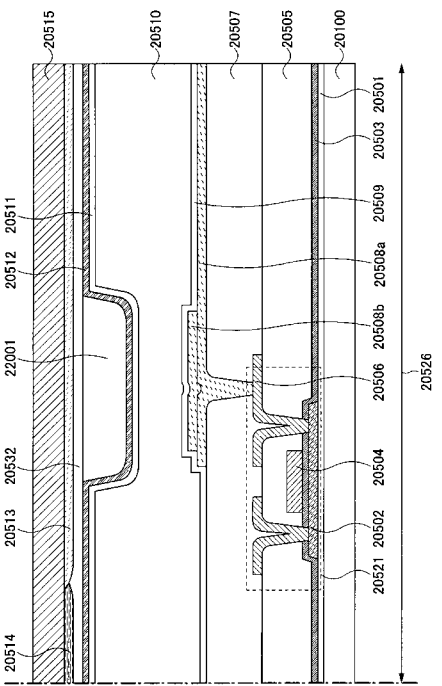
【図 7 4】



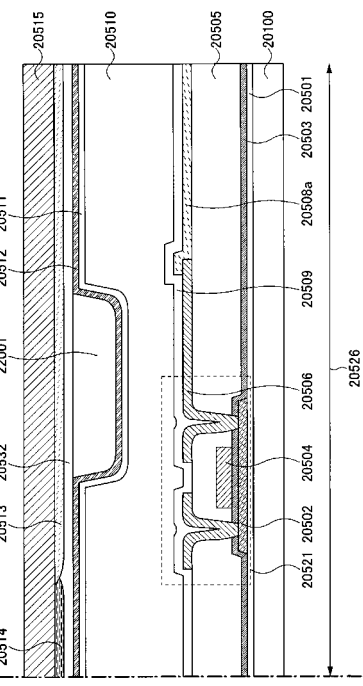
【図 7 5】



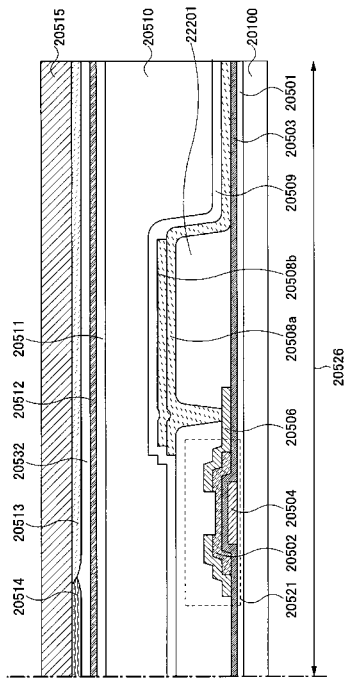
【図 7 6】



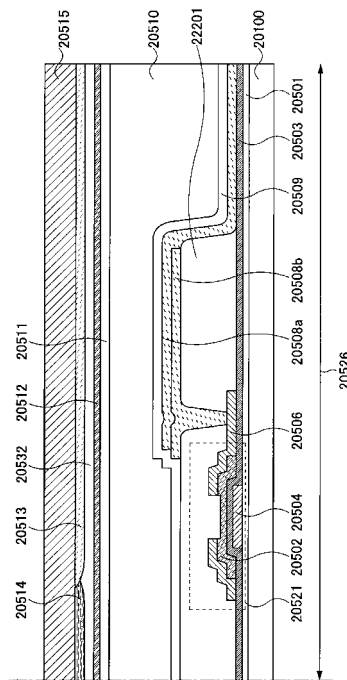
【図 7 7】



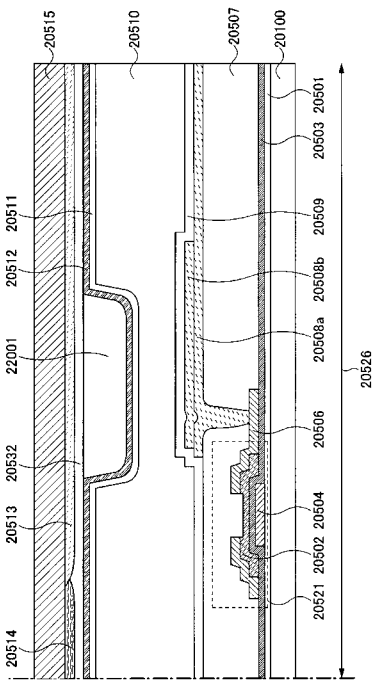
【図 78】



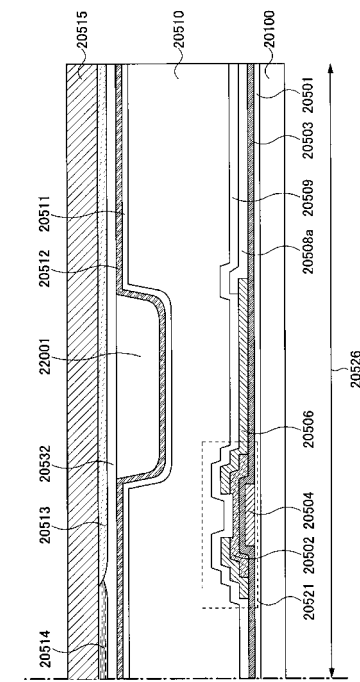
【図 79】



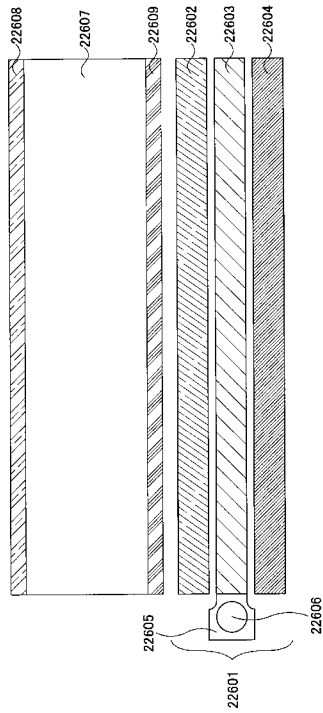
【図 80】



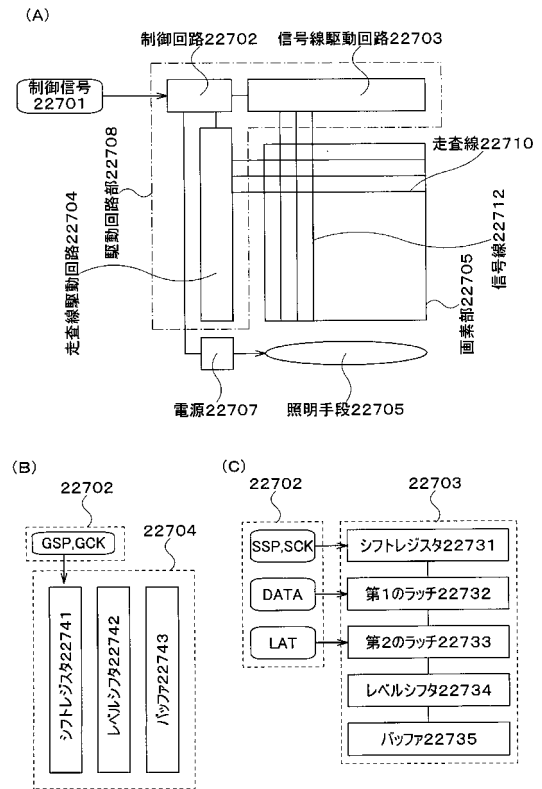
【図 81】



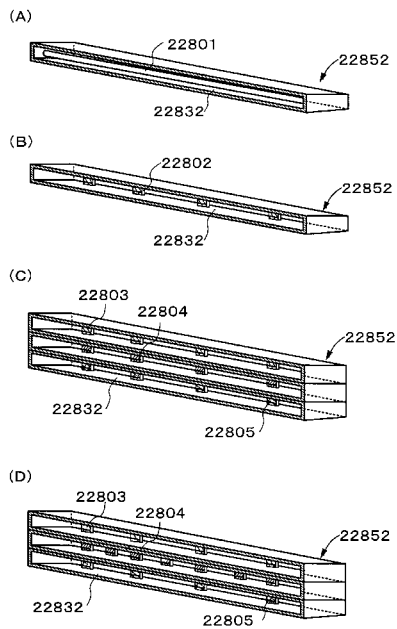
【図 8 2】



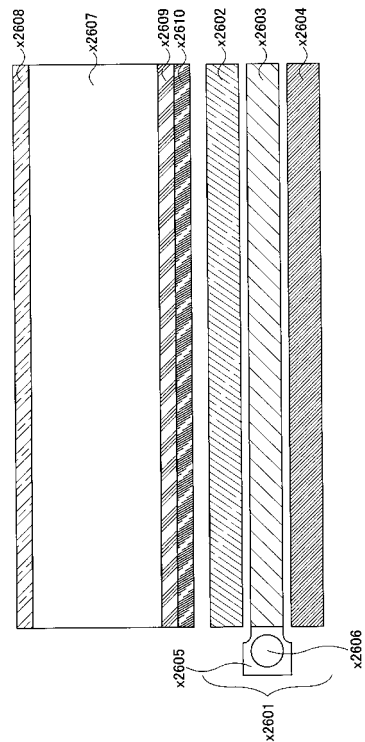
【図 8 3】



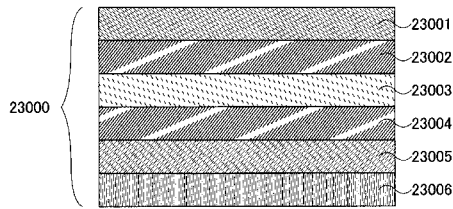
【図 8 4】



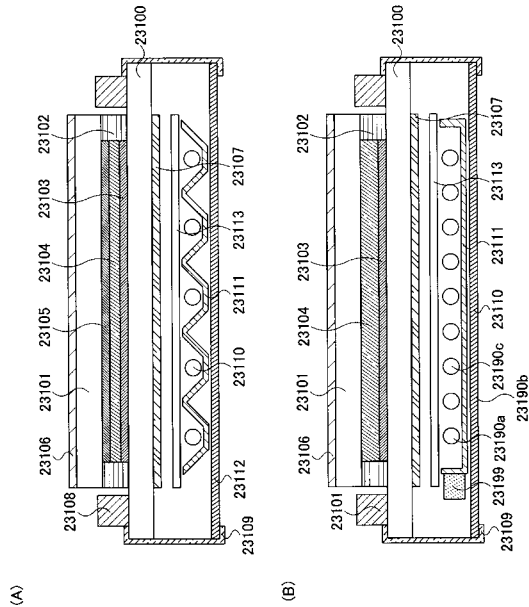
【図 8 5】



【図 86】

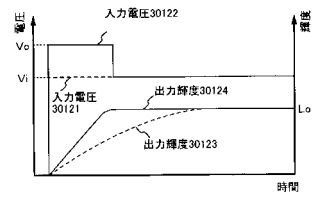


【図 87】

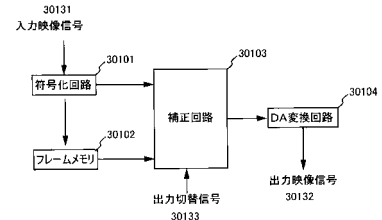


【図 88】

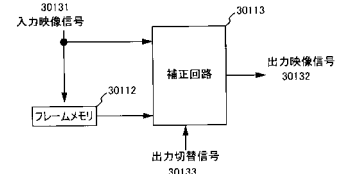
(A)



(B)

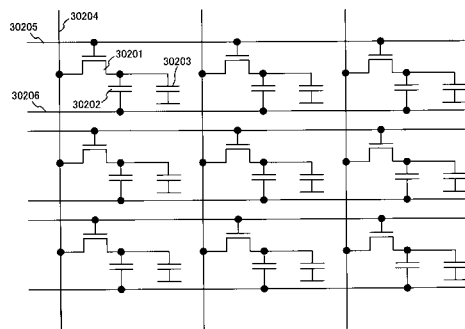


(C)

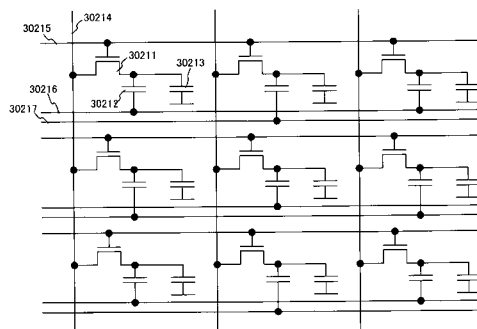


【図 89】

(A)

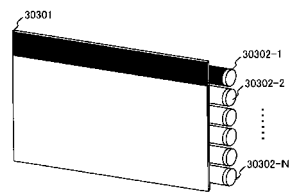


(B)

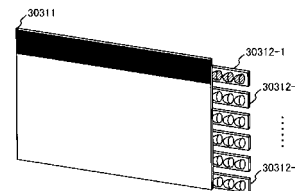


【図 90】

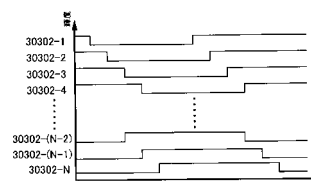
(A)



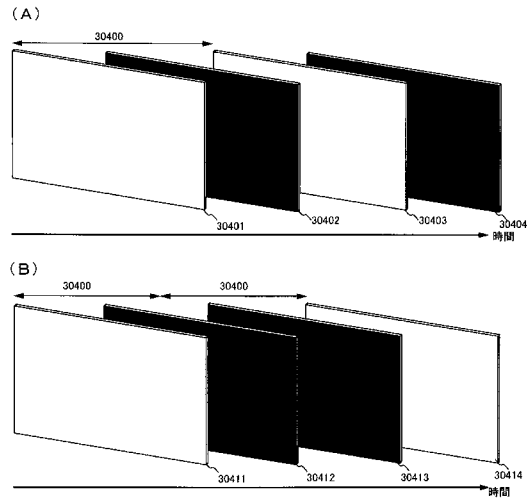
(B)



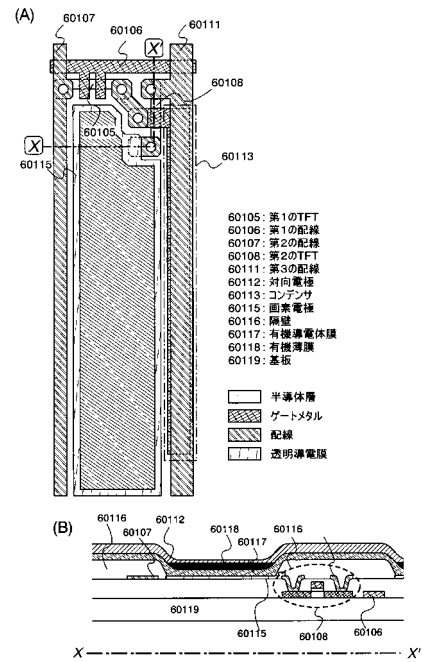
(C)



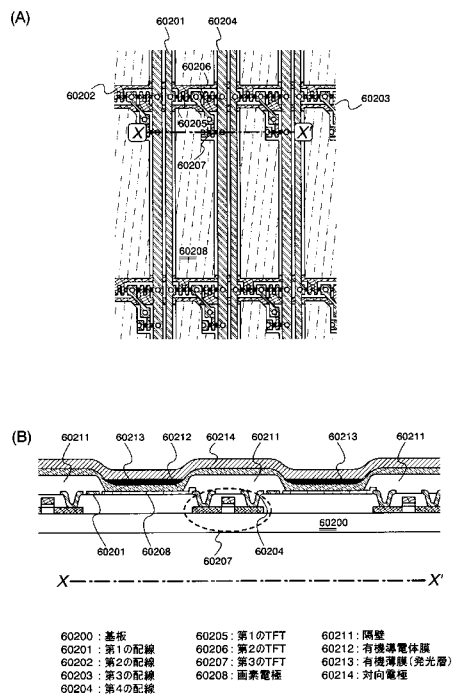
【 図 9 1 】



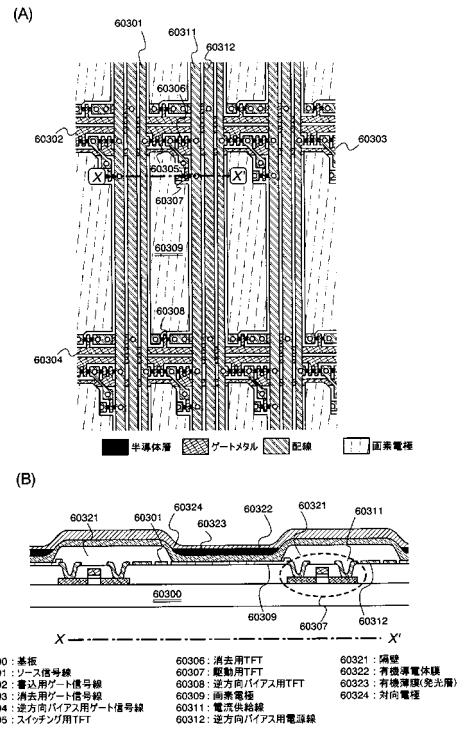
【図 9 2】



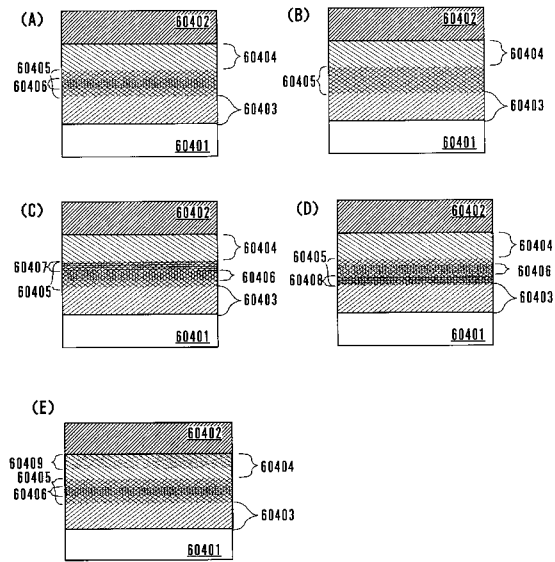
【图 9 3】



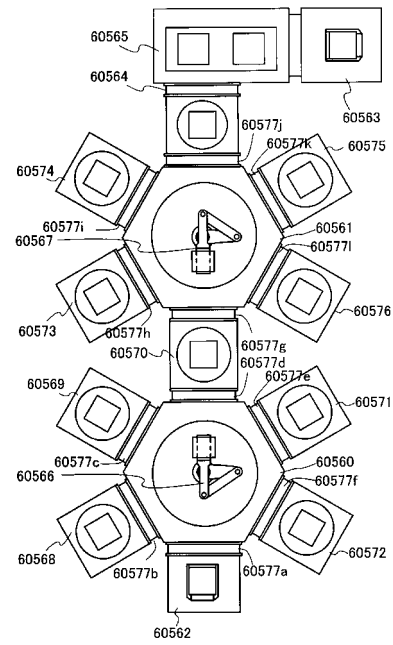
【图 9 4】



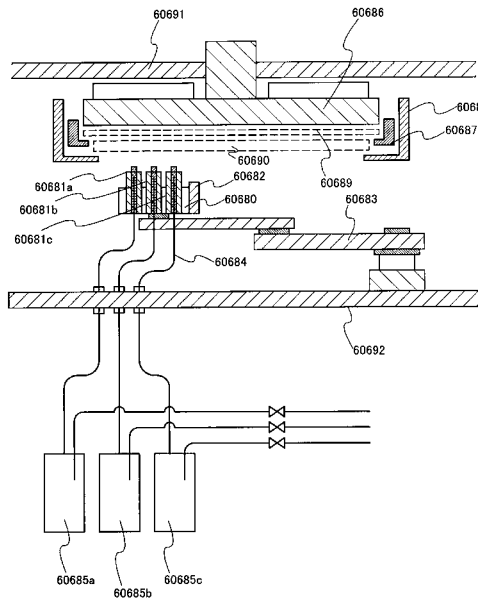
【図 95】



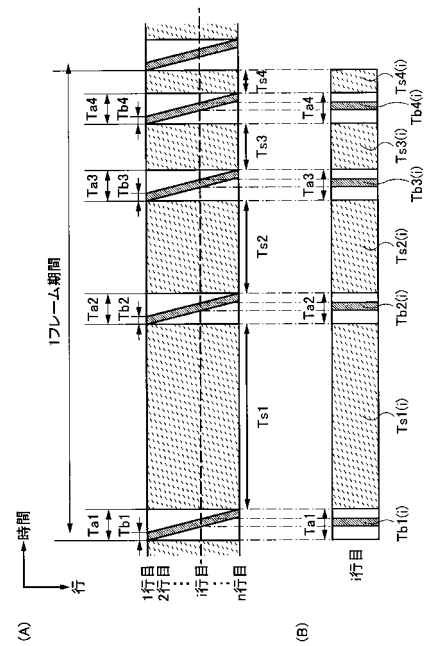
【図 96】



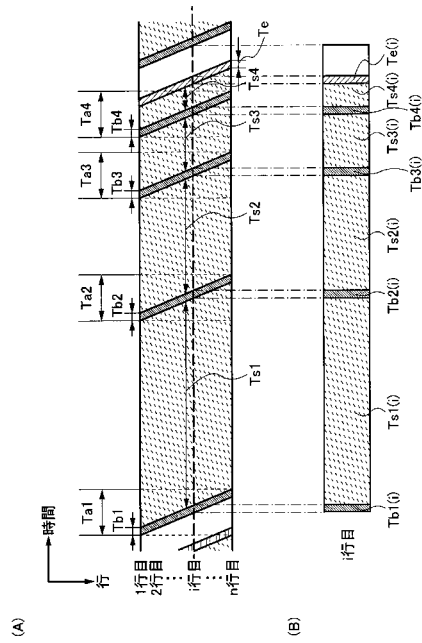
【図 97】



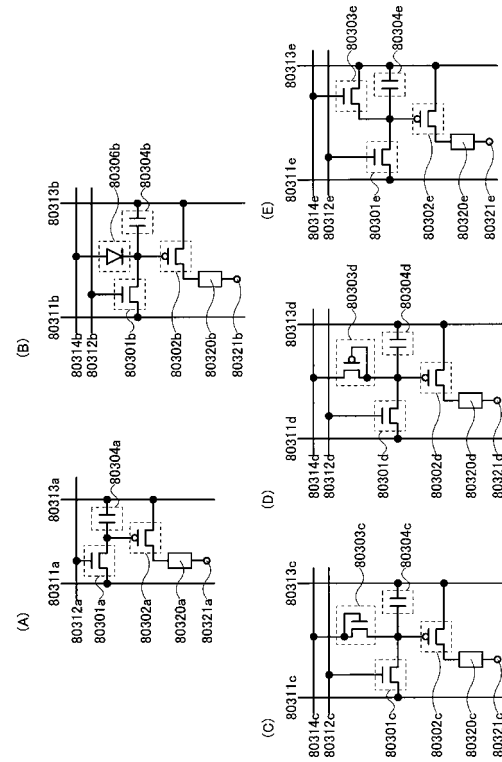
【図 98】



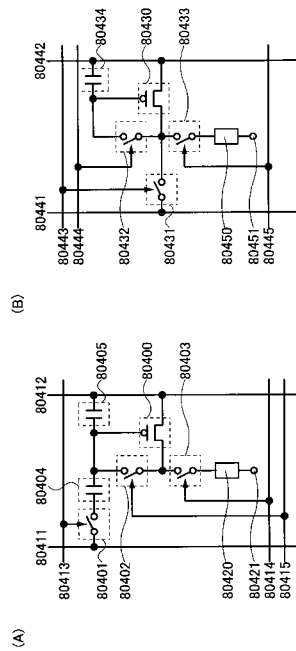
【図 99】



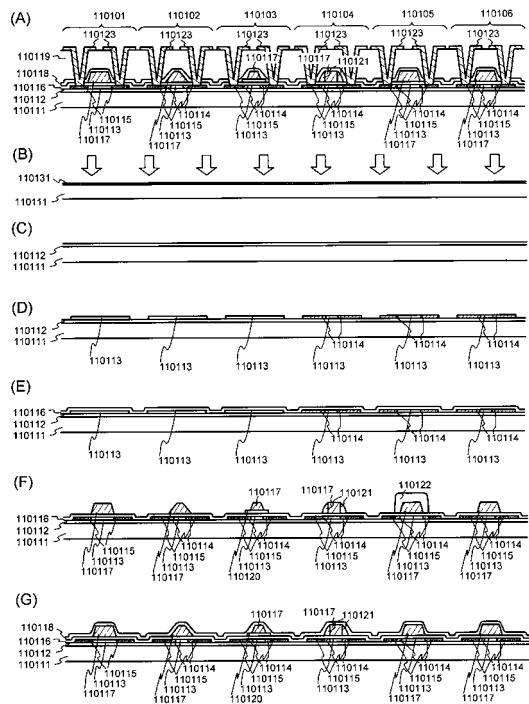
【図 100】



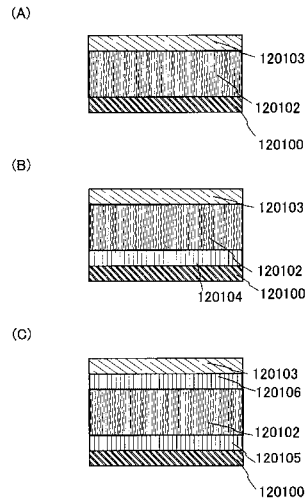
【図 101】



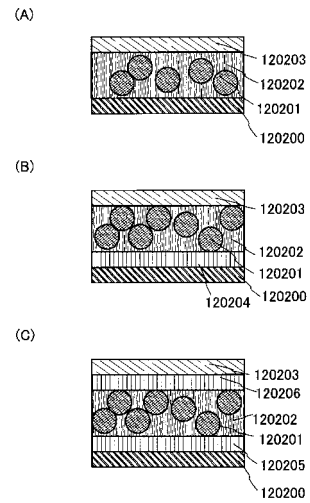
【図 102】



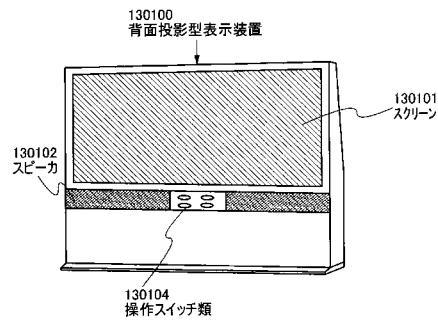
【図 103】



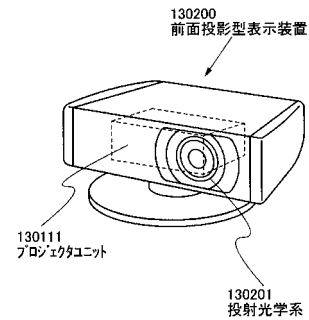
【図 104】



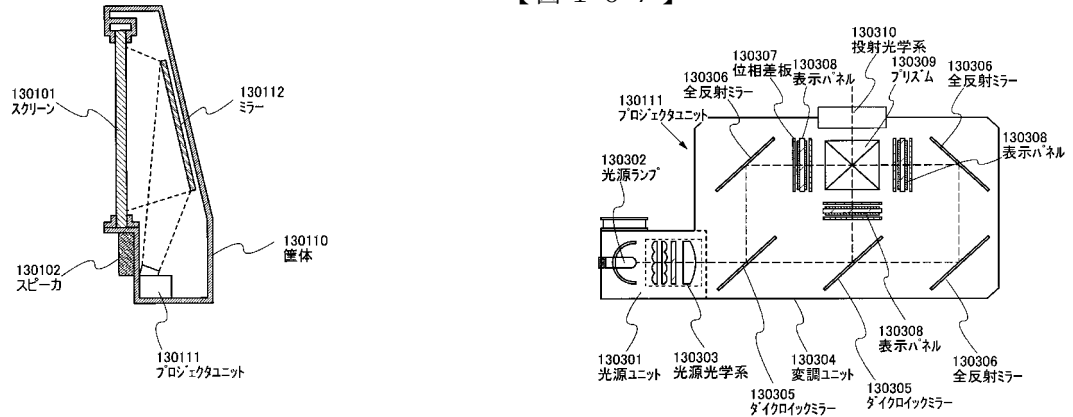
【図 105】



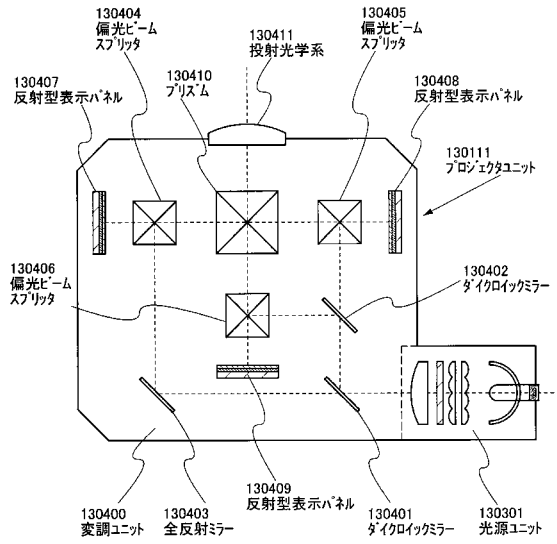
【図 106】



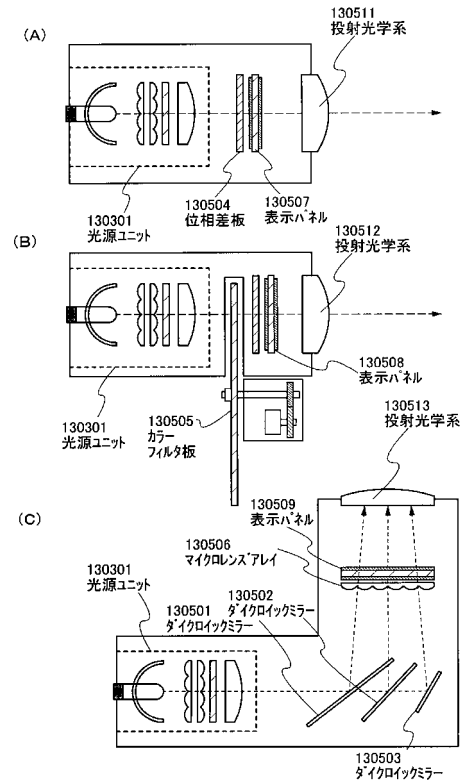
【図 107】



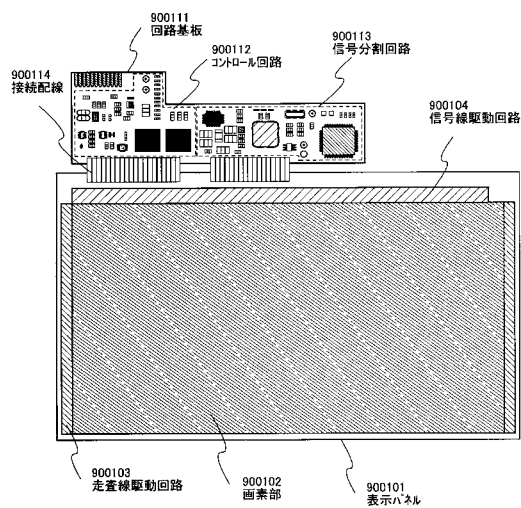
【図 108】



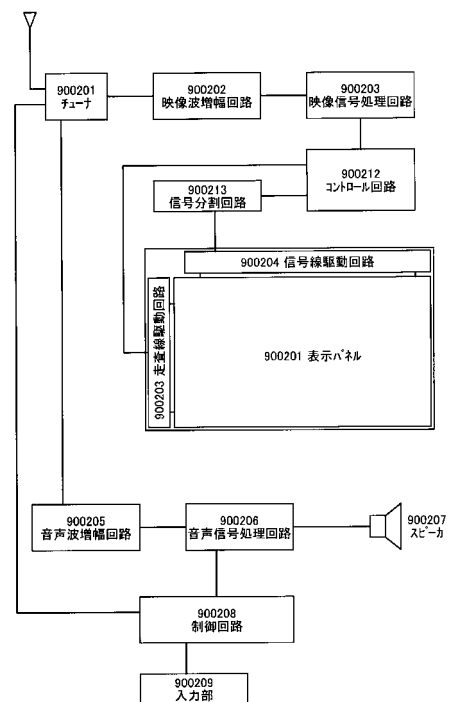
【図 109】



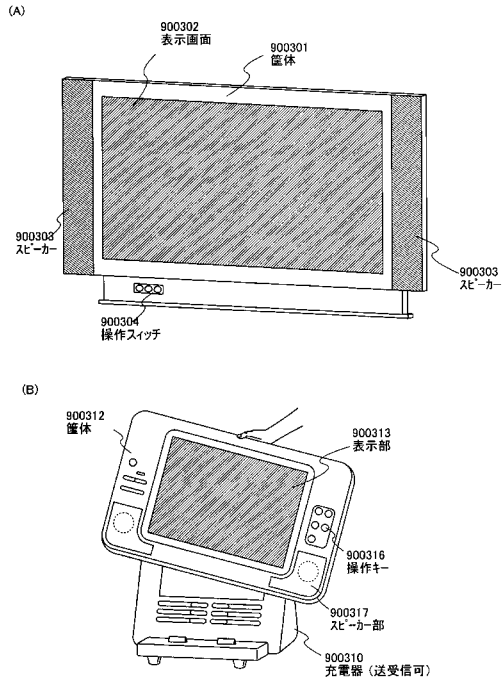
【図 110】



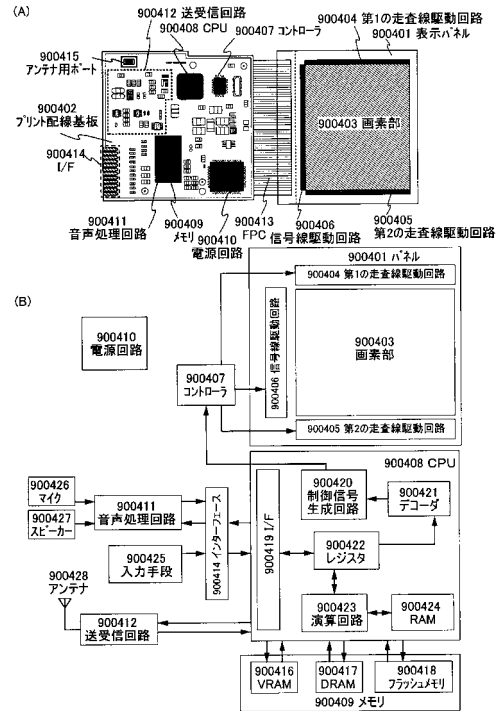
【図 111】



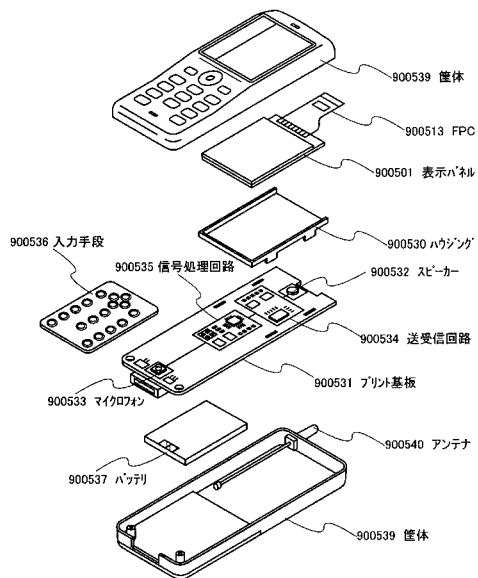
【図 1 1 2】



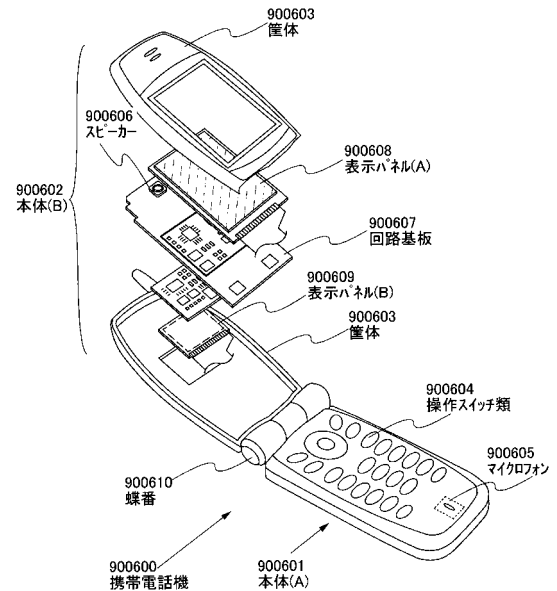
【図 1 1 3】



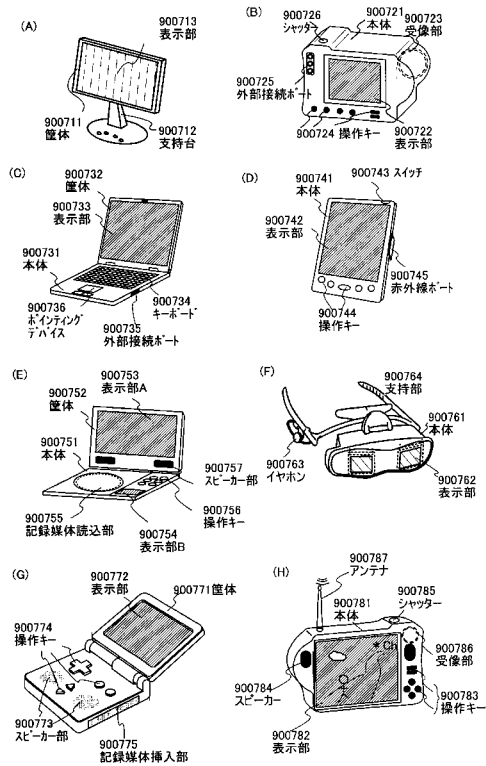
【図 1 1 4】



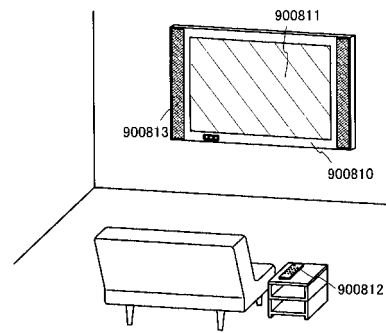
【図 1 1 5】



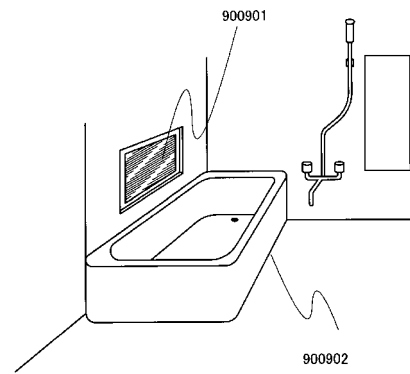
【図 1 1 6】



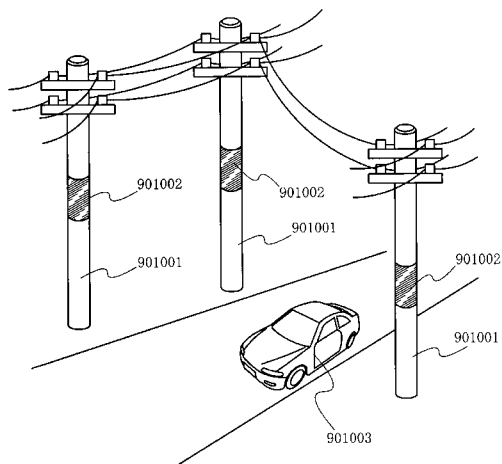
【図 1 1 7】



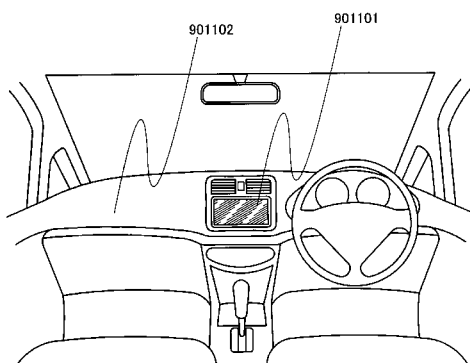
【図 1 1 8】



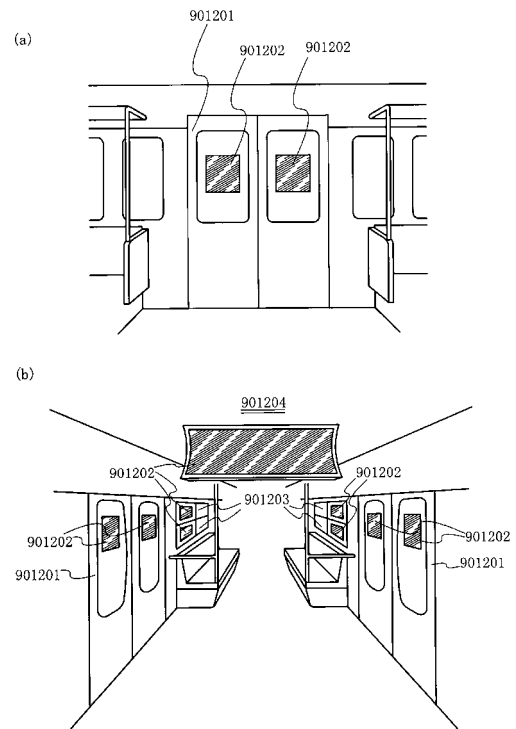
【図 1 1 9】



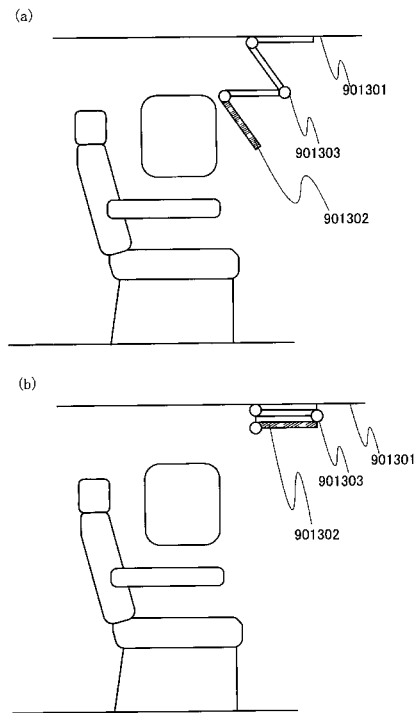
【図 1 2 0】



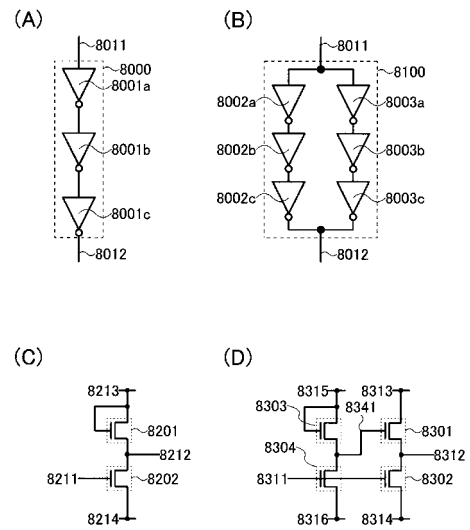
【図 1 2 1】



【図 1 2 2】



【図 1 2 3】



【図 1 2 4】

