(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 112585955 B
(45)授权公告日 2024.07.12

(21)申请号 201980054870.8
(22)申请日 2019.08.22
(65)同一申请的已公布的文献号
申请公布号 CN 112585955 A
(43)申请公布日 2021.03.30
(30)优先权数据
62/721,183 2018.08.22 US
(85)PCT国际申请进入国家阶段日
2021.02.20
(86)PCT国际申请的申请数据
PCT/US2019/047696 2019.08.22
(87)PCT国际申请的公布数据
WO2020/041584 EN 2020.02.27
(73)专利权人 吉加焦特技术公司
地址 美国加利福尼亚州
(72)发明人 马嘉驹 S·马苏迪安
(74)专利代理机构 北京市金杜律师事务所 11256
专利代理师 王茂华 傅远
(51)Int.Cl.
H04N 25/59(2023.01)
H04N 25/77(2023.01)
H04N 25/771(2023.01)
H04N 25/78(2023.01)
H01L 27/146(2006.01)
(56)对比文件
CN 101835001 A,2010.09.15
CN 103283216 A,2013.09.04
审查员 赵莹

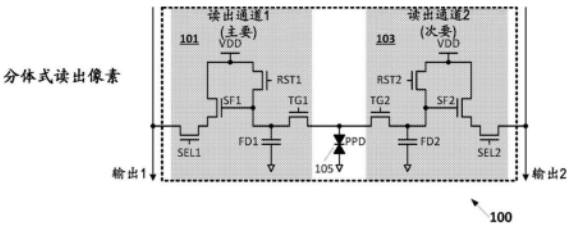
权利要求书4页 说明书12页 附图11页

(54)发明名称

分体式读出图像传感器

(57)摘要

各自都具有相应浮动扩散节点的第一读出电路和第二读出电路耦合到集成电路图像传感器的像素内的光电检测元件。继其中光电荷在光电检测元件内累积的曝光间隔之后,所累积的光电荷的第一部分从光电检测元件传输到第一浮动扩散节点,以使得能够在第一读出电路内生成第一输出信号,并且所累积的光电荷的第二部分从光电检测元件传输到第二浮动扩散节点,以使得能够在第二读出电路内生成第二输出信号。数字像素值基于第一输出信号和第二输出信号来生成。



CN 112585955 B

1.一种集成电路图像传感器,包括:

光电检测元件,用于在曝光间隔期间累积小于所述光电检测元件的满阱容量的光电荷;

第一读出电路,耦合到所述光电检测元件,并且具有第一传输门和第一浮动扩散节点;

第二读出电路,耦合到所述光电检测元件,并且具有第二传输门和第二浮动扩散节点;以及

读出控制电路系统,用于(i)通过在所述曝光间隔的结尾接通所述第一传输门,使得将所累积的光电荷的第一部分能够从所述光电检测元件传输到所述第一浮动扩散节点,并且在所述第一读出电路内生成第一输出信号,所述第一输出信号与传输到所述第一浮动扩散节点的所述光电荷相对应;以及(ii)在将所累积的光电荷的所述第一部分传输到所述第一浮动扩散节点之后、并且在任何后续曝光间隔开始之前,通过接通所述第二传输门使得能够将所累积的光电荷的第二部分从所述光电检测元件传输到所述第二浮动扩散节点,并且在所述第二读出电路内生成第二输出信号,所述第二输出信号与传输到所述第二浮动扩散节点的所述光电荷相对应,所累积的光电荷的所述第二部分包括在所累积的光电荷的所述第一部分从所述光电检测元件传输到所述第一浮动扩散节点之后留在所述光电检测元件中的光电荷。

2.根据权利要求1所述的集成电路图像传感器,还包括列输出电路,所述列输出电路用于至少部分基于所述第一输出信号和所述第二输出信号来生成数字像素值。

3.根据权利要求2所述的集成电路图像传感器,其中所述列输出电路被耦合以经由第一列输出线接收所述第一输出信号,并且经由第二列输出线接收所述第二输出信号。

4.根据权利要求2所述的集成电路图像传感器,其中所述列输出电路包括模数(A/D)转换电路系统,所述A/D转换电路系统用于分别至少部分基于所述第一输出信号和所述第二输出信号来生成第一数字值和第二数字值;以及合并电路系统,所述合并电路系统用于至少部分基于所述第一数字值和所述第二数字值来生成所述数字像素值。

5.根据权利要求4所述的集成电路图像传感器,其中所述读出控制电路系统在使得能够将所累积的光电荷的所述第二部分从所述光电检测元件传输到所述第二浮动扩散节点的同时,发起所述第一数字值的生成。

6.根据权利要求1所述的集成电路图像传感器,其中所述第一读出电路包括第一传输门,所述第一传输门耦合在所述第一浮动扩散节点与所述光电检测元件之间,并且所述第二读出电路包括第二传输门,所述第二传输门耦合在所述第二浮动扩散节点与所述光电检测元件之间,并且其中所述读出电路系统用于使得所累积的光电荷的所述第一部分和所述第二部分能够传输到所述第一浮动扩散节点和所述第二浮动扩散节点,所述读出电路系统包括电路系统,所述电路系统用于在第一间隔期间接通所述第一传输门,以使得所累积的光电荷的所述第一部分能够传输到所述第一浮动扩散节点,并且在所述第一间隔之后的第二间隔期间接通所述第二传输门,以使得将所累积的光电荷的所述第二部分能够传输到所述第二浮动扩散节点。

7.根据权利要求1所述的集成电路图像传感器,其中:

所述第一读出电路具有第一转换增益,使得所累积的光电荷的所述第一部分内的每个组成光电荷载流子在传输到所述第一浮动扩散节点之后,在所述第一浮动扩散节点中生成

第一电压阶跃;

所述第二读出电路具有第二转换增益,使得所累积的光电荷的所述第二部分内的每个组成光电荷载流子在传输到所述第二浮动扩散节点之后,在所述第二浮动扩散节点中生成第二电压阶跃,所述第二电压阶跃小于所述第一电压阶跃。

8.根据权利要求1所述的集成电路图像传感器,其中所述第一浮动扩散节点的光电荷容量和所述第二浮动扩散节点的光电荷容量共同满足或超过所述光电检测元件的光电荷容量。

9.根据权利要求8所述的集成电路图像传感器,其中所述第一浮动扩散节点的所述光电荷容量受到所述第一浮动扩散节点和所述第二浮动扩散节点上的最小可获得电压和最大可获得电压之间的差的约束,并且与所述第一读出电路的第一转换增益成比例,并且其中所述第二浮动扩散节点的所述光电荷容量受到所述第一浮动扩散节点和所述第二浮动扩散节点上的所述最小可获得电压和所述最大可获得电压之间的所述差的约束,并且与所述第二读出电路的第二转换增益成比例,并且其中所述第一转换增益高于所述第二转换增益。

10.根据权利要求1所述的集成电路图像传感器,其中所累积的光电荷的所述第一部分能够组成在弱光曝光下累积在所述光电检测元件内的全部所述光电荷,并且

其中所述读出电路系统用于使得所累积的光电荷的所述第二部分能够从所述光电检测元件传输到所述第二浮动扩散节点,所述读出电路系统包括电路系统,所述电路系统用于根据所述第一输出信号与阈值的比较是否指示过阈值信号,选择性地使得所累积的光电荷的所述第二部分能够从所述光电检测元件传输到所述第二浮动扩散节点,所述过阈值信号表示所累积的光电荷的所述第一部分不组成累积在所述光电检测元件内的全部所述光电荷。

11.根据权利要求2所述的集成电路图像传感器,其中所累积的光电荷的所述第一部分能够组成在弱光曝光下累积在所述光电检测元件内的全部所述光电荷,所述集成电路图像传感器还包括列输出电路系统,用于(i)如果所述第一输出信号与阈值的比较指示欠阈值信号,则至少部分基于所述第一输出信号、而非所述第二输出信号来生成所述数字像素值,所述欠阈值信号表示所累积的光电荷的所述第一部分组成累积在所述光电检测元件内的全部所述光电荷;并且(ii)如果所述第一输出信号与所述阈值的所述比较指示过阈值信号,则至少部分基于所述第一输出信号和所述第二输出信号来生成所述数字像素值,所述过阈值信号表示所累积的光电荷的所述第一部分不组成累积在所述光电检测元件内的全部所述光电荷。

12.一种集成电路图像传感器内进行操作的方法,所述方法包括:

在曝光间隔期间在光电检测元件内累积小于所述光电检测元件的满阱容量的光电荷;

在所述曝光间隔的结尾接通第一传输门以将所累积的光电荷的第一部分从所述光电检测元件传输到第一浮动扩散节点;

生成第一输出信号,所述第一输出信号与传输到所述第一浮动扩散节点的所述光电荷相对应;

在将所累积的光电荷的所述第一部分传输到所述第一浮动扩散节点之后、并且在任何后续曝光间隔开始之前,接通第二传输门以将所累积的光电荷的第二部分从所述光电检测

元件传输到第二浮动扩散节点,所累积的光电荷的所述第二部分包括在所累积的光电荷的所述第一部分从所述光电检测元件传输到所述第一浮动扩散节点之后留在所述光电检测元件中的光电荷;

生成第二输出信号,所述第二输出信号与传输到所述第二浮动扩散节点的所述光电荷相对应;以及

至少部分基于所述第一输出信号和所述第二输出信号来生成数字像素值。

13.根据权利要求12所述的方法,其中生成所述第一输出信号包括:在第一列输出线上生成所述第一输出信号,所述第一列输出线耦合到像素列,所述像素列包括像素,所述像素包含所述光电检测元件,并且其中生成所述第二输出信号包括:在第二列输出线上生成所述第二输出信号,所述第二列输出线耦合到所述像素列。

14.根据权利要求12所述的方法,其中生成所述数字像素值包括:分别至少部分基于所述第一输出信号和所述第二输出信号来生成第一数字值和第二数字值,以及至少部分基于所述第一数字值和所述第二数字值来生成所述数字像素值。

15.根据权利要求14所述的方法,其中至少部分基于所述第一输出信号来生成所述第一数字值包括:对所述第一输出信号执行模数转换,同时将所累积的光电荷的所述第二部分从所述光电检测元件传输到所述第二浮动扩散节点。

16.根据权利要求12所述的方法,其中所述第一传输门耦合在所述光电检测元件与所述第一浮动扩散节点之间,并且并且所述第二传输门耦合在所述光电检测元件与所述第二浮动扩散节点之间。

17.根据权利要求12所述的方法,其中将所累积的光电荷的所述第一部分从所述光电检测元件传输到所述第一浮动扩散节点包括:以第一转换增益将所累积的光电荷的所述第一部分从所述光电检测元件传输到所述第一浮动扩散节点,并且其中将所累积的光电荷的所述第二部分从所述光电检测元件传输到所述第二浮动扩散节点包括:以第二转换增益将所累积的光电荷的所述第二部分从所述光电检测元件传输到所述第二浮动扩散节点,所述第二转换增益低于所述第一转换增益。

18.根据权利要求12所述的方法,其中所述第一浮动扩散节点的光电荷容量和所述第二浮动扩散节点的光电荷容量共同满足或超过所述光电检测元件的光电荷容量。

19.根据权利要求12所述的方法,其中将所累积的光电荷的所述第二部分从所述光电检测元件传输到所述第二浮动扩散节点包括:根据所述第一输出信号与阈值的比较是否指示过阈值信号,而将所累积的光电荷的所述第二部分从所述光电检测元件选择性地传输到所述第二浮动扩散节点,所述过阈值信号表示所累积的光电荷的所述第一部分不组成累积在所述光电检测元件内的全部所述光电荷。

20.根据权利要求12所述的方法,其中至少部分基于所述第一输出信号和所述第二输出信号来生成所述数字像素值包括:如果所述第一输出信号与阈值的比较指示过阈值信号,则至少部分基于所述第一输出信号和所述第二输出信号来生成所述数字像素值,所述过阈值信号表示所累积的光电荷的所述第一部分不组成累积在所述光电检测元件内的全部所述光电荷。

21.一种集成电路图像传感器,包括:

光电检测元件,用于在曝光间隔期间累积小于所述光电检测元件的满阱容量的光电

荷;

第一浮动扩散节点和第二浮动扩散节点;

用于在所述曝光间隔的结尾接通第一传输门以将所累积的光电荷的第一部分从所述光电检测元件传输到所述第一浮动扩散节点地装置;

用于生成第一输出信号的装置,所述第一输出信号与传输到所述第一浮动扩散节点的所述光电荷相对应;

用于在将所累积的光电荷的所述第一部分传输到所述第一浮动扩散节点之后、并且在任何后续曝光间隔开始之前将所累积的光电荷的第二部分从所述光电检测元件传输到所述第二浮动扩散节点的装置,所累积的光电荷的所述第二部分包括在所累积的光电荷的所述第一部分从所述光电检测元件传输到所述第一浮动扩散节点之后留在所述光电检测元件中的光电荷;

用于生成第二输出信号的装置,所述第二输出信号与传输到所述第二浮动扩散节点的所述光电荷相对应;以及

用于至少部分基于所述第一输出信号和所述第二输出信号来生成数字像素值的装置。

分体式读出图像传感器

[0001] 相关申请的交叉引用

[0002] 本申请要求于2018年8月22日提交的美国临时申请号62/721,183的优先权并且通过引用并入。

技术领域

[0003] 本文中的公开内容涉及高动态范围图像传感器。

背景技术

[0004] 现代CMOS(互补金属氧化物半导体)图像传感器中的动态范围通常受到强光条件下的像素满阱容量和弱光条件下的输入参考读取噪声的约束。在4晶体管(4T)像素中,输入参考读取噪声可以通过提高从光电二极管传输到浮动扩散读出节点的光电荷的转换增益来降低,也就是说,减少浮动扩散相对于光电二极管的电容,以使每个传输的光载流子(在N型MOS像素实现方式中为电子)产生较大的读出电压阶跃。另一方面,增加转换增益超过给定点会防止完全光电荷传输(在传输较少电子的情况下,浮动扩散会达到其输出电压极限),从而降低了像素的有效满阱容量并且使强光灵敏度折衷。

附图说明

[0005] 在附图的各图中,通过示例而非限制,对本文中所公开的各个实施例进行说明,在这些附图中,相似附图标记是指相似元件,并且其中

[0006] 图1图示了分体式读出像素的实施例,该分体式读出像素使得在没有折衷最大强光性能所需的完全光电荷传输的情况下,能够实现高转换增益读出;

[0007] 图2图示了在强光条件和弱光条件下图1的分体式读出像素内的示例性光电荷传输操作;

[0008] 图3图示了具有分体式读出像素阵列的集成电路成像系统的实施例;

[0009] 图4图示了可以由图3的读出控制器实现的备选读出序列;

[0010] 图5图示了其中在像素阵列内的多个(或全部)分体式读出像素列之间共享列读出逻辑的备选成像IC架构;

[0011] 图6图示了其中单斜率A/D转换器跨过像素阵列内多个(或所有)分体式读出像素列的读出逻辑路径分布的另一成像架构;

[0012] 图7图示了主要通道读出和次要通道读出的示例性流水线,其示出了时间交错的主要通道相关双采样(CDS)操作和次要通道CDS操作;

[0013] 图8图示了可以用于实现图3所示的存储器和读取-合并逻辑组件的每列存储器元件和读取-合并逻辑的实施例;

[0014] 图9图示了根据主要通道输出的欠阈值条件/过阈值条件来选择性地使次要读出通道的贡献置零的备选读取-合并逻辑实施例;

[0015] 图10图示了具有非均匀的主要读出通道转换增益和次要读出通道转换增益以及

与光电二极管满阱容量共同匹配的对应浮动扩散节点容量的分体式读出像素的实施例;

[0016] 图11图示了其中可以根据校准时间噪声评估来选择性地并且以编程方式交换每个像素内的主要通道指定/次要通道指定的分体式读出图像传感器的实施例;

[0017] 图12图示了其中一个像素的次要读出通道用作相邻像素的主要读出通道(即,共享读出通道布置,其延伸跨过像素阵列以维持总晶体管计数等于或接近传统单读出通道像素阵列的总晶体管计数)的分体式读出像素阵列的实施例;

[0018] 图13图示了可以在具有根据图12的共享通道分体式读出像素阵列的成像器的列读出逻辑中实现的通道多路复用布置;

[0019] 图14图示了与图13所示的通道多路复用器相对应的通道多路复用器的示例性操作;

[0020] 图15图示了每个像素具有四个共享读取通道的分体式读取像素阵列的一部分;以及

[0021] 图16图示了关于来自图15的像素阵列的给定行内的像素中的每个像素的四个不同通道读出的示例性通道多路复用布置。

具体实施方式

[0022] 本文中,在各个实施例中公开了每个光电检测元件具有两个或更多个读出通道,即,主要读出通道和一个或多个次要读出通道)的集成电路图像传感器。在若干个实施例中,耦合到光电检测元件的读出通道中的每个读出通道包括相应传输门/浮动扩散节点对,并且主要读出通道至少具有异常高的转换增益,该异常高的转换增益增强了低光灵敏度(极低输入参考噪声),以换取低于光电检测元件的满阱容量的光电荷传输容量。经由一个或多个次要读出通道的读出排放光电检测元件中(在初级通道读出之后)残留的任何光电荷,从而实现组合的主要通道/次要通道光电荷的传送(和读出),直至光电检测元件的满阱容量,并因此使强光灵敏度(和动态范围)最大。因而,强光像素读出分成至少两个阶段:经由主通道进行阶段一读出,在该阶段一中,光电检测器累积的电荷的一部分被传输到主要通道的浮动扩散节点,以生成主要读出信号;然后,经由次要通道读出进行阶段二读出,其中光电检测器中残留/剩余的电荷被传输到次要通道的浮动扩散节点,以生成次要读出信号。在数字化之前或之后,组合分体式读出信号(主要信号和次要信号),以产生复合读出信号,该复合读出信号与在给定曝光间隔期间累积在光电检测器内的总光电荷相对应。在具有多个次要读出通道的实施例中,主要读出信号与两个或更多个连续生成的次要读出信号组合,以产生复合读出信号。在其他实施例中,可以迭代启用主要读出通道和/或次要读出通道,以产生三个或更多个读出信号,该三个或更多个读出信号被组合,以产生复合读出信号(例如,主要通道读出、次要通道读出、然后另一主要通道读出等)。在又其他实施例中,主要通道读出和次要通道读出内的组成操作被流水线化(以时间间隔交错但交叠的方式执行),以减少多相读出时间,主要通道和次要通道可以以非均匀转换增益实现,可以实现通道共享或非共享的模数转换电路系统,进行转换增益校准操作,以在将组成读出信号/值组合为复合输出信号/值之前或作为其一部分,对组成读出信号/值进行归一化,读出通道基于(在设备启动时或在设备生产期间进行的)噪声评估或其他因子来以编程方式被确立为主要读出通道或次要读出通道,和/或在两个或更多个分体式读出(多读出通道)像素之间

共享读出电路系统,以减少晶体管计数/增加像素阵列内的填充因子。下文对这些和其他特征和实施例进行更详细的描述。

[0023] 图1图示了分体式读出像素100的实施例,该分体式读出像素100在没有折衷最大强光性能所需的全部光电荷传输的情况下,使得能够实现高转换增益读出,并因此与传统像素架构相比,实现更高的动态范围。分体式读出像素100包括两个读出通道,主要读出通道101和次要读出通道103,这两个读出通道耦合到光电检测元件105,该光电检测元件105在该示例以及下文所呈现的其他示例中为钉扎式光电二极管(PPD),尽管在所有情况下都可以使用任何其他可行的电荷累积光电检测器。除了组件尺寸和物理布局可能存在的差异之外,主要读出通道和次要读出通道的实现方式相同,其中每个通道包括相应传输门(TG1、TG2)、浮动扩散节点(FD1、FD2)、源极跟随器晶体管(SF1、SF2)、复位晶体管(RST1、RST2)、以及读取-选择晶体管(SEL1、SEL2)。

[0024] 当在确定性读出模式下操作时,连续启用主要读出通道和次要读出通道(即,在曝光间隔期间在光电二极管105内的光电荷累积之后),以分别在列输出线OUT1和OUT2上产生主要输出信号和次要输出信号。主要通道读出从RST1脉冲(本文中可互换使用晶体管及其门信号的指定)开始,以复位浮动扩散FD1,而且还从SEL1断言开始,以将源极跟随器晶体管(SF1)的源极端子经由读取-选择晶体管耦合到输出线OUT1。浮动扩散节点FD1耦合到源极跟随器晶体管SF1的门极,该门极被偏置(例如,通过列输出线OUT1上的恒定电流源),以将信号驱动到OUT1上,该信号跟踪FD1电位(例如,与该FD1电位成比例上升和下降)。因此,在SEL1断言和RST脉冲之后,主要通道(在OUT1上)生成输出信号,该输出信号与FD1的复位电位(即,复位状态信号)相对应,在相关双采样(CDS)读出中,通过下游读出电路系统对该输出信号进行采样,以建立基线,以供后续生成读出信号。FD1复位后不久,接通传输门TG1(TG1脉冲),以使得光电荷能够从钉扎式光电二极管传输到FD1,从而根据所传输的载流子(图1的NMOS像素实现方式中的电子)的数目乘以每个载流子的电压阶跃来改变浮动扩散的电位),后者是电荷传输操作的转换增益。

[0025] 在图1的实现方式中,主要通道101(至少)以异常高的转换增益(对应产生低输入参考噪声,其使得能够增强弱光灵敏度)来实现,代价为降低的光电荷传输能力。也就是说,小于光电二极管105的满阱容量的光电荷量子的传输将FD1驱动到光电二极管钉扎电压(在该点处,电荷传输停止),使得在相对强光条件下,在主要通道读出之后,所累积的光电荷的一部分将保留在光电二极管中。换句话说,对于超出将FD1驱动到光电二极管钉扎电压(即,实际上达到了浮动扩散节点的容量极限)的量子的任何光电荷累积,主要读出信号都被驱动到相同输出极限,并因此在电荷累积范围的亮端处缺乏分辨率。经由次要通道进行的后续读出避免了这种动态范围损失,从而将残留光电荷从光电二极管105传输到浮动扩散节点FD2(在复位FD2之后,接通SEL2并且可选地读取FD2复位电平),以产生次要读出信号,该次要读出信号可能在数字化之前或之后与主要信号合并,以产生复合读出信号(或数字读出值),该复合读出信号表示总累积光电荷。

[0026] 图2图示了在强光条件和弱光条件下图1的分体式读出像素内的示例性光电荷传输操作(注意,高对比度场景可能使一些像素同时暴露于强光下,而另一些像素则暴露于昏暗或无光下)。在强光示例中,接近钉扎式光电二极管的阱容量的光电荷Q在曝光间隔(131)以及后续主要读出和次要读出(139和147)期间累积。在主要读出139中,光电荷以高转换增

益从钉扎式光电二极管传输到主要通道浮动扩散(FD1),直到FD1达到光电二极管的钉扎电位(即,电荷流动(电流)由于缺乏电场而停止的平衡点)为止。在所描绘的示例中,根据FD1的最大输出电压摆幅Vpin-Vrst1(其中Vrst1例如是VDD电源电压减去晶体管RST1两端的阈值压降)除以主要通道转换增益(CG1),若干个载流子q1传输到FD1,从而在光电二极管中留下q2(=Q-q1)个载流子。在次要读出147中,残留光电荷q2被传输到FD2,从而排空光电二极管。在主要读出和次要读出两者中,浮动扩散节点在电荷传输之前复位,其中该浮动扩散节点的复位状态可选地被读出,以使得能够关于响应于主要通道光电荷传输和次要通道光电荷传输而分别在OUT1和OUT2上生成的主要“电荷状态”信号和次要“电荷状态”信号进行相关双采样(CDS)。在任何情况下,主要通道读出和次要通道读出在数字或模拟域中合并,以产生复合信号,该复合信号指示在曝光间隔131期间累积在光电二极管内的净光电荷。

[0027] 弱光曝光产生少得多的光电荷累积,即,低于主要通道浮动扩散节点(FD1)的输出摆幅限制容量(q1),以使高转换增益主要读出完全排空了钉扎式光电二极管。在若干个实施例中,在这种情况下,跳过次要通道读出,从而节省了功率,并且在一些实施例中,减少了总读出延迟。当光电二极管中的光电荷累积低于q1极限(FD1的有效容量)时,全部所累积的光电荷可以传输到FD1,而不会存在因势垒或缺陷引起的任何电荷传输滞后。同样,当传输到FD1之后残留在光电二极管中的光电荷低于FD2容量时,该光电荷可以传输到FD2,而没有电荷传输滞后。

[0028] 尽管在图2的实施例中以名义上均匀(等同)容量实现了浮动扩散节点FD1和FD2,但是在备选实施例中,两个浮动扩散节点以及因此主要读出通道和次要读出通道均以不平衡(非等同/非均匀)但以互补转换增益实现,即,使用以下布置来实现,该布置提高主要读出通道的转换增益以实现高性能弱光读出(高转换增益、低输入参考噪声),并且对应降低次要读出通道的转换增益,以确保组合的主要通道/次要通道电荷传输容量匹配(或几乎匹配或超过)光电二极管满阱容量。此外,无论两个读出通道是以名义上等同还是以互补/不平衡转换增益实现,提供两个读出通道都可以实现不能使用单通道实现方式进行的流水线式读出操作。例如,光电荷传输可以在主要通道中的光电荷传输后不久或立即在次要读出通道中开始,因此无需等待主要读出信号稳定,即,避免了主要电荷状态读出与次要电荷状态读出之间相对较长的延迟,否则该延迟可能会产生运动伪像(即,场景中的物体在主要读出与次要读出之间的间隔中移动)或其他失真。附加地,在需要高帧率(快速像素阵列扫描)的应用中,可以实现单通道读出以减少行读出时间,即,例如,仅经由次要读出通道(经由FD2而非经由FD1)执行读出,其中该通道具有较大的电荷传输限制,或在弱光条件下,仅经由主要通道执行读出,其中该通道具有较低的电荷传输限制和较高的转换增益。

[0029] 图3图示了集成电路成像系统160(例如,互补MOS成像器)的实施例,该集成电路成像系统160具有用于像素阵列的逐列切片的分体式读出(SR)像素161、读出控制器163和读出逻辑165。如所示出的,读出逻辑165包括通道多路复用器171、模拟增益元件173、模数转换器(ADC)175、存储存储器(或缓冲器)177、以及读取-合并逻辑179,所有或大多数响应于来自读出控制器163的控制信号而操作(模拟增益分量可选地接收一个或多个增益控制信号(GC),该一个或多个GC可以用于在主要通道读出与次要通道读出的增益之间交替和/或为选定增益提供校准控制)。附加地,读出控制器向像素阵列161输出控制信号,这些控制信号包括每个像素行的传输门信号对(每个通道一个)、读取-选择信号对、以及复位信号对,

以实现行经排序且列为平行的读出。

[0030] 仍然参考图3,响应于交替(切换)通道选择信号(CS),通道多路复用器171将主要输出信号和次要输出信号(Out1和Out2)依序馈送到模拟增益组件。在一个实施例中,模拟增益组件173包括电流源和电压模式放大器或电流模式放大器,该电流源用于偏置选定读出通道(即,如上文所讨论的,使得能够在读出通道内进行源极跟随器操作);该电压模式放大器或电流模式放大器用于放大读出信号以为在ADC 175内的模数(A/D)转换做准备。在各备选实施例中,源极跟随器偏置电流源可以与增益电路系统173的放大器组件分开实现,或可以省略放大器组件(仅保留源极跟随器偏置电流源)。模数转换器175(ADC)可以由逐次逼近寄存器(SAR)、单斜率ADC(SSADC)、sigma-delta ADC或任何其他可行A/D转换电路系统来实现。此外,尽管未具体示出,但是可以在读出逻辑165内(例如,在通道多路复用器之前、在通道多路复用器与增益组件之间、或在增益组件与模数转换器之间)提供采样和保持电路系统,其用于使得能够进行模拟信号采样和保持操作。采样和保持电路系统可以包括减法/微分单元(也未示出),其用于使得能够进行模拟域电荷状态/复位状态信号相关(即,通过从对应电荷状态样本中减去复位状态样本),并因此将CDS样本馈送到ADC 175。可替代地,ADC 175可以依序对复位状态信号和电荷状态信号进行数字化,然后在数字域中进行差分(数字CDS操作)。在任一情况下,一连串经数字化CDS读出值被供应给存储器177以供存储(即,由来自读出控制器的存储使能信号(SE)触发),其中接连存储的主要读出值和次要读出值被转发到读取-合并逻辑,以复合成像素输出值180(由来自读出控制器的合并使能(ME)触发)。

[0031] 在低延迟列读出实现方式中,如185所示,可以为主要读出和次要读出提供相应(单独专用)模拟增益和ADC组件,以实现对两个读出进行时间交错并发处理。此外,在实现选择性次要通道读出的实施例(或配置)中,可以提供阈值比较器181以将过阈值条件OT(或欠阈值条件)发信号通知给读出控制器163,并因此使得读出控制器能够选择性地生成(或避免生成)次要通道读出控制信号(RST2、SEL2、TG2)。尽管在数字域中(在ADC之后)示出,但是在备选实施例中可以在模拟域中实现阈值比较。

[0032] 在以200(图3)示出的示例性操作序列中,读出控制器163通过配置通道多路复用器171以将主要通道输出线耦合到下游列读出电路系统(即,升高或降低通道选择信号CS,视情况而定)来在201处开始分体式通道读出。在203处,读出控制器确定性地断言读出控制信号、转换使能信号(CE)和存储使能信号(SE),以启用主要通道读出(复位主要浮动扩散(FD)节点,对FD复位状态进行采样,启用主要通道电荷传输,以及对FD电荷状态进行采样)、主要读出信号的A/D转换、以及CDS主要读出值在存储器177内的存储(其中复位状态/电荷状态差分在ADC之前的模拟域或ADC之后的数字域中实现)。在一个选择性读出实施例中,在205处,对比较器181的输出进行评估,其中肯定性过阈值确定(过阈值信号OT被断言)在209处触发通道多路复用器切换、次要通道读出、数字化和存储(211)、以及最后在213处合并CDS主要读出值和次要读出值。如果确定主要读出不超过两相读出阈值(在205处为否定确定),则跳过次要通道读出,并且CDS主要读出值作为最终的像素读出结果转发(例如,跳过读出合并或将主要读出值与空或经置零的次要值合并)。在一个确定性读出实施例中,无条件地执行209和211处的次要读出操作(即,在205处跳过评估),但是仍可以进行对主要读出和/或次要读出的阈值评估以选择性地合并主要读出结果和/或次要读出结果(例如,如果

主要读出低于接近最大阈值和/或如果次要读出低于本底噪声阈值,则在213处跳过合并操作)。在任何情况下,在读出完成时,使行指针递增(215),以选择后续像素行以供在下一循环迭代中读出。

[0033] 图4图示了可以例如在经修订实现方式中或响应于经编程读出策略设置、由图3的读出控制器163实现的备选读出序列。在这种情况下,在231和233处的操作(其与图3的操作流程中的201和203处的操作相对应)中执行主通道读出,然后在235处进行阈值评估,从而翻转通道多路复用器以启用备用通道读出(即,第一趟次中的次要通道),并且如果阈值评估指示读出通道饱和(即,在先前读出之后光电荷保留或可能保留在光电二极管中),则使读出计数器(N)递增。在翻转通道多路复用器(即,改变通道选择信号的状态以选择备选像素读出通道)并且使读出计数递增后,关于新选择的读出通道(第二趟次中的次要读取通道)重复233和235处的读出(其包括数字化和结果存储)和阈值评估操作,其中该读出循环继续,即,在主要通道和次要通道之间交替,直到达到最大读出计数(即,N达到与处于或高于光电二极管的满阱容量的光电荷水平相对应的预先确定的最大值)或检测到欠阈值读出(235处的否定确定)为止。通过该操作,可以迭代执行主要通道和次要通道的经流水线化的低延迟读出(1、2、3、4、……或N=max个单独通道读出)(其可以以等同转换增益实现,以实现读出均匀性),以经由单独传输(从光电二极管到浮动扩散节点)从光电二极管中逐渐排出光电荷,其中转换增益极高,而输入参考噪声对应较低。在循环退出时(235处的否定确定或读出计数达到最大值),在239处合并多个读出(N个读出),然后在241处,使行指针递增以进行到下一行。为了提供确定性读出定时(例如,在卷帘快门成像器中),可以分配固定时间以使得每个像素行能够进行预先确定的数目K个通道读出(即,其中K=2,其与图3所示的双通道读出相对应),其中一个或多个通道读出间隔未在弱光曝光下使用。

[0034] 图5图示了备选成像IC架构260,其中列读出逻辑261在像素阵列161内的多个(或全部)分体式读出像素列中共享。在所描绘的实施例中,通道多路复用器从'n'个像素列接收主要读出信号和次要读出信号,并因此将2n个读出信号多路复用到如通常参考图3所讨论实现的共享读出路径。可以根据需要通过多位信号来实现由读出控制器265所生成的递送到多路复用器263的通道选择信号(CS)和其他控制信号(例如,递送到存储器267的存储-使能信号),以捕获n个像素列中的每个像素列的多通道像素读出数据。

[0035] 图6图示了另一成像架构300,其中单斜率ADC 301跨过像素阵列161内多个(或所有)分体式读出像素列的读出逻辑路径分布。在所示出的实施例中,列共享斜坡生成器303将数字斜坡信号和模拟斜坡信号(例如,数字斜坡信号为单调多位计数值,而模拟斜坡信号为该计数值的数模转换)分别输出到每列寄存器元件305和每列比较器307。读出控制器309以锁定阶跃操作选定行的所有分体式读出像素,以使每个像素列的主要(然后是次要)读出信号同时(经由通道多路复用器171以及可选的增益元件173)布线到比较器307中的相应比较器。随着模拟斜坡信号和数字斜坡信号从最小电平逐步进展到最大电平(模拟斜坡可以为单调递减信号,其中最大电平是小于最小值的正电压),在模拟斜坡超过(例如,低于)传入读出信号时,比较器307的输出会转变,从而触发捕获寄存器305内的对应数字斜坡值(数字计数)作为A/D转换结果。在图3的单个SSADC实现方式中,在主要通道A/D转换之后(即,在斜坡输出已经从最小值进展到最大值之后和/或在所有比较器/寄存器已经被触发并且ADC结果被传输到下游存储器之后),斜坡发生器重启,以实现次要通道A/D转换,并且在数字

CDS实施例中,每个双通道读出可以重启四次,以对两个通道的复位状态读出信号和电荷状态读出信号进行数字化。在每个像素具有多于两个的读出通道(或如图4所示迭代启用两个或更多个读出通道)的实施例中,SSADC操作可以根据需要完成多次(高达读出通道计数或迭代限制)以对传入读出信号进行数字化。在数字CDS实现方式中,与电荷状态SSADC斜坡相比,复位状态SSADC斜坡可能进展经过的范围更短(即,鉴于有效复位状态信号的范围要小得多),以减少总体A/D转换时间。

[0036] 仍然参考图6,在各备选实施例中,可以提供单独的每读出通道的SSADC 301,以实现经流水线化的主要通道A/D转换和次要通道A/D转换。例如,主要通道SSADC的斜坡生成可以在主要通道传输之后(例如,在足以在比较器307的输入处产生稳定主要读出信号的稳定延迟之后)不久开始,其中生成次要通道SSADC的斜坡随后(即,在完成了主要通道斜坡之前)不久开始,以使两个时间交错的斜坡生成在它们进展的至少一部分内交叠。

[0037] 图7图示了主要通道读出和次要通道读出的示例性流水线化,其示出了时间交错的主要通道CDS操作(上部行)和次要通道CDS操作(下部行)。为了便于说明,组成浮动扩散复位、复位状态采样、电荷传输、电荷状态采样和ADC操作被示为消耗的时间间隔相同(实际上,不同的操作消耗的时间量可能不同),其中次要通道操作相对于主要通道操作延迟了分配给单个操作的时间。因此,在341处复位主要通道浮动扩散节点,然后同时(或至少同时)执行主要通道复位状态采样343和次要通道FD复位344。继续进行该平行但时间交错的排序,在345处进行主要通道电荷传输,同时在次要通道中进行复位状态采样(346),然后进行并行主要通道电荷状态采样(347)和次要通道电荷传输(348),然后进行并行主要通道A/D转换(349)和次要通道电荷状态采样350。行i分体式通道读出(至少通过A/D转换)在352处以次要通道ADC操作结束(例如,与开始第i+1行读出(即,主要通道FD复位)并行执行)。注意,复位状态采样操作和电荷状态采样操作(343、346、347、350)被示为模拟域采样保持动作(其可以包括来自电荷状态样本的复位状态样本的可能模拟域减法)。在其他实施例中,那些采样操作可以在数字域中进行(给定读出通道的输出信号的直接A/D转换,无需模拟采样/保持)。在任何情况下,经流水线化的主要通道读出和次要通道读出不仅缩短了整体每行读取延迟(使得行排序能够更快,从而缩短了最小曝光时间,提高过采样率等),而且还相对于连续执行而非并行执行主要读出序列和次要读出序列所需的时间,缩短了主要电荷传输操作345和次要电荷传输操作348之间的时间,从而减少了运动伪像或其他时间失真的可能性。

[0038] 图8图示了每列存储器元件361和读取-合并逻辑363的实施例,其可以用于实现图3所示的存储器和读取-合并逻辑组件。在所示的示例中,在存储器361内提供了寄存器367和369以分别存储经数字化的主要读出值和次要读出值(例如,CDS值),其中所存储的读出值供应给读取-合并逻辑363以供组合。在将传入读出值相加(375)以产生复合像素值180之前,读取-合并逻辑可选地向那些值应用增益校准(gc1、gc2)或数字加权(w1、w2)。在一个实施例中,增益校准值可以在整个分体式像素阵列(或其相对较大的子区域)内均匀,以使相对少量的校准值和/或权重值可以应用于所有或大量像素读出,从而使得很容易实现存储管芯上增益校准值和/或权重值(即,与分体式读出像素阵列存储在同一管芯上)。在其他实施例中,每像素(或每像素子组)增益校准值和/或权重值可以存储在管芯外存储器中,例如,存储在IC内的SRAM存储部或DRAM存储部中,该IC与分体式读出成像器管芯堆叠在一起

(与其互连),以使得能够向读取-合并逻辑363递送低功率/低延迟增益校准值/权重值。此外,增益校准值和/或权重值可以应用于列读出逻辑中的其他位置,其包括应用于模拟读出路径中(例如,图3所示的模拟增益组件173内)。

[0039] 仍然参考图8,在选择性次要通道读出的情况下(即,在如果主要通道读出产生欠阈值信号或值,可以跳过次要通道读出的情况下),可以使寄存器369内的读出值置零,以产生对求和元件375的零次要读出贡献。例如,在图9所示的实施例中,欠阈值/过阈值比较结果(即,指示欠阈值或过阈值主要读出)可以存储在存储器385内(即,元件386内),并且在读取-合并逻辑387内应用以使次要贡献置零。尽管在概念上被示为在多路复用器388内对零值的选择,但是次要通道贡献归零反而可以以各种方式并且在沿着列读出路径的各个点处(使寄存器369置零,使次要路径增益校准置零,和/或使乘法器加权)或通过选择主要通道读出路径的输出作为最终像素值而非求和器375的输出等实现。在所有情况下,可以禁用未用于欠阈值读出(仅主要通道)的逻辑电路系统,以节省功率。此外,可以在比较器181所示的数字域中或在模拟域中实现欠阈值/过阈值确定,其中确定/比较结果直接或经由存储元件386应用于读取-合并逻辑387(无需事先存储)。虽然图8中描绘了电荷状态和复位状态采样和保持元件391和393(以及模拟差分/减法元件395)以支持模拟域CDS操作,但是在有或没有先验采样和保持的情况下,可以在差分(数字域CDS)之前在ADC 175内对电荷状态信号和复位状态信号进行数字化。

[0040] 图10图示了具有非均匀的主要读出通道和次要读出通道转换增益以及与光电二极管满阱容量匹配的对应浮动扩散节点容量的分体式读出像素的实施例。主要读出通道组件和次要读出通道组件通常与图1所示的那些读出通道组件匹配,但其中主要浮动扩散节点中的电容要比次要浮动扩散节点中的电容低得多,因此主要通道转换增益高于次要通道转换增益。在一个实施例中,例如,主要通道转换增益大约为次要通道增益的八倍,例如,主要通道转换增益为400μv/e-(每电子400微伏),而次要通道转换增益为50μv/e-。假设在两个读出通道上产生1.5伏输出摆幅的CMOS工艺(即,FD复位电压减去光电二极管钉扎电压=1.5伏),则主要通道和次要通道的总电荷传输容量为1.5v/(400μv/e-)+1.5v/(50μv/e-)=33,750e-。通过将钉扎式光电二极管(PPD)设计为具有大致相同的电子数的满阱容量(Q),可以通过分体式通道读出(避免动态范围损失)完全排空光阱,同时经由高转换增益主要通道通过电荷传输唯一地(或主要地)实现异常弱光灵敏度。

[0041] 图1和本文中的其他实施例中所示的像素内源极跟随器晶体管(SF1和SF2)内的电压噪声趋于具有逐设备(每晶体管)变化,该逐设备变化整体组成了图像传感器中的像素到像素读取噪声变化的主导源。像素检测器中的随机分布的制造相关缺陷或非理想原子结构引起了这种噪声变化,以使一些读出通道可能会显示由于缺陷所引起的随机电报噪声(RTN)和闪烁噪声而导致的极高噪声,并且其他读出通道则表现出明显更低的噪声(更少和/或不太显著的缺陷),即,单个分体式读出像素的两个(或更多个)通道之间甚至会发生的变化。图11图示了分体式读出CMOS图像传感器实施例420,其中根据校准时间噪声评估,可以选择性地并且以编程方式使每个像素内的主要通道指定/次要通道指定(具有名义上等同的转换增益的读出通道)反转(翻转或交换),从而使得噪声最低的读出通道能够操作为主要读出通道。在一个实施例中,例如,评估每个分体式读出像素内的名义上的主要读出通道和次要读出通道中的每个读出通道的噪声特点,以确定哪个通道表现出最佳输入参考

噪声性能,从而针对每个像素记录处于断言状态或处于去断言状态的“反转”位,如果次要通道表现出更好的弱光噪声性能,则该断言状态使主要/次要指定反转;如果主要通道表现出更好的噪声特点(或如果认为噪声特点无法区分),则该去断言状态让双读出通道像素处于默认主要/次要指定。在所示的实现方式中,关于每个分体式读出像素提供多路复用器421和423,以便如果对应像素列的反转位(“Rev”)被断言(在该示例中为逻辑‘1’),则交换递送到对应分体式复位像素的默认主要/次要像素控制信号,并且如果反转位被去断言,则将那些信号传递到像素,而无需交换。如果设置了反转位,则异或门425同样使供应给通道多路复用器171的通道选择信号(CS)的状态反转。如果如图3中的185所示提供每读出通道ADC,则可以提供与421和423类似的输出路径多路复用器,以根据反转位状态将列输出信号(Out1和Out2)选择性地布线到ADC中的任一ADC,或读出控制器内的电路系统可以根据反转位将一个读出路径或另一读出路径用作主要路径(另一作为次要路径),例如,首先在指定的主要列输出路径内触发A/D转换。随着像素读出从一行进行到下一行,可以从校准数据存储部430中检索校准数据的新页面(根据像素行宽度的N个反转位的集合),以为该下一像素行建立主要指定/次要指定。在具有足够管芯面积的传感器中,可以在与分体式读出像素阵列相同的管芯上实现校准数据存储部430。在其他实施例中,校准数据存储部430(其可以附加地存储加权或其他每像素值)可以在与包含分体式读出像素阵列的管芯堆叠(并且与其互连)的单独芯片中实现。

[0042] 在若干个实施例中,提供附加晶体管和(多个)浮动扩散节点以实现多通道读出相对于光电二极管的占位面积消耗很少的附加面积,并因此不会显著影响传感器填充因子(例如,光电二极管相对较大和/或与浮动扩散节点或其他结构完全或部分交叠)。在具有较小光电二极管和/或对于其而言甚至不希望相对较小的填充因子影响的实施例中,可以在相邻像素之间共享读出通道资源,以减少分体式读出像素阵列内的净晶体管计数。图12图示了分体式读出像素阵列的实施例,其中一个像素的次要读出通道用作相邻像素的主要读出通道(即,延伸跨过像素阵列(每个相邻像素对共享读出通道)的共享读出通道布置),以维持总晶体管计数(因此提高成像器填充因子)等于或接近传统单读出通道像素阵列的计数。在所描绘的实施例中(沿着一个分体式读出像素行的摘录),浮动扩散节点FD34、复位晶体管RST34、源极跟随晶体管SF34和读取-选择晶体管SEL34共同用作光电二极管PPD3的次要读出通道和光电二极管PPD4的主要读取通道。关于PPD3和PPD4,更一般地,关于每个共享读出通道,提供了单独传输门TGa和TGb,使得分体式读出操作所需的净额外管芯面积消耗分解为每个像素的额外传输门(以启用向两个不同的浮动扩散节点的光电荷传输)、以及分体式读出像素阵列外围(行尾位置)处的像素的非共享读出电路系统。

[0043] 仍然参考图12并且假设具有等同转换增益的预先指派的主要读出通道和次要读出通道内的两相读出,则像素行内的主要通道读出从经由所有读出通道输出复位状态(即,接通行选择晶体管(SEL34、SEL45、SEL56等)并且向复位晶体管(RST34、RST45、RST56等)施加脉冲)开始。此后不久(时间足以对复位状态输出信号进行发信号通知和采样),光电荷经由主要通道传输门(TGa)传输到相邻浮动扩散节点,以经由共享读出通道产生电荷状态输出。因此,光电荷从PPD4(部分或全部根据累积水平)传输到FD34,以在Out34上产生主要通道电荷状态输出信号;从PPD5传输到FD45,以在Out45上产生主要通道电荷状态输出信号,从PPD6传输到FD56,以在Out56上产生主要通道电荷状态输出信号,依此类推。在(例如,通

过模拟采样和保持或直接A/D转换)对那些输出信号进行采样之后,次要通道读出从重复浮动扩散复位和复位状态输出信号生成开始,然后经由次要通道传输门(TGb)将残留光电荷传输到与每个光电二极管相邻的另一浮动扩散节点。也就是说,主要通道读出之后剩余的光电荷从PPD4传输到FD45,以在Out45上产生次要通道电荷状态输出信号,从PPD5传输到FD56,以在Out56上产生次要通道电荷状态输出信号,依此类推,以完成关于像素阵列的分体式读出操作。

[0044] 图13图示了可以在具有根据图12的共享通道分体式读出像素阵列的成像器的列读出逻辑中实现的通道多路复用布置。如所示出的,共享通道输出线(Out01、Out12、Out23等)中的每个共享通道输出线耦合到服务于相邻像素列的两输入通道多路复用器501的相应输入。在通道选择信号(CS)在主要通道选择与次要通道选择之间交替时,每个多路复用器571将对应主要读出信号和次要读出信号从相邻像素共享读出线路由到适当像素列的列逻辑路径。在所描绘的示例中,列逻辑路径包括如图3所示的通道共享增益元件173和通道共享ADC 175。在各备选实施例中,可以为每个列输出线提供专用增益元件(如果有)和ADC,其中提供ADC后多路复用器,以将ADC结果路由到对象像素列的预合并存储元件。

[0045] 图14图示了与图13所示的通道多路复用器相对应的通道多路复用器501的示例性操作。如所示出的,读出操作在像素阵列(行i、行i+1等)内逐行排序,其中每个行读出分成连续的主要通道读出和次要通道读出。在主要通道读出期间,通道选择信号(CS)被驱动为低电平,以将与选定行中的每个像素的主要通道相对应的复位状态信号和电荷状态信号路由到下游列读出逻辑,也就是说,选择共享读取通道(即,光电荷经由图13中的传输门TGa传输到的读出通道)的两个光电二极管中最左边的光电二极管的复位状态信号输出和电荷状态信号输出。在主要通道读出完成之后(例如,在数字化或模拟采样保持之后),升高通道选择信号,以将与每个像素的次要通道(即,光电荷经由图13中的传输门TGb传送到的读出通道)相对应的复位状态信号和电荷状态信号路由到下游读出逻辑。对于每个行读出重复该交替,以完成像素阵列扫描。

[0046] 图15图示了每个像素具有四个共享读出通道的分体式读出像素阵列的一部分。在所示的示例中,像素阵列中的每个光电二极管(PPD)分别经由四个传输门TGa、TGb、TGc和TGd耦合到四个浮动扩散节点(即,对于行‘i’,列‘j+1’中的光电二极管527,如525所示,FD[i,j+1]、FD[i,j+2]、FD[i+1,j+1]和FD[i+1,j+2]),其中那些浮动扩散节点是光电二极管527的相应读出通道a、b、c和d的组成部分。那些浮动扩散节点中的每个浮动扩散节点都由三个相邻的四读出通道像素共享,其中例如组成了行‘i+1’和列‘j+1’(即,FD[i+1,j+1])中光电二极管的读出通道‘a’的一部分的浮动扩散节点也组成了光电二极管[i+1,j]的读出通道b的一部分、光电二极管[i,j+1]的读出通道c的一部分、以及光电二极管[i,j]的读出通道d的一部分,即,针对像素阵列的所有内部像素对称实现的读取共享配置(阵列边缘处的像素与内部相邻像素共享两个读取通道)。在531处描绘了四个光电二极管[i,j]、[i,j+1]、[i+1,j]和[i+1,j+1]的完整共享读出通道。如所示出的,行控制信号(即,施加到同一行中的所有分体式读取像素)中的每个行控制信号被断言以控制相邻像素行对(在该示例中为行i和行i+1)的读出操作。更具体地,在共享读出通道的四个像素(即,行i中的两个像素和行i+1中的两个像素)中的每个像素的光电荷传输之前,复位信号Rst i/i+1被断言以复位浮动扩散节点FD[i+1,j+1],并且选择信号Sel i/i+1被断言,以使得根据四个像素中的

每个像素的浮动扩散节点电位能够(经由SF i/i+1)在输出线Out[j,j+1]上生成源极跟随器信号。

[0047] 图16图示了关于来自图15的像素阵列的给定行内的像素中的每个像素的通道a、b、c和d读出的示例性通道多路复用布置。因此,向信号TGa施加脉冲以实现通道'a'的电荷状态读出,其中通道选择信号(CS)被驱动为低电平以选择通道a读出路径,随后向信号TGb施加脉冲以实现经由通道b实现电荷状态读出,其中通道选择信号被驱动为高电平以选择通道b读出路径。然后对通道c和d执行类似操作(向TGc施加脉冲并且降低通道选择信号,然后向TGd施加脉冲并且升高通道选择信号)。在每列输出线具有专用A/D转换器(即,一个ADC用于通道a和c,另一ADC用于通道b和d)的实施例中,可以在A/D转换的下游实现通道多路复用。

[0048] 本文中所公开的分体式读出像素阵列、列读出逻辑、读出控制器等的各个实施例可以使用计算机辅助设计工具进行描述,并且从其行为、寄存器传输、逻辑组件、晶体管、布局几何形状和/或其他特点的角度,作为体现在各个计算机可读介质中的数据和/或指令来表达(或表示)。在其中可以实现这种电路表达的文件和其他对象格式包括但不限于:支持诸如C、Verilog和VHDL之类的行为语言的格式、支持像RTL之类的寄存器级描述语言的格式、以及支持诸如GDSII、GDSIII、GDSIV、CIF、MEBES之类的几何描述语言的格式以及任何其他合适格式和语言。可以体现这种经格式化数据和/或指令的计算机可读介质包括但不限于:各种形式的计算机存储介质(例如,光学、磁性或半导体存储介质,无论是以这种方式独立分布还是"原位"存储在操作系统中)。

[0049] 当经由一个或多个计算机可读介质在计算机系统内接收到上文所描述的电路的这种基于数据和/或指令的表达式时,它们与执行包括但不限于网表生成程序、布图和布线程序等的一个或多个其他计算机程序相结合,可以由计算机系统内的处理实体(例如,一个或多个处理器)进行处理,以生成这种电路的物理表现的表示或图像。此后,这种表示或图像例如可以随后通过实现用于在设备制造过程中形成电路的各个组件的一个或多个掩模的生成而用于设备制造中。

[0050] 在前述描述和附图中,已经对特定术语和附图符号进行了阐述,以提供对所公开的实施例的透彻理解。在一些实例中,术语和符号可以暗示实践那些实施例不需要的细节。例如,特定读出通道计数、共享读出电路的数目、阈值电平、放大电平、转换增益、组件计数、互连拓扑、传感器实现方式、晶体管类型(例如,NMOS或PMOS)组件元件等中的任一项可以在备选实施例中与上文所描述的不同。被描绘或描述为单独信号线的信号路径反而可以由多导体信号总线来实现,反之亦然,并且每个传送的信号可以包括多个导体(例如,差分信号或伪差分信号)。本文中使用术语"耦合"来表达直接连接以及通过一个或多个中间功能组件或结构的连接。设备配置或编程可以包括例如但不限于响应于主机指令而将控制值加载到集成电路设备内的寄存器或其他存储电路中(因此控制设备的操作方面和/或建立设备配置)或通过一次编程操作(例如,在设备生产期间烧断配置电路中的保险丝)和/或将设备的一个或多个选定引脚或其他接触结构连接到参考电压线(也称为捆扎)以建立特定设备配置或设备的操作方面(例如,放大系数、锁存阈值等)。术语"示例性"和"实施例"用于表达示例而非偏好或要求。同样,术语"可以"和"能够"可以互换使用以表示可选的(可准许的)主题。缺失任一术语都不应解释为意味着需要给定功能或技术。

[0051] 在没有背离本公开的更广泛的精神和范围的情况下,可以对本文中所提出的实施例进行各种修改和改变。例如,实施例中的任一实施例的各特征或各方面可以与任何其他实施例组合使用,或代替其对应特征或方面。因而,说明书和附图应被认为是说明性的而非限制性的。

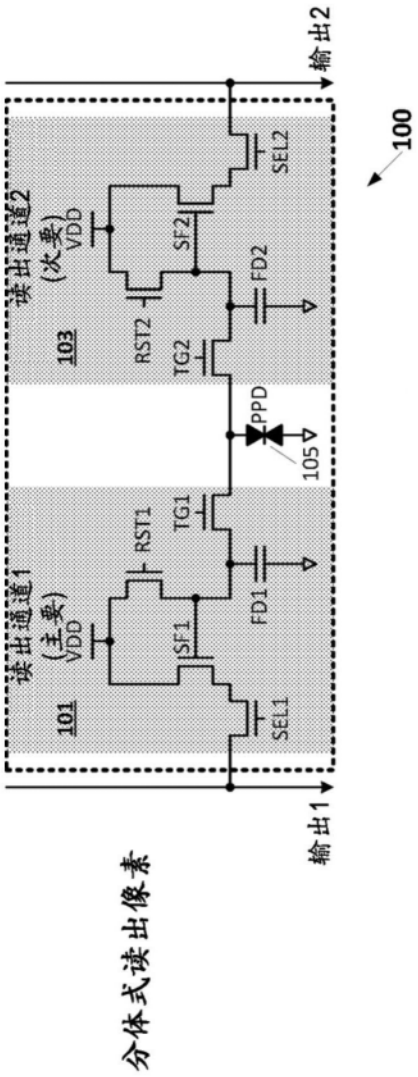

输出2
100
SEL2
读出通道2
(次要)
VDD
SF2
103
RST2
TG2
FD2
PPD
105
TG1
RST1
FD1
读出通道1
(主要)
VDD
SF1
101
SEL1
输出1
分体式读出像素

图1

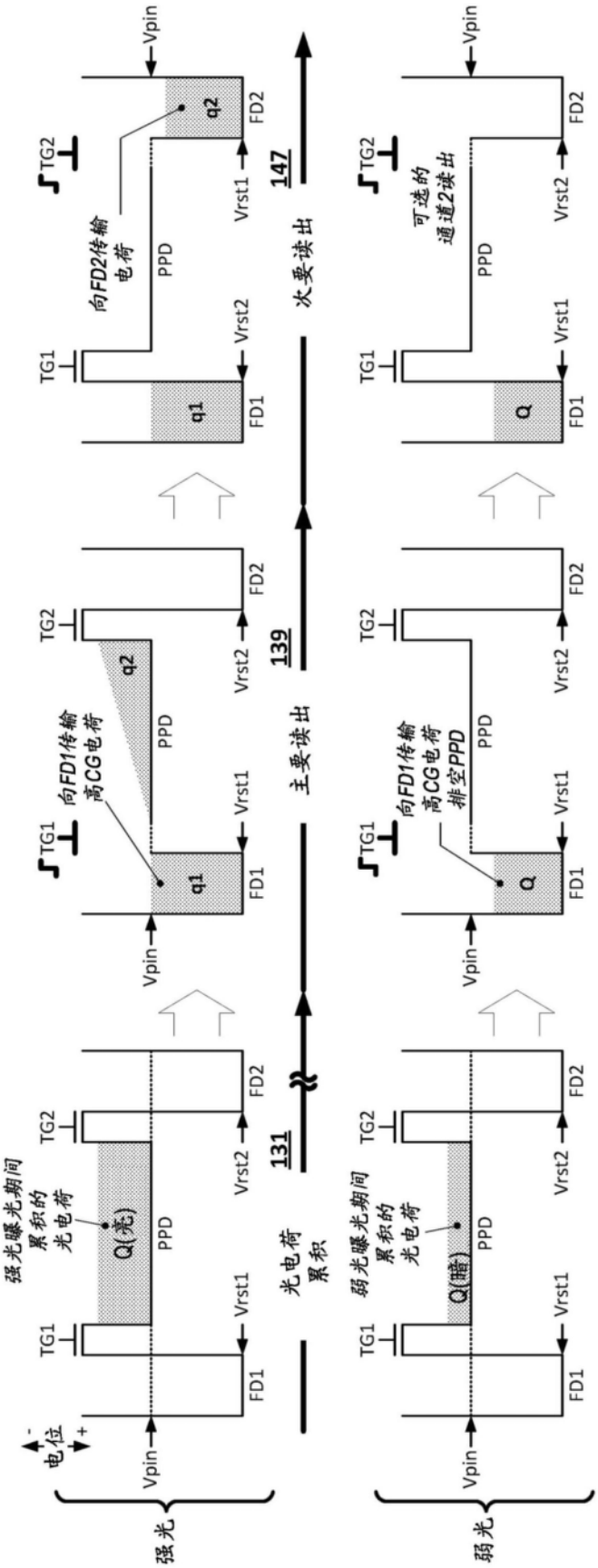

强光
弱光
电位
光电荷累积
强光曝光期间累积的光电荷
弱光曝光期间累积的光电荷
Q(亮)
Q(暗)
PPD
TG1
TG2
FD1
FD2
Vpin
Vrst1
Vrst2
向FD1传输高CG电荷
向FD2传输电荷
可选的通道2读出
排空PPD
q1
q2
Q
131
139
147
主要读出
次要读出

图2

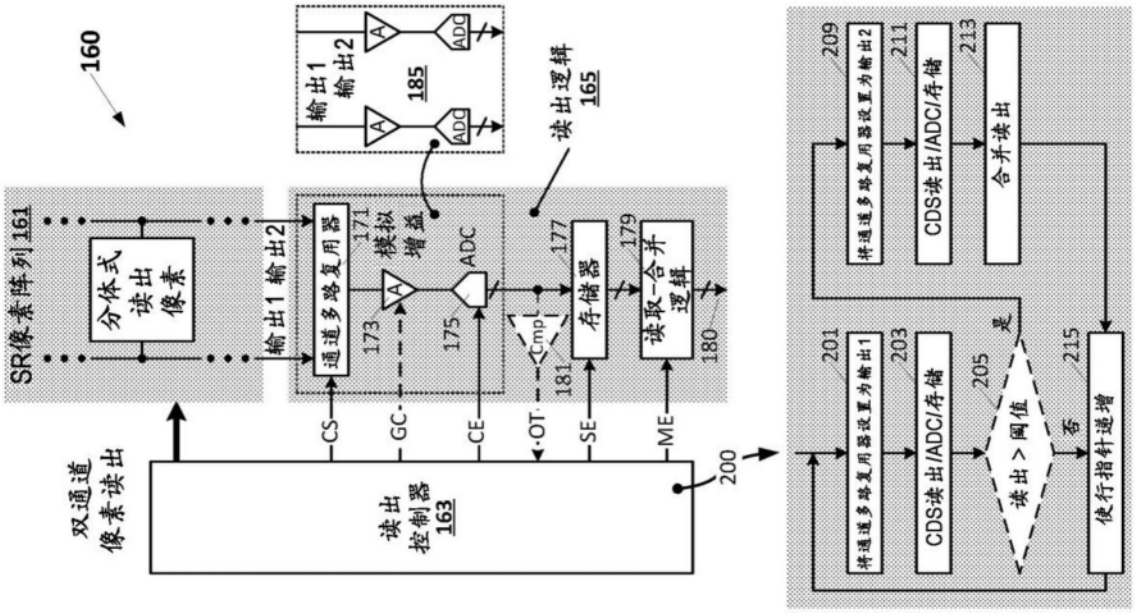

160
SR像素阵列 161
分体式读出像素
输出1 输出2
185
读出逻辑 165
通道多路复用器
171
模拟增益
ADC
173
175
177
存储器
179
读取-合并逻辑
180
181
Cmpl
CS
GC
CE
OT
SE
ME
双通道像素读出
读出控制器 163
200
201
将通道多路复用器设置为输出1
203
CDS读出/ADC/存储
205
读出 > 阈值
是
否
215
使行指针递增
209
将通道多路复用器设置为输出2
211
CDS读出/ADC/存储
213
合并读出

图3

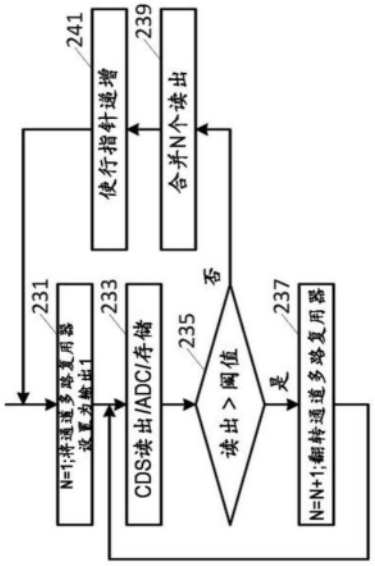

241
使行指针递增
239
合并N个读出
231
N=1;将通道多路复用器设置为输出1
233
CDS读出/ADC/存储
235
读出 > 阈值
否
是
237
N=N+1;翻转通道多路复用器
一至N个像素读出，在读出通道之间交替

图4

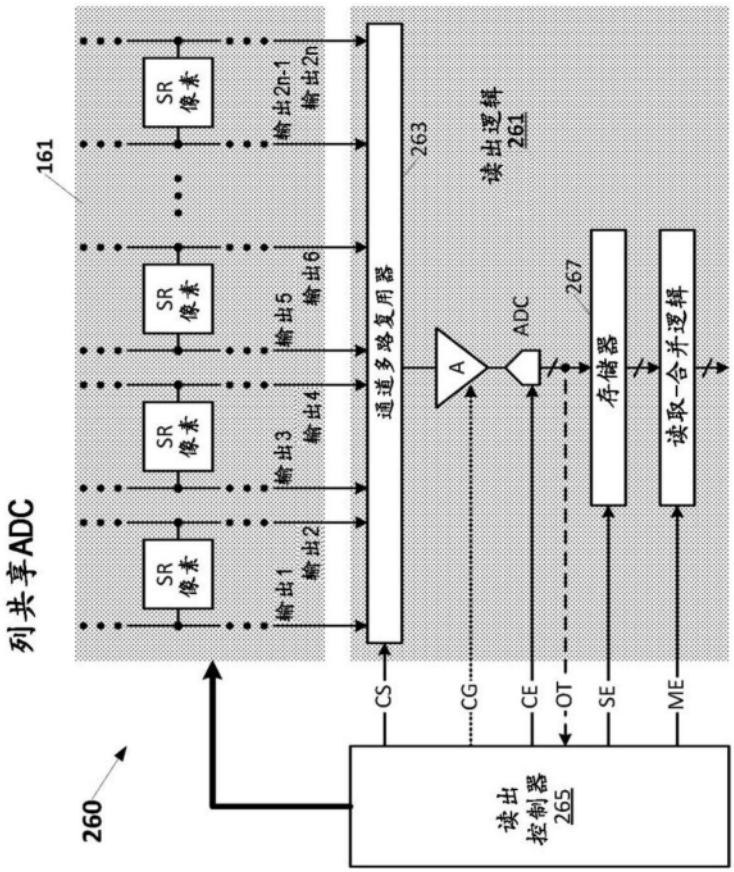

列共享ADC
161
SR 像素
输出1
输出2
输出3
输出4
输出5
输出6
输出2n-1
输出2n
通道多路复用器
263
读出逻辑
261
A
ADC
267
存储器
读取-合并逻辑
CS
CG
CE
OT
SE
ME
读出
控制器
265
260

图5

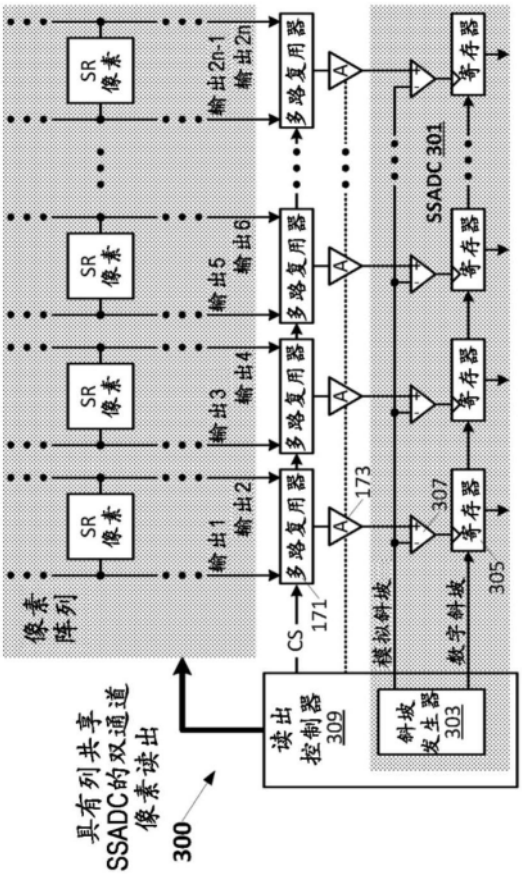

具有列共享SSADC的双通道像素读出
300
像素阵列
SR像素
输出1
输出2
输出3
输出4
输出5
输出6
输出2n-1
输出2n
多路复用器
CS
171
读出控制器309
斜坡发生器303
模拟斜坡
数字斜坡
173
307
305
SSADC 301
寄存器
A

图6

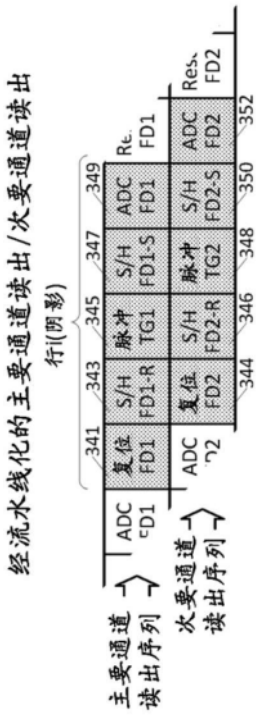

经流水线化的主要通道读出/次要通道读出
行i(阴影)
主要通道读出序列
次要通道读出序列
ADC CD1
复位 FD1
S/H FD1-R
复位 FD2
脉冲 TG1
S/H FD2-R
脉冲 TG2
S/H FD1-S
S/H FD2-S
ADC FD1
ADC FD2
Re. FD1
Res. FD2
ADC CD2
341
343
344
345
346
347
348
349
350
352

图7

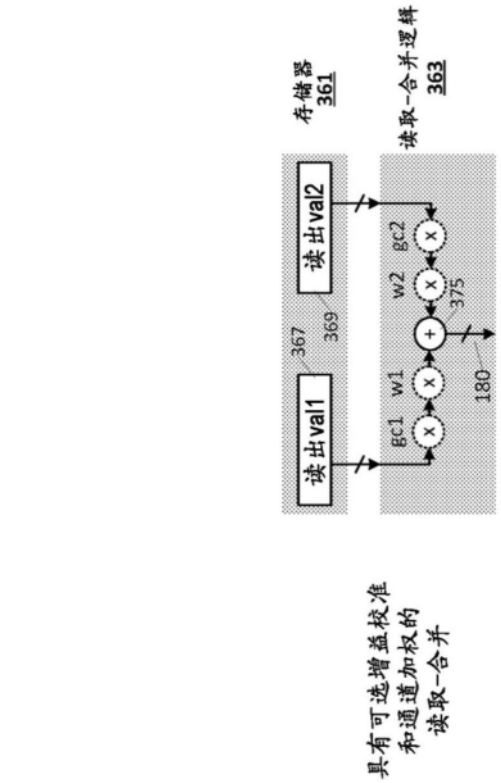

存储器 361
读取-合并逻辑 363
读出val1
读出val2
367
369
BC1
w1
BC2
w2
375
180
具有可选增益校准和通道加权的读取-合并

图8

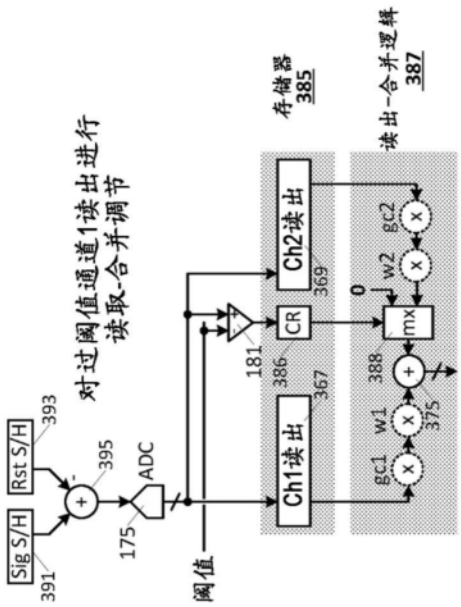

对过阈值通道1读出进行
读取-合并调节
Sig S/H
Rst S/H
391
393
395
175
ADC
阈值
181
Ch1读出
367
386
CR
Ch2读出
369
存储器
385
读出-合并逻辑
387
gc1
w1
375
388
mx
0
w2
gc2

图9

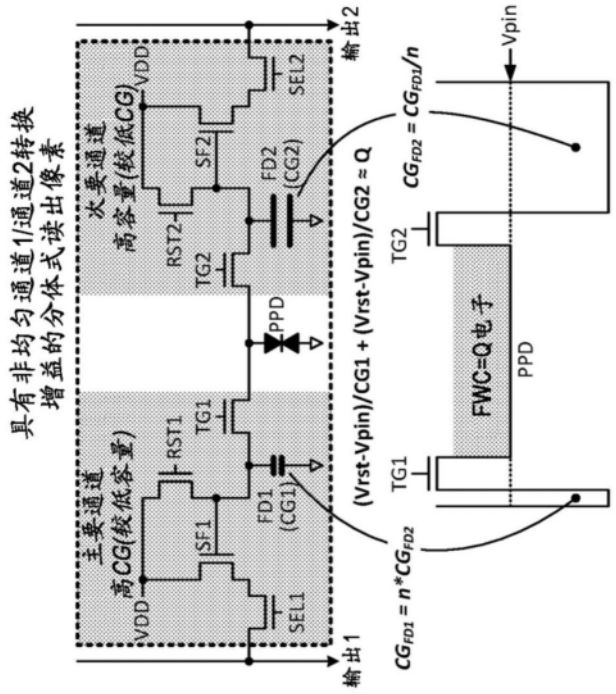

具有非均匀通道1/通道2转换
增益的分体式读出像素
主要通道
高CG(较低容量)
次要通道
高容量(较低CG)
VDD
SEL1
SF1
RST1
TG1
FD1
(CG1)
PPD
TG2
RST2
SF2
FD2
(CG2)
SEL2
输出1
输出2
(Vrst-Vpin)/CG1 + (Vrst-Vpin)/CG2 ≈ Q
CG_FD1 = n*CG_FD2
CG_FD2 = CG_FD1/n
FWC=Q电子
Vpin

图10

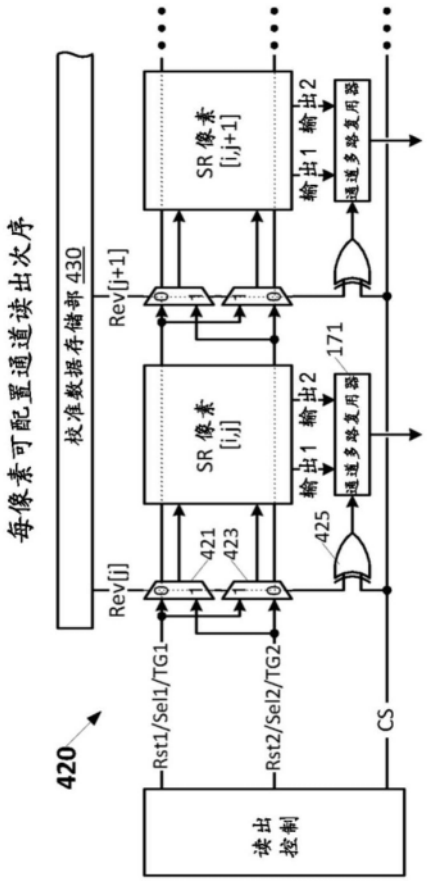

每像素可配置通道读出次序
校准数据存储部 430
Rev[j+1]
Rev[j]
SR 像素 [i,j+1]
SR 像素 [i,j]
输出1 输出2
选通多路复用器
171
421
423
425
Rst1/Sel1/TG1
Rst2/Sel2/TG2
CS
420
读出控制

图11

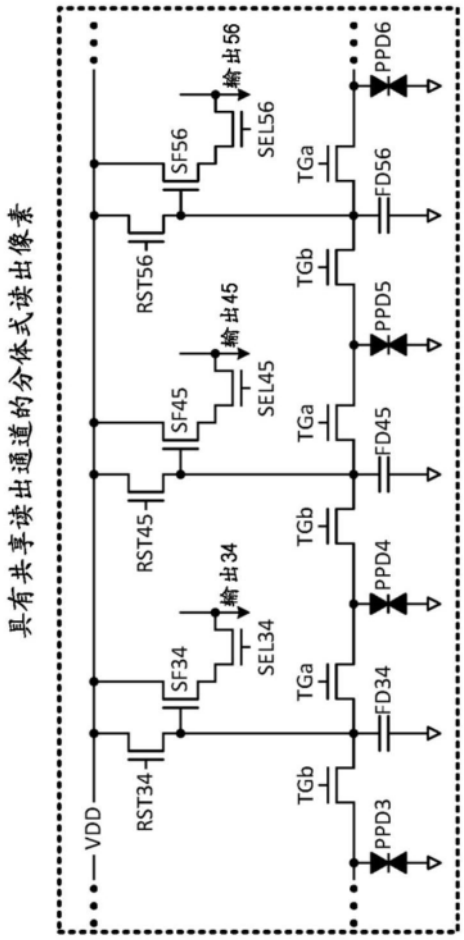

具有共享读出通道的分体式读出像素
VDD
RST34
RST45
RST56
SF34
SF45
SF56
SEL34
SEL45
SEL56
输出34
输出45
输出56
TGa
TGb
FD34
FD45
FD56
PPD3
PPD4
PPD5
PPD6

图12

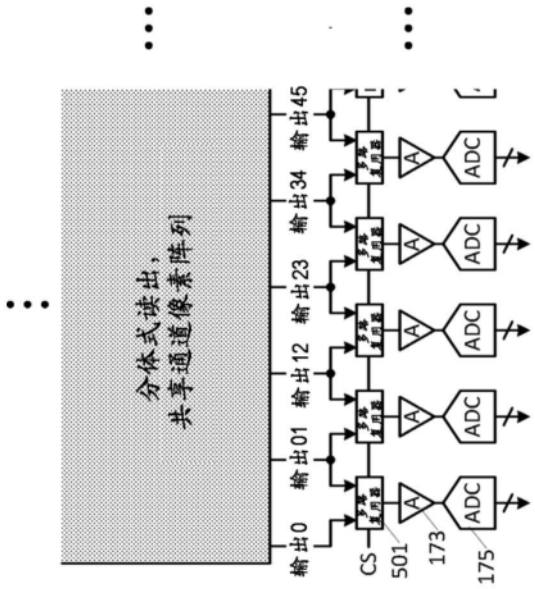

分体式读出，
共享通道像素阵列
输出0
输出01
输出12
输出23
输出34
输出45
CS
501
173
175
ADC

图13

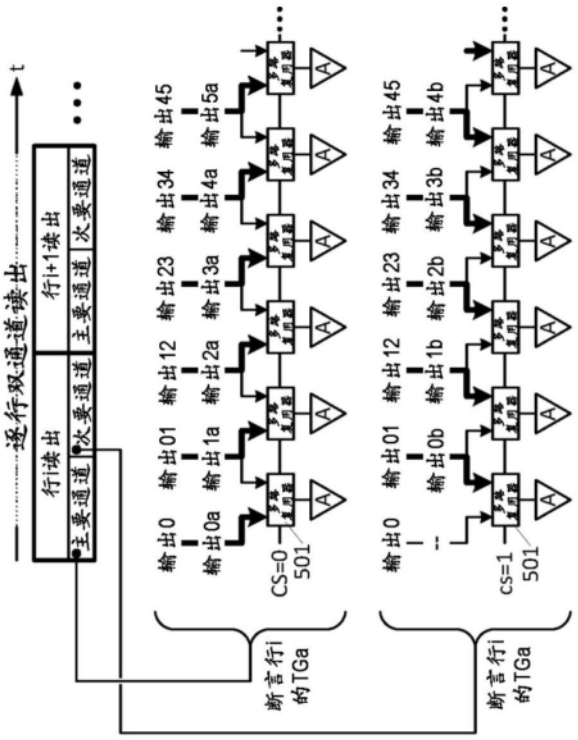

逐行双通道读出
t
行i读出
行i+1读出
主要通道
次要通道
主要通道
次要通道
输出0
输出0a
输出01
输出1a
输出12
输出2a
输出23
输出3a
输出34
输出4a
输出45
输出5a
CS=0
501
断言行i的TGa
输出0
输出01
输出0b
输出12
输出1b
输出23
输出2b
输出34
输出3b
输出45
输出4b
cs=1
501
断言行i的TGa

图14

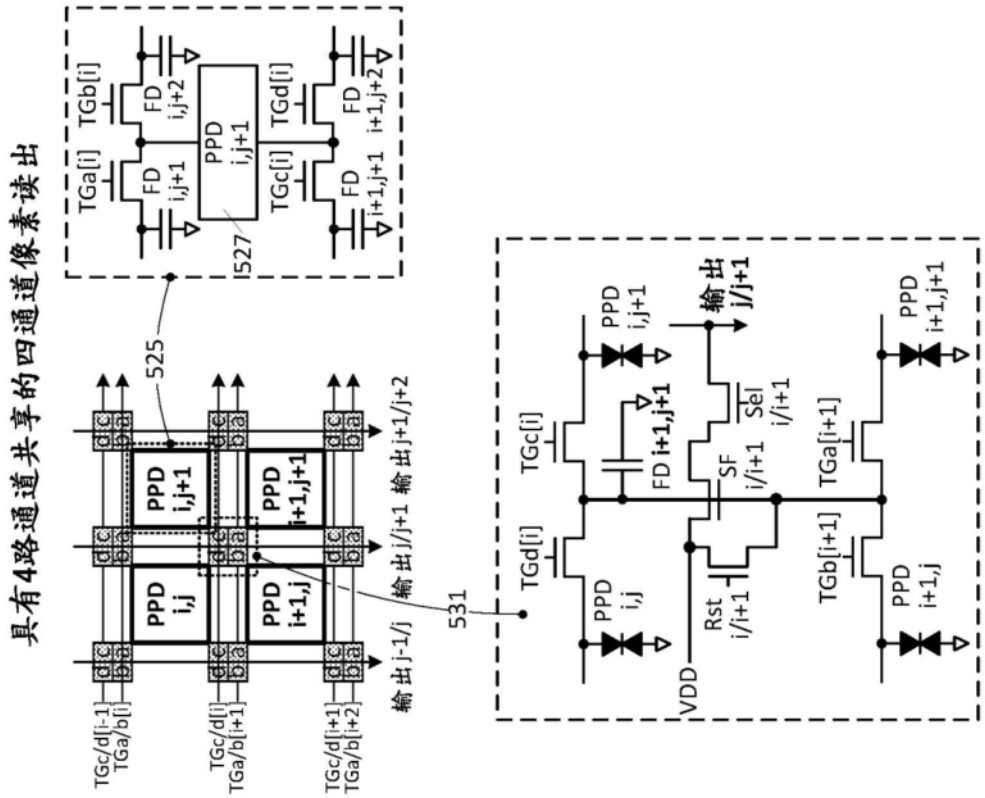

具有4路通道共享的四通道像素读出
TGa[i]
TGb[i]
FD i,j+1
FD i,j+2
PPD i,j+1
TGc[i]
TGd[i]
FD i+1,j+1
FD i+1,j+2
527
525
PPD i,j
PPD i+1,j
PPD i+1,j+1
输出j-1/j
输出j/j+1
输出j+1/j+2
531
TGc/d[i-1]
TGa/b[i]
TGc/d[i]
TGa/b[i+1]
TGc/d[i+1]
TGa/b[i+2]
TGc[i]
TGd[i]
FD i+1,j+1
SF i/i+1
Sel i/i+1
Rst i/i+1
VDD
输出 i/j+1
TGa[i+1]
TGb[i+1]

图15

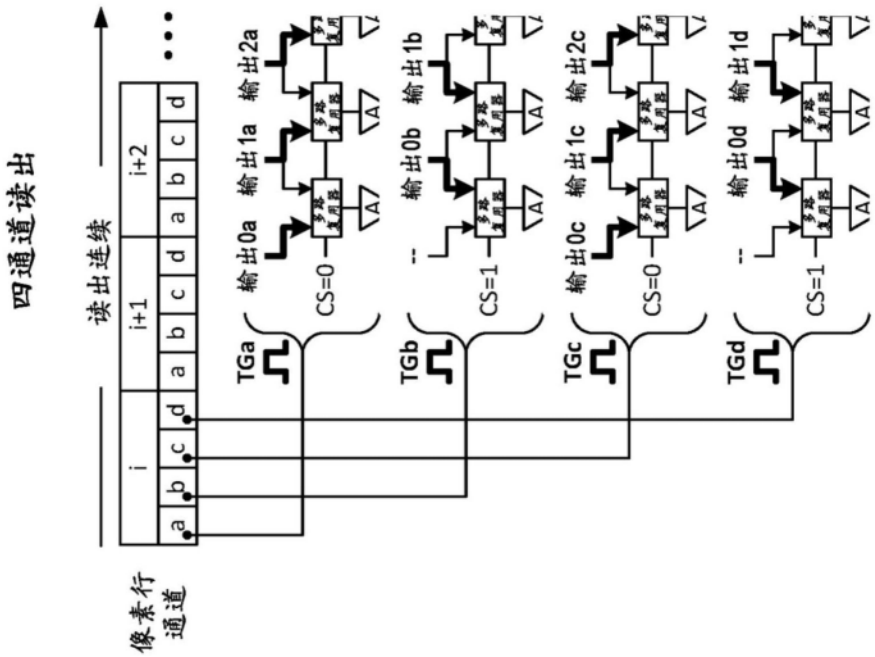

四通道读出
读出连续
像素行
通道
i
i+1
i+2
a
b
c
d
TGa
TGb
TGc
TGd
输出0a
输出1a
输出2a
输出0b
输出1b
输出0c
输出1c
输出2c
输出0d
输出1d
CS=0
CS=1

图16