

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 4 月 2 日 (02.04.2020)



(10) 国际公布号
WO 2020/062829 A1

(51) 国际专利分类号:
H01L 29/78 (2006.01) **H01L 21/336** (2006.01)
H01L 29/423 (2006.01)

(21) 国际申请号: PCT/CN2019/081807

(22) 国际申请日: 2019 年 4 月 8 日 (08.04.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811155824.0 2018 年 9 月 29 日 (29.09.2018) CN

(71) 申请人: 东南大学 (SOUTHEAST UNIVERSITY) [CN/CN]; 中国江苏省南京市江宁区东南大学路 2 号, Jiangsu 211189 (CN)。

(72) 发明人: 孙伟锋 (SUN, Weifeng); 中国江苏省南京市江宁区东南大学路 2 号, Jiangsu 211189 (CN)。

刘斯扬 (LIU, Siyang); 中国江苏省南京市江宁区东南大学路 2 号, Jiangsu 211189 (CN)。童鑫 (TONG, Xin); 中国江苏省南京市江宁区东南大学路 2 号, Jiangsu 211189 (CN)。钊雪会 (ZHAO, Xuehui); 中国江苏省南京市江宁区东南大学路 2 号, Jiangsu 211189 (CN)。徐浩 (XU, Hao); 中国江苏省南京市江宁区东南大学路 2 号, Jiangsu 211189 (CN)。陆生礼 (LU, Shengli); 中国江苏省南京市江宁区东南大学路 2 号, Jiangsu 211189 (CN)。时龙兴 (SHI, Longxing); 中国江苏省南京市江宁区东南大学路 2 号, Jiangsu 211189 (CN)。

(74) 代理人: 南京瑞弘专利商标事务所 (普通合伙) (NANJING RUIHONG PATENT & TRADEMARK AGENCY (ORDINARY PARTNERSHIP)); 中国江苏省南京市玄武区龙蟠路 155 号 3 幢 411 室, Jiangsu 210000 (CN)。

(54) Title: FIN-TYPE SUPER-JUNCTION POWER SEMICONDUCTOR TRANSISTOR AND PREPARATION METHOD THEREFOR

(54) 发明名称: 一种鳍式超结功率半导体晶体管及其制备方法

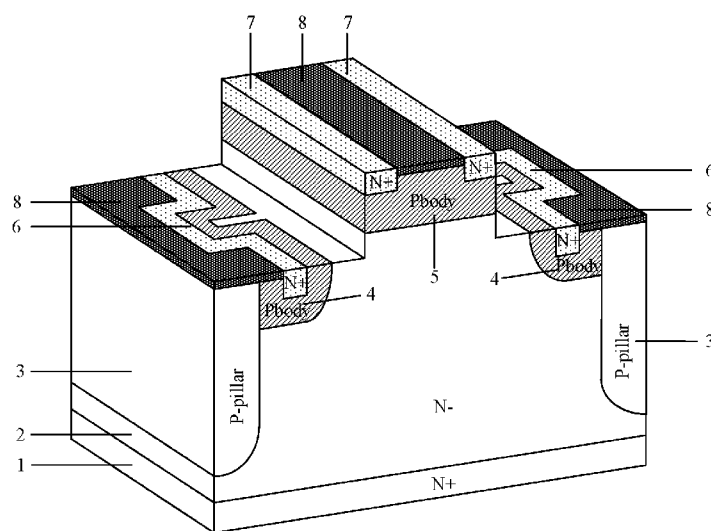


图 8

(57) Abstract: A fin-type super-junction power semiconductor transistor and a preparation method therefor. The fin-type super-junction power semiconductor transistor comprises: an N-type substrate (1); an N-type epitaxial layer (2) provided on the N-type substrate (1); a columnar first P-type body region (3) and a second P-type body region (4) provided at two sides inside the N-type epitaxial layer (2); a first N-type heavily doped source region (6) provided on a surface of the second P-type body region (4); a third P-type body region (5) provided on the top of the N-type epitaxial layer (2); second N-type heavily doped source regions (7) respectively provided on a surface of the third P-type body region (5) at both ends; gate polysilicon (10) provided at two sides of the third P-type body region (5); and a second P-type body region (4) covering the bottom of the gate polysilicon (10). The columnar first P-type body region (3), the second P-type body region (4), and part of the N-type epitaxial layer (2) are lower than a lower surface of the third P-type body region (5). The first N-type heavily doped source region (6) on the surface of the second P-type body region (4) terminates at an outer boundary of a



(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

— 发明人资格(细则4.17(iv))

本国际公布:

— 包括国际检索报告(条约第21条(3))。

gate oxide layer (9). The first N-type heavily doped source region (6) and the second P-type body region (4) synchronously protrude toward the outside of the transistor and are in the shape of a pulse, so as to further reduce on-resistance and reduce EMI noise of devices while ensuring breakdown voltages.

(57) 摘要: 一种鳍式超结功率半导体晶体管及其制备方法, 包括N型衬底(1), 在N型衬底(1)上设有N型外延层(2), 在N型外延层(2)内的两侧设有柱状第一P型体区(3)和第二P型体区(4), 在第二P型体区(4)表面设有第一N型重掺杂源区(6), 在N型外延层(2)顶部设有第三P型体区(5), 该区表面两端设有第二N型重掺杂源区(7), 第三P型体区(5)两侧分别设有栅极多晶硅(10), 且栅极多晶硅(10)下方覆盖第二P型体区(4), 柱状第一P型体区(3)、第二P型体区(4)及部分N型外延层(2)低于第三P型体区(5)下表面。第二P型体区(4)表面的第一N型重掺杂源区(6)止于栅氧化层(9)的外侧边界, 第一N型重掺杂源区(6)与第二P型体区(4)向晶体管外侧同步外凸并呈脉冲形状, 从而在保证击穿电压的前提下进一步降低导通电阻, 降低器件EMI噪声。

一种鳍式超结功率半导体晶体管及其制备方法

技术领域

本发明涉及功率半导体器件技术领域，具体涉及一种鳍式超结功率半导体晶体管及其制备方法。

背景技术

功率半导体器件作为电力电子系统中的核心元件，自 20 世纪 70 年代发明以来，一直是现代生活不可或缺的重要电子元件。过去三十年里，功率金属氧化物半导体场效应管（MOSFET）取得了飞跃式的发展，20 世纪 90 年代初提出了“超结”的概念，利用相互交替的 P 柱与 N 柱代替传统的功率器件的 N 漂移区，从而有效降低了导通电阻，得到较低的导通功耗。相比于传统 MOSFET，具有超结结构的场效应管虽然在降低导通电阻方面已经有不错的表现，但是仍然没有达到理想的预期。20 世纪 90 年代末胡正明教授提出了鳍式场效应晶体管，鳍式结构的栅增大了沟道面积，加强了栅对沟道的控制。鉴于此，本发明提出一种鳍式超结功率半导体晶体管及其制备方法，在保证击穿电压的前提下进一步降低导通电阻，降低器件开启速度，降低 EMI 噪声。

发明内容

本发明针对上述不足提出了一种能够进一步降低导通电阻，并且有效降低器件 EMI 噪声的鳍式超结功率半导体晶体管及其制备方法。

本发明采用如下结构技术方案：

一种鳍式超结功率半导体晶体管，包括：N 型衬底，在 N 型衬底上设有 N 型外延层，在 N 型外延层内的两侧分别设有柱状第一 P 型体区，在 N 型外延层内的两侧还分别设有第二 P 型体区，位于同侧的柱状第一 P 型体区和第二 P 型体区相触及，在第二 P 型体区表面设有第一 N 型重掺杂源区，在 N 型外延层的顶部设有第三 P 型体区，在第三 P 型体区表面两端分别设有第二 N 型重掺杂源区，其特征在于，第三 P 型体区的两侧分别设有栅极多晶硅，且所述栅极多晶硅的下方覆盖所述第二 P 型体区，在栅极多晶硅与第二 P 型体区、N 型外延层及第三 P 型体区之间设有栅氧化层，所述柱状第一 P 型体区、第二 P 型体区及部分 N 型外延层低于第三 P 型体区的下表面。

一种鳍式超结功率半导体晶体管，其特征在于，第二 P 型体区表面的第一 N 型重掺杂源区止于栅氧化层的外侧边界，第一 N 型重掺杂源区与第二 P 型体区向晶体管外侧同步外凸并呈脉冲形状。

本发明提供如下方法技术方案：

第一步：首先选取 N 型硅材料作为衬底并外延生长 N 型外延层；

第二步：利用掩膜板在 N 型外延层上选择刻蚀出深沟槽，回填 P 型材料形成柱状第一 P 型体区；

第三步：选择性刻蚀 N 型外延层形成台阶形外延层；

第四步：利用掩膜板对台阶形 N 型外延层选择性注入硼，退火后形成第二 P 型体区和第三 P 型体区；

第五步：利用掩膜板在第二 P 型体区表面选择性注入离子砷或磷形成凸形 N 型重掺杂源区，在第三 P 型体区表面选择性注入离子砷或磷形成 N 型重掺杂源区；

第六步：在柱状第一 P 型体区、第二 P 型体区、第三 P 型体区上表面选择性高能（80KeV~200KeV）注入硼形成 P 型重掺杂半导体接触区；

第七步：在 N 型外延层表面热生长形成栅氧化层，再淀积一层多晶硅；

第八步：利用掩膜板刻蚀多余的多晶硅形成栅极多晶硅；

第九步：淀积一层氧化层作为接触绝缘层，选择性刻蚀绝缘层，在 N 型外延层表面形成接触孔；

第十步：淀积制作源极金属，且源极金属与第二 P 型体区和第三 P 型体区形成良好的欧姆接触或肖特基接触。

与现有技术相比，本发明具有如下优点：

1. 本发明器件利用鳍式栅极多晶硅栅 10 对 P 型体区分隔，使其形成相互分离的第二 P 型体区 4 与第三 P 型体区 5，从而使导电沟道增加，进一步降低导通电阻。传统超结结构器件中，柱状第一 P 型体区与第二 P 型体区相连，器件导通时，只有第二 P 型体区内形成反型沟道，电子从 N 型重掺杂源区经过沟道流向漏极。本发明器件中栅极多晶硅 10 使第二 P 型体区 4 与第三 P 型体区 5 相互分离。器件导通时，第二 P 型体区 4 与第三 P 型体区 5 内分别形成横向和纵向反型沟道，大量电子从源极通过横向和纵向的多个导电沟道流向漏极，正向导通电流增加。因此，相比于传统超结结构器件，本发明器件导电沟道增加，使得器件导通电阻进一步降低，导通功耗降低。

2. 本发明器件中栅极多晶硅 10 和栅氧化层 9 的外侧边界随第一 N 型重掺杂源区 6 边界向晶体管外侧同步外凸并呈脉冲形状，使得栅漏电容增大，有效降低了器件 EMI 噪声。与传统器件相比，本发明器件中，边界呈脉冲形状的栅氧化层 9 与 N 型外延层 2 的接触面积增加，栅极与漏极形成的覆盖电容增大，使得器件总栅漏电容增大，因此晶体管开启速度降低，电流与电压随时间的变化率降低，器件 EMI 噪声降低。

3. 本发明器件结构生产工艺保留了传统沟槽金属氧化物半导体型场效应晶体管结构

的设计工艺，工艺简单，可行性高。

附图说明

图 1 所示为传统沟槽超结功率半导体晶体管的三维立体图。

图 2 所示为本发明提出的新型鳍式超结功率半导体晶体管的三维立体图。

图 3~图 8 所示为本发明提出的新型鳍式超结功率半导体晶体管制备方法的工艺流程图。

具体实施方式

本发明器件利用鳍式栅极多晶硅和栅氧化层使第二 P 型体区与第三 P 型体区相互分离。器件导通时，第二 P 型体区与第三 P 型体区内均可形成反型沟道，大量电子从源区通过多个导电沟道流向漏极，正向导通电流增加，导通电阻进一步降低。并且，由于器件中栅极多晶硅和栅氧化层下表面边界随 N 型重掺杂源区边界横向向柱状第一 P 型体区延伸，栅氧化层与 N 型外延层的接触面积增加，栅极与漏极形成的覆盖电容增大，使得器件总栅漏电容增大，因此晶体管开启速度降低，电流与电压随时间的变化率降低，器件 EMI 噪声水平降低。所述器件制备方法保留了传统沟槽金属氧化物半导体型场效应晶体管结构的设计工艺，工艺简单，可行性高。

实施例 1

下面结合图 2，对本发明进行详细说明，一种鳍式超结功率半导体晶体管，包括：N 型衬底 1，在 N 型衬底 1 上设有 N 型外延层 2，在 N 型外延层 2 内的两侧分别设有柱状第一 P 型体区 3，在 N 型外延层 2 内的两侧还分别设有第二 P 型体区 4，位于同侧的柱状第一 P 型体区 3 和第二 P 型体区 4 相触及，在第二 P 型体区 4 表面设有第一 N 型重掺杂源区 6，在 N 型外延层 2 的顶部设有第三 P 型体区 5，在第三 P 型体区 5 表面两端分别设有第二 N 型重掺杂源区 7，第三 P 型体区 5 的两侧分别设有栅极多晶硅 10，且所述栅极多晶硅 10 的下方覆盖所述第二 P 型体区 4，在栅极多晶硅 10 与第二 P 型体区 4、N 型外延层 2 及第三 P 型体区 5 之间设有栅氧化层 9，所述柱状第一 P 型体区 3、第二 P 型体区 4 及部分 N 型外延层 2 低于第三 P 型体区 5 的下表面。在本实施例中，第二 P 型体区 4 表面的第一 N 型重掺杂源区 6 止于栅氧化层 9 的外侧边界，第一 N 型重掺杂源区 6 与第二 P 型体区 4 向晶体管外侧同步外凸并呈脉冲形状。

实施例 2

下面结合图 3~图 8，对本发明进行详细说明，一种鳍式超结功率半导体晶体管的制备方法：

第一步：首先选取 N 型硅材料作为衬底并外延生长 N 型外延层；

第二步：利用掩膜板在 N 型外延层上选择刻蚀出深沟槽，回填 P 型材料形成柱状第一 P 型体区；

第三步：选择性刻蚀 N 型外延层形成台阶形外延层；

第四步：利用掩膜板对台阶形 N 型外延层选择性注入硼，退火后形成第二 P 型体区和第三 P 型体区；

第五步：利用掩膜板在第二 P 型体区表面选择性注入离子砷或磷形成凸形 N 型重掺杂源区，在第三 P 型体区表面选择性注入离子砷或磷形成 N 型重掺杂源区；

第六步：在柱状第一 P 型体区、第二 P 型体区、第三 P 型体区上表面选择性高能量（80keV~200keV）注入硼形成 P 型重掺杂半导体接触区；

第七步：在 N 型外延层表面热生长形成栅氧化层，再淀积一层多晶硅；

第八步：利用掩膜板刻蚀多余的多晶硅形成栅极多晶硅；

第九步：淀积一层氧化层作为接触绝缘层，选择性刻蚀绝缘层，在 N 型外延层表面形成接触孔；

第十步：淀积制作源极金属，且源极金属与第二 P 型体区和第三 P 型体区形成良好的欧姆接触或肖特基接触。

权利要求书

1.一种鳍式超结功率半导体晶体管，包括：N型衬底（1），在N型衬底（1）上设有N型外延层（2），在N型外延层（2）内的两侧分别设有柱状第一P型体区（3），在N型外延层（2）内的两侧还分别设有第二P型体区（4），位于同侧的柱状第一P型体区（3）和第二P型体区（4）相触及，在第二P型体区（4）表面设有第一N型重掺杂源区（6），在N型外延层（2）的顶部设有第三P型体区（5），在第三P型体区（5）表面两端分别设有第二N型重掺杂源区（7），其特征在于，第三P型体区（5）的两侧分别设有栅极多晶硅（10），且所述栅极多晶硅（10）的下方覆盖所述第二P型体区（4），在栅极多晶硅（10）与第二P型体区（4）、N型外延层（2）及第三P型体区（5）之间设有栅氧化层（9），所述柱状第一P型体区（3）、第二P型体区（4）及部分N型外延层（2）低于第三P型体区（5）的下表面。

2.根据权利要求1所述的一种鳍式超结功率半导体晶体管，其特征在于，第二P型体区（4）表面的第一N型重掺杂源区（6）止于栅氧化层（9）的外侧边界，第一N型重掺杂源区（6）与第二P型体区（4）向晶体管外侧同步外凸并呈脉冲形状。

3.一种权利要求1所述的鳍式超结功率半导体晶体管的制备方法，其特征在于：

第一步：首先选取N型硅材料作为衬底（1）并外延生长N型外延层；

第二步：利用掩膜板在N型外延层上选择刻蚀出深沟槽，回填P型材料形成柱状第一P型体区（3）；

第三步：选择性刻蚀N型外延层形成台阶形外延层（2）；

第四步：利用掩膜板对台阶形N型外延层（2）选择性注入硼，退火后形成第二P型体区（4）和第三P型体区（5）；

第五步：利用掩膜板在第二P型体区表面选择性注入离子砷或磷形成凸形N型重掺杂源区（6），在第三P型体区表面选择性注入离子砷或磷形成N型重掺杂源区（7）；

第六步：在柱状第一P型体区（3）、第二P型体区（4）、第三P型体区（5）上表面选择性高能（80KeV~200KeV）注入硼形成P型重掺杂半导体接触区（8）；

第七步：在N型外延层表面热生长形成栅氧化层，再淀积一层多晶硅；

第八步：利用掩膜板刻蚀多余的多晶硅形成栅极多晶硅（10）；

第九步：淀积一层氧化层作为接触绝缘层，选择性刻蚀绝缘层，在N型外延层表面形成接触孔；

第十步：淀积制作源极金属，且源极金属与第二P型体区和第三P型体区形成良好的欧姆接触或肖特基接触。

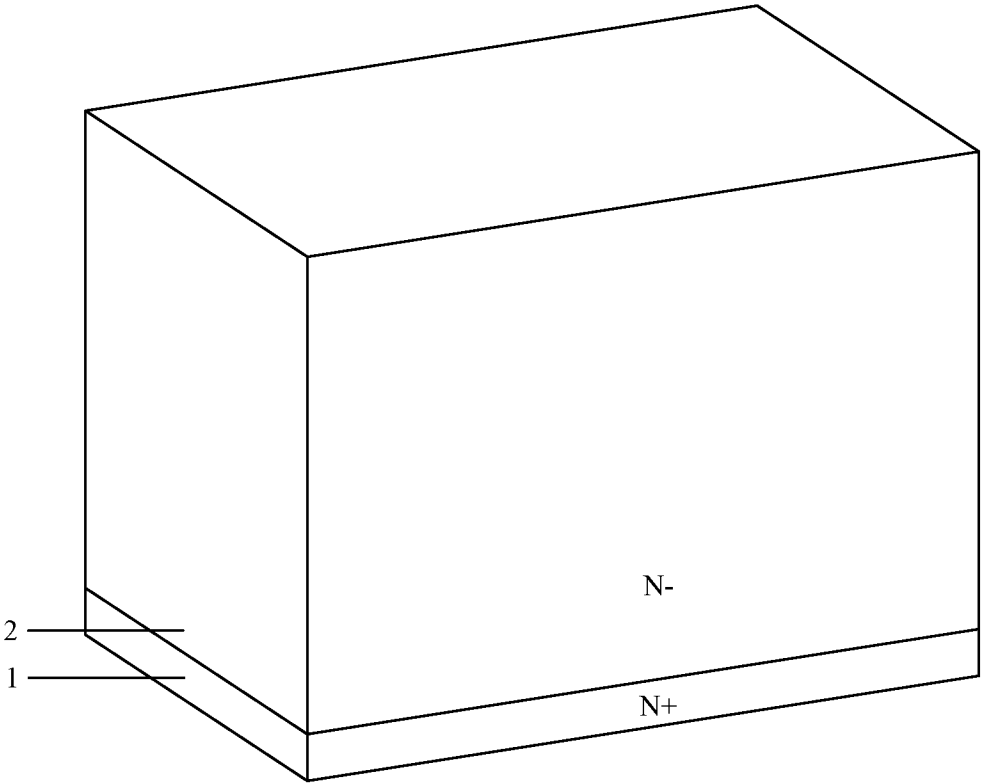


图 3

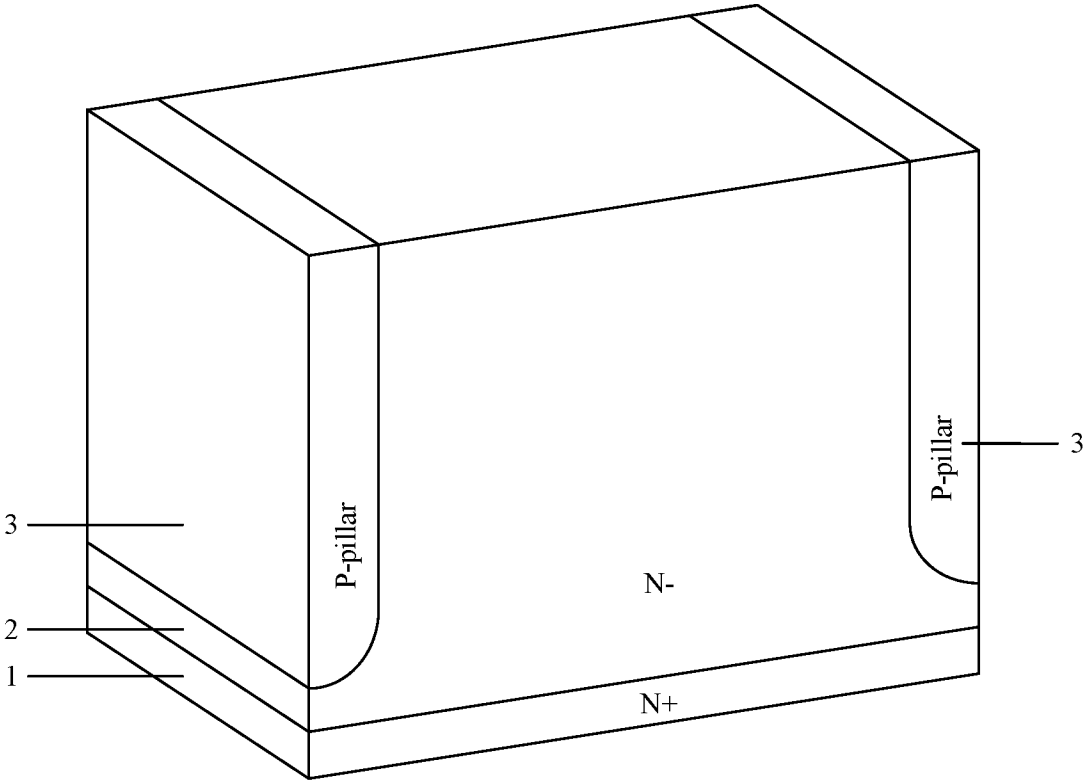


图 4

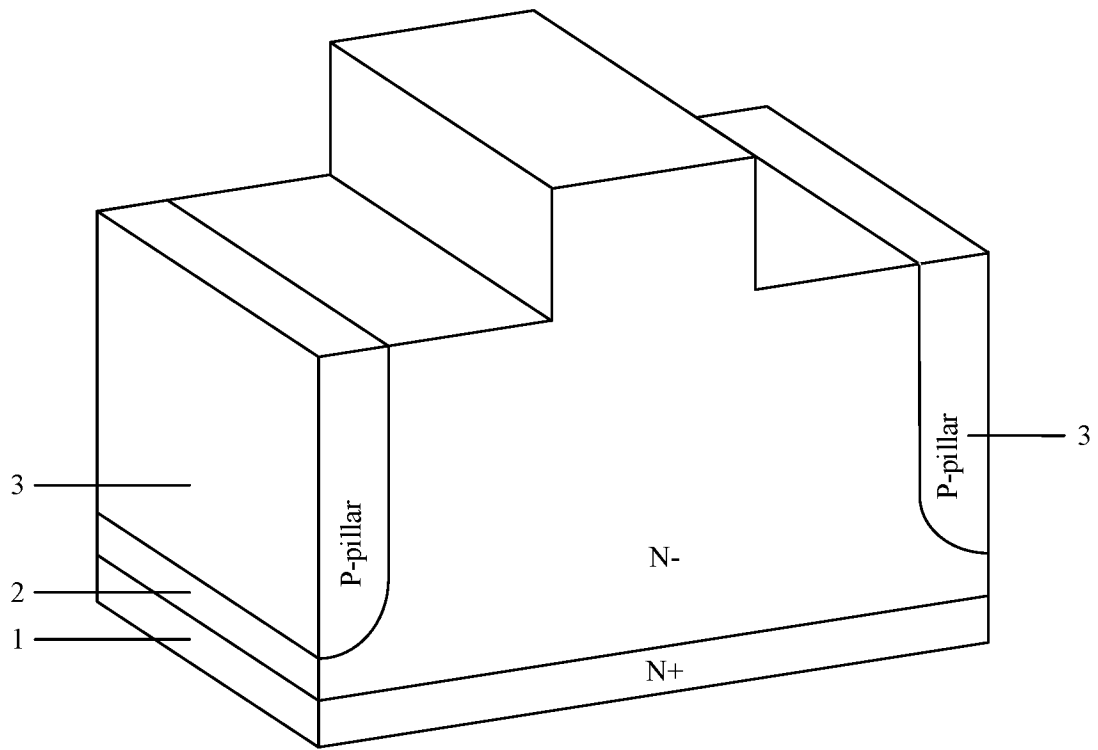


图 5

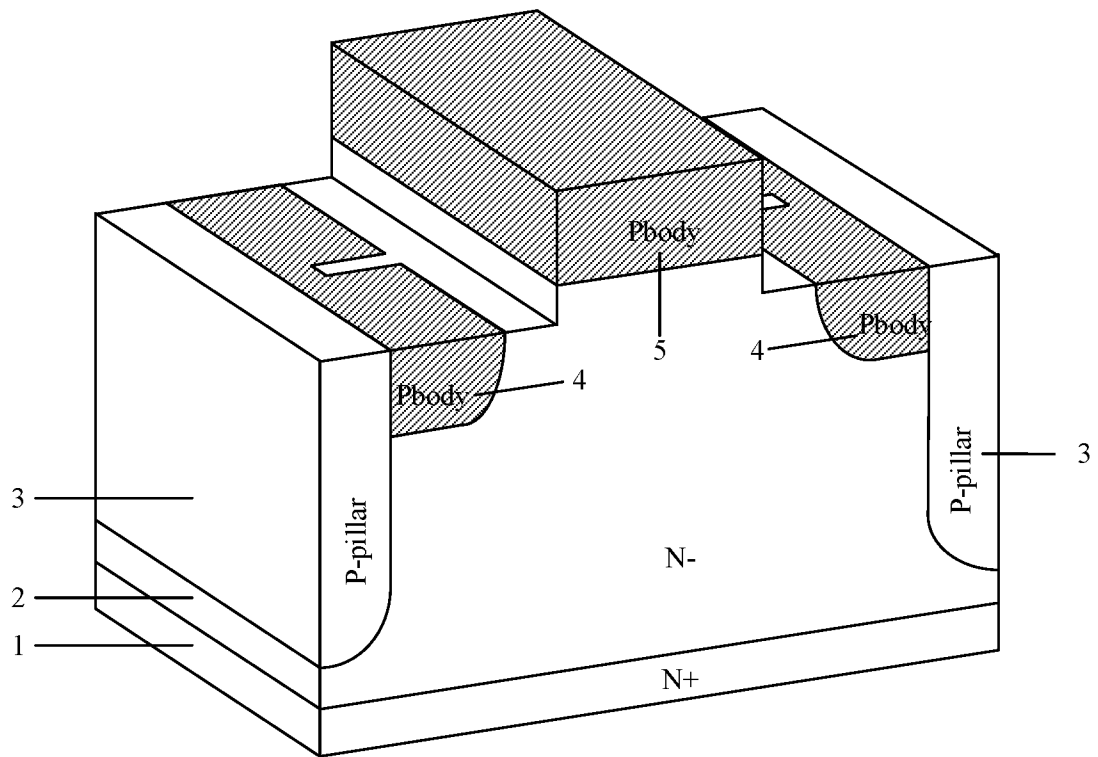


图 6

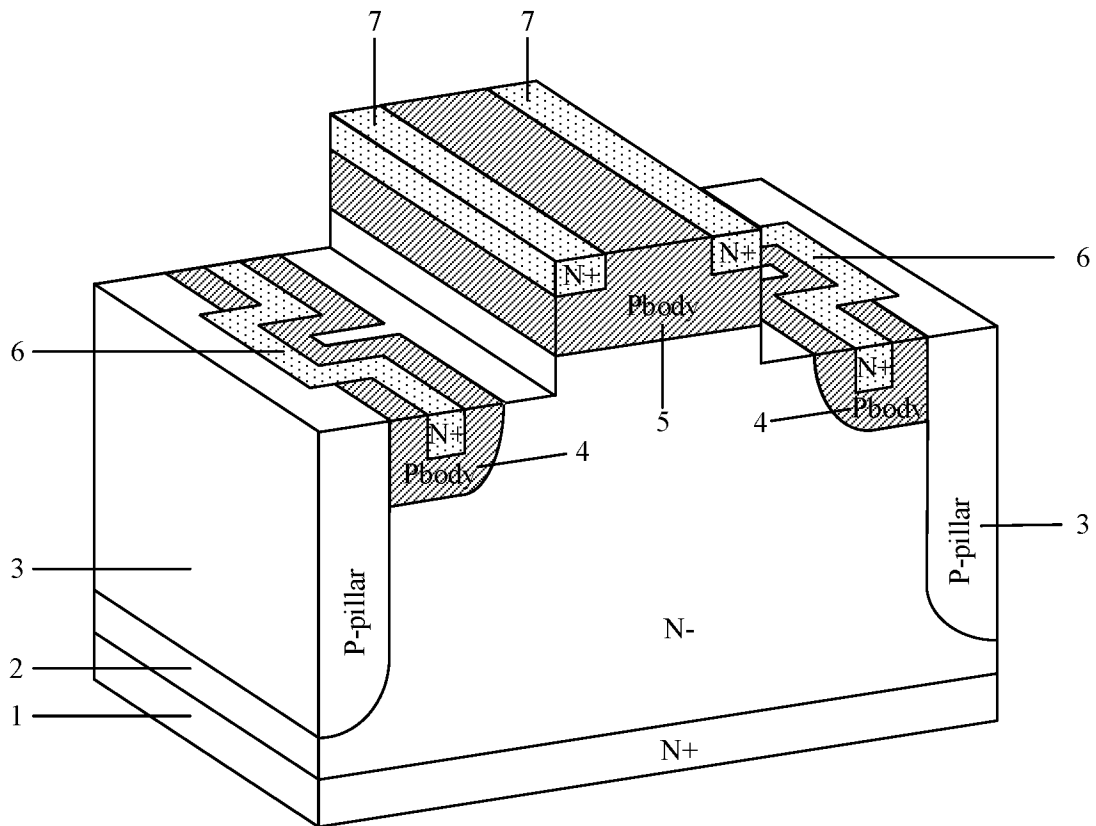


图 7

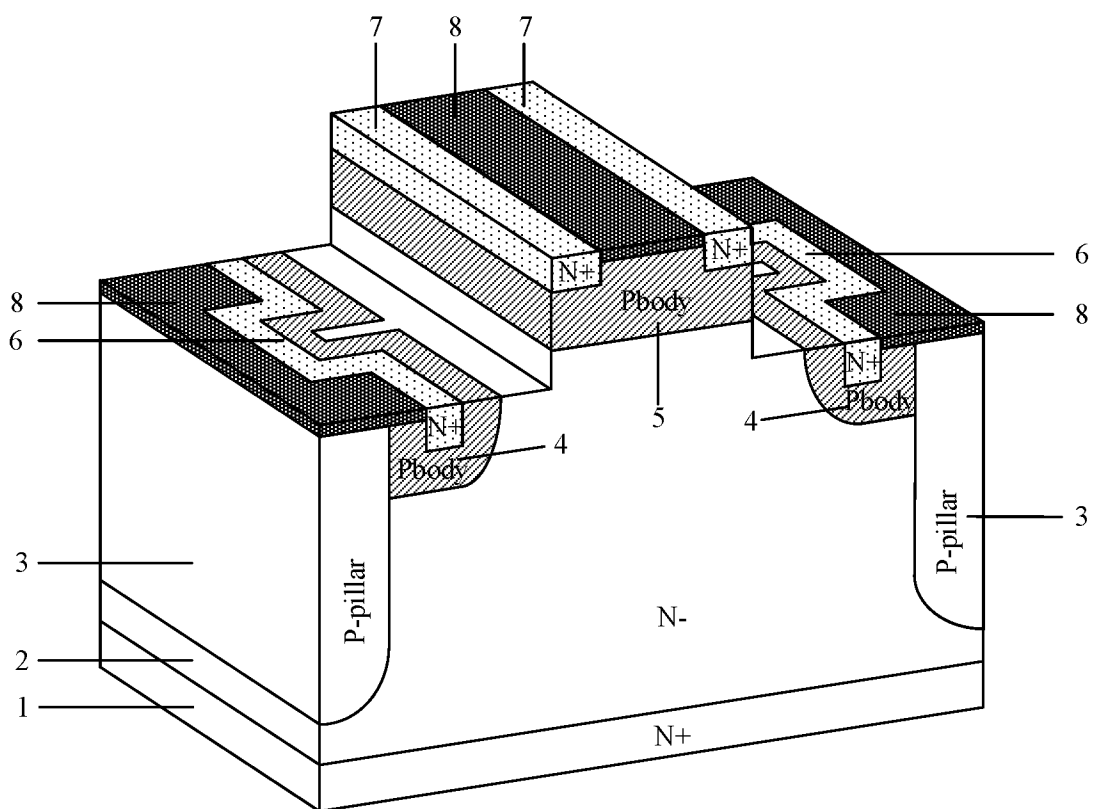


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/081807

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; H01L 29/423(2006.01)i; H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI, IEEE: 鳍, 双栅, 两栅, 凸起, 凸出, 突出, 突起, 垂直, 晶体管, 超结, 超级结, 柱, 导通电阻, fin, dual gate, protrude, protrusion, project, convex, vertical, transistor, MOS, IGBT, superjunction, pillar, resistance

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 109256428 A (SOUTHEAST UNIVERSITY) 22 January 2019 (2019-01-22) description, paragraphs [0003]-[0039], and figures 2-7	1-3
A	CN 106206734 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 07 December 2016 (2016-12-07) description, paragraphs [0027]-[0056], and figure 3	1-3
A	CN 102347220 A (FAIRCHILD SEMICONDUCTOR) 08 February 2012 (2012-02-08) entire document	1-3
A	CN 106024910 A (SOUTHEAST UNIVERSITY) 12 October 2016 (2016-10-12) entire document	1-3
A	US 4851889 A (FUJI ELECTRIC CO., LTD.) 25 July 1989 (1989-07-25) entire document	1-3
A	US 2009283799 A1 (INFINEON TECHNOLOGIES AG.) 19 November 2009 (2009-11-19) entire document	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 June 2019

Date of mailing of the international search report

05 July 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/081807

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109256428	A	22 January 2019	None			
CN	106206734	A	07 December 2016	None			
CN	102347220	A	08 February 2012	DE	102011108151	A1	26 January 2012
				US	2012018800	A1	26 January 2012
				TW	201207957	A	16 February 2012
				KR	20120010195	A	02 February 2012
				US	2014103428	A1	17 April 2014
CN	106024910	A	12 October 2016	CN	106024910	B	29 March 2019
US	4851889	A	25 July 1989	JP	S63141375	A	13 June 1988
US	2009283799	A1	19 November 2009	DE	102009021021	B4	15 September 2011
				DE	102009021021	A1	15 April 2010
				US	7932583	B2	26 April 2011

国际检索报告

国际申请号

PCT/CN2019/081807

A. 主题的分类

H01L 29/78(2006.01)i; H01L 29/423(2006.01)i; H01L 21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, EPDOC, WPI, CNKI, IEEE: 鳍, 双栅, 两栅, 凸起, 凸出, 突出, 突起, 垂直, 晶体管, 超结, 超级结, 柱, 导通电阻, fin, dual gate, protrude, protrusion, project, convex, vertical, transistor, MOS, IGBT, superjunction, pillar, resistance

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 109256428 A (东南大学) 2019年 1月 22日 (2019 - 01 - 22) 说明书第[0003]-[0039]段, 附图2-7	1-3
A	CN 106206734 A (中国科学院微电子研究所) 2016年 12月 7日 (2016 - 12 - 07) 说明书第[0027]-[0056]段, 附图3	1-3
A	CN 102347220 A (飞兆半导体公司) 2012年 2月 8日 (2012 - 02 - 08) 全文	1-3
A	CN 106024910 A (东南大学) 2016年 10月 12日 (2016 - 10 - 12) 全文	1-3
A	US 4851889 A (FUJI ELECTRIC CO., LTD.) 1989年 7月 25日 (1989 - 07 - 25) 全文	1-3
A	US 2009283799 A1 (INFINEON TECHNOLOGIES AG.) 2009年 11月 19日 (2009 - 11 - 19) 全文	1-3

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 6月 26日

国际检索报告邮寄日期

2019年 7月 5日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

杨燕

传真号 (86-10)62019451

电话号码 86-(10)-53961450

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/081807

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109256428	A	2019年 1月 22日	无			
CN	106206734	A	2016年 12月 7日	无			
CN	102347220	A	2012年 2月 8日	DE	102011108151	A1	2012年 1月 26日
				US	2012018800	A1	2012年 1月 26日
				TW	201207957	A	2012年 2月 16日
				KR	20120010195	A	2012年 2月 2日
				US	2014103428	A1	2014年 4月 17日
CN	106024910	A	2016年 10月 12日	CN	106024910	B	2019年 3月 29日
US	4851889	A	1989年 7月 25日	JP	S63141375	A	1988年 6月 13日
US	2009283799	A1	2009年 11月 19日	DE	102009021021	B4	2011年 9月 15日
				DE	102009021021	A1	2010年 4月 15日
				US	7932583	B2	2011年 4月 26日

表 PCT/ISA/210 (同族专利附件) (2015年1月)