

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4055960号
(P4055960)

(45) 発行日 平成20年3月5日(2008.3.5)

(24) 登録日 平成19年12月21日(2007.12.21)

(51) Int.Cl. F I
G 1 1 B 5/02 (2006.01) G 1 1 B 5/02 U

請求項の数 9 (全 17 頁)

(21) 出願番号	特願平5-250888	(73) 特許権者	592165118
(22) 出願日	平成5年10月7日(1993.10.7)		シリコン システムズ インコーポレーテッド
(65) 公開番号	特開平6-195608		アメリカ合衆国 92680-7022
(43) 公開日	平成6年7月15日(1994.7.15)		カリフォルニア州 ツースチン マイフォード ロード 14351
審査請求日	平成12年10月2日(2000.10.2)	(74) 代理人	100099379
審判番号	不服2003-15478 (P2003-15478/J1)		弁理士 南條 眞一郎
審判請求日	平成15年8月11日(2003.8.11)	(72) 発明者	アナトリー アラノフスキー
(31) 優先権主張番号	07/958,037		アメリカ合衆国 92680 カリフォルニア州 ツースチン、ハイアニス ポートロード 14652
(32) 優先日	平成4年10月7日(1992.10.7)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 マグネトレジスティブヘッド用増幅回路及びマグネトレジスティブヘッド用増幅器

(57) 【特許請求の範囲】

【請求項1】

電圧レールの一方(101)及び電圧レールの他方(112)に接続され、マグネトレジスティブ素子(110)にバイアスをかけ前記マグネトレジスティブ素子(110)により発生する信号を増幅し、第1の出力端子(105)及び第2の出力端子(104)から出力するマグネトレジスティブヘッド用増幅回路であって：

差動対を構成する第1のトランジスタ(108)及び第2のトランジスタ(107)、第1の抵抗(103)及び第2の抵抗(102)、第1の電流源(204)及び第2の電流源(203)、電圧源(201)を有し；

前記第1のトランジスタ(108)の出力側端子には前記第1の出力端子(105)及び前記第1の抵抗(103)の一方の端子が接続され；

前記第2のトランジスタ(107)の出力側端子には前記第2の出力端子(104)及び前記第2の抵抗(102)の一方の端子が接続され；

前記第1の抵抗(103)の他方の端子及び前記第2の抵抗(102)の他方の端子が前記電圧レールの一方(101)に接続され；

前記第1のトランジスタ(108)の制御側端子及び前記第2のトランジスタ(107)の制御側端子が前記電圧源(201)の一方に接続され；

前記第1のトランジスタ(108)の入力側端子に前記マグネトレジスティブ素子(110)の一方の端子が接続され；

前記マグネトレジスティブ素子(110)の他方の端子に前記第1の電流源(204)の一方の端

10

20

子が接続され；

前記第2のトランジスタ(107)の入力側端子に第2の電流源(203)の一方の端子が接続され；

前記第1の電流源(204)の他方の端子，前記第2の電流源(203)の他方の端子及び前記電圧源(201)の他方の端子が前記電圧レールの他方(112)に接続されている；

マグネトレジスティブヘッド用増幅回路。

【請求項2】

さらに、前記第1の電流源(204)の一方の端子と前記第2の電流源(203)の一方の端子との間にキャパシタ(202)が接続された；

請求項1記載のマグネトレジスティブヘッド用増幅回路。

10

【請求項3】

さらに、前記第1のトランジスタ(108A)の出力側端子にカスコード接続された第3のトランジスタ(302)と；

前記第2のトランジスタ(107A)の出力側端子にカスコード接続された第4のトランジスタ(301)と；

前記第3のトランジスタ(302)及び第4のトランジスタ(301)各々の制御端子に接続されて前記第3のトランジスタ(302)及び第4のトランジスタ(301)にバイアス電圧を提供する第2の電圧源(303)を有する、

請求項1又は請求項2記載のマグネトレジスティブヘッド用増幅回路。

【請求項4】

20

第1のマグネトレジスティブ素子(RH0)及び第2のマグネトレジスティブ素子(RH1)を有し、前記第1のマグネトレジスティブ素子(RH0)又は前記第2のマグネトレジスティブ素子(RH1)を選択するマグネトレジスティブヘッド用増幅回路であって；

第1のトランジスタ(Q1A)と第2のトランジスタ(Q1B)が差動対接続された第1のトランジスタ差動対を有し前記第1のトランジスタ(Q1A)の入力側端子に第1のマグネトレジスティブ素子(RH0)の一方の端子が接続されて前記第1のマグネトレジスティブ素子(RH0)の抵抗値の変動から生じる電流偏差を増幅する第1の増幅段と；

第3のトランジスタ(Q2A)と第4のトランジスタ(Q2B)が差動対接続された第2のトランジスタ差動対を有し前記第3のトランジスタ(Q2A)の入力側端子に前記第2のマグネトレジスティブ素子(RH1)の一方の端子が接続されて前記第2のマグネトレジスティブ素子(RH1)の抵抗値の変動から生じる電流偏差を増幅する第2の増幅段と；

30

前記第1のトランジスタ(Q1A)と前記第2のトランジスタ(Q1B)各々の制御端子に接続され、前記第1のトランジスタ(Q1A)及び前記第2のトランジスタ(Q1B)にバイアス電圧を供給する第1の電圧源トランジスタ(M5)と；

前記第3のトランジスタ(Q2A)と前記第4のトランジスタ(Q2B)各々の制御端子に接続され、前記第3のトランジスタ(Q2A)及び前記第4のトランジスタ(Q2B)にバイアス電圧を供給する第2の電圧源トランジスタ(M6)と；

前記第1のトランジスタ(Q1A)及び前記第3のトランジスタ(Q2A)各々の入力側端子が、前記第1のマグネトレジスティブ素子(RH0)又は前記第2のマグネトレジスティブ素子(RH1)を介して、一方の端子に接続され、他方の端子が電源に接続された第1の電流源トランジスタ(M1)と；

40

前記第2のトランジスタ(Q1B)の入力端子と前記第4のトランジスタ(Q2B)の入力側端子が、抵抗(R1)を介して一方の端子に接続され、他方の端子が電源とに接続された第2の電流源トランジスタ(M2)と；

前記第1のトランジスタ(Q1A)の出力側端子と前記第3のトランジスタ(Q2A)の出力側端子が接続された出力ノード(OUT1)及び前記第2のトランジスタ(Q1B)の出力側端子と前記第4のトランジスタ(Q2B)の出力側端子が接続された出力ノード(OUT2)と；

前記第1のトランジスタ(Q1A)の出力側端子と前記第3のトランジスタ(Q2A)の出力側端子と電源(Vcc)との間に接続された抵抗(R6)及び前記第2のトランジスタ(Q1B)の出力側端子と前記第4のトランジスタ(Q2B)の出力側端子と前記電源(Vcc)との間に接続された

50

抵抗 (R7) と ;

前記第 1 の電圧源トランジスタ (M5) 又は前記第 2 の電圧源トランジスタ (M6) を選択することにより前記第 1 のマグネトレジスティブ素子 (RH0) 又は前記第 2 のマグネトレジスティブ素子 (RH1) の一方を活性化し他方を非活性化する選択手段を備える、

マグネトレジスティブヘッド用増幅回路。

【請求項 5】

前記選択手段が前記電圧源トランジスタ (M5, M6) を前記電源 (Vcc) に選択的に接続するための選択部 (SEL0, SEL1) を有する、

請求項 4 記載のマグネトレジスティブヘッド用増幅回路。

【請求項 6】

さらに、前記第 1 のトランジスタ (Q1A) の出力側端子と前記第 3 のトランジスタ (Q2A) の出力側端子が接続された出力ノード (OUT1) 及び前記第 2 のトランジスタ (Q1B) の出力側端子と前記第 4 のトランジスタ (Q2B) の出力側端子が接続された出力ノード (OUT2) に増幅器 (A1) が接続された、

請求項 3 又は請求項 4 記載のマグネトレジスティブヘッド用増幅回路。

【請求項 7】

さらに、前記第 1 の電流源トランジスタ (M1) の一方の端子と前記第 2 の電流源トランジスタ (M2) の一方の端子との間にキャパシタ (CB) が接続された、

請求項 4, 請求項 5 又は請求項 6 記載のマグネトレジスティブヘッド用増幅回路。

【請求項 8】

第 1 のマグネトレジスティブ素子 (110A) 及び第 2 のマグネトレジスティブ素子 (110B) にバイアスをかけ、前記第 1 のマグネトレジスティブ素子 (110A) 及び前記第 2 のマグネトレジスティブ素子 (110B) により発生される信号を増幅するマグネトレジスティブヘッド用増幅回路であって :

前記マグネトレジスティブヘッド用増幅回路は、

差動対接続された第 1 のトランジスタ (108A) 及び第 2 のトランジスタ (107A) と差動対構成で接続された第 3 のトランジスタ (108B) 及び第 4 のトランジスタ (107B) を有し、前記第 1 のトランジスタ (108A) の入力側端子が前記第 1 のマグネトレジスティブ素子 (110A) の一方の端子に接続され ;

前記第 3 のトランジスタ (108B) の入力側端子が前記第 2 のマグネトレジスティブ素子 (110B) の一方の端子に接続され ;

前記第 1 のマグネトレジスティブ素子 (110A) の他方の端子及び第 2 のマグネトレジスティブ素子 (110B) の他方の端子と電源 (112) との間に第 1 の電流源 (204) が接続され ;

前記第 2 のトランジスタ (107A) の入力側端子及び前記第 4 のトランジスタ (107B) の入力側端子と電源 (112) との間に第 2 の電流源 (203) が接続され ;

前記第 1 のトランジスタ (108A) 及び前記第 2 のトランジスタ (107A) の各制御端子に接続され、バイアス電圧を供給し前記第 1 のマグネトレジスティブ素子 (110A) を選択的に活性化する第 1 の電圧源 (201A) 及び前記第 3 のトランジスタ (108B) 及び前記第 4 のトランジスタ (107B) の各制御端子に接続され、バイアス電圧を供給し前記第 2 のマグネトレジスティブ素子 (110B) を選択的に活性化する第 2 の電圧源 (201B) と ;

前記第 1 のトランジスタ (108A) の出力側端子及び前記第 3 のトランジスタ (108B) の出力側端子に入力側端子がカスコード接続され、出力側端子に第 1 の出力手段 (105) が接続され、制御側端子が電圧源 (303) に接続された第 5 のトランジスタ (302) と ;

前記第 2 のトランジスタ (107A) の出力側端子及び前記第 4 のトランジスタ (107B) の出力側端子に入力側端子がカスコード接続され、出力側端子に第 2 の出力手段 (104) が接続され、制御側端子が電圧源 (303) に接続された第 6 のトランジスタ (301) と ;

前記第 5 のトランジスタ (302) の出力側端子が第 1 の抵抗 (103) を介して、前記第 6 のトランジスタ (301) の出力側端子が第 2 の抵抗 (102) を介して、電源 (101) に接続される ;

マグネトレジスティブヘッド用増幅回路。

【請求項 9】

10

20

30

40

50

さらに、前記第1の電流源(204)と第2の電流源(203)とに接続されたキャパシタ(202)とで構成された、

請求項8記載のマグネトレジスティブヘッド用増幅回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、マグネトレジスティブセンサ用増幅器の分野に関するものである。

【0002】

【従来の技術】

マグネトレジスティブ(MR = Magnetoresistive)センサにバイアスをかけ、MRセンサにより発生する出力信号を検出するために前置増幅回路が用いられている。MRセンサは高磁化フィルム媒体を有するディスクから磁氣的に記録されたデータを読み取るためのトランスデューサとして用いられる。MRセンサは単位時間あたりの磁束の変化ではなく磁束を検知するという点で誘導センサと異なる。高密度ディスク用途では間隔の狭いデータ・トラックを必要とするためMRセンサは低密度媒体よりも低い信号磁束を示す。信号磁束が低いにもかかわらずMRセンサは一般的には高密度用途の誘導ヘッドよりも大きな読取り信号を発生する。したがって、MRセンサにより高密度記録用途では誘導型ヘッドよりも読取り性能の改善を提供する。

【0003】

MR読取りセンサは例えばディスク媒体に直角に取付けたNi - Feのような細い線条材料で構成されている。このMRセンサの寸法は高さ h 、幅 w であり、センサの抵抗は高さ h に反比例する。マグネトレジスティブ効果によりセンサの抵抗は媒体からその上に入射する磁気磁束にもとづいて変化する。

【0004】

増幅器回路はMRセンサにバイアスをかけるために感知電流を供給し、センサが発生する読取り信号を増幅する。MRセンサ用の感知電流は定電圧または定電流手段により供給することができる。同様に抵抗信号の電子検出は2つの本質的に異なる形態をとる。すなわち、高入力インピーダンス電圧増幅器の手段によるセンサ上の電圧の検出または実質的に短絡した入力部のある電流増幅器の手段によるセンサを通じての電流の検出である。

【0005】

前置増幅回路は感知電流を供給し、これがMRセンサに加えられ、その応答にバイアスをかけ、磁界に対する抵抗の最適な変化率が得られる。したがって、ディスク上に磁化された場所として保存されたデータはデータがMR読取り機構の下を通ると、MRセンサの抵抗が変化する。前置増幅回路はMRセンサ上の抵抗の変化により電圧の変化を検出し、センサにより発生されるこの読取り信号を増幅する。こうして、前置増幅回路により適切にバイアスがかけられたMRセンサはディスク媒体のセンサを通過する瞬間磁界に対する直線的な応答を提供する。

【0006】

MRセンサの抵抗は高さ h に反比例しているので、製造工程または摩耗による線条の高さの変動に不感であるようセンサにバイアスをかけることが望ましい。こうして各MRセンサの高さの違いと関連した難点が減少する。とくに、その抵抗 R_h / R_h により正規化されたセンサ抵抗の変化に比例している電圧を有するセンサ信号を発生させることが望ましい。この場合 R_h は磁界がMRセンサ上に入射するときのその定常状態の抵抗からのMRセンサ抵抗 R_h の変化である。なお、 R_h の定常状態の値はバイアスがかけられている間の R_h の抵抗値であるが、磁界にはバイアスがかけられていない。

【0007】

従来技術の前置増幅器を示す線図が図1に示してある。この回路にはNPNトランジスタ107と108、増幅器106、MRセンサ110、キャパシタ109及び電流源111が含まれている。 $+V_c$ の電圧での電圧レール101は抵抗102の第1端子と抵抗103の第1端子に接続されている。抵抗102と103の値は両方とも R_c である。抵抗1

10

20

30

40

50

02の第2端子は出力端子104, トランスコンダクタンス増幅器106の反転入力部及びNPNトランジスタ107の出力側端子であるコレクタに接続されている。抵抗103の第2端子は出力端子105, トランスコンダクタンス増幅器106の非反転入力部及びNPNトランジスタ108のコレクタに接続されている。増幅器106の出力部はキャパシタ109の第1端子とトランジスタ108の制御端子であるベースに接続されている。キャパシタ109の第2端子はグランドに接続されている。

【0008】

トランジスタ107のベースはグランドに接続されている。トランジスタ107のであるエミッタは電流源111の第1端子に接続されている。トランジスタ108のエミッタはMRセンサ110の第1端子に接続されている。MRセンサ110の抵抗値は R_h である。MRセンサ110の第2端子は電流源111の第1端子に接続されている。 $2I_B$ の電流は電流源111の第1端子から第2端子へ流れる。電流源111の第2端子は電圧レール112に接続されている。電圧レール112の電圧は $-V_s$ である。出力端子104と105で見られる差動出力信号は V_{OUT} である。

【0009】

図1は抵抗 R_h を有するMRセンサ110にバイアスをかけMRセンサ110により発生する信号を増幅する従来技術による回路を示している。電流源111は一定値 $2I_B$ と等しいトランジスタ107と108からのエミッタ電流を吸い込む。MRセンサ110は差動対を通る2つの電流経路で電流不均衡をひき起こし、結果として出力端子105と104上に電圧を生じさせる。差動対により発生する出力信号 V_{out} は増幅器106とキャパシタ109を通してトランジスタ108のベースへフィードバックし、MRセンサ110の定常状態の抵抗値及びトランジスタ107と108の特性の違いによる直流オフセットの補正を行なう。このフィードバックにより差動増幅器の各経路を通る平衡電流が得られる。この構成による低周波数応答は遮断周波数を適切に設定するためにフィードバックループの増幅器106とキャパシタ109の利得を調節することにより修正される。

【0010】

従来技術による回路の不利な点は一つのセンサから別のセンサへスイッチするとき、図1に示されているような回路を安定化させるにはかなりの回復時間が必要なことである。先行技術は一つのセンサ及び関連入力段を非活性化させ、また別のセンサを活性化させることによって行なう。先行技術ではスイッチオーバー中に低域遮断周波数を変更させるための回路について述べられている。しかし、回復時間はフィードバックループ制御信号が入力段に差動的に加えられるという事実により依然としてかなりかかる。したがって、差動段の出力部での過渡現象は低レベルの読取り信号を分離するよう十分に減少しなければならないが、このプロセスには十分な時間が必要である。もう一つの不利な点は従来技術による増幅器には追加の非線形回路が必要であり、これにより回路の複雑性が増大することである。

【0011】

【発明の概要】

MRセンサにバイアスをかけMRセンサにより発生する信号を増幅させるための前置増幅器回路について説明する。この前置増幅器は各MR読取りヘッド間の入力段をスイッチするときの回復時間の改善を提供し、また設計が簡単であり、有効である。

【0012】

本発明により各差動対に各々別の平衡電流源を供給することによって従来技術による解決手段の不利な点が回避される。こうして、本発明により差動対の一方のトランジスタのバイアスを調節し、平衡を維持するためのエラー増幅器の必要がなくなる。差動対の両方のトランジスタに同じ電圧源によりバイアスがかけられることにより本発明は例えばMRヘッドを選択する場合のように差動対の両方のトランジスタが同時にスイッチされることを可能にし、また先行技術による回路を用いてヘッドを選択する場合に起こるスイッチ過渡現象を除去する。

【0013】

10

20

30

40

50

実施例では前置増幅回路がMRセンサにバイアスをかけ、トラック密度の増大による低信号強度に特徴づけられるディスク媒体上に保存されたデータの磁界に対する最大の直線応答が得られる。前置増幅回路がこのようなバイアスをかけることにより、磁界に対するセンサ抵抗の最大の変化が得られる。センサのストライプ高の変動を補正するために、前置増幅器は前置回路の各経路を通る平衡電流を通じてその出力端子での各センサの可変直流オフセットを取り除く。直流信号レベルについては同じ電圧源を用いて前置増幅器の各トランジスタにバイアスをかけ、また別の電流源を用いて各トランジスタから等しいエミッタ電流を引き出し、前置増幅器出力電圧の可変オフセットを取り除くことにより、平衡電流が得られる。エミッタ電流が定常状態で確実に等しくなるようにすることによりMRヘッドの定常状態の抵抗の長期間の変動が自動的に補正される。

10

【0014】

交流信号についてはキャパシタにより第1トランジスタのエミッタと第1電流源との間の第1ノードがMRセンサと第2電流源との間の第2ノードに接続されている。MRセンサは交流信号用差動対での縮退結合した抵抗として考えられる。

【0015】

同じバイアス電圧源はすべての差動対増幅器トランジスタに用いられ、トランジスタが別のバイアス電圧源に接続されている場合に見られるスイッチング過渡現象の可能性がなくなる。さらに、この開ループ法により差動対の両半分のコレクタ電流が互いに独立して設定され、均衡状態の電流が維持され、電流不均衡を補正するためのエラー増幅器の必要がなくなる。こうして、MRセンサにバイアスをかけ読取り信号を発生させる単純化した方法が得られ、従来技術の不利な点が克服された。

20

【0016】

【実施例】

MRセンサにバイアスをかけMRセンサが発生する信号を検出するための増幅回路について説明する。以下の説明では本発明がさらに明らかとなるよう、外部トランジスタの数や性質、コンデンサ、半導体の種類など多数の明細事項が記されている。しかし、技術に精通した者にとってはこれらの明細事項なしに本発明を実施できることは明らかである。その他の場合には説明を不明確にしないよう既知の特徴については詳細に説明しなかった。

【0017】

本発明はバイポーラ技術を用いた装置で実施するものとして説明されているがその他の技術を用いて実施しても理解され、これらの技術としてはCMOS技術があげられるがこれに限定されるものではない。

30

【0018】

バイポーラトランジスタやFETのような半導体増幅装置及びスイッチング装置について説明するが本発明はどんな種類の増幅装置及びスイッチング装置でも実施できる。

【0019】

磁気媒体からの信号を読み取るには磁気センサが必要である。従来誘導型磁気センサが使用されてきたが、高密度媒体からの情報をより良く読み取ることができるとMRセンサがしだいに一般的になりつつある。しかし、MRセンサを適切に作動させるにはバイアス電流が必要である。MRセンサはまた発生した信号を増幅するのに増幅回路が必要である。増幅回路はMRセンサの定常状態の抵抗変動、素子間の変動及び多重のMRセンサ間のスイッチングからのノイズと干渉に相対的に強くなければならない。したがって、これらの必要条件に合致するMRヘッド増幅器が必要である。

40

【0020】

本発明により従来技術の不利な点が回避される。本発明には交流周波数での共通ベース差動増幅器入力段としての機能に構成された対のトランジスタが含まれている。直流では各トランジスタは分離されており、トランジスタを通る直流を独立して制御することができる。別の平衡電流源により2つのトランジスタを通ると同等の電流が供給される。一方のトランジスタを通る電流はまたMRセンサを流れる。こうして、本発明によりMRセンサのバイアス電流が得られる。電流は別の平衡電流源によって制御されるので同

50

じバイアス電圧源が2つのトランジスタのそれぞれに用いられる。こうして、バイアス電圧の揺らぎは共通モード電圧にしかならず、差動増幅器構成はこれに対する高度の耐性を示す。

【0021】

本発明によりまた多重のMRセンサと入力段を用いることができる。同じバイアス電圧源は差動対の2つのトランジスタのそれぞれに用いられるので、バイアス電圧は入力段と関連したMRセンサを選択または非選択するために用いられる。MRセンサを選択し非選択するために共通モード信号を用いることにより、スイッチング過渡現象の可能性が軽減される。システムに多くのMRセンサが含まれている場合にはそれらを結合しているラインと関連したキャパシタンスは大きくなる。存在する抵抗と結合するとこれらのキャパシタンスが帯域幅を小さくする。この問題に対応するには入力段に共通ベース段を追加しカスコード構成を形成するとよい。カスコード構成により帯域幅が改善される。

10

【0022】

本発明の実施例が図2に示してある。図2において、 $+V_s$ の電位を有する一方の電圧レール101は第1の抵抗102の一方の端子と第2の抵抗103の一方の端子と第1のトランジスタ103の第1端子に接続されている。抵抗102の第2端子は出力端子104とトランジスタ107のコレクタに接続されている。トランジスタ103の第2端子は出力端子105とトランジスタ108のコレクタに接続されている。トランジスタ107と108の各ベースは電圧源201の正の端子に接続されている。電圧源201の負の端子は電圧レール112に接続されている。

20

【0023】

一方のトランジスタ107の入力側電極(エミッタ)はキャパシタ202の一方の端子と電流源203の一方の端子に接続されている。もう一方のトランジスタ108の入力側電極(エミッタ)はMR素子110の一方の端子に接続されている。MR素子110のもう一方の端子はキャパシタ202のもう一方の端子ともう一方の電流源204の一方の端子に接続されている。一方の電流源203ともう一方の電流源204はそれぞれの一方の端子からもう一方の端子へ流れる電流 I_1 を有する。一方の電流源203のもう一方の端子はもう一方の電圧レール112に接続されている。もう一方の電流源204のもう一方の端子は他方の電圧レール112に接続されている。もう一方の電圧レール112は $-V_s$ の電位を有する。

30

【0024】

図2の交流周波数でキャパシタ202は電流源203の第1端子を電流源204の第1端子に接続する。こうして、交流周波数でトランジスタ107と108は共通ベース差動増幅器を形成する。しかし、キャパシタ202が直流を遮断し電流源203と204を通る直流がそれぞれの電流源によって独立して制御される。電流源203と204により差動対のトランジスタ107と108を通る一定の等しい電流が維持される。トランジスタ108を通る電流もまたMR素子110を通して流れる。こうして、MR素子110は一定の直流によりバイアスされる。

【0025】

電流源203と204によりトランジスタ107と108を通る平衡電流が維持されるためトランジスタ107と108の各ベースに与えられる信号を別々に制御する必要がない。こうして、信号電圧源201は両方のトランジスタ107と108の各ベースに接続されている。両方のトランジスタ107と108にバイアスをつけるために単一電圧を用いると、電圧は共通モード電圧であるから差動モードバイアス構成での場合と異なりバイアス電源の変動が出力に影響を与えないため有利である。

40

【0026】

コレクタ抵抗102と103は電圧レール101に接続されている。したがって、既知量の電流が抵抗102と103を流れている場合には抵抗102と103上の電圧降下は容易に測定することができる。また、出力部104と105の各電圧も測定することができる。MR素子110が磁界にさらされるとMR素子110は抵抗 R_h の要素を

50

もち、磁化と電流との間の角度のコサインの2乗に応じて変化する。与えられた磁界の抵抗変化は典型的なMR材料の定常状態の抵抗 R_h の約2%以下である。

【0027】

MR素子が方向変化磁界に露出されると、MR素子の直流バイアス電流は変化磁界を表わす交流要素によって変調される。MR素子を通る電流の交流揺らぎはまた抵抗103を通る電流を変化させるため、出力部105の電圧は変化する。差動増幅器構成により出力部104の電圧もまた変化し、出力部104と105上に差動出力信号が得られる。こうして、図2の回路によりMR素子110のバイアスが得られ、またMR素子110が露出されている変化する磁界が増幅され、出力部104と105上に差動出力が得られる。トランジスタ107と108のエミッタでの入力インピーダンスは本質的に低いため、図2の回路によりMR素子110を通る電流の変化を増幅するトランスインピーダンス増幅器が得られ、出力部104と105上の電圧が変化する。したがって、 R_h / R_h はMR素子110を通る電流を検出することによって見出される。

10

【0028】

出力部104と105上の電圧は以下の式によって表わされる：

$$V_{out} = R_h I R_h / (R_{in} + R_h)$$

したがって、 $R_{in} \rightarrow 0$ のとき

$$V_{out} = (R_h / R_h) I R_h$$

となる。

この場合、 V_{out} は出力部104と105との間の電圧差であり、 $I R_h$ はMR素子110を通るバイアス電流であり、 R_{in} はMR素子110から見たトランジスタ107と108を含む入力段の入力インピーダンスであり、 R_h はMR素子110の抵抗であり、 R_h は磁界が入射しているときのMR素子110の抵抗の変化である。

20

【0029】

差動出力電圧がMR素子の定常状態の抵抗値の変化によって影響を受ける程度は入力段の入力インピーダンスの値によって決まる。

【0030】

入力段の入力インピーダンスが低い場合には差動出力電圧はMR素子の定常の抵抗値の変動に対して感度が低い。

【0031】

したがって、 R_{in} が低く $I R_h$ が一定である場合には出力電圧 V_{out} は R_h / R_h に比例する。

30

【0032】

こうして、図2の回路によりMR素子110がたとえば回転式磁気媒体を読み取る読取りヘッドによって遭遇されるような変化磁界に露出されているときに、 R_h / R_h にもとづく出力が得られる。

【0033】

本発明の他の実施例が図3に示してある。図3の他の実施例では $+V_s$ の電位を有する電圧レール101は抵抗102の第1端子と抵抗103の第1端子に接続されている。抵抗102の第2端子はトランジスタ301のコレクタと出力端子104に接続されている。抵抗103の第2端子は出力端子105とトランジスタ302のコレクタ端子に接続されている。トランジスタ301と302の各ベースは電圧源303の正の端子に接続されている。電圧源303の負の端子は $-V_s$ の電位を有する電圧レール112に接続されている。

40

【0034】

トランジスタ301のエミッタ端子はトランジスタ107_Aと107_Bのコレクタ端子に接続されている。トランジスタ302のエミッタ端子はトランジスタ108_Aと108_Bのコレクタ端子に接続されている。トランジスタ107_Aと108_Aの各ベースは電圧源201_Aの正の端子に接続されている。電圧源201_Aの負の端子は電圧レール112に接続されている。トランジスタ107_Bと108_Bの各ベースは電圧源201_Bの正の端子に接続さ

50

れている。電圧源 201_Bの負の端子は電圧レール 112 に接続されている。

【0035】

トランジスタ 107_Aのエミッタはトランジスタ 107_Bのエミッタ端子、キャパシタ 202の第1端子及び電流源 203の第1端子に接続されている。トランジスタ 108_Aのエミッタ端子はMR素子 110_Aの第1端子に接続されている。トランジスタ 108_Bのエミッタ端子はMR素子 110_Bの第1端子に接続されている。MR素子 110_Aの第2端子はMR素子 110_Bの第2端子、キャパシタ 202の第2端子及び電流源 204の第1端子に接続されている。電流源 203の第2端子は電圧レール 112 に接続されている。電流源 204の第2端子は電圧レール 112 に接続されている。MR素子 110_Aは R_{h10} の値を有する。MR素子 110_Bは R_{h1} の値を有する。電流源 203と204は I_1 の値を有する。

10

【0036】

図3の回路により多重のMR素子を使用することができる。本発明はいくつのMR素子でも実施できるが、図3の回路には2つのMR素子 110_Aと110_Bのみが示してある。各MR素子にはそれぞれと関連した2個のトランジスタで構成される入力段がある。MR素子 110_Aはトランジスタ 107_Aと108_Aを含む入力段と関連している。MR素子 110_Bはトランジスタ 107_Bと108_Bを含む入力段と関連している。トランジスタ 107_Aと108_Aは電圧源 201_Aによってバイアスがかけられる。トランジスタ 107_Bと108_Bは電圧源 201_Bによってバイアスがかけられる。

【0037】

20

電圧源 201_Aからのバイアス電圧をトランジスタ 107_Aと108_Aに加えるが、電圧源 201_Bに不適切な電圧を設定しトランジスタ 107_Bと108_Bにバイアス(例えばゼロV)をかけることによりMR素子 110_Aが選択でき、またMR素子 110_Bを解除できる。電圧源 201_Bからのバイアス電圧をトランジスタ 107_Bと108_Bに加えるが、不適切な電圧を設定しトランジスタ 107_Aと108_Aにバイアス(例えばゼロV)をかけることによりMR素子 110_Bが選択でき、またMR素子 110_Aを解除できる。

【0038】

選択されるMR素子を変更するには電圧源 201_Aと201_Bの各電圧を瞬間的に変化させてもよい。各電圧が変化する割合を制御し、さらに確実にスイッチング過渡現象を軽減することができる。例えばMR素子 110_Aが選択されMR素子 110_Aを解除し、その代わりとしてMR素子 110_Bを選択することが望ましい場合には電圧源 201_Aの電圧を一定時間にわたってそのフルバイアス電圧からゼロへ直線的に低下させ、電圧源 201_Bの電圧を同じ時間にわたってゼロからフルバイアス電圧へ上昇させる。電圧の同時変化を回避することによりスイッチング過渡現象を軽減することができる。

30

【0039】

MR素子 110_Aが選択されMR素子 110_Bが解除されていると仮定すると、電圧源 201_Bの電圧はトランジスタ 107_Bと108_BをOFFにするのに十分に低い電圧に設定され電圧源 201_Aはトランジスタ 107_Aと108_Aにバイアス電圧を供給しており、これにより共通ベース差動入力段が形成される。差動対の各半分を通る電流はMR素子の成分特性または定常状態抵抗の変動に関係なく各半分を通る等電流を維持するよう入力段は別々に制御される。電流源 203はトランジスタ 108_Aを通じて電流源 204により供給される定電流と等しい定電流をトランジスタ 107_Aを通じて供給する。

40

【0040】

トランジスタ 108_Aを通る電流源 204からの電流はまたMR素子 110_Aを流れて流れる。こうして、MR素子 110_Aは十分なバイアス電流が供給されMR検出が行なわれる。

【0041】

交流信号に対してキャパシタ 202は低インピーダンスを示し、差動対入力段の各半分を結合し、入力段を差動増幅器として機能させる。しかし、差動対の各半分を通る直流定常電流はキャパシタ 202により遮断される。電流源 203と204は等電流を供給し、電

50

流はキャパシタ 202 により差動対の反対側に進むことを遮断されるため、等電流は差動対入力段の各半分に維持される。

【0042】

多重の入力段が存在する場合には多くの場合それらを残りの回路に結合させたラインに大きなキャパシタンスが存在する。これらのキャパシタンスが各ラインと成分に存在する抵抗と結合するとこれらにはフィルタ効果が見られ帯域幅を制限する。帯域幅の減少を回避するには入力段を追加の共通ベース段に回路に加え、カスコードベース構成を形成する。図3の追加の共通ベース段にはトランジスタ 301 と 302 及び電圧源 303 が含まれている。

【0043】

一般に、カスコード構成には増幅トランジスタとその抵抗コレクタとの間にトランジスタを挿入する必要がある、これによりミラー効果を軽減したコレクタ電流を変化しない抵抗の中を通過させる間のスイングから増幅器トランジスタのコレクタを保護することによってその他の容量性効果を削減する。挿入したトランジスタには一定電圧でバイアスをかけ、一般的には増幅器トランジスタのコレクタ上に十分な電圧を維持し、活性領域でこれを維持するよう増幅器トランジスタのエミッタ電圧より数ボルト高く設定する。

【0044】

図3ではトランジスタ 301 はトランジスタ 107_Aのコレクタと抵抗 102 の間に挿入されており、トランジスタ 302 はトランジスタ 108_Aのコレクタと抵抗 103 の間に挿入されている。トランジスタ 301 と 302 は一定バイアス電圧を供給する電圧源 303 によりバイアスがかけられる。こうして、トランジスタ 301 と 302 が電圧源 303 と一緒に、トランジスタ 107_Aを含む差動対入力段の半分を用いてカスコード構成を形成するため、多重のMR素子と関連したキャパシタンス増の悪影響を軽減する。

【0045】

定常状態では電流は抵抗 102 , トランジスタ 301 と 107_A及び電流源 203 を通って流れる。電流はまた抵抗 103 , トランジスタ 302 と 108_A及び電流源 204 を通っても流れる。キャパシタ 202 は差動対の各半分の間の直流を遮断する。電流源 203 と 204 は差動対の各半分を通る等量の電流を供給する。こうして、差動対の定常状態平衡が維持される。

【0046】

磁界がMR素子 110_Aに入射するとMR素子 110_Aの抵抗はその定常状態値から変化する。MR素子の抵抗の変動によりMR素子を通る電流が変動する。この電流の変動は差動対 107_Aと 108_Aによって増幅され、その結果として抵抗 102 と 103 を通る電流が変動する。抵抗 102 と 103 は電圧レール 101 に接続しているため抵抗 102 と 103 を通る電流の変動は出力部 104 と 105 の電圧の変動をひき起こす。こうして、出力部 104 と 105 はMR素子 110_Aに入射している磁界を表わす信号を供給する。

【0047】

上記の説明はMR素子 110_Aが選択され、MR素子 110_Bが解除されたことを仮定したが、これが図3の回路により操作できる唯一のモードではない。別の操作モードによりMR素子 110_Bを選択しMR素子 110_Aを解除することができる。MR素子 110_Bを選択するには電圧源 201_Aをトランジスタ 107_Aと 108_AをOFFにする電圧に設定し、また電圧源 201_Bを電流がトランジスタ 107_Bと 108_Bを通ることができる電圧に設定する。解除と選択は同時にまたは削除のあとに選択を行なうことにより連続して行うことができる。選択したMR素子 110_Bを用いるとトランジスタ 107_Bの機能はMR素子 110_Aを選択したときのトランジスタ 107_Aの機能と等しくまたトランジスタ 108_Bの機能はトランジスタ 108_Aと等しい。したがって、トランジスタ 107_Aと 108_A , MR素子 110_A及び電圧源 201_Aの操作についての上記の説明はトランジスタ 107_Bと 108_B及び電圧源 201_Bがそれぞれトランジスタ 107_Aと 108_A及び電圧源 201_Aの代わりに用いられる場合にはMR素子 110_Bにも適用される。

【0048】

10

20

30

40

50

図3の回路については別の操作モードもある。電圧源 201_A と 201_B の両方がそれぞれのトランジスタにバイアスをかけるのに不十分な電圧に設定されている場合には回路を非活動状態にし、各MR素子から入力が望ましくないときの電力消費を最少にする。

【0049】

本発明の第2の他の実施態様が図4に示してある。図4の他の実施態様では電圧源 V_{CC} は抵抗 R_6 と R_7 の第1端子に接続されている。抵抗 R_6 の第2端子はトランジスタ $Q1_A$ と $Q2_A$ の各コレクタ及びノード OUT_1 で増幅器 A_1 の非反転入力部に接続されている。抵抗 R_7 の第2端子はトランジスタ $Q1_B$ と $Q2_B$ の各コレクタ及びノード OUT_2 で増幅器 A_1 の反転入力部に接続されている。増幅器 A_1 により出力 D_X と D_Y が得られる。

【0050】

トランジスタ $Q1_A$ のエミッタはMR素子 RH_0 の第1端子に接続されている。トランジスタ $Q2_A$ のエミッタはMR素子 RH_1 の第1端子に接続されている。MR素子 RH_0 と RH_1 の各第2端子は互いに接続され、またキャパシタ C_B の第1端子と電界効果トランジスタ(FET) M_1 のドレインに接続されている。トランジスタ $Q1_B$ と $Q2_B$ の各エミッタは互いに接続され、またキャパシタ C_B の第2端子と抵抗 R_1 の第1端子に接続されている。抵抗 R_1 の第2端子はFET- M_2 のドレインに接続されている

【0051】

電圧源 V_{BIAS} は増幅器 A_2 の非反転入力部に接続されている。増幅器 A_2 の出力部はトランジスタ Q_3 のベースに接続されている。トランジスタ Q_3 のコレクタは電圧源 V_{CC} に接続されている。トランジスタ Q_3 のエミッタはトランジスタ Q_6 のコレクタとベース、トランジスタ Q_4 のベース、FET- M_5 と M_6 の各ドレイン及びキャパシタ CF_2 の第1端子に接続されている。キャパシタ CF_2 の第2端子は電圧源GNDに接続されている。FET- M_5 のソースはトランジスタ $Q1_A$ と $Q1_B$ の各ベースに接続されている。FET- M_6 のソースはトランジスタ $Q2_A$ と $Q2_B$ の各ベースに接続されている。FET- M_5 のゲートは入力信号SEL₀に接続されている。FET- M_6 のゲートは入力信号SEL₁に接続されている。トランジスタ Q_6 のエミッタは増幅器 A_2 の反転入力部と抵抗 R_5 の第1端子に接続されている。抵抗 R_5 の第2端子はFET- M_3 のドレインに接続されている。

【0052】

バンドギャップ電圧 V_{BG} は増幅器 A_4 の非反転入力部に接続されている。増幅器 A_4 の出力部はトランジスタ Q_5 のベースに接続されている。トランジスタ Q_5 のエミッタは増幅器 A_4 の反転入力部と抵抗 R_{SET} の第1端子に接続されている。抵抗 R_{SET} の第2端子は電圧源GNDに接続されている。

【0053】

電圧源 V_{CC} は抵抗 R_3 と R_4 の各第1端子に接続されている。抵抗 R_3 の第2端子は増幅器 A_3 の反転入力部とトランジスタ Q_4 のコレクタに接続されている。抵抗 R_4 の第2端子は増幅器 A_3 の非反転入力部とトランジスタ Q_5 のコレクタに接続されている。トランジスタ Q_4 のエミッタは抵抗 R_2 の第1端子に接続されている。抵抗 R_2 の第2端子はFET- M_4 のドレインに接続されている。増幅器 A_3 の出力部はFET- M_1 、 M_2 、 M_3 及び M_4 の各ゲートとキャパシタ CF_1 の第1端子に接続されている。キャパシタ CF_1 の第2端子は電圧源GNDに接続されている。FET- M_1 、 M_2 、 M_3 及び M_4 の各ソースは電圧源GNDに接続されている。

【0054】

図4の回路により多重のMR素子を用いることができる。図4の回路には2つのMR素子が示されているが本発明は図4に示されているMR素子よりも多くのMR素子を用いて実施することができる。

【0055】

図4においてMR素子 RH_0 はトランジスタ $Q1_A$ と $Q1_B$ を含む共通ベース差動対入力段に接続されている。MR素子 RH_1 はトランジスタ $Q2_A$ と $Q2_B$ を含む共通ベース差動対入力段に接続されている。FETスイッチ M_5 を用いてトランジスタ $Q1_A$ と $Q1_B$ の各ベースをノード $V_{BIAS} + V_{BE}$ で存在するバイアス電圧に接続または切離す。こうして、FETスイッチ

10

20

30

40

50

M_5 を用いて入力部SEL₀を活性化または非活性化することによりMR素子RH₀を選択または解除する。同様に、FETスイッチM₆を用いてトランジスタQ_{2A}とQ_{2B}の各ベースノードV_{BIAS}+V_{BE}で存在するバイアス電圧に接続または切離す。こうして、FETスイッチM₆を用いて入力部SEL₁を活性化または非活性化することによりMR素子RH₀を選択または解除する。入力部SEL₀とSEL₁の両方を非活性化することにより回路を休止状態に配置し、MR素子からの入力が必要でないときに電力消費を最少にすることができる。

【0056】

MR素子RH₀と関連した入力段にはトランジスタQ_{1A}とQ_{1B}及び入力部SEL₀を有するFETスイッチM₅が含まれている。MR素子RH₁と関連した入力段にはトランジスタQ_{2A}とQ_{2B}及び入力部SEL₁を有するFETスイッチM₆が含まれている。どのMR素子を選択するかに関係なく選択したMR素子と関連した入力段は定電流を供給する2つの電流源M₁とM₂によってバイアスがかけられる。M₁により供給される電流は選択したMR素子のセンス電流として使われる。また、どちらの入力段が選択されても各半分はキャパシタC_Bによって交流的に結合されている。

【0057】

入力段Q_{1A}とQ_{1B}またはQ_{2A}とQ_{2B}に加えられるバイアス電圧は増幅器A₂、トランジスタQ₃とQ₆、抵抗R₅及び電流源M₃を含む回路の一部により供給される。増幅器A₂はその非反転入力部で電圧入力V_{BIAS}を受ける。この実施例のV_{BIAS}の電圧は0.5Vであるが、その他のレベルも用いてもよい。トランジスタQ₆にはそのベースに接続されたコレクタがあり、その半導体材料の特性、幾何学的形状及びそのベースとエミッタ間にコレクタ電流による電圧降下V_{BE}を供給するようになっている。用いられる材料によりV_{BE}は約0.8Vまたはそれよりも高い場合も低い場合もある。トランジスタQ₃は増幅器A₂上のエミッタフォロアとして構成されている。抵抗R₅と電流源M₃は電圧源GNDへの電流経路を提供する。

【0058】

トランジスタQ₆はV_{BE}の電圧降下を増幅器A₂の負のフィードバックループに導入するため増幅器A₂の出力は非反転電圧入力部V_{BIAS}からのV_{BE}によりオフセットされる。したがって、ノードV_{BIAS}+V_{BE}での電圧はV_{BIAS}とV_{BE}の合計と等しい。V_{BIAS}+V_{BE}での電圧はキャパシタCF₂によりフィルタされ選択的にFETスイッチSEL₀を通じてトランジスタQ_{1A}とQ_{1B}の各ベース及びFETスイッチSEL₁を通じてトランジスタQ_{2A}とQ_{2B}の各ベースに加えられる。ノードV_{BIAS}+V_{BE}はまたエミッタフォロアとして構成されているトランジスタQ₄のベースに電圧を供給する。

【0059】

V_{BIAS}+V_{BE}での電圧はトランジスタQ_{1A}、Q_{1B}、Q_{2A}、Q_{2B}、Q₆及びQ₄の各ベースに接続されており、これらトランジスタのベースとエミッタ間にV_{BE}の特徴的な電圧降下が存在し、これらトランジスタの各エミッタはすべてV_{BIAS}の電圧レベルである。この配置はドレインを超えて電流源M₁、M₂、M₃及びM₄の各ソース電圧との同等性を維持する。

【0060】

この実施例の電流制御は増幅器A₃とA₄、トランジスタQ₄とQ₅、FET-M₁、M₂、M₃及びM₄、抵抗R_{SET}、R₂、R₃及びR₄及びキャパシタCF₁によって供給される。先行技術において多くの電流制御法が知られており、本発明は図4に示されている特殊電流制御配置に限定されるものではなくその他の電流制御法を用いても実施できることが理解される。

【0061】

用いられている半導体材料に特有のバンドギャップ電圧である基準電圧V_{BG}が増幅器A₄の非反転入力部に加えられる。電圧基準V_{BG}の電圧は1.26Vであるが用いられる材料によりこれより高くても低くてもよい。増幅器A₄によりエミッタフォロアとして構成されているトランジスタQ₅のエミッタである出力部が得られる。トランジスタQ₅のエミッタは増幅器A₄の反転入力部に接続されているため、負のフィードバックループが得られ

10

20

30

40

50

る。また、 Q_5 をソースフォロアとして構成されているFETに代えることができる。こうして、増幅器 A_4 はその出力を調節し、非反転入力部での電圧基準 V_{BG} と等しい反転基準での電圧を供給する。バンドギャップ電圧(1.26V)以外の基準電圧を V_{BG} 入力部に用いることができる。

【0062】

増幅器 A_4 の反転入力部での電圧は電圧基準 V_{BG} のレベルで固定されているため、抵抗 R_{SET} の抵抗を選択し抵抗 R_{SET} を通して流れる I_{REF} と呼ばれる電流の量を決定することができ、これはまた抵抗 R_4 を通る電流 I_{R_4} を決定する。

【0063】

増幅器 A_3 は R_3 上の電圧を R_4 上の電圧と比較するが、これは R_4 の I_{R_4} 倍に等しい。 R_3 と R_4 のおよその比を選択することにより抵抗 R_3 を通る電流の量を設定することができる。この実施例では R_4 と R_3 の比が4:1に設定され、抵抗 R_3 を通る電流(I_{R_3})と抵抗 R_4 を通る電流(I_{R_4})の比として4:1が得られる。本発明はまたその他の比で実施してもよい。 R_3 を通る電流はまたトランジスタ Q_4 、抵抗 R_2 及びFETを備えた電流源 M_4 を通して流れる。増幅器 A_4 の出力部はキャパシタ C_{F_1} によりフィルタされており、またFET電流源 M_4 のゲートに接続されているため電流を制御するための閉ループが得られる。

【0064】

図4の回路によりFET電流源 $M_1 \sim M_4$ のドレイン電圧を等しく設定することもできる。ドレイン電圧は V_{BIAS} から各トランジスタエミッタとFET電流源ドレインとの間に位置した各抵抗上の電圧降下を引いた値に等しい。したがって、FET電流源 M_1 のドレイン電圧は V_{BIAS} から選択されたMR素子上の電圧降下を引いた値に等しい(両方のMR素子は等しい抵抗をもつよう選択される)。同様に、FET電流源 M_2 のドレイン電圧は V_{BIAS} から抵抗 R_1 上の電圧降下を引いた値に等しい(抵抗 R_1 はMR素子 R_{H_0} と R_{H_1} と同じ抵抗をもつよう選択される)。

【0065】

各抵抗の値は電流源 M_1 、 M_2 、 M_3 及び M_4 を通る所望電流を設定するよう選ぶことができる。抵抗 R_4 を通る電流 I_{R_4} を決定するために抵抗 R_{SET} の値は選択される。抵抗 R_3 の値は I_{R_3} が4倍の I_{R_4} に等しくなるように抵抗 R_4 の値の4分の1であるよう選択される。抵抗 R_3 と R_4 の比により電流源 M_4 を通る電流が設定される。 M_1 、 M_2 及び M_3 を通る電流は M_4 の幾何学的形状に対するFETの M_1 、 M_2 及び M_3 のおよその幾何学的形状を選ぶことにより M_4 を通る電流に対して設定する。こうして選択された電流の比は $I_{M_1} : I_{M_2} : I_{M_3} : I_{M_4} = 32 : 32 : 1 : 4$ である。しかし、本発明はその他の抵抗または電流比あるいはその他の幾何学的形状を用いて実施してもよい。

【0066】

MR素子の抵抗はMR素子の使用目的の必要条件によってMR素子の構造及び設計に課せられた制限により一定であると想定されるため、その他の抵抗はすべてMR素子の抵抗にもとづいて選択される。多重のMR素子設計ではすべてのMR素子の抵抗は等しくまたはほぼ等しくなるよう選ぶことができる。電流源 M_4 を通る電流(I_{M_4})のみが増幅器 A_3 のフィードバックループにより制御されるため、電流源 M_1 、 M_2 、 M_3 及び M_4 の等しいドレイン電圧を維持し、電流源 M_4 が探知され所望電流調整が得られるよう各抵抗の値を設定することが重要である。電流源 M_1 の一貫した性能を維持するには等しい抵抗またはほぼ等しい抵抗をもつようMR素子 R_{H_0} と R_{H_1} を選ぶ。電流源 M_2 のドレイン電圧を電流源 M_1 のドレイン電圧と等しくするには抵抗 R_1 の値をMR素子 R_{H_0} と R_{H_1} の値と等しくなるよう選択される。電流源 M_3 のドレイン電圧を等しくするには抵抗 R_5 の値をMR素子 R_{H_0} と R_{H_1} の定常抵抗の32倍になるよう選択される。電流源 M_4 のドレイン電圧を等しくするには抵抗 R_2 の値をMR素子 R_{H_0} と R_{H_1} の定常抵抗の8倍になるよう選択される。これらの値を有する抵抗により電流源 M_1 、 M_2 、 M_3 及び M_4 のドレイン電圧は等しく維持される。本発明は広範囲な抵抗値で実施されるが典型的な抵抗値は次の通りである。

$$R_{H_0} = 12 \quad , \quad R_{H_1} = 12 \quad ,$$

10

20

30

40

50

$R_1 = 12$, $R_5 = 384$, $R_2 = 96$, $R_3 = 500$, $R_4 = 2K$ 。

【0067】

電流源 M_4 のみが増幅器 A_3 により閉ループモードで調整されまた電流源 M_1 , M_2 及び M_3 はすべて開ループモードで作動しているため、電流源 M_1 , M_2 , M_3 及び M_4 の各特性をしっかりと整合させ、4つのすべての電流源を通る電流の適切な調整を保証しなければならない。図4の各記号トランジスタは一つまたはそれ以上の実際のトランジスタとして実施してもよい。多数の実際のトランジスタを用いることにより、実際に用いられるトランジスタの数はその装置の電流容量規定に比例する。したがって、電流容量規定は最小のトランジスタレイアウトを維持している間に合致する。図4の各記号トランジスタとして多数の実際のトランジスタを用いると、要素特性の整合の程度が増大する。全体としてトランジスタの特性の変動は集積回路の特定の実際のトランジスタで見られる変動ほど大きくはない。特性の最良の整合を保証するには図4の4つの電流源 $M_1 \sim M_4$ の個々の実際のトランジスタを互に接続する。互に接続するには一つの電流源のトランジスタをすべて集積回路で互いに隣接して配置するのではなく、その他の電流源のトランジスタと混ぜり合わせ、各電流源の実際のトランジスタの平均位置がほぼ同じになるよう各電流源の個々の実際のトランジスタを配置することが必要である。特性の整合を改善するために技術上既知のその他の方法を用いて適切な整合を保証してもよい。

10

【0068】

図4の回路の一つの利点はトランジスタ $Q1_A$, $Q1_B$, $Q2_A$, $Q2_B$ 及び FET スイッチ M_5 と M_6 が低供給電圧で多重MR素子の増幅と選択が可能であるように配置されている点である。図4の入力段には電圧ソース V_{CC} から電圧ソース GND へのどの経路にも一つのトランジスタしかないため、どの入力段の電流経路にも V_{BE} の電圧降下は一つしかない。こうして、多重の一連の V_{BE} 電圧降下を有する回路のために高い電圧を供給する必要がなくなる。しかし、図3に示した通り本発明は入力段の各電流経路にトランジスタが一つしかない回路に限定されない。

20

【0069】

どのMR素子を選択するかにかかわらず選択したMR素子と関連した入力部からの出力はノード OUT_1 と OUT_2 でのコレクタ抵抗 R_6 と R_7 の端子上に現われる。ノード OUT_1 と OUT_2 からの各信号は増幅器 A_1 により増幅され、出力 D_X と D_Y が得られる。

【0070】

こうして、各MR素子を選択しバイアスをかけ、そこからの信号を広範囲な周波数にわたって増幅し、またスイッチ過渡現象を最小にするための簡単でより効果的な回路が提供される。

30

【図面の簡単な説明】

【図1】従来技術によるMRヘッド増幅器の回路図。

【図2】本発明によるMRヘッド増幅器の回路図。

【図3】2つのMRヘッドからの信号を増幅するための本発明によるMRヘッド増幅器の回路図。

【図4】2つのMRヘッドからの信号を増幅するための本発明によるヘッド制御回路を含む詳細なMRヘッド増幅器の回路図。

40

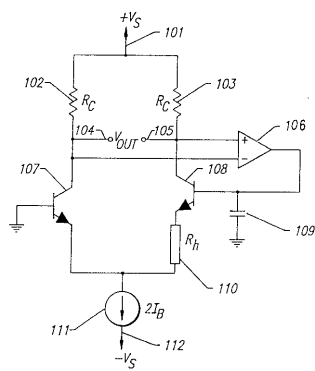
【符号の説明】

101 , 112 電圧レール
 102 , 103 , R_1 , R_2 , R_4 , R_6 , R_7 , R_{SET} 抵抗
 103 , 107 , 108 , 107_A , 108_A , 301 , 302 , Q_4 , Q_5 , Q_6 , Q_4 , Q_1_A , Q_1_B , Q_2_A , Q_2_B トランジスタ
 M_1 , M_2 , M_3 , M_4 , M_5 , M_6 FET
 104 , 105 出力端子
 106 , A_1 , A_2 , A_3 , A_4 増幅器
 109 , 202 , C_B , CF_1 , CF_2 キャパシタ
 110 , 110_A , 110_B , RH_0 , RH_1 MR素子

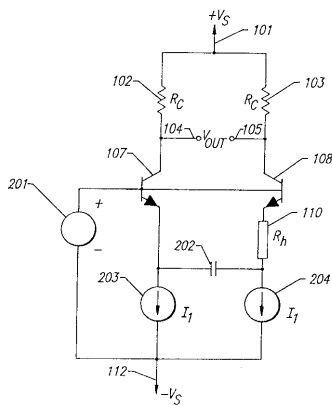
50

111, 203, 204 電流源
201, 303, 201_A, 201_B, V_{CC}, V_{BIAS} 電圧源
SEL₀, SEL₁ 入力信号
OUT₁, OUT₂ ノード
D_X, D_Y 出力

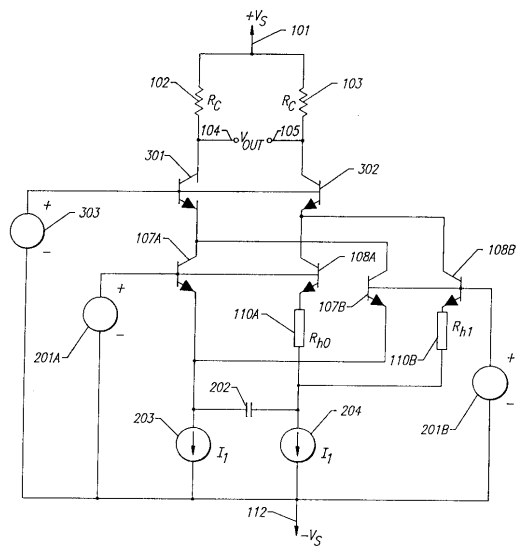
【図1】



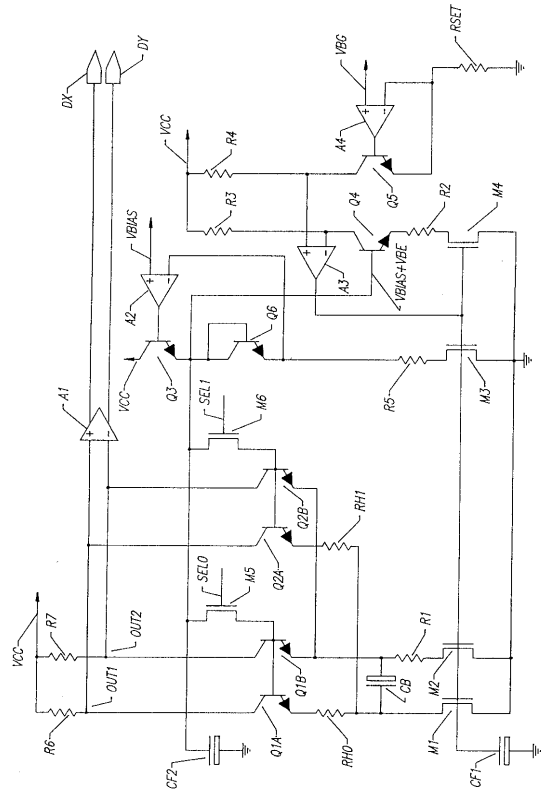
【図2】



【図3】



【 図 4 】



フロントページの続き

合議体

審判長 江島 博

審判官 早川 卓哉

審判官 山田 洋一

- (56)参考文献 特開平3 - 12005 (JP, A)
特開昭58 - 189803 (JP, A)
特開昭61 - 84519 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11B5/00-5/024