

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月8日(08.12.2022)



(10) 国際公開番号

WO 2022/255388 A1

- (51) 国際特許分類:
H03F 1/02 (2006.01) *H04B 1/40* (2015.01)
H03F 3/68 (2006.01)
- (21) 国際出願番号: PCT/JP2022/022226
- (22) 国際出願日: 2022年5月31日(31.05.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-093181 2021年6月2日(02.06.2021) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 田原 健二(TAHARA, Kenji); 〒6178555
京都府長岡京市東神足 1 丁目 10 番 1 号
株式会社村田製作所内 Kyoto (JP). 若林 遼
(WAKABAYASHI, Ryo); 〒6178555 京都府長
岡京市東神足 1 丁目 10 番 1 号 株式会社村田

製作所内 Kyoto (JP). 山本 佳依(YAMAMOTO,
Kae); 〒6178555 京都府長岡京市東神足 1 丁目
10 番 1 号 株式会社村田製作所内 Kyoto (JP).
祐森 義明(SUKEMORI, Yoshiaki); 〒6178555
京都府長岡京市東神足 1 丁目 10 番 1 号 株
式会社村田製作所内 Kyoto (JP).

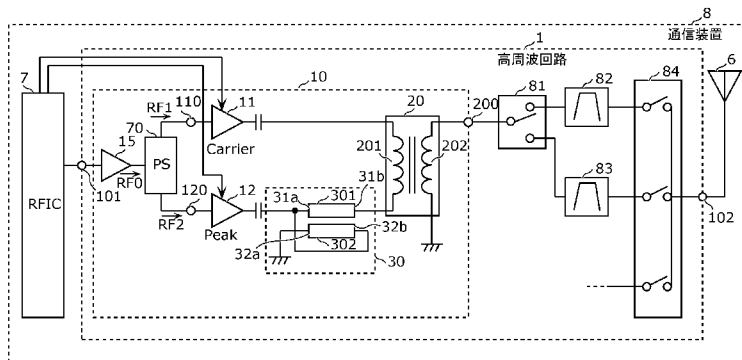
(74) 代理人: 吉川 修一, 外(YOSHIKAWA, Shuichi et
al.); 〒5320011 大阪府大阪市淀川区西中島 5 丁
目 3 番 10 号 タナカ・イトーピア新大阪ビル
6 階新居国際特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,
KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,
PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: HIGH FREQUENCY CIRCUIT AND COMMUNICATION APPARATUS

(54) 発明の名称: 高周波回路および通信装置

図1



1 High frequency circuit
8 Communication apparatus
11 Carrier
12 Peak

(57) Abstract: A high frequency circuit (1) is provided with a carrier amplifier (11), a peak amplifier (12), a transformer (20), and an impedance conversion circuit (30). One end of an input-side coil (201) is connected to an output terminal of the carrier amplifier (11). One end of an output-side coil (202) is connected to a signal output terminal (200). The impedance conversion circuit (30) includes a main line (301) and a sub-line (302). One end (31a) of the main line (301) is connected to an output terminal of the peak amplifier (12). The other end (31b) of the main line (301) is connected to the other end of the input-side coil (201). One end (32b) of the sub-line (302) is connected to the one end (31a) of the main line (301). The other end (32a) of the sub-line (302) is connected to ground. A first direction from the one end (31a) to the other end (31b) of the main line (301) is the same as a second direction from the other end (32a) to the one end (32b) of the sub-line (302).

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 高周波回路(1)は、キャリアアンプ(11)およびピークアンプ(12)と、トランス(20)と、インピーダンス変換回路(30)と、を備え、入力側コイル(201)の一端はキャリアアンプ(11)の出力端子に接続され、出力側コイル(202)の一端は信号出力端子(200)に接続され、インピーダンス変換回路(30)は、主線路(301)と、副線路(302)と、を有し、主線路(301)の一端(31a)はピークアンプ(12)の出力端子に接続され、主線路(301)の他端(31b)は入力側コイル(201)の他端に接続され、副線路(302)の一端(32b)は主線路(301)の一端(31a)に接続され、副線路(302)の他端(32a)はグランドに接続され、主線路(301)の一端(31a)から他端(31b)へ向かう第1方向と、副線路(302)の他端(32a)から一端(32b)へ向かう第2方向とは、同じである。

明 細 書

発明の名称：高周波回路および通信装置

技術分野

[0001] 本発明は、高周波回路および通信装置に関する。

背景技術

[0002] 特許文献1には、第1のアンプおよび第2のアンプと、第1のアンプの出力端子と第2のアンプの出力端子との間に接続され、第1のアンプの出力信号の位相を調整するアンプ出力移相器と、アンプ出力移相器および第2のアンプの出力端子に接続されたトランスフォーマと、を備えた電力増幅回路が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2013-85179号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に開示された電力増幅回路において、アンプ出力移相器は、1／4波長分の位相を調整するための回路であるため、インダクタおよびキャパシタで構成される場合、または、伝送線路で構成される場合に、電力増幅回路が大型化してしまう。

[0005] 本発明は、上記課題を解決するためになされたものであって、複数の増幅素子および移相回路を有する、小型の高周波回路および通信装置を提供することを目的とする。

課題を解決するための手段

[0006] 上記目的を達成するために、本発明の一態様に係る高周波回路は、第1増幅素子および第2増幅素子と、入力側コイルおよび出力側コイルを有するトランスと、信号出力端子と、第1回路と、を備え、入力側コイルの一端は、第1増幅素子の出力端子に接続されており、出力側コイルの一端は、信号出

力端子に接続されており、出力側コイルの他端は、グラウンドに接続されており、第1回路は、第1主線路と、第1副線路と、を有し、第1主線路の一端は、第2増幅素子の出力端子に接続されており、第1主線路の他端は、入力側コイルの他端に接続されており、第1副線路の一端は、第1主線路の一端に接続されており、第1副線路の他端は、グラウンドに接続されており、第1主線路の一端から他端へ向かう第1方向と、第1副線路の他端から一端へ向かう第2方向とは、同じである。

[0007] また、本発明の一態様に係る高周波回路は、第1増幅素子および第2増幅素子と、第1伝送線路と、信号出力端子と、第1回路と、を備え、第1伝送線路は、第1増幅素子の出力端子と第2増幅素子の出力端子との間に接続されており、第1回路は、第1主線路と、第1副線路と、を有し、第1主線路の一端は、第1伝送線路の一端に接続されており、第1主線路の他端は、信号出力端子に接続されており、第1伝送線路の他端は、第1増幅素子の出力端子に接続されており、第1副線路の一端は、第1主線路の一端に接続されており、第1副線路の他端は、グラウンドに接続されており、第1主線路の一端から他端へ向かう第1方向と、第1副線路の他端から一端へ向かう第2方向とは、同じである。

発明の効果

[0008] 本発明によれば、複数の増幅素子および移相回路を有する、高周波回路および通信装置を提供することが可能となる。

図面の簡単な説明

[0009] [図1]図1は、実施の形態1に係る高周波回路および通信装置の回路構成図である。

[図2A]図2Aは、実施の形態1に係る増幅回路の大信号入力時の回路状態図である。

[図2B]図2Bは、実施の形態1に係る増幅回路の小信号入力時の回路状態図である。

[図3A]図3Aは、従来のドハティ型の増幅回路の大信号入力時の回路状態図

である。

[図3B]図 3 B は、従来のドハティ型の増幅回路の小信号入力時の回路状態図である。

[図4]図 4 は、従来および実施の形態 1 に係る増幅回路の増幅特性を比較したグラフである。

[図5]図 5 は、実施の形態 2 に係る高周波回路および通信装置の回路構成図である。

[図6A]図 6 A は、実施の形態 2 の変形例 1 に係る増幅回路の大信号入力時の回路状態図である。

[図6B]図 6 B は、実施の形態 2 の変形例 1 に係る増幅回路の小信号入力時の回路状態図である。

[図7A]図 7 A は、実施の形態 2 の変形例 2 に係る増幅回路の大信号入力時の回路状態図である。

[図7B]図 7 B は、実施の形態 2 の変形例 2 に係る増幅回路の中信号入力時の回路状態図である。

[図7C]図 7 C は、実施の形態 2 の変形例 2 に係る増幅回路の小信号入力時の回路状態図である。

[図8]図 8 は、実施の形態 2 に係る高周波回路の平面図および断面図である。

発明を実施するための形態

[0010] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態などは、一例であり、本発明を限定する主旨ではない。

[0011] なお、各図は、本発明を示すために適宜強調、省略、または比率の調整を行った模式図であり、必ずしも厳密に図示されたものではなく、実際の形状、位置関係、および比率とは異なる場合がある。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡

素化される場合がある。

[0012] 本開示において、「接続される」とは、接続端子および／または配線導体で直接接続される場合だけでなく、他の回路素子を介して電氣的に接続される場合も含むことを意味する。また、「AとBとの間に接続される」、「AおよびBの間に接続される」とは、AおよびBを結ぶ経路上でAおよびBと接続されることを意味する。

[0013] また、本開示において、「平面視」とは、z軸正方向側からx-y平面に物体を正投影して見ることを意味する。「部品が基板の主面に配置される」とは、部品が基板の主面と接触した状態で主面上に配置されることに加えて、部品が主面と接触せずに主面の上方に配置されること、および、部品の一部が主面側から基板内に埋め込まれて配置されることを含む。

[0014] また、本開示において、「CがAの第1方向とBの第2方向との交差部分に配置されている」とは、平面視において、A内の任意の点から第1方向に伸びる直線とB内の任意の点から第2方向に伸びる直線との交点がCに含まれることを意味する。また、「平行」および「垂直」などの要素間の関係性を示す用語、および、「矩形」などの要素の形状を示す用語は、厳格な意味のみを表すのではなく、実質的に同等な範囲、例えば数%程度の誤差をも含むことを意味する。また、「第1方向と第2方向とが同じである」とは、第1方向の方向ベクトルと第2方向の方向ベクトルとのなす角度が厳密に0度であることに限らず、当該2つの方向ベクトルのなす角度が -10 度以上かつ $+10$ 度以下であることを含むものと定義される。

[0015] また、本開示において、「信号経路」とは、高周波信号が伝搬する配線、当該配線に直接接続された電極、および当該配線または当該電極に直接接続された端子等で構成された伝送線路であることを意味する。

[0016] (実施の形態1)

[1. 高周波回路1および通信装置8の回路構成]

本実施の形態に係る高周波回路1および通信装置8の回路構成について、図1を参照しながら説明する。図1は、実施の形態1に係る高周波回路1お

よび通信装置 8 の回路構成図である。

[0017] [1. 1 通信装置 8 の回路構成]

まず、通信装置 8 の回路構成について説明する。図 1 に示すように、本実施の形態に係る通信装置 8 は、高周波回路 1 と、アンテナ 6 と、RF 信号処理回路 (RFIC) 7 と、を備える。

[0018] 高周波回路 1 は、アンテナ 6 と RFIC 7 との間で高周波信号を伝送する。高周波回路 1 の詳細な回路構成については後述する。

[0019] アンテナ 6 は、高周波回路 1 のアンテナ接続端子 102 に接続され、高周波回路 1 から出力された高周波信号を送信し、また、外部から高周波信号を受信して高周波回路 1 へ出力する。

[0020] RFIC 7 は、高周波信号を処理する信号処理回路の一例である。具体的には、RFIC 7 は、高周波回路 1 の受信経路を介して入力された受信信号をダウンコンバート等により信号処理し、当該信号処理して生成された受信信号をベースバンド信号処理回路 (BBIC、図示せず) へ出力する。また、RFIC 7 は、BBIC から入力された送信信号をアップコンバート等により信号処理し、当該信号処理して生成された送信信号を、高周波回路 1 の送信経路に出力する。また、RFIC 7 は、高周波回路 1 が有するスイッチおよび増幅素子等を制御する制御部を有する。なお、RFIC 7 の制御部としての機能の一部または全部は、RFIC 7 の外部に実装されてもよく、例えば、BBIC または高周波回路 1 に実装されてもよい。

[0021] また、RFIC 7 は、高周波回路 1 が有する各アンプに供給される電源電圧 V_{cc} およびバイアス電圧 V_{bias} を制御する制御部としての機能も有する。具体的には、RFIC 7 は、デジタル制御信号を高周波回路 1 に出力する。高周波回路 1 の各アンプには、上記デジタル制御信号により制御された電源電圧 V_{cc} およびバイアス電圧 V_{bias} が供給される。

[0022] また、RFIC 7 は、使用される通信バンド (周波数帯域) に基づいて、高周波回路 1 が有するスイッチ 81 および 84 の接続を制御する制御部としての機能も有する。

[0023] なお、本実施の形態に係る通信装置 8 において、アンテナ 6 は、必須の構成要素ではない。

[0024] [1. 2 高周波回路 1 の回路構成]

次に、高周波回路 1 の回路構成について説明する。図 1 に示すように、高周波回路 1 は、増幅回路 10 と、フィルタ 82 および 83 と、スイッチ 81 および 84 と、入力端子 101 と、アンテナ接続端子 102 と、を備える。

[0025] 入力端子 101 は、RFIC7 に接続され、アンテナ接続端子 102 は、アンテナ 6 に接続される。

[0026] 増幅回路 10 は、入力端子 101 から入力されたバンド A およびバンド B の送信信号を増幅する回路である。なお、高周波回路 1 は、増幅回路 10 の代わりに、バンド A の高周波信号を増幅する第 1 増幅回路と、バンド B の高周波信号を増幅する第 2 増幅回路と、を備えてもよい。

[0027] なお、本実施の形態において、バンド A およびバンド B のそれぞれは、無線アクセス技術（RAT：Radio Access Technology）を用いて構築される通信システムのために、標準化団体など（例えば 3GPP（登録商標）（3rd Generation Partnership Project）、IEEE（Institute of Electrical and Electronics Engineers）等）によって予め定義された周波数バンドを意味する。本実施の形態では、通信システムとしては、例えば 4G（4th Generation）—LTE（Long Term Evolution）システム、5G（5th Generation）—NR（New Radio）システム、および WLAN（Wireless Local Area Network）システム等を用いることができるが、これらに限定されない。

[0028] フィルタ 82 は、スイッチ 81 および 84 の間に接続され、増幅回路 10 で増幅された送信信号のうち、バンド A の送信帯域の送信信号を通過させる。また、フィルタ 83 は、スイッチ 81 および 84 の間に接続され、増幅回路 10 で増幅された送信信号のうち、バンド B の送信帯域の送信信号を通過させる。

[0029] なお、フィルタ 82 および 83 のそれぞれは、受信用フィルタとともにデュプレクサを構成していてもよいし、時分割複信（TDD：Time Division D

uplex) 方式で伝送する１つのフィルタであってもよい。フィルタ８２および８３がＴＤＤ用のフィルタである場合には、上記１つのフィルタの前段および後段の少なくとも一方に、送信および受信を切り替えるスイッチが配置される。

[0030] スイッチ８１は、共通端子、第１選択端子および第２選択端子を有する。共通端子は、増幅回路１０の信号出力端子２００に接続されている。第１選択端子はフィルタ８２に接続され、第２選択端子はフィルタ８３に接続されている。この接続構成において、スイッチ８１は、増幅回路１０とフィルタ８２との接続および増幅回路１０とフィルタ８３との接続を切り替える。

[0031] スイッチ８４は、アンテナスイッチの一例であり、アンテナ接続端子１０２に接続され、アンテナ接続端子１０２とフィルタ８２との接続および非接続を切り替え、また、アンテナ接続端子１０２とフィルタ８３との接続および非接続を切り替える。

[0032] なお、高周波回路１は、アンテナ６から受信された受信信号を、ＲＦＩＣ７へ伝送するための受信回路を備えていてもよい。この場合には、高周波回路１は、低雑音増幅器および受信用フィルタを備える。

[0033] また、信号出力端子２００からアンテナ接続端子１０２までの間に、インピーダンス整合回路が配置されていてもよい。

[0034] 上記回路構成によれば、高周波回路１は、バンドＡおよびバンドＢのいずれかの高周波信号を、送信または受信することが可能である。さらに、高周波回路１は、バンドＡおよびバンドＢの高周波信号を、同時送信、同時受信、および同時送受信の少なくともいずれかで実行することも可能である。

[0035] なお、本発明に係る高周波回路１は、図１に示された回路構成のうち、増幅回路１０を少なくとも有していればよい。

[0036] ここで、増幅回路１０の回路構成について、詳細に説明する。

[0037] 図１に示すように、増幅回路１０は、キャリアアンプ１１と、ピークアンプ１２と、プリアンプ１５と、移相回路７０と、トランス２０と、インピーダンス変換回路３０と、信号出力端子２００と、を備える。

- [0038] プリアンプ15は、入力端子101から入力されたバンドAおよび／またはバンドBの高周波信号を増幅する。
- [0039] 移相回路70は、プリアンプ15から出力された信号RF0を分配し、当該分配された信号RF1およびRF2を、それぞれ、端子110および120を経由してキャリアアンプ11およびピークアンプ12に出力する。移相回路70は、その際、信号RF1およびRF2の位相を調整する。例えば、移相回路70は、信号RF2をRF1に対して−90度シフトさせる（90度遅らせる）。
- [0040] なお、プリアンプ15および移相回路70の構成は、上記構成に限られない。例えば、プリアンプ15は、キャリアアンプ11およびピークアンプ12のそれぞれの前段に配置されていてもよい。この場合、移相回路70は、各プリアンプの前段、または、キャリアアンプ11およびピークアンプ12のそれぞれの前段に配置されていてもよい。また、増幅回路10は、プリアンプ15および移相回路70を備えなくてもよい。
- [0041] キャリアアンプ11およびピークアンプ12のそれぞれは、増幅トランジスタを有する。上記増幅トランジスタは、例えば、ヘテロ接合バイポーラトランジスタ（HBT：Heterojunction Bipolar Transistor）等のバイポーラトランジスタ、または、MOSFET（Metal-Oxide-Semiconductor Field Effect Transistor）等の電界効果トランジスタである。
- [0042] キャリアアンプ11は、第1増幅素子の一例であり、信号RF1の全ての電力レベルに対して増幅動作可能なA級（またはAB級）増幅回路であり、特に、低出力領域および中出力領域において高効率な増幅動作が可能である。なお、本発明に係る第1増幅素子は、A級（またはAB級）増幅回路であればよく、キャリアアンプに限定されない。
- [0043] なお、本明細書において、効率とは電力付加効率を示す。
- [0044] ピークアンプ12は、第2増幅素子の一例であり、例えば、信号RF2の電力レベルが高い領域で増幅動作可能なC級増幅回路である。ピークアンプ12が有する増幅トランジスタには、キャリアアンプ11が有する増幅トラ

ンジスタに印加されるバイアス電圧よりも低いバイアス電圧が印加されているため、信号RF2の電力レベルが高くなるほど、出力インピーダンスが低くなる。これにより、ピークアンプ12は、高出力領域において低歪の増幅動作が可能である。なお、本発明に係る第2増幅素子は、C級増幅回路であればよく、ピークアンプに限定されない。

[0045] トランス20は、入力側コイル201および出力側コイル202を有する。入力側コイル201の一端はキャリアアンプ11の出力端子に接続され、入力側コイル201の他端はインピーダンス変換回路30の主線路301の他端31bに接続されている。出力側コイル202の一端は信号出力端子200に接続され、出力側コイル202の他端はグラウンドに接続されている。

[0046] トランス20の上記接続構成によれば、キャリアアンプ11から出力される信号と、ピークアンプ12から出力される信号とが電圧加算され、合成された出力信号が信号出力端子200から出力される。

[0047] インピーダンス変換回路30は、第1回路の一例であり、主線路301と、副線路302と、を有し、インピーダンス変換回路30の両端で位相をシフトさせるとともに、所定の変換比でインピーダンスを変換する。主線路301は、第1主線路の一例であり、例えば、 $1/8$ 波長または $1/16$ 波長の長さを有する伝送線路である。主線路301の一端31aはピークアンプ12の出力端子に接続されており、主線路301の他端31bは入力側コイル201の他端に接続されている。副線路302は、第1副線路の一例であり、例えば、 $1/8$ 波長または $1/16$ 波長の長さを有する伝送線路である。副線路302の一端32bは主線路301の一端31aに接続されており、副線路302の他端32aはグラウンドに接続されている。主線路301の一端31aから他端31bへ向かう第1方向と、副線路302の他端32aから一端32bへ向かう第2方向とは、同じである。上記構成において、主線路301と副線路302とは、電磁界結合している。なお、主線路301および副線路302の延伸方向に垂直な任意の方向から主線路301および副線路302を見た場合、上記第1方向と上記第2方向とは同じであること

が望ましい。

[0048] [1. 3 ドハティ型の増幅回路の動作]

まず、本実施の形態に係る増幅回路10の動作について説明する。

[0049] 図2Aは、実施の形態1に係る増幅回路10の大信号入力時の回路状態図である。また、図2Bは、実施の形態1に係る増幅回路10の小信号入力時の回路状態図である。

[0050] まず、図2Aに示すように、キャリアアンプ11およびピークアンプ12が動作(ON)している場合(大信号入力時)、キャリアアンプ11の出力端子から負荷側を見たインピーダンス Z_p (以降、キャリアアンプ11の出力インピーダンス Z_p と記す)、および、ピークアンプ12の出力端子から負荷側を見たインピーダンス Z_n (以降、ピークアンプ12の出力インピーダンス Z_n と記す)は、式1のように表される。なお、トランス20は、1:mの比率で変圧するものとする。また、入力側コイル201の両端に係る電圧を V_1 とし、出力側コイル202の両端にかかる電圧を V_2 とし、主線路301および副線路302に流れる電流を、それぞれ i_1 とする。また、各アンプの出力電圧を V_o とする。また、信号出力端子200に接続される負荷のインピーダンスを R_L とする。式1に示すように、インピーダンス変換回路30により、その入力端(ピークアンプ12の出力端子)のインピーダンス Z_n は、その出力端(入力側コイル201の他端)のインピーダンス Z_s の $1/4$ 倍となる。

[0051]

[数1]

$$V_2 = mV_1 = 2mV_o, i_2 = \frac{1}{m}i_1$$

$$R_L = \frac{V_2}{i_2} = \frac{2m^2V_o}{i_1}$$

$$Z_p = \frac{V_o}{i_1} = \frac{R_L}{2m^2}$$

$$\frac{Z_n}{Z_s} = \frac{W_o/(2i)^2}{W_o/i^2} = \frac{1}{4}, Z_n = \frac{1}{4} \times \frac{R_L}{2m^2}$$

(式1)

[0052] 次に、図2Bに示すように、キャリアアンプ11が動作(ON)し、ピークアンプ12が動作していない(OFF)場合(小信号入力時)、キャリアアンプ11の出力インピーダンス Z_p は、式2のように表される。なお、このとき、ピークアンプ12の出力インピーダンス Z_n はオープン状態となっている。

[0053] [数2]

$$V_2 = mV_1 = mV_o, i_2 = \frac{1}{m}i_1$$

$$R_L = \frac{V_2}{i_2} = \frac{m^2V_o}{i_1}$$

$$Z_p = \frac{V_o}{i_1} = \frac{R_L}{m^2}$$

(式2)

[0054] 式1および式2に示されるように、大信号入力時に対して小信号入力時には、キャリアアンプ11の出力インピーダンス Z_p は2倍となっている。つまり、小信号入力時には、ピークアンプ12がオフ状態となり、キャリアアンプ11の出力インピーダンス Z_p が高くなることで、増幅回路10は高効率動作することが可能となる。

[0055] 一方、大信号入力時には、キャリアアンプ11およびピークアンプ12が

動作することで大電力信号を出力することができ、かつ、ピークアンプ12の出力インピーダンス Z_n が低いことで、信号歪を抑制することが可能となる。

[0056] インピーダンス変換回路30は、上記のように、インピーダンス変換回路30の両端においてインピーダンス(Z_n および Z_s)を変換する機能を有するとともに、ピークアンプ12から出力される信号の位相を -90 度シフトさせる(90 度遅らせる)。インピーダンス変換回路30の配置により、キャリアアンプ11から出力された信号の位相とピークアンプ12から出力された信号の位相とが逆相となるように揃えられる。これにより、キャリアアンプ11から出力される信号と、ピークアンプ12から出力される信号とが、トランス20において電圧合成される。なお、インピーダンス変換回路30は、主線路301および副線路302は、 $1/4$ 波長よりも短く、例えば、 $1/8$ 波長または $1/16$ 波長の長さを有する。

[0057] 次に、従来のドハティ型の増幅回路500の動作について説明する。

[0058] 図3Aは、従来のドハティ型の増幅回路500の大信号入力時の回路状態図である。また、図3Bは、従来のドハティ型の増幅回路500の小信号入力時の回路状態図である。

[0059] 従来のドハティ型の増幅回路500は、実施の形態1に係る増幅回路10と比較して、インピーダンス変換回路30に代わって、 $1/4$ 波長伝送線路530が配置されている点が異なる。以下、従来の増幅回路500の回路構成については、実施の形態に係る増幅回路10と異なる構成を中心に説明する。

[0060] $1/4$ 波長伝送線路530は、ピークアンプ12の出力端子と入力側コイル201の他端との間に配置されている。

[0061] まず、図3Aに示すように、キャリアアンプ11およびピークアンプ12が動作(ON)している場合(大信号入力時)、キャリアアンプ11の出力インピーダンス Z_p およびピークアンプ12の出力インピーダンス Z_n は、式3のように表される。なお、入力側コイル201に流れる電流を i_1 とす

る。

[0062] [数3]

$$V2 = mV1 = 2mVo, i2 = \frac{1}{m}i1$$

$$RL = \frac{V2}{i2} = \frac{2m^2Vo}{i1}$$

$$Zp = Zn = \frac{Vo}{i1} = \frac{RL}{2m^2}$$

(式3)

[0063] 次に、図3Bに示すように、キャリアアンプ11が動作(ON)し、ピークアンプ12が動作していない(OFF)場合(小信号入力時)、キャリアアンプ11の出力インピーダンス Zp は、式4のように表される。なお、このとき、ピークアンプ12の出力インピーダンス Zn はオープン状態となっている。

[0064] [数4]

$$V2 = mV1 = 2mVo, i2 = \frac{1}{m}i1$$

$$RL = \frac{V2}{i2} = \frac{m^2Vo}{i1}$$

$$Zp = \frac{Vo}{i1} = \frac{RL}{m^2}$$

(式4)

[0065] 式3および式4に示されるように、大信号入力時に対して小信号入力時には、キャリアアンプ11の出力インピーダンス Zp は2倍となっている。つまり、小信号入力時には、ピークアンプ12がオフ状態となり、キャリアアンプ11の出力インピーダンス Zp が高くなることで、増幅回路500は高効率動作することが可能となる。

[0066] 一方、大信号入力時には、キャリアアンプ11およびピークアンプ12が動作することで大電力信号を出力することができ、かつ、ピークアンプ12

の出力インピーダンス Z_n が低いことで、信号歪を抑制することが可能となる。

[0067] 1/4波長伝送線路530は、ピークアンプ12から出力される信号の位相を-90度シフトさせる（90度遅らせる）。1/4波長伝送線路530の配置により、キャリアアンプ11から出力された信号の位相とピークアンプ12から出力された信号の位相とが逆相となるように揃えられる。これにより、キャリアアンプ11から出力される信号と、ピークアンプ12から出力される信号とが、トランス20において電圧合成される。

[0068] 図4は、従来の増幅回路500および実施の形態1に係る増幅回路10の増幅特性を比較したグラフである。図4において、横軸は信号出力端子200から出力される信号の電力レベルであり、縦軸は各増幅回路の効率（電力付加効率）である。

[0069] 従来の増幅回路500では、キャリアアンプ11およびピークアンプ12の双方がAB級動作している増幅回路と比較して、低出力領域でのキャリアアンプ11の高インピーダンス動作、および、高出力領域でのピークアンプ12の低インピーダンス動作による低信号歪により、効率が改善されている。

[0070] これに対して、さらに、本実施の形態に係る増幅回路10では、増幅回路500と比較して、インピーダンス変換回路30による更なるキャリアアンプ11の高インピーダンス動作、および、高出力領域でのピークアンプ12の低インピーダンス動作により、高出力動作および中出力領域での効率が改善されている。

[0071] また、本実施の形態に係る高周波回路1では、1/4波長伝送線路530に代えて、1/4波長よりも短い線路で構成されたインピーダンス変換回路30が配置されているので、高周波回路1を小型化できる。

[0072] [1.4 効果など]

以上のように、本実施の形態に係る高周波回路1は、キャリアアンプ11およびピークアンプ12と、入力側コイル201および出力側コイル202

を有するトランス 20 と、信号出力端子 200 と、インピーダンス変換回路 30 と、を備え、入力側コイル 201 の一端はキャリアアンプ 11 の出力端子に接続されており、出力側コイル 202 の一端は信号出力端子 200 に接続されており、出力側コイル 202 の他端はグラウンドに接続されており、インピーダンス変換回路 30 は、主線路 301 と、副線路 302 と、を有し、主線路 301 の一端 31a はピークアンプ 12 の出力端子に接続されており、主線路 301 の他端 31b は入力側コイル 201 の他端に接続されており、副線路 302 の一端 32b は主線路 301 の一端 31a に接続されており、副線路 302 の他端 32a はグラウンドに接続されており、主線路 301 の一端 31a から他端 31b へ向かう第 1 方向と、副線路 302 の他端 32a から一端 32b へ向かう第 2 方向とは、同じである。

[0073] これによれば、 $1/4$ 波長伝送線路に代えて、 $1/4$ 波長よりも短い線路で構成されたインピーダンス変換回路 30 が配置されているので、高周波回路 1 を小型化できる。また、ピークアンプ 12 の出力インピーダンスを低減できるので、高出力領域で信号歪を低減できる。

[0074] また、本実施の形態に係る通信装置 8 は、高周波信号を処理する R F I C 7 と、R F I C 7 とアンテナ 6 との間で高周波信号を伝送する高周波回路 1 と、を備える。

[0075] これによれば、高周波回路 1 の効果を通信装置 8 で実現することができる。

[0076] (実施の形態 2)

実施の形態 1 では、電圧合成型のドハティ増幅回路を示したが、本実施の形態では電流合成型のドハティ増幅回路を示す。

[0077] [2. 高周波回路 2 および通信装置 9 の回路構成]

本実施の形態に係る高周波回路 2 および通信装置 9 の回路構成について、図 5 を参照しながら説明する。図 5 は、実施の形態 2 に係る高周波回路 2 および通信装置 9 の回路構成図である。

[0078] [2. 1 通信装置 9 の回路構成]

まず、通信装置 9 の回路構成について説明する。図 5 に示すように、本実施の形態に係る通信装置 9 は、高周波回路 2 と、アンテナ 6 と、RFIC 7 と、を備える。本実施の形態に係る通信装置 9 は、実施の形態 1 に係る通信装置 8 と比較して、高周波回路 2 の構成のみが相違する。以下では、本実施の形態に係る通信装置 9 について、実施の形態 1 に係る通信装置 8 と異なる高周波回路 2 の構成について説明する。

[0079] [2. 2 高周波回路 2 の回路構成]

図 5 に示すように、高周波回路 2 は、増幅回路 50 と、フィルタ 82 および 83 と、スイッチ 81 および 84 と、入力端子 101 と、アンテナ接続端子 102 と、を備える。本実施の形態に係る高周波回路 2 は、実施の形態 1 に係る高周波回路 1 と比較して、増幅回路 50 の構成のみが相違する。以下では、本実施の形態に係る高周波回路 2 について、増幅回路 50 の構成を中心に説明する。

[0080] 増幅回路 50 は、入力端子 101 から入力されたバンド A およびバンド B の送信信号を増幅する回路である。高周波回路 2 は、バンド A およびバンド B のいずれかの高周波信号を、送信または受信することが可能である。さらに、高周波回路 2 は、バンド A およびバンド B の高周波信号を、同時送信、同時受信、および同時送受信の少なくともいずれかで実行することも可能である。

[0081] なお、本発明に係る高周波回路 2 は、図 5 に示された回路構成のうち、増幅回路 50 を少なくとも有していればよい。

[0082] ここで、増幅回路 50 の回路構成について、詳細に説明する。

[0083] 図 5 に示すように、増幅回路 50 は、キャリアアンプ 11 と、ピークアンプ 12 と、プリアンプ 15 と、移相回路 70 と、1/4 波長伝送線路 40 と、インピーダンス変換回路 30 と、信号出力端子 200 と、を備える。

[0084] プリアンプ 15 および移相回路 70 については、実施の形態 1 に係る増幅回路 10 が備えるプリアンプ 15 および移相回路 70 と同じ構成および機能を有するので、ここでは説明を省略する。

- [0085] キャリアアンプ11およびピークアンプ12のそれぞれは、増幅トランジスタを有する。上記増幅トランジスタは、例えば、HBT等のバイポーラトランジスタ、または、MOSFET等の電界効果トランジスタである。
- [0086] キャリアアンプ11は、第1増幅素子の一例であり、信号RF1の全ての電力レベルに対して増幅動作可能なA級（またはAB級）増幅回路であり、特に、低出力領域および中出力領域において高効率な増幅動作が可能である。
- [0087] ピークアンプ12は、第2増幅素子の一例であり、例えば、信号RF2の電力レベルが高い領域で増幅動作可能なC級増幅回路である。ピークアンプ12が有する増幅トランジスタには、キャリアアンプ11が有する増幅トランジスタに印加されるバイアス電圧よりも低いバイアス電圧が印加されているため、信号RF2の電力レベルが高くなるほど、出力インピーダンスが低くなる。これにより、ピークアンプ12は、高出力領域において低歪の増幅動作が可能である。
- [0088] $1/4$ 波長伝送線路40は、第1伝送線路の一例であり、キャリアアンプ11の出力端子とピークアンプ12の出力端子との間に接続されている。 $1/4$ 波長伝送線路40は、キャリアアンプ11から出力される信号の位相を -90 度シフトさせる（ 90 度遅らせる）。 $1/4$ 波長伝送線路40の配置により、キャリアアンプ11から出力された信号の位相とピークアンプ12から出力された信号の位相とが揃えられる。これにより、キャリアアンプ11から出力される信号と、ピークアンプ12から出力される信号とが、電流合成される。
- [0089] インピーダンス変換回路30は、第1回路の一例であり、主線路301と、副線路302と、を有し、インピーダンス変換回路30の両端で位相をシフトさせるとともに、所定の変換比でインピーダンスを変換する。主線路301は、第1主線路の一例であり、例えば、 $1/8$ 波長または $1/16$ 波長の長さを有する伝送線路である。主線路301の一端31aは $1/4$ 波長伝送線路40の一端に接続されており、主線路301の他端31bは信号出力

端子 200 に接続されている。1/4 波長伝送線路 40 の他端は、キャリアアンプ 11 の出力端子に接続されている。副線路 302 は、第 1 副線路の一例であり、例えば、1/8 波長または 1/16 波長の長さを有する伝送線路である。副線路 302 の一端 32b は主線路 301 の一端 31a に接続されており、副線路 302 の他端 32a はグランドに接続されている。主線路 301 の一端 31a から他端 31b へ向かう第 1 方向と、副線路 302 の他端 32a から一端 32b へ向かう第 2 方向とは、同じである。上記構成において、主線路 301 と副線路 302 とは、電磁界結合している。なお、主線路 301 および副線路 302 の延伸方向に垂直な任意の方向から主線路 301 および副線路 302 を見た場合、上記第 1 方向と上記第 2 方向とは同じであることが望ましい。

[0090] 増幅回路 50 の上記構成によれば、大信号入力時に対して小信号入力時には、キャリアアンプ 11 の出力インピーダンスは高くなる。つまり、小信号入力時には、ピークアンプ 12 がオフ状態となり、キャリアアンプ 11 の出力インピーダンスが高くなることで、増幅回路 50 は高効率動作することが可能となる。

[0091] 一方、大信号入力時には、キャリアアンプ 11 およびピークアンプ 12 が動作することで大電力信号を出力することができ、かつ、ピークアンプ 12 の出力インピーダンスが低くなることで、信号歪を抑制することが可能となる。

[0092] また、本実施の形態に係る高周波回路 2 では、1/4 波長伝送線路に代えて、1/4 波長よりも短い線路で構成されたインピーダンス変換回路 30 が配置されているので、高周波回路 2 を小型化できる。

[0093] [2. 3 変形例 1 に係る増幅回路 51 の回路構成および動作]

なお、本実施の形態に係る高周波回路 2 は、増幅回路 50 に代えて、変形例 1 に係る増幅回路 51 を備えてもよい。以下、変形例 1 に係る増幅回路 51 の回路構成および動作について説明する。図 6A は、実施の形態 2 の変形例 1 に係る増幅回路 51 の大信号入力時の回路状態図である。また、図 6B

は、実施の形態2の変形例1に係る増幅回路51の小信号入力時の回路状態図である。

[0094] 図6Aおよび6Bに示すように、変形例1に係る増幅回路51は、キャリアアンプ11と、ピークアンプ12と、 $1/4$ 波長伝送線路40と、インピーダンス変換回路30および35と、信号出力端子200と、を備える。なお、図示していないが、増幅回路51は、プリアンプ15および移相回路70を備えてもよい。本変形例に係る増幅回路51は、実施の形態2に係る増幅回路50と比較して、インピーダンス変換回路35が付加されている点のみが異なる。以下、増幅回路51について、増幅回路50と同じ点については説明を省略し、異なる点を中心に説明する。

[0095] インピーダンス変換回路30は、第1回路の一例であり、主線路301と、副線路302と、を有し、インピーダンス変換回路30の両端で位相をシフトさせるとともに、所定の変換比でインピーダンスを変換する。主線路301は、第1主線路の一例であり、例えば、 $1/16$ 波長の長さを有する伝送線路である。主線路301の一端31aは $1/4$ 波長伝送線路40の一端に接続されており、主線路301の他端31bは信号出力端子200に接続されている。 $1/4$ 波長伝送線路40の他端は、キャリアアンプ11の出力端子に接続されている。副線路302は、第1副線路の一例であり、例えば、 $1/16$ 波長の長さを有する伝送線路である。副線路302の一端32bは主線路301の一端31aに接続されており、副線路302の他端32aはグランドに接続されている。主線路301の一端31aから他端31bへ向かう第1方向と、副線路302の他端32aから一端32bへ向かう第2方向とは、同じである。上記構成において、主線路301と副線路302とは、電磁界結合している。なお、主線路301および副線路302の延伸方向に垂直な任意の方向から主線路301および副線路302を見た場合、上記第1方向と上記第2方向とは同じであることが望ましい。

[0096] インピーダンス変換回路35は、第2回路の一例であり、主線路351と、副線路352と、を有し、インピーダンス変換回路35の両端で位相をシ

フトさせるとともに、所定の変換比でインピーダンスを変換する。主線路351は、第2主線路の一例であり、例えば、 $1/16$ 波長の長さを有する伝送線路である。主線路351の一端36aはピークアンプ12の出力端子に接続されており、主線路351の他端36bは $1/4$ 波長伝送線路40の一端および主線路301の一端31aに接続されている。副線路352は、第2副線路の一例であり、例えば、 $1/16$ 波長の長さを有する伝送線路である。副線路352の一端37bは主線路351の一端36aに接続されており、副線路352の他端37aはグラウンドに接続されている。主線路351の一端36aから他端36bへ向かう第3方向と、副線路352の他端37aから一端37bへ向かう第4方向とは、同じである。上記構成において、主線路351と副線路352とは、電磁界結合している。なお、主線路351および副線路352の延伸方向に垂直な任意の方向から主線路351および副線路352を見た場合、上記第3方向と上記第4方向とは同じであることが望ましい。

[0097] 次に、本変形例に係る増幅回路51の動作について説明する。

[0098] まず、図6Aに示すように、キャリアアンプ11およびピークアンプ12が動作（ON）している場合（大信号入力時）、キャリアアンプ11の出力インピーダンス Z_p およびピークアンプ12の出力インピーダンス Z_n は、式5のように表される。なお、インピーダンス変換回路30は、インピーダンス変換回路30の出力端のインピーダンスに対して入力端のインピーダンスを $1/n$ に変換するものとする。また、インピーダンス変換回路35は、インピーダンス変換回路35の出力端のインピーダンスに対して入力端のインピーダンスを $1/n$ に変換するものとする。また、信号出力端子200に接続される負荷のインピーダンスを R_L とする。式5に示すように、インピーダンス変換回路30および35により、ピークアンプ12の出力インピーダンス Z_n は、キャリアアンプ11の出力インピーダンス Z_p の $1/n$ となる。

[0099]

[数5]

$$Z_p = RL \times \frac{2}{n}$$
$$Z_n = RL \times \frac{2}{n^2}$$

(式5)

[0100] 次に、図6Bに示すように、キャリアアンプ11が動作(ON)し、ピークアンプ12が動作していない(OFF)場合(小信号入力時)、キャリアアンプ11の出力インピーダンス Z_p は、式6のように表される。なお、このとき、ピークアンプ12の出力インピーダンス Z_n はオープン状態となっている。

[0101] [数6]

$$Z_p = RL \times \frac{4}{n}$$

(式6)

[0102] 式5および式6に示されるように、大信号入力時に対して小信号入力時には、キャリアアンプ11の出力インピーダンス Z_p は2倍となっている。つまり、小信号入力時には、ピークアンプ12がオフ状態となり、キャリアアンプ11の出力インピーダンス Z_p が高くなることで、増幅回路51は高効率動作することが可能となる。

[0103] 一方、大信号入力時には、キャリアアンプ11およびピークアンプ12が動作することで大電力信号を出力することができ、かつ、インピーダンス変換回路35の配置により、実施の形態2に係る増幅回路50と比較して、ピークアンプ12の出力インピーダンス Z_n が低いことで、信号歪を抑制することが可能となる。

[0104] また、本変形例に係る増幅回路51では、 $1/4$ 波長伝送線路に代えて、 $1/4$ 波長よりも短い線路で構成されたインピーダンス変換回路30および35が配置されているので、増幅回路51を小型化できる。

[0105] [2. 4 変形例2に係る増幅回路52の回路構成および動作]

なお、本実施の形態に係る高周波回路2は、増幅回路50に代えて、変形例2に係る増幅回路52を備えてもよい。以下、変形例2に係る増幅回路52の回路構成および動作について説明する。図7Aは、実施の形態2の変形例2に係る増幅回路52の大信号入力時の回路状態図である。また、図7Bは、実施の形態2の変形例2に係る増幅回路52の中信号入力時の回路状態図である。また、図7Cは、実施の形態2の変形例2に係る増幅回路52の小信号入力時の回路状態図である。

[0106] 図7A～7Cに示すように、変形例2に係る増幅回路52は、キャリアアンプ11および13と、ピークアンプ12と、1/4波長伝送線路40および41と、インピーダンス変換回路30および35と、信号出力端子200と、を備える。なお、図示していないが、増幅回路52は、プリアンプ15および移相回路70を備えてもよい。本変形例に係る増幅回路52は、実施の形態2の変形例1に係る増幅回路51と比較して、キャリアアンプ13および1/4波長伝送線路41が付加されている点のみが異なる。以下、増幅回路52について、増幅回路51と同じ点については説明を省略し、異なる点を中心に説明する。

[0107] キャリアアンプ13は、第3増幅素子の一例であり、端子130から入力される信号の全ての電力レベルに対して増幅動作可能なA級（またはAB級）増幅回路であり、特に、中出力領域において高効率な増幅動作が可能である。

[0108] 1/4波長伝送線路41は、第2伝送線路の一例であり、1/4波長伝送線路41の一端は、キャリアアンプ13の出力端子に接続されており、1/4波長伝送線路41の他端は、ピークアンプ12の出力端子および主線路351の一端36aに接続されている。1/4波長伝送線路41は、キャリアアンプ13から出力される信号の位相を-90度シフトさせる（90度遅らせる）。1/4波長伝送線路41の配置により、キャリアアンプ13から出力された信号の位相とピークアンプ12から出力された信号の位相とが揃え

られる。これにより、キャリアアンプ13から出力される信号と、ピークアンプ12から出力される信号とが、電流合成される。

[0109] 次に、本変形例に係る増幅回路52の動作について説明する。

[0110] まず、図7Aに示すように、キャリアアンプ11および13、ならびにピークアンプ12が動作（ON）している場合（大信号入力時）、キャリアアンプ11の出力インピーダンス Z_{p1} 、キャリアアンプ13の出力インピーダンス Z_{p2} 、および、ピークアンプ12の出力インピーダンス Z_n は、式7のように表される。式7に示すように、インピーダンス変換回路30および35により、ピークアンプ12の出力インピーダンス Z_n は、キャリアアンプ11の出力インピーダンス Z_{p1} の $2/n$ となる。

[0111] [数7]

$$\begin{aligned} Z_{p1} &= RL \times \frac{2}{n} \\ Z_{p2} &= RL \times \frac{4}{n^2} \\ Z_n &= RL \times \frac{4}{n^2} \end{aligned}$$

(式7)

[0112] 次に、図7Bに示すように、キャリアアンプ11および13が動作し（ON）し、ピークアンプ12が動作していない（OFF）場合（中信号入力時）、キャリアアンプ11の出力インピーダンス Z_{p1} およびキャリアアンプ13の出力インピーダンス Z_{p2} は、式8のように表される。なお、このとき、ピークアンプ12の出力インピーダンス Z_n はオープン状態となっている。式8に示すように、インピーダンス変換回路35により、キャリアアンプ13の出力インピーダンス Z_{p2} は、大信号入力時のキャリアアンプ13の出力インピーダンス Z_{p2} と比較して2倍となる。

[0113]

[数8]

$$Z_{p1} = RL \times \frac{2}{n}$$
$$Z_{p2} = RL \times \frac{8}{n^2}$$

(式8)

[0114] 次に、図7Cに示すように、キャリアアンプ11が動作(ON)し、キャリアアンプ13およびピークアンプ12が動作していない(OFF)場合(小信号入力時)、キャリアアンプ11の出力インピーダンス Z_{p1} は、式9のように表される。なお、このとき、キャリアアンプ13およびピークアンプ12の出力インピーダンスはオープン状態となっている。

[0115] [数9]

$$Z_{p1} = RL \times \frac{4}{n}$$

(式9)

[0116] 式9に示されるように、中信号入力時に対して小信号入力時には、キャリアアンプ11の出力インピーダンス Z_{p1} は2倍となっている。つまり、小信号入力時には、キャリアアンプ13およびピークアンプ12がオフ状態となり、キャリアアンプ11の出力インピーダンス Z_{p1} が高くなることで、増幅回路52は高効率動作することが可能となる。

[0117] 一方、大信号入力時には、キャリアアンプ11および13、ならびにピークアンプ12が動作することで大電力信号を出力することができ、かつ、ピークアンプ12の出力インピーダンス Z_n が低いことで、信号歪を抑制することが可能となる。

[0118] 増幅回路52の上記構成によれば、大信号入力時、中信号入力時および小信号入力時へと遷移するにつれて、キャリアアンプ11の出力インピーダンス Z_{p1} は高くなる。

[0119] つまり、本変形例に係る増幅回路52によれば、変形例1に係る増幅回路

５１と比較して、大信号出力時、中信号入力時および小信号入力時に応じてキャリアアンプ１１および１３の出力インピーダンスを細かく設定できるので、効率をより高精度に向上させることが可能となる。

[0120] [２．５ 高周波回路２の部品配置構成]

次に、実施の形態２に係る高周波回路２の部品実装構成について説明する。

[0121] 図８は、実施の形態２に係る高周波回路２の平面図および断面図である。

図８の（ａ）には、基板６０の主面をｚ軸正方向側から見た場合の回路部品の配置を透視した図が示され、図８の（ｂ）には、図８の（ａ）のＶ－Ｖ線における断面図が示されている。また、図８の（ａ）では、各回路部品の配置関係が容易に理解されるよう各回路部品にはその機能を表すマークが付されている場合があるが、実際の各回路部品には、当該マークは付されていない。また、図８において、基板６０および各回路部品を接続する配線の図示が省略されている。

[0122] なお、高周波回路２は、さらに、基板６０の表面および回路部品の一部を覆う樹脂部材、ならびに、樹脂部材の表面を覆うシールド電極層を備えてもよいが、図８では、樹脂部材およびシールド電極層の図示が省略されている。

[0123] 高周波回路２は、図５に示された回路構成に加えて、さらに、基板６０および電源線路９０を有している。

[0124] 基板６０は、高周波回路２を構成する回路部品を実装する基板である。基板６０としては、例えば、複数の誘電体層の積層構造を有する低温同時焼成セラミックス（Low Temperature Co-fired Ceramics: L T C C）基板、高温同時焼成セラミックス（High Temperature Co-fired Ceramics: H T C C）基板、部品内蔵基板、再配線層（Redistribution Layer: R D L）を有する基板、または、プリント基板等が用いられる。

[0125] 基板６０の表面上には、キャリアアンプ１１およびピークアンプ１２、および容量素子などが配置されている。

- [0126] キャリアアンプ11および13は、半導体1Cに含まれている。半導体1Cは、基板60上に配置されている。半導体1Cは、例えばCMOS (Complementary Metal Oxide Semiconductor) を用いて構成され、具体的にはSOI (Silicon on Insulator) プロセスにより製造されてもよい。また、半導体1Cは、GaAs、SiGe及びGaNのうちの少なくとも1つで構成されてもよい。なお、半導体1Cの半導体材料は、上述した材料に限定されない。なお、プリアンプ15、移相回路70、スイッチ81および84の少なくともいずれかは、半導体1Cに含まれていてもよい。
- [0127] 基板60の表面または内部には、インピーダンス変換回路30の主線路301および副線路302（図示せず）が形成されている。主線路301および副線路302は、基板60の表面または内部に形成された平面導体で構成されている。主線路301と副線路302とは、基板60の同層に形成されてもよいし、また、別層に形成されてもよい。また、主線路301および副線路302のそれぞれは、複数層にわたって形成されていてもよい。
- [0128] 電源線路90は、キャリアアンプ11およびピークアンプ12に接続され、キャリアアンプ11およびピークアンプ12に電源電圧を供給するための配線である。電源線路90は、基板60の表面または内部に形成されている。電源線路90は、基板60の表面または内部に形成された平面導体で構成されている。
- [0129] ここで、基板60を平面視した場合、主線路301および副線路302は、基板60の表面または内部であってピークアンプ12の第5方向（図8のy軸方向）に配置されている。これに対して、電源線路90は、基板60の表面または内部であってキャリアアンプ11の第5方向（図8のy軸方向）と、主線路301および副線路302の第5方向と直交する第6方向（図8のx軸方向）との交差部分に配置されている。
- [0130] これによれば、主線路301および副線路302とピークアンプ12との距離を小さくでき、かつ、上記交差部分のスペースを有効活用して電源線路90を配置できる。よって、高周波回路2の伝送損失を低減しつつ高周波回

路 2 を小型化できる。

[0131] [2. 6 効果など]

以上のように、本実施の形態に係る高周波回路 2 は、キャリアアンプ 1 1 およびピークアンプ 1 2 と、 $1/4$ 波長伝送線路 4 0 と、信号出力端子 2 0 0 と、インピーダンス変換回路 3 0 と、を備え、 $1/4$ 波長伝送線路 4 0 は、キャリアアンプ 1 1 の出力端子とピークアンプ 1 2 の出力端子との間に接続されており、インピーダンス変換回路 3 0 は、主線路 3 0 1 と、副線路 3 0 2 と、を有し、主線路 3 0 1 の一端 3 1 a は $1/4$ 波長伝送線路 4 0 の一端に接続されており、主線路 3 0 1 の他端 3 1 b は信号出力端子 2 0 0 に接続されており、 $1/4$ 波長伝送線路 4 0 の他端は、キャリアアンプ 1 1 の出力端子に接続されており、副線路 3 0 2 の一端 3 2 b は主線路 3 0 1 の一端 3 1 a に接続されており、副線路 3 0 2 の他端 3 2 a はグラウンドに接続されており、主線路 3 0 1 の一端 3 1 a から他端 3 1 b へ向かう第 1 方向と、副線路 3 0 2 の他端 3 2 a から一端 3 2 b へ向かう第 2 方向とは、同じである。

[0132] これによれば、 $1/4$ 波長伝送線路に代えて、 $1/4$ 波長よりも短い線路で構成されたインピーダンス変換回路 3 0 が配置されているので、高周波回路 2 を小型化できる。

[0133] また例えば、高周波回路 2 は、さらに、インピーダンス変換回路 3 5 を備え、インピーダンス変換回路 3 5 は、主線路 3 5 1 と、副線路 3 5 2 と、を有し、主線路 3 5 1 の一端 3 6 a はピークアンプ 1 2 の出力端子に接続されており、主線路 3 5 1 の他端は $1/4$ 波長伝送線路 4 0 の一端および主線路 3 0 1 の一端 3 1 a に接続されており、副線路 3 5 2 の一端 3 7 b は主線路 3 5 1 の一端 3 6 a に接続されており、副線路 3 5 2 の他端はグラウンドに接続されており、主線路 3 5 1 の一端 3 6 a から他端 3 6 b へ向かう第 3 方向と、副線路 3 5 2 の他端 3 7 a から一端 3 7 b へ向かう第 4 方向とは、同じであってもよい。

[0134] これによれば、 $1/4$ 波長伝送線路に代えて、 $1/4$ 波長よりも短い線路

で構成されたインピーダンス変換回路 30 および 35 が配置されているので、高周波回路 2 を小型化できる。また、ピークアンプ 12 の出力インピーダンスを低減できるので、高出力領域で信号歪を低減できる。

[0135] また例えば、高周波回路 2 は、さらに、キャリアアンプ 13 と、 $1/4$ 波長伝送線路 41 と、を備え、 $1/4$ 波長伝送線路 41 の一端はキャリアアンプ 13 の出力端子に接続されており、 $1/4$ 波長伝送線路 41 の他端はピークアンプ 12 の出力端子および主線路 351 の一端 36a に接続されているもよい。

[0136] これによれば、低出力領域および中出力領域において、キャリアアンプ 13 の出力インピーダンスを高くできるので、高効率化が促進される。

[0137] また例えば、高周波回路 2 は、さらに、基板 60 と、キャリアアンプ 11 およびピークアンプ 12 に接続され、キャリアアンプ 11 およびピークアンプ 12 に電源電圧を供給するための電源線路 90 と、を備え、キャリアアンプ 11 およびピークアンプ 12 は、基板 60 上または内部に配置され、基板 60 を平面視した場合、主線路 301 および副線路 302 は、基板 60 の表面または内部であってピークアンプ 12 の第 5 方向に配置されており、電源線路 90 は、基板 60 の表面または内部であってキャリアアンプ 11 の第 5 方向と、主線路 301 および副線路 302 の第 5 方向と直交する第 6 方向との交差部分に配置されているもよい。

[0138] これによれば、主線路 301 および副線路 302 とピークアンプ 12 との距離を小さくでき、かつ、上記交差部分のスペースを有効活用して電源線路 90 を配置できる。よって、高周波回路 2 の伝送損失を低減しつつ高周波回路 2 を小型化できる。

[0139] また例えば、高周波回路 2 において、キャリアアンプ 11 およびピークアンプ 12 は、半導体 IC に含まれており、当該半導体 IC は基板 60 上に配置されているもよい。

[0140] これによれば、高周波回路 2 を小型化できる。

[0141] また、本実施の形態に係る通信装置 9 は、高周波信号を処理する RF IC

7と、RFIC7とアンテナ6との間で高周波信号を伝送する高周波回路2と、を備える。

[0142] これによれば、高周波回路2の効果を通信装置9で実現することができる。

[0143] (その他の実施の形態など)

以上、本発明の実施の形態に係る高周波回路および通信装置について、実施の形態および変形例を挙げて説明したが、本発明に係る高周波回路および通信装置は、上記実施の形態および変形例に限定されるものではない。上記実施の形態および変形例における任意の構成要素を組み合わせることで実現される別の実施の形態や、上記実施の形態および変形例に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、上記高周波回路および通信装置を内蔵した各種機器も本発明に含まれる。

[0144] 例えば、上記実施の形態および変形例に係る高周波回路および通信装置において、図面に開示された各回路素子および信号経路を接続する経路の間に、別の回路素子および配線などが挿入されていてもよい。

産業上の利用可能性

[0145] 本発明は、マルチバンド対応のフロントエンド部に配置される高周波回路として、携帯電話などの通信機器に広く利用できる。

符号の説明

- [0146]
- 1、2 高周波回路
 - 6 アンテナ
 - 7 RF信号処理回路(RFIC)
 - 8、9 通信装置
 - 10、50、51、52、500 増幅回路
 - 11、13 キャリアアンプ
 - 12 ピークアンプ
 - 15 プリアンプ
 - 20 トランス

30、35 インピーダンス変換回路
31a、32b、36a、37b 一端
31b、32a、36b、37a 他端
40、41、530 1/4波長伝送線路
60 基板
70 移相回路
81、84 スイッチ
82、83 フィルタ
90 電源線路
101 入力端子
102 アンテナ接続端子
110、120、130 端子
200 信号出力端子
201 入力側コイル
202 出力側コイル
301、351 主線路
302、352 副線路

請求の範囲

[請求項1]

第1増幅素子および第2増幅素子と、
入力側コイルおよび出力側コイルを有するトランスと、
信号出力端子と、
第1回路と、を備え、
前記入力側コイルの一端は、前記第1増幅素子の出力端子に接続されており、
前記出力側コイルの一端は、前記信号出力端子に接続されており、
前記出力側コイルの他端は、グラウンドに接続されており、
前記第1回路は、
第1主線路と、
第1副線路と、を有し、
前記第1主線路の一端は、前記第2増幅素子の出力端子に接続されており、前記第1主線路の他端は、前記入力側コイルの他端に接続されており、
前記第1副線路の一端は、前記第1主線路の前記一端に接続されており、前記第1副線路の他端は、グラウンドに接続されており、
前記第1主線路の前記一端から前記他端へ向かう第1方向と、前記第1副線路の前記他端から前記一端へ向かう第2方向とは、同じである、
高周波回路。

[請求項2]

第1増幅素子および第2増幅素子と、
第1伝送線路と、
信号出力端子と、
第1回路と、を備え、
前記第1伝送線路は、前記第1増幅素子の出力端子と前記第2増幅素子の出力端子との間に接続されており、
前記第1回路は、

第1主線路と、

第1副線路と、を有し、

前記第1主線路の一端は、前記第1伝送線路の一端に接続されており、前記第1主線路の他端は、前記信号出力端子に接続されており、

前記第1伝送線路の他端は、前記第1増幅素子の出力端子に接続されており、

前記第1副線路の一端は、前記第1主線路の前記一端に接続されており、前記第1副線路の他端は、グラウンドに接続されており、

前記第1主線路の前記一端から前記他端へ向かう第1方向と、前記第1副線路の前記他端から前記一端へ向かう第2方向とは、同じである、

高周波回路。

[請求項3]

さらに、

第2回路を備え、

前記第2回路は、

第2主線路と、

第2副線路と、を有し、

前記第2主線路の一端は、前記第2増幅素子の出力端子に接続されており、前記第2主線路の他端は、前記第1伝送線路の前記一端および前記第1主線路の前記一端に接続されており、

前記第2副線路の一端は、前記第2主線路の前記一端に接続されており、前記第2副線路の他端は、グラウンドに接続されており、

前記第2主線路の前記一端から前記他端へ向かう第3方向と、前記第2副線路の前記他端から前記一端へ向かう第4方向とは、同じである、

請求項2に記載の高周波回路。

[請求項4]

さらに、

第3増幅素子と、

第2 伝送線路と、を備え、

前記第2 伝送線路の一端は、前記第3 増幅素子の出力端子に接続されており、前記第2 伝送線路の他端は、前記第2 増幅素子の出力端子および前記第2 主線路の前記一端に接続されている、

請求項3 に記載の高周波回路。

[請求項5]

さらに、

基板と、

前記第1 増幅素子および前記第2 増幅素子に接続され、前記第1 増幅素子および前記第2 増幅素子に電源電圧を供給するための電源線路と、を備え、

前記第1 増幅素子および前記第2 増幅素子は、前記基板上または内部に配置され、

前記基板を平面視した場合、

前記第1 主線路および前記第1 副線路は、前記基板の表面または内部であって前記第2 増幅素子の第5 方向に配置されており、

前記電源線路は、前記基板の表面または内部であって前記第1 増幅素子の前記第5 方向と、前記第1 主線路および前記第1 副線路の前記第5 方向と直交する第6 方向との交差部分に配置されている、

請求項2 ～4 のいずれか1 項に記載の高周波回路。

[請求項6]

前記第1 増幅素子および前記第2 増幅素子は、半導体 IC に含まれており、

前記半導体 IC は、前記基板上に配置されている、

請求項5 に記載の高周波回路。

[請求項7]

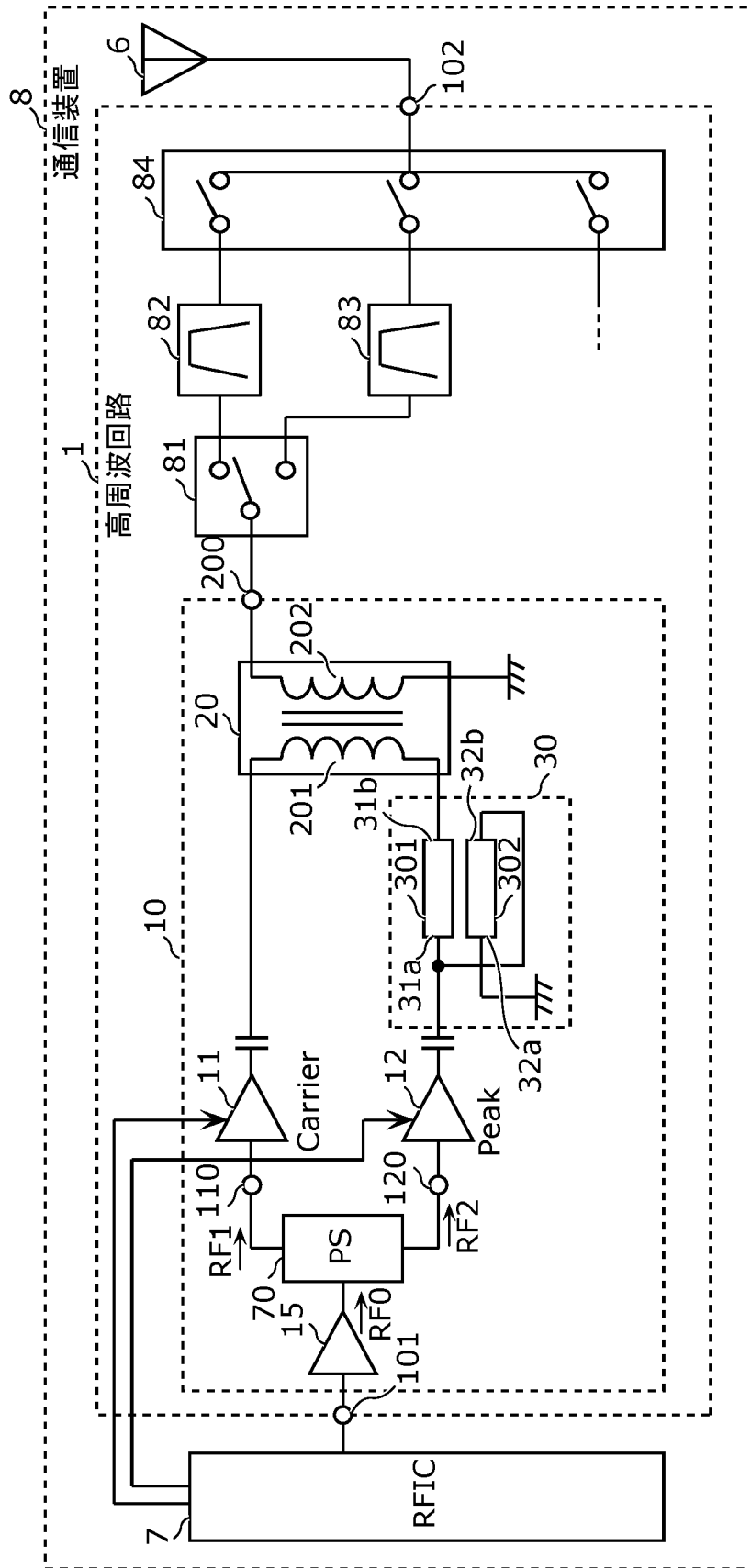
高周波信号を処理する信号処理回路と、

前記信号処理回路とアンテナとの間で前記高周波信号を伝送する、請求項1 ～6 のいずれか1 項に記載の高周波回路と、を備える、

通信装置。

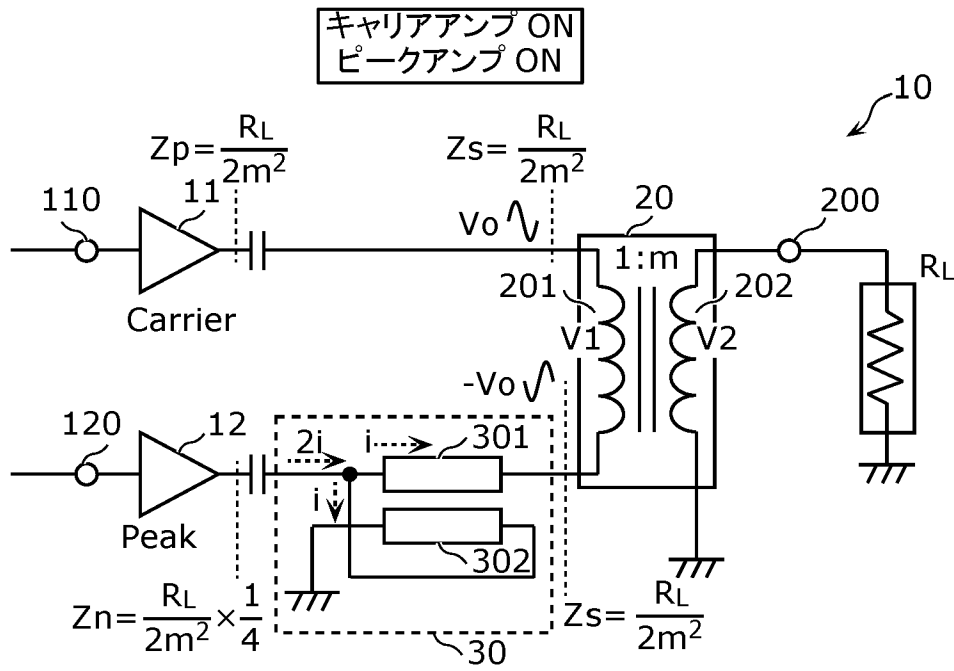
[图1]

图1



[図2A]

図2A



[図2B]

図2B

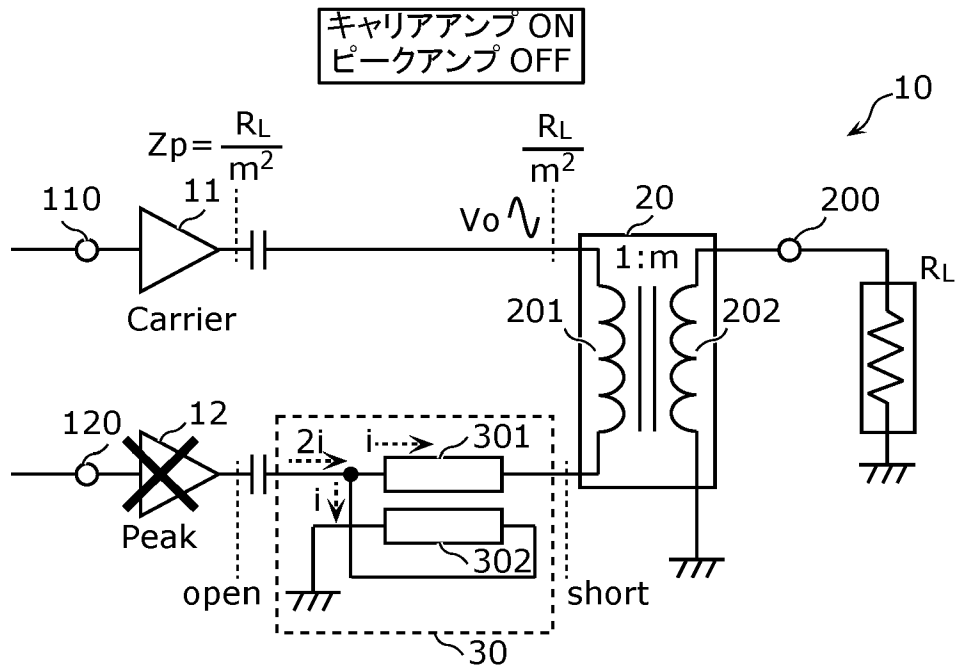
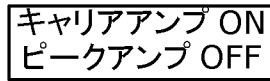


図3A

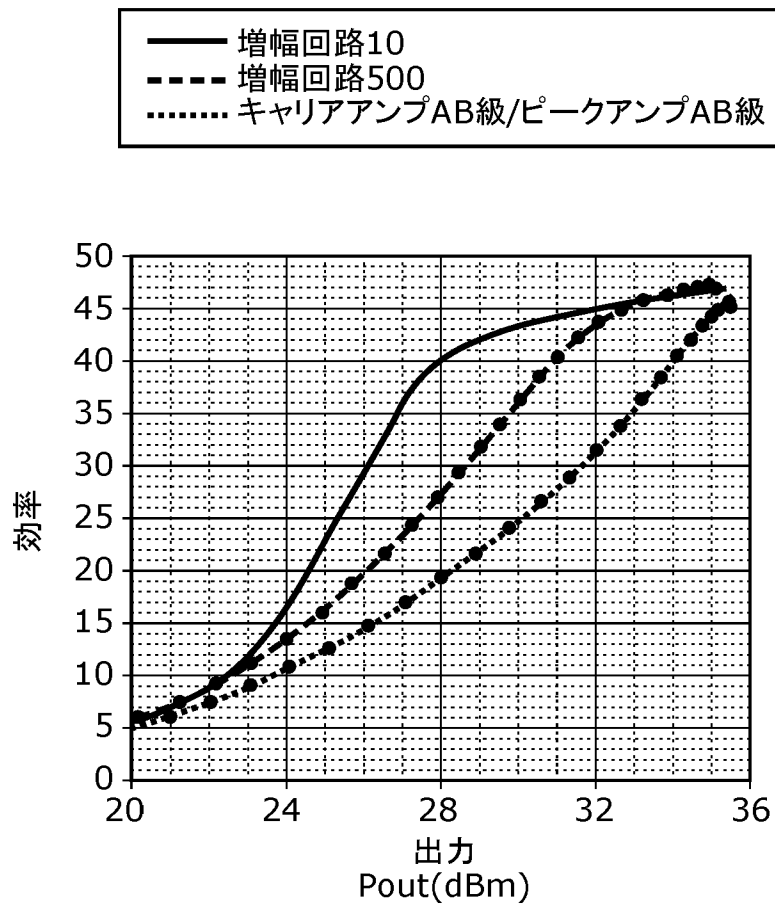


図3B

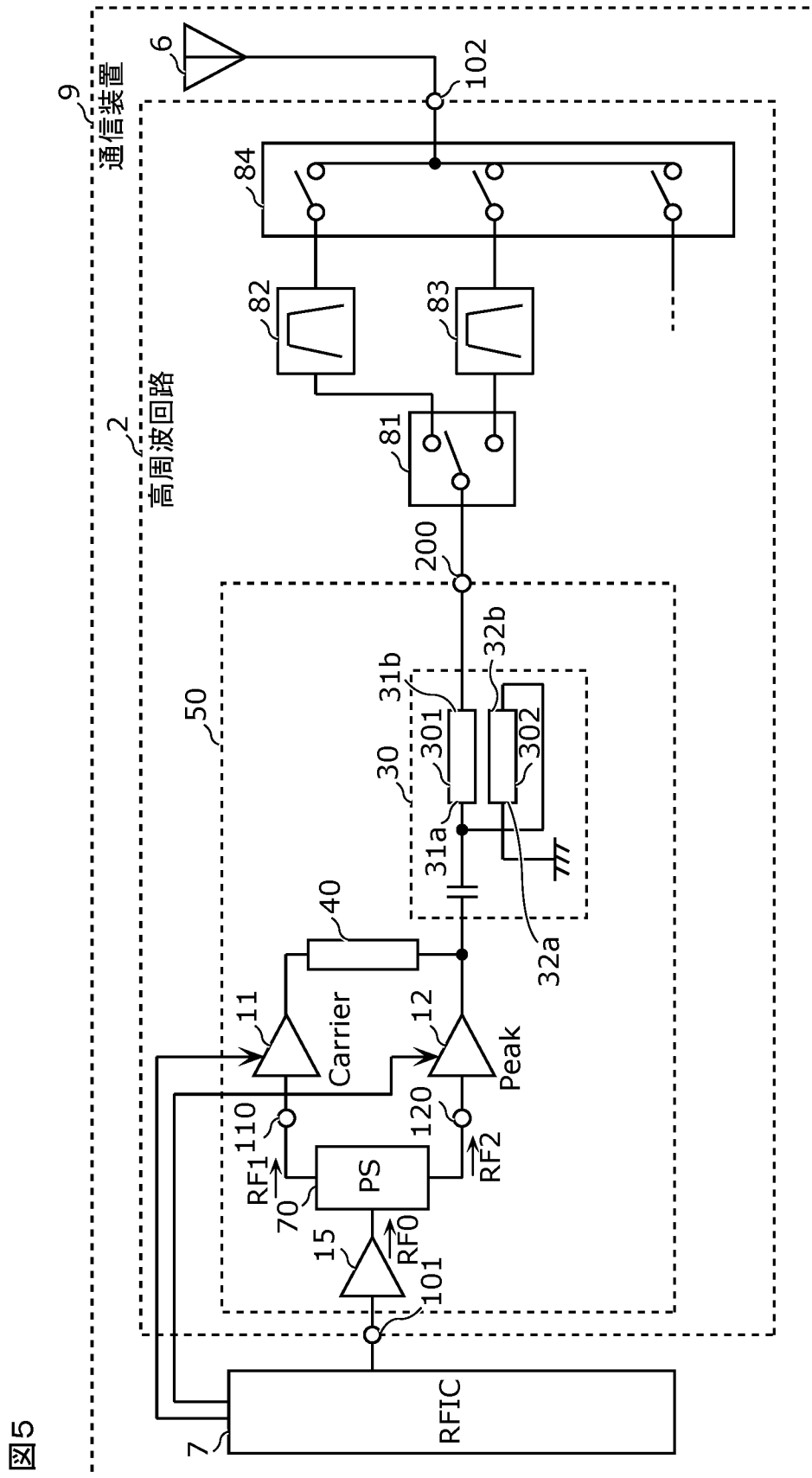


[図4]

図4

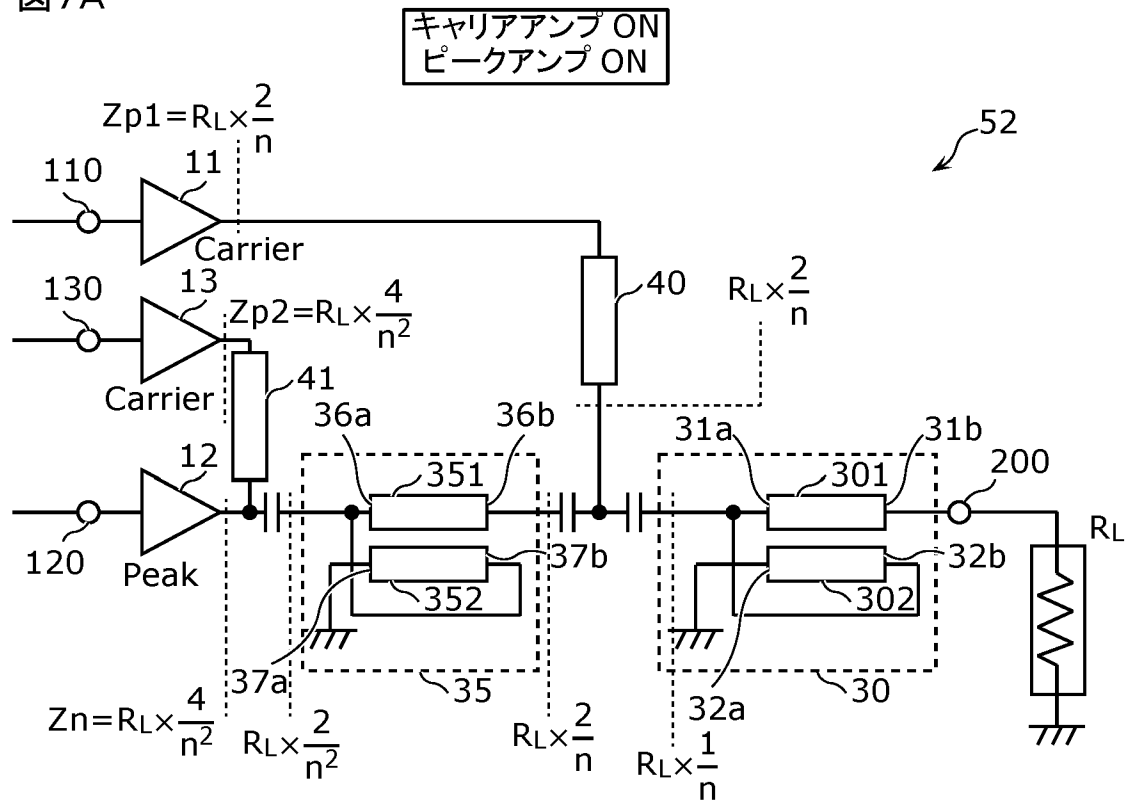


[图5]



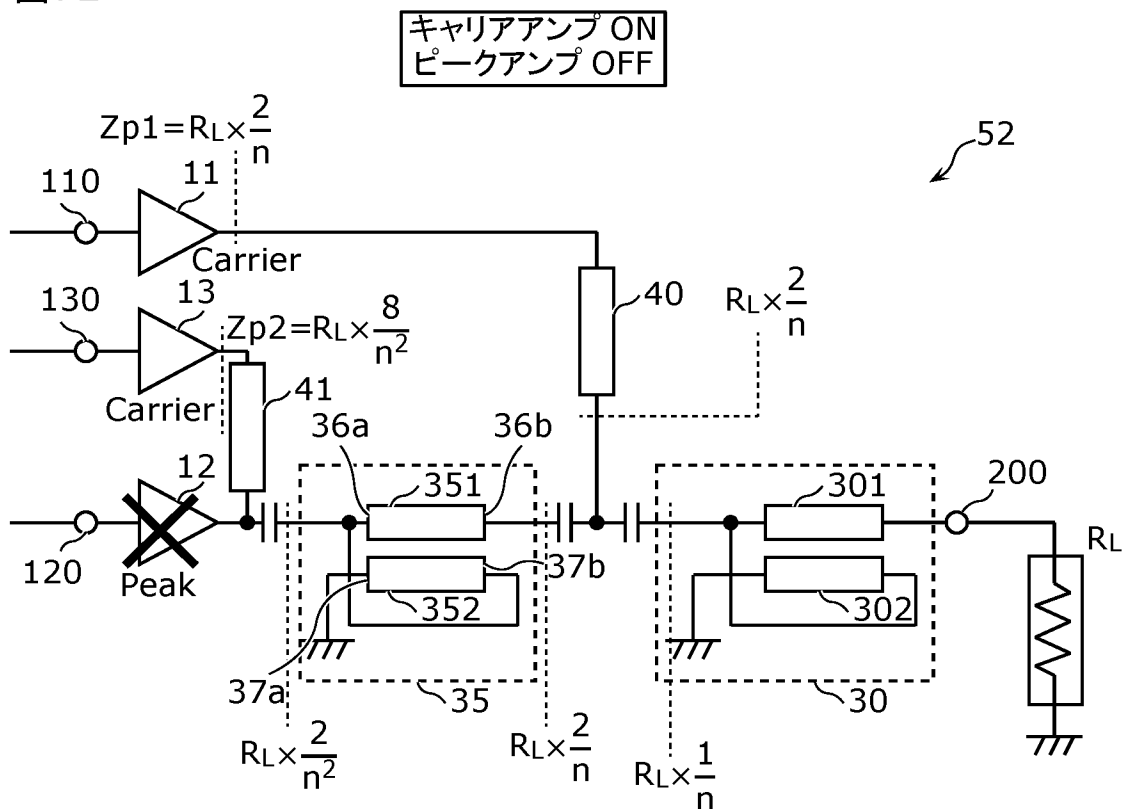
[図7A]

図7A



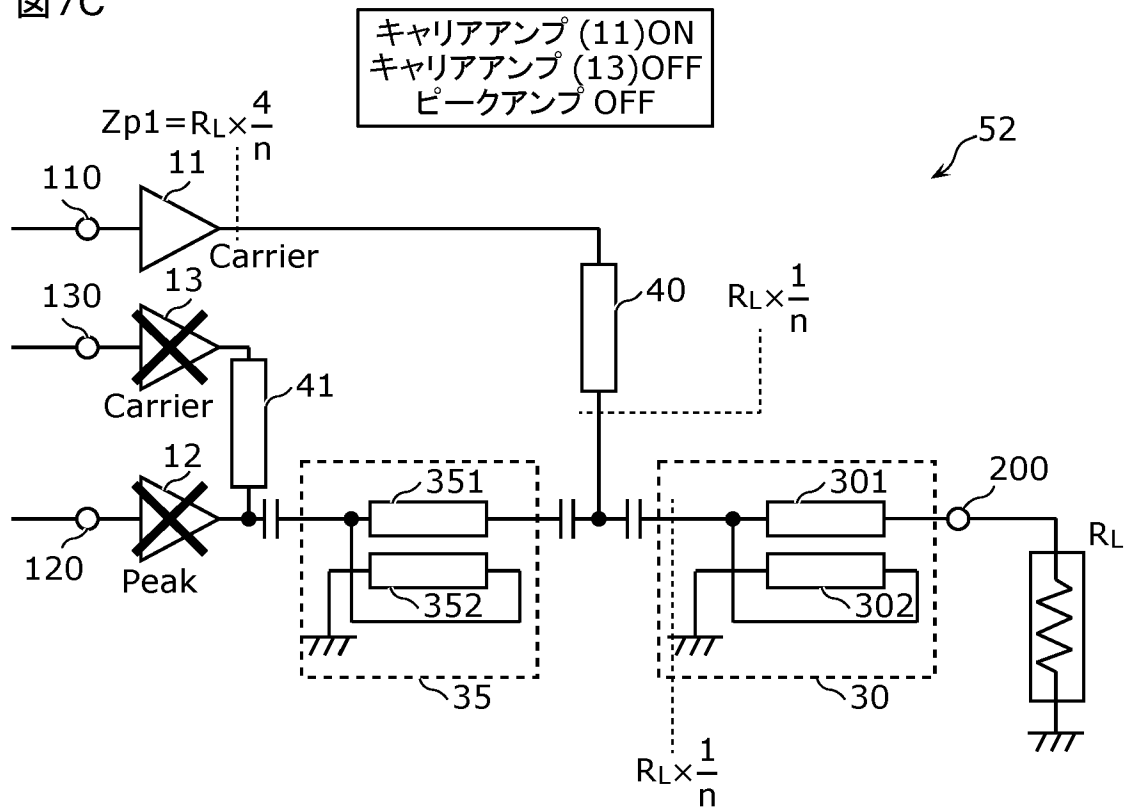
[図7B]

図7B



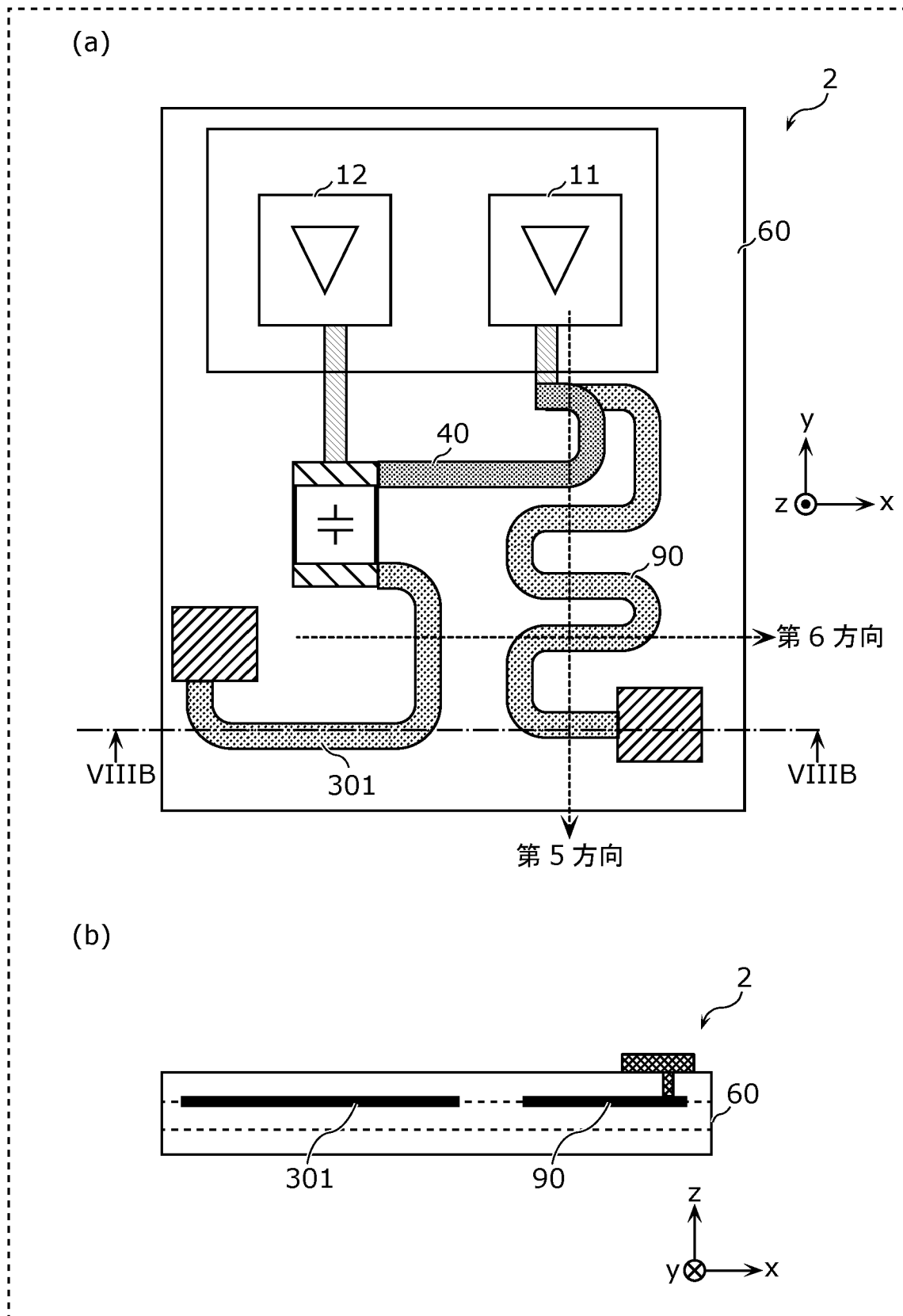
[図7C]

図7C



[図8]

図8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/022226

A. CLASSIFICATION OF SUBJECT MATTER**H03F 1/02**(2006.01)i; **H03F 3/68**(2006.01)i; **H04B 1/40**(2015.01)i

FI: H03F1/02 188; H04B1/40; H03F3/68 220

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F1/02; H03F3/68; H04B1/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-244070 A (HITACHI LTD) 01 December 2011 (2011-12-01) paragraphs [0017]-[0028], fig. 1, 5	1-7
Y	CN 108768308 A (TSINGHUA UNIVERSITY) 06 November 2018 (2018-11-06) paragraphs [0001]-[0054], fig. 1-2	1-7
Y	JP 2006-525751 A (CREE MICROWAVE, LLC) 09 November 2006 (2006-11-09) paragraphs [0013]-[0020], fig. 2, 5	3-7
Y	JP 2020-38957 A (MURATA MANUFACTURING CO) 12 March 2020 (2020-03-12) paragraphs [0024], [0097]-[0122], fig. 1, 17-19	5-7
Y	JP 2013-85179 A (TOSHIBA CORP) 09 May 2013 (2013-05-09) paragraphs [0009]-[0043], fig. 1-2	6-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 August 2022

Date of mailing of the international search report

23 August 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Document 1:JP 2011-244070 A (HITACHI LTD) 01 December 2011 (2011-12-01)

Claims are classified into the following two inventions.

(Invention 1) Claims 1 and 7

Claims 1 and 7 have the special technical feature of “comprising: a first amplifying element and a second amplifying element; a transformer having an input-side coil and an output-side coil; a signal output terminal; and a first circuit, wherein one end of the input-side coil is connected to an output terminal of the first amplifying element, one end of the output-side coil is connected to the signal output terminal, and the other end of the output-side coil is connected to the ground,” and are thus classified as invention 1.

(Invention 2) Claims 2-7

Claims 2-7 share, with claim 1 classified as invention 1, the common technical feature in which “the first circuit has a first main line and a first sub line, wherein the other end of the first sub line is connected to the ground, and a first direction from the one end toward the other end of the first main line is the same as a second direction from the other end toward the one end of the first sub line.” However, said technical feature does not make a contribution over the prior art in light of the disclosure of document 1, and thus cannot be said to be a special technical feature. Also, there are no other same or corresponding special technical features between these inventions.

In addition, claims 2-7 are not dependent on claim 1. Furthermore, claims 2-7 are not substantially identical to or similarly closely related to any of the claims classified as invention 1.

Thus, claims 2-7 cannot be classified as invention 1.

Also, claims 2-7 have the special technical feature of “comprising: a first amplifying element and a second amplifying element; a first transmission line; a signal output terminal; and a first circuit, wherein the first transmission line is connected between an output terminal of the first amplifying element and an output terminal of the second amplifying element, one end of the first main line is connected to one end of the first transmission line, and the other end of the first main line is connected to the signal output terminal,” and are thus classified as invention 2.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/022226

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2011-244070	A	01 December 2011	(Family: none)	
CN	108768308	A	06 November 2018	(Family: none)	
JP	2006-525751	A	09 November 2006	US 2003/0210096 A1 paragraphs [0022]-[0029], fig. 2, 5 WO 2004/100358 A1 CN 1781244 A KR 10-2006-0007429 A	
JP	2020-38957	A	12 March 2020	US 2020/0076383 A1 paragraphs [0048], [0137]- [0145], fig. 1, 17-19 CN 110875124 A KR 10-2020-0026713 A	
JP	2013-85179	A	09 May 2013	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03F 1/02(2006.01)i; H03F 3/68(2006.01)i; H04B 1/40(2015.01)i FI: H03F1/02 188; H04B1/40; H03F3/68 220		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H03F1/02; H03F3/68; H04B1/40		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-244070 A (株式会社日立製作所) 01.12.2011 (2011-12-01) 段落[0017]-[0028], 図1, 5	1-7
Y	CN 108768308 A (TSINGHUA UNIVERSITY) 06.11.2018 (2018-11-06) 段落[0001]-[0054], 図1-2	1-7
Y	JP 2006-525751 A (クリー マイクロウエイブ リミテッド ライアビリティ カンパニー) 09.11.2006 (2006-11-09) 段落[0013]-[0020], 図2, 5	3-7
Y	JP 2020-38957 A (株式会社村田製作所) 12.03.2020 (2020-03-12) 段落[0024], [0097]-[0122], 図1, 17-19	5-7
Y	JP 2013-85179 A (株式会社東芝) 09.05.2013 (2013-05-09) 段落[0009]-[0043], 図1-2	6-7
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 10.08.2022	国際調査報告の発送日 23.08.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576	

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

文献1：JP 2011-244070 A（株式会社日立製作所）01.12.2011(2011-12-01)

請求の範囲は、以下の2の発明に区分される。

（発明1）請求項1、7

請求項1、7は、「第1増幅素子および第2増幅素子と、入力側コイルおよび出力側コイルを有するトランスと、信号出力端子と、第1回路と、を備え、前記入力側コイルの一端は、前記第1増幅素子の出力端子に接続されており、前記出力側コイルの一端は、前記信号出力端子に接続されており、前記出力側コイルの他端は、グラウンドに接続されており」という特別な技術的特徴を有しているので、発明1に区分する。

（発明2）請求項2-7

請求項2-7は、発明1に区分された請求項1と、「前記第1回路は、第1主線路と、第1副線路と、を有し、前記第1副線路の他端は、グラウンドに接続されており、前記第1主線路の前記一端から前記他端へ向かう第1方向と、前記第1副線路の前記他端から前記一端へ向かう第2方向とは、同じである」という共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献1の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。

さらに、請求項2-7は、請求項1の従属請求項ではない。また、請求項2-7は、発明1に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項2-7は発明1に区分できない。

そして、請求項2-7は、「第1増幅素子および第2増幅素子と、第1伝送線路と、信号出力端子と、第1回路と、を備え、前記第1伝送線路は、前記第1増幅素子の出力端子と前記第2増幅素子の出力端子との間に接続されており、前記第1主線路の一端は、前記第1伝送線路の一端に接続されており、前記第1主線路の他端は、前記信号出力端子に接続されており」という特別な技術的特徴を有しているので、発明2に区分する。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の
申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/022226

引用文献			公表日	パテントファミリー文献	公表日
JP	2011-244070	A	01.12.2011	(ファミリーなし)	
CN	108768308	A	06.11.2018	(ファミリーなし)	
JP	2006-525751	A	09.11.2006	US 2003/0210096 A1	
				段落[0022]-[0029], 図2, 5	
				WO 2004/100358 A1	
				CN 1781244 A	
				KR 10-2006-0007429 A	
JP	2020-38957	A	12.03.2020	US 2020/0076383 A1	
				段落[0048], [0137]-	
				[0145], 図1, 17-19	
				CN 110875124 A	
				KR 10-2020-0026713 A	
JP	2013-85179	A	09.05.2013	(ファミリーなし)	