

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
26. Oktober 2012 (26.10.2012)



(10) Internationale Veröffentlichungsnummer
WO 2012/143347 A1

- (51) Internationale Patentklassifikation:
H03K 17/10 (2006.01) *H03K 17/687* (2006.01)
- (21) Internationales Aktenzeichen: PCT/EP2012/056986
- (22) Internationales Anmeldedatum:
17. April 2012 (17.04.2012)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
11163018.2 19. April 2011 (19.04.2011) EP
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **ELMOS SEMICONDUCTOR AG** [DE/DE]; Heinrich-Hertz-Straße 1, 44227 Dortmund (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): **GRIGORIEV, Anatoli** [RU/DE]; c/o ELMOS Semiconductor AG, Heinrich-Hertz-Straße 1, 44227 Dortmund (DE). **GUBANOV, Dmitri** [RU/RU]; 5. Predportoviy proezd, Haus 8, Gebäude 4, Wohnung 31, Sankt Petersburg, 196240 (RU).
- (74) Anwalt: **VON KREISLER SELTING WERNER**; Deichmannhaus am Dom, Bahnhofsvorplatz 1, 50667 Köln (DE).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,

[Fortsetzung auf der nächsten Seite]

(54) Title: SWITCH ASSEMBLY

(54) Bezeichnung : SCHALTERANORDNUNG

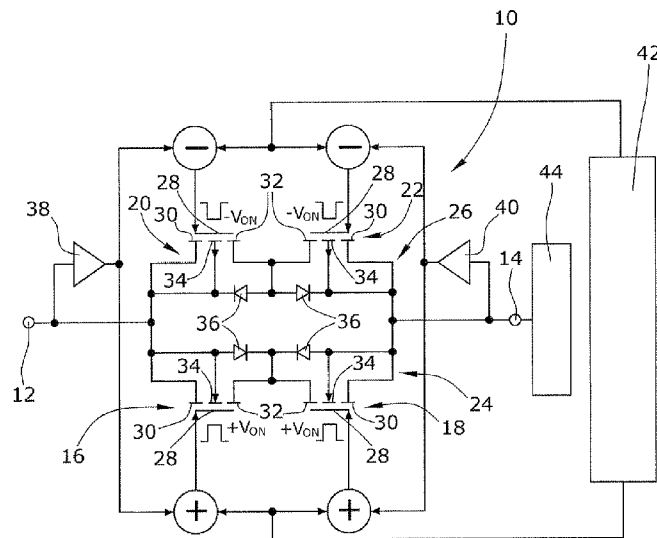


Fig.1

(57) Abstract: The invention relates to a switch assembly for switching through positive and negative voltages at an input to an output, said switch assembly being provided with two series connections (24, 26) which are connected in parallel and comprise two PMOS or two NMOS transistors (16, 18, 20, 22), which are connected between the input and the output. The sources and the substrates of the input-side PMOS and NMOS transistors (16, 20) are connected to the input terminal (12) and the sources and the substrates of the output-side PMOS and NMOS transistors (18, 22) are connected to the output terminal (14). When the input terminal (12) is to be blocked with respect to the output terminal (14), or vice versa, a control unit (42) applies a respective control voltage which is greater than the voltage at the input and output terminals (12, 14), less the threshold voltage of the respective PMOS transistor (16, 18), to the gate of the input-side PMOS transistor (16) and to the gate of the output-side PMOS transistor (18), and applies a control voltage which is smaller than the voltage at the input and output terminals (12, 14), plus the threshold voltage of the respective NMOS transistor (20, 22), to the gate of the input-side NMOS transistor (20) and to the gate of the output-side NMOS transistor (22). When the input terminal (12) is conductively connected to the output terminal (14), the control unit (42) applies a respective

control voltage which is less than the voltage at the input and output terminals (12, 14) by at least the threshold voltage of the respective PMOS transistor (16, 18), to the gate of the input-side PMOS transistor (16) and to the gate of the output-side PMOS transistor (18), and applies a control voltage which is greater than the voltage at the input and output terminals (12, 14) by at least the threshold voltage of the respective NMOS transistor (20, 22), to the gate of the input-side NMOS transistor (20) and to the gate of the output-side NMOS transistor (22).

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]

IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, **Veröffentlicht:**RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).— mit internationalem Recherchenbericht (Artikel 21 Absatz
3)

Die Schalteranordnung zum Durchschalten von positiven und negativen Spannungen an einem Eingang zu einem Ausgang ist versehen mit zwei parallel geschalteten Serienschaltungen (24,26) aus zwei PMOS- bzw. zwei NMOS-Transistoren (16, 18,20,22), die zwischen den Eingang und den Ausgang geschaltet sind. Dabei sind die Sources und die Substrate der eingangsseitigen PMOS- und NMOS-Transistoren (16,20) mit dem Eingangsanschluss (12) und die Sources sowie die Substrate der ausgangsseitigen PMOS- und NMOS-Transistoren (18,22) mit dem Ausgangsanschluss (14) verbunden. Eine Ansteuereinheit (42) legt dann, wenn der Eingangsanschluss (12) gegenüber dem Ausgangsanschluss (14) oder umgekehrt gesperrt sein soll, an das Gate des eingangsseitigen PMOS-Transistors (16) sowie an das Gate des ausgangsseitigen PMOS -Transistors (18) jeweils eine Steuerspannung an, die größer als die Spannung am Eingangs- bzw. Ausgangsanschluss (12,14) abzüglich der Schwellenspannung des betreffenden PMOS-Transistors (16,18) ist, und an das Gate des eingangsseitigen NMOS-Transistors (20) sowie an das Gate des ausgangsseitigen NMOS-Transistors (22) jeweils eine Steuerspannung an, die kleiner als die Spannung am Eingangs- bzw. Ausgangsanschluss (12,14) zuzüglich der Schwellenspannung des betreffenden NMOS-Transistors (20,22) ist. Ferner legt die Ansteuereinheit (42) dann, wenn der Eingangsanschluss (12) leitend mit dem Ausgangsanschluss (14) verbunden sein soll, an das Gate des eingangsseitigen PMOS-Transistors (16) sowie an das Gate des ausgangsseitigen PMOS-Transistors (18) jeweils eine Steuerspannung an, die um mindestens die Schwellenspannung des betreffenden PMOS-Transistors (16,18) kleiner als die Spannung am Eingangs- bzw. Ausgangsanschluss (12,14) ist, und an das Gate des eingangsseitigen NMOS-Transistors (20) sowie an das Gate des ausgangsseitigen NMOS-Transistors (22) jeweils eine Steuerspannung an, die um mindestens die Schwellenspannung des betreffenden NMOS-Transistors (20,22) größer als die Spannung am Eingangs- bzw. Ausgangsanschluss ist.

Schalteranordnung

Die Erfindung betrifft eine Schalteranordnung zum Durchschalten von positiven und negativen Spannungen an einem Eingang zu einem Ausgang sowie zum Sperren des Eingangs gegenüber dem Ausgang.

- 5 In den verschiedensten Applikationen ist es erforderlich, Spannungen, die sich innerhalb eines Bereichs zwischen einem positiven Maximalspannungswert und einem negativen Minimalspannungswert bewegen, auf eine Schaltung aufzuschalten. Beispiele sind SC-Schaltungen (Integratoren oder Verstärker). Dabei ist es erforderlich, die Spannungen innerhalb dieses Eingangsspannungsbereichs wahlweise zu sperren oder aber durchzulassen. Die Schalteranordnungen weisen dabei steuerbare elektronische Schalter in Form von Transistoren auf. Je nach der Technologie, in der die Transistoren hergestellt sind, sind deren Sperr- und Durchlassspannungen beschränkt. Die Spannungsfestigkeit derartiger Transistoren kann unter Inkaufnahme größerer Chip-Flächen erhöht werden, was aber mitunter wirtschaftlich nicht sinnvoll ist. Insbesondere besteht ein Bedarf zur Schaltung von Spannungen für hochpräzise Industrie-Applikationen im Bereich von +/- 24 Volt und höher.
- 10
15

- Aus EP-A-0 698 966 ist eine Schalteranordnung mit einem Eingang und einem Ausgang und mit zwei bezüglich ihrer steuerbaren Strompfade in Reihe geschalteten MOS-Transistoren bekannt, die zwischen dem Eingang und dem Ausgang angeordnet sind.
- 20

- Schaltungsanordnungen mit einzeln oder paarweise in Reihe sowie parallel geschalteten Transistoren sind in US-A-5 789 781, US-A-5 023 688, EP-A-1 024 596 und WO-A-95/28035 beschrieben.
- 25

Aufgabe der Erfindung ist es, eine Schalteranordnung für Hochvolt-Anwendungen zu schaffen, bei der Niedervolt-Transistoren zum Einsatz kommen.

Zur Lösung dieser Aufgabe wird mit der Erfindung eine Schalteranordnung vorgeschlagen, die versehen ist mit

- einem Ausgangsanschluss,
- einer ersten Serienschaltung aus zwei PMOS-Transistoren mit jeweils
5 einem Gate, einem Source und einem Drain und einem Substrat sowie parasitären Dioden zwischen dem Source bzw. dem Drain einerseits und dem Substrat andererseits, wobei die parasitären Dioden zur Verhinderung des nicht gewollten Durchschaltens einer Spannung gegeneinander geschaltet sind,
- 10 - einer zweiten Serienschaltung aus zwei NMOS-Transistoren mit jeweils einem Gate, einem Source und einem Drain und einem Substrat sowie parasitären Dioden zwischen dem Source bzw. dem Drain einerseits und dem Substrat andererseits, wobei die parasitären Dioden zur Verhinderung des nicht gewollten Durchschaltens einer Spannung gegeneinander
15 geschaltet sind,
- wobei die beiden Serienschaltungen parallel zueinander sowie zwischen den Eingangs- und Ausgangsanschlüssen geschaltet sind und
- wobei die Sources und die Substrate der eingangsseitigen PMOS- und NMOS-Transistoren mit dem Eingangsanschluss und die Sources sowie
20 die Substrate der ausgangsseitigen PMOS- und NMOS-Transistoren mit dem Ausgangsanschluss verbunden sind und
- einer Ansteuereinheit für die PMOS- und NMOS-Transistoren zum wahlweisen Sperren oder Durchlassen einer Spannung am Eingangsanschluss gegenüber dem bzw. zum Ausgangsanschluss oder umgekehrt,
- 25 - wobei die Ansteuereinheit dann, wenn der Eingangsanschluss gegenüber dem Ausgangsanschluss oder umgekehrt gesperrt sein soll, an das Gate des eingangsseitigen PMOS-Transistors sowie an das Gate des ausgangs-
seitigen PMOS-Transistors jeweils eine Steuerspannung anlegt, die größer als die Spannung am Eingangs- bzw. Ausgangsanschluss abzüglich der
30 Schwellenspannung des betreffenden PMOS-Transistors ist, und an das Gate des eingangsseitigen NMOS-Transistors sowie an das Gate des aus-
gangsseitigen NMOS-Transistors jeweils eine Steuerspannung anlegt, die kleiner als die Spannung am Eingangs- bzw. Ausgangsanschluss zuzüg-
lich der Schwellenspannung des betreffenden NMOS-Transistors ist, und

- wobei die Ansteuereinheit dann, wenn der Eingangsanschluss leitend mit dem Ausgangsanschluss verbunden sein soll, an das Gate des eingangsseitigen PMOS-Transistors sowie an das Gate des ausgangsseitigen PMOS-Transistors jeweils eine Steuerspannung anlegt, die um mindestens die Schwellenspannung des betreffenden PMOS-Transistors kleiner als die Spannung am Eingangs- bzw. Ausgangsanschluss ist, und an das Gate des eingangsseitigen NMOS-Transistors sowie an das Gate des ausgangsseitigen NMOS-Transistors jeweils eine Steuerspannung anlegt, die um mindestens die Schwellenspannung des betreffenden NMOS-Transistors größer als die Spannung am Eingangs- bzw. Ausgangsanschluss ist.

Bei dem erfindungsgemäßen Konzept handelt es sich um eine "floatende" Hochvolt-CMOS-Schalteranordnung zum Sperren oder Durchlassen einer negativen oder positiven Spannung innerhalb eines vorgegebenen Spannungsbereichs von beispielsweise +/- 24 Volt. Die einzelnen Schalter sind beispielsweise in SOI-Technologie ausgeführt. Die Schalteranordnung weist einen Eingangsanschluss und einen Ausgangsanschluss auf, zwischen denen zwei zueinander parallel geschaltete Serienschaltungen aus PMOS- bzw. NMOS-Transistoren geschaltet sind. Derartige Transistoren weisen Substrat-Dioden auf. Erfindungsgemäß sind die beiden PMOS-Transistoren der ersten Serienschaltung sowie die beiden NMOS-Transistoren der zweiten Serienschaltung derart miteinander verschaltet, dass ihre parasitären Substrat-Dioden jeweils gegeneinander geschaltet sind, womit in jedem denkbaren Betriebsfall (positivere Spannung am Eingangsanschluss gegenüber negativerer Spannung am Ausgangsanschluss oder umgekehrt) in jeder Serienschaltung jeweils eine Diode in Sperrrichtung geschaltet ist.

Erfindungsgemäß ist ferner vorgesehen, dass die Gates der PMOS- und NMOS-Transistoren über eine Steuereinheit mit Steuerspannungen versorgt werden, die unabhängig von der Größe und der Vorzeichen der Spannungen am Eingangs- und Ausgangsanschluss gezielt sämtlich eingeschaltet oder sämtlich ausgeschaltet werden können. Insoweit "floaten" also die Gates der Transistoren, und zwar sind die Gates der beiden eingangsseitigen PMOS- und NMOS-Transistoren der aktuellen Spannung am Eingangsanschluss nachgeführt,

während die Gates der beiden ausgangsseitigen PMOS- und NMOS-Transistoren der aktuellen Spannung am Ausgangsanschluss nachgeführt sind.

Über die Ansteuereinheit kann die jeweilige Größe (einschließlich Vorzeichen)
5 der Spannungen am Eingangs- und am Ausgangsanschluss erfasst werden. Wenn die Schalteranordnung sperren soll, so werden im einfachsten Fall die Gates der eingangsseitigen PMOS- und NMOS-Transistoren auf dem Wert der Spannung am Eingangsanschluss gehalten, während die Gates der ausgangsseitigen PMOS- und NMOS-Transistoren auf dem Wert der gerade anliegenden
10 Spannung des Ausgangsanschlusses gehalten werden. Die Transistoren werden eingeschaltet, indem von diesen aktuellen Spannungen die jeweiligen Eingangsspannungen abgezogen oder zu diesen aktuellen Spannungen addiert werden, so dass sich die für den Einschaltzustand der jeweiligen Transistoren benötigten Gate-Source-Spannungen einstellen. Dies kann im einfachsten Fall
15 durch eine Addition (bzw. Subtraktion) dieser Schwellenspannungen zu den aktuellen Gate-Spannungen erfolgen.

In vorteilhafter Weiterbildung der Erfindung ist vorgesehen, dass zwischen dem Eingangsanschluss und den Gates der eingangsseitigen PMOS- und
20 NMOS-Transistoren eine eingangsseitige Spannungsnachführeinheit und zwischen dem Ausgangsanschluss und den Gates der ausgangsseitigen PMOS- und NMOS-Transistoren eine ausgangsseitige Spannungsnachführeinheit geschaltet ist, wobei eine Spannung an den Gates der beiden eingangsseitigen PMOS- und NMOS-Transistoren der Spannung am Eingangsanschluss nach-
25 führbar und eine Spannung an den Gates der beiden ausgangsseitigen PMOS- und NMOS-Transistoren der Spannung am Ausgangsanschluss nachführbar ist, und dass die Ansteuereinheit dann, wenn der Eingangsanschluss gegenüber dem Ausgangsanschluss gesperrt sein soll, an die Gates der Transistoren neben deren der Spannung am Eingangs- bzw. Ausgangsanschluss nachge-
30 führten Spannung keine weitere Steuerspannung oder eine diese Transistoren weiterhin sperrende Steuerspannung anlegt, und dann, wenn der Eingangsanschluss mit dem Ausgangsanschluss leitend verbunden sein soll, an die Gates der Transistoren neben deren der Spannung am Eingangs- bzw. Ausgangsanschluss nachgeführten Spannung die Schwellenspannung des jeweiligen

PMOS- bzw. NMOS-Transistors anlegt. Mit Hilfe der beiden bei diesem Ausführungsbeispiel vorgesehenen Spannungsnachführeinheiten kann also die erfindungsgemäße Schalteranordnung nach dem Bootstrap-Prinzip gesteuert werden.

5

Die Schalteranordnung gemäß der vorstehenden Variante (nach Anspruch 2 bzw. 5) verfügt somit über floatende Gates. An diesen floatenden Gates der Transistoren, deren Spannung nachgeführt wird, wird zur Spannung am Ausgang bzw. zur Spannung am Eingang die Schwell- bzw. Ansteuerspannung für den betreffenden Transistor addiert bzw. subtrahiert, was durch Spannungssaddierer bzw. -subtrahierer erfolgt. Die Spannung am Ausgang bzw. am Eingang wird dabei z.B. durch eine Entkopplungseinheit wie z.B. einem Operationsverstärker oder eine andere Spannungsfolgerschaltung (z.B. Transistorschaltungen als sogenannter Source-Follower) an das Gate des betreffenden Transistors gegeben.

10
15

Das erfindungsgemäße Konzept der Schalteranordnung mit jeweils zwei seriengeschalteten PMOS- und NMOS-Transistoren in jeweils eigenen Substraten bietet eine Möglichkeit, den verwendeten Eingangsspannungsbereich von positiven Spannungen für negative Spannungen oder von negativen Spannungen auf positive Spannungen zu erweitern, wobei anstelle von Hochvolt-Transistoren lediglich Niedervolt-Transistoren eingesetzt werden müssen.

20

Die Erfindung verkörpert sich aber auch in einer Schalteranordnung mit lediglich einer Serienschaltung aus zwei PMOS- oder zwei NMOS-Transistoren, wie es in den Ansprüchen 3 bis 5 beschrieben ist.

25

Die Erfindung wird nachfolgend anhand dreier Ausführungsbeispiele und unter Bezugnahme auf die Zeichnung näher erläutert, in der in den Fig. 1 bis 3 beispielhafte Schalteranordnungen gezeigt sind.

30

Gemäß Fig. 1 weist die Schalteranordnung 10 einen Eingangsanschluss 12 und einen Ausgangsanschluss 14 auf, zwischen denen zwei PMOS-Transistoren 16,18 sowie zwei NMOS-Transistoren 20,22 verschaltet sind. Dabei sind die

beiden PMOS-Transistoren 16,18 in Serie geschaltet, während die beiden NMOS-Transistoren 20,22 ebenfalls in Serie geschaltet sind. Diese beiden Serienschaltungen 24,26 sind zueinander parallel geschaltet und befinden sich zwischen dem Eingangs- und dem Ausgangsanschluss 12 bzw. 14.

5

Jeder Transistor 16,18,20,22 weist ein Gate 28, ein Source 30, ein Drain 32 und ein eigenes Substrat 34 auf. Das Source 30 des eingangsseitigen PMOS-Transistors 16 sowie die eingangsseitigen NMOS-Transistors 20 sind mit dem Eingangsanschluss 12 verbunden. Auch die Substrate 34 dieser beiden Transistoren sind mit dem Eingangsanschluss 12 verbunden. In entsprechender Weise sind die Sources 30 des ausgangsseitigen PMOS-Transistors 18 und des ausgangsseitigen NMOS-Transistors 22 mit dem Ausgangsanschluss 14 verbunden. Ihre Substrate 34 sind ebenfalls mit dem Ausgangsanschluss 14 verbunden. Die parasitären Substrat-Dioden 36 der jeweiligen PMOS- bzw. NMOS-Transistoren 16,18 bzw. 20,22 der beiden Serienschaltungen 24,26 sind jeweils gegeneinander geschaltet, so dass in jedem Fall eine elektrische Verbindung zwischen dem Eingangsanschluss 12 und dem Ausgangsanschluss 14 über die Substrate 34 der miteinander verbundenen Transistoren der beiden Serienschaltungen 24,26 unterbunden ist.

20

Die Gates 28 der vier Transistoren 16,18,20,22 sind "floatend" und folgen den Spannungen am Eingangs- bzw. Ausgangsanschluss 12,14. Zu diesem Zweck sind die Gates 28 der beiden eingangsseitigen PMOS- und NMOS-Transistoren 16,20 über eine eingangsseitige Spannungsnachführeinheit 38 mit dem Eingangsanschluss 12 gekoppelt, und zwar durch z.B. eine an sich bekannte Operationsverstärkerschaltung, die eine Rückkopplung der am Gate anliegenden Spannung zum Eingangsanschluss 12 verhindert. Genauso ist der Ausgangsanschluss 14 über eine ausgangsseitige Spannungsnachführeinheit 40 mit den Gates 28 der beiden ausgangsseitigen PMOS- und NMOS-Transistoren 18,22 miteinander gekoppelt, und zwar ebenfalls durch z.B. einen Operationsverstärker, der eine Rückkopplung der am Gate anliegenden Spannung zum Ausgangsanschluss 14 verhindert. Den Gates 28 der vier Transistoren werden nun neben den floatenden Potentialen die jeweiligen Schwellenspannungen zugeführt, was mit Hilfe einer Ansteuereinheit 42 sowie den bei + und - ange-

30

deuteten Spannungsaddierern bzw. -subtrahierern, deren schaltungstechnische Realisierungen an sich bekannt sind, erfolgt. Am Ausgangsanschluss 14 der Schalteranordnung 10 befindet sich eine bei 44 als Block schematisch dargestellte applikationsabhängige Schaltung zur Verarbeitung des durchgeschalteten oder gesperrten Spannungssignals am Eingangsanschluss 12 der Schalteranordnung 10.

Die Schalteranordnung 10 nach Fig. 1 arbeitet wie folgt. Zum Sperren einer Spannung am Eingangsanschluss 12 gegenüber dem Ausgangsanschluss 14 werden an die (floatenden) Gates 28 der vier Transistoren über die nachgeführten aktuellen Spannungen am Eingangsanschluss 12 bzw. Ausgangsanschluss 14 keine weiteren Spannungen angelegt. Damit betragen die Gate-Source-Spannungen sämtlicher Transistoren null Volt. Pro Serienschaltung 24,26 ist damit mindestens ein Transistor gesperrt. Die Verbindung über die parasitären Substrat-Dioden 36 ist ebenfalls gesperrt, da mindestens eine dieser parasitären Substrat-Dioden 36 pro Serienschaltung 24,26 sperrt.

Zum Durchlassen einer Spannung am Eingangsanschluss 12 zum Ausgangsanschluss 14 werden die vier Transistoren über die Ansteuereinheit 42 mit ihren jeweiligen Schwellenspannungen V_{on} beaufschlagt, und zwar dergestalt, dass die Gates 28 der beiden PMOS-Transistoren 16,18 eine um die Schwellenspannung niedrigere Spannung als die aktuelle Spannung am Eingangsanschluss 12 bzw. Ausgangsanschluss 14 erhalten. Entsprechend wird die Spannung an den Gates 28 der beiden NMOS-Transistoren 20,22 gegenüber der aktuellen Spannung am Eingangsanschluss 12 bzw. Ausgangsanschluss 14 um die Eingangsspannung erhöht. Dies ist ebenfalls in der Zeichnung angedeutet.

Die Erfindung ist auf die Realisierung einer Schalteranordnung mit zwei parallel geschalteten Serienschaltungen aus jeweils zwei NMOS-Transistoren desselben Leitungstyps (d.h. eine Serienschaltung aus zwei PMOS-Transistoren und eine Serienschaltung aus zwei NMOS-Transistoren) nicht beschränkt. Die Erfindung umfasst auch solche Schalteranordnungen, bei denen lediglich eine Serienschaltung (aus zwei PMOS-Transistoren oder aus zwei NMOS-Transistoren) zwischen den Eingangs- und den Ausgangsanschluss der Schalteranord-

nung geschaltet ist. Durch die Verwendung komplementärer Transistoren (Serienschaltung aus PMOS- und aus NMOS-Transistoren) kann allerdings der Spannungsbereich, innerhalb dessen die Schalteranordnung sperren oder leiten soll, auf sowohl den unteren als auch den oberen zulässigen Eingangs-/Ausgangsspannungsbereich erweitert werden. Bei Verwendung lediglich einer Serienschaltung ist dieser Betriebsspannungsbereich auf entweder den unteren oder den oberen Eingangs-/Ausgangsspannungsbereich beschränkt. Die entsprechenden Schalteranordnungen 10' und 10" bei Verwendung lediglich einer Serienschaltung 24,26 aus PMOS- oder NMOS-Transistoren 16,18 bzw. 20,22 sind in den Fign. 2 bzw. 3 gezeigt. Auch bei diesen beiden Schalteranordnungskonzepten kann eine Spannungsnachführung, wie sie im Zusammenhang mit Fig. 1 erläutert ist, erfolgen (floatende Gates).

ANSPRÜCHE

1. Schalteranordnung zum Durchschalten von positiven und negativen Spannungen an einem Eingang zu einem Ausgang, mit
 - einem Eingangsanschluss (12),
 - einem Ausgangsanschluss (14),
 - einer ersten Serienschaltung (24) aus zwei PMOS-Transistoren (16,18) mit jeweils einem Gate, einem Source und einem Drain und einem Substrat (34) sowie parasitären Dioden (36) zwischen dem Source bzw. dem Drain einerseits und dem Substrat (34) andererseits, wobei die parasitären Dioden (36) zur Verhinderung des nicht gewollten Durchschaltens einer Spannung gegeneinander geschaltet sind,
 - einer zweiten Serienschaltung (26) aus zwei NMOS-Transistoren (20,22) mit jeweils einem Gate, einem Source und einem Drain und einem Substrat (34) sowie parasitären Dioden (36) zwischen dem Source bzw. dem Drain einerseits und dem Substrat (34) andererseits, wobei die parasitären Dioden (36) zur Verhinderung des nicht gewollten Durchschaltens einer Spannung gegeneinander geschaltet sind,
 - wobei die beiden Serienschaltungen (24,26) parallel zueinander sowie zwischen den Eingangs- und Ausgangsanschlüssen (12,14) geschaltet sind und
 - wobei die Sources und die Substrate der eingangsseitigen PMOS- und NMOS-Transistoren (16,20) mit dem Eingangsanschluss (12) und die Sources sowie die Substrate der ausgangsseitigen PMOS- und NMOS-Transistoren (18,22) mit dem Ausgangsanschluss (14) verbunden sind und
 - einer Ansteuereinheit (42) für die PMOS- und NMOS-Transistoren (16,18,20,22) zum wahlweisen Aus- oder Einschalten der PMOS- und NMOS-Transistoren (16,18,20,22) zum Sperren oder Durchlassen einer Spannung am Eingangsanschluss (12) gegenüber dem bzw. zum Ausgangsanschluss (14) oder umgekehrt,

- wobei die Ansteuereinheit (42) dann, wenn der Eingangsanschluss (12) gegenüber dem Ausgangsanschluss (14) oder umgekehrt gesperrt sein soll, an das Gate des eingangsseitigen PMOS-Transistors (16) sowie an das Gate des ausgangsseitigen PMOS-Transistors (18) jeweils eine Steuerspannung anlegt, die größer als die Spannung am Eingangs- bzw. Ausgangsanschluss (12,14) abzüglich der Schwellenspannung des betreffenden PMOS-Transistors (16,18) ist, und an das Gate des eingangsseitigen NMOS-Transistors (20) sowie an das Gate des ausgangsseitigen NMOS-Transistors (22) jeweils eine Steuerspannung anlegt, die kleiner als die Spannung am Eingangs- bzw. Ausgangsanschluss (12,14) zuzüglich der Schwellenspannung des betreffenden NMOS-Transistors (20,22) ist, und
 - wobei die Ansteuereinheit (42) dann, wenn der Eingangsanschluss (12) leitend mit dem Ausgangsanschluss (14) verbunden sein soll, an das Gate des eingangsseitigen PMOS-Transistors (16) sowie an das Gate des ausgangsseitigen PMOS-Transistors (18) jeweils eine Steuerspannung anlegt, die um mindestens die Schwellenspannung des betreffenden PMOS-Transistors (16,18) kleiner als die Spannung am Eingangs- bzw. Ausgangsanschluss (12,14) ist, und an das Gate des eingangsseitigen NMOS-Transistors (20) sowie an das Gate des ausgangsseitigen NMOS-Transistors (22) jeweils eine Steuerspannung anlegt, die um mindestens die Schwellenspannung des betreffenden NMOS-Transistors (20,22) größer als die Spannung am Eingangs- bzw. Ausgangsanschluss ist.
2. Schalteranordnung nach Anspruch 1, dadurch gekennzeichnet, dass zwischen dem Eingangsanschluss (12) und den Gates der eingangsseitigen PMOS- und NMOS-Transistoren (16,20) eine eingangsseitige Spannungsnachführeinheit (38) und zwischen dem Ausgangsanschluss (14) und den Gates der ausgangsseitigen PMOS- und NMOS-Transistoren (18,22) eine ausgangsseitige Spannungsnachführeinheit (40) geschaltet ist, wobei die Spannungen an den Gates der beiden eingangsseitigen PMOS- und NMOS-Transistoren (16,20) der Spannung am Eingangsanschluss (12) nachführbar und die Spannungen an den Gates der beiden

ausgangsseitigen PMOS- und NMOS-Transistoren (18,22) der Spannung am Ausgangsanschluss (14) nachführbar sind, und dass die Ansteuereinheit dann, wenn der Eingangsanschluss (12) gegenüber dem Ausgangsanschluss (14) gesperrt sein soll, an die Gates der PMOS- und NMOS-Transistoren (16,18,20,22) neben deren der Spannung am Eingangs- bzw. Ausgangsanschluss (12,14) nachgeführten Spannung keine weitere Steuerspannung oder eine diese Transistoren (16,18,20,22) weiterhin sperrende Steuerspannung anlegt, und dann, wenn der Eingangsanschluss (12) mit dem Ausgangsanschluss (14) leitend verbunden sein soll, an die Gates der PMOS- und NMOS-Transistoren (16,18,20,22) neben deren der Spannung am Eingangs- bzw. Ausgangsanschluss (12,14) nachgeführten Spannung die Schwellenspannung des jeweiligen PMOS- bzw. NMOS-Transistors (16,18,20,22) anlegt.

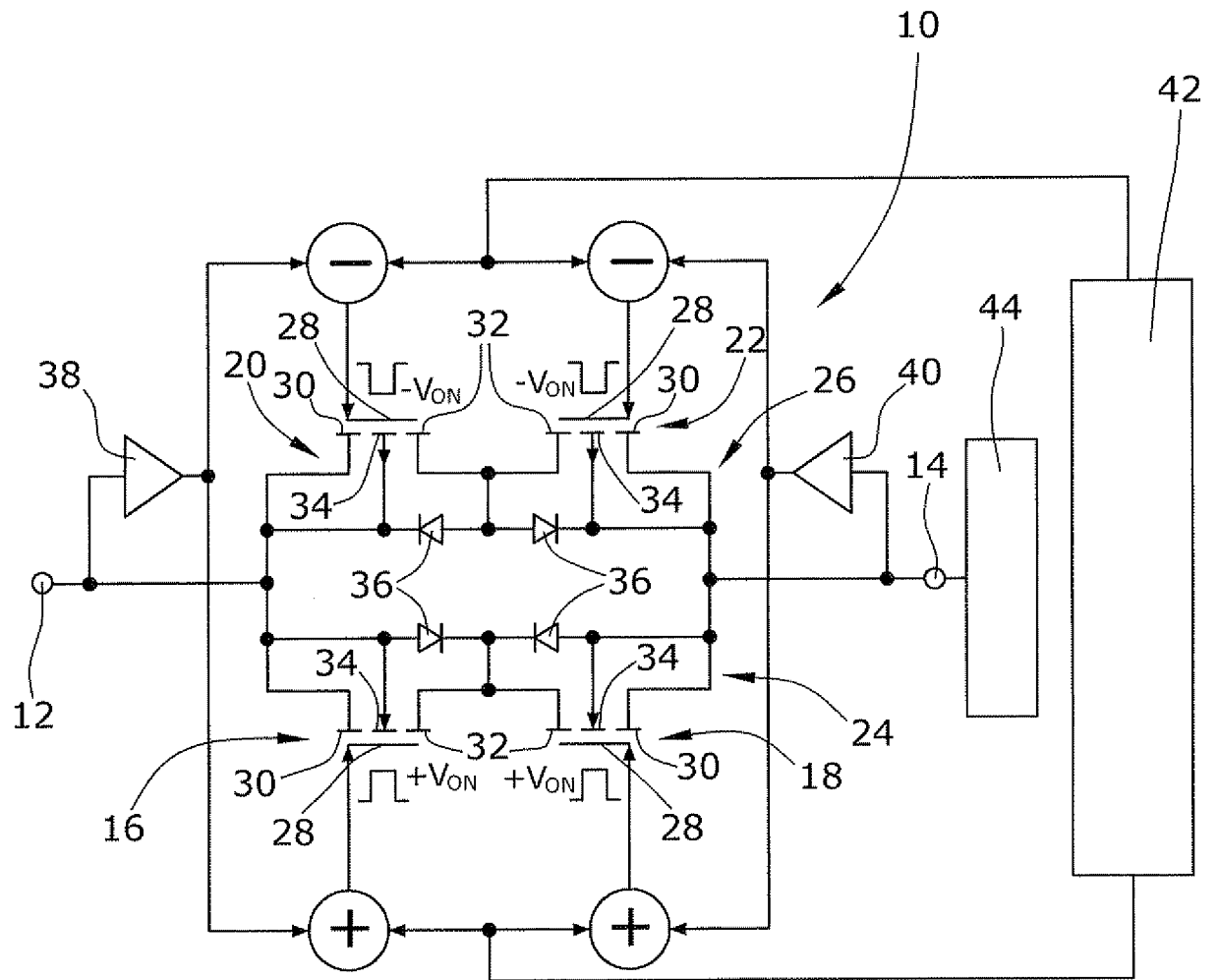
3. Schalteranordnung zum Durchschalten von positiven und negativen Spannungen an einem Eingang zu einem Ausgang, mit
 - einem Eingangsanschluss (12),
 - einem Ausgangsanschluss (14),
 - einer Serienschaltung (24) aus zwei PMOS-Transistoren (16,18) mit jeweils einem Gate, einem Source und einem Drain und einem Substrat (34) sowie parasitären Dioden (36) zwischen dem Source bzw. dem Drain einerseits und dem Substrat andererseits, wobei die parasitären Dioden (36) zur Verhinderung des nicht gewollten Durchschaltens einer Spannung gegeneinander geschaltet sind,
 - wobei die Serienschaltung (24) zwischen den Eingangs- und Ausgangsanschlüssen (12,14) geschaltet ist und
 - wobei die Sources und die Substrate des eingangsseitigen PMOS-Transistors (16) mit dem Eingangsanschluss (12) und die Sources sowie die Substrate des ausgangsseitigen PMOS-Transistors (18) mit dem Ausgangsanschluss (14) verbunden sind und
 - einer Ansteuereinheit (42) für die PMOS-Transistoren (16,18) zum wahlweisen Sperren oder Durchlassen einer Spannung am Eingangsanschluss (12) gegenüber dem bzw. zum Ausgangsanschluss (14) oder umgekehrt,

- wobei die Ansteuereinheit (42) dann, wenn der Eingangsanschluss (12) gegenüber dem Ausgangsanschluss (14) oder umgekehrt gesperrt sein soll, an das Gate des eingangsseitigen PMOS-Transistors (16) sowie an das Gate des ausgangsseitigen PMOS-Transistors (18) jeweils eine Steuerspannung anlegt, die größer als die Spannung am Eingangs- bzw. Ausgangsanschluss (12,14) abzüglich der Schwellenspannung des betreffenden PMOS-Transistors (16,18) ist, und
 - wobei die Ansteuereinheit (42) dann, wenn der Eingangsanschluss (12) leitend mit dem Ausgangsanschluss (14) verbunden sein soll, an das Gate des eingangsseitigen PMOS-Transistors (16) sowie an das Gate des ausgangsseitigen PMOS-Transistors (18) jeweils eine Steuerspannung anlegt, die um mindestens die Schwellenspannung des betreffenden PMOS-Transistors (16,18) kleiner als die Spannung am Eingangs- bzw. Ausgangsanschluss (12,14) ist.
4. Schalteranordnung zum Durchschalten von positiven und negativen Spannungen an einem Eingang zu einem Ausgang, mit
- einem Eingangsanschluss (12),
 - einem Ausgangsanschluss (14),
 - einer Serienschaltung (26) aus zwei NMOS-Transistoren (20,22) mit jeweils einem Gate, einem Source und einem Drain und einem Substrat (34) sowie parasitären Dioden (36) zwischen dem Source bzw. dem Drain einerseits und dem Substrat (34) andererseits, wobei die parasitären Dioden (36) zur Verhinderung des nicht gewollten Durchschaltens einer Spannung gegeneinander geschaltet sind,
 - wobei die Serienschaltung (26) zwischen den Eingangs- und Ausgangsanschlüssen (12,14) geschaltet ist und
 - wobei die Sources und die Substrate des eingangsseitigen NMOS-Transistors (20) mit dem Eingangsanschluss (12) und die Sources sowie die Substrate der ausgangsseitigen NMOS-Transistors (22) mit dem Ausgangsanschluss (14) verbunden sind und
 - einer Ansteuereinheit (42) für die NMOS-Transistoren (20,22) zum wahlweisen Aus- oder Einschalten der PMOS- und NMOS-Transistoren (16,18,20,22) zum Sperren oder Durchlassen einer Spannung am

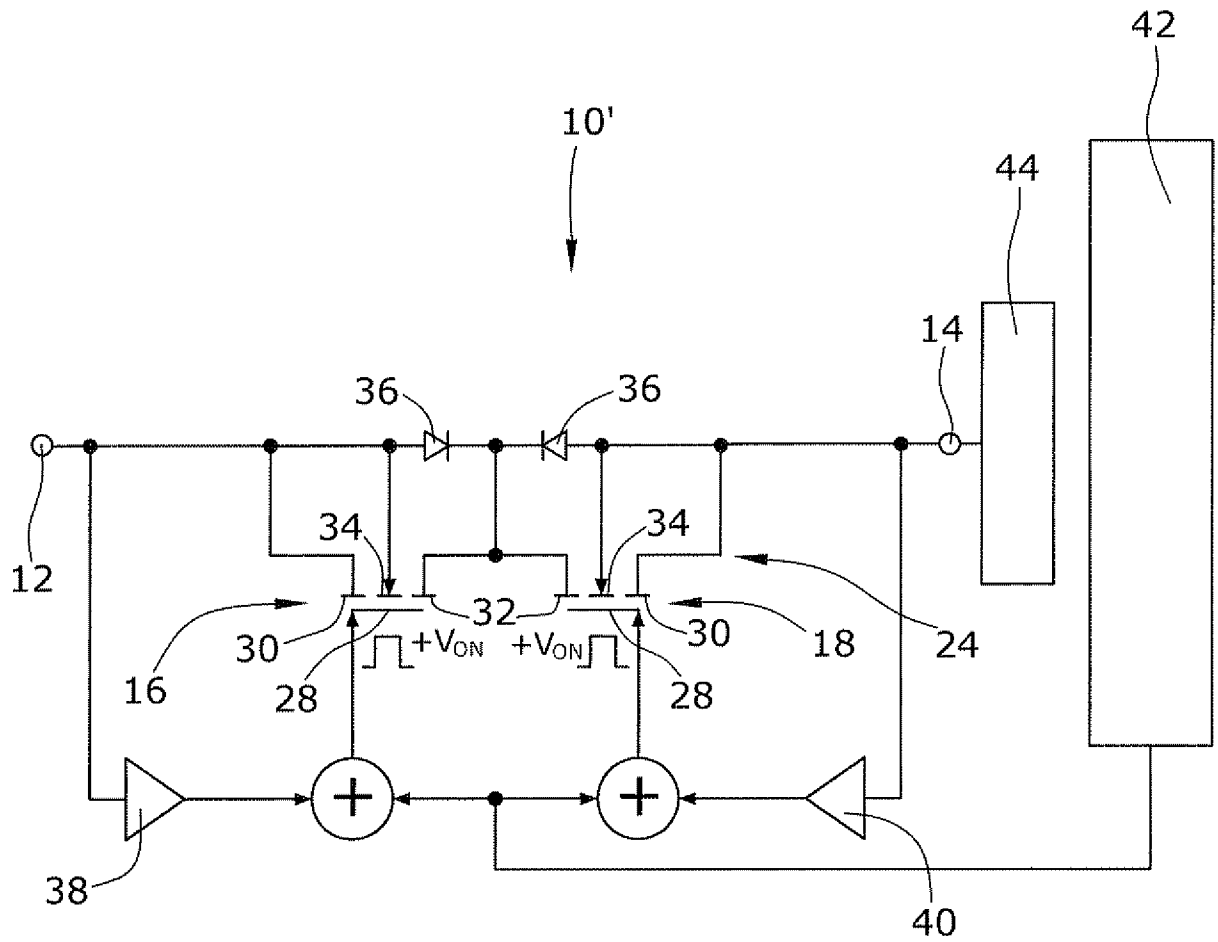
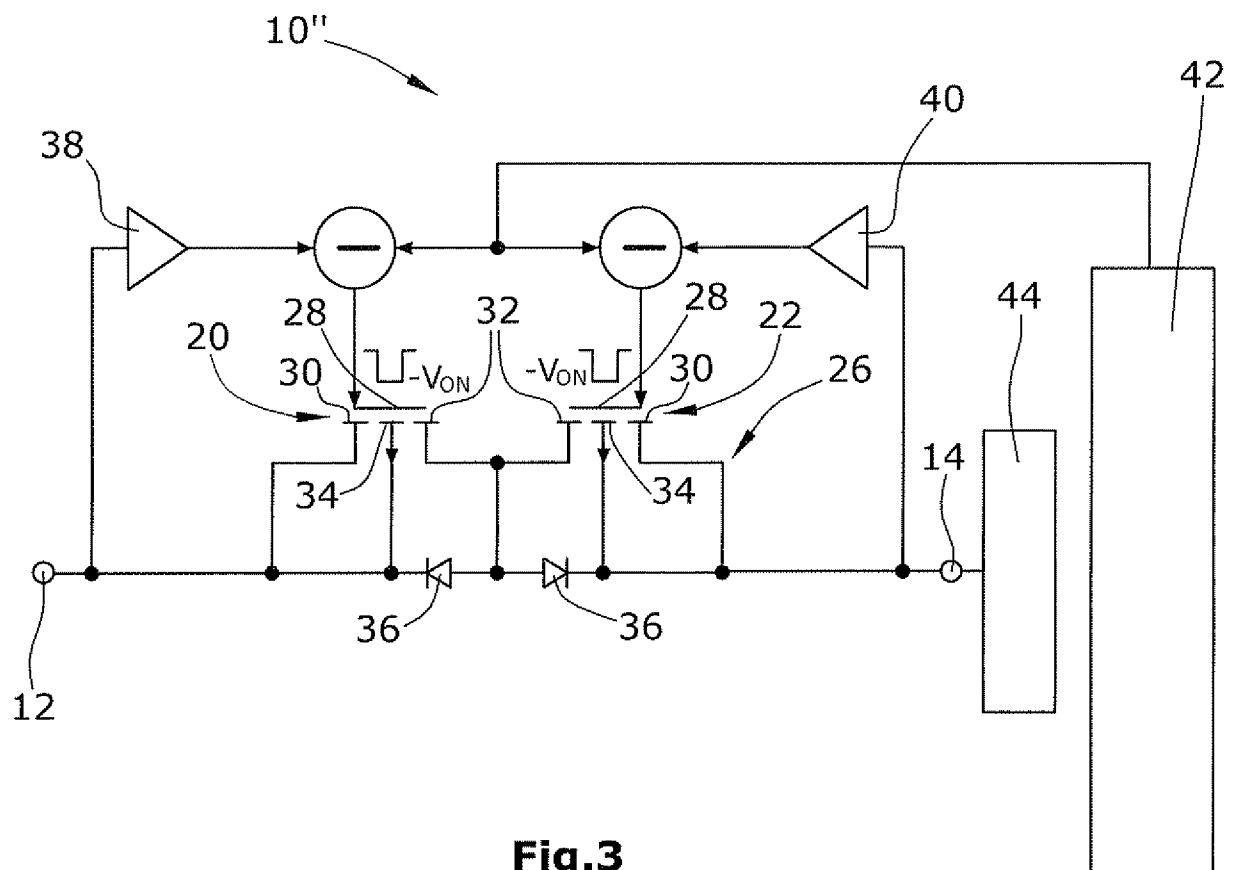
- Eingangsanschluss (12) gegenüber dem bzw. zum Ausgangsanschluss (14) oder umgekehrt,
- wobei die Ansteuereinheit (42) dann, wenn der Eingangsanschluss (12) gegenüber dem Ausgangsanschluss (14) oder umgekehrt gesperrt sein soll, an das Gate des eingangsseitigen NMOS-Transistors (20) sowie an das Gate des ausgangsseitigen NMOS-Transistors (22) jeweils eine Steuerspannung anlegt, die kleiner als die Spannung am Eingangs- bzw. Ausgangsanschluss (12,14) zuzüglich der Schwellenspannung des betreffenden NMOS-Transistors (20,22) ist, und
 - wobei die Ansteuereinheit (42) dann, wenn der Eingangsanschluss (12) leitend mit dem Ausgangsanschluss (14) verbunden sein soll, an das Gate des eingangsseitigen NMOS-Transistors (20) sowie an das Gate des ausgangsseitigen NMOS-Transistors (22) jeweils eine Steuerspannung anlegt, die um mindestens die Schwellenspannung des betreffenden NMOS-Transistors (20,22) größer als die Spannung am Eingangs- bzw. Ausgangsanschluss ist.
5. Schalteranordnung nach Anspruch 3 oder 4, dadurch gekennzeichnet, dass zwischen dem Eingangsanschluss (12) und dem Gate des eingangsseitigen PMOS- bzw. NMOS-Transistors (16,20) eine eingangsseitige Spannungsnachführeinheit (38) und zwischen dem Ausgangsanschluss (14) und dem Gate des ausgangsseitigen PMOS- bzw. NMOS-Transistors (18,22) eine ausgangsseitige Spannungsnachführeinheit (40) geschaltet ist, wobei die Spannung an dem Gate des eingangsseitigen PMOS- bzw. NMOS-Transistors (16,20) der Spannung am Eingangsanschluss (12) nachführbar und die Spannung an dem Gate des ausgangsseitigen PMOS- bzw. NMOS-Transistors (18,22) der Spannung am Ausgangsanschluss (14) nachführbar ist, und dass die Ansteuereinheit dann, wenn der Eingangsanschluss (12) gegenüber dem Ausgangsanschluss (14) gesperrt sein soll, an die Gates der beiden PMOS- bzw. NMOS-Transistoren (16,18,20,22) neben deren der Spannung am Eingangs- bzw. Ausgangsanschluss (12,14) nachgeführten Spannung keine weitere Steuerspannung oder eine diese Transistoren (16,18,20,22) weiterhin sperrende Steuerspannung anlegt, und dann, wenn der Eingangsanschluss (12) mit

dem Ausgangsanschluss (14) leitend verbunden sein soll, an die Gates der beiden PMOS- bzw. NMOS-Transistoren (16,18,20,22) neben deren der Spannung am Eingangs- bzw. Ausgangsanschluss (12,14) nachgeführten Spannung die Schwellenspannung des jeweiligen PMOS- bzw. NMOS-Transistors (16,18,20,22) anlegt.

-1/2-

**Fig.1**

-2/2-

**Fig.2****Fig.3**

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2012/056986

A. CLASSIFICATION OF SUBJECT MATTER
INV. H03K17/10 H03K17/687
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EP0-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 698 966 A1 (ST MICROELECTRONICS SRL [IT]) 28 February 1996 (1996-02-28) page 2, line 51 - page 3, line 35; figures 5,6	1-5
X	US 5 023 688 A (ANDO KAZUMASA [JP] ET AL) 11 June 1991 (1991-06-11) column 2, line 29 - column 6, line 44; figures 3-5c	1-5
X	US 5 789 781 A (MCKITTERICK JOHN BURT [US]) 4 August 1998 (1998-08-04) column 4, line 16 - column 6, line 24	1,3,4 2,5
X	EP 1 024 596 A1 (FAIRCHILD SEMICONDUCTOR [US]) 2 August 2000 (2000-08-02) paragraph [0021] - paragraph [0030]; figures 4-8	1,3,4 2,5

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

22 June 2012

Date of mailing of the international search report

03/07/2012

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Kassner, Holger

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2012/056986

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 95/28035 A1 (VIVID SEMICONDUCTOR INC [US]) 19 October 1995 (1995-10-19)	1,3,4
A	page 20, line 24 - page 23, line 14; figures 9,10 -----	2,5

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2012/056986

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0698966	A1	28-02-1996	DE 69413814 D1	12-11-1998
			DE 69413814 T2	25-02-1999
			EP 0698966 A1	28-02-1996
			JP 3449830 B2	22-09-2003
			JP 8065124 A	08-03-1996
			US 5617055 A	01-04-1997

US 5023688	A	11-06-1991	JP 2078934 C	09-08-1996
			JP 2161769 A	21-06-1990
			JP 7105447 B	13-11-1995
			US 5023688 A	11-06-1991

US 5789781	A	04-08-1998	NONE	

EP 1024596	A1	02-08-2000	DE 69927663 D1	17-11-2005
			DE 69927663 T2	01-06-2006
			EP 1024596 A1	02-08-2000
			US 6163199 A	19-12-2000

WO 9528035	A1	19-10-1995	EP 0702858 A1	27-03-1996
			JP 3190915 B2	23-07-2001
			JP H09500255 A	07-01-1997
			US 5465054 A	07-11-1995
			WO 9528035 A1	19-10-1995

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2012/056986

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H03K17/10 H03K17/687
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherhierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H03K

Recherhierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherhierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EP0-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 698 966 A1 (ST MICROELECTRONICS SRL [IT]) 28. Februar 1996 (1996-02-28) Seite 2, Zeile 51 - Seite 3, Zeile 35; Abbildungen 5,6 -----	1-5
X	US 5 023 688 A (ANDO KAZUMASA [JP] ET AL) 11. Juni 1991 (1991-06-11) Spalte 2, Zeile 29 - Spalte 6, Zeile 44; Abbildungen 3-5c -----	1-5
X	US 5 789 781 A (MCKITTERICK JOHN BURT [US]) 4. August 1998 (1998-08-04) Spalte 4, Zeile 16 - Spalte 6, Zeile 24 -----	1,3,4
A		2,5
X	EP 1 024 596 A1 (FAIRCHILD SEMICONDUCTOR [US]) 2. August 2000 (2000-08-02) Absatz [0021] - Absatz [0030]; Abbildungen 4-8 -----	1,3,4
A		2,5
	-/--	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

22. Juni 2012

Absenddatum des internationalen Recherchenberichts

03/07/2012

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Kassner, Holger

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2012/056986

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 95/28035 A1 (VIVID SEMICONDUCTOR INC [US]) 19. Oktober 1995 (1995-10-19)	1,3,4
A	Seite 20, Zeile 24 - Seite 23, Zeile 14; Abbildungen 9,10 -----	2,5

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2012/056986

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 0698966	A1	28-02-1996	DE	69413814 D1	12-11-1998
			DE	69413814 T2	25-02-1999
			EP	0698966 A1	28-02-1996
			JP	3449830 B2	22-09-2003
			JP	8065124 A	08-03-1996
			US	5617055 A	01-04-1997

US 5023688	A	11-06-1991	JP	2078934 C	09-08-1996
			JP	2161769 A	21-06-1990
			JP	7105447 B	13-11-1995
			US	5023688 A	11-06-1991

US 5789781	A	04-08-1998	KEINE		

EP 1024596	A1	02-08-2000	DE	69927663 D1	17-11-2005
			DE	69927663 T2	01-06-2006
			EP	1024596 A1	02-08-2000
			US	6163199 A	19-12-2000

WO 9528035	A1	19-10-1995	EP	0702858 A1	27-03-1996
			JP	3190915 B2	23-07-2001
			JP	H09500255 A	07-01-1997
			US	5465054 A	07-11-1995
			WO	9528035 A1	19-10-1995