

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 11 月 12 日 (12.11.2020)



(10) 国际公布号
WO 2020/224110 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2019/102963

(22) 国际申请日: 2019 年 8 月 28 日 (28.08.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910382521.0 2019 年 5 月 9 日 (09.05.2019) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 薛炎(XUE, Yan); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。 韩佰祥(HAN, Baixiang); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙)(ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: DRIVING CIRCUIT FOR DISPLAY SCREEN

(54) 发明名称: 用于显示屏的驱动电路

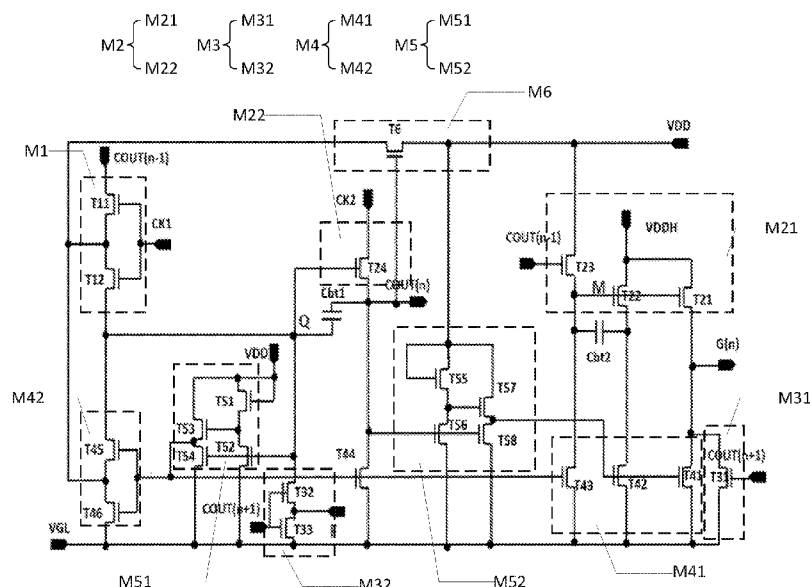


图 1

(57) Abstract: A driving circuit for a display screen, comprising: a pull-up unit (M2), used for converting a clock signal into a stage transfer signal, and converting a DC voltage signal into an output signal; a pull-up control unit (M1), used for controlling the turn-on time of the pull-up unit (M2); a bootstrap capacitor, used for raising the stage transfer signal and an output signal voltage; a pull-down unit (M3), used for pulling down an output voltage of the bootstrap capacitor to a low potential; a pull-down maintenance unit (M4), used for pulling and maintaining the output voltage of the bootstrap capacitor at the low potential; an inverter (M5), used for enabling the output voltage of the bootstrap capacitor to be opposite to an output voltage potential of the pull-down maintenance unit (M4); and a feedback unit (M6), used for increasing an output voltage of the pull-down unit (M3).

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种用于显示屏的驱动电路, 其包括: 上拉单元 (M2), 所述上拉单元 (M2) 用于将时钟信号转换为级传信号, 将直流电压信号转换为输出信号; 上拉控制单元 (M1), 所述上拉控制单元 (M1) 用于控制所述上拉单元 (M2) 的打开时间; 自举电容, 所述自举电容用于抬升所述级传信号和输出信号电压; 下拉单元 (M3), 所述下拉单元 (M3) 用于将自举电容的输出电压拉低为低电位; 下拉维持单元 (M4), 所述下拉维持单元 (M4) 用于将自举电容的输出电压拉保持为低电位; 反相器 (M5), 所述反相器 (M5) 用于使所述自举电容的输出电压和下拉维持单元 (M4) 的输出电压电位相反; 以及反馈单元 (M6), 所述反馈单元 (M6) 用于提高下拉单元 (M3) 的输出电压。

用于显示屏的驱动电路

技术领域

[0001] 本申请涉及电子显示领域，尤其涉及一种用于显示屏的驱动电路。

背景技术

[0002] 蓝相液晶的响应时间为亚毫米级。相比于其他类型的显示器，应用蓝相液晶的显示器制备工艺简单、视角广、响应时间快。

发明概述

技术问题

[0003] 蓝相液晶的驱动电压相对较高（大于30V），与之匹配的驱动电路输出的驱动电压也相对较高。驱动电路的输出信号的电位由时钟信号及触发信号的电位决定，时钟信号的电位增加，会极大的增加驱动电路的功耗和信号之间的串扰。

问题的解决方案

技术解决方案

[0004] 本申请提供一种用于显示屏的驱动电路，能够大幅度降低驱动电路的功耗，并且减小信号之间的串扰。

[0005] 为解决上述问题，本申请提供了一种用于显示屏的驱动电路，其包括：

[0006] 上拉单元，所述上拉单元用于将时钟信号转换为级传信号，将直流电压信号转换为输出信号；

[0007] 上拉控制单元，所述上拉控制单元用于控制所述上拉单元的打开时间；

[0008] 自举电容，所述自举电容用于抬升所述级传信号和输出信号电压；

[0009] 下拉单元，所述下拉单元用于将自举电容的输出电压拉低为低电位；

[0010] 下拉维持单元，所述下拉维持单元用于将自举电容的输出电压拉保持为低电位；

[0011] 反相器，所述反相器用于使所述自举电容的输出电压和下拉维持单元的输出电压电位相反；以及

[0012] 反馈单元，所述反馈单元用于提高下拉单元的输出电压。

- [0013] 根据本申请的其中一个方面，所述上拉单元包括第一上拉单元和第二上拉单元；
- [0014] 所述第一上拉单元包括第一上拉薄膜晶体管、第二上拉薄膜晶体管和第三上拉薄膜晶体管；其中，
- [0015] 所述第一上拉薄膜晶体管的源极连接第一直流电压，漏极连接所述下拉单元，栅极连接第二上拉薄膜晶体管的栅极和第三上拉薄膜晶体管的漏极；
- [0016] 所述第二上拉薄膜晶体管的源极连接第一直流电压，漏极连接所述自举电容的一个极板；
- [0017] 所述第三上拉薄膜晶体管的源极连接第二直流电压，栅极连接上一级的级传信号，漏极连接所述自举电容的另一个极板；
- [0018] 所述第二上拉单元包括第四上拉薄膜晶体管，所述第四上拉薄膜晶体管的源极连接第二时钟信号，栅极连接所述自举电容，漏极连接第三直流电压。
- [0019] 根据本申请的其中一个方面，所述第一上拉薄膜晶体管和第三上拉薄膜晶体管为N型薄膜晶体管，所述第二上拉薄膜晶体管和第四上拉薄膜晶体管为P型薄膜晶体管。
- [0020] 根据本申请的其中一个方面，所述上拉控制单元包括第一控制薄膜晶体管和第二控制薄膜晶体管；其中，
- [0021] 所述第一控制薄膜晶体管的源极连接上一级的级传信号，栅极连接第一时钟信号，漏极连接所述第二控制薄膜晶体管的源极；
- [0022] 所述第二控制薄膜晶体管的栅极连接所述第一时钟信号，漏极连接所述下拉维持单元。
- [0023] 根据本申请的其中一个方面，所述第一控制薄膜晶体管和第二控制薄膜晶体管为N型薄膜晶体管。
- [0024] 根据本申请的其中一个方面，所述下拉单元包括第一下拉单元和第二下拉单元；其中，
- [0025] 所述第一下拉单元包括第一下拉薄膜晶体管，所述第一下拉薄膜晶体管的源极连接所述第一上拉单元，栅极连接下一级的级传信号，漏极连接所述第三直流电压；

- [0026] 所述第二下拉单元包括第二下拉薄膜晶体管和第三下拉薄膜晶体管；
- [0027] 所述第二下拉薄膜晶体管的源极连接所述自举电容，栅极连接下一级的级传信号，漏极连接所述第三下拉薄膜晶体管的源极；
- [0028] 所述第三下拉薄膜晶体管的栅极连接下一级的级传信号，漏极连接所述第三直流电压。
- [0029] 根据本申请的其中一个方面，所述第一下拉薄膜晶体管和第三下拉薄膜晶体管为N型薄膜晶体管，所述第二下拉薄膜晶体管为P型薄膜晶体管。
- [0030] 根据本申请的其中一个方面，所述下拉维持单元包括第一下拉维持单元和第二下拉维持单元；其中，
- [0031] 所述第一下拉维持单元包括第一维持薄膜晶体管、第二维持薄膜晶体管和第三维持薄膜晶体管；
- [0032] 所述第一维持薄膜晶体管的源极连接所述第一上拉单元，栅极连接所述第二维持薄膜晶体管的栅极，漏极连接所述第三直流电压；
- [0033] 所述第二维持薄膜晶体管的源极连接所述第二上拉单元，漏极连接所述第三直流电压；
- [0034] 所述第三维持薄膜晶体管的源极连接所述自举电容，漏极连接所述第三直流电压；
- [0035] 所述第二下拉维持单元包括第五维持薄膜晶体管和第六维持薄膜晶体管；
- [0036] 所述第五维持薄膜晶体管的源极连接所述上拉控制单元，栅极连接所述反相器，漏极连接所述第六维持薄膜晶体管的源极；
- [0037] 所述第六维持薄膜晶体管的栅极连接所述反相器，漏极连接所述第三直流电压。
- [0038] 根据本申请的其中一个方面，所述第一维持薄膜晶体管和第三维持薄膜晶体管、第五维持薄膜晶体管和第六维持薄膜晶体管为N型薄膜晶体管，所述第二维持薄膜晶体管为P型薄膜晶体管。
- [0039] 根据本申请的其中一个方面，所述反相器包括第一反相器和第二反相器；其中，
- [0040] 所述第一反相器包括第一反向薄膜晶体管、第二反向薄膜晶体管、第三反向薄

膜晶体管和第四反向薄膜晶体管；

[0041] 所述第一反向薄膜晶体管的源极和栅极连接所述第二下拉单元，漏极连接所述第二反向薄膜晶体管的源极；

[0042] 所述第二反向薄膜晶体管的栅极连接所述第二下拉单元，漏极连接所述第三直流电压；

[0043] 所述第三反向薄膜晶体管的源极连接所述第二下拉单元，栅极连接所述第一反向薄膜晶体管的漏极，漏极连接所述第四反向薄膜晶体管的源极；

[0044] 所述第四反向薄膜晶体管的栅极连接所述第二反向薄膜晶体管的栅极，漏极连接所述第三直流电压；

[0045] 所述第二反相器包括第五反向薄膜晶体管、第六反向薄膜晶体管、第七反向薄膜晶体管和第八反向薄膜晶体管；

[0046] 所述第五反向薄膜晶体管的栅极和源极连接所述反馈单元，漏极连接所述第六反向薄膜晶体管的源极；

[0047] 所述第六反向薄膜晶体管的栅极连接所述第二上拉单元，漏极连接所述第三直流电压；

[0048] 所述第七反向薄膜晶体管的源极连接所述反馈单元，栅极连接所述第五反向薄膜晶体管的漏极，漏极连接所述第八反向薄膜晶体管的源极；

[0049] 所述第八反向薄膜晶体管的栅极连接所述第六反向薄膜晶体管的栅极，漏极连接所述第三直流电压。

[0050] 根据本申请的其中一个方面，所述第一反向薄膜晶体管、第三反向薄膜晶体管、第四反向薄膜晶体管、第五反向薄膜晶体管、第七反向薄膜晶体管和第八反向薄膜晶体管为N型薄膜晶体管；所述第二反向薄膜晶体管和第六反向薄膜晶体管为P型薄膜晶体管。

[0051] 根据本申请的其中一个方面，所述反馈单元包括反馈薄膜晶体管，所述反馈薄膜晶体管的源极连接所述第一上拉单元，漏极连接所述上拉控制单元，栅极连接本级的级传信号。

[0052] 根据本申请的其中一个方面，所述反馈薄膜晶体管为N型薄膜晶体管。

[0053] 根据本申请的其中一个方面，所述自举电容包括第一存储电容和第二存储电容

；其中，

[0054] 所述第一存储电容的一个极板连接所述第一上拉单元，另一个极板连接所述下拉维持单元；

[0055] 所述第二存储电容的一个极板连接所述第二上拉单元，另一个极板连接所述第二下拉单元。

发明的有益效果

有益效果

[0056] 本申请提供的驱动电路能够抬高时钟信号的电压，使得驱动电路在内部节点的电压信号保持较低电压值的同时输出用于驱动蓝相液晶的高电压，能够大幅度降低驱动电路的功耗，并且减小信号之间的串扰。

对附图的简要说明

附图说明

[0057] 图1为本申请的一个具体实施例中的驱动电路的电路图；

[0058] 图2为图1中的驱动电路中的驱动信号的时序图；

[0059] 图3为本申请的一个具体实施例中的驱动电路的仿真结果示意图。

[0060] 本申请的实施方式

[0061] 以下各实施例的说明是参考附加的图示，用以例示本申请可用以实施的特定实施例。本申请所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本申请，而非用以限制本申请。在图中，结构相似的单元是用以相同标号表示。

[0062] 本申请提供了一种用于显示屏的驱动电路，如图1所示，其包括：上拉单元M2，所述上拉单元M2用于将时钟信号转换为级传信号，将直流电压信号转换为输出信号；上拉控制单元M1，所述上拉控制单元M1用于控制所述上拉单元M2的打开时间；自举电容，所述自举电容用于抬升所述级传信号和输出信号电压；下拉单元M3，所述下拉单元M3用于将自举电容的输出电压拉低为低电位；下拉维持单元M4，所述下拉维持单元M4用于将自举电容的输出电压拉保持为低电位；反相器M5，所述反相器M5用于使所述自举电容的输出电压和下拉维持单元M

4的输出电压电位相反；以及反馈单元M6，所述反馈单元M6用于提高下拉单元M3的输出电压。

[0063] 所述上拉单元M2包括第一上拉单元M21和第二上拉单元M22。所述第一上拉单元M21包括第一上拉薄膜晶体管T21、第二上拉薄膜晶体管T22和第三上拉薄膜晶体管T23。其中，所述第一上拉薄膜晶体管T21的源极连接第一直流电压VDD，漏极连接所述下拉单元M3，栅极连接第二上拉薄膜晶体管T22的栅极和第三上拉薄膜晶体管T23的漏极。所述第二上拉薄膜晶体管T22的源极连接第一直流电压VDD，漏极连接所述自举电容的一个极板。所述第三上拉薄膜晶体管T23的源极连接第二直流电压VDDH，栅极连接上一级的级传信号，漏极连接所述自举电容的另一个极板。所述第二上拉单元M22包括第四上拉薄膜晶体管T24，所述第四上拉薄膜晶体管T24的源极连接第二时钟信号，栅极连接所述自举电容，漏极连接第三直流电压VGL。

[0064] 优选的，所述第一上拉薄膜晶体管T21和第三上拉薄膜晶体管T23为N型薄膜晶体管，所述第二上拉薄膜晶体管T22和第四上拉薄膜晶体管T24为P型薄膜晶体管。

[0065] 所述上拉控制单元M1包括第一控制薄膜晶体管T11和第二控制薄膜晶体管T12。其中，所述第一控制薄膜晶体管T11的源极连接上一级的级传信号，栅极连接第一时钟信号，漏极连接所述第二控制薄膜晶体管T12的源极；所述第二控制薄膜晶体管T12的栅极连接所述第一时钟信号，漏极连接所述下拉维持单元M4。

[0066] 所述第一控制薄膜晶体管T11和第二控制薄膜晶体管T12为N型薄膜晶体管。

[0067] 所述下拉单元M3包括第一下拉单元M31和第二下拉单元M32。其中，所述第一下拉单元M31包括第一下拉薄膜晶体管T31，所述第一下拉薄膜晶体管T31的源极连接所述第一上拉单元M21，栅极连接下一级的级传信号，漏极连接所述第三直流电压VGL。所述第二下拉单元M32包括第二下拉薄膜晶体管T32和第三下拉薄膜晶体管T33。所述第二下拉薄膜晶体管T32的源极连接所述自举电容，栅极连接下一级的级传信号，漏极连接所述第三下拉薄膜晶体管T33的源极。所述第三下拉薄膜晶体管T33的栅极连接下一级的级传信号，漏极连接所述第三直流电压VGL。

- [0068] 优选的,所述第一下拉薄膜晶体管T31和第三下拉薄膜晶体管T33为N型薄膜晶体管,所述第二下拉薄膜晶体管T32为P型薄膜晶体管。
- [0069] 所述下拉维持单元M4包括第一下拉维持单元M41和第二下拉维持单元M42。其中,所述第一下拉维持单元M41包括第一维持薄膜晶体管T41、第二维持薄膜晶体管T42和第三维持薄膜晶体管T43。所述第一维持薄膜晶体管T41的源极连接所述第一上拉单元M21,栅极连接所述第二维持薄膜晶体管T42的栅极,漏极连接所述第三直流电压VGL。所述第二维持薄膜晶体管T42的源极连接所述第二上拉单元M22,漏极连接所述第三直流电压VGL。所述第三维持薄膜晶体管T43的源极连接所述自举电容,漏极连接所述第三直流电压VGL。所述第二下拉维持单元M42包括第五维持薄膜晶体管T45和第六维持薄膜晶体管T46。所述第五维持薄膜晶体管T45的源极连接所述上拉控制单元M1,栅极连接所述反相器M5,漏极连接所述第六维持薄膜晶体管T46的源极。所述第六维持薄膜晶体管T46的栅极连接所述反相器M5,漏极连接所述第三直流电压VGL。
- [0070] 优选的,所述第一维持薄膜晶体管T41和第三维持薄膜晶体管T43、第五维持薄膜晶体管T45和第六维持薄膜晶体管T46为N型薄膜晶体管,所述第二维持薄膜晶体管T42为P型薄膜晶体管。
- [0071] 所述反相器M5包括第一反相器M51和第二反相器M52。
- [0072] 其中,所述第一反相器M51包括第一反向薄膜晶体管T51、第二反向薄膜晶体管T52、第三反向薄膜晶体管T53和第四反向薄膜晶体管T54。所述第一反向薄膜晶体管T51的源极和栅极连接所述第二下拉单元M32,漏极连接所述第二反向薄膜晶体管T52的源极。所述第二反向薄膜晶体管T52的栅极连接所述第二下拉单元M32,漏极连接所述第三直流电压VGL。所述第三反向薄膜晶体管T53的源极连接所述第二下拉单元M32,栅极连接所述第一反向薄膜晶体管T51的漏极,漏极连接所述第四反向薄膜晶体管T54的源极。所述第四反向薄膜晶体管T54的栅极连接所述第二反向薄膜晶体管T52的栅极,漏极连接所述第三直流电压VGL。
- [0073] 所述第二反相器M52包括第五反向薄膜晶体管T55、第六反向薄膜晶体管T56、第七反向薄膜晶体管T57和第八反向薄膜晶体管T58。所述第五反向薄膜晶体管T55的栅极和源极连接所述反馈单元M6,漏极连接所述第六反向薄膜晶体管T56

的源极。所述第六反向薄膜晶体管T56的栅极连接所述第二上拉单元M22，漏极连接所述第三直流电压VGL。所述第七反向薄膜晶体管T57的源极连接所述反馈单元M6，栅极连接所述第五反向薄膜晶体管T55的漏极，漏极连接所述第八反向薄膜晶体管T58的源极。所述第八反向薄膜晶体管T58的栅极连接所述第六反向薄膜晶体管T56的栅极，漏极连接所述第三直流电压VGL。

[0074] 优选的，所述第一反向薄膜晶体管T51、第三反向薄膜晶体管T53、第四反向薄膜晶体管T54、第五反向薄膜晶体管T55、第七反向薄膜晶体管T57和第八反向薄膜晶体管T58为N型薄膜晶体管；所述第二反向薄膜晶体管T52和第六反向薄膜晶体管T56为P型薄膜晶体管。

[0075] 所述反馈单元M6包括反馈薄膜晶体管T6，所述反馈薄膜晶体管T6的源极连接所述第一上拉单元M21，漏极连接所述上拉控制单元M1，栅极连接本级的级传信号。优选的，所述反馈薄膜晶体管T6为N型薄膜晶体管。

[0076] 所述自举电容包括第一存储电容Cbt1和第二存储电容Cbt2。其中，所述第一存储电容Cbt1的一个极板连接所述第一上拉单元M21，另一个极板连接所述下拉维持单元M4。所述第二存储电容Cbt2的一个极板连接所述第二上拉单元M22，另一个极板连接所述第二下拉单元M32。

[0077] 下面将结合具体的实施例对本申请中的驱动电路的工作原理进行详细说明。参见图2和图3，图2为图1中的驱动电路中的驱动信号的时序图；图3为本申请的一个具体实施例中的驱动电路的仿真结果示意图。

[0078] 其中，CK1为第一时钟信号，CK2为第二时钟信号，第一时钟信号CK1和第二时钟信号CK2的波形相反。COUT(n)为本级的级传信号；COUT(n-1)为上一级的级传信号；Cout(n+1)为下一级的级传信号。

[0079] 参见图3，本实施例中的驱动电路的工作周期包括第一阶段T1，第二阶段T2和第三阶段T3。

[0080] 第一阶段时：当第一时钟信号CK1处于高电位时，第一控制薄膜晶体管T11与第二控制薄膜晶体管T12打开，COUT(n-1)为高电位，Q点电位被抬升为高电位，第四上拉薄膜晶体管T24、第二反向薄膜晶体管T52及第四反向薄膜晶体管T54打开，QB被拉低至低电位第三维持薄膜晶体管T43、第四维持薄膜晶体管T44、

第五维持薄膜晶体管T45和第六维持薄膜晶体管T46关闭，由于第二时钟信号CK2为低电位，本级的级传信号COUT(n)为低电位，第六反向薄膜晶体管T56与第八反向薄膜晶体管T58关闭，P点被拉升至高电位，第一维持薄膜晶体管T41与第二维持薄膜晶体管T42打开，上一级的级传信号COUT (n-1)为高电位，第三上拉薄膜晶体管T23打开，M点电位被拉至高电位，第一上拉薄膜晶体管T21与第二上拉薄膜晶体管T22打开，由于第二维持薄膜晶体管T42与第一维持薄膜晶体管T41打开，N点与输出讯号G(n)仍然维持低电位。

[0081] 第二阶段时：当第一时钟信号CK1处于低电位时，第一控制薄膜晶体管T11与第二控制薄膜晶体管T12关闭，第四上拉薄膜晶体管T24打开，CK2变为高电位，级传讯号COUT (n)变为高电位，因此，Q点电位被上拉至更高电位，有利于第四上拉薄膜晶体管T24打开。同时反馈薄膜晶体管T6、第六反向薄膜晶体管T56与第八反向薄膜晶体管T58管打开，点F升高至高电位，有利于减少第二控制薄膜晶体管T12。第五维持薄膜晶体管T45及T32管漏电，维持Q点电位。P点降为低电位。第一维持薄膜晶体管T41与第二维持薄膜晶体管T42关闭，N点被抬升至高电位。由于第二存储电容Cbt2的存在，M点电位被上拉至更高电位。第一上拉薄膜晶体管T21与第二上拉薄膜晶体管T22打开，N点电位与输出信号也逐渐升高至高电位。

[0082] 第三阶段时：第一时钟信号CK1升为高电位，第一控制薄膜晶体管T11与第二控制薄膜晶体管T12打开，由于上一级的级传信号COUT(n-1)为低电位，Q点电位被拉低至低电位。第四上拉薄膜晶体管T24、第二反向薄膜晶体管T52和第四反向薄膜晶体管T54关闭，QB点升高至高电位。第三维持薄膜晶体管T43、第四维持薄膜晶体管T44、第五维持薄膜晶体管T45和第六维持薄膜晶体管T46打开，级传信号COUT(n)降低至低电位。第六反向薄膜晶体管T56与第八反向薄膜晶体管T58及反馈薄膜晶体管T6关闭，P点升为高电位。第一维持薄膜晶体管T41与第二维持薄膜晶体管T42打开，下一级的级传信号COUT(n+1)升为高电位。T31打开，级传信号降为低电位。

[0083] 本申请提供的驱动电路能够抬高时钟信号的电压，使得驱动电路在内部节点的电压信号保持较低电压值的同时输出用于驱动蓝相液晶的高电压，能够大幅度

降低驱动电路的功耗，并且减小信号之间的串扰。

[0084] 综上所述，虽然本申请已以优选实施例揭露如上，但上述优选实施例并非用以限制本申请，本领域的普通技术人员，在不脱离本申请的精神和范围内，均可作各种更动与润饰，因此本申请的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种用于显示屏的驱动电路，其中，所述驱动电路包括：
- 上拉单元，所述上拉单元用于将时钟信号转换为级传信号，将直流电压信号转换为输出信号；
- 上拉控制单元，所述上拉控制单元用于控制所述上拉单元的打开时间；
- 自举电容，所述自举电容用于抬升所述级传信号和输出信号电压；
- 下拉单元，所述下拉单元用于将自举电容的输出电压拉低为低电位；
- 下拉维持单元，所述下拉维持单元用于将自举电容的输出电压拉保持为低电位；
- 反相器，所述反相器用于使所述自举电容的输出电压和下拉维持单元的输出电压电位相反；以及
- 反馈单元，所述反馈单元用于提高下拉单元的输出电压。
- [权利要求 2] 根据权利要求1所述的驱动电路，其中，所述上拉单元包括第一上拉单元和第二上拉单元；
- 所述第一上拉单元包括第一上拉薄膜晶体管、第二上拉薄膜晶体管和第三上拉薄膜晶体管；其中，
- 所述第一上拉薄膜晶体管的源极连接第一直流电压，漏极连接所述下拉单元，栅极连接第二上拉薄膜晶体管的栅极和第三上拉薄膜晶体管的漏极；
- 所述第二上拉薄膜晶体管的源极连接第一直流电压，漏极连接所述自举电容的一个极板；
- 所述第三上拉薄膜晶体管的源极连接第二直流电压，栅极连接上一级的级传信号，漏极连接所述自举电容的另一个极板；
- 所述第二上拉单元包括第四上拉薄膜晶体管，所述第四上拉薄膜晶体管的源极连接第二时钟信号，栅极连接所述自举电容，漏极连接第三直流电压。
- [权利要求 3] 根据权利要求2所述的驱动电路，其中，所述第一上拉薄膜晶体管和

第三上拉薄膜晶体管为N型薄膜晶体管，所述第二上拉薄膜晶体管和第四上拉薄膜晶体管为P型薄膜晶体管。

[权利要求 4] 根据权利要求2所述的驱动电路，其中，所述上拉控制单元包括第一控制薄膜晶体管和第二控制薄膜晶体管；其中，
所述第一控制薄膜晶体管的源极连接上一级的级传信号，栅极连接第一时钟信号，漏极连接所述第二控制薄膜晶体管的源极；
所述第二控制薄膜晶体管的栅极连接所述第一时钟信号，漏极连接所述下拉维持单元。

[权利要求 5] 根据权利要求2所述的驱动电路，其中，所述第一控制薄膜晶体管和所述第二控制薄膜晶体管为N型薄膜晶体管。

[权利要求 6] 根据权利要求4所述的驱动电路，其中，所述下拉单元包括第一下拉单元和第二下拉单元；其中，
所述第一下拉单元包括第一下拉薄膜晶体管，所述第一下拉薄膜晶体管的源极连接所述第一上拉单元，栅极连接下一级的级传信号，漏极连接所述第三直流电压；
所述第二下拉单元包括第二下拉薄膜晶体管和第三下拉薄膜晶体管；
所述第二下拉薄膜晶体管的源极连接所述自举电容，栅极连接下一级的级传信号，漏极连接所述第三下拉薄膜晶体管的源极；
所述第三下拉薄膜晶体管的栅极连接下一级的级传信号，漏极连接所述第三直流电压。

[权利要求 7] 根据权利要求6所述的驱动电路，其中，所述第一下拉薄膜晶体管和第三下拉薄膜晶体管为N型薄膜晶体管，所述第二下拉薄膜晶体管为P型薄膜晶体管。

[权利要求 8] 根据权利要求6所述的驱动电路，其中，所述下拉维持单元包括第一下拉维持单元和第二下拉维持单元；其中，
所述第一下拉维持单元包括第一维持薄膜晶体管、第二维持薄膜晶体管和第三维持薄膜晶体管；
所述第一维持薄膜晶体管的源极连接所述第一上拉单元，栅极连接所

述第二维持薄膜晶体管的栅极，漏极连接所述第三直流电压；

所述第二维持薄膜晶体管的源极连接所述第二上拉单元，漏极连接所述第三直流电压；

所述第三维持薄膜晶体管的源极连接所述自举电容，漏极连接所述第三直流电压；

所述第二下拉维持单元包括第五维持薄膜晶体管和第六维持薄膜晶体管；

所述第五维持薄膜晶体管的源极连接所述上拉控制单元，栅极连接所述反相器，漏极连接所述第六维持薄膜晶体管的源极；

所述第六维持薄膜晶体管的栅极连接所述反相器，漏极连接所述第三直流电压。

[权利要求 9] 根据权利要求8所述的驱动电路，其中，所述第一维持薄膜晶体管和第三维持薄膜晶体管、第五维持薄膜晶体管和第六维持薄膜晶体管为N型薄膜晶体管，所述第二维持薄膜晶体管为P型薄膜晶体管。

[权利要求 10] 根据权利要求8所述的驱动电路，其中，所述反相器包括第一反相器和第二反相器；其中，

所述第一反相器包括第一反向薄膜晶体管、第二反向薄膜晶体管、第三反向薄膜晶体管和第四反向薄膜晶体管；

所述第一反向薄膜晶体管的源极和栅极连接所述第二下拉单元，漏极连接所述第二反向薄膜晶体管的源极；

所述第二反向薄膜晶体管的栅极连接所述第二下拉单元，漏极连接所述第三直流电压；

所述第三反向薄膜晶体管的源极连接所述第二下拉单元，栅极连接所述第一反向薄膜晶体管的漏极，漏极连接所述第四反向薄膜晶体管的源极；

所述第四反向薄膜晶体管的栅极连接所述第二反向薄膜晶体管的栅极，漏极连接所述第三直流电压；

所述第二反相器包括第五反向薄膜晶体管、第六反向薄膜晶体管、第

七反向薄膜晶体管和第八反向薄膜晶体管；

所述第五反向薄膜晶体管的栅极和源极连接所述反馈单元，漏极连接所述第六反向薄膜晶体管的源极；

所述第六反向薄膜晶体管的栅极连接所述第二上拉单元，漏极连接所述第三直流电压；

所述第七反向薄膜晶体管的源极连接所述反馈单元，栅极连接所述第五反向薄膜晶体管的漏极，漏极连接所述第八反向薄膜晶体管的源极；

所述第八反向薄膜晶体管的栅极连接所述第六反向薄膜晶体管的栅极，漏极连接所述第三直流电压。

[权利要求 11] 根据权利要求10所述的驱动电路，其中，所述第一反向薄膜晶体管、第三反向薄膜晶体管、第四反向薄膜晶体管、第五反向薄膜晶体管、第七反向薄膜晶体管和第八反向薄膜晶体管为N型薄膜晶体管；所述第二反向薄膜晶体管和第六反向薄膜晶体管为P型薄膜晶体管。

[权利要求 12] 根据权利要求10所述的驱动电路，其中，所述反馈单元包括反馈薄膜晶体管，所述反馈薄膜晶体管的源极连接所述第一上拉单元，漏极连接所述上拉控制单元，栅极连接本级的级传信号。

[权利要求 13] 根据权利要求10所述的驱动电路，其中，所述反馈薄膜晶体管为N型薄膜晶体管。

[权利要求 14] 根据权利要求12所述的驱动电路，其中，所述自举电容包括第一存储电容和第二存储电容；其中，
所述第一存储电容的一个极板连接所述第一上拉单元，另一个极板连接所述下拉维持单元；
所述第二存储电容的一个极板连接所述第二上拉单元，另一个极板连接所述第二下拉单元。

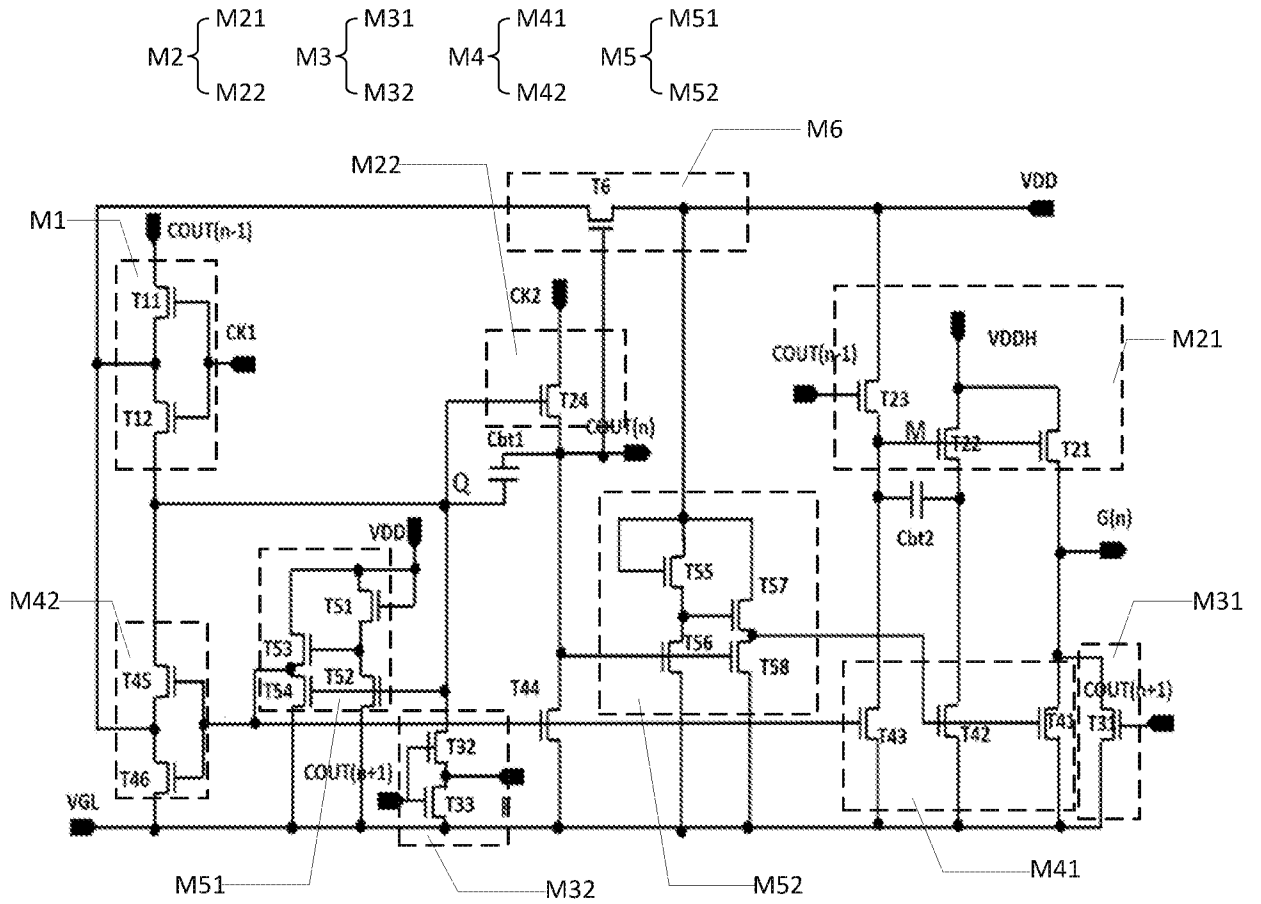


图 1

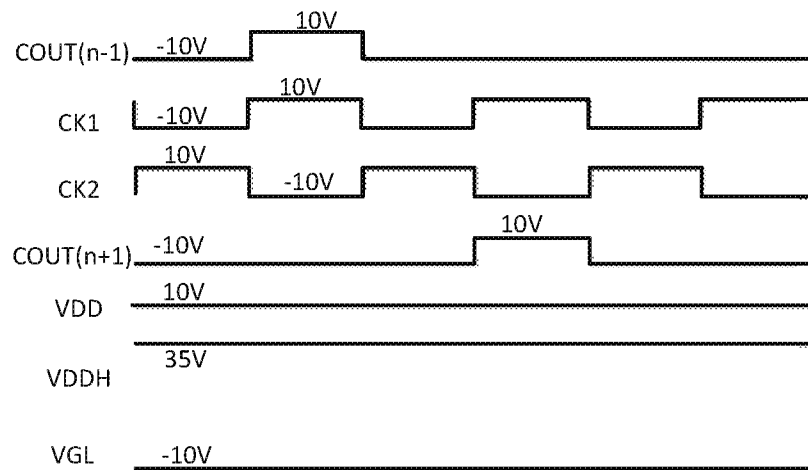


图 2

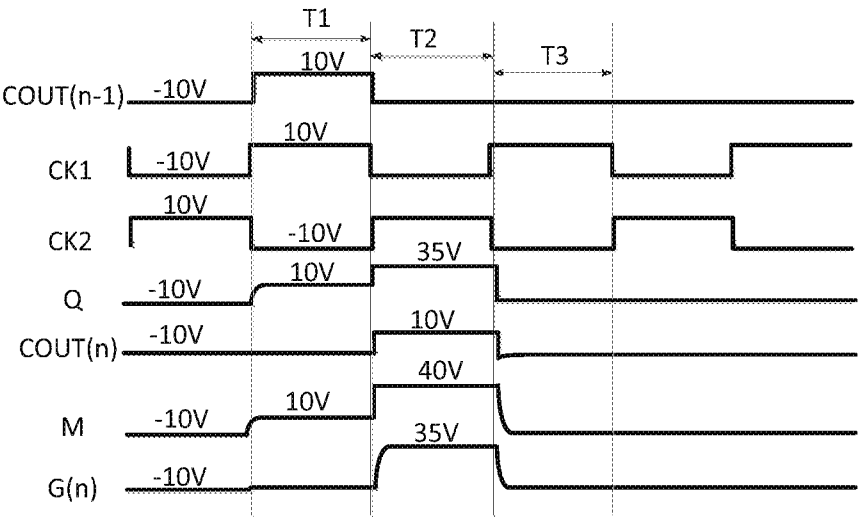


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/102963

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: 第二电容, 反馈, 第二, 下拉, 反相器, 上拉控制, 第二存储电容, 自举电容, 第二自举电容, 上拉, 下拉维持; pull up, pull down, control, maintain, capacitance, second

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 109712552 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 03 May 2019 (2019-05-03) claims 1-10, description, paragraphs [0043]-[0088], and figures 1-4	1-5
X	CN 107393473 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 24 November 2017 (2017-11-24) claims 1-10, description, paragraphs [0040]-[0055], and figures 1-4	1
A	CN 104409057 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 11 March 2015 (2015-03-11) entire document	1-14
A	KR 20180057975 A (LG DISPLAY CO., LTD.) 31 May 2018 (2018-05-31) entire document	1-14
A	CN 107978290 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 01 May 2018 (2018-05-01) entire document	1-14
A	US 2017270886 A1 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 21 September 2017 (2017-09-21) entire document	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

03 February 2020

Date of mailing of the international search report

11 February 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/102963**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105139816 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 09 December 2015 (2015-12-09) entire document	1-14
A	CN 108962166 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 07 December 2018 (2018-12-07) entire document	1-14
A	CN 109637423 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 16 April 2019 (2019-04-16) entire document	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/102963

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109712552	A	03 May 2019	None			
CN	107393473	A	24 November 2017	WO	2019037299	A1	28 February 2019
				CN	107393473	B	23 November 2018
CN	104409057	A	11 March 2015	KR	20170084262	A	19 July 2017
				US	9595235	B2	14 March 2017
				KR	101988453	B1	12 June 2019
				CN	104409057	B	29 September 2017
				EA	201791063	A1	29 September 2017
				GB	2548284	A	13 September 2017
				JP	6539737	B2	03 July 2019
				GB	201709314	D0	26 July 2017
				JP	2018503852	A	08 February 2018
				US	2016140926	A1	19 May 2016
				DE	112014007169	T5	27 July 2017
				EA	031998	B1	29 March 2019
				WO	2016074269	A1	19 May 2016
KR	20180057975	A	31 May 2018	None			
CN	107978290	A	01 May 2018	WO	2019127694	A1	04 July 2019
US	2017270886	A1	21 September 2017	US	9934749	B2	03 April 2018
CN	105139816	A	09 December 2015	US	9898987	B2	20 February 2018
				WO	2017049658	A1	30 March 2017
				US	2017256218	A1	07 September 2017
				CN	105139816	B	19 December 2017
CN	108962166	A	07 December 2018	None			
CN	109637423	A	16 April 2019	None			

国际检索报告

国际申请号

PCT/CN2019/102963

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, CNTXT, VEN: 第二电容, 反馈, 第二, 下拉, 反相器, 上拉控制, 第二存储电容, 自举电容, 第二自举电容, 上拉, 下拉维持; pull up, pull down, control, maintain, capacitance, second		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 109712552 A (深圳市华星光电半导体显示技术有限公司) 2019年 5月 3日 (2019 - 05 - 03) 权利要求1-10, 说明书第43-88段, 图1-4	1-5
X	CN 107393473 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 24日 (2017 - 11 - 24) 权利要求1-10, 说明书第40-55段, 图1-4	1
A	CN 104409057 A (深圳市华星光电技术有限公司) 2015年 3月 11日 (2015 - 03 - 11) 全文	1-14
A	KR 20180057975 A (LG DISPLAY CO LTD) 2018年 5月 31日 (2018 - 05 - 31) 全文	1-14
A	CN 107978290 A (深圳市华星光电技术有限公司) 2018年 5月 1日 (2018 - 05 - 01) 全文	1-14
A	US 2017270886 A1 (SHENZHEN CHINA STAR OPTOELECT) 2017年 9月 21日 (2017 - 09 - 21) 全文	1-14
A	CN 105139816 A (深圳市华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文	1-14
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2020年 2月 3日		国际检索报告邮寄日期 2020年 2月 11日
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 王敏 电话号码 62085827

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 108962166 A (深圳市华星光电技术有限公司) 2018年 12月 7日 (2018 - 12 - 07) 全文	1-14
A	CN 109637423 A (深圳市华星光电半导体显示技术有限公司) 2019年 4月 16日 (2019 - 04 - 16) 全文	1-14

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/102963

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109712552	A	2019年 5月 3日	无			
CN	107393473	A	2017年 11月 24日	WO	2019037299	A1	2019年 2月 28日
				CN	107393473	B	2018年 11月 23日
CN	104409057	A	2015年 3月 11日	KR	20170084262	A	2017年 7月 19日
				US	9595235	B2	2017年 3月 14日
				KR	101988453	B1	2019年 6月 12日
				CN	104409057	B	2017年 9月 29日
				EA	201791063	A1	2017年 9月 29日
				GB	2548284	A	2017年 9月 13日
				JP	6539737	B2	2019年 7月 3日
				GB	201709314	D0	2017年 7月 26日
				JP	2018503852	A	2018年 2月 8日
				US	2016140926	A1	2016年 5月 19日
				DE	112014007169	T5	2017年 7月 27日
				EA	031998	B1	2019年 3月 29日
				WO	2016074269	A1	2016年 5月 19日
KR	20180057975	A	2018年 5月 31日	无			
CN	107978290	A	2018年 5月 1日	WO	2019127694	A1	2019年 7月 4日
US	2017270886	A1	2017年 9月 21日	US	9934749	B2	2018年 4月 3日
CN	105139816	A	2015年 12月 9日	US	9898987	B2	2018年 2月 20日
				WO	2017049658	A1	2017年 3月 30日
				US	2017256218	A1	2017年 9月 7日
				CN	105139816	B	2017年 12月 19日
CN	108962166	A	2018年 12月 7日	无			
CN	109637423	A	2019年 4月 16日	无			