公告本

申請日期：90-4-25	案號：90109862
類別：H01L 29/66	

（以上各欄由本局填註）

發明專利說明書 508821

一、發明名稱	中文	資訊處理結構體
	英文	
二、發明人	姓名（中文）	1.森江隆 2.岩田穆 3.永田真 4.山中登志夫
	姓名（英文）	1.MORIE, Takashi 2.IWATA, Atsushi 3.NAGATA, Makoto 4.YAMANAKA, Toshio
	國籍	1.日本 2.日本 3.日本 4.日本
	住、居所	1.日本國広島縣東広島市西条中央5-21-21 2.日本國広島縣東広島市鏡山2-360-1-301 3.日本國広島縣広島市南區段原2-1-29-2-707 4.日本國広島縣東広島市西条町下見1939-1-201
三、申請人	姓名（名稱）（中文）	1.科學技術振興事業團
	姓名（名稱）（英文）	1.科学技術振興事業団
	國籍	1.日本
	住、居所（事務所）	1.日本國埼玉縣川口市本町4-1-8
	代表人姓名（中文）	1.川崎雅弘
	代表人姓名（英文）	1.

申請日期：	案號：
類別：	

（以上各欄由本局填註）

發明專利說明書

一、發明名稱	中 文	
	英 文	
二、發明人	姓 名（中文）	5. 松浦知宏
	姓 名（英文）	5. MATSUURA, Tomohiro
	國 籍	5. 日本
	住、居所	5. 日本國広島縣東広島市西条町寺家7410-2-B-25
三、申請人	姓 名（名稱）（中文）	
	姓 名（名稱）（英文）	
	國 籍	
	住、居所（事務所）	
	代表人姓 名（中文）	
	代表人姓 名（英文）	

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	2000/04/28	2000-131633	有

有關微生物已寄存於	寄存日期	寄存號碼

無

五、發明說明 (1)

技術領域

本發明係為根據例如 10nm～0.3nm的奈米標度的電子結構體進行資訊處理之資訊處理結構體，尤其是關於根據單電子動作以檢出圖案的類似性的資訊處理結構體者。

背景技術

近年來，在半導體裝置之製造中，隨著半導體之微細加工技術的進步，已達到可製造出例如10nm以下的所謂奈米標度的電子結構體。利用該種微細加工技術，當製作靜電電容極為小之結構體時，該結構體內的一個電子的靜電能增大，而可觀測到形成使其他的電子無法進入該結構體內的所謂庫侖封鎖現象，同時，藉由電子間相互之庫侖抵抗力，以致形成可控制各個電子的移動。

因此，藉由組合電子可直接穿隧的能量障壁(以下，稱作隧道接合)，與電子無法直接穿隧障壁的耦合(以下，稱作電容耦合)，製作可存在電子之微小導電體或微小半導體所組成的微小區域(以下，稱作量子點)，又藉由組合該種量子點，可形成電子結構體。上述量子點正如眾所周知之，係可藉由根據例如單矽烷的低壓化學氣相沉積(CVD)的矽(Si)量子點的自己組織化形成方法而形成(參照Mat.Res.Soc.Symp.Proc.452(1997)243"根據低壓化學氣相沉積可自己組織形成矽量子點"。

藉由該種電子結構體所獲得的電子裝置，係根據1個電子的移動而可獲得裝置動作。稱該種電子結構體為所謂單電子裝置，而提案有利用單電子裝置的種種的單電子電

五、發明說明 (2)

路。例如，作為單電子裝置可藉由類似於CMOSFET的互補式的電晶體構成，使用該種互補式的電晶體的單電子邏輯電路也已有提案(參照1992年J.R.Tucker "Complementary Digital Logic Based on the 'Coulomb Blockade'", J.Appl.Phys., vol.72, No.9, pp.4399-4413)。

然而，此種單電子邏輯電路，習知僅提案有組合了隧道接合與電容的電路圖位準的電路結構，而幾乎並沒有進行作為實際電路的實現形態，換言之，幾乎並沒有作為結構體的提案。

此外，關於記憶體，則提案有將習知之浮動閘極結構微細化的「量子點浮動閘極記憶體結構」，又，雖有進行試作，但是並沒有進行實現邏輯之資訊處理用的電路的實現形態，換言之，並沒有作為結構體的提案。

但是，對於重要之資訊處理之一種，有檢出2個圖案的類似度的處理。此為由聯想記憶體和向量量子化、移動預測等的圖案認識，以及資料壓縮等的寬幅資訊處理所利用而獲得的基本處理。

在此種處理中，「漢明距離(hamming distance)」係作為顯示數位圖案之類似度的指標。該漢明距離係由數位圖案者間的相互不同的位元數所定義者，隨著位元數的減小，漢明距離減小，2個圖案的類似性增高，換言之2個圖案成為相似。在此，該漢明距離係針對例如數位圖案的各位元計算互斥或(XOR)，並藉由總和成為"1"者而計算出。

五、發明說明 (3)

但是，如圖14(A)所示，將由2個隧道接合1與2所構成的單電子電晶體(以下，稱為SET)與電容C_0(例如500aF)組合的電路，係根據顯示上述庫侖封鎖現象引起的非單調特性(參照，應用物理 第66卷 第2號(1997)P.100)，當分別介由電容將電壓Va、Vb輸入2個隧道接合1與2的中間點、換言之、輸入SET的孤立節點3時，根據Va、Vb的H位準或L位準的組合，顯示如圖14(B)所示的輸出電壓V_{c0}的時間特性。利用此種特性，根據一個SET與電容C_0的組合，提案有實現XNOR(非互斥或)閘極的單電子邏輯電路(參照，1998年、T.YAMANAKA以外之"A Stochastic Associative Memory Using Single-Electron Devices and Its Application to Digit Pattern Association (用於單電子裝置和對數位圖案聯想之應用之隨機聯想記憶體)",in Ext. Abs. of Int. Conf. on Solid State Devices and Materials, pp.190-191, Hiroshima, Sept.1998)。

如圖15所示之單電子邏輯電路，係為在上述電源V_{dd}與電容C_0之間並聯連接2個上述SET，並同時輸入Va、Vb的反轉電壓的所謂互補式結構者。準備與數位圖案之位元數相等個數之該單電子邏輯電路，在藉由將此等單電子邏輯電路與共通之電容(C_0)連接構成之數位圖案之位元比較器(參照圖16)中，藉由作為應比較Va之數位圖案之位元電壓，以及作為應比較Vb之數位圖案之位元電壓，在位元一致(Va=Vb)的SET對中，電子從電容C_0移至電源V_{dd}，如圖15(B)所示，藉由電容電位V_{c0}的上升，一致後之位元數大

五、發明說明 (4)

量地以更快的速度形成電容電位V_{c0}的上升。因此，根據對電位上升的過渡的變化的調查，可知道相對之漢明距離的大小。已提案有藉由此種之結構的數位圖案之位元比較器。

此外，已瞭解到由於以單電子裝置構成的電路係概率性地進行動作，相反地藉由積極地利用該概率性，可實現在已存之CMOS電路中較困難地實現之知能處理(參照上述1998年，T.YAMANAKA以外、以及1998年，M.Saen以外之"A Stochastic Associative Memory Using Single-Electron Devices（用於單電子裝置之隨機聯想記憶體)," IEICE Tramns. Election., vol. E81-C, No1, pp.30-35, 1998)。

然而，並未提案實際上應以何種結構體製作該單電子邏輯電路。

此外，當經過一定時間後電容C_0的電位V_{c0}不依存於漢明距離而成為一定，因此，具有在安定之狀態中無法計測漢明距離的問題。

此外，適用於已存的CMOS邏輯電路的體系製作單電子邏輯電路，會存在如下的原理上的致命的問題。

換言之，第一、因為由單電子電路的動作形成基本之隧道現象係具概率性，因而為了確定動作需要有較長之時間，使得動作速度變遲。因此，在適用於CMOS邏輯電路的體系的單電子邏輯電路中，與已存的CMOS電路比較具有動作遲之情況，而不具優越性。

五、發明說明 (5)

第二、當一個之電子靜電能不比熱能充分地大的話，無法獲得安定之單電子動作，因此，為了以室溫使單電子邏輯電路發生動作，有必要實現極為小之電容，但是，例如為了以室溫在10年左右的長期間無故障地使10^{10}閘極以上的超大規模電路動作，一定要實現10^{-12}F指令的電容(S. Shimano, K. Masu, and K. Tsubouchi，"Reliability of Single Electron Transistor Circuits Based on E_b/N_o-Bit Error Rate Characteristics "JPN. J. Appl. Phys., vol. 38, pp. 403-405, 1999.)。

因此，為了實現此種小電容，原子標度以下之結構體成為必要，而實際上是無法予以實現。

第三、形成電荷在點周邊不可避免地存在之雜質與界面準位被捕俘的情況，並藉由該被捕俘的電荷，於點誘起電荷，而有所謂「偏離電荷」或「背景電荷」，因此，有無法進行理想之單電子動作的問題。

本發明是鑑於上述問題點，其目的在於提供一種以室溫、藉單電子動作、而可獲得高速且安定之動作的根據單電子電路的資訊處理結構體。

發明之揭示

為了要達成上述目的，根據本發明之第1結構，其係在微細之MOSFET之閘極的正上方，形成有奈米標度大小的多個微小導電體或微小半導體構成的量子點的同時，在各量子點與閘極之間，形成可使電子或電洞所組成的帶電體直

五、發明說明 (6)

接穿隧的能量障壁，並藉由在各量子點與閘極之間移動的帶電體總數以顯示資訊的資訊處理結構體，其為，接觸各量子點，設置構成電源之一個電源電極，以便於在各量子點與電源電極之間形成可使帶電體直接穿隧的能量障壁，同時，相同地接觸各量子點，各量子點與各資訊電極係以帶電體無法移動之電容耦合的方式進行耦合，設置輸入資訊之至少為2個的資訊電極，並根據資訊電極所決定的電位，利用庫侖封鎖現象使帶電體通過各量子點，並移動於電源電極與閘極之間而藉以達成。

此外，上述目的還在於，根據本發明之第2結構，其係在微細之MOSFET之閘極的正上方，形成有奈米標度大小的多個微小導電體或微小半導體組成的第1量子點的同時，在各第1量子點與閘極之間，形成可使電子或電洞所組成的帶電體直接穿隧的能量障壁，藉由在各第1量子點與閘極之間移動的帶電體總數以顯示資訊的資訊處理結構體，其為，接觸各第1量子點，而與閘極不接觸，設有至少為3個之第2量子點組成的量子點列的同時，接觸該量子點列的兩端部，設置輸入資訊之資訊電極，在各第1量子點與上述量子點列之間、以及量子點列與資訊電極之間，係以帶電體無法移動之電容耦合的方式進行耦合，並根據資訊電極所決定的電位，根據量子點列中的帶電體的位置分佈所發生的改變，並藉由在第1量子點與閘極之間控制帶電體的移動而達成者。

根據本發明之資訊處理結構體，第1量子點最好係由多

五、發明說明（7）

個量子點列所組成。

根據本發明之資訊處理結構體，資訊電極最好係由至少為一個之第3量子點所組成，並藉由蓄積於第3量子點的帶電體的個數來顯示資訊。

根據本發明之資訊處理結構體，最好為，接觸資訊電極，設置第2電源電極，以便於在該資訊電極與第2電源電極之間形成可使帶電體直接穿隧的能量障壁，並藉由施加於該能量障壁的電壓或光能，以使帶電體移動於資訊電極與第2電源電極之間。

此外，上述目的還在於，根據本發明之第3結構，係為排列多個微小導電體或微小半導體組成的量子點，在量子點排列的量子點之間形成可使帶電體直接穿隧的能量障壁，接觸量子點排列的兩端的量子點以形成資訊電極，資訊電極與量子點排列的兩端的量子點係以帶電體無法移動之電容耦合進行耦合，接觸位於量子點排列的中心位置的量子點以形成電源電極，電源電極與位於量子點排列的中心位置的量子點之間，係以帶電體無法移動之電容耦合的方式進行耦合，將量子點排列之電位分佈，以位於量子點排列的中心位置的量子點作為中心，形成谷狀並施加電壓於電源電極，以根據兩端的資訊電極的電壓，設在位於量子點排列的中心位置的量子點的帶電體，藉由熱晃動而向兩端的資訊電極的其中一端移動，或並不移動為其特徵之資訊處理結構體所達成。

根據上述第1結構，藉由形成於MOSFET之閘極上之各量

五、發明說明（8）

子點與資訊電極、電源電極所構成的單電子電路，進行並聯資訊處理，藉由將處理結果作為MOSFET之汲極電流予以取出，並藉由MOSFET統合各單電子電路的處理結果即可進行巨大之資訊處理。因此，利用在一個之MOSFET上可進行多位元圖案的類似度計算。

在該情況，各單電子電路係為極其低之消費電力的同時，又顯示極高之積體性，因此，可進行超並聯動作，作為電路全體可獲得高速的處理速度。

此外，藉由數個量子點的並聯動作，不用進行嚴密之動作，而藉由進行概率性的動作，即使在室溫下也可進行充分之動作。

又，藉由數個量子點的並聯動作，利用繁長結構與多數決邏輯，作為電路全體盡可能地抑制偏離電荷的影響。

在該情況，由於電源電極與資訊電極，係將同一的輸入信號共通地輸入至多個的量子點，即使比量子點的大小要大也可，因此，可藉由習知之微影術之佈線予以構成。

此外，根據上述第2結構，在進行與上述第1結構相同的動作的同時，類似度（漢明距離）作為安定狀態的帶電體的個數可明確定量化。

根據上述第3結構，可獲致動作溫度的提高，即使以室溫也可完成充分的動作。

接觸資訊電極，設置第2電源電極以便在該資訊電極與第2電源電極之間形成可使帶電體直接穿隧的能量障壁，並藉由施加於該能量障壁的電壓或光能，當帶電體在資訊

五、發明說明 (9)

電極與第2電源電極之間移動時，藉由上述電壓或光能的輔助，並藉由將帶電體置於、保持於資訊電極上，可相對於資訊電極容易地輸入資訊。

較佳具體例之詳細說明

以下，參照圖式詳細說明本發明之資訊處理結構體的最佳第1實施形態。

圖1及圖2為顯示根據本發明之資訊處理結構體的第1實施形態者。圖1中，資訊處理結構體10包括，形成於MOSFET11之閘極12之正上方的大小為10nm～0.3nm的多個量子點13；形成於量子點13上，以便能從上方接觸各量子點13的電源電極14；以及相對於各量子點13，以便能分別從兩側接觸各量子點13而形成的資訊電極15。

各量子點13係為沿著閘極12並列成一列，由例如自己組織化形成法所形成的微小導電體或微小半導體，相當於SET的孤立節點。

又，各量子點13相對於閘極12構成隧道接合。此外，MOSFET11的閘極容量相當於上述之電容C_0。

上述電源電極14，在圖示的情況，是形成為扁平狀，以便能從上方接觸所有之量子點13，相對於各量子點13構成隧道接合。又，上述電源電極14，提供電源電壓V_{dd}。

上述資訊電極15係由，位於各量子點13之一側的輸入圖案所提供的第1資訊電極15a(Va)，以及位於其他側之參照圖案所提供的第2資訊電極15b(Vi)所構成，兩者皆藉由電容耦合與量子點13耦合。

五、發明說明（10）

該情況下，資訊電極15可為藉由例如微影術之佈線圖案所構成，也可藉由蓄積電荷之量子點所構成。

又，同一之輸入信號由於可為共通地供給於量子點13者，與量子點13的大小相比較，即使資訊電極15之佈線圖案寬，或量子點大亦可。

藉此之結構，一對的量子點13與2對的資訊電極15a、15b一起構成SET對，從而形成圖2所示之等效電路。此係與圖15所示之單電子邏輯電路形成相同的結構。

本發明之資訊處理結構體10係如上述般地予以構成，根據各SET對，輸入應該用於與一對的資訊電極15a、15b比較的2個數位圖案的各位元的輸入電壓Va、Vi，藉由將Va、Vi的反轉電壓輸入其他對的資訊電極15a、15b，進行與圖15之單電子邏輯電路相同的資訊處理，其結果形成電容C_0的電位V_{c0}的上升，並且，可作為MOSFET的汲極電流予以取出。

藉此，與圖15所示之單電子邏輯電路相同，由於應該比較之2個數位圖案的類似性越大，漢明距離越小，電容C_0的電位迅速上升，從該上升速度的比較可相對地決定漢明距離。

該情況時，從各SET對為極其低之消費電力的同時，顯示極其高之積體性之情況，藉由進行超並聯動作，作為電路全體可獲得高速之處理速度。

又，藉由數個量子點13的並聯動作，利用繁長結構與多數決邏輯，作為電路全體盡可能地抑制偏離電荷的影響。

五、發明說明（11）

在此，由於電源電極14係可由例如習知之微影術之佈線構成，可更為簡單且低成本地形成並聯結構、或繁長結構。

又，資訊電極15在由量子點構成的情況，由於從資訊電極15可保持電子之事項，可使資訊電極15自身記憶資訊，而相對於資訊電極15沒有必要設置記憶資訊之機構。

其次，說明本發明之資訊處理結構體的第2實施形態。

圖3～圖6顯示本發明之資訊處理結構體的第2實施形態。

圖3中，資訊處理結構體20包括，形成於MOSFET11之閘極12之正上方的多個量子點13；形成於量子點13上，以便能從上方接觸各量子點13的3個第2量子點21a構成的量子點列21；形成於量子點列21上，以便能從上方接觸該量子點列21的電源電極14；以及相對於量子點21a的兩端的第2量子點21a，以便能分別從兩側接觸而形成的作為資訊電極的量子點22。

又，對與圖1所示之資訊處理結構體10之構成要素相同之構成要素付以相同的元件編號，並省略其說明。

上述量子點列21在各第2量子點21a間構成隧道接合的同時，兩端的第2量子點21a與資訊電極22之間，以及第2量子點21a與電源電極14之間，係構成電容耦合。

資訊電極22，分別設於量子點列21的兩端的同時，並藉由各量子點所構成。

在此，圖4為根據蒙特卡洛模擬實驗，將該單電子邏輯

五、發明說明 (12)

電路動作用之必要之上述電容C_0之容量範圍，以及量子點的衍生容量計算成參數者。如圖4所示，由於即使係為10^{-15}F的指令也可動作，作為MOSFET11可利用閘極長為10nm指令的微細MOSFET。

在該種結構之資訊處理結構體20中，一個量子點13與一組之量子點列21、一對資訊電極22一起，構成圖5所示之等效電路。

於是，如圖6所示，將電子e_M置於上述量子點列21的第2量子點21a(圖示的情況，為中央的量子點21a)。這是施加高電壓至電源電極14，利用例如F-N隧道現象，藉由供電子給該量子點21a來進行。

此外，又在量子點列21的外側設有電容耦合之第2電源電極(未圖示)，施加高壓電壓至該第2電源電極，相同的利用F-N隧道現象，提供電子給該量子點21a亦可。該情況下，再照射光至該部分，藉由光能之輔助，使電子穿隧亦可。

藉由上述結構，不需要導引回個別地置放電子用的佈線圖案，而且，可直接將畫像資料等的數位圖案記憶於量子點。

在此，在兩端的資訊電極22的電位相等的情況，由於作用於電子e_M的庫侖力對稱，如6(B)所示，電子e_M在中央的量子點21a安定化。

相對於此，在兩端的資訊電極22的電位不相等的情況，如圖6(C)所示，電子e_M脫離中央的量子點21a，移動至其

五、發明說明 (13)

中之一端部的量子點21a(圖示的情況，為左端的量子點21a)，並安定化。

藉此，根據電子e_M是否位於中央的量子點21a的位置，可判定2個資訊電極22的資料是否相等。換言之，量子點列21係作為判定點列以實現互斥或閘。

如此，在量子點列21中，按照2個資訊電極22的電位藉由電子e_M移動，可藉由將該電子e_M置於量子點13的電子e_R檢出。

換言之，如圖5所示，在電子e_M位於量子點列21的中央的第2量子點21a的位置的情況，量子點13的電子e_R藉由庫侖反抗力穿隧電容C_0。藉此，資訊處理結構體20形成實現位元比較器、換言之互斥或閘(XOR)，與圖1之資訊處理結構體10的情況相同，藉由以共通之電容C_0連接多個位元比較器，在電容C_0蓄積按照漢明距離的多個電子，可將此作為MOSFET的汲極電流取出。該情況時，由於漢明距離藉由電容C_0的安定狀態，作為電子的個數而檢出，可表現正確的漢明距離。

又，介由電容耦合將偏壓電壓施加於位有電子e_R的量子點13，並適宜調整該偏壓電壓，藉由返回移動至電容C_0的電子e_R，以進行初期化。

在圖3所示之資訊處理結構體20中，只要面向量子點列21的中央的第2量子點21a設有量子點13，如圖7所示，對於量子點列21的兩端的第2量子點21a，設置相互面向之2個量子點13，並在中央的第2量子點21a設置電子e_M即可。

五、發明說明 (14)

該情況，2個量子點13與一組向量子點列21及一對資訊電極22一起，構成圖8所示之等效電路。

根據該結構，相同地在量子點列21中，按照2個資訊電極22的電位藉由電子e_M移動，可藉由將該電子e_M置於量子點13的電子e_R檢出。

換言之，如圖8所示，在電子e_M不位於量子點列21的中央的第2量子點21a的位置的情況，其中一方之量子點13的電子e_R，藉由與位於相向之第2量子點21a的電子e_M間的庫侖反抗力穿隧電容C_0。藉此，資訊處理結構體20形成實現位元比較器，換言之非互斥或閘(XNOR)，相同地，藉由以共通之電容C_0連接多個位元比較器，在電容C_0蓄積按照漢明距離的多個電子，可將此作為MOSFET的汲極電流取出。

其次，說明本發明之資訊處理結構體之第3實施形態。

圖9～圖13顯示本發明之資訊處理結構體的最佳之第3實施形態。

圖9中，資訊處理結構體30與圖3所示之資訊處理結構體20相比較，例如增加11個構成量子點列21的第2量子點21a的同時，藉由3個量子點31a形成的量子點列31以形成量子點13，又，量子點列21的中央的第2量子點21a藉由電容耦合(C3)在與接地連接之點形成不同的結構。若根據量子點、量子點間的距離以及量子點與電極間的距離模式性地顯示該結構時，資訊處理結構體30形成圖10所示之結構。

根據如此之結構之資訊處理結構體30，藉由適宜設定資訊電極22的電位，如圖11(A)所示，利用量子點列21全

五、發明說明 (15)

體，使在中央電位略低，而在兩端電位最低，以形成電位障壁。

藉此，在兩側的資訊電極22的電位相同的情況，藉由如此之電位障壁，位於中央之電子留置於中央而無法移動。當然，當溫度上升而經過長時間，藉由熱能之輔助，換言之，藉由熱晃動，位於中央之電子可越過兩側之電位障壁，而移動至兩側之量子點21a。

相對於此，在兩側的資訊電極22的電位不同的情況，如圖11(B)所示，量子點列21的一側(圖示的情況係為右側)的端部附近的電位障壁成為較低，由於至此為止的電位障壁也變低，位於中央之電子可移動至右端的量子點21a。圖12顯示模擬存在有電子之量子點的位置，與系全體的能量的關係結果。

藉由如此之結構，在以放置於室溫附近的時間波段觀測時，資訊電極22、22的電位相等的情況，在電子位於量子點列的中央的量子點的位置，在資訊電極的電位不等的情況，電子位於量子點列的其中一端的量子點的位置。

因此，與圖3所示之資訊處理結構體20的情況相同，藉由以共通之電容C_0連接多個圖9的結構，在為MOSFET的閘極電容的電容C_0蓄積按照漢明距離的多個電子，可將此作為MOSFET的汲極電流取出。

該情況時，資訊處理結構體30，藉由量子點列21由多個量子點21a所構成，利用熱晃動變成以概率性進行動作，即使室溫也可充分地進行動作。

五、發明說明 (16)

例如，當以電容C_0的電容量為100Af，隧道電阻為5MΩ，並以10^{-6}秒的時間波段進行觀測時，如圖13之模擬結果所示，在室溫(300K)時可形成大致為正確的XOR動作。

又，該情況時，由於資訊處理結構體30概率性進行動作，無法形成嚴密的XOR動作，但是藉由求得適宜之時間的平均電位，可提高動作精度的同時，藉由積極地利用概率性的動作，也可進行於已存的CMOS電路中無法實現的知能性處理。

在上述之實施形態中，有針對按照資訊電極之電位進行移動之帶電體為電的情況進行了說明，但是並不僅局限於此，顯然將電洞用作為帶電體亦可。

又，本發明係針對例示之實施例進行說明者，只要不超出本發明之實質範圍，可於實施例中進行種種的變更、省略、以及追加。因此，必須理解本發明並不局限於上述實施例，其包含申請專利範圍所記載之要素所規定的範圍以及與此相等的範圍。

產業上之利用可能性

由上述之說明可以理解到，本發明之資訊處理結構體，係藉由包含形成於MOSFET之閘極上的10nm～0.3nm指令的大小的量子點的單電子電路進行並聯資訊處理，並將該處理結果作為MOSFET之的汲極電流取出，藉由MOSFET統合各單電子電路的處理結果可進行巨大的資訊處理。藉此，利用1個MOSFET可進行多位元圖案的類似度計算。

第1實施形態中說明的本發明之資訊處理結構體，可以

五、發明說明 (17)

簡單的結構進行圖案的類似度的比較。第2實施形態中說明的本發明之資訊處理結構體，比第1實施形態的結構略微複雜，具有類似度(漢明距離)作為安定狀態的電子個數可明確地定量化的優點。此外，第3實施形態中說明的本發明之資訊處理結構體，可圖獲動作溫度的上升，且室溫動作也為可能。

如上所述，根據本發明，從具有極低之消費電力的同時，顯示極高之積體性的點出發，藉由進行超並聯動作可獲得高速之處理速度。又，藉由多個量子點的並聯動作，利用繁長結構與多數決邏輯，作為電路全體可盡可能地抑制偏離電荷的影響。因此，本發明之資訊處理結構體，可應用於執行利用圖案之類似度的資訊處理的裝置、根據神經網絡的知能處理機械・學習機械，以及連想處理裝置等。

藉由此，根據本發明，利用室溫藉由單電子動作可獲得安定之動作，而提供有極為優良之單電子電路之資訊處理結構體。

元件編號之說明

10	資訊處理結構體
12	閘極
13	量子點
14	電源電極
15	資訊電極
15a(Va)	第1資訊電極

五、發明說明 (18)

15b(Vi)	第2資訊電極
20	資訊處理結構體
21	量子點列
21a	第2量子點
22	資訊電極(量子點)
30	資訊處理結構體
31	量子點列
31a	量子點
C_0	電容
e_M	電子
e_R	電子
Va、Vi	輸入電壓
V_{c0}	電位
V_{dd}	電源電壓

圖式簡單說明

本發明係根據顯示以下之詳細說明以及本發明之實施例之添附之圖式，藉以更好地幫助理解。又，本發明並不僅特定於添附之圖式中顯示之實施例，係為了使說明與理解容易者。其中

圖1為顯示根據本發明之資訊處理結構體的第1實施形態的結構者，圖1(A)為概略立體圖，圖1(B)為剖面圖。

圖2為顯示包含圖1之資訊處理結構體的一對量子點的單電子電路的等效電路圖。

圖3為顯示根據本發明之資訊處理結構體的第2實施形態的結構者，圖3(A)為概略立體圖，圖3(B)為剖面圖。

圖4為顯示圖3之資訊處理結構體的字線長與電容的必要容量的關係的圖表。

圖5為顯示圖3之資訊處理結構體的結構的等效電路圖。

圖6(A)～(C)為顯示圖3之資訊處理結構體的動作原理的概略圖。

圖7為顯示圖3之資訊處理結構體的變形例的結構，圖7(A)為概略立體圖，圖7(B)為剖面圖。

圖8為顯示圖7之資訊處理結構體的結構的等效電路圖。

圖9為顯示根據本發明之資訊處理結構體的第3實施形態的等效電路圖。

圖10為顯示將圖9之資訊處理結構體圖式化的概略圖。

圖11(A)、(B)為顯示圖9之資訊處理結構體的動作原理的概略圖。

圖12為顯示圖9之資訊處理結構體的電位障壁的圖表。

圖式簡單說明

圖13為顯示圖9之資訊處理結構體的動作模擬的圖表。

圖14為顯示單電子電晶體的結構者，圖14(A)為電路圖，圖14(B)為顯示動作的圖表。

圖15為顯示根據單電子電晶體對的邏輯電路的結構者，圖15(A)為電路圖，圖15(B)為顯示動作的圖表。

圖16為顯示多個組合圖15之單電子電晶體對的單電子邏輯電路的概略圖。

四、中文發明摘要　（發明之名稱：資訊處理結構體）

本發明係為藉單電子動作而可獲得高速且安定之動作的單電子電路的資訊處理結構體，其係在微細之MOSFET(11)之閘極(12)的正上方，形成奈米標度大小的多個量子點(13)，並在量子點與閘極之間，形成可使電子直接穿隧的能量障壁，藉由在量子點與閘極之間移動的電子總數以顯示資訊的資訊處理結構體，其構成為：

以接觸量子點，且構成電子可直接穿隧之能量障壁的方式在量子點與電源電極(14)之間設有成為電源之一的電源電極，並以接觸量子點，且量子點與資訊電極形成電容耦合的方式設有2個資訊電極(15)，並按照由資訊電極決定的電位，利用庫侖封鎖現象使電子通過量子點，以移動於電源電極與閘極之間。

英文發明摘要　（發明之名稱：）

六、申請專利範圍

1. 一種資訊處理結構體，其係在微細之MOSFET之閘極的正上方，設置多個奈米標度大小的微小導電體或微小半導體組成的量子點，在該量子點與上述閘極之間，形成可使電子或電洞所組成的帶電體直接穿隧的能量障壁，並藉由在上述量子點與上述閘極之間移動的帶電體總數以顯示資訊者，其特徵為：

接觸上述量子點，並具有一個電源電極以及輸入資訊之至少為2個的資訊電極，在上述量子點與上述電源電極之間形成可使帶電體直接穿隧的能量障壁，而在上述量子點與上述資訊電極之間係以使帶電體無法移動之電容耦合的方式進行耦合，

並根據上述資訊電極所決定的電位，利用庫侖封鎖現象使帶電體通過上述量子點，以移動於上述電源電極與上述閘極之間者。

2. 一種資訊處理結構體，其係在微細之MOSFET之閘極的正上方，形成多個奈米標度大小的微小導電體或微小半導體組成的第1量子點，在上述第1量子點與上述閘極之間，形成可使電子或電洞所組成的帶電體直接穿隧的能量障壁，並藉由在上述第1量子點與上述閘極之間移動的帶電體總數以顯示資訊者，其特徵為：

接觸上述第1量子點，而與上述閘極不接觸，排列至少為3個以上之微小導電體或微小半導體組成的第2量子點，並形成接觸該第2量子點排列的兩端的量子點以顯示資訊的資訊電極，

六、申請專利範圍

上述第1量子點與上述第2量子點排列之間、以及該第2量子點排列與上述資訊電極之間，係以帶電體無法移動之電容耦合的方式進行耦合，

並按照上述資訊電極決定的電位，改變上述第2量子點排列中的帶電體的位置分佈，以便在上述第1量子點與上述閘極之間控制帶電體的移動。

3. 如申請專利範圍第2項之資訊處理結構體，其中上述第1量子點係由多個量子點列所組成；在該量子點列之量子點之間，形成有可使帶電體直接穿隧的能量障壁。

4. 如申請專利範圍第1或2項之資訊處理結構體，其中上述資訊電極係由微小導電體或微小半導體組成之至少為一個之第3量子點所構成，並藉由蓄積於該第3量子點的帶電體的個數來顯示資訊。

5. 如申請專利範圍第1或2項之資訊處理結構體，其中設置第2電源電極以便於接觸上述第3量子點構成的資訊電極，在上述資訊電極與上述第2電源電極之間形成可使帶電體直接穿隧的能量障壁，

並藉由施加於該能量障壁的電壓或光能，以使帶電體移動於上述資訊電極與上述第2電源電極之間。

6. 一種資訊處理結構體，其特徵為：

形成有排列多個微小導電體或微小半導體的第1量子點列，在該第1量子點列的量子點之間形成可使帶電體直接穿隧的能量障壁，接觸上述第1量子點列的兩端的量子點形成至少為2個的第1資訊電極，該第1資訊電極與上述量

六、申請專利範圍

子點列的兩端的量子點係以帶電體無法移動之電容耦合的方式進行耦合，

接觸位於上述第1量子點列的中心位置的量子點而形成電源電極，該電源電極與位於上述第1量子點列的中心位置的量子點之間，係以帶電體無法移動之電容耦合的方式進行耦合，

接觸位於上述第1量子點列的中心位置的量子點，形成排列多個微小導電體或微小半導體的第2量子點列，在該第2量子點列的另一端形成第2資訊電極，在上述第2量子點列的量子點之間、以及上述第2量子點列與上述第2資訊電極之間形成可使帶電體直接穿隧的能量障壁，位於上述第1量子點列的中心位置的量子點與上述第2量子點列的一端的量子點，係以帶電體無法移動之電容耦合的方式進行耦合，

將上述第1量子點列的電位分布，以位於上述第1量子點列的中心位置的量子點作為中心形成為谷狀，並施加電壓於上述電源電極，根據上述第1資訊電極的電壓所決定的電位分布，設在位於上述第1量子點排列的中心位置的量子點的帶電體，藉由熱晃動而朝上述第1資訊電極的其中一端移動，或並不移動。

7. 如申請專利範圍第6項之資訊處理結構體，其中上述第2資訊電極係為MOSFET之閘極。

圖 1

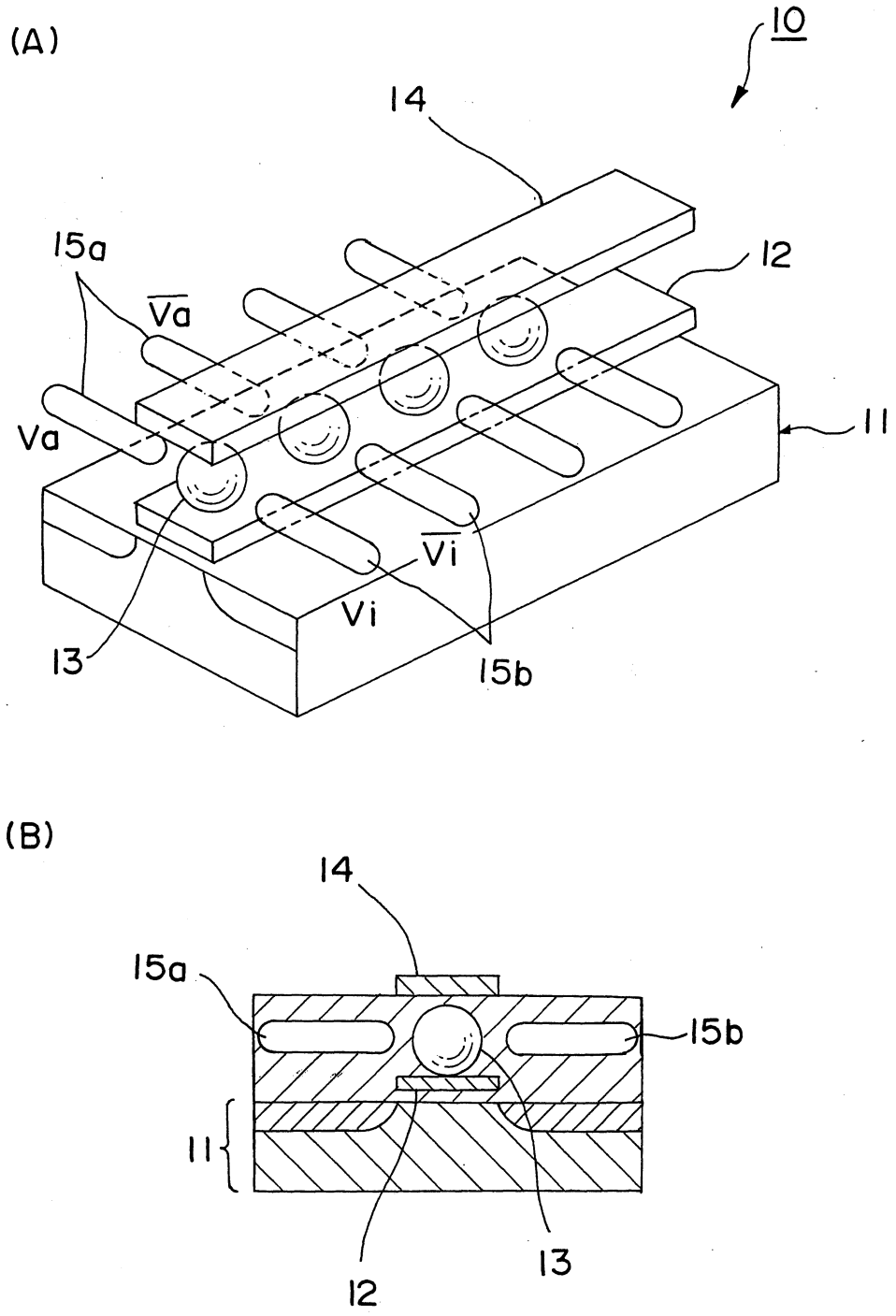


圖 2

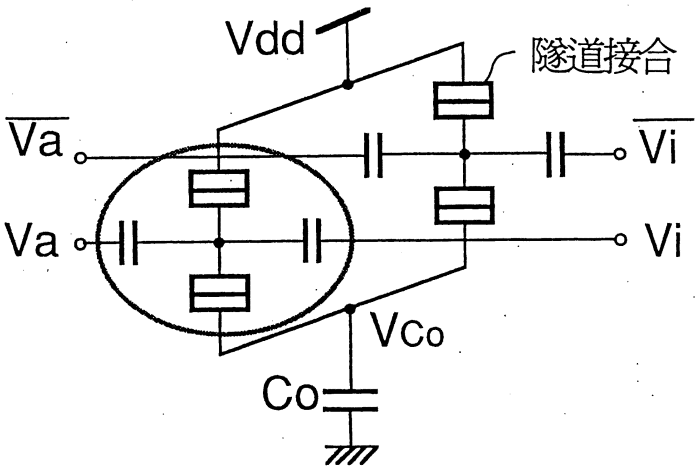


圖 3

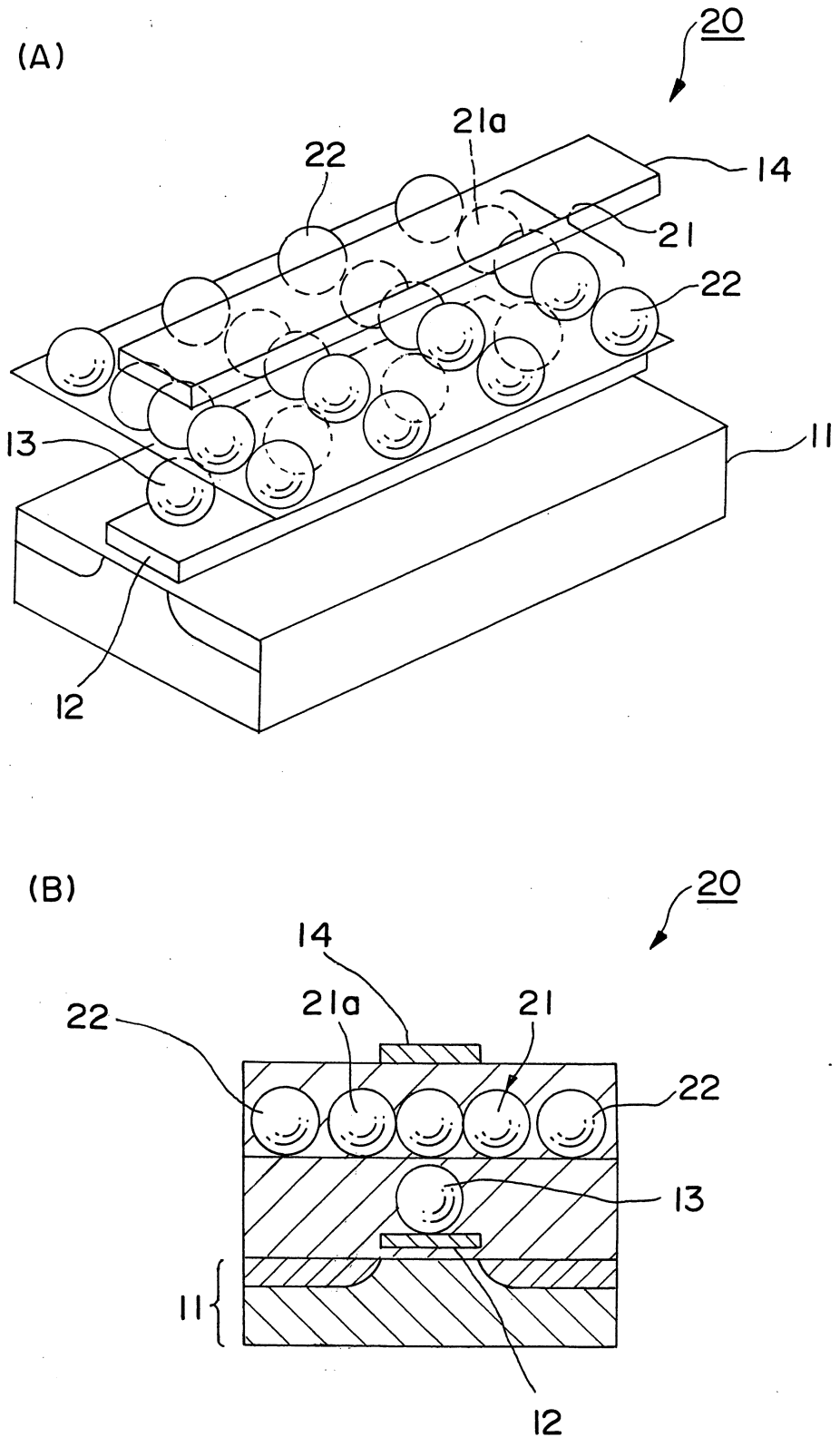


圖 4

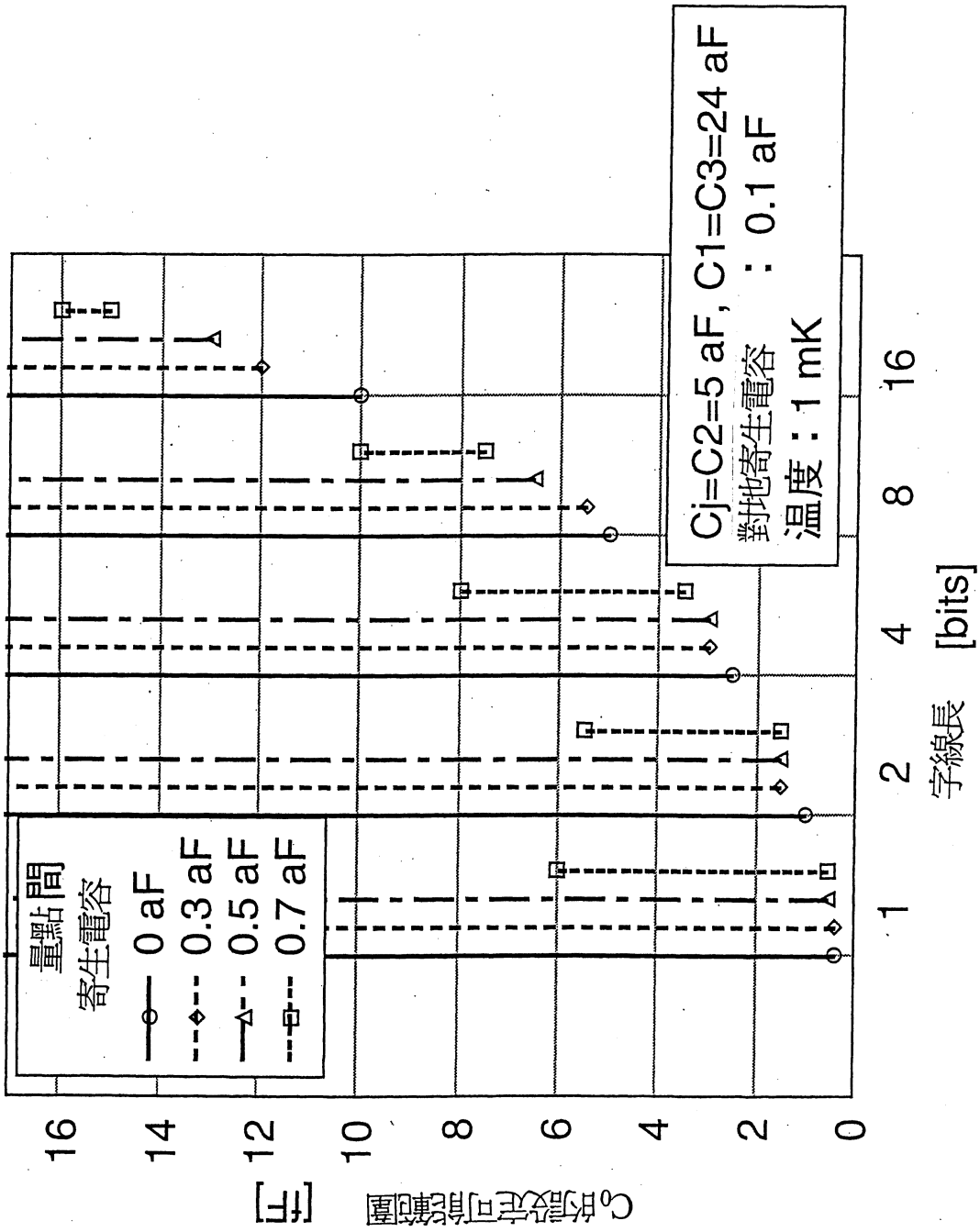

Cj=C2=5 aF, C1=C3=24 aF
對地寄生電容 : 0.1 aF
溫度 : 1 mK
量點間
寄生電容
0 aF
0.3 aF
0.5 aF
0.7 aF
Cc的設定可能範圍 [fF]
0
2
4
6
8
10
12
14
16
1
2
4
8
16
字線長 [bits]

圖 5

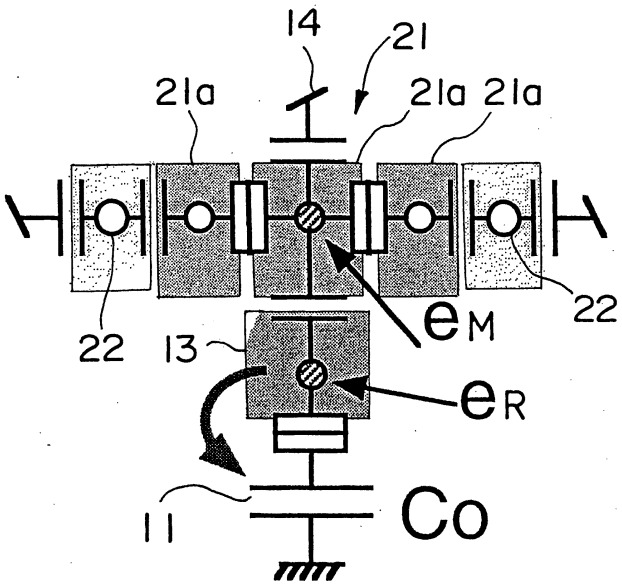


圖 6

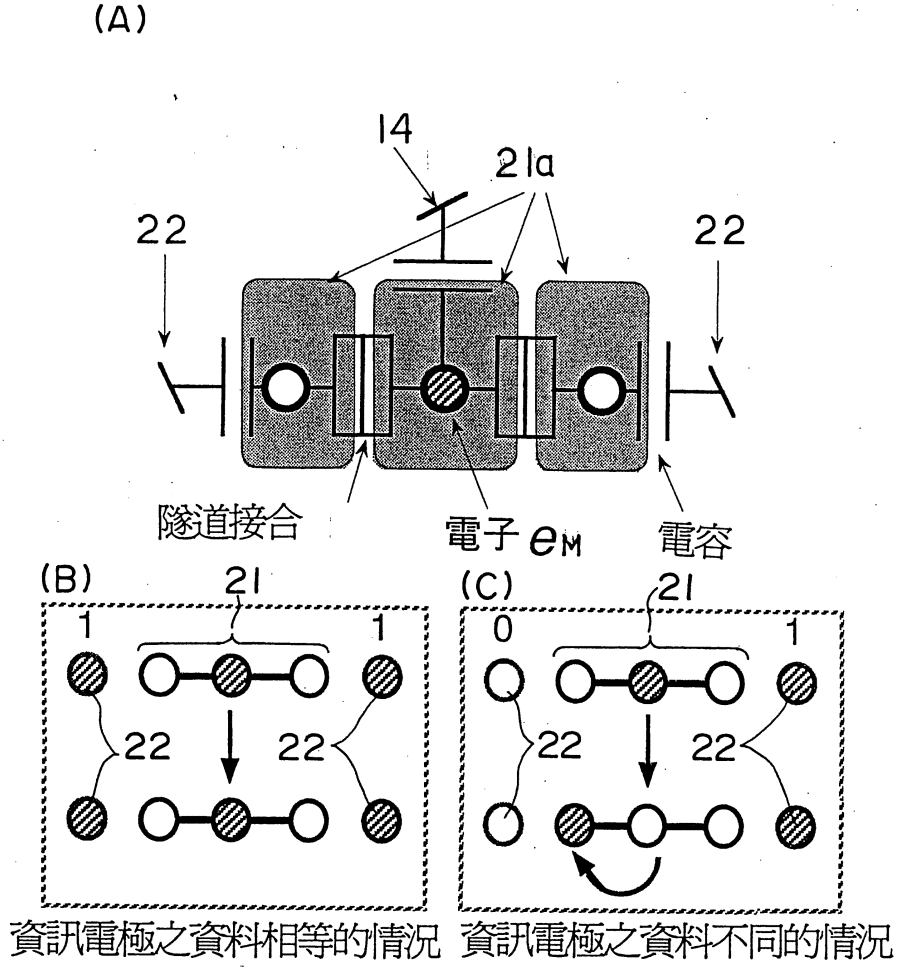
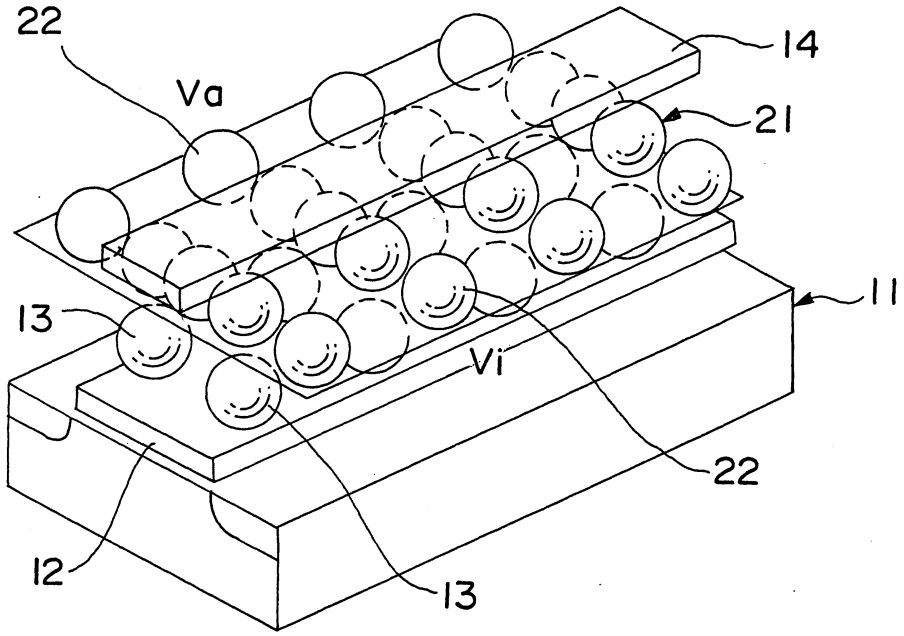

(A)
14
21a
22
22
隧道接合
電子 e_M
電容
(B)
21
1
1
22
22
(C)
21
0
1
22
22
資訊電極之資料相等的情況
資訊電極之資料不同的情況
電子佔有之量子點
無電子之量子點

圖 7

(A)



(B)

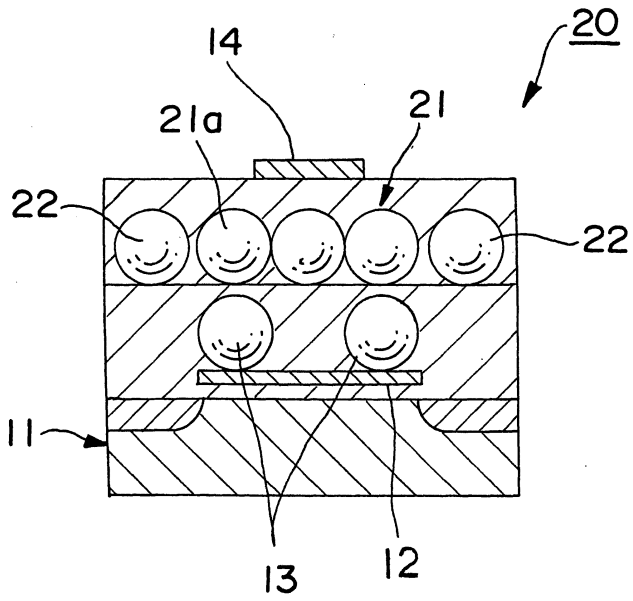


圖 8

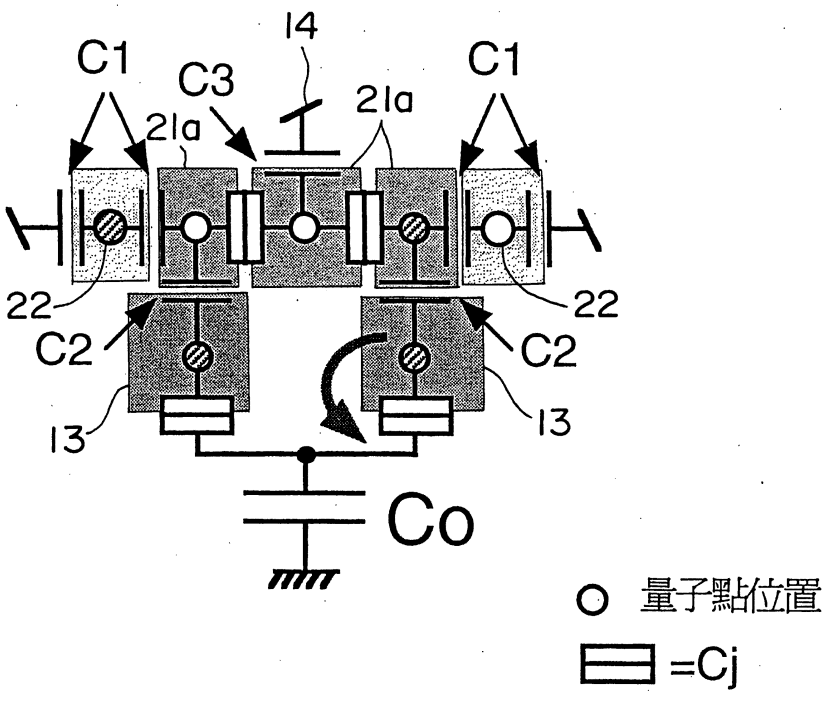


圖 9

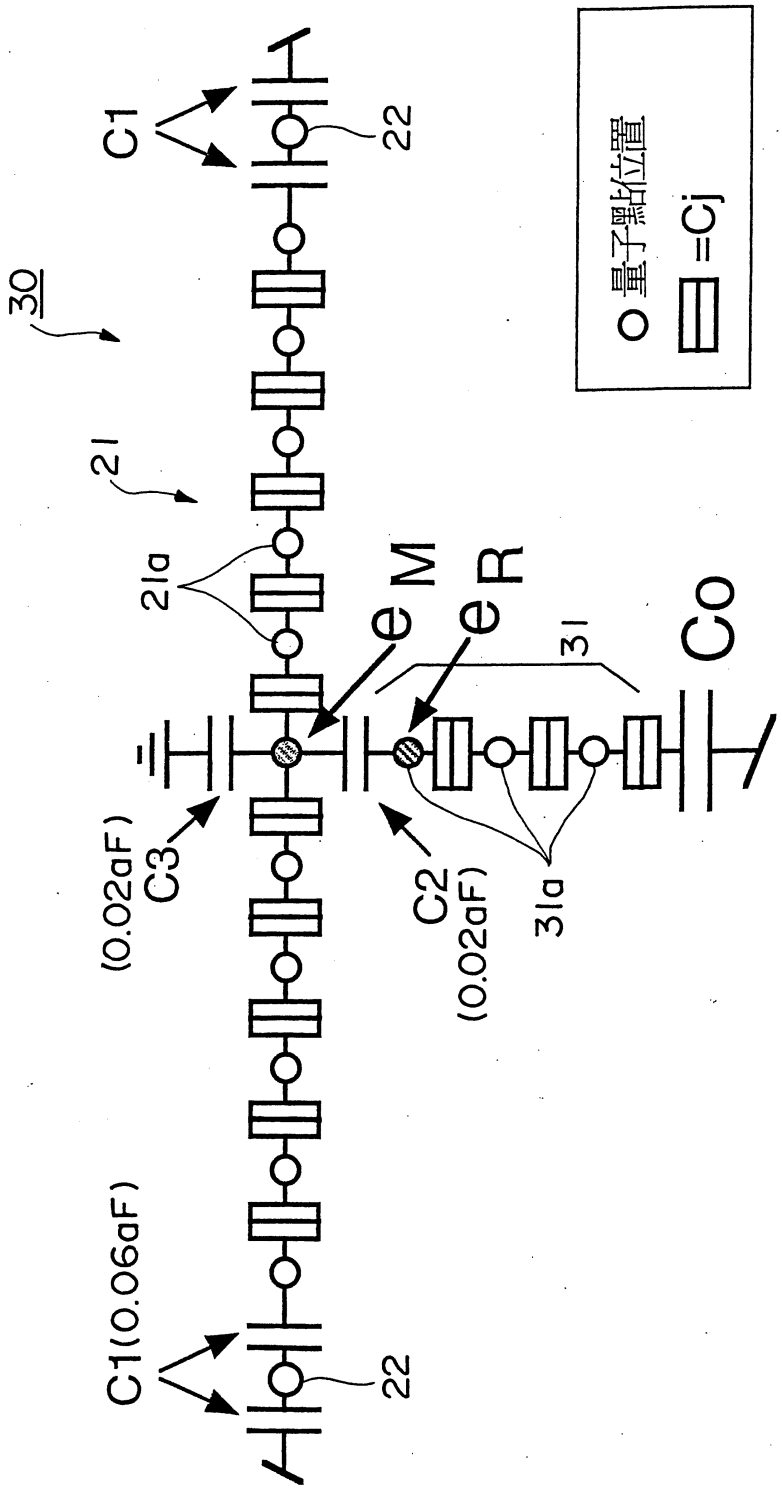

30
21
21a
C1
22
C1(0.06aF)
22
e M
e R
31
Co
C3
(0.02aF)
C2
(0.02aF)
31a
○量子點位置
□=Cj

圖 1 0

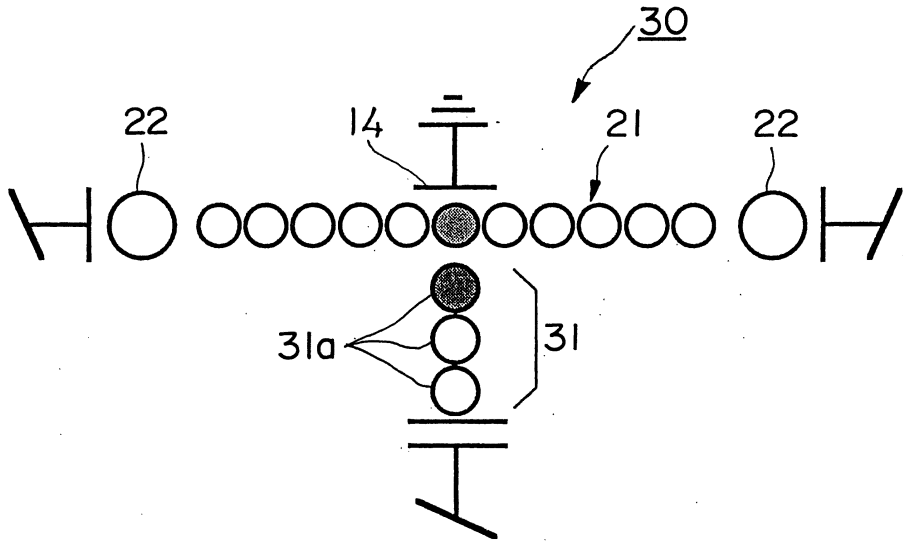
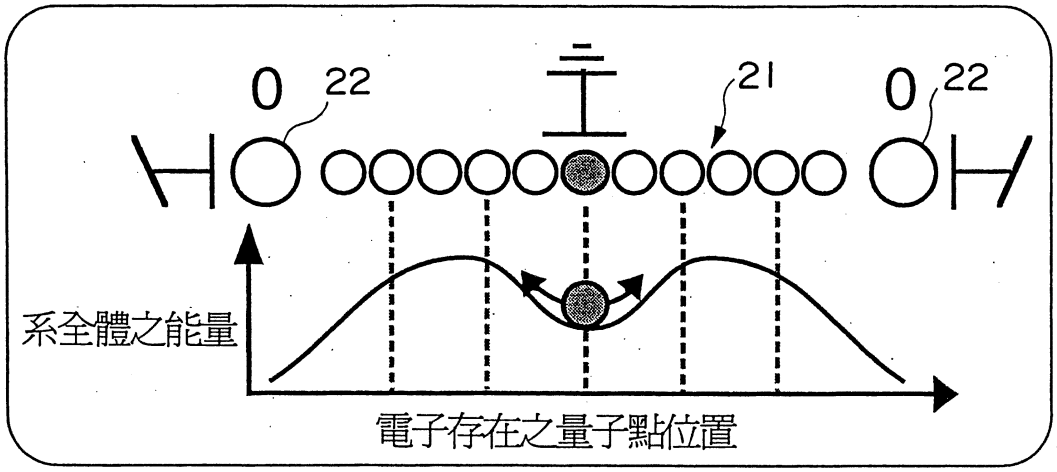


圖 1 1

(A)

資訊電極之資料相同的情況



(B)

資訊電極之資料不同的情況

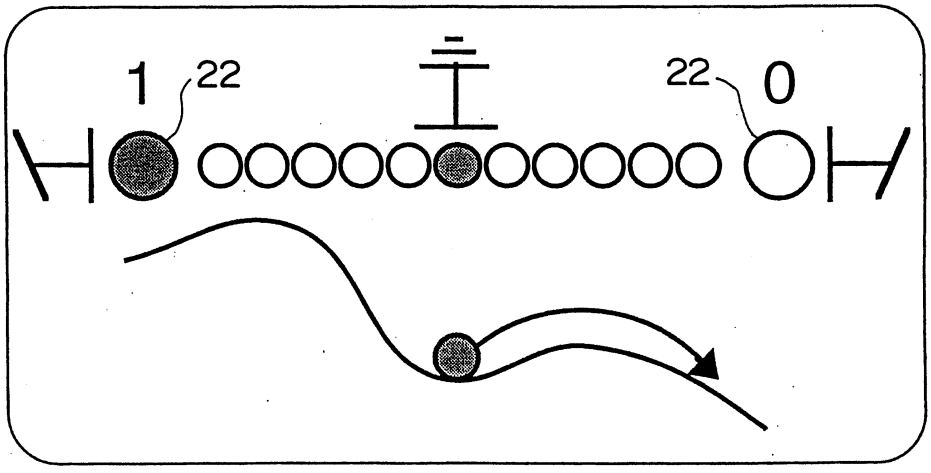


圖 1 2

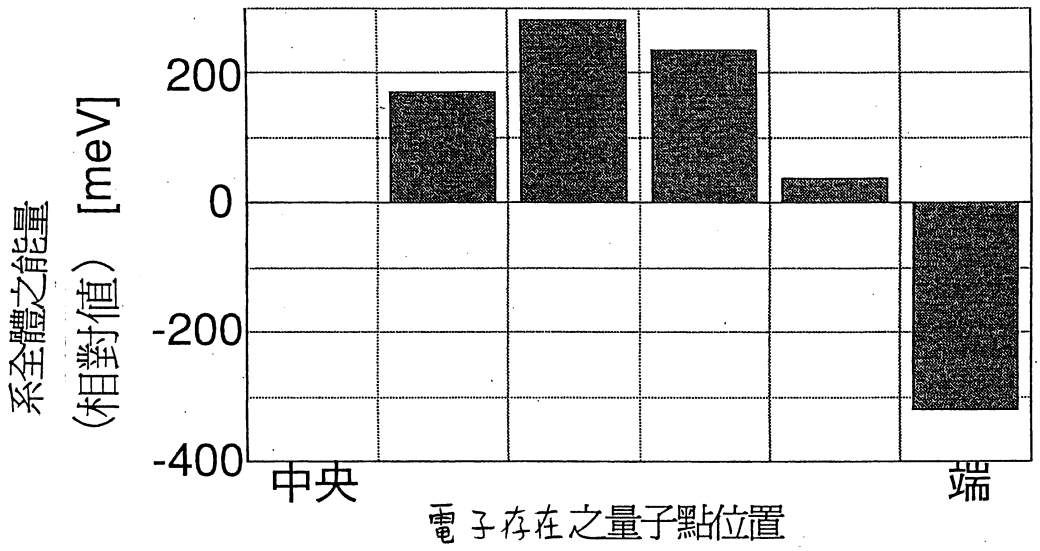


圖 1 3

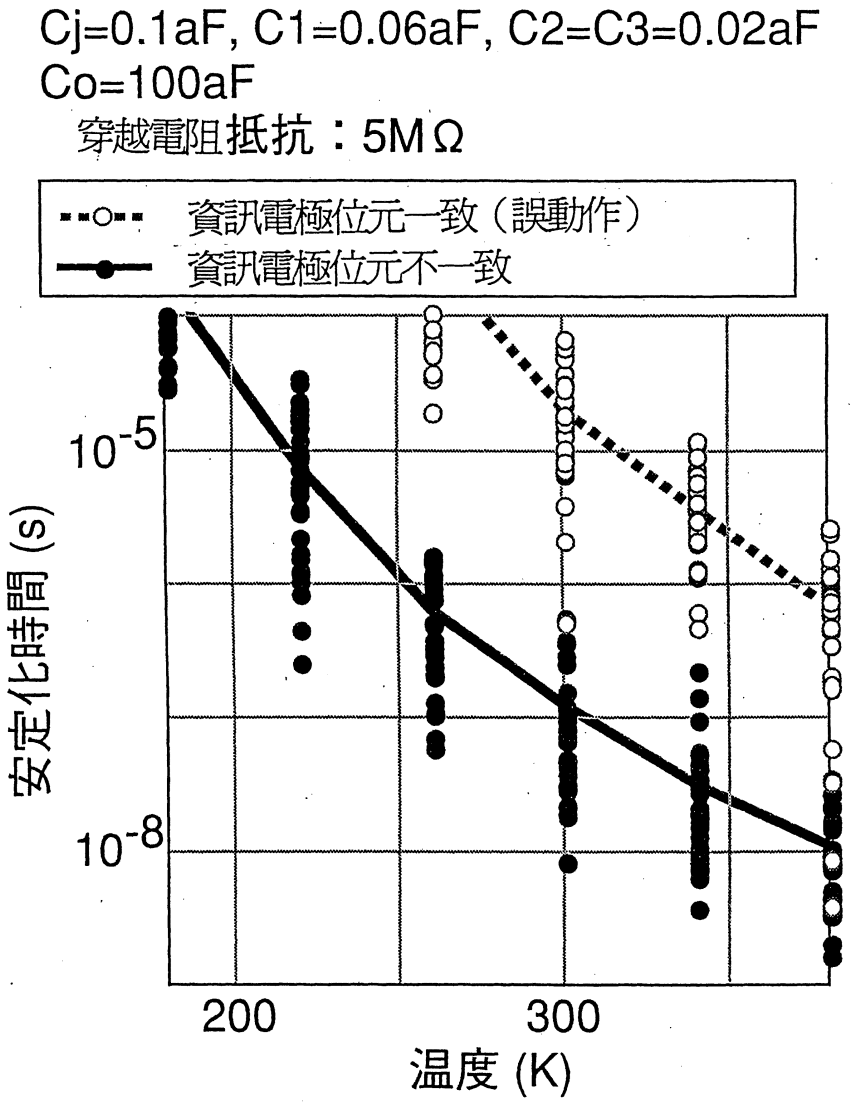
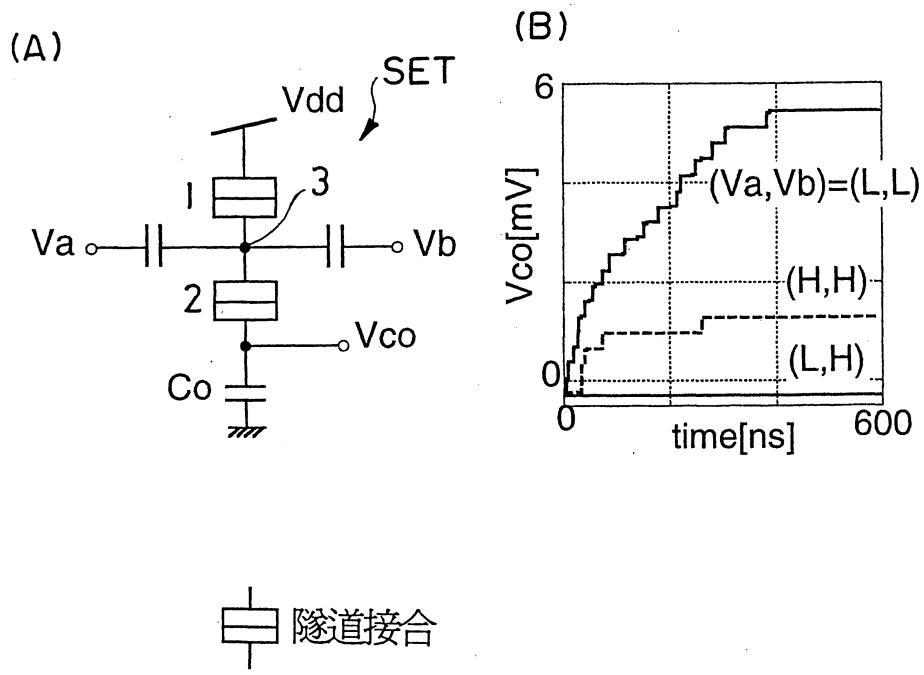

Cj=0.1aF, C1=0.06aF, C2=C3=0.02aF
Co=100aF
穿越電阻抵抗：5MΩ
資訊電極位元一致（誤動作）
資訊電極位元不一致
10-5
10-8
安定化時間 (s)
200
300
温度 (K)

圖 1 4


(A)
Vdd
SET
1
3
Va
Vb
2
Vco
Co
(B)
6
Vco[mV]
(Va,Vb)=(L,L)
(H,H)
(L,H)
0
0
time[ns]
600

隧道接合

圖 1 5

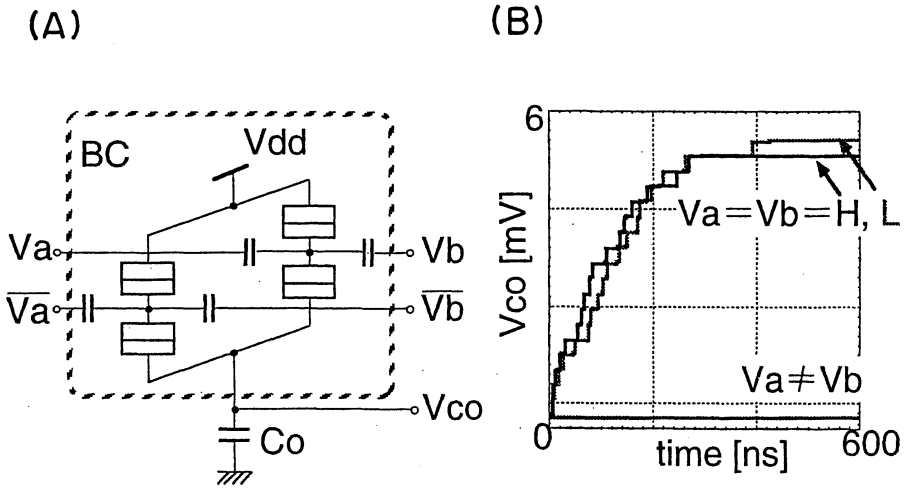

(A)
(B)
BC
Vdd
Va
Vb
Va
Vb
Vco
Co
6
Vco [mV]
Va=Vb=H, L
Va≠Vb
0
time [ns]
600

圖 16

