

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4646420号
(P4646420)

(45) 発行日 平成23年3月9日(2011.3.9)

(24) 登録日 平成22年12月17日(2010.12.17)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1345 (2006.01)	GO2F 1/1345
HO1L 21/28 (2006.01)	HO1L 21/28 L
HO1L 21/3205 (2006.01)	HO1L 21/88 B
HO1L 21/768 (2006.01)	HO1L 21/90 A
請求項の数 11 (全 11 頁) 最終頁に続く	

(21) 出願番号	特願2001-54854 (P2001-54854)	(73) 特許権者	000006013
(22) 出願日	平成13年2月28日 (2001.2.28)		三菱電機株式会社
(65) 公開番号	特開2002-258319 (P2002-258319A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成14年9月11日 (2002.9.11)	(74) 代理人	100098464
審査請求日	平成19年11月13日 (2007.11.13)		弁理士 河村 洸
		(74) 代理人	100149630
			弁理士 藤森 洋介
		(74) 代理人	100154449
			弁理士 谷 征史
		(72) 発明者	小西 幸信
			熊本県菊池郡西合志町御代志997番地
			株式会社アドバンスト・ディスプレイ内
		(72) 発明者	中山 明男
			熊本県菊池郡西合志町御代志997番地
			株式会社アドバンスト・ディスプレイ内
			最終頁に続く

(54) 【発明の名称】 薄膜トランジスタアレイ基板およびそれを用いた表示装置

(57) 【特許請求の範囲】

【請求項1】

画素電極と、該画素電極に接続されたスイッチング素子と、該スイッチング素子に接続されたゲート配線およびソース配線とを備える表示部が表面に形成され、さらに該表示部の外側に、前記ゲート配線または前記ソース配線に外部信号源からの電気配線を接続するための端子部が形成されてなる薄膜トランジスタアレイ基板であって、前記端子部が、前記外部信号源からの電気配線が接続される端子電極と、該端子電極の下層に配置されコンタクトホールを介して該端子電極へと接続される第1の金属配線および第2の金属配線を有し、前記第1の金属配線は前記表示部側に形成され、前記第2の金属配線は基板端部側に形成され、
前記第1の金属配線と前記第2の金属配線とは、あいだに絶縁膜が存在し、
前記端子電極を介して接続されており、
前記第1または第2の金属配線の一方が前記ソース配線と同層で形成され、他方の金属配線が前記ゲート配線と同層で形成され、
前記第1の金属配線は前記絶縁膜より上層に形成され、
前記第2の金属配線は前記絶縁膜より下層に形成され、前記基板端部まで延在していることを特徴とする薄膜トランジスタアレイ基板。

【請求項2】

前記第2の金属配線が、切断または面取りがなされていることを特徴とする請求項1記載の薄膜トランジスタアレイ基板。

【請求項 3】

前記第 1 の金属配線が前記ソース配線へと接続されていることを特徴とする請求項 1 または 2 記載の薄膜トランジスタアレイ基板。

【請求項 4】

前記第 1 の金属配線が前記ゲート配線へと接続されていることを特徴とする請求項 1 または 2 記載の薄膜トランジスタアレイ基板。

【請求項 5】

前記端子電極の下層に配置され、前記端子電極と前記第 1 の金属配線を接続する前記コンタクトホールは、複数個であることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の薄膜トランジスタアレイ基板。

10

【請求項 6】

前記端子電極の下層に配置され、前記端子電極と前記第 1 の金属配線を接続する前記コンタクトホールは、前記端子電極の前記表示部側の端部近傍と、前記第 1 の金属配線の前記基板端部側の端部近傍に設けられていることを特徴とする請求項 5 記載の薄膜トランジスタアレイ基板。

【請求項 7】

前記端子電極の中央近傍にはコンタクトホールは設けられていないことを特徴とする請求項 1 乃至請求項 5 記載の薄膜トランジスタアレイ基板。

【請求項 8】

前記端子電極の前記基板端部側の端部近傍で、前記第 2 の金属配線の幅が細くなり、前記基板端部まで延在していることを特徴とする請求項 1 乃至請求項 7 のいずれかに記載の薄膜トランジスタアレイ基板。

20

【請求項 9】

前記端子電極の下層に配置される前記第 1 の金属配線と前記第 2 の金属配線とは、平面視において、重なっていないことを特徴とする請求項 1 乃至請求項 7 のいずれかに記載の薄膜トランジスタアレイ基板。

【請求項 10】

前記端子電極の下層に配置され、前記端子電極と前記第 1 の金属配線を接続する前記コンタクトホールと、前記端子電極と前記第 2 の金属配線を接続する前記コンタクトホールとは、異なる位置にあることを特徴とする請求項 1 乃至請求項 9 のいずれかに記載の薄膜トランジスタアレイ基板。

30

【請求項 11】

請求項 1 ～ 10 のいずれかに記載の薄膜トランジスタアレイ基板を用いた表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタアレイ基板およびそれを用いた表示装置に関し、とくに薄膜トランジスタ（以下、TFTともいう）をスイッチング素子として搭載したアクティブマトリクス型の薄膜トランジスタアレイ基板に関するものである。

【0002】

40

【従来の技術】

薄膜トランジスタアレイ基板は、一对の基板間に液晶材料を挟持してなる。図 5 に、一方の基板について、その拡大平面図を示す。図 5 に示すように、一方の基板には縦横のマトリクス状に画素電極 15 が設けられ、各画素電極への電圧印加を制御するためにスイッチング素子が設けられている。スイッチング素子としては薄膜トランジスタ 17 が用いられることが多い。そのため、この基板は TFT アレイ基板と呼ばれる。TFT アレイ基板には、さらに、各 TFT 17 に電気信号を供給するために、ゲート配線 2 およびソース配線 9 が設けられている。ゲート配線 2 への信号印加によって TFT 17 をオンにすると、ソース配線 9 の電位が画素電極 15 へと書き込まれる。もう一方の基板の表面には、対向電極が設けられており、対向電極－画素電極間の電位差によってあいだに挟まれた液晶が

50

駆動され、所望の表示を得ることができる。

【0003】

図4にTFTアレ基板の全体平面を示す。前記画素電極15、TFT17などは表示部22に設けられ、その周辺に、端子部20、21が設けられている。端子部20、21には、それぞれソース端子18およびゲート端子19が設けられており、ソース端子18は表示部22のソース配線9へと、ゲート端子19は表示部22のゲート配線2へと、それぞれ接続されている。

【0004】

製造工程中に静電気などによってTFT17が破壊されることがないように、ソース端子18およびゲート端子19は、ショートリング23に接続されている。製造工程の最終段階で、TFTアレ基板の端部を切り落としてショートリング23を除去し、その後、各ソース端子18、ゲート端子19に信号源からの配線を接続して薄膜トランジスタアレ基板は完成する。

10

【0005】

つぎに、TFTアレ基板の製造工程を図6、7、8を用いて説明する。図6、7にはTFTアレ基板上のTFTおよびソース端子について、その断面が示されている。

【0006】

図において、1はガラス基板などの透明な絶縁性基板、あるいは単なる絶縁性基板である。2は基板1上に形成されたゲート配線であり、AlもしくはCrなどの金属層から形成される。4はゲート配線2上に基板1の全面にわたって形成されたゲート絶縁膜であり、シリコン窒化膜からなる。

20

【0007】

5はゲート絶縁膜4を介してゲート配線2の上方に形成された半導体層であり、アモルファスシリコン膜などからなる。6は半導体層5上に形成されたコンタクト層であり、n+型アモルファスシリコン膜からなる。7および8はそれぞれ、コンタクト層6上に形成されたソース電極、ドレイン電極であり、9はソース電極7およびドレイン電極8の形成と同時に形成されるソース配線、10はコンタクト層6を選択的にエッチングすることによって形成されたチャンネル部である。11はTFT保護のためのパッシベーション膜であり、シリコン窒化膜からなる。

【0008】

12は、画素電極への接続のためにドレイン電極8上のパッシベーション膜11に形成されたコンタクトホール、13は端子電極への接続のためにソース配線9上のパッシベーション膜11に形成されたコンタクトホールである。

30

【0009】

さらに、15はコンタクトホール12を介してドレイン電極8へと接続された画素電極であり、ITO膜からなる。16は画素電極15と同時に形成され、コンタクトホール13を介してソース配線9へと接続された端子電極である。

【0010】

図8は、図7(c)におけるソース端子18を拡大して示した図であり、図8(a)がソース端子18の平面を、図8(b)が図8(a)の矢視B-B断面をそれぞれあらわしている。

40

【0011】

TFTアレ基板の製造にあたっては、まず、絶縁性基板1の表面にたとえばCuやAlなどの金属膜をスパッタ法により成膜し、写真製版法により形成したレジストを用いてパターンニングし、ゲート配線2を形成する(図6(a))。

【0012】

つぎに、プラズマCVD法によりゲート絶縁膜4となるシリコン窒化膜を全面に形成し(図6(b))、さらにアモルファスシリコン膜および不純物がドーピングされたn+型アモルファスシリコン膜を順次成膜したのち、写真製版法により形成したレジストを用いてアモルファスシリコン膜およびn+型アモルファスシリコン膜を同時にパターンニングし、ゲー

50

ト配線 2 の上方に T F T の半導体層 5 およびコンタクト層 6 を形成する（図 6（c））。

【0013】

つぎに、図 7（a）に示すように、ソース電極、ドレイン電極およびソース配線を形成するために、まずスパッタ法などにより、Cr 膜もしくは Al 膜などの金属膜を成膜し、写真製版法により形成したレジストを用いてパターンニングし、ソース電極 7、ドレイン電極 8 およびソース配線 9 を形成する。ついでドライエッチング法によりソース電極 7 およびドレイン電極 8 に覆われていない部分の n+アモルファスシリコン膜（コンタクト層 6）をエッチングしてチャンネル部 10 を形成する。

【0014】

つぎに、図 7（b）に示すように、T F T を保護するために、プラズマ C V D 法などによりシリコン窒化膜を成膜して、パッシベーション膜 11 を形成する。その後、写真製版法により形成したレジストを用い、ドライエッチング法により、画素電極とドレイン電極 8 とを接続するためのコンタクトホール 12 と、ソース配線 9 と端子電極とを接続するためのコンタクトホール 13 を形成する。

【0015】

最後に、図 7（c）に示すように、透明導電膜として I T O 膜をスパッタ法などにより成膜したのち、写真製版法により形成したレジストを用いてパターンニングし、画素電極 15 を形成すると同時に、外部信号源との接続のための端子電極 16 を形成する。

【0016】

このようにして製造した T F T アレイ基板について、ソース端子 18 の拡大図を図 8 に示す。すでに説明したように、ソース端子 18 の最上層には外部信号源との接続のための端子電極 16 が形成され、端子電極 16 はコンタクトホール 13 を介してソース配線 9 に接続されている。そして、ソース配線 9 の一端は T F T 17 のソース電極 7 へと接続されている。一方、ソース配線 9 のもう一端は、ショートリング 23 へと接続されている。

【0017】

製造工程の最終段階において、T F T アレイ基板の端部を切断位置 24 で切り落とし、さらに面取りをおこなってショートリング 23 を除去する。このときの面取り工程によって、基板端面においてソース配線 9 が剥離し、剥離した金属膜片同士が接触して、隣り合う端子同士を短絡させ隣接配線間のショートを引き起こすという問題があった。また、とくに切断位置を端子電極のすぐ近くとした場合や、製造装置の精度などによって切断位置が端子電極の近くにまでおよぶ場合などでは、剥離した金属膜片が隣の端子の端子電極に接触して、やはり隣接配線間のショートを引き起こすという問題があった。

【0018】

【発明が解決しようとする課題】

以上のように従来の T F T アレイ基板では、図 8 に示すように、ソース端子 18 において端子電極 16 の下層の金属層は、表示部側、ショートリング側ともすべて同層の金属層、すなわちソース配線 9 で形成されている。

【0019】

この構造においては、基板の切断および面取り工程時に切断位置 24 で基板の面取りを行なう場合、端子部端面のソース配線 9 が面取り工程によりはがれ、はがれた金属膜片同士が接触し、隣り合う端子同士を短絡させ、隣接配線間のショートを引き起こすなどの問題があった。また、はがれた金属膜片が端子電極に接触し、隣り合う端子同士を短絡させ隣接配線間のショートを引き起こすなどの問題があった。

【0020】

本発明は、叙上のような問題点を解消するためになされたもので、基板の切断および面取りによる金属層のはがれを防止して、信頼性の高い薄膜トランジスタアレイ基板を得ることを目的とする。

【0021】

【課題を解決するための手段】

本発明にかかわる薄膜トランジスタアレイ基板は、一対の基板間に液晶材料を挟持して

10

20

30

40

50

なり、一方の基板に、画素電極と、該画素電極に電氣的に接続されたスイッチング素子と、該スイッチング素子に電氣的に接続されたゲート配線またはソース配線とを備える表示部が形成され、さらに該表示部の外側に、前記ゲート配線および前記ソース配線に外部信号源からの電気配線を接続するための端子部が形成されてなる薄膜トランジスタアレイ基板であって、前記端子部が、基板の最上層に位置し前記外部信号源からの電気配線が接続される端子電極と、該端子電極の下層に配置されコンタクトホールを介して該端子電極へと接続される第1の金属配線および第2の金属配線を有し、前記第1の金属配線は前記表示部側に形成され、前記第2の金属配線は基板端部側に形成され、前記第1の金属配線と前記第2の金属配線とは、あいだに絶縁膜が存在し、前記端子電極を介して接続されており、前記第1または第2の金属配線の一方が前記ソース配線と同層で形成され、他方の金属配線が前記ゲート配線と同層で形成され、前記第1の金属配線は前記絶縁膜より上層に形成され、前記第2の金属配線は前記絶縁膜より下層に形成され、前記基板端部まで延在していることを特徴とする。

10

【0022】

また、前記第2の金属配線が、切断または面取りがなされていることを特徴とする。

【0023】

また、第1の金属配線の一方がソース配線へと接続されていることを特徴とする。

【0024】

また、前記第1の金属配線が前記ゲート配線へと接続されていることを特徴とする。

また、前記端子電極の下層に配置され、前記端子電極と前記第1の金属配線を接続する前記コンタクトホールは、複数個であることを特徴とする。

20

また、前記端子電極の下層に配置され、前記端子電極と前記第1の金属配線を接続する前記コンタクトホールは、前記端子電極の前記表示部側の端部近傍と、前記第1の金属配線の前記基板端部側の端部近傍に設けられていることを特徴とする。

また、前記端子電極の中央近傍にはコンタクトホールは設けられていないことを特徴とする。

また、前記端子電極の前記基板端部側の端部近傍で、前記第2の金属配線の幅が細くなり、前記基板端部まで延在していることを特徴とする。

また、前記端子電極の下層に配置される前記第1の金属配線と前記第2の金属配線とは、平面視において、重なっていないことを特徴とする。

30

また、前記端子電極の下層に配置され、前記端子電極と前記第1の金属配線を接続する前記コンタクトホールと、前記端子電極と前記第2の金属配線を接続する前記コンタクトホールとは、異なる位置にあることを特徴とする。

【0025】

【発明の実施の形態】

実施の形態1

以下、本発明の一実施の形態について、図に基づいて説明する。

【0026】

図1、2は本発明の実施の形態1による薄膜トランジスタアレイ基板について、TFTおよびソース端子の製造工程を示す断面図である。

40

【0027】

図において、1はガラス基板などの透明な絶縁性基板、あるいは単なる絶縁性基板である。2、3はそれぞれ、基板1上に形成されたゲート配線、ショートリングへの取り出し配線であり、AlもしくはCrなどの金属層から形成される。4はゲート配線2および取り出し配線3上に基板1の全面にわたって形成されたゲート絶縁膜であり、シリコン窒化膜からなる。

【0028】

5はゲート絶縁膜4を介してゲート配線2の上方に形成された半導体層であり、アモルファスシリコン膜などからなる。6は半導体層5上に形成されたコンタクト層であり、n+型アモルファスシリコン膜からなる。7および8はそれぞれ、コンタクト層6上に形成さ

50

れたソース電極、ドレイン電極であり、9はソース電極7およびドレイン電極8の形成と同時に形成されたソース配線、10はコンタクト層6を選択的にエッチングすることにより形成されたチャンネル部である。11はTFT保護のためのパッシベーション膜であり、シリコン窒化膜からなる。

【0029】

12は、画素電極への接続のためにドレイン電極8上のパッシベーション膜11に形成されたコンタクトホール、13はソース配線9と端子電極とを接続するためにソース配線9上のパッシベーション膜11に形成されたコンタクトホール、14は端子電極と取り出し配線3とを接続するために、取り出し配線3上のゲート絶縁膜4およびパッシベーション膜11に形成されたコンタクトホールである。

10

【0030】

さらに、15はコンタクトホール12を介してドレイン電極8へと接続された画素電極であり、ITO膜からなる。16は画素電極15と同時に形成され、コンタクトホール13、14を介してソース配線9、取り出し配線3へと接続された端子電極である。

【0031】

図3は、図2(c)におけるソース端子18を拡大して示した図であり、図3(a)がソース端子18の平面を、図3(b)は図3(a)の矢視A-A断面をそれぞれあらわしている。

【0032】

つぎに、本実施の形態による薄膜トランジスタアレイ基板の製造方法を説明する。まず、図1(a)に示すように、絶縁性基板1の表面にたとえばCuやAlなどの金属膜をスパッタ法により成膜したあと、写真製版法より形成したレジストを用いてパターンニングし、ゲート配線2およびショートリングへの取り出し配線3を形成する。

20

【0033】

Cr膜やAl膜などの金属膜のパターンニングにはウェットエッチング法を用いるが、あらかじめエッチャントの組成を検討して、Cr膜やAl膜などの金属膜のエッチング端面をテーパ形状に形成することにより、この金属層の上層に形成する膜の被膜性を向上できる。

【0034】

つぎに、プラズマCVD法によりゲート絶縁膜4となるシリコン窒化膜を全面に形成し(図1(b))、さらにアモルファスシリコン膜と不純物がドーブされたn+型アモルファスシリコン膜とを順次成膜したのち、写真製版法により形成したレジストを用いてアモルファスシリコン膜およびn+型アモルファスシリコン膜を同時にパターンニングし、ゲート配線2の上方にTFTの半導体層5およびコンタクト層6を形成する(図1(c))。

30

【0035】

つぎに、図2(a)に示すように、ソース電極、ドレイン電極およびソース配線を形成するために、まずスパッタ法などにより、Cr膜もしくはAl膜などの金属膜を成膜し、写真製版法により形成したレジストを用いてパターンニングし、ソース電極7、ドレイン電極8およびソース配線9を形成する。ついで、ドライエッチング法によりソース電極7およびドレイン電極8に覆われていない部分のn+型アモルファスシリコン膜(コンタクト層6)をエッチングしてチャンネル部10を形成する。

40

【0036】

つぎに、図2(b)に示すように、TFTを保護するために、プラズマCVD法などによりシリコン窒化膜を成膜して、パッシベーション膜11を形成する。その後、写真製版法により形成したレジストを用い、ドライエッチング法により画素電極とドレイン電極8とを接続するためのコンタクトホール12と、ソース配線9と端子電極とを接続するためのコンタクトホール13と、端子電極と取り出し配線3とを接続するためのコンタクトホール14とを形成する。

【0037】

最後に、図2(c)に示すように、透明導電膜としてITO膜をスパッタ法などにより成

50

膜したのち、写真製版法により形成したレジストを用いてパターニングし、画素電極 1 5 を形成すると同時に、端子電極 1 6 を形成する。

【0038】

したがって、ソース配線 9 は、コンタクトホール 1 3、端子電極 1 6 およびコンタクトホール 1 4 を介して、ショートリングへの取り出し配線 3 に電氣的に接続されている。

【0039】

以上の工程により形成された T F T アレイ基板の表面にさらに配向膜を形成し、透明絶縁性基板上に遮光膜、対向電極、配向膜などを形成してなる対向基板を対向配置し、両基板のあいだに液晶材料を注入してシール材で封止し、そののち T F T アレイ基板の端部を切断してショートリング 2 3 を除去し、切断面の面取りを行なうことにより 薄膜トランジスタアレイ基板 を構成する。

10

【0040】

本実施の形態による 薄膜トランジスタアレイ基板 においては、図 3 のソース端子 1 8 の拡大図に示すように、端子部形成時に端子電極 1 6 の下層の金属配線を、表示部側と基板端部側とでそれぞれ別の金属層から形成する。つまり、表示部側の金属配線であるソース配線 9 はソース電極 7 やドレイン電極 8 と同一の金属層から形成され、基板端部側すなわちショートリング側の金属配線である取り出し配線 3 はゲート配線 2 と同一の金属層から形成される。

【0041】

本発明によれば、図 3 に示した切断位置 2 4 において、金属配線すなわち取り出し配線 3 がゲート絶縁膜 4 よりも下層にある。したがって、基板切断時の面取りによって取り出し配線 3 が削られることがなくなる、あるいは削られる量が少なくなり、金属膜片の発生を最小限に抑制することができる。また、上層に位置するゲート絶縁膜 4 が抑えの役割を果たすため、この点からも、取り出し配線 3 の剥離を抑制して金属膜片の発生を防ぎ、端子間短絡の発生を防止することができる。

20

【0042】

なお、本実施の形態では、ソース電極およびソース配線がゲート配線よりも上層に形成され、ソース端子での短絡が問題となる T F T アレイ基板を例として説明を行なった。しかし、ゲート配線がソース配線よりも上層に形成されている T F T アレイ基板であっても、本発明によって切断、面取り位置でのゲート配線端部の剥離を抑制して、端子間短絡を防止することが可能である。

30

【0043】

【発明の効果】

以上のように、本発明によれば、端子部で端子電極の下層に位置する金属配線において、基板端部側の金属配線を表示部側の金属配線と別層に形成しているため、基板の切断および面取り工程時に、金属配線がはがれて金属膜片を生じることを防ぎ、金属膜片による端子間ショートを防止して、より信頼性の高い 薄膜トランジスタアレイ基板 を得ることができる。また、切断および面取りを行なう位置を端子電極のすぐ近くとしても端子間ショートを生じることがないため、高精度の切断面取り設備が不要となる、薄膜トランジスタアレイ基板 の小型化が可能となる、切断しろを小さくして材料の無駄を少なくすることができるなどの利点がある。

40

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 による 薄膜トランジスタアレイ基板 の製造工程を示す断面図である。

【図 2】 本発明の実施の形態 1 による 薄膜トランジスタアレイ基板 の製造工程を示す断面図であり、図 1 に続く工程を表わした図である。

【図 3】 本発明の実施の形態 1 による 薄膜トランジスタアレイ基板 について、端子部を拡大して示した平面図、および断面図である。

【図 4】 薄膜トランジスタアレイ基板 の全体を示す概略平面図である。

【図 5】 薄膜トランジスタアレイ基板 を示す平面図であり、とくに表示部の画素を示す

50

図である。

【図 6】 従来の技術による薄膜トランジスタアレイ基板の製造工程を示す断面図である。

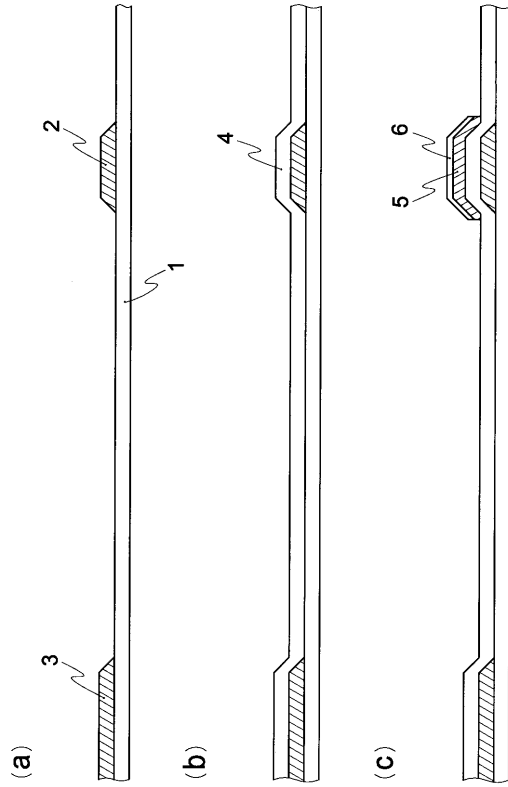
【図 7】 従来の技術による薄膜トランジスタアレイ基板の製造工程を示す断面図である。

【図 8】 従来の技術による薄膜トランジスタアレイ基板について、端子部を拡大して示した平面図、および断面図である。

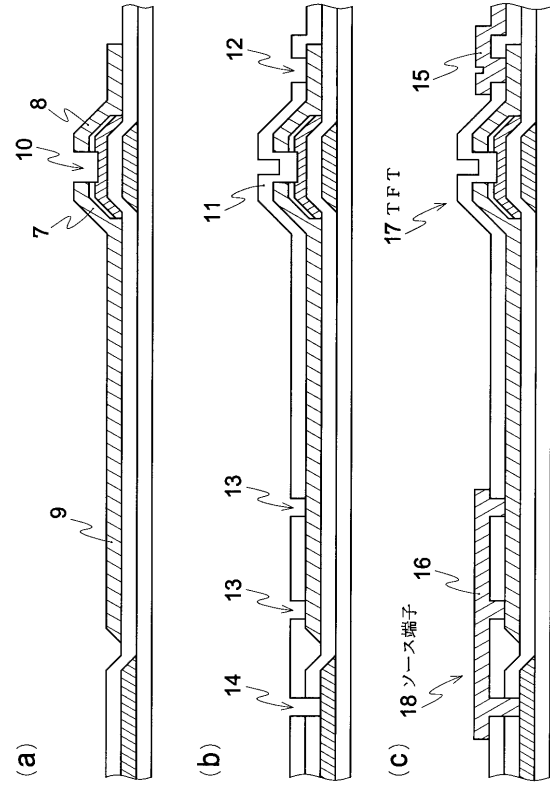
【符号の説明】

1	基板	
2	ゲート配線	10
3	ショートリングへの取り出し配線	
4	ゲート絶縁膜	
5	半導体層	
6	コンタクト層	
7	ソース電極	
8	ドレイン電極	
9	ソース配線	
10	チャネル部	
11	パッシベーション膜	
12、13、14	コンタクトホール	20
15	画素電極	
16	端子電極	
17	TFT	
18	ソース端子	
19	ゲート端子	
20、21	端子部	
22	表示部	
23	ショートリング	
24	切断位置	

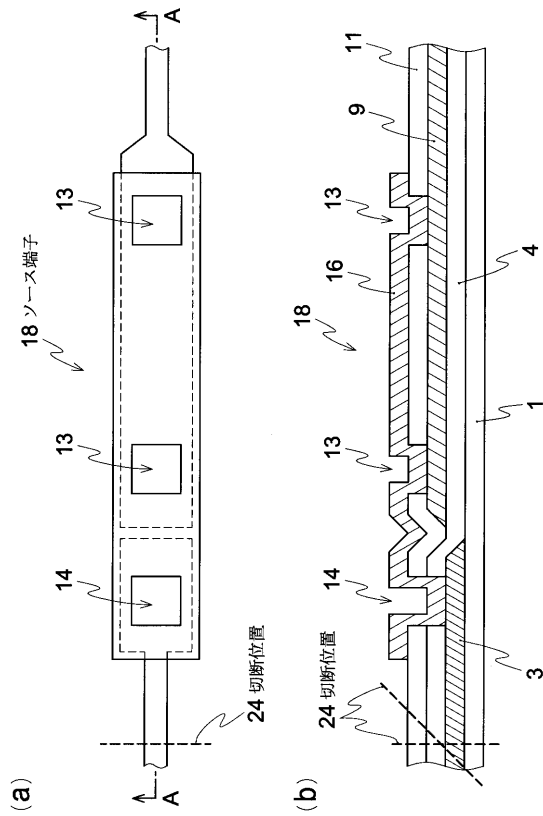
【図 1】



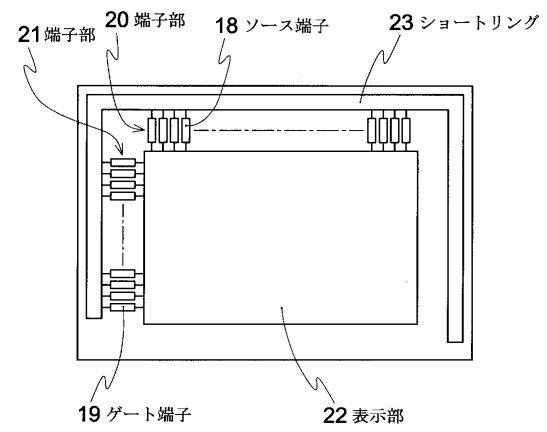
【図 2】



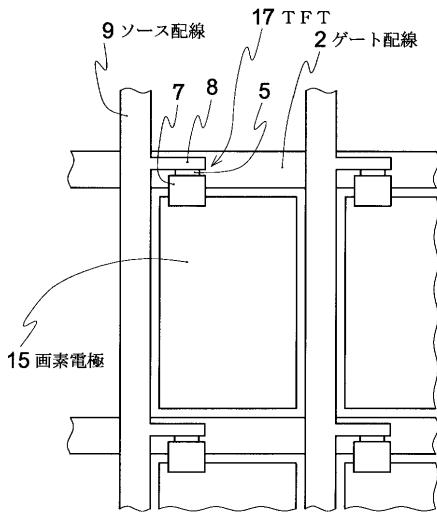
【図 3】



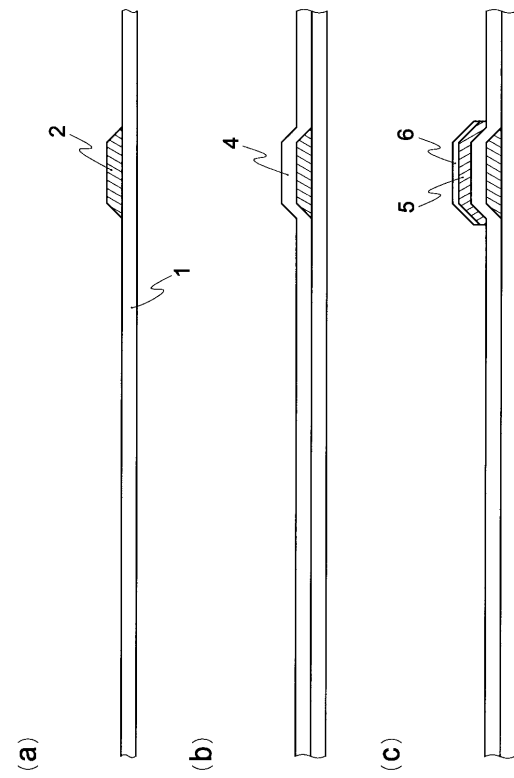
【図 4】



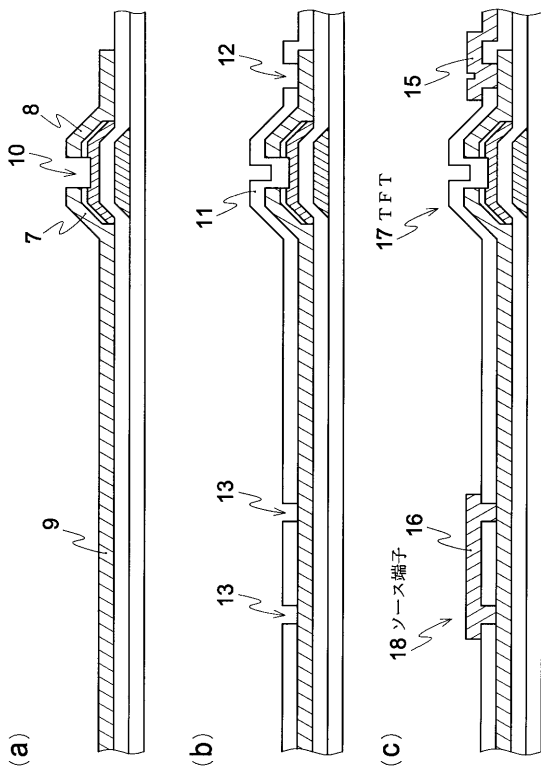
【図 5】



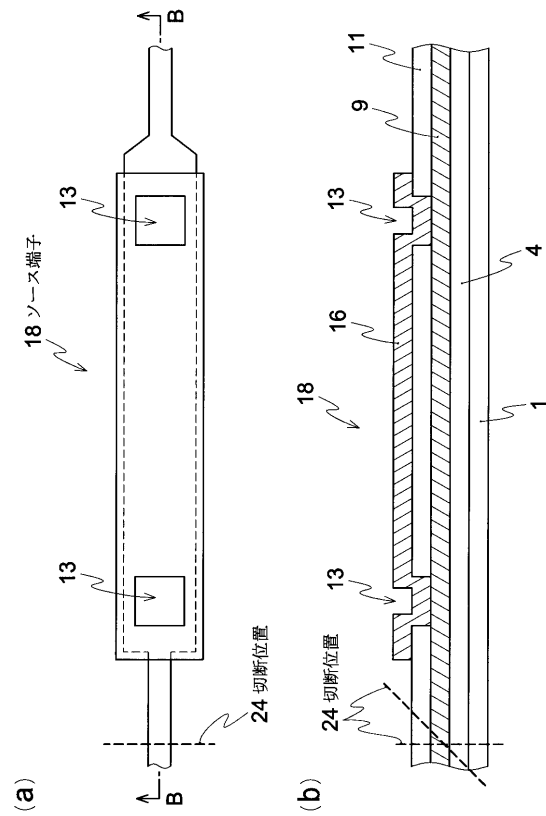
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 1 2 C

(72)発明者 小林 和弘
熊本県菊池郡西合志町御代志 9 9 7 番地 株式会社アドバンスト・ディスプレイ内

審査官 奥田 雄介

(56)参考文献 特開平 1 1－2 8 8 0 0 7 (J P, A)
特開平 0 8－0 0 6 0 5 9 (J P, A)
特開平 1 1－3 2 6 9 4 2 (J P, A)
特開 2 0 0 1－1 4 2 0 9 6 (J P, A)
特表平 1 1－5 0 9 9 3 8 (J P, A)

(58)調査した分野(Int.Cl., D B名)

G02F 1/1368

G02F 1/1345