

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3965410号
(P3965410)

(45) 発行日 平成19年8月29日(2007.8.29)

(24) 登録日 平成19年6月1日(2007.6.1)

(51) Int. Cl. F I
G O 5 B 9/03 (2006.01) G O 5 B 9/03

請求項の数 10 (全 10 頁)

(21) 出願番号	特願2004-538854 (P2004-538854)	(73) 特許権者	598051819
(86) (22) 出願日	平成15年8月30日 (2003.8.30)		ダイムラークライスラー・アクチェンゲゼ ルシャフト
(65) 公表番号	特表2005-521182 (P2005-521182A)		ドイツ連邦共和国 70567 シュトッ トガルト, エップルシュトラッセ 225
(43) 公表日	平成17年7月14日 (2005.7.14)	(74) 代理人	100123342
(86) 国際出願番号	PCT/EP2003/009642		弁理士 中村 承平
(87) 国際公開番号	W02004/029737	(74) 代理人	100095887
(87) 国際公開日	平成16年4月8日 (2004.4.8)		弁理士 鹿久保 伸一
審査請求日	平成16年6月7日 (2004.6.7)	(74) 代理人	100111143
(31) 優先権主張番号	10243713.0		弁理士 安達 枝里
(32) 優先日	平成14年9月20日 (2002.9.20)	(72) 発明者	マイケル・アルムブルスター
(33) 優先権主張国	ドイツ(DE)		ドイツ連邦共和国 75203 ケーニッ クシュタイン-シュタイン、ウーファァーシ ュトラーセ 10

最終頁に続く

(54) 【発明の名称】 冗長構成の車両用制御装置

(57) 【特許請求の範囲】

【請求項1】

第1のデータベース(4)によって相互に接続され、同一の入力データを処理することによって車両の制御機能を実行する、冗長構成で設けられた複数の制御装置(1~3; 20~23)と、

前記第1のデータベース(4)と前記制御装置(1~3; 20~23)を接続又は切断するものであって、前記制御装置にそれぞれ設けられ、前記制御装置による制御機能とは独立に動作するデータベース分離スイッチ(5)と、

を有する冗長構成の車両用制御装置において、

前記データベース分離スイッチ(5)は、前記データベース(4)への接続又は遮断をするスイッチと、他の冗長制御装置(2、3; 22、23)の出力ポート(11, 12)に接続される入力ポート(13, 14)と、入力された信号を論理演算する演算回路を有し、

前記データベース分離スイッチ(5)は、前記他の冗長制御装置(2、3; 21、23)による機能検査の結果である評価信号を受け取り、受け取った複数の評価信号を用いた論理演算、又は、受け取った評価信号とあらかじめ定義された不変値との論理演算の結果に基づいて自己の制御装置(1、20)と前記データベース(4)との接続を切断することを特徴とする冗長構成の車両用制御装置。

【請求項2】

前記制御装置(1~3; 20~23)が、制御機能の結果を交換するために、前記第1のデータベース(4)に加えて、第2のデータベース(60~62)によって接続されること

10

20

を特徴とする請求項 1 に記載の冗長構成の車両用制御装置。

【請求項 3】

前記制御機能の実行結果が、予め定義可能な制御装置 (A) によって、冗長構成である前記制御装置 (1 ~ 3 ; 20 ~ 23) の出力として前記第 1 のデータバス (4) に送出されることを特徴とする請求項 1 あるいは 2 に記載の冗長構成の車両用制御装置。

【請求項 4】

前記 1 つの予め定義可能な制御装置 (A) が、前記制御装置 (1 ~ 3 ; 20 ~ 23) の中から、変数によって任意に定義可能であることを特徴とする請求項 3 に記載の冗長構成の車両用制御装置。

【請求項 5】

前記変数が、制御機能に関して冗長構成である制御装置のための交換品を形成する前記制御装置 (1 ~ 3 ; 20 ~ 23) から 1 つの制御装置 (A) の交換の順序をマッピングすることを特徴とする請求項 4 に記載の冗長構成の車両用制御装置。

【請求項 6】

前記制御装置 (1 ~ 3 ; 20 ~ 23) がゲートウェイ機能を有し、データバス (4 ; 60 ~ 62) が切断されるとき、データの交換が該ゲートウェイ機能によって別のデータバス (60 ~ 62 ; 4) によって維持されることを特徴とする請求項 2 ~ 5 のいずれか一項に記載の冗長構成の車両用制御装置。

【請求項 7】

前記データバス分離スイッチ (5) が、前記割当てられた制御装置 (1 ; 20 ; 22) の電圧供給部 (8) に接続される出力ポート (19) を有し、

前記論理演算の結果により前記出力ポート (19) から制御信号を送ることにより、前記割当てられた制御装置 (1 ; 20 ; 22) への電圧供給を遮断させることを特徴とする請求項 6 に記載の冗長構成の車両用制御装置。

【請求項 8】

前記データバス分離スイッチ (5) が、リレースイッチ又は論理モジュールを含むことを特徴とする請求項 7 に記載の冗長構成の車両用制御装置。

【請求項 9】

冗長構成で設けられ同一の入力データを処理することによって車両の制御機能に関する制御を行う制御装置 (1 ; 20) とデータバス (4、60 ~ 62) との間に接続され、

前記制御装置の前記データバス (4、60 ~ 62) への接続の設定又は解除を、前記制御装置による制御機能とは独立に行う電気接続部を有するデータバス分離スイッチ (5) であって、

他の制御装置 (2、3 ; 21、23) から送られる評価信号用の入力ポート (13、14) と、対応する制御装置 (1 ; 20) の電圧供給部 (8) に接続される出力ポート (19) を設け、

前記入力ポート (13、14) から入力される複数の前記評価信号の論理演算、又は入力される前記評価信号とあらかじめ定義された不変値との論理演算を行い、

該論理演算の結果に応じて、前記データバス (4、60 ~ 62) と前記制御装置 (1 ; 20) の接続を切断するとともに、前記出力ポート (19) から信号を出すことによって対応する前記制御装置 (1 ; 20) の電圧供給を遮断させることを特徴とするデータバス分離スイッチ (5)。

【請求項 10】

前記電気接続部が、リレースイッチ又は論理モジュールで構成されることを特徴とする請求項 9 に記載のデータバス分離スイッチ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、第 1 のデータバス及びデータバス分離スイッチによって相互接続される複数の制御装置を有する冗長構成の車両用制御装置に関する。

10

20

30

40

50

【背景技術】

【0002】

ドライブバイワイヤ車両における安全関連システム（ドライブバイワイヤとは、ステアリングを含む車両の各ドライブレイン機能が専ら電気信号によってのみ、制御されることを意味する）は、特に故障を防止しなければならない。車両におけるドライブバイワイヤの例としては、ステアリングホイールと舵取り可能な車両の車輪との間に永続的な機械的接続部又は油圧接続部がないステアバイワイヤシステム又は車両の運転挙動が限られた範囲の車両の移動原動力に適應しているESP（電子安定化プログラム）システムが挙げられる。このようなドライブバイワイヤシステムのフェイルセーフを増大させるために、これらのシステムは、たとえば1つの制御装置が故障した場合に、冗長構成である制御装置に切り替えることが可能であるような冗長構成である。

10

【0003】

冗長構成であるシステムとは、たとえばマイクロプロセッサなどの構成要素が複合的に設けられ、同一の機能が複合的に設けられているこれらの構成要素で実行されるシステムである。これは、特に、同一の入力データがこれらの構成要素によって処理され、同一の出力データが生成され、評価のために出力データがこれらの構成要素に割当てることが可能になっていることを意味する。

【0004】

既知の冗長アレイは、TRM（三重モジュール式冗長）システム及びデュオデュプレックスシステム（duo-duplex system）である。

20

【0005】

TRMシステム（ツーアウトオブスリーシステム（two out of three system）とも呼ぶ）において、3つの冗長構成要素は、故障した構成要素を検出することができ、周囲に全く影響を及ぼさないようにすることができるように連結される。

【0006】

デュオデュプレックスシステム（二重自己検査組システム（dual self-checking pair system）とも呼ぶ）の場合には、それぞれの場合において、2つの冗長構成要素が1つのチャンネルを形成するように結合され、チャンネル内の構成要素の故障挙動を検出することが可能になっている。構成要素の故障挙動が検出される場合には、対応するチャンネルが切られる。

30

【0007】

特許文献1は、航空機のワイヤ遠隔舵取り制御システムにおける処理システムを開示しており、このシステムでは、複数の冗長な非同期プライマリフライトコンピュータのそれぞれが、コマンド信号を生成し、航空機の少なくとも1つの操縦面が複数のアクチュエータドライブによって制御される。処理システムは、アクチュエータドライブから送信されるフライトコマンド信号を制御し、複数のセレクタを具備し、それぞれのセレクタがプライマリフライトコンピュータと、すべてのプライマリフライトコンピュータからのフライトコマンド信号を受信するための1つ以上のアクチュエータドライブと、選択されたフライト信号を送信するために、所定の選択アルゴリズムに基づいて動作するための選択手段と、に接続される。

40

【0008】

特許文献2は、冗長構成であり、互いにバスシステムによって接続されている複数のマイクロプロセッサを有する車両調整システムのためのマイクロプロセッサアレイを開示している。マイクロプロセッサにおけるデータ処理は、アンチロックブレーキコントロール及び/又はトラクションコントロールなどの調整システムのほか、入力信号を調整するためにも用いられる。対称的に冗長であるデータ処理の出力結果及び/又は中間結果が比較される。これらの結果が異なる場合には、個別のシステムが切り替えられる。さらに、このようなマイクロプロセッサシステムにおいて行われるデータ処理動作はそれぞれ、簡略化したデータ処理動作の結果と比較され、信頼性が検査される。相違点がある場合には、

50

調整システムは、「セーフティクリティカル」でない機能的に重要なデータを一時的に保持することができる。

【0009】

【特許文献1】欧州特許第0 7 6 0 9 7 3 B 1号明細書

【特許文献2】独国特許出願公開第1 9 6 3 1 3 0 9 A 1号明細書

【発明の開示】

【発明が解決しようとする課題】

【0010】

輸送手段の冗長システム機能は、一般的に、プリント回路基板上に收容される複数のマイクロプロセッサによって実現される。冗長システムのこのような実装には、マイクロプロセッサ間に短くて高速の切り替え経路という利点がある。欠点は、この実現には、きわめて高価な開発コスト及び長い開発時間を必要とすることである。これは、特に自動車分野では、今日、より短い開発期間で新しいモデルを作製する必要があることから、欠点である。

10

【0011】

このため、自動車分野において冗長構成であるシステムは、市場で既に入手可能であり、冗長システムの一部と成すために、最小限に適合させるだけで済む構成要素から構成される。特に、市場で既に入手可能な制御装置は、構成要素として適している。

【0012】

本発明の目的は、制御装置が冗長システムの一部として最小限だけ適合させなければならないように制御装置の冗長アレイを最適化することである。

20

【課題を解決するための手段】

【0013】

本目的は、請求項1及び請求項10の特徴によって本発明に基づいて実現される。したがって、各データバス分離スイッチは、少なくとも1つの別の冗長制御装置の信号線に接続される。別の冗長制御装置は、評価信号を第1の冗長制御装置に割当てられるデータバス分離スイッチに送信し、評価信号は、第1の冗長制御装置に対する別の冗長制御装置の機能的な検査の結果である。第1の冗長制御装置のデータバス分離スイッチは、論理回路の結果によりデータバスを切断し、論理回路の少なくとも1つの入力信号は少なくとも1つの評価信号によって形成される。

30

【発明の効果】

【0014】

本発明による制御装置のアレイは、冗長アレイを構成するために、任意の所望のメーカーの制御装置を用いることができるという利点がある。

【0015】

別の利点は、制御装置の切り替え及びデータバスからの分離が、冗長制御において用いられる選択プロセスとは独立であることである。別の冗長制御装置を評価するための冗長制御装置における選択プロセスは、選択されたハードウェア又はソフトウェアとは独立しており、個別に変更することができる。最終的な評価信号のみが重要であり、個別の評価された冗長制御装置のデータバス分離スイッチに送信されなければならない。

40

【0016】

データバス分離スイッチは、制御装置とは独立に開発することができる。前記スイッチが制御装置の機能要素を必要とすることもなく、制御装置がデータバス分離スイッチの機能要素を必要とすることもないためである。

【0017】

制御装置のアレイ及びデータバス分離スイッチの簡素な設計は、高速及びコスト効率のよい製作を確実にすることから、好都合である。

【0018】

データバス分離スイッチのすべての出力割当ては、すべての入力割当てによる完全な試験を容易に行うことができるため、データバススイッチを高い信頼性で製作することがで

50

きる。

【0019】

制御装置のアレイが、制御機能に関して冗長である2つの制御装置の最小の構成単位に基づいているため、この制御機能に関して冗長である別の制御装置によって制御装置のアレイを拡張することができる。その結果、TRM及びデュオデュプレックスアレイを容易にマッピングすることが可能である。

【0020】

第1及び第2のデータバスを有する制御装置のアレイは、データバスが切断されるときに、この切断をゲートウェイ回路によってブリッジすることができるという利点がある。これにより、たとえば、データバスの短絡又はデータバスケーブルの切断が生じた場合に、迅速に復旧することができる。

10

【0021】

別のデータバスを有する制御装置のアレイに関する別の利点は、通信が輸送手段の別の制御装置によって行われている第1のデータバスが別のデータトラヒックを取り込まないことである。

【0022】

したがって、本発明の教示を有利に構成し、発展するさまざまな方法がある。このために、一方では従属項を参照し、他方では実施形態の以下の説明を参照されたい。従属項の任意の所望の組合せから形成される有利な改良例も包含されるものとする。図面は、本発明による制御装置のアレイ及び本発明によるデータバス分離スイッチの実施形態を示している。前記図面のそれぞれは概略図である。

20

【発明を実施するための最良の形態】

【0023】

本発明による制御装置のアレイが、図1に示されている。前記図において、車両におけるESP（電子安定化プログラム）制御機能に関して冗長構成である3つの制御装置1、2、3が、TRM（三重モジュール式冗長）アレイに共に接続される。

【0024】

3つの冗長制御装置1、2、3は、第1のデータバス4によって車両の別の制御装置に接続される。さらに、3つの冗長制御装置1、2、3は、第2のデータバス60によって互いに接続される。冗長構成である3つの制御装置1、2、3の間の結果信号を専ら交換するために、このデータバスが用いられる。第1及び第2のデータバス4、60は、CAN（コントローラエリアネットワーク）データバスとして具体化される。

30

【0025】

その結果、冗長構成である3つの制御装置1、2、3のそれぞれは、2つの双方向データバス接続部6、7を有し、データバス接続部6は第1のデータバス4に接続するために用いられ、データバス接続部7は第2のデータバス60に接続するために用いられる。

【0026】

冗長制御装置1、2、3はそれぞれ、ESP制御機能を実行するためのプロセッサ及びメモリを有する計算構成単位のほか、電圧供給構成単位8及び選択手段9を有する。

【0027】

冗長制御装置1、2、3の電圧供給構成単位8は、入力ポート10を有する。このポート10によって、制御装置の電圧供給を切り替えることが可能である。すなわち、信号によって制御装置自体を切り替えることが可能である。

40

【0028】

データバス分離スイッチ5と連動する本発明による制御装置のアレイの動作方法について、制御装置1の実例を用いて説明する。別の制御装置2、3は、同等に動作する。

【0029】

制御装置1は、第1のデータバス4によってデータバス4に接続されている別の制御装置、アクチュエータ、センサなどから受信する入力データを処理する。ESP制御機能のために、この入力データは、車両のヨーレート、速度、エンジン速度、加速度である。

50

【 0 0 3 0 】

この入力データは、制御装置 1 の制御部によって処理され、出力データを生成する。この出力データは、第 2 のデータバス 6 0 に割当てられ、別の制御装置 2、3 によって検知される。制御装置 1 自体は、別の制御装置 2、3 の出力データを記録する。

【 0 0 3 1 】

選択手段 9 (ボータ (v o t e r) と呼ぶ) は、それ自体の出力データと別の制御装置 2、3 の受信出力データとの間の複数の比較動作から比較を行う目的を有する。選択手段は、ソフトウェアによって実現され、ここでは、時間及び絶対値に関して出力データ項目間の偏差が許容されるように構成される。

【 0 0 3 2 】

T R M システムにおける選択プロセスは、以下のように進む。3 つの出力データ項目すべての間に一致がない場合には、システムのスイッチが切られる。2 つの出力データ項目間に一致がある場合には、1 つのエラーが存在し、対応する出力データ項目は正しい出力データとして許容される。3 つのデータ項目すべてが一致する場合には、エラーが存在しない。各出力データ項目は、変数として許容可能であってもよい。

【 0 0 3 3 】

選択プロセスが終了した後、選択手段 9 は、それぞれの場合に別の制御装置 2、3 の送信出力信号に評価信号を割当てる。

【 0 0 3 4 】

3 つの冗長制御装置 1、2、3 のうち、唯一の印の付いた A、ここでは制御装置 1 は、データバス 4 に接続される別の制御装置にコマンドを送信するために、選択プロセス後に、第 1 のデータバス 4 にその出力信号を送信する制御装置である。選択プロセス後に、制御装置 1 が不正確に作動していると決定される場合には、別の制御装置 2、3 の一方が、選択プロセス後に決定された出力データを第 1 のデータバス 4 に送信する機能を引き継ぐ。このために、冗長構成の制御装置 1 ~ 3 のいずれの制御装置がこの機能を引き継ぐかを指定する変数が、選択手段に格納される。

【 0 0 3 5 】

図 1 における制御装置 1 は、別の冗長制御装置 2、3 の出力データの評価信号を送信するために用いられる 2 つの出力ポート 1 1、1 2 を有する。これらの出力ポート 1 1、1 2 は、個別の信号線によって別の制御装置 2、3 の個別のデータバス分離スイッチ 5 における入力ポート 1 3、1 4 に接続される。評価信号は、この信号線によって制御装置 2、3 の個別のデータバス分離スイッチに送信される。

【 0 0 3 6 】

データバス分離スイッチ 5 は、それぞれの場合に、スイッチによって接続される 2 つの双方向データバス接続部 1 5、1 6 及び 1 7、1 8 をそれぞれ有する。データバス接続部 1 5 ~ 1 8 は、制御装置 1 の接続部を接続部 1 5、1 6 によって第 1 のデータバス 4 に接続又は切断し、接続部 1 7、1 8 によって第 2 のデータバス 6 0 に接続又は切断するように接続される。

【 0 0 3 7 】

データバス分離スイッチ 5 は、その入力信号がデータバス分離スイッチ 5 の入力ポート 1 3、1 4 によって形成される論理回路をさらに有する。別の制御装置 2、3 の評価信号は、制御装置 1 の出力信号によってデータバス分離スイッチ 5 の入力ポート 1 3、1 4 に送信される。

【 0 0 3 8 】

データバス分離スイッチ 5 の論理回路は、O R ゲートから構成される。入力ポート 1 3、1 4 に達する評価信号は、出力信号の不一致を表す値 0 又は一致を表す値 1 のいずれかを有する。論理演算の結果、すなわち、故障制御装置 1 を表す 0 又は故障のない制御装置 1 を表す 1 に基づいて、故障の場合には、データバス分離スイッチは、データバス接続部 1 5、1 6 及び 1 7、1 8 の間の接続をそれぞれ切断する。したがって、故障の場合には、制御装置 1 は、第 1 及び第 2 のデータバス 4、6 0 による通信から切り離される。

10

20

30

40

50

【0039】

さらに、データバス分離スイッチは、出力ポート19を有する。制御装置1のこの出力ポート19は、信号線によって制御装置1の電圧供給部の入力ポート10に接続される。故障の場合には、データバス分離スイッチ5はさらに、データバス分離スイッチ5の出力ポート19によって信号を電圧供給部8の入力ポート10に送信する。この信号は、制御装置1の電圧供給部8のスイッチを切るため、制御装置1自体のスイッチを切る。

【0040】

図2は、本発明による制御装置のレイの別の実施形態を示している。ここでは、車両におけるESP（電子安定化プログラム）制御機能に関して冗長構成である4つの制御装置20～23が、デュオデュプレックスレイに共に接続される。図2の4つの冗長制御装置20～23は、第1のデータバス4によって車両の別の制御装置に接続される。

10

【0041】

既に述べたように、デュオデュプレックスレイにおいて、それぞれの場合に、ESP制御機能に関して冗長構成である4つの制御装置のうち2つの冗長制御装置は、論理チャンネルを形成するように結合される。したがって、デュオデュプレックスレイは、TRMレイに比べて、個別のチャンネル用の第2の独立データバスが必要である。

【0042】

その結果、それぞれの場合において、4つの制御装置20～23のうち2つの冗長制御装置20、21又は22、23はそれぞれ、第2のデータバス61又は62によって互いに接続される。それぞれの場合において、冗長構成である4つの制御装置20～23のうち2つの間の結果信号を専ら交換するために、2つの第2のデータバス61、62が用いられる。データバス4、61、62は、CAN（コントローラエリアネットワーク）データバスとして具体化される。

20

【0043】

一例として、デュオデュプレックスレイにおける本発明による制御装置のレイの動作方法について、制御装置の組20、21の実例を用いて説明する。制御装置の別の組22、23は、同等に動作する。個々の構成要素の動作方法に関するさらなる詳細は、図1で既に説明したことに関する限り、提供しない。

【0044】

デュオデュプレックスレイの組における制御装置20の選択手段9は、1つの別の制御装置21の結果信号に関してのみ比較動作を行う。したがって、制御装置20は、制御装置21のデータバス分離スイッチ5の出力ポート12から入力ポート13まで信号線によってデータバス分離スイッチに送信される唯一の評価信号を供給する。

30

【0045】

制御装置20のデータバス分離スイッチ5は、入力ポート13によって制御装置20の出力データに関する制御装置21の評価信号を受信する。データバス分離スイッチ5の論理回路は、入力信号として、入力ポート13に評価信号を有する。第2の入力ポート14からの第2の入力信号は、不変に予め定義される。ここでは、値「0」が、第2の入力信号として定義される。

40

【0046】

上述したように、故障の場合には、制御装置20のデータバス分離スイッチ5は、第1及び第2のデータバス4、61との通信から制御装置20を切り離す。さらに、制御装置20への電源供給部8のスイッチが切られる。制御装置の組20、21又は22、23の制御装置が故障した場合には、組20、21又は22、23のスイッチが切られる。たとえば、組の第1の制御装置20のスイッチが切られると、第2の制御装置21は、第2のデータバス61によって冗長構成の制御装置の出力信号を受信しないため、その結果、その出力信号を比較することができないことから、このことは理解しやすい。

【0047】

制御装置20は、故障が存在しない場合には、結果信号を第1のデータバス4に送信す

50

る選択された制御装置Aである。制御装置20が故障している場合には、組20、21のスイッチが切られる。制御装置の組22、23は、第1のデータバス4によって、制御装置20が出力データをデータバス4に送信するかどうかを監視しているため、2つの制御装置22、23の一方が結果信号をデータバス4に送信する機能を再開する。

【0048】

データバス分離スイッチ5の論理回路は、ハードウェアを用いて具体化される。ポート15、16及び17、18の間の切り替え可能な接続部はそれぞれ、論理モジュールスイッチとして具体化される。しかし、切り替え可能な接続部はまた、リレースイッチとして具体化されてもよい。

【0049】

双方向接続部15～18は、たとえば、CANデータバスのツイストペアケーブルが接続されるか、又はそれぞれの場合に、たとえばCANトランシーバなどの対応するトランシーバ構成単位がデータバス接続点15～18に取り付けられるように構成されてもよい。

【0050】

データバス4、60～62は、CANデータバスとして構成される。しかし、データバス4、60～62はまた、D2B又はMOST又はTTP、LIN、フレックスレイ(FlexRay)、ファイアワイヤ(Firewire)などの光データバスとして具体化することも可能である。

【0051】

本発明による制御装置のアレイは、制御機能に関して冗長構成である制御装置1～3、20～23の間の内部通信の第2のデータバス60～62を有する。これは、車両において別の制御装置との通信を確保する第1のCANデータバス4の帯域幅がほぼ既に全容量まで用いられており、冗長構成である制御装置1～3、20～23の間の内部通信のために必要とするようなさらなるデータトラヒックがそれ以上見込まれないように選択される。

【0052】

選択されたデータバスシステムは、冗長構成である制御装置1～3、20～23の間のさらなる通信が対応する速度で確実に行われるように対応して大きな帯域幅を可能にする場合には、第2のデータバス60～62はもはや必要ではない。したがって、車両の制御装置間の通信のほか、冗長構成である制御装置1～3、20～23の間の通信も第1のデータバス4によってのみ行う。

【0053】

制御装置のアレイは、制御装置の非同期通信であることが理想的である。制御装置が同期して動作する場合には、すなわちある特定の時間にのみ送信する場合には、時間は全システム時間によって標準化され、これは、同期機構の故障が冗長アレイのすべての制御装置に影響を及ぼし、冗長アレイ全体が故障するという欠点がある。

【0054】

冗長構成である制御装置1～3、20～23は、異なるメーカーによって製作されてもよく、異なるハードウェアを用いて構成されてもよい。

【0055】

冗長制御装置1～3、20～23の選択手段9は、評価信号を受信するために、異なる選択プロセスを用いてもよい。

【図面の簡単な説明】

【0056】

【図1】本発明による制御装置のアレイの第1の実施形態のブロック回路図である。

【図2】本発明による制御装置のアレイの別の実施形態のブロック回路図である。

10

20

30

40

【 図 1 】

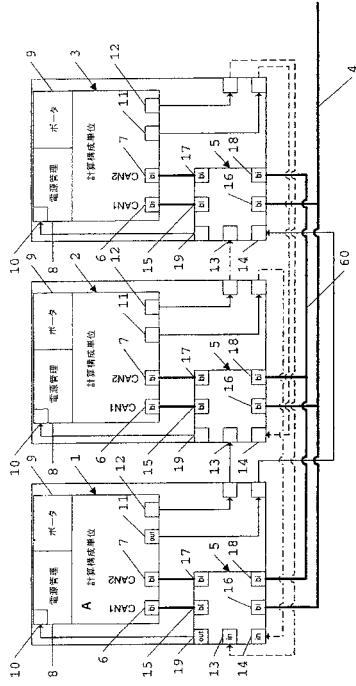


図 1

【 図 2 】

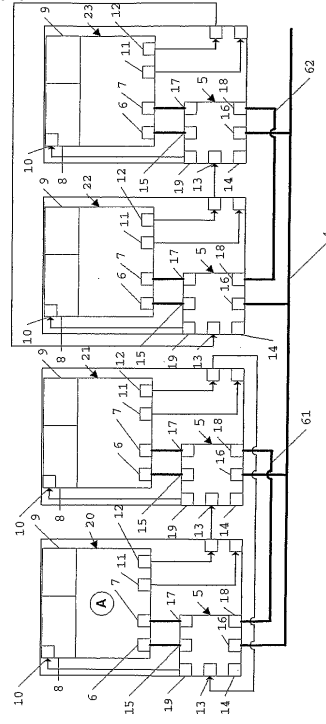


Fig. 2

フロントページの続き

- (72)発明者 ハロー・ハイルマン
ドイツ連邦共和国 73760 オストフィルデン、ヘレーネ-ランゲ-シュトラッセ 40
- (72)発明者 アンスガー・マイシュ
ドイツ連邦共和国 76275 エトリンゲン、ツェントシュトラッセ 12
- (72)発明者 オリバー・ロークス
ドイツ連邦共和国 76135 カールスルーエ、ネルケンシュトラッセ 3
- (72)発明者 アンドレアス・シュバルツハウプト
ドイツ連邦共和国 74420 オベロート、クリングヴィーセンシュトラッセ 24
- (72)発明者 ゲルノート・スピーゲルベルク
ドイツ連邦共和国 71296 ハイムスハイム、プロッセンベルクシュトラッセ 44
- (72)発明者 アルミン・スルツマン
ドイツ連邦共和国 68723 オフタースハイム、ブランクシュタッタシュトラッセ 18

審査官 渡邊 豊英

- (56)参考文献 特開平06-348524(JP,A)
特表平10-508554(JP,A)
特開2001-109502(JP,A)
特開平07-293320(JP,A)
特開2000-181501(JP,A)
特開2000-339001(JP,A)

(58)調査した分野(Int.Cl., DB名)

G05B 9/00-9/03,
B60R 16/02