

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年11月14日(14.11.2019)



(10) 国際公開番号

WO 2019/216161 A1

(51) 国際特許分類:

H01L 25/07 (2006.01) H01L 25/00 (2006.01)
H01L 23/48 (2006.01) H01L 25/18 (2006.01)

(21) 国際出願番号: PCT/JP2019/016768

(22) 国際出願日: 2019年4月19日(19.04.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2018-090488 2018年5月9日(09.05.2018) JP

(71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者:清水 悠矢(SHIMIZU, Yuya); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 坂元 創一(SAKAMOTO, Soichi); 〒1008310 東京都千代

田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 長谷川 真紀(HASEGAWA, Maki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

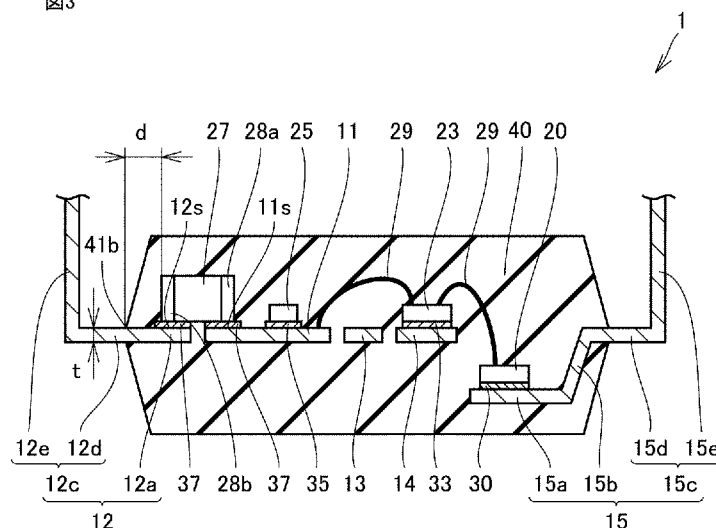
(74) 代理人:特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島三丁目2番4号 中之島フェスティバルタワー・ウエスト Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: POWER SEMICONDUCTOR MODULE, METHOD FOR PRODUCING SAME AND ELECTRIC POWER CONVERTER

(54) 発明の名称: パワー半導体モジュール及びその製造方法並びに電力変換装置

図3



(57) Abstract: A power semiconductor module (1) according to the present invention is provided with a first lead terminal (11), a second lead terminal (12), a chip capacitor (27) and an electronic element (25). The electronic element (25) is bonded to the first lead terminal (11) by means of a first conductive bonding part (35). A first electrode (28a) and a second electrode (28b) of the chip capacitor (27) are respectively bonded to the first lead terminal (11) and the second lead terminal (12) by means of a second conductive bonding part (37). The second conductive bonding part (37) has a higher conductive filler content than the first conductive bonding part (35). Consequently, this power semiconductor module (1) has high reliability.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: パワー半導体モジュール (1) は、第1のリード端子 (11) と、第2のリード端子 (12) と、チップコンデンサ (27) と、電子素子 (25) とを備える。電子素子 (25) は、第1の導電性接着部 (35) で、第1のリード端子 (11) に接合されている。チップコンデンサ (27) の第1の電極 (28a) と第2の電極 (28b) とは、第2の導電性接着部 (37) で、第1のリード端子 (11) と第2のリード端子 (12) とにそれぞれ接合されている。第2の導電性接着部 (37) は、第1の導電性接着部 (35) よりも高い導電性フィラーの含有率を有する。そのため、パワー半導体モジュール (1) は、高い信頼性を有する。

明 細 書

発明の名称：

パワー半導体モジュール及びその製造方法並びに電力変換装置

技術分野

[0001] 本発明は、パワー半導体モジュール及びその製造方法並びに電力変換装置に関する。

背景技術

[0002] 特開 2 0 1 2 - 1 0 4 6 3 3 号公報（特許文献 1）は、トランスファーマーモールドパッケージ内において、リードフレームと、リードフレーム上に配置されたパワーチップと、リードフレーム上に配置され、かつ、パワーチップを駆動させる IC チップと、IC チップに接続されたブートストラップコンデンサとを備える半導体装置を開示している。ブートストラップコンデンサは、リードフレーム上に、絶縁性接着剤を介して接合されている。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2 0 1 2 - 1 0 4 6 3 3 号公報

発明の概要

発明が解決しようとする課題

[0004] 本発明の目的は、高い信頼性を有するパワー半導体モジュールを提供することである。本発明の目的は、高い信頼性を有する電力変換装置を提供することである。

課題を解決するための手段

[0005] 本発明の第 1 の局面のパワー半導体モジュールは、複数のリード端子と、チップコンデンサと、電子素子とを備える。複数のリード端子は、第 1 のリード端子と、第 1 のリード端子から離間されている第 2 のリード端子とを含む。チップコンデンサは、第 1 の電極と第 2 の電極とを含む。電子素子は、

第1の導電性接着部で、複数のリード端子の1つに接合されている。第1の導電性接着部は、第1の含有率で導電性フィラーを含んでいる。チップコンデンサの第1の電極と第2の電極とは、第2の導電性接着部で、第1のリード端子と第2のリード端子とにそれぞれ接合されている。第2の導電性接着部は、第1の含有率よりも高い第2の含有率で導電性フィラーを含んでいる。

[0006] 本発明の第2の局面のパワー半導体モジュールは、複数のリード端子と、チップコンデンサと、電子素子とを備える。複数のリード端子は、第1のリード端子と、第1のリード端子から離間されている第2のリード端子とを含む。チップコンデンサは、第1の電極と第2の電極とを含む。電子素子は、第1の導電性接着部で、複数のリード端子の1つに接合されている。第1の導電性接着部は、第1の導電性フィラーを含んでいる。チップコンデンサの第1の電極と第2の電極とは、第2の導電性接着部で、第1のリード端子と第2のリード端子とにそれぞれ接合されている。第2の導電性接着部は、第2の導電性フィラーを含んでいる。第2の導電性接着部は、第1の導電性接着部よりも低い電気抵抗率を有している。

[0007] 本発明のパワー半導体モジュールの製造方法は、パワー半導体チップを複数のリード端子の少なくとも1つに接合することを備える。複数のリード端子は、第1のリード端子と、第1のリード端子から離間されている第2のリード端子とを含む。本発明のパワー半導体モジュールの製造方法は、電子素子を、第1の導電性接着部で、複数のリード端子の1つに接合することを備える。第1の導電性接着部は、第1の含有率で導電性フィラーを含んでいる。本発明のパワー半導体モジュールの製造方法は、第1のリード端子の複数の第1箇所と第2のリード端子の複数の第2箇所とに導電性接着剤を供給することを備える。本発明のパワー半導体モジュールの製造方法は、チップコンデンサの第1の電極を複数の第1箇所上の導電性接着剤上に、かつ、チップコンデンサの第2の電極を複数の第2箇所上の導電性接着剤上に載置することを備える。チップコンデンサは電子素子と種類が異なっている。本発明

のパワー半導体モジュールの製造方法は、導電性接着剤を硬化させて、チップコンデンサの第1の電極と第2の電極を第1のリード端子と第2のリード端子とにそれぞれ接合する第2の導電性接着部を形成することを備える。第2の導電性接着部は、第1の含有率よりも高い第2の含有率で導電性フィラーを含んでいる。本発明のパワー半導体モジュールの製造方法は、パワー半導体チップとチップコンデンサと電子素子とを封止部材で封止することを備える。

[0008] 本発明の電力変換装置は、本発明のパワー半導体モジュールを有し、かつ、入力される電力を変換して出力する主変換回路と、主変換回路を制御する制御信号を主変換回路に出力する制御回路とを備える。

発明の効果

[0009] 本発明の第1の局面のパワー半導体モジュール及び本発明のパワー半導体モジュールの製造方法では、第2の導電性接着部における導電性フィラーの第2の含有率は、第1の導電性接着部における導電性フィラーの第1の含有率よりも高い。本発明の第2の局面のパワー半導体モジュールでは、第2の導電性接着部は、第1の導電性接着部よりも低い電気抵抗率を有している。そのため、第2の導電性接着部の電気抵抗とチップコンデンサの接合部に一般的に求められる許容電気抵抗との間のマージンを大きくすることができる。さらに、第2の導電性接着部に印加される応力によって第2の導電性接着部に部分的な剥離及びクラックの少なくとも1つが導入されても、第2の導電性接着部の電気抵抗の増分を小さくすることができる。第2の導電性接着部の電氣的接続の信頼性が向上され得る。本発明の第1及び第2の局面のパワー半導体モジュールは、高い信頼性を有する。本発明のパワー半導体モジュールの製造方法によれば、高い信頼性を有するパワー半導体モジュールが製造され得る。

[0010] 本発明の電力変換装置は、本発明のパワー半導体モジュールを有する主変換回路を備える。本発明の電力変換装置によれば、高い信頼性を有する。

図面の簡単な説明

[0011] [図1]実施の形態1に係るパワー半導体モジュールの概略平面図である。

[図2]実施の形態1に係るパワー半導体モジュールの、図1に示される領域ⅠⅠの概略部分拡大平面図である。

[図3]実施の形態1に係るパワー半導体モジュールの、図1に示される断面線ⅠⅠⅠーⅠⅠⅠにおける概略部分拡大断面図である。

[図4]実施の形態1に係るパワー半導体モジュールに含まれる電子素子の回路を示す図である。

[図5]実施の形態1に係る半導体装置の概略断面図である。

[図6]実施の形態1に係るパワー半導体モジュールの製造方法のフローチャートを示す図である。

[図7]実施の形態1に係るパワー半導体モジュールの製造方法のフローチャートを示す図である。

[図8]実施の形態1に係るパワー半導体モジュールの製造方法の一工程を示す概略平面図である。

[図9]実施の形態1のパワー半導体モジュールの製造方法における図8に示される工程の、断面線ⅠⅩーⅠⅩにおける概略部分拡大断面図である。

[図10]実施の形態1に係るパワー半導体モジュールの製造方法の一工程の概略部分拡大平面図である。

[図11]比較例のパワー半導体モジュールの概略部分拡大平面図である。

[図12]実施の形態1に係るパワー半導体モジュールの製造方法における、図8に示される工程の次工程を示す概略平面図である。

[図13]実施の形態1に係るパワー半導体モジュールの製造方法における、図12に示す工程の、断面線ⅩⅠⅠⅠーⅩⅠⅠⅠにおける概略部分拡大断面図である。

[図14]実施の形態1の変形例に係るパワー半導体モジュールの製造方法の一工程の概略部分拡大平面図である。

[図15]実施の形態1に係る半導体装置の製造方法のフローチャートを示す図である。

[図16]実施の形態2に係るパワー半導体モジュールの概略断面図である。

[図17]実施の形態2に係る半導体装置の概略断面図である。

[図18]実施の形態3に係るパワー半導体モジュールの概略断面図である。

[図19]実施の形態4に係る電力変換システムの構成を示すブロック図である。

発明を実施するための形態

[0012] 以下、本発明の実施の形態を説明する。なお、同一の構成には同一の参照番号を付し、その説明は繰り返さない。

[0013] 実施の形態1.

図1から図4を参照して、実施の形態1のパワー半導体モジュール1を説明する。パワー半導体モジュール1は、複数のリード端子と、パワー半導体チップ20と、チップコンデンサ27と、電子素子25と、封止部材40とを主に備える。パワー半導体モジュール1は、制御用半導体チップ23をさらに備えてもよい。

[0014] 複数のリード端子は、第1のリード端子11と、第2のリード端子12と、第3のリード端子13と、第4のリード端子14と、第5のリード端子15とをさらに含む。第1のリード端子11、第2のリード端子12、第3のリード端子13、第4のリード端子14及び第5のリード端子15は、互いに離間されている。

[0015] 複数のリード端子は、複数のパッド（例えば、第1のパッド11a、第2のパッド12a、第3のパッド14a、第4のパッド15a）を含んでもよい。第1のリード端子11は、第1のリード端子11のうち幅広の部分である第1のパッド11aを含んでもよい。第2のリード端子12は、第2のリード端子12のうち幅広の部分である第2のパッド12aを含んでもよい。第4のリード端子14は、第4のリード端子14のうち幅広の部分である第3のパッド14aを含んでもよい。第5のリード端子15は、第5のリード端子15のうち幅広の部分である第4のパッド15aを含んでもよい。第5のリード端子15は、第4のパッド15aと第3の突出部15cとの間に段

差部 1 5 b を含む。段差部 1 5 b は、第 4 のパッド 1 5 a に接続されている第 1 端部と、第 1 端部とは反対側の第 2 端部を含む。第 2 端部は、第 1 端部よりも上方にある。

[0016] 複数のリード端子の少なくとも一部は、封止部材 4 0 から突出する複数の突出部を含む。複数の突出部は、折り曲げられている。例えば、第 1 のリード端子 1 1 は、封止部材 4 0 から突出する第 1 の突出部 1 1 c を含む。第 1 の突出部 1 1 c は、第 1 のパッド 1 1 a から水平に延在する第 1 突出部分 1 1 d と、第 1 突出部分 1 1 d から上方に延在する第 2 突出部分 1 1 e とを含む。第 2 のリード端子 1 2 は、封止部材 4 0 から突出する第 2 の突出部 1 2 c を含む。第 2 の突出部 1 2 c は、第 2 のパッド 1 2 a から水平に延在する第 3 突出部分 1 2 d と、第 3 突出部分 1 2 d から上方に延在する第 4 突出部分 1 2 e とを含む。第 5 のリード端子 1 5 は、封止部材 4 0 から突出する第 3 の突出部 1 5 c を含む。第 3 の突出部 1 5 c は、段差部 1 5 b の第 2 端部から水平に延在する第 5 突出部分 1 5 d と、第 5 突出部分 1 5 d から上方に延在する第 6 突出部分 1 5 e とを含む。パワー半導体モジュール 1 では、電子部品（パワー半導体チップ 2 0、制御用半導体チップ 2 3、チップコンデンサ 2 7、電子素子 2 5）はデュアルインラインパッケージ（D I P）方式でパッケージされている。

[0017] 複数のリード端子は、例えば、銅のような導電性材料で形成されている。複数のリード端子の一部は、銀めっき部のようなめっき部 1 7 で被覆されてもよい。めっき部 1 7 は、複数のリード端子を構成する材料よりも酸化されにくい材料で形成されてもよい。複数のリード端子を構成する材料よりも酸化されにくい材料は、例えば、銀のような貴金属材料である。例えば、第 1 のリード端子 1 1 の最も内側の部分に、めっき部 1 7 が形成されてもよい。第 2 のリード端子 1 2 の最も内側の部分に、めっき部 1 7 が形成されてもよい。第 5 のリード端子 1 5 の第 4 のパッド 1 5 a の一部に、めっき部 1 7 が形成されてもよい。

[0018] 第 1 のリード端子 1 1 は、第 1 の貫通孔 1 6 a を含んでもよい。本実施の

形態では、第1の貫通孔16aは、チップコンデンサ27に対して外側（第1の突出部11c側）に形成されている。第1の貫通孔16aは、チップコンデンサ27に対して内側（第1の突出部11cとは反対側）に形成されてもよいし、チップコンデンサ27に対して外側と内側とに形成されてもよい。第2のリード端子12は、第2の貫通孔16bを含んでもよい。本実施の形態では、第2の貫通孔16bは、チップコンデンサ27に対して外側（第2の突出部12c側）に形成されている。第2の貫通孔16bは、チップコンデンサ27に対して内側（第2の突出部12cとは反対側）に形成されてもよいし、チップコンデンサ27に対して外側と内側とに形成されてもよい。

[0019] パワー半導体チップ20は、例えば、逆導通IGBT（RC-IGBT）、フリーホイールダイオード（FWD）を含む絶縁ゲート型バイポーラトランジスタ（IGBT）、金属酸化物半導体電界効果トランジスタ（MOSFET）またはダイオードであってもよい。パワー半導体チップ20は、例えば、1A以上の定格電流と100V以上の定格電圧とを有している。パワー半導体チップ20は、シリコン（Si）、シリコンカーバイド（SiC）または窒化ガリウム（GaN）のような半導体材料で形成されてもよい。パワー半導体モジュール1は、1つのパワー半導体チップ20を含んでもよいし、複数のパワー半導体チップ20を含んでもよい。本実施の形態では、パワー半導体モジュール1は、高圧用のパワー半導体チップ20と、低圧用のパワー半導体チップ20とを含んでいる。高圧用のパワー半導体チップ20は、第5のリード端子15の第4のパッド15aに接合されている。

[0020] パワー半導体チップ20は、複数のリード端子の少なくとも1つ（第5のリード端子15）に接合されている。パワー半導体チップ20が接合されている複数のリード端子の少なくとも1つ（第5のリード端子15）は、第1のリード端子11、第2のリード端子12、第3のリード端子13及び第4のリード端子14とは異なっている。パワー半導体チップ20は、はんだ接合部30で、第5のリード端子15の第4のパッド15a（特に、めっき部

１７）に接合されている。はんだ接合部３０は、パワー半導体チップ２０で発生する熱を第５のリード端子１５に効率的に伝達させ得る。パワー半導体チップ２０は、導電ワイヤ２９を介して、複数のリード端子（特に、めっき部１７）に電氣的に接続されている。

[0021] 制御用半導体チップ２３は、パワー半導体チップ２０を制御するように構成されている。制御用半導体チップ２３は、パワー半導体チップ２０を制御する制御回路の一部を構成している。例えば、制御用半導体チップ２３は、パワー半導体チップ２０のゲート電圧を制御するように構成されてもよい。制御用半導体チップ２３は、パワー半導体チップ２０を流れる電流を検知するように構成されてもよい。パワー半導体モジュール１は、パワー半導体チップ２０と、パワー半導体チップ２０を制御するように構成されている制御用半導体チップ２３とを内蔵するインテリジェントパワーモジュール（ＩＰＭ）である。制御用半導体チップ２３は、導電ワイヤ２９を介して、パワー半導体チップ２０に電氣的に接続されている。制御用半導体チップ２３は、導電ワイヤ２９を介して、第１のリード端子１１及び第２のリード端子１２に電氣的に接続されている。

[0022] パワー半導体モジュール１は、１つの制御用半導体チップ２３を含んでもよいし、複数の制御用半導体チップ２３を含んでもよい。本実施の形態では、パワー半導体モジュール１は、高圧用のパワー半導体チップ２０を制御するように構成されている高圧用の制御用半導体チップ２３と、低圧用のパワー半導体チップ２０を制御するように構成されている低圧用の制御用半導体チップ２３とを含んでいる。

[0023] 制御用半導体チップ２３は、複数のリード端子の少なくとも１つ（第４のリード端子１４）に接合されている。制御用半導体チップ２３が接合されている複数のリード端子の少なくとも１つ（第４のリード端子１４）は、第１のリード端子１１、第２のリード端子１２、第３のリード端子１３及び第５のリード端子１５とは異なっている。制御用半導体チップ２３は、導電接合部３３で、第４のリード端子１４の第３のパッド１４ａに接合されている。

導電接合部 33 は、例えば、はんだ接合部であってもよいし、後述する第 1 の導電性接着部 35 であってもよい。

[0024] 電子素子 25 は、チップコンデンサ 27 とは異なる種類の電子部品である。電子素子 25 は、パワー半導体チップ 20 を制御する制御回路の一部を構成している。電子素子 25 は、受動型の電子部品であってもよい。受動型の電子部品は、例えば、チップダイオードのようなダイオード 25a、または、チップ抵抗器のような抵抗器 25b である。受動型の電子部品の一例であるダイオード 25a は、例えば、1A 未満の定格電流と 100V 未満の定格電圧とを有している。

[0025] 本実施の形態では、電子素子 25 は、整流用半導体チップである。図 4 に示されるように、整流用半導体チップは、ダイオード 25a に加えて、抵抗器 25b を内蔵している。抵抗器 25b を内蔵する整流用半導体チップと、チップコンデンサ 27 とは、ブートストラップ回路を構成してもよい。電子素子 25 は、ブートストラップダイオード (BSD) であってもよい。ブートストラップ回路は、N 側のゲート駆動電源のみで P 側のゲート駆動電源を作り出す回路である。ブートストラップ回路は、ゲート駆動部の回路に整流用半導体チップとコンデンサとにより構成される。ブートストラップ回路は、スイッチング素子 (例えば、パワー半導体チップ 20) の出力側 (ドレインソース間、コレクターエミッタ間) に配置されるスナバ回路とは異なる。電子素子 25 は、導電ワイヤ 29 及び第 1 のリード端子 11 を介して、制御用半導体チップ 23 に電氣的に接続されてもよい。電子素子 25 は、導電ワイヤ 29 を介して、第 3 のリード端子 13 (特に、めっき部 17) に電氣的に接続されてもよい。

[0026] 電子素子 25 は、第 1 の導電性接着部 35 で、複数のリード端子の 1 つに接合されている。特定的には、電子素子 25 は、第 1 の導電性接着部 35 で、第 1 のリード端子 11 に接合されている。第 1 の導電性接着部 35 は、第 1 の含有率で第 1 の導電性フィラーを含んでいる。第 1 の導電性接着部 35 は、第 1 の樹脂と、第 1 の樹脂に分散された第 1 の導電性フィラーとを含む

。第1の導電性フィラーは、例えば、銀、ニッケル及び銅からなる群から選択される1つ以上の導電性材料で構成されてもよい。本明細書において、導電性フィラーは、導電性粒子も含む。第1の樹脂は、例えば、エポキシ樹脂であってもよい。

[0027] チップコンデンサ27は、例えば、表面実装型の積層セラミックコンデンサであってもよい。チップコンデンサ27は、パワー半導体チップ20を制御する制御回路の一部を構成している。チップコンデンサ27は、ブートストラップ回路の一部を構成するブートストラップコンデンサ(BSC)であってもよい。チップコンデンサ27の容量は、制御用半導体チップ23の消費電力、パワー半導体チップ20のゲート容量並びにチップコンデンサ27の充電時間及び放電時間に応じて、適切に定められる。チップコンデンサ27は、第1の電極28aと第2の電極28bとを含む。複数のリード端子に接合される電子部品(パワー半導体チップ20、制御用半導体チップ23、チップコンデンサ27、電子素子25)の中で、チップコンデンサ27が最も背が高い。

[0028] チップコンデンサ27の第1の電極28aと第2の電極28bとは、第2の導電性接着部37で、第1のリード端子11と第2のリード端子12とにそれぞれ接合されている。第2の導電性接着部37は、第2の樹脂と、第2の樹脂に分散された第2の導電性フィラーとを含む。第2の導電性フィラーは、例えば、銀、ニッケル及び銅からなる群から選択される1つ以上の導電性材料で構成されてもよい。本実施の形態では、第2の導電性接着部37に含まれる第2の導電性フィラーは、第1の導電性接着部35に含まれる第1の導電性フィラーと同じ材料で構成されてもよいし、第1の導電性フィラーと異なる材料で構成されてもよい。第2の樹脂は、例えば、エポキシ樹脂であってもよい。第2の樹脂は、第1の樹脂と同じ材料で構成されてもよいし、異なる材料で構成されてもよい。

[0029] 第2の導電性接着部37は、第1の導電性接着部35よりも低い電気抵抗率を有している。第2の導電性フィラーが第1の導電性フィラーと同じ材料

で構成されている場合、第2の導電性接着部37は、第1の含有率よりも高い第2の含有率で導電性フィラーを含んでいる。第1の含有率は、65重量%以下であってもよく、60重量%以下であってもよい。第2の含有率は、例えば、75重量%以上であってもよく、80重量%以上であってもよい。本明細書において、第1の含有率は、第1の導電性接着部35の重量に対する第1の導電性フィラーの重量の比を、重量%の単位で表したものである。本明細書において、第2の含有率は、第2の導電性接着部37の重量に対する第2の導電性接着部37に含まれる導電性フィラーの重量の比を、重量%の単位で表したものである。第2の含有率と第1の含有率との間の差は、10重量%以上であってもよく、15重量%以上であってもよく、20重量%以上であってもよい。第1の導電性接着部35における第1の導電性フィラーの第1の含有率は相対的に低いため、第1の導電性接着部35のコストが低減され得る。

[0030] パワー半導体モジュール1の使用中にパワー半導体チップ20などが発熱する。そのため、第1のリード端子11の熱膨張係数と第2のリード端子12の熱膨張係数とチップコンデンサ27の熱膨張係数との間の差に起因する熱応力が、第2の導電性接着部37に印加される。また、パワー半導体モジュール1の使用中に、または、パワー半導体モジュール1の製造工程において、機械的応力が第2の導電性接着部37に印加されることがある。例えば、第1のリード端子11と第2のリード端子12は、リードフレーム10（図8を参照）の製造時の寸法ばらつき、または、第1のリード端子11と第2のリード端子12との間の撓み量の差によって、第1のリード端子11と第2のリード端子12との間に高さの差（図8の紙面垂直方向における第1のリード端子11と第2のリード端子12との間の位置の差）が生じることがある。第1のリード端子11と第2のリード端子12との間に高さの差が生じた状態で、チップコンデンサ27が第1のリード端子11と第2のリード端子12とに接合されることがある。図13に示されるように、電子部品（パワー半導体チップ20、制御用半導体チップ23、チップコンデンサ2

7、電子素子25)が接合されたリードフレーム10を金型45でクランプすると、第1のリード端子11と第2のリード端子12との高さが揃えられて、第2の導電性接着部37に機械的応力が印加されることがある。これら熱応力及び機械的応力は、第2の導電性接着部37に部分的な剥離及びクラックの少なくとも1つを導入し、第2の導電性接着部37における電気抵抗を増加させる。

[0031] しかし、第2の導電性接着部37は、第1の導電性接着部35よりも低い電気抵抗率を有している。第2の導電性フィラーが第1の導電性フィラーと同じ材料で構成されている場合には、第2の導電性接着部37における導電性フィラーの第2の含有率は、第1の導電性接着部35における導電性フィラーの第1の含有率よりも高い。そのため、第2の導電性接着部37の第2の電気抵抗とチップコンデンサ27の接合部に一般的に求められる許容電気抵抗との間のマージンを大きくすることができる。さらに、第2の導電性接着部37に部分的な剥離及びクラックの少なくとも1つが導入されても、第2の導電性接着部37の電気抵抗の増分を小さくすることができる。こうして、第2の導電性接着部37の電氣的接続の信頼性が向上され得る。

[0032] 第1の含有率及び第2の含有率は、以下の方法によって得られる。パワー半導体モジュール1から、封止部材40と電子素子25とリード端子(第1のリード端子11、第2のリード端子12)を除去して、導電性接着部(第1の導電性接着部35、第2の導電性接着部37)を取り出す。導電性接着部の重量を測定する。導電性フィラー(第1の導電性フィラー、第2の導電性フィラー)の融点未満の温度で導電性接着部を熱処理する。例えば、導電性フィラーが962℃の融点を有する銀で構成されている場合には、導電性接着部を800℃で熱処理してもよい。導電性接着部に含まれている樹脂を揮発させて、導電性接着部に含まれる導電性フィラーを抽出する。抽出された導電性フィラーの重量を測定する。導電性接着部の重量に対する導電性フィラーの重量の比を算出する。こうして、第1の含有率及び第2の含有率が得られる。

[0033] 第1の導電性接着部35の電気抵抗及び第2の導電性接着部37の電気抵抗率は、以下の方法によって得られる。パワー半導体モジュール1から、封止部材40と電子素子25とリード端子（第1のリード端子11、第2のリード端子12）を除去して、導電性接着部（第1の導電性接着部35、第2の導電性接着部37）を取り出す。四端子法により、導電性接着部の抵抗を測定する。導電性接着部の接合面積及び厚さを測定する。電気抵抗に接合面積を掛けて厚さで割る。こうして、第1の導電性接着部35の電気抵抗率及び第2の導電性接着部37の電気抵抗率が得られる。

[0034] 第1の導電性接着部35の電気抵抗及び第2の導電性接着部37の電気抵抗率は、別の方法によっても得られる。パワー半導体モジュール1から、パワー半導体モジュール1の一部を切り出す。パワー半導体モジュール1の一部は、導電性接着部（第1の導電性接着部35、第2の導電性接着部37）と、リード端子（第1のリード端子11、第2のリード端子12）の一部と、電子部品（パワー半導体チップ20、制御用半導体チップ23、チップコンデンサ27、電子素子25）の少なくとも一部とを含む。パワー半導体モジュール1の一部の電気抵抗から、リード端子の一部及び電子部品の少なくとも一部の電気抵抗を減算して、導電性接着部の電気抵抗を算出する。導電性接着部の接合面積及び厚さを測定する。電気抵抗に接合面積を掛けて厚さで割る。こうして、第1の導電性接着部35の電気抵抗率及び第2の導電性接着部37の電気抵抗率が得られる。

[0035] 第1の導電性接着部35は、絶縁性無機材料で構成されている絶縁性粒子をさらに含んでもよい。絶縁性粒子は、例えば、シリカ、アルミナ及び窒化アルミニウムからなる群から選択される1つ以上の無機材料で構成されている。第1の導電性接着部35への絶縁性粒子の添加は、以下の第1の作用と第2の作用とをもたらす。第1の作用は、絶縁性粒子が、第1の導電性接着部35における通電可能な領域の体積を減少させて、第1の導電性接着部35の電気抵抗を増加させることである。第2の作用は、絶縁性粒子が、第1の導電性接着部35における通電可能な領域における第1の導電性フィラー

の含有率を高めて、第1の導電性フィラー同士の接触が増加する等のために、第1の導電性接着部35の電気抵抗を減少させることである。

[0036] 本実施の形態では、第1の作用よりも第2の作用が大きくなるように、絶縁性粒子は第1の導電性接着部35に添加されている。そのため、絶縁性粒子は第1の導電性接着部35の電気抵抗を減少させる。第1の導電性接着部35の第1の導電性フィラーの第1の含有率が相対的に低くても、絶縁性粒子は、第1の導電性接着部35の電氣的接続の信頼性を向上させることができる。例えば、絶縁性粒子がシリカ粒子である場合、第1の導電性接着部35は、シリカ粒子を、3重量%以上含んでもよく、6重量%以上含んでもよい。第1の導電性接着部35は、例えば、シリカ粒子を、18重量%以下含んでもよく、12重量%以下含んでもよい。導電性フィラーの含有率が高いほど、第2の作用の程度はより小さくなる。絶縁性粒子は、第2の導電性接着部37に添加されることなく、第1の導電性接着部35に選択的に添加されてもよい。

[0037] さらに、絶縁性粒子は、第1の導電性接着部35の弾性率を増加させるとともに、第1の導電性接着部35の線膨張係数を減少させる。そのため、第1のリード端子11の反りが減少する。第1のリード端子11と第2のリード端子12との間の高さの差が低減する。第2の導電性接着部37に導入される剥離及びクラックが減少する。第2の導電性接着部37の電氣的接続の信頼性が向上され得る。

[0038] 第1の電極28aに対向する第1のリード端子11の第1の表面11sは、銅または錫で構成されてもよい。第2の電極28bに対向する第2のリード端子12の第2の表面12sは、銅または錫で構成されてもよい。言い換えると、第1のリード端子11の第1の表面11s及び第2のリード端子12の第2の表面12sは、酸化されにくい材料で形成されているめっき部17から露出してもよい。第1のリード端子11の第1の表面11s及び第2のリード端子12の第2の表面12sは、めっき部17よりも酸化されやすい。しかし、第2の導電性接着部37は相対的に低い電気抵抗を有する。そ

のため、第1のリード端子11の第1の表面11s及び第2のリード端子12の第2の表面12sにめっき部17を施さなくても、第2の導電性接着部37を介した第1のリード端子11とチップコンデンサ27との間の低抵抗かつ信頼性を有する電氣的接続と、第2の導電性接着部37を介した第2のリード端子12とチップコンデンサ27との間の低抵抗かつ信頼性を有する電氣的接続とを得ることができる。

[0039] チップコンデンサ27の第1の電極28aと第2の電極28bとは、金、銀、パラジウムまたはニッケルで構成されてもよいし、銅または錫で構成されてもよい。言い換えると、第1の電極28aの表面と第2の電極28bの表面とは、銀のような酸化されにくい材料で形成されていなくてもよい。第1の電極28aの表面と第2の電極28bの表面とは、めっき部17よりも酸化されやすい。しかし、第2の導電性接着部37は相対的に低い電気抵抗を有する。そのため、第1の電極28aと第2の電極28bとが銅または錫で構成されていても、第1の導電性接着部35を介した第1のリード端子11とチップコンデンサ27との間の低抵抗かつ信頼性を有する電氣的接続と、第2の導電性接着部37を介した第2のリード端子12とチップコンデンサ27との間の低抵抗かつ信頼性を有する電氣的接続とを得ることができる。

[0040] 電子素子25とチップコンデンサ27とは、第1のリード端子11に接合されてもよい。そのため、電子素子25とチップコンデンサ27との間の第1の間隔が狭くなる。電子素子25とチップコンデンサ27との間の配線抵抗を減少させることができる。また、電子素子25とチップコンデンサ27との間の第1の間隔をチップコンデンサ27とパワー半導体チップ20との間の第2の間隔よりも狭くすることができる。チップコンデンサ27に対する、パワー半導体チップ20から発生する電磁ノイズ及び熱の悪影響が抑制される。電子素子25（例えば、ダイオード25a及び抵抗器25bを内蔵する整流用半導体チップ）とチップコンデンサ27とを含む電気回路（例えば、ブートストラップ回路）の動作が安定化する。

- [0041] 封止部材40は、複数のリード端子の一部と、パワー半導体チップ20と、制御用半導体チップ23と、チップコンデンサ27と、電子素子25と、導電ワイヤ29とを封止する。封止部材40は、電氣的絶縁性を有する。封止部材40は、モールド樹脂で形成されてもよい。封止部材40は、例えば、エポキシ樹脂、ポリイミド樹脂、ポリアミド樹脂、ポリアミドイミド樹脂、フッ素系樹脂、イソシアネート系樹脂、シリコーン樹脂及びこれらの組み合わせからなる群から選択される樹脂材料で構成されてもよい。
- [0042] 第1の突出部11cは、封止部材40の部分41aから突出している。封止部材40の部分41aとチップコンデンサ27との間の最短距離dは、第1のリード端子11の厚さの5倍以下であってもよい。第1のリード端子11の厚さは、例えば、0.2mm以上であってもよい。第1のリード端子11の厚さは、例えば、2.0mm以下であってもよい。第2の突出部12cは、封止部材40の部分41bから突出している。封止部材40の部分41bとチップコンデンサ27との間の最短距離dは、第2のリード端子12の厚さtの5倍以下であってもよい。第2のリード端子12の厚さtは、例えば、0.2mm以上であってもよい。第2のリード端子12の厚さtは、例えば、2.0mm以下であってもよい。
- [0043] そのため、電子部品（パワー半導体チップ20、制御用半導体チップ23、チップコンデンサ27、電子素子25）を封止部材40で封止する工程（図6、図12及び図13を参照）において、金型45の空洞45a内に延在する第1のリード端子11の長さ、と、金型45の空洞45a内に延在する第2のリード端子12の長さ、とが減少する。一般に、その一端が固定端である板部材に荷重が加わる場合、板部材の撓み量は、固定端から延在する板部材の長さの3乗に比例し、板部材の厚さの3乗に反比例する。金型45の空洞45a内に延在する第1のリード端子11の長さが減少するため、第1のリード端子11の撓み量が減少する。金型45の空洞45a内に延在する第2のリード端子12の長さが減少するため、第2のリード端子12の撓み量が減少する。第1のリード端子11と第2のリード端子12との間の高さの差

が低減する。第2の導電性接着部37に部分的な剥離及びクラックが導入されることが抑制されて、第2の導電性接着部37の電氣的接続の信頼性が向上され得る。

[0044] 第1のリード端子11の第1の貫通孔16aと第2のリード端子12の第2の貫通孔16bとは、封止部材40によって充填されている。そのため、封止部材40の熱膨張係数と第1のリード端子11及び第2のリード端子12の熱膨張係数との間の差に起因して、第1のリード端子11及び第2のリード端子12が変形しても、第1のリード端子11及び第2のリード端子12は、第1の貫通孔16a及び第2の貫通孔16bを起点にして実質的に同じ形状に変形する。そのため、第2の導電性接着部37に部分的な剥離及びクラックが導入されることが抑制されて、第2の導電性接着部37の電氣的接続の信頼性が向上され得る。

[0045] 第1の貫通孔16a及び第2の貫通孔16bに充填された封止部材40を通じて、第1のリード端子11及び第2のリード端子12の上側にある封止部材40と、第1のリード端子11及び第2のリード端子12の下側にある封止部材40とが一体化されている。第1のリード端子11及び第2のリード端子12を封止部材40から引き抜く力に対して、第1の貫通孔16a及び第2の貫通孔16bに充填された封止部材40はアンカーとして機能する。そのため、第1のリード端子11及び第2のリード端子12が封止部材40から引き抜かれることが阻止されるとともに、第2の導電性接着部37にせん断応力が加わることが抑制される。第2の導電性接着部37に部分的な剥離及びクラックが導入されることが抑制されて、第2の導電性接着部37の電氣的接続の信頼性が向上され得る。

[0046] 図5を参照して、本実施の形態の半導体装置2を説明する。半導体装置2は、パワー半導体モジュール1と、複数の配線（例えば、配線54，55）と複数の貫通孔（例えば、貫通孔52，53）とを含む配線基板51とを備える。配線基板51は、第1の主面51aと、第1の主面51aとは反対側の第2の主面51bとを有する。第1の主面51aは、電子部品（パワー半

導体チップ20、制御用半導体チップ23、チップコンデンサ27、電子素子25)に面している。複数の貫通孔は、第1の主面51aから第2の主面51bまで延在している。複数の配線は、第2の主面51b上に形成されている。

[0047] 複数のリード端子は、配線基板51の複数の貫通孔に挿入されている。複数のリード端子の突出部分は、はんだ接合部(例えば、はんだ接合部57, 58)で複数の配線に接合されている。具体的には、第1のリード端子11の第2突出部分11e(図1を参照)は、配線基板51の貫通孔(図示せず)に挿入されている。第1のリード端子11の第2突出部分11eは、はんだ接合部(図示せず)で配線(図示せず)に接合されている。第2のリード端子12の第4突出部分12eは、貫通孔52に挿入されている。第2のリード端子12の第4突出部分12eは、はんだ接合部57で配線54に接合されている。第5のリード端子15の第6突出部分15eは、貫通孔53に挿入されている。第5のリード端子15の第6突出部分15eは、はんだ接合部58で配線55に接合されている。

[0048] 図6から図10及び図12から図14を参照して、実施の形態1のパワー半導体モジュール1の製造方法を説明する。

[0049] 図6から図9を参照して、パワー半導体モジュール1の製造方法は、電子部品(パワー半導体チップ20、制御用半導体チップ23、チップコンデンサ27、電子素子25)をリードフレーム10に接合すること(S1)を備える。具体的には、リードフレーム10が準備される。リードフレーム10は、フレーム部10aと、複数のリード端子とを含む。複数のリード端子は、第1のリード端子11と、第2のリード端子12と、第3のリード端子13と、第4のリード端子14と、第5のリード端子15とを含む。複数のリード端子は、フレーム部10aから、フレーム部10aの開口10bの内側に向けて延在している。リードフレーム10は、さらに端子接続部18を含んでもよい。端子接続部18は、フレームの開口10b内において、複数のリード端子同士と接続するとともに、複数のリード端子とフレーム部10a

とを接続している。端子接続部 18 は、フレーム部 10 a の開口 10 b 内において、複数のリード端子が撓むことを抑制する。

[0050] それから、電子部品（パワー半導体チップ 20、制御用半導体チップ 23、チップコンデンサ 27、電子素子 25）をリードフレーム 10 に接合する。具体的には、図 7 に示されるように、パワー半導体チップ 20 を、はんだ接合部 30 で、複数のリード端子の一つである第 5 のリード端子 15 に接合する（S 1 a）。制御用半導体チップ 23 を、導電接合部 33 で、複数のリード端子の一つである第 4 のリード端子 14 に接合する（S 1 b）。導電接合部 33 は、はんだ接合部であってもよいし、第 1 の導電性接着部 35 であってもよい。整流用半導体チップのような電子素子 25 を、第 1 の導電性接着部 35 で、複数のリード端子の一つである第 1 のリード端子 11 に接合する（S 1 c）。

[0051] チップコンデンサ 27 の第 1 の電極 28 a と第 2 の電極 28 b とを、第 2 の導電性接着部 37 で、複数のリード端子に含まれる第 1 のリード端子 11 と第 2 のリード端子 12 とにそれぞれ接合する（S 1 d）。具体的には、図 10 に示されるように、スクリーン印刷法、または、インクジェット法のようなディスペンサ法によって、導電性接着剤 37 a が、第 1 のリード端子 11 の第 1 の表面 11 s 及び第 2 のリード端子 12 の第 2 の表面 12 s 上に供給される（S 1 e）。導電性接着剤 37 a は、第 2 の樹脂と、第 2 の樹脂に分散された第 2 の導電性フィラーとを含む。

[0052] それから、チップコンデンサ 27 の第 1 の電極 28 a と第 2 の電極 28 b とを、それぞれ、第 1 のリード端子 11 と第 2 のリード端子 12 上に載置する（S 1 f）。導電性接着剤 37 a は、チップコンデンサ 27 によって押し広げられる。導電性接着剤 37 a が硬化されて、チップコンデンサ 27 の第 1 の電極 28 a と第 2 の電極 28 b を第 1 のリード端子 11 と第 2 のリード端子 12 とにそれぞれ接合する第 2 の導電性接着部 37 が形成される（S 1 g）。第 2 の導電性接着部 37（導電性接着剤 37 a）は、第 1 の含有率よりも高い第 2 の含有率で導電性フィラーを含んでいる。

[0053] 図9に示されるように、第2の導電性接着部37は、第1のリード端子11の第1縁部11p及び第2のリード端子12の第2縁部12pまで延在してもよい。第2の導電性接着部37は、第1のリード端子11の第1縁部11p及び第2のリード端子12の第2縁部12pからはみ出していない。第1のリード端子11の第1縁部11pと第2のリード端子12の第2縁部12pとは、互いに対向しており、かつ、第1のリード端子11の第1の表面11s及び第2のリード端子12の第2の表面12sの平面視において、チップコンデンサ27の下方にある。

[0054] 第1領域11r及び第2領域12r上にある第2の導電性接着部37は、第1の電極28a及び第2の電極28bを除くチップコンデンサ27の本体部に接合されている。第1領域11rは、チップコンデンサ27に対向する第1のリード端子11の第1の表面11sのうち、第1の電極28aと第1のリード端子11の第1縁部11pとの間にある領域である。第2領域12rは、チップコンデンサ27に対向する第2のリード端子12の第2の表面12sのうち、第2の電極28bと第2のリード端子12の第2縁部12pとの間にある領域である。第1領域11r及び第2領域12rは、チップコンデンサ27の本体部の下方にある。

[0055] 工程S1eは、図10に示されるように、導電性接着剤37aを、第1のリード端子11の第1の表面11sの複数の第1箇所と第2のリード端子12の第2の表面12sの複数の第2箇所とに供給することであってもよい。工程S1fは、チップコンデンサ27の第1の電極28aを複数の第1箇所上の導電性接着剤37a上に載置し、かつ、チップコンデンサ27の第2の電極28bを複数の第2箇所上の導電性接着剤37a上に載置することであってもよい。チップコンデンサ27は、導電性接着剤37aを押し広げる。導電性接着剤37aが第1のリード端子11の複数の第1箇所と第2のリード端子12の複数の第2箇所とに供給されているため、チップコンデンサ27が導電性接着剤37aを押し広げる際に、導電性接着剤37aが、第1縁部11p及び第2縁部12pからはみ出すことが防止される。第2の導電性

接着部 37 が、第 1 縁部 11 p 及び第 2 縁部 12 p からはみ出すことが防止される。パワー半導体モジュール 1 の絶縁信頼性が低下することがより確実に防止され得る。

[0056] これに対し、図 11 に示される比較例のパワー半導体モジュールでは、第 2 の導電性接着部 37（導電性接着剤 37 a）が第 1 縁部 11 p または第 2 縁部 12 p からはみ出している。第 1 のリード端子 11 上の第 2 の導電性接着部 37 と第 2 のリード端子 12 上の第 2 の導電性接着部 37 との間の最小間隔 G が短くなりすぎて、パワー半導体モジュールの絶縁信頼性が低下する。

[0057] それから、導電ワイヤ 29 は、パワー半導体チップ 20、第 1 のリード端子 11、第 2 のリード端子 12 及び第 3 のリード端子 13 を含む複数のリード端子、制御用半導体チップ 23 並びに電子素子 25 にボンディングされる。導電ワイヤ 29 は、ワイヤボンダを用いて、ボンディングされる。

[0058] 図 6、図 12 及び図 13 を参照して、パワー半導体モジュール 1 の製造方法は、電子部品（パワー半導体チップ 20、制御用半導体チップ 23、チップコンデンサ 27、電子素子 25）を封止部材 40 で封止すること（S2）を備える。具体的には、電子部品（パワー半導体チップ 20、制御用半導体チップ 23、チップコンデンサ 27、電子素子 25）が接合されたリードフレーム 10 を金型 45 にセットする。トランスファーモールド法またはコンプレッションモールド法を用いて、金型 45 の空洞 45 a 内に封止樹脂を注入する。電子部品（パワー半導体チップ 20、制御用半導体チップ 23、チップコンデンサ 27、電子素子 25）が封止部材 40 で封止される。フレーム部 10 a、端子接続部 18、複数のリード端子の突出部（例えば、第 1 の突出部 11 c、第 2 の突出部 12 c 及び第 3 の突出部 15 c）は、封止部材 40 から露出している。

[0059] 第 1 のリード端子 11 が突出する金型 45 の部分 46 a とチップコンデンサ 27 との間の最短距離は、第 1 のリード端子 11 の厚さの 5 倍以下であってもよい。第 2 のリード端子 12 が突出する金型 45 の部分 46 b とチップ

コンデンサ 27 との間の最短距離 d は、第 2 のリード端子 12 の厚さ t の 5 倍以下であってもよい。一般に、その一端が固定端である板部材に荷重が加わる場合、板部材の撓み量は、固定端から延在する板部材の長さの 3 乗に比例し、板部材の厚さの 3 乗に反比例する。金型 45 の空洞 45 a 内に延在する第 1 のリード端子 11 の長さが減少するため、第 1 のリード端子 11 の撓み量が減少する。金型 45 の空洞 45 a 内に延在する第 2 のリード端子 12 の長さが減少するため、第 2 のリード端子 12 の撓み量が減少する。第 2 の導電性接着部 37 に部分的な剥離及びクラックが導入されることが抑制されて、第 2 の導電性接着部 37 の電氣的接続の信頼性が向上され得る。

[0060] 図 6 を参照して、パワー半導体モジュール 1 の製造方法は、リードフレーム 10 を加工すること (S3) を備える。具体的には、フレーム部 10 a 及び端子接続部 18 が除去される。複数のリード端子の複数の突出部の一部 (例えば、第 3 のリード端子 13 及び第 4 のリード端子 14 の複数の突出部の一部) がさらに除去されてもよい。複数のリード端子の複数の突出部の一部 (例えば、第 1 の突出部 11 c、第 2 の突出部 12 c 及び第 3 の突出部 15 c) を折り曲げる。こうして、図 1 から図 3 に示されるパワー半導体モジュール 1 が得られる。

[0061] 本実施の形態の変形例では、図 14 に示されるように、第 2 の導電性接着部 37 は、チップコンデンサ 27 の下方にある第 1 のリード端子 11 の第 1 領域 11 r の 80% 以上 100% 以下と、チップコンデンサ 27 の下方にある第 2 のリード端子 12 の第 2 領域 12 r の 80% 以上 100% 以下とを覆っている。本明細書において、第 1 領域 11 r の 80% 以上 100% 以下は、チップコンデンサ 27 に対向する第 1 のリード端子 11 の第 1 の表面 11 s の平面視における第 1 領域 11 r の面積の、80% 以上 100% 以下を意味する。第 2 のリード端子 12 の第 2 領域 12 r の 80% 以上 100% 以下は、チップコンデンサ 27 に対向する第 2 のリード端子 12 の第 2 の表面 12 s の平面視における第 2 領域 12 r の面積の、80% 以上 100% 以下を意味する。

- [0062] 第2の導電性接着部37は、チップコンデンサ27の下方にある第1のリード端子11の第1領域11rの90%以上100%以下と、チップコンデンサ27の下方にある第2のリード端子12の第2領域12rの90%以上100%以下とを覆ってもよい。第2の導電性接着部37は、チップコンデンサ27の下方にある第1のリード端子11の第1領域11rの全てと、チップコンデンサ27の下方にある第2のリード端子12の第2領域12rの全てとを覆ってもよい。
- [0063] 第1領域11r及び第2領域12r上にある第2の導電性接着部37は、第1の電極28a及び第2の電極28bを除くチップコンデンサ27の本体部に接合されている。第2の導電性接着部37は、第1縁部11p及び第2縁部12pからはみ出していない。
- [0064] 第2の導電性接着部37の熱膨張係数と封止部材40の熱膨張係数との間の差に起因する熱応力が、第2の導電性接着部37に印加される。この熱応力は、例えば、封止樹脂をモールドして封止部材40を形成する工程において、封止部材40が冷却される際に発生する。第1領域11r及び第2領域12r上にある第2の導電性接着部37は、第1の電極28a及び第2の電極28bを除くチップコンデンサ27の本体部に接合されており、封止部材40に接触していない。そのため、第1領域11r及び第2領域12r上にある第2の導電性接着部37は、この熱応力を増加させることなく、第2の導電性接着部37の体積を増加させる。こうして、第2の導電性接着部37の単位体積当たりの熱応力は減少する。第2の導電性接着部37にクラックが発生することが抑制される。第2の導電性接着部37の電氣的接続の信頼性が向上され得る。
- [0065] 本実施の形態の変形例のように、第1領域11rの80%以上100%以下と、第2領域12rの80%以上100%以下とを覆い、かつ、第1縁部11p及び第2縁部12pからはみ出していない第2の導電性接着部37は、図10に示されるように、導電性接着剤37aを、第1のリード端子11の第1の表面11sの複数の第1箇所と第2のリード端子12の第2の表面

12sの複数の第2箇所とに供給することによって、容易に形成され得る。

[0066] 図15を参照して、本実施の形態の半導体装置2の製造方法を説明する。半導体装置2の製造方法は、パワー半導体モジュール1を準備すること（S11）を備える。本実施の形態のパワー半導体モジュール1の製造方法によって、パワー半導体モジュール1は準備される。

[0067] 半導体装置2の製造方法は、パワー半導体モジュール1を配線基板51に実装すること（S12）をさらに備える。具体的には、複数のリード端子の突出部分（例えば、第2のリード端子12の第4突出部分12e、第5のリード端子15の第6突出部分15e）を、配線基板51の複数の貫通孔（例えば、貫通孔52，53）に挿入する。パワー半導体モジュール1では、電子部品（パワー半導体チップ20、制御用半導体チップ23、チップコンデンサ27、電子素子25）はデュアルインラインパッケージ（DIP）方式でパッケージされている。そのため、フロー式はんだ付けによって、複数のリード端子の突出部分（例えば、第2のリード端子12の第4突出部分12e、第5のリード端子15の第6突出部分15e）を、配線基板51の複数の配線（例えば、配線54，55）にはんだ接合する。こうして、図5に示される半導体装置2が得られる。

[0068] 本実施の形態のパワー半導体モジュール1及びその製造方法の効果を説明する。

本実施の形態のパワー半導体モジュール1は、複数のリード端子と、パワー半導体チップ20と、チップコンデンサ27と、チップコンデンサ27とは異なる種類の電子素子25と、封止部材40とを備える。複数のリード端子は、第1のリード端子11と、第1のリード端子11から離間されている第2のリード端子12とを含む。チップコンデンサ27は、第1の電極28aと第2の電極28bとを含む。封止部材40は、パワー半導体チップ20とチップコンデンサ27と電子素子25とを封止している。パワー半導体チップ20は、複数のリード端子の少なくとも1つ（例えば、第5のリード端子15）に接合されている。電子素子25は、第1の導電性接着部35で、

複数のリード端子の１つ（例えば、第１のリード端子１１）に接合されている。第１の導電性接着部３５は、第１の含有率で導電性フィラーを含んでいる。チップコンデンサ２７の第１の電極２８ａと第２の電極２８ｂとは、第２の導電性接着部３７で、第１のリード端子１１と第２のリード端子１２とにそれぞれ接合されている。第２の導電性接着部３７は、第１の含有率よりも高い第２の含有率で前記導電性フィラーを含んでいる。

[0069] 本実施の形態のパワー半導体モジュール１は、複数のリード端子と、パワー半導体チップ２０と、チップコンデンサ２７と、チップコンデンサ２７とは異なる種類の電子素子２５と、封止部材４０とを備える。複数のリード端子は、第１のリード端子１１と、第１のリード端子１１から離間されている第２のリード端子１２とを含む。チップコンデンサ２７は、第１の電極２８ａと第２の電極２８ｂとを含む。封止部材４０は、パワー半導体チップ２０とチップコンデンサ２７と電子素子２５とを封止している。パワー半導体チップ２０は、複数のリード端子の少なくとも１つ（例えば、第５のリード端子１５）に接合されている。電子素子２５は、第１の導電性接着部３５で、複数のリード端子の１つ（例えば、第１のリード端子１１）に接合されている。第１の導電性接着部３５は、第１の導電性フィラーを含んでいる。チップコンデンサ２７の第１の電極２８ａと第２の電極２８ｂとは、第２の導電性接着部３７で、第１のリード端子１１と第２のリード端子１２とにそれぞれ接合されている。第２の導電性接着部３７は、第２の導電性フィラーを含んでいる。第２の導電性接着部は、第１の導電性接着部よりも低い電気抵抗率を有している。

[0070] 第２の導電性接着部３７は、第１の導電性接着部３５よりも低い電気抵抗率を有している。第２の導電性フィラーが第１の導電性フィラーと同じ材料で構成されている場合、第２の導電性接着部３７における導電性フィラーの第２の含有率は、第１の導電性接着部３５における前記導電性フィラーの第１の含有率よりも高い。そのため、第２の導電性接着部３７の電気抵抗とチップコンデンサ２７の接合部に一般的に求められる許容電気抵抗との間のマ

ージンを大きくすることができる。さらに、第2の導電性接着部37に印加される応力によって第2の導電性接着部37に部分的な剥離及びクラックの少なくとも1つが導入されても、第2の導電性接着部37の電気抵抗の増分を小さくすることができる。第2の導電性接着部37の電氣的接続の信頼性が向上され得る。本実施の形態のパワー半導体モジュール1は、高い信頼性を有する。

[0071] 第1の導電性接着部35における導電性フィラーの第1の含有率は、第2の導電性接着部37における前記導電性フィラーの第2の含有率よりも低いため、第1の導電性接着部35のコストが低減される。本実施の形態のパワー半導体モジュール1によれば、パワー半導体モジュール1のコストが低減され得る。

[0072] 複数のリード端子に接合される電子部品（パワー半導体チップ20、制御用半導体チップ23、チップコンデンサ27、電子素子25）の中で最も背が高いチップコンデンサ27は、導電ワイヤ29を用いることなく、第2の導電性接着部37によって第1のリード端子11と第2のリード端子12とに接合されている。そのため、パワー半導体モジュール1の高さを減少させることができる。本実施の形態のパワー半導体モジュール1によれば、パワー半導体モジュール1が小型化され得る。

[0073] 本実施の形態のパワー半導体モジュール1では、第2の導電性接着部37は、チップコンデンサ27の下方にある第1のリード端子11の第1領域11rの80%以上100%以下と、チップコンデンサ27の下方にある第2のリード端子12の第2領域12rの80%以上100%以下とを覆っている。第1領域11rは、チップコンデンサ27に対向する第1のリード端子11の第1の表面11sのうち、第1の電極28aと第1のリード端子11の第1縁部11pとの間にある領域である。第2領域12rは、チップコンデンサ27に対向する第2のリード端子12の第2の表面12sのうち、第2の電極28bと第2のリード端子12の第2縁部12pとの間にある領域である。第1縁部11pと第2縁部12pとは、互いに対向しており、かつ

、第1のリード端子11の第1の表面11s及び第2のリード端子12の第2の表面12sの平面視において、チップコンデンサ27の下方にある。第1領域11r及び第2領域12r上にある第2の導電性接着部37は、第1の電極28a及び第2の電極28bを除くチップコンデンサ27の本体部に接合されている。第2の導電性接着部37は、第1縁部11p及び第2縁部12pからはみ出していない。

[0074] 第2の導電性接着部37の熱膨張係数と封止部材40の熱膨張係数との間の差に起因する、第2の導電性接着部37の単位体積当たりの熱応力が減少する。第2の導電性接着部37にクラックが発生することが抑制される。パワー半導体モジュール1の絶縁信頼性が低下することが防止され得る。第2の導電性接着部37の電氣的接続の信頼性が向上され得る。

[0075] 本実施の形態のパワー半導体モジュールの製造方法は、パワー半導体チップ20を複数のリード端子の少なくとも1つに接合すること（S1a）を備える。複数のリード端子は、第1のリード端子11と、第1のリード端子11から離間されている第2のリード端子12とを含む。本実施の形態のパワー半導体モジュールの製造方法は、電子素子25を、第1の導電性接着部35で、複数のリード端子の1つに接合すること（S1c）を備える。第1の導電性接着部35は、第1の含有率で導電性フィラーを含んでいる。本実施の形態のパワー半導体モジュールの製造方法は、第1のリード端子11の複数の第1箇所と第2のリード端子12の複数の第2箇所とに導電性接着剤37aを供給すること（S1e）を備える。本実施の形態のパワー半導体モジュールの製造方法は、チップコンデンサ27の第1の電極28aを複数の第1箇所上の導電性接着剤37a上に、かつ、チップコンデンサ27の第2の電極28bを複数の第2箇所上の導電性接着剤37a上に載置すること（S1f）とを備える。チップコンデンサ27は、電子素子25と種類が異なっている。本実施の形態のパワー半導体モジュールの製造方法は、導電性接着剤37aを硬化させて、チップコンデンサ27の第1の電極28aと第2の電極28bを第1のリード端子11と第2のリード端子12とにそれぞれ接

合する第2の導電性接着部37を形成すること（S1g）を備える。第2の導電性接着部37は、第1の含有率よりも高い第2の含有率で導電性フィラーを含んでいる。本実施の形態のパワー半導体モジュールの製造方法は、パワー半導体チップ20とチップコンデンサ27と電子素子25とを封止部材40で封止すること（S2）を備える。

[0076] 第2の導電性接着部37が、第1縁部11p及び第2縁部12pからはみ出すことなく、第1領域11rの半分以上の部分及び第2領域12rの半分以上の部分上に容易に形成され得る。パワー半導体モジュール1の絶縁信頼性が低下することがより確実に防止され得る。第2の導電性接着部37の電氣的接続の信頼性が向上され得る。

[0077] 実施の形態2.

図16を参照して、実施の形態2のパワー半導体モジュール1bを説明する。本実施の形態のパワー半導体モジュール1bは、実施の形態1のパワー半導体モジュール1と同様の構成を備え、同様の効果を奏するが、以下の点で主に異なる。

[0078] パワー半導体モジュール1bでは、複数のリード端子の少なくとも一部は、封止部材40から突出する複数の突出部を含む。複数の突出部は、ガルウィング形状に曲げられている。例えば、第1のリード端子11は、封止部材40から突出する第1の突出部11c（図16に示さず）を含む。第2のリード端子12は、封止部材40から突出する第2の突出部12cを含む。第5のリード端子15は、封止部材40から突出する第3の突出部15cを含む。第1の突出部11c、第2の突出部12c及び第3の突出部15cは、ガルウィング形状に曲げられている。

[0079] 複数のリード端子は、複数のパッド（例えば、第1のパッド11a、第2のパッド12a、第3のパッド14a、第4のパッド15a）に沿って延在する複数の端子部を含んでいる。例えば、第1のリード端子11の第1の突出部11cは、第1突出部分11d及び第2突出部分11e（図1を参照）に加えて、第7突出部分（図示せず）をさらに含む。第7突出部分は、第2

突出部分 1 1 e から、第 1 突出部分 1 1 d とは反対方向に、かつ、水平に延在している。第 7 突出部分は、第 2 突出部分 1 1 e に対して折り曲げられている。第 7 突出部分は、第 1 のリード端子 1 1 の第 1 端子部として機能する。第 2 のリード端子 1 2 の第 2 の突出部 1 2 c は、第 3 突出部分 1 2 d 及び第 4 突出部分 1 2 e に加えて、第 8 突出部分 1 2 f をさらに含む。第 8 突出部分 1 2 f は、第 4 突出部分 1 2 e から、第 3 突出部分 1 2 d とは反対方向に、かつ、水平に延在している。第 8 突出部分 1 2 f は、第 4 突出部分 1 2 e に対して折り曲げられている。第 8 突出部分 1 2 f は、第 2 のリード端子 1 2 の第 2 端子部として機能する。

[0080] 第 5 のリード端子 1 5 の第 3 の突出部 1 5 c は、第 5 突出部分 1 5 d 及び第 6 突出部分 1 5 e に加えて、第 9 突出部分 1 5 f をさらに含む。第 9 突出部分 1 5 f は、第 6 突出部分 1 5 e から、第 5 突出部分 1 5 d とは反対方向に、かつ、水平に延在している。第 9 突出部分 1 5 f は、第 6 突出部分 1 5 e に対して折り曲げられている。第 9 突出部分 1 5 f は、第 5 のリード端子 1 5 の第 3 端子部として機能する。パワー半導体モジュール 1 b では、電子部品（パワー半導体チップ 2 0、制御用半導体チップ 2 3、チップコンデンサ 2 7、電子素子 2 5）はスモールアウトラインパッケージ（SOP）方式でパッケージされている。パワー半導体モジュール 1 b は、表面実装型のモジュールである。

[0081] 本実施の形態のパワー半導体モジュール 1 b の製造方法は、実施の形態 1 のパワー半導体モジュール 1 の製造方法（図 6 を参照）と同様の工程を備えているが、主に以下の点で異なる。パワー半導体モジュール 1 b の製造方法では、リードフレーム 1 0 を加工する工程（S 3）において、複数のリード端子の突出部（例えば、第 1 の突出部 1 1 c、第 2 の突出部 1 2 c 及び第 3 の突出部 1 5 c）をガルウィング形状に折り曲げている。複数のリード端子の突出部に、複数の端子部（例えば、第 7 突出部分、第 8 突出部分 1 2 f 及び第 9 突出部分 1 5 f）を形成している。複数の端子部は、複数のパッド（例えば、第 1 のパッド 1 1 a、第 2 のパッド 1 2 a、第 3 のパッド 1 4 a、

第4の패드15a)に沿って延在している。こうして、図16に示されるパワー半導体モジュール1bが得られる。

[0082] 図17を参照して、実施の形態2の半導体装置2bを説明する。本実施の形態の半導体装置2bは、実施の形態1の半導体装置2と同様の構成を備え、同様の効果を奏するが、以下の点で主に異なる。

[0083] 半導体装置2bは、パワー半導体モジュール1bと、複数の配線（例えば、配線54, 55）を含む配線基板51とを備える。複数の配線は、配線基板51の第1の主面51a上に形成されている。複数のリード端子の端子部が、はんだ接合部で配線に接合される。具体的には、第1のリード端子11の第7突出部分（図示せず）は、はんだ接合部（図示せず）で配線（図示せず）に接合される。第2のリード端子12の第8突出部分12fは、はんだ接合部57で配線54に接合される。第5のリード端子15の第9突出部分15fは、はんだ接合部58で配線55に接合される。

[0084] 本実施の形態の半導体装置2bの製造方法を説明する。本実施の形態の半導体装置2bの製造方法は、実施の形態1の半導体装置2の製造方法（図15を参照）と同様の工程を備えているが、主に以下の点で異なる。

[0085] パワー半導体モジュール1bでは、電子部品（パワー半導体チップ20、制御用半導体チップ23、チップコンデンサ27、電子素子25）はスモールアウトラインパッケージ（SOP）方式でパッケージされている。そのため、パワー半導体モジュール1bを配線基板51に実装する際に、リフロー式はんだ付けによって、複数のリード端子の複数の端子部（例えば、第8突出部分12f及び第9突出部分15f）を、配線基板51の複数の配線（例えば、配線54, 55）にはんだ接合する。こうして、図17に示される半導体装置2bが得られる。本実施の形態におけるリフロー式はんだ付けは、実施の形態1におけるフロー式はんだ付けよりも、はんだ付け時のパッケージの到達温度が高く、かつ、はんだ付けに要する時間が長い。そのため、リフロー式はんだ付けによってパワー半導体モジュール1bを配線基板51に実装する際に、より大きな熱応力が、第2の導電性接着部37に印加される

。

[0086] しかし、第2の導電性接着部37は、第1の導電性接着部35よりも低い電気抵抗率を有している。第2の導電性フィラーが第1の導電性フィラーと同じ材料で構成されている場合、第2の導電性接着部37における導電性フィラーの第2の含有率は、第1の導電性接着部35における前記導電性フィラーの第1の含有率よりも高い。そのため、第2の導電性接着部37の電気抵抗とチップコンデンサ27の接合部に一般的に求められる許容電気抵抗との間のマージンを大きくすることができる。さらに、第2の導電性接着部37に印加される応力によって第2の導電性接着部37に部分的な剥離及びクラックの少なくとも1つが導入されても、第2の導電性接着部37の電気抵抗の増分を小さくすることができる。第2の導電性接着部37の電氣的接続の信頼性が向上され得る。本実施の形態のパワー半導体モジュール1bは、高い信頼性を有する。

[0087] 実施の形態3.

図18を参照して、実施の形態3のパワー半導体モジュール1cを説明する。本実施の形態のパワー半導体モジュール1cは、実施の形態1のパワー半導体モジュール1と同様の構成を備え、同様の効果を奏するが、以下の点で主に異なる。

[0088] パワー半導体モジュール1cは、放熱板60をさらに備える。複数のリード端子の少なくとも1つ（第5のリード端子15）は、パワー半導体チップ20に対向する第3の表面15sと、第3の表面15sとは反対側の第4の表面15tとを含む。放熱板60は、第4の表面15tに取り付けられている。放熱板60は、銅またはアルミニウムのような高い熱伝導性を有する材料で構成されている。放熱板60は、封止部材40から露出する放熱面61を有している。放熱面61は、パワー半導体チップ20において発生する熱をパワー半導体モジュール1cの外部に効率的に放散させる。放熱面61は、封止部材40の表面42と面一であってもよい。放熱面61以外の放熱板60の複数の表面は、封止部材40に面してもよい。

[0089] 放熱板 60 は、封止部材 40 に一体化されている。例えば、電子部品（パワー半導体チップ 20、制御用半導体チップ 23、チップコンデンサ 27、電子素子 25）及び複数のリード端子とともに放熱板 60 を封止部材 40 でモールドすることによって、放熱板 60 は封止部材 40 に一体化されてもよい。あるいは、封止部材 40 に形成された凹部に放熱板 60 を嵌合することによって、放熱板 60 は封止部材 40 に一体化されてもよい。ねじのような固定部材を用いて放熱板 60 を封止部材 40 に取り付けることによって、放熱板 60 は封止部材 40 に一体化されてもよい。

[0090] 特定的には、パワー半導体モジュール 1c は、絶縁層 62 をさらに備えてもよい。放熱板 60 は、絶縁層 62 を介して、第 4 の表面 15t に取り付けられてもよい。絶縁層 62 は、高い熱伝導性を有する絶縁性粒子が分散された絶縁性樹脂層であってもよい。絶縁性粒子は、例えば、シリカ、アルミナまたは窒化アルミニウムのような絶縁性無機材料で構成されてもよい。絶縁性樹脂層は、例えば、エポキシ樹脂層であってもよい。放熱板 60 は、封止部材 40 及び絶縁層 62 によって、複数のリード端子から絶縁されてもよい。

[0091] 本実施の形態のパワー半導体モジュール 1c の効果を説明する。

本実施の形態のパワー半導体モジュール 1c は、放熱板 60 をさらに備える。複数のリード端子の少なくとも 1 つ（第 5 のリード端子 15）は、パワー半導体チップ 20 に対向する第 3 の表面 15s と、第 3 の表面 15s とは反対側の第 4 の表面 15t とを含む。放熱板 60 は、第 4 の表面 15t に取り付けられている。そのため、パワー半導体チップ 20 から発生する熱が、放熱板 60 を通して、パワー半導体モジュール 1c の外部に効率的に放散され得る。

[0092] パワー半導体チップ 20 及び複数のリード端子の少なくとも 1 つ（第 5 のリード端子 15）は、封止部材 40 と放熱板 60 との間にある。封止部材 40 と放熱板 60 とは、互いに異なる熱膨張係数を有している。そのため、本実施の形態のパワー半導体モジュール 1c は、実施の形態 1 のパワー半導体モジュール 1 よりも、複数のリード端子がより大きく反って、より大きな熱

応力が第２の導電性接着部３７に印加される。

[0093] しかし、第２の導電性接着部３７は、第１の導電性接着部３５よりも低い電気抵抗率を有している。第２の導電性フィラーが第１の導電性フィラーと同じ材料で構成されている場合、第２の導電性接着部３７における導電性フィラーの第２の含有率は、第１の導電性接着部３５における前記導電性フィラーの第１の含有率よりも高い。そのため、第２の導電性接着部３７の電気抵抗とチップコンデンサ２７の接合部に一般的に求められる許容電気抵抗との間のマージンを大きくすることができる。さらに、第２の導電性接着部３７に印加される応力によって第２の導電性接着部３７に部分的な剥離及びクラックの少なくとも１つが導入されても、第２の導電性接着部３７の電気抵抗の増分を小さくすることができる。第２の導電性接着部３７の電氣的接続の信頼性が向上され得る。本実施の形態のパワー半導体モジュール１ｃは、高い信頼性を有する。

[0094] 実施の形態４．

本実施の形態は、実施の形態１から実施の形態３のいずれか１つに係るパワー半導体モジュール１，１ｂ，１ｃを電力変換装置に適用したものである。本実施の形態の電力変換装置２００が、特に限定されるものではないが、三相のインバータである場合について以下説明する。

[0095] 図１９に示される電力変換システムは、電源１００、電力変換装置２００、負荷３００から構成される。電源１００は、直流電源であり、電力変換装置２００に直流電力を供給する。電源１００は、特に限定されないが、例えば、直流系統、太陽電池または蓄電池で構成されてもよいし、交流系統に接続された整流回路またはＡＣ／ＤＣコンバータで構成されてもよい。電源１００は、直流系統から出力される直流電力を別の直流電力に変換するＤＣ／ＤＣコンバータによって構成されてもよい。

[0096] 電力変換装置２００は、電源１００と負荷３００の間に接続された三相のインバータであり、電源１００から供給された直流電力を交流電力に変換し、負荷３００に交流電力を供給する。電力変換装置２００は、図１９に示さ

れるように、直流電力を交流電力に変換して出力する主変換回路201と、主変換回路201を制御する制御信号を主変換回路201に出力する制御回路203とを備えている。

[0097] 負荷300は、電力変換装置200から供給された交流電力によって駆動される三相の電動機である。なお、負荷300は、特に限定されるものではないが、各種電気機器に搭載された電動機であり、例えば、ハイブリッド自動車、電気自動車、鉄道車両、エレベーター、または、空調機器向けの電動機として用いられる。

[0098] 以下、電力変換装置200の詳細を説明する。主変換回路201は、スイッチング素子（図示せず）と還流ダイオード（図示せず）を備えている。スイッチング素子が電源100から供給される電圧をスイッチングすることによって、主変換回路201は、電源100から供給される直流電力を交流電力に変換して、負荷300に供給する。主変換回路201の具体的な回路構成は種々のものがあるが、本実施の形態に係る主変換回路201は2レベルの三相フルブリッジ回路であり、6つのスイッチング素子とそれぞれのスイッチング素子に逆並列された6つの還流ダイオードとから構成され得る。主変換回路201の各スイッチング素子及び各還流ダイオードの少なくともいずれかに、上述した実施の形態1から実施の形態3のいずれかのパワー半導体モジュール1、1b、1cを適用する。6つのスイッチング素子は2つのスイッチング素子ごとに直列接続され上下アームを構成し、各上下アームはフルブリッジ回路の各相（U相、V相及びW相）を構成する。そして、各上下アームの出力端子、すなわち主変換回路201の3つの出力端子は、負荷300に接続される。

[0099] また、上述した実施の形態1で説明したように、各スイッチング素子を駆動する駆動回路（例えば、制御用半導体チップ23）がパワー半導体モジュール202に内蔵されているため、主変換回路201は駆動回路を備えている。駆動回路は、主変換回路201に含まれるスイッチング素子を駆動する駆動信号を生成して、主変換回路201のスイッチング素子の制御電極に駆

動信号を供給する。具体的には、制御回路203からの制御信号に従い、スイッチング素子をオン状態にする駆動信号とスイッチング素子をオフ状態にする駆動信号とを各スイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以下の電圧信号（オフ信号）となる。

[0100] 制御回路203は、負荷300に所望の電力が供給されるよう主変換回路201のスイッチング素子を制御する。具体的には、負荷300に供給すべき電力に基づいて主変換回路201の各スイッチング素子がオン状態となるべき時間（オン時間）を算出する。例えば、出力すべき電圧に応じてスイッチング素子のオン時間を変調するパルス幅変調（PWM）制御によって、主変換回路201を制御することができる。そして、各時点においてオン状態となるべきスイッチング素子にはオン信号を、オフ状態になるべきスイッチング素子にはオフ信号が出力されるよう、主変換回路201が備える駆動回路に制御指令（制御信号）を出力する。駆動回路は、この制御信号に従い、各スイッチング素子の制御電極にオン信号又はオフ信号を駆動信号として出力する。

[0101] 本実施の形態に係る電力変換装置200では、主変換回路201に含まれるパワー半導体モジュール202として、実施の形態1から実施の形態3のいずれかに係るパワー半導体モジュール1, 1b, 1cが適用される。そのため、本実施の形態に係る電力変換装置200は、高い信頼性を有する。

[0102] 本実施の形態では、2レベルの三相インバータに本発明を適用する例を説明したが、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態では2レベルの電力変換装置としたが、3レベルの電力変換装置であってもよいし、マルチレベルの電力変換装置であってもよい。電力変換装置が単相負荷に電力を供給する場合には、単相のインバータに本発明が適用されてもよい。電力変換装置が直流負荷等に電力を供給す

る場合には、DC/DCコンバータまたはAC/DCコンバータに本発明が適用されてもよい。

[0103] 本発明が適用された電力変換装置は、負荷が電動機の場合に限定されるものではなく、例えば、放電加工機もしくはレーザー加工機の電源装置、または、誘導加熱調理器もしくは非接触器給電システムの電源装置に組み込まれ得る。本発明が適用された電力変換装置は、太陽光発電システムまたは蓄電システム等のパワーコンディショナーとして用いられ得る。

[0104] 今回開示された実施の形態1-4はすべての点で例示であって制限的なものではないと考えられるべきである。矛盾のない限り、今回開示された実施の形態1-4の少なくとも2つを組み合わせてもよい。本発明の範囲は、上記した説明ではなく請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることを意図される。

符号の説明

[0105] 1, 1b, 1c パワー半導体モジュール、2, 2b 半導体装置、10 リードフレーム、10a フレーム部、10b 開口、11 第1のリード端子、11a 第1のパッド、11c 第1の突出部、11d 第1突出部分、11e 第2突出部分、11p 第1縁部、11r 第1領域、11s 第1の表面、12 第2のリード端子、12a 第2のパッド、12c 第2の突出部、12d 第3突出部分、12e 第4突出部分、12f 第8突出部分、12p 第2縁部、12r 第2領域、12s 第2の表面、13 第3のリード端子、14 第4のリード端子、14a 第3のパッド、15 第5のリード端子、15a 第4のパッド、15b 段差部、15c 第3の突出部、15d 第5突出部分、15e 第6突出部分、15f 第9突出部分、15s 第3の表面、15t 第4の表面、16a 第1の貫通孔、16b 第2の貫通孔、17 めっき部、18 端子接続部、20 パワー半導体チップ、23 制御用半導体チップ、25 電子素子、25a ダイオード、25b 抵抗器、27 チップコンデンサ、28a 第1の電極、28b 第2の電極、29 導電ワイヤ、30 はんだ接合部

、 3 3 導電接合部、 3 5 第 1 の導電性接着部、 3 7 第 2 の導電性接着部、 3 7 a 導電性接着剤、 4 0 封止部材、 4 1 a , 4 1 b 部分、 4 2 表面、 4 5 金型、 4 6 a , 4 6 b 部分、 5 1 配線基板、 5 1 a 第 1 の主面、 5 1 b 第 2 の主面、 5 2 , 5 3 貫通孔、 5 4 , 5 5 配線、 5 7 , 5 8 はんだ接合部、 6 0 放熱板、 6 1 放熱面、 6 2 絶縁層、 1 0 0 電源、 2 0 0 電力変換装置、 2 0 1 主変換回路、 2 0 2 パワー半導体モジュール、 2 0 3 制御回路、 3 0 0 負荷。

請求の範囲

- [請求項1] 第1のリード端子と、前記第1のリード端子から離間されている第2のリード端子とを含む複数のリード端子と、
パワー半導体チップと、
第1の電極と第2の電極とを含むチップコンデンサと、
前記チップコンデンサとは異なる種類の電子素子と、
前記パワー半導体チップと前記チップコンデンサと前記電子素子とを封止する封止部材とを備え、
前記パワー半導体チップは前記複数のリード端子の少なくとも1つに接合されており、
前記電子素子は、第1の導電性接着部で、前記第1のリード端子に接合されており、前記第1の導電性接着部は、第1の含有率で導電性フィラーを含んでおり、
前記チップコンデンサの前記第1の電極と前記第2の電極とは、第2の導電性接着部で、前記第1のリード端子と前記第2のリード端子とにそれぞれ接合されており、前記第2の導電性接着部は、前記第1の含有率よりも高い第2の含有率で前記導電性フィラーを含んでいる、
パワー半導体モジュール。
- [請求項2] 第1のリード端子と、前記第1のリード端子から離間されている第2のリード端子とを含む複数のリード端子と、
パワー半導体チップと、
第1の電極と第2の電極とを含むチップコンデンサと、
前記チップコンデンサとは異なる種類の電子素子と、
前記パワー半導体チップと前記チップコンデンサと前記電子素子とを封止する封止部材とを備え、
前記パワー半導体チップは前記複数のリード端子の少なくとも1つに接合されており、
前記電子素子は、第1の導電性接着部で、前記第1のリード端子に

接合されており、前記第 1 の導電性接着部は、第 1 の導電性フィラーを含んでおり、

前記チップコンデンサの前記第 1 の電極と前記第 2 の電極とは、第 2 の導電性接着部で、前記第 1 のリード端子と前記第 2 のリード端子とにそれぞれ接合されており、前記第 2 の導電性接着部は、第 2 の導電性フィラーを含んでおり、

前記第 2 の導電性接着部は、前記第 1 の導電性接着部よりも低い電気抵抗率を有する、パワー半導体モジュール。

[請求項3] 前記第 1 の導電性接着部は、絶縁性無機材料で構成されている絶縁性粒子をさらに含む、請求項 1 または請求項 2 に記載のパワー半導体モジュール。

[請求項4] 前記絶縁性粒子は、シリカ、アルミナ及び窒化アルミニウムからなる群から選択される 1 つ以上の無機材料で構成されている、請求項 3 に記載のパワー半導体モジュール。

[請求項5] 前記第 1 のリード端子は、第 1 の貫通孔を含み、
前記第 2 のリード端子は、第 2 の貫通孔を含み、
前記第 1 の貫通孔及び前記第 2 の貫通孔は前記封止部材によって充填されている、請求項 1 から請求項 4 のいずれか 1 項に記載のパワー半導体モジュール。

[請求項6] 前記第 2 の含有率は、75 重量%以上である、請求項 1 に記載のパワー半導体モジュール。

[請求項7] 前記第 1 の含有率は、65 重量%以下である、請求項 1 に記載のパワー半導体モジュール。

[請求項8] 前記導電性フィラーは、銀、ニッケル及び銅からなる群から選択される 1 つ以上の導電性材料で構成されている、請求項 1 に記載のパワー半導体モジュール。

[請求項9] 前記第 1 の導電性フィラーは、銀、ニッケル及び銅からなる群から選択される 1 つ以上の導電性材料で構成されており、

前記第2の導電性フィラーは、銀、ニッケル及び銅からなる群から選択される1つ以上の導電性材料で構成されている、請求項2に記載のパワー半導体モジュール。

[請求項10] 前記第1の電極に対向する前記第1のリード端子の第1の表面と、前記第2の電極に対向する前記第2のリード端子の第2の表面とは、銅または錫で構成されている、請求項1から請求項9のいずれか1項に記載のパワー半導体モジュール。

[請求項11] 前記第1の電極と前記第2の電極とは、銅または錫で構成されている、請求項1から請求項10のいずれか1項に記載のパワー半導体モジュール。

[請求項12] 前記電子素子は、整流用半導体チップである、請求項1から請求項11のいずれか1項に記載のパワー半導体モジュール。

[請求項13] 前記整流用半導体チップは、抵抗器を内蔵しており、
前記抵抗器を内蔵する前記整流用半導体チップと、前記チップコンデンサとは、ブートストラップ回路を構成している、請求項12に記載のパワー半導体モジュール。

[請求項14] 前記第2のリード端子は、前記封止部材の部分から突出する突出部を含み、

前記封止部材の前記部分と前記チップコンデンサとの間の最短距離は、前記第2のリード端子の厚さの5倍以下である、請求項1から請求項13のいずれか1項に記載のパワー半導体モジュール。

[請求項15] 前記複数のリード端子の少なくとも一部は、前記封止部材から突出する複数の突出部を含み、

前記複数の突出部は、ガルウィング形状に曲げられている、請求項1から請求項13のいずれか1項に記載のパワー半導体モジュール。

[請求項16] 前記第2の導電性接着部は、前記チップコンデンサの下方にある前記第1のリード端子の第1領域の80%以上100%以下と、前記チップコンデンサの下方にある前記第2のリード端子の第2領域の80

%以上100%以下とを覆っており、

前記第1領域は、前記チップコンデンサに対向する前記第1のリード端子の第1の表面のうち、前記第1の電極と前記第1のリード端子の第1縁部との間にある領域であり、

前記第2領域は、前記チップコンデンサに対向する前記第2のリード端子の第2の表面のうち、前記第2の電極と前記第2のリード端子の第2縁部との間にある領域であり、

前記第1縁部と前記第2縁部とは、互いに対向しており、かつ、前記第1のリード端子の前記第1の表面及び前記第2のリード端子の前記第2の表面の平面視において、前記チップコンデンサの下方にあり、

前記第1領域及び前記第2領域上にある前記第2の導電性接着部は、前記第1の電極及び前記第2の電極を除く前記チップコンデンサの部分に接合されており、

前記第2の導電性接着部は、前記第1縁部及び前記第2縁部からはみ出していない、請求項1から請求項9のいずれか1項に記載のパワー半導体モジュール。

[請求項17] 放熱板をさらに備え、

前記複数のリード端子の前記少なくとも1つは、前記パワー半導体チップに対向する第3の表面と、前記第3の表面とは反対側の第4の表面とを含み、

前記放熱板は、前記第4の表面に取り付けられている、請求項1から請求項16のいずれか1項に記載のパワー半導体モジュール。

[請求項18] 請求項1から請求項17のいずれか1項記載の前記パワー半導体モジュールを有し、かつ、入力される電力を変換して出力する主変換回路と、

前記主変換回路を制御する制御信号を前記主変換回路に出力する制御回路とを備える、電力変換装置。

[請求項19]

パワー半導体チップを複数のリード端子の少なくとも1つに接合することを備え、前記複数のリード端子は、第1のリード端子と、前記第1のリード端子から離間されている第2のリード端子とを含み、さらに、

電子素子を、第1の導電性接着部で、前記第1のリード端子に接合することを備え、前記第1の導電性接着部は、第1の含有率で導電性フィラーを含んでおり、さらに、

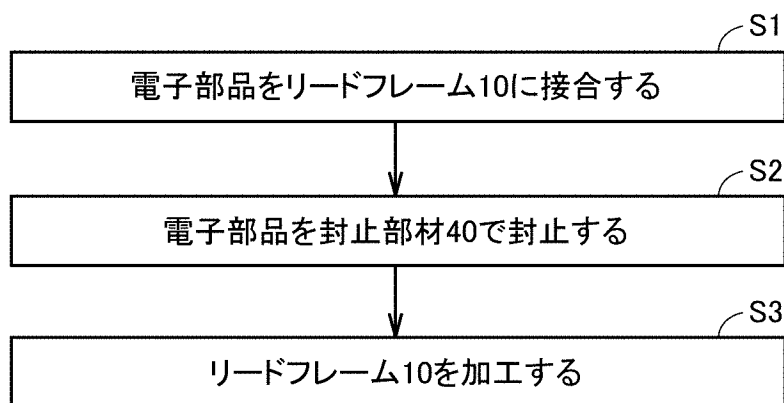
前記第1のリード端子の複数の第1箇所と前記第2のリード端子の複数の第2箇所とに導電性接着剤を供給することと、

チップコンデンサの第1の電極を前記複数の第1箇所上の前記導電性接着剤上に、かつ、前記チップコンデンサの第2の電極を前記複数の第2箇所上の前記導電性接着剤上に載置することとを備え、前記チップコンデンサは前記電子素子と種類が異なっており、さらに、

前記導電性接着剤を硬化させて、前記チップコンデンサの前記第1の電極と前記第2の電極を前記第1のリード端子と前記第2のリード端子とにそれぞれ接合する第2の導電性接着部を形成することを備え、前記第2の導電性接着部は、前記第1の含有率よりも高い第2の含有率で前記導電性フィラーを含んでおり、さらに、

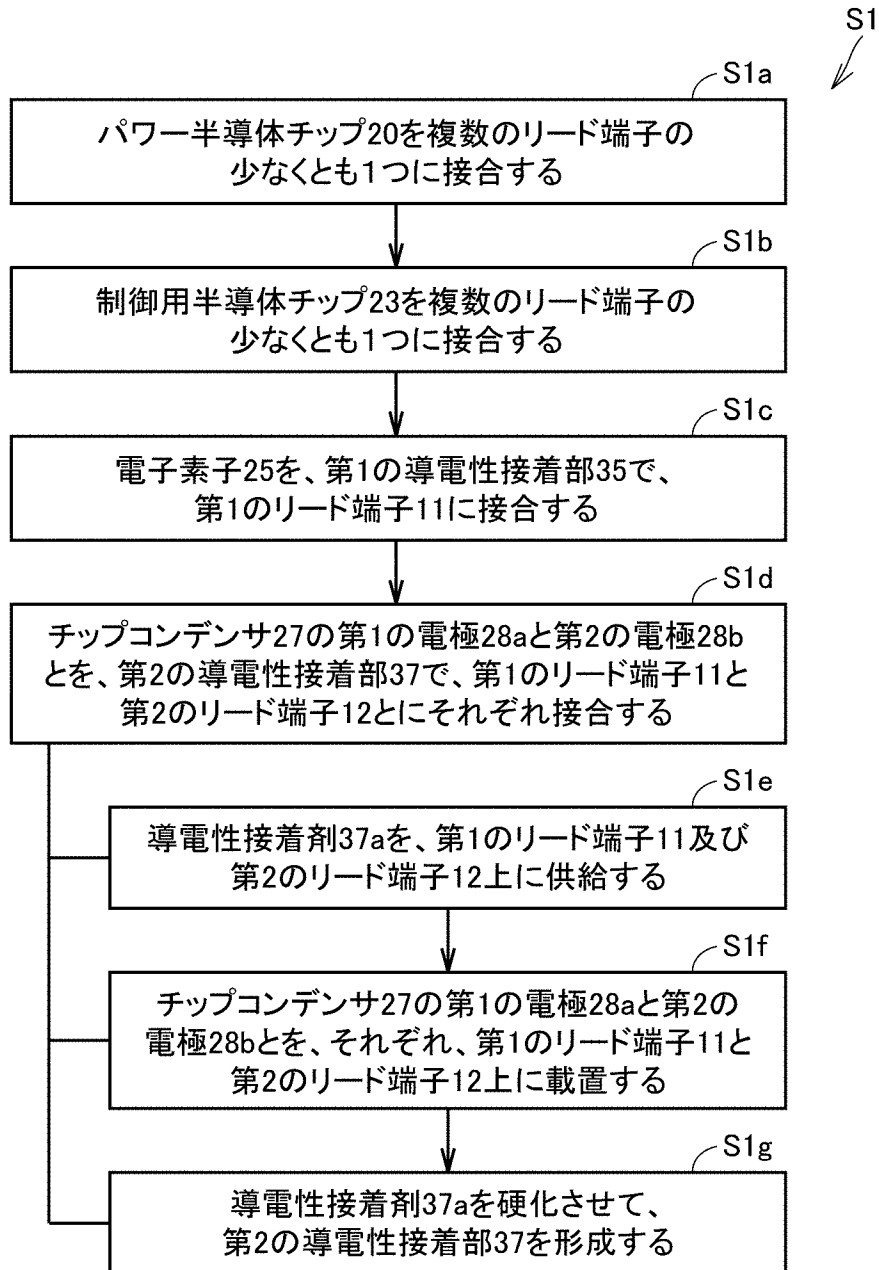
前記パワー半導体チップと前記チップコンデンサと前記電子素子とを封止部材で封止することを備える、パワー半導体モジュールの製造方法。

図5



[図7]

図7



[図8]

図8

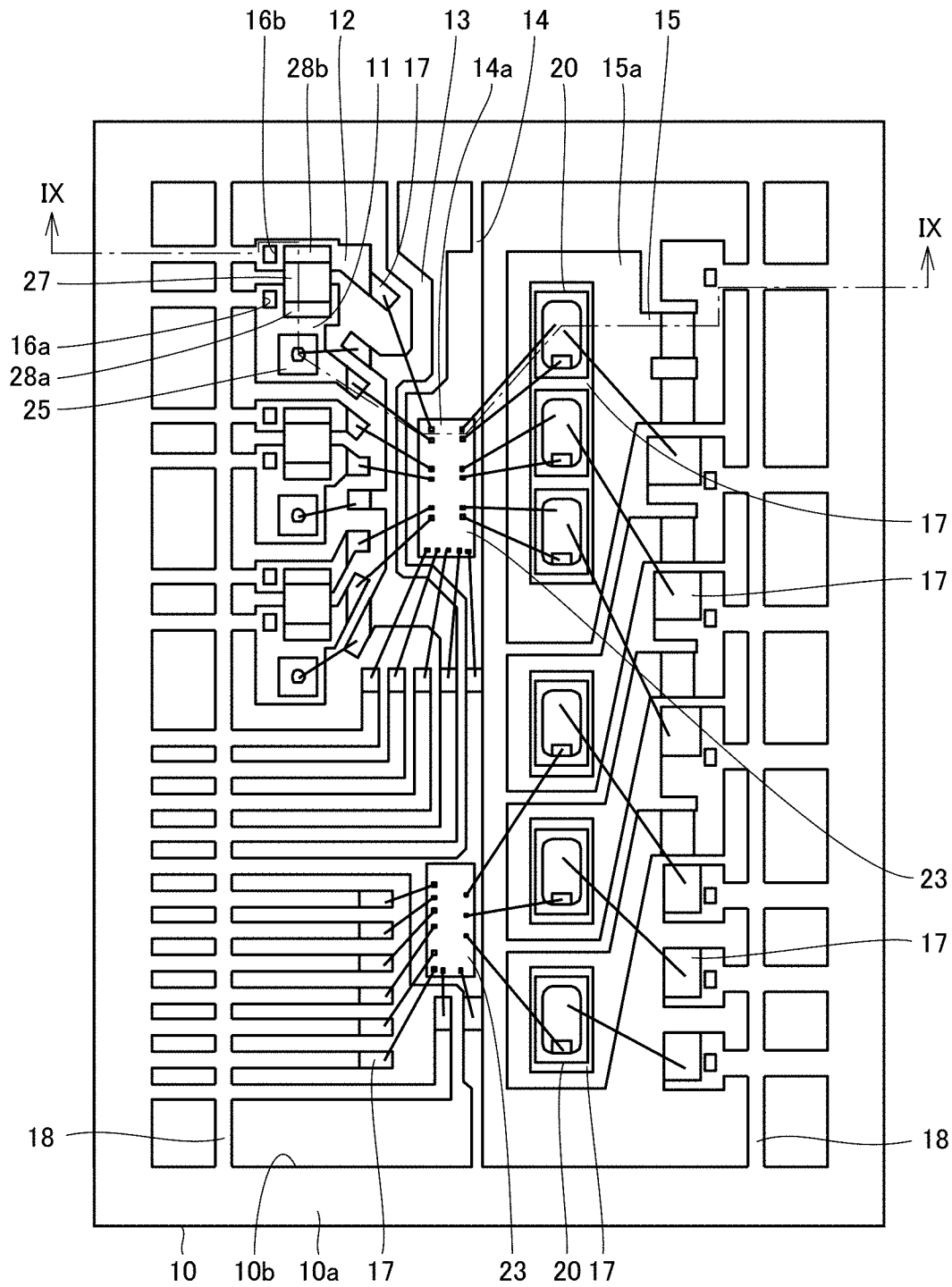
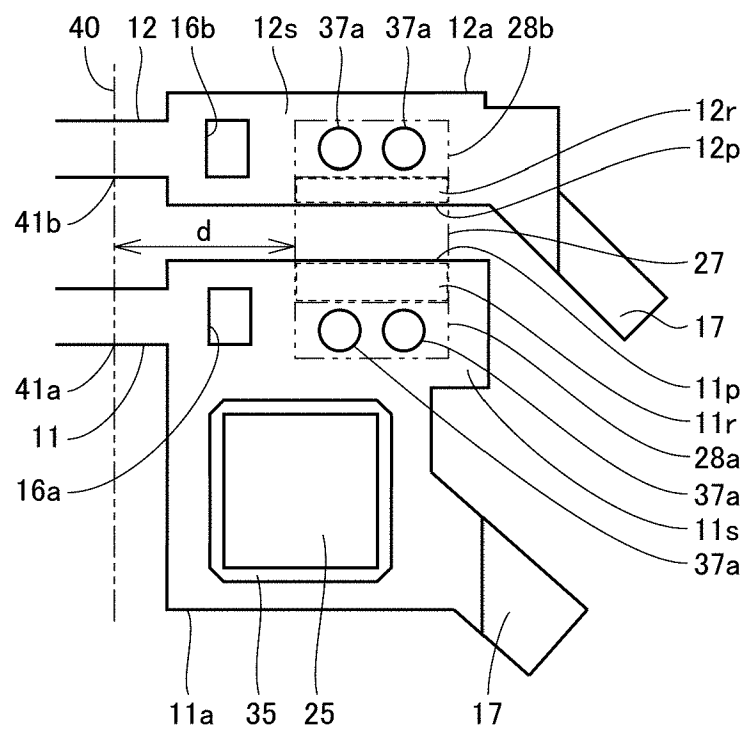
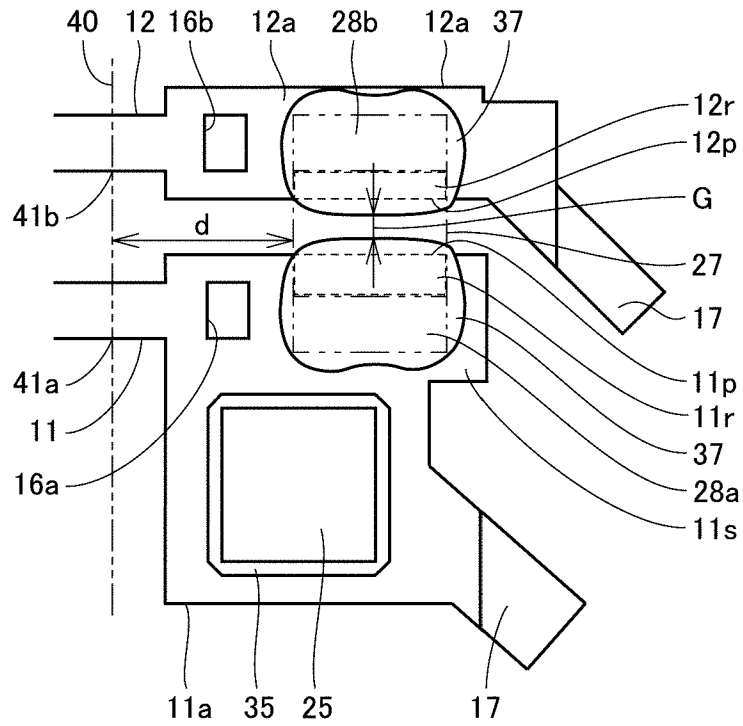


图9



[図11]

図11



[図12]

図12

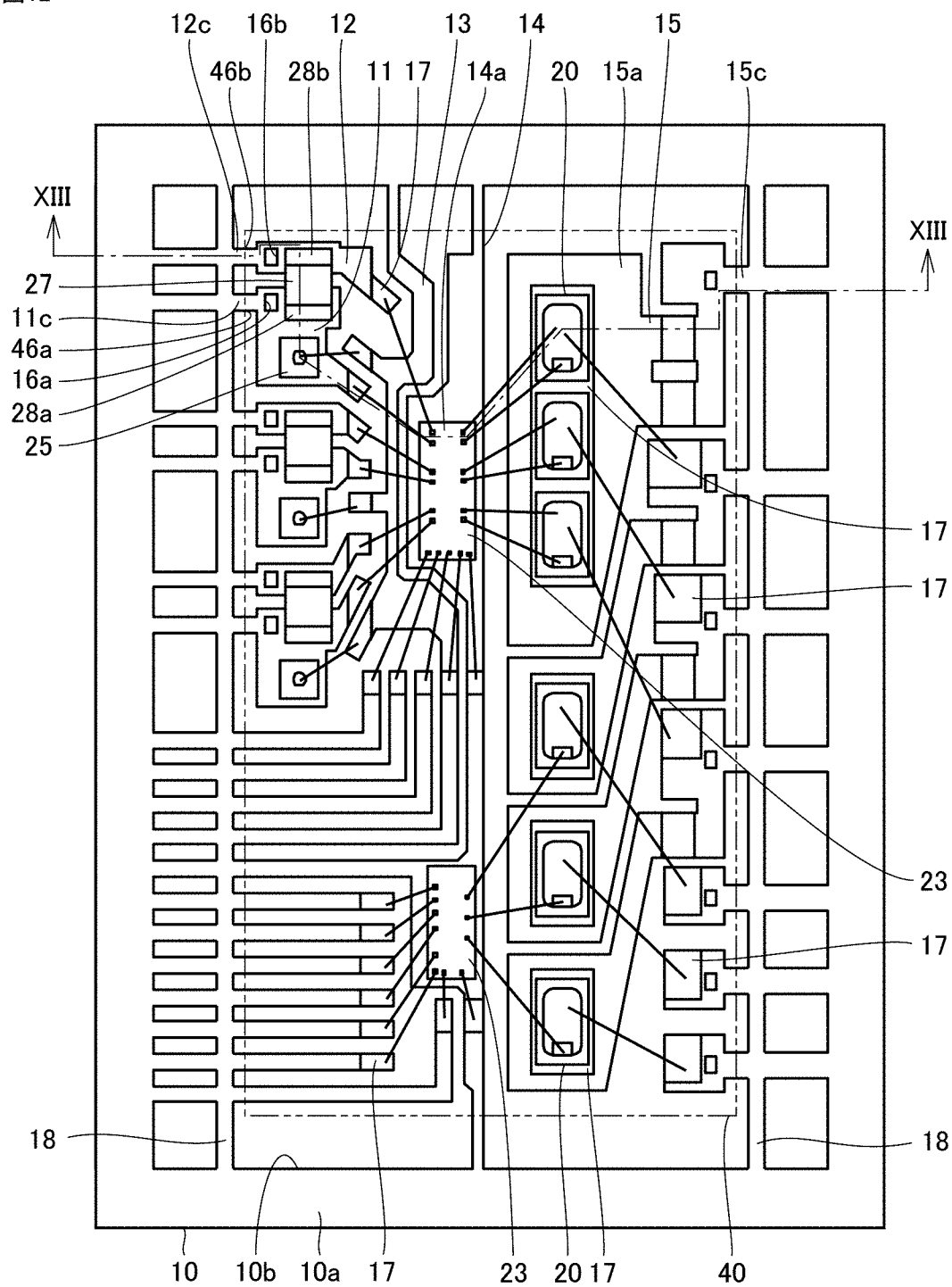


图13

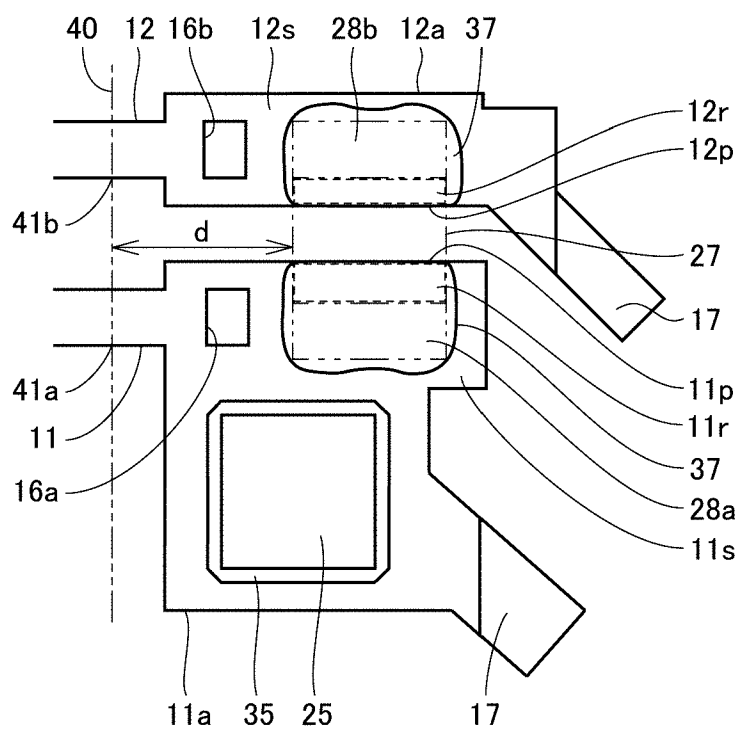


図15

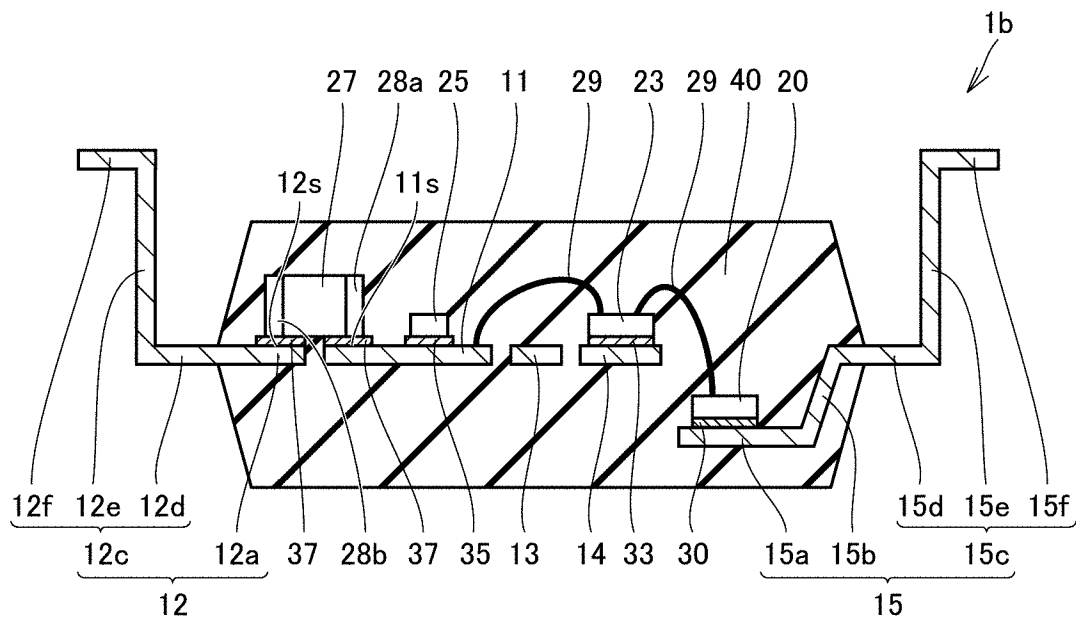
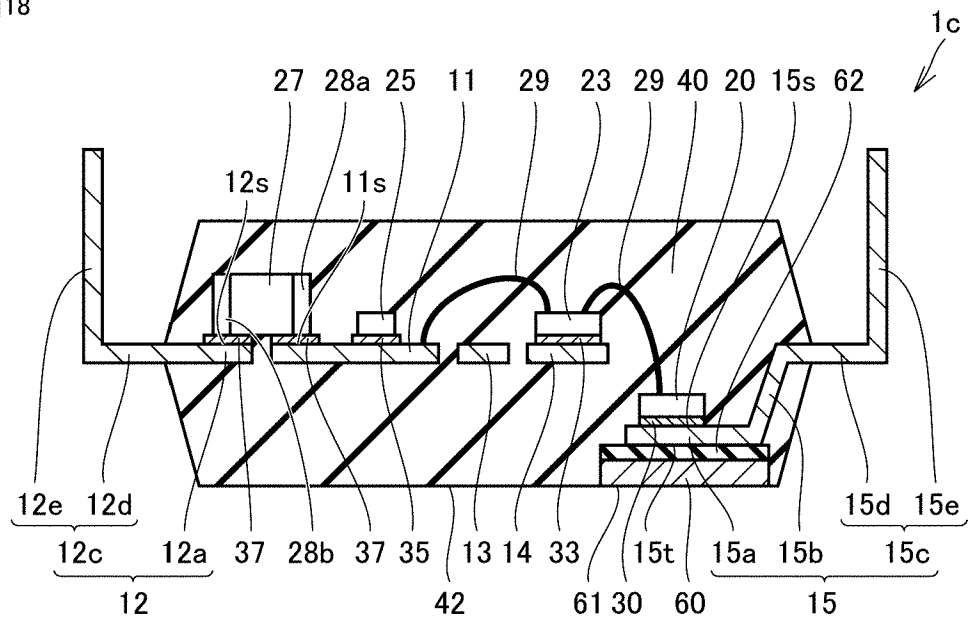
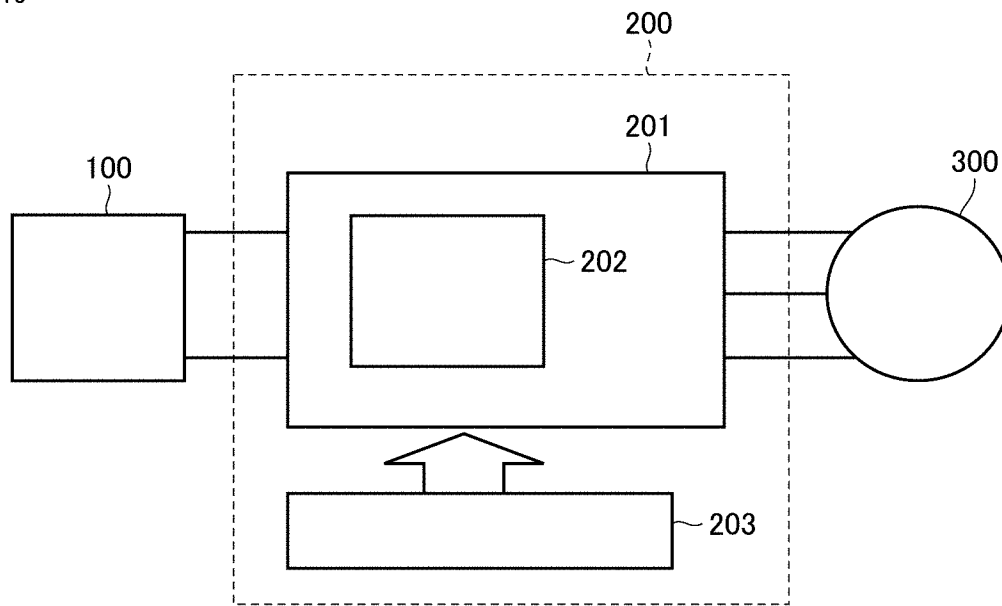


图17



[図19]

図19



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/016768

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L25/07 (2006.01) i, H01L23/48 (2006.01) i, H01L25/00 (2006.01) i, H01L25/18 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L25/07, H01L23/48, H01L25/00, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-156660 A (DENSO CORPORATION) 15 June 2006, entire text, all drawings (Family: none)	1-19
A	JP 2012-104633 A (MITSUBISHI ELECTRIC CORPORATION) 31 May 2012, entire text, all drawings (Family: none)	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21.06.2019

Date of mailing of the international search report

02.07.2019

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/016768

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-238906 A (DENSO CORPORATION) 24 November 2011, entire text, all drawings & US 2011/0291236 A1, entire text, all drawings & DE 102011002026 A1	1-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L25/07(2006.01)i, H01L23/48(2006.01)i, H01L25/00(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L25/07, H01L23/48, H01L25/00, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-156660 A (株式会社デンソー) 2006.06.15, 全文, 全図 (ファミリーなし)	1-19
A	JP 2012-104633 A (三菱電機株式会社) 2012.05.31, 全文, 全図 (ファミリーなし)	1-19

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

21.06.2019

国際調査報告の発送日

02.07.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

庄司 一隆

5 F

1215

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-238906 A (株式会社デンソー) 2011.11.24, 全文, 全図 & US 2011/0291236 A1, 全文, 全図 & DE 102011002026 A1	1-19