

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6057568号
(P6057568)

(45) 発行日 平成29年1月11日 (2017. 1. 11)

(24) 登録日 平成28年12月16日 (2016. 12. 16)

(51) Int. Cl.	F I
HO 4 N 5/365 (2011. 01)	HO 4 N 5/335 6 5 0
HO 4 N 5/369 (2011. 01)	HO 4 N 5/335 6 9 0
HO 4 N 5/3745 (2011. 01)	HO 4 N 5/335 7 4 5

請求項の数 11 (全 20 頁)

(21) 出願番号	特願2012-150839 (P2012-150839)	(73) 特許権者	000001007
(22) 出願日	平成24年7月4日 (2012. 7. 4)		キヤノン株式会社
(65) 公開番号	特開2014-14021 (P2014-14021A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成26年1月23日 (2014. 1. 23)	(74) 代理人	100090273
審査請求日	平成27年4月22日 (2015. 4. 22)		弁理士 國分 孝悦
		(72) 発明者	衣笠 友壽
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		審査官	鈴木 肇

最終頁に続く

(54) 【発明の名称】 光電変換装置

(57) 【特許請求の範囲】

【請求項 1】

光電変換部と前記光電変換部に接続されるセンサセル部書き込みスイッチとを含むセンサセル部と、

メモリ容量と前記メモリ容量に接続されるメモリセル部書き込みスイッチとを含むメモリセル部と、

前記センサセル部及び前記メモリセル部に接続される共通信号線とを有し、

前記メモリセル部は、前記光電変換部の信号を前記メモリ容量に保持する前に、前記センサセル部書き込みスイッチのオフ動作に伴う前記光電変換部の電位変動と、前記センサセル部の固定パターンノイズと、前記メモリセル部の固定パターンノイズとを含む信号を前記メモリ容量に保持することを特徴とする光電変換装置。

【請求項 2】

前記センサセル部は、前記光電変換部の光電変換信号と、前記センサセル部書き込みスイッチのオフ動作に伴う前記光電変換部の電位変動とを含む信号を前記共通信号線に出力し、

前記メモリセル部は、前記メモリ容量に保持されている信号を前記共通信号線に出力し、

さらに、前記センサセル部の出力信号と、前記メモリセル部の出力信号との差分信号を生成する転送部を有することを特徴とする請求項 1 記載の光電変換装置。

【請求項 3】

10

20

さらに、前記転送部により生成される差分信号を基にオートゲインコントロールを行うゲイン可変増幅部を有することを特徴とする請求項 2 記載の光電変換装置。

【請求項 4】

前記メモリセル部は、前記差分信号を前記メモリ容量に保持することを特徴とする請求項 2 又は 3 記載の光電変換装置。

【請求項 5】

前記転送部は、前記メモリ容量に保持されている前記差分信号と、前記転送部の固定パターンノイズとの差分信号を生成する請求項 4 記載の光電変換装置。

【請求項 6】

前記メモリセル部は、

メモリセル部アンプと、

前記メモリセル部アンプの出力信号を前記共通信号線に出力するためのメモリセル部選択スイッチとを有し、

前記メモリセル部選択スイッチをオンすることにより、前記メモリ容量に記憶されている前記センサセル部書き込みスイッチのオフ動作に伴う前記光電変換部の電位変動と、前記センサセル部の固定パターンノイズと、前記メモリセル部の固定パターンノイズとを含む信号を前記共通信号線に出力し、

前記メモリセル部書き込みスイッチをオンすることにより、前記メモリ容量に保持されている前記差分信号を前記共通信号線に出力することを特徴とする請求項 4 又は 5 記載の光電変換装置。

【請求項 7】

さらに、読み出し線を有し、

前記メモリセル部は、

メモリセル部アンプと、

前記メモリセル部アンプの出力信号を前記共通信号線に出力するためのメモリセル部選択スイッチと、

前記メモリ容量と前記読み出し線との間に設けられる読み出しスイッチとを有し、

前記メモリセル部選択スイッチをオンすることにより、前記メモリ容量に記憶されている前記センサセル部書き込みスイッチのオフ動作に伴う前記光電変換部の電位変動と、前記センサセル部の固定パターンノイズと、前記メモリセル部の固定パターンノイズとを含む信号を前記共通信号線に出力し、

前記読み出しスイッチをオンすることにより、前記メモリ容量に保持されている前記差分信号を前記読み出し線に出力することを特徴とする請求項 4 又は 5 記載の光電変換装置。

【請求項 8】

前記センサセル部は、前記光電変換部の信号に基づく信号を出力するセンサセル部反転アンプを有し、

前記メモリセル部は、前記メモリ容量に保持されている信号に基づく信号を出力するメモリセル部反転アンプを有することを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の光電変換装置。

【請求項 9】

前記センサセル部は、前記光電変換部の信号に基づく信号を出力するセンサセル部正転アンプを有し、

前記メモリセル部は、前記メモリ容量に保持されている信号に基づく信号を出力するメモリセル部正転アンプを有することを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の光電変換装置。

【請求項 10】

請求項 1 ~ 9 のいずれか 1 項に記載の光電変換装置を有する焦点検出装置。

【請求項 11】

請求項 10 記載の焦点検出装置と、

撮像装置と、
光学像を結像するレンズと
を有することを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置、焦点検出装置及び撮像システムに関する。

【背景技術】

【0002】

撮像システムにおいては、焦点を検出するAF (Auto Focusing) センサを備えることが一般的である。近年のAFセンサは測距点数の多点化のみならず焦点検出の高精度化が求められている。測距点数を増やす手段として、測距点を構成するリニアセンサを複数本並列に配置して列方向に共通配線で接続するエリアタイプが採用されている。エリアタイプAFの回路構成として、特許文献1には、センサセル部から出力された信号をメモリセル部に転送する転送系を備えた固体撮像装置が記載されている。センサ信号のSN比を上げてAFの測距精度を高めるために、特許文献1では、センサセル部及びメモリセル部に信号の反転出力機能を持たせてセンサセル部とメモリセル部自身の固定パターンノイズを除去している。

10

【0003】

また、AFセンサは、広いダイナミックレンジを実現するために、蓄積信号の最大値と最小値を検出して蓄積信号の振幅値を適切に制御する動作 (AGC: Auto Gain Control) を行うことが知られている。蓄積制御の精度はAF精度に関係するので、AGCに用いる蓄積信号もセンサの固定パターンノイズを除去することにより、AFの精度を高めることができる。特許文献1では、センサセル部と転送部の固定パターンノイズをセンサセル部に保持することで、蓄積信号から固定パターンノイズを除去している。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平9 - 200614号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1のようにセンサセル部に固定パターンノイズを保持すると、光電荷の検出容量を小さくしたときに不具合が生じるおそれがある。なぜなら、特許文献1におけるセンサセル部のスイッチ手段が新たなノイズ発生要因になるからである。スイッチ手段がMOSトランジスタで構成される場合、スイッチオフ時にゲート電位の変動がMOSトランジスタのソース、ドレインに伝搬する (クロックフィールドスルー)。また、スイッチオン時にゲート下に保持されたキャリアが、スイッチオフ時にソース又はドレインに移動する (チャージインジェクション)。これらのスイッチオフ時のソース、ドレインの電位変動量は、スイッチオフ直前のソース、ドレインの電位に依存する。すなわち、特許文献1のように、固定パターンノイズをスイッチ手段を介してセンサセル部のフォトダイオードに保持する場合、固体パターンノイズに相当するばらつきが画素間のソース、ドレイン電位に現れる。すると、前述したスイッチオフ時に生じる電位変動量も画素間で異なるため、フォトダイオードに保持される固定パターンノイズは本来除去すべき固定パターンノイズと異なる。その結果、AGC時に蓄積信号から固定パターンノイズを十分に除去できないのでAGC精度及びAF精度が低下する。

40

【0006】

近年、撮像素子の高感度化に伴いAFセンサも高感度化が求められている。センサの高感度化には検出容量を小さくすることであるが、上記した理由から、検出容量を小さくするとスイッチオフ時の電位変動が大きくなり、AGC精度が低下するという問題が生じて

50

いる。

【 0 0 0 7 】

本発明の目的は、固定パターンノイズを除去することができる光電変換装置、焦点検出装置及び撮像システムを提供することである。

【課題を解決するための手段】

【 0 0 0 8 】

光電変換装置は、光電変換部と前記光電変換部に接続されるセンサセル部書き込みスイッチとを含むセンサセル部と、メモリ容量と前記メモリ容量に接続されるメモリセル部書き込みスイッチとを含むメモリセル部と、前記センサセル部及び前記メモリセル部に接続される共通信号線とを有し、前記メモリセル部は、前記光電変換部の信号を前記メモリ容量に保持する前に、前記センサセル部書き込みスイッチのオフ動作に伴う前記光電変換部の電位変動と、前記センサセル部の固定パターンノイズと、前記メモリセル部の固定パターンノイズとを含む信号を前記メモリ容量に保持することを特徴とする。

10

【発明の効果】

【 0 0 0 9 】

本発明によれば、固定パターンノイズを除去することができる。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】第 1 の実施形態に係る光電変換装置の構成例を示す図である。

【図 2】第 1 の実施形態に係るラインセンサ部のブロック図である。

20

【図 3】第 1 の実施形態に係る光電変換装置の回路図である。

【図 4】第 2 の実施形態に係る光電変換装置の回路図である。

【図 5】第 4 の実施形態に係る光電変換装置の回路図である。

【図 6】第 1 の実施形態に係るタイミング図である。

【図 7】第 2 の実施形態に係るタイミング図である。

【図 8】第 3 の実施形態に係るタイミング図である。

【図 9】第 4 の実施形態に係るタイミング図である。

【図 1 0】第 1 の実施形態に係る第 1 のレイアウト図である。

【図 1 1】第 1 の実施形態に係る第 2 のレイアウト図である。

【図 1 2】第 5 の実施形態に係る A F センサのブロック図である。

30

【図 1 3】第 6 の実施形態に係る撮像システムの構成例図である。

【発明を実施するための形態】

【 0 0 1 1 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る位相差焦点検出 (Auto Focusing ; A F) 用の光電変換装置における撮像面を模式的に示した図である。撮像面には、対となるラインセンサ部 L 1 A と L 1 B、L 2 A と L 2 B、・・・、L N A と L N B が存在する。一对のラインセンサ部は、撮像面のある領域における被写体のデフォーカス量を測定するために用いられ、このラインセンサ部の対を複数配列することで測距点を複数設け、A F の精度を向上させることができる。ラインセンサ部 L 1 A ~ L N A、L 1 B ~ L N B の画素開口部の配置間隔を狭めて、二次元アレイ状に配置した構成をエリアタイプ A F センサと呼んでいる。各ラインセンサ部 L 1 A ~ L N A は、複数の単位画素 1 1 A、1 2 A、・・・を有し、各ラインセンサ部 L 1 B ~ L N B も、複数の単位画素 1 1 B、・・・を有する。

40

【 0 0 1 2 】

図 2 は、ラインセンサ部 L 1 A 及び L 2 A をより詳細に示したブロック図である。ラインセンサ部 L 1 A は、単位画素 1 1 A、1 2 A、・・・を有する。ラインセンサ部 L 2 A は、単位画素 2 1 A、2 2 A、・・・を有する。各単位画素 1 1 A、1 2 A、2 1 A、2 2 A は、センサセル部 1 0 0、第 1 メモリ部 1 0 1、及び第 2 メモリ部 1 0 2 を有し、共通信号線 1 1 2 に接続されている。また、異なるラインセンサ部 L 1 A 及び L 2 A の同様

50

の位置に存在する単位画素（例えば画素１１Ａ、２１Ａ、・・・）は、共通信号線１１２を介して、共通の転送部１１３に接続される。各転送部１１３は、共通のバッファアンプ１２３に接続される。ラインセンサ部Ｌ１Ｂ、Ｌ２Ｂ、・・・も、図２と同様の構成を有する。

【００１３】

図３は、図２の一部を抜き出した光電変換装置の構成例を示す図であり、特に単位画素１１Ａと、これに接続された転送部１１３とに着目して説明を行う。単位画素１１Ａは、センサセル部１００、第１メモリセル部１０１、及び第２メモリセル部１０２を有する。図３において、ＭＯＳトランジスタの制御電極並びにスイッチに付されたＰＳ１、ＳＬ１等は、不図示の制御部から供給される信号を意味している。

10

【００１４】

単位画素１１Ａに着目すると、センサセル部１００は、光電変換部であるフォトダイオード１０３、センサセル部書き込みスイッチ１０６、及びトランジスタＭ１１、Ｍ１２を有する。フォトダイオード１０３のアノードはセンサセル部書き込みスイッチ１０６の一方の端子とトランジスタＭ１１の制御電極に接続され、カソードは電源電圧ノードに接続される。トランジスタＭ１１は、負荷ＭＯＳトランジスタＭ１３とともに、ゲインが－１のソース接地反転アンプを構成する。センサセル部１００は、トランジスタＭ１１のセンサセル部反転アンプを介して、フォトダイオード１０３で光電変換された電荷量に基づく蓄積信号を共通信号線１１２に出力する。トランジスタＭ１１の反転アンプは、フォトダイオード１０３の信号に基づく信号を出力する。ＭＯＳトランジスタＭ１２は、センサセル部１００を選択するための選択スイッチとして機能する。センサセル部書き込みスイッチ１０６は、フォトダイオード１０３のアノードと共通信号線１１２との導通又は非導通を切り換えるもので、ＰＭＯＳトランジスタ、ＮＭＯＳトランジスタ、又はＣＭＯＳトランジスタなどで構成することができる。メモリセル部１０１及び１０２は、センサセル部１００に対して、フォトダイオード１０３をメモリ容量１０４及び１０５に置き換えた構成となっている。第１メモリセル部１０１は、メモリ容量１０４と、メモリ容量１０４に接続されるメモリセル部書き込みスイッチ１０７と、メモリセル部ソース接地反転アンプを構成するトランジスタＭ３１と、メモリセル部選択スイッチＭ３２とを有する。メモリセル部選択スイッチＭ３２は、トランジスタＭ３１の出力信号を共通信号線１１２に出力するためのスイッチである。トランジスタＭ３１のメモリセル部アンプは、メモリセル部反転アンプであり、メモリ容量１０４に保持されている信号に基づく信号を出力する。第２メモリセル部１０２は、メモリ容量１０５と、メモリ容量１０５に接続されるメモリセル部書き込みスイッチ１０８と、メモリセル部ソース接地反転アンプを構成するトランジスタＭ４１と、メモリセル部選択スイッチＭ４２とを有する。メモリセル部選択スイッチＭ４２は、トランジスタＭ４１の出力信号を共通信号線１１２に出力するためのスイッチである。トランジスタＭ４１のメモリセル部アンプは、メモリセル部反転アンプであり、メモリ容量１０５に保持されている信号に基づく信号を出力する。共通信号線１１２は、センサセル部１００、第１メモリセル部１０１及び第２メモリセル部１０２に接続される。

20

30

【００１５】

次に、転送部１１３について説明する。転送部１１３は、ＭＯＳトランジスタＭ２１、Ｍ２３、転送容量１１７及び定電流源１２４を有し、スイッチ１２０及び１２１を介して共通信号線１１２に接続可能である。ＭＯＳトランジスタＭ２１と定電流源１２４とでソースフォロワを形成している。共通信号線１１２は、トランスファースイッチ１２１とフィードバックスイッチ１２０に接続される。トランスファースイッチ１２１の他方の端子は、転送容量１１７の一方の端子Ａ及びＭＯＳトランジスタＭ２２の一方の主電極に接続される。ＭＯＳトランジスタＭ２２の他方の主電極は、基準電圧ＶＲＳのノードに接続される。光信号読み出しスイッチであるＭＯＳトランジスタＭ２４の一方の主電極は、バッファアンプ１２３に接続される。転送容量１１７の他方の端子Ｂは、ＭＯＳトランジスタＭ２１の制御電極及びＭＯＳトランジスタＭ２３の一方の主電極に接続される。ＭＯＳト

40

50

ランジスタM23の他方の主電極は、クランプ電圧VGRのノードに接続される。MOSトランジスタM21の一方の主電極は、電源電圧VDDのノードに接続される。MOSトランジスタM21の他方の主電極は、定電流源124、フィードバックスイッチ120の他方の端子、センサアレイ外部に配置されたモニタ部301及び光信号読み出しスイッチであるMOSトランジスタM24の他方の主電極に接続される。転送部113は、後述する動作により、センサセル部100から出力された信号とメモリセル部104, 105から出力された信号との差分処理を行う。

【0016】

図6は、図3に示すスイッチやMOSトランジスタの制御電極に与えられる信号を示している。以下では、図3及び6を参照しながら本実施形態に係る光電変換装置の駆動方法を説明する。各スイッチ及びMOSトランジスタは、図6に示す信号がハイレベルで導通し、ローレベルで非導通になる。信号Lは、ハイレベルのとき、トランジスタM11に電位VRSが入力された時、トランジスタM11と負荷MOSトランジスタM13で構成される反転アンプが電位VRSを出力するように一定の電流を駆動するゲート電位に設定される。

【0017】

図6において、期間(1)では、フォトダイオード103及びメモリ容量104, 105をリセットする動作が行われる。具体的な動作として、信号RS、FT、PS1、PS2__1、PS2__2及びGRがハイレベルになる。すると、センサセル部書き込みスイッチ106、メモリセル部書き込みスイッチ107, 108、トランスファースイッチ121、MOSトランジスタM22及びMOSトランジスタM23が導通する。これにより、フォトダイオード103及びメモリ容量104, 105が基準電圧VRSにリセットされるとともに、転送容量117の端子Aが基準電圧VRS、端子Bがクランプ電圧VGRにリセットされる。ここで、クランプ電圧VGRは、基準電位VRSに、センサセル部100、メモリセル部104, 105又は転送部113のセルフバイアスソースフォロワの閾値Vthを加えた、 $VGR = VRS + Vth$ に設定される。次に、信号PS1、PS2__1、PS2__2及びRSがローレベルになり、初期化動作が終了する。このとき、書き込みスイッチ106、107、108がオフする直前の両端の電位は、リセット電位にそろっているため、前述した書き込みスイッチオフ動作に伴う電位変動は各ビットで共通である。したがって、フォトダイオード103及びメモリ容量104, 105には、容量値に依存するkTCノイズのみ発生する。ここで、メモリ容量104及び105の容量値は、フォトダイオード103の検出容量に比べて十分大きい。例えば、フォトダイオード103の検出容量6fFに対して、メモリ容量104及び105の容量値は320fFである。メモリ容量104及び105の容量値は、メモリセル部101及び102の書き込みスイッチ107及び108がオフする際の電位変動、及びkTCノイズを十分無視できる程度に設計している。以下では、kTCノイズを含む書き込みスイッチ106のオフ時のフォトダイオード103の電位変動をNrstとする。信号PS1がローレベルになったタイミングから、センサセル部100の蓄積動作期間が開始する。

【0018】

その後、期間(2)でセンサセル部100の電位変動Nrst及びトランジスタM11のアンプの固定パターンノイズNsを転送部113を介してメモリセル部101、102に書き込む動作を行う。信号PS1、PS2__1、PS2__2及びRSがローレベルになった後に、信号SL1及びLがハイレベルになる。すると、リセット電位VRSにセンサセル部100の電位変動Nrst及びセンサセル部100の固定パターンノイズNsが加わった $VRS - Nrst + Ns$ が転送容量117の端子Aに書き込まれる。ここで、Nrstの符号が反転しているのは、反転アンプで-1のゲインが印加されているためである。そして、信号GRがローレベルになることにより、転送容量117の端子Bがフローティングになる。さらに、信号SL2__1がハイレベルになることにより、メモリセル部101からトランジスタM31の固定パターンノイズNm1を含んだ信号 $VRS + Nm1$ が出力される。転送容量117の端子Aが $VRS + Nm1$ に変化するので

10

20

30

40

50

、端子Bの電位は $VGR + Nrst - Ns + Nm1 = VRS + Vth + Nrst - Ns + Nm1$ になる。次に、信号FBがハイレベルになる。すると、転送容量117の端子Bに保持された $VRS + Vth + Nrst - Ns + Nm1$ に転送部113のソースフォロウのVthと固定パターンノイズNtが重畳された $VRS + Nrst - Ns + Nm1 + Nt$ が共通信号線112に出力される。この期間に信号PS2__1が一時的にハイレベルとなることで、電圧 $VRS + Nrst - Ns + Nm1 + Nt$ がメモリセル部101のメモリ容量104に書き込まれる。メモリセル部101は、フォトダイオード103の信号をメモリ容量104に保持する前に、電位変動Nrstと、センサセル部100の固定パターンノイズNsと、メモリセル部101の固定パターンノイズNm1とを含む信号をメモリ容量104に保持する。電位変動Nrstは、センサセル部書き込みスイッチ106のオフ動作に伴うフォトダイオード103の電位変動である。

10

【0019】

メモリセル部102に対しても同様の動作を行い、電圧 $VRS + Nrst - Ns + Nm2 + Nt$ がメモリセル部102のメモリ容量105に書き込まれる。ここで、Nm2は、メモリセル部102のトランジスタM41の固定パターンノイズである。メモリセル部102は、フォトダイオード103の信号をメモリ容量105に保持する前に、電位変動Nrstと、センサセル部100の固定パターンノイズNsと、メモリセル部102の固定パターンノイズNm2とを含む信号をメモリ容量105に保持する。

【0020】

期間(3)では、オートゲインコントロール(AGC)動作が行われる。信号SL1、L及びFTがハイレベルになるので、センサセル部100から共通信号線112にセンサセル部100で光電変換された信号S1に応じた信号 $VRS - S1 + Ns - Nrst$ が現れる。すなわち、センサセル部100は、フォトダイオード103の光電変換信号S1と、センサセル部書き込みスイッチ106のオフ動作に伴うフォトダイオード103の電位変動Nrstとを含む信号を共通信号線112に出力する。さらに、信号GRをハイレベルにするので、端子Bが $VGR (= VRS + Vth)$ にリセットされる。その後、信号GRをローレベルにして、転送容量117の端子Bをフローティングにする。

20

【0021】

次に、信号SL1をローレベルにした後、信号SL2__1がハイレベルになり、メモリセル部選択スイッチM32がオンする。期間(2)では、メモリセル部101のメモリ容量104に保持された $VRS + Nrst - Ns + Nm1 + Nt$ にメモリセル部101の固定パターンノイズNm1が加わる。これにより、メモリセル部101のメモリ容量104から共通信号線112を通して電圧 $VRS - Nrst + Ns - Nt$ が転送容量117の端子Aに出力される。このとき、転送容量117の端子Bは電圧 $VGR + S1 - Nt$ となり、転送部113から電圧 $VRS + S1$ が出力される。すなわち、転送部113は、上記のセンサセル部100の出力信号と、メモリセル部101の出力信号との差分信号を生成する。転送部113から電圧 $VRS + S1$ の出力がモニタ部301に入力されるので、モニタ部301ではノイズの影響のない光信号S1だけをモニタすることができる。期間(3)におけるセンサセル部100の出力は、モニタ部301にてリアルタイムで観測される。モニタ部301にはゲイン可変増幅部が含まれており、光信号波形の最大値及び最小値の検出結果に応じてゲインが可変され、所定の蓄積レベルに達すると蓄積終了のフラグを立てる。この動作をオートゲインコントロール(AGC)と呼ぶ。光信号蓄積中に期間(3)の動作を行うことにより、モニタ部301でフォトダイオード103の蓄積状況をリアルタイムにモニタできる。モニタ部301によるモニタ動作の結果、期間(3)で蓄積動作が終了した時点での、センサセル部100に保持される光信号をS2とする。メモリセル部102についても、期間(4)にて同様の動作を行う。モニタ部301によるモニタ動作の結果、期間(4)で蓄積動作が終了した時点での、センサセル部100に保持される光信号をS3とする。

30

40

【0022】

期間(5)では、蓄積終了後に、蓄積信号S2をメモリセル部101に保持する動作を

50

行う。信号 $SL1$ 、 L 及び FT がハイレベルになるので、センサセル部 100 から共通信号線 112 にセンサセル部 100 で光電変換された信号 $S2$ に応じた信号 $VRS - S2 + Ns - Nrst$ が現れる。すなわち、センサセル部 100 は、フォトダイオード 103 の光電変換信号 $S2$ と、センサセル部書き込みスイッチ 106 のオフ動作に伴うフォトダイオード 103 の電位変動 $Nrst$ とを含む信号を共通信号線 112 に出力する。さらに、信号 GR をハイレベルにするので、転送容量 117 の端子 B が電圧 $VGR (= VRS + Vth)$ にリセットされる。その後、信号 GR をローレベルにして、転送容量 117 の端子 A と端子 B をフローティングにする。次に、信号 $SL1$ をローレベルにした後、信号 $SL2_1$ がハイレベルになり、メモリセル部選択スイッチ $M32$ がオンする。すると、期間 (2) でメモリセル部 101 のメモリ容量 104 に保持された $VRS + N$ 10
 $rst - Ns + Nm1 + Nt$ にメモリセル部 101 の固定パターンノイズ $Nm1$ が加わる。これにより、メモリセル部 101 から共通信号線 112 を通して電圧 $VRS - Nrst + Ns - Nt$ が転送容量 117 の端子 A に出力される。このとき、転送容量 117 の端子 B は電圧 $VGR + S2 - Nt$ となり、信号 $PS2_1$ が一時的にハイレベルになることで、転送部 113 から出力された電圧 $VRS + S2$ がメモリセル部 101 のメモリ容量 104 に保持される。すなわち、転送部 113 は、上記のセンサセル部 100 の出力信号と、メモリセル部 101 の出力信号との差分信号を生成する。メモリセル部 101 は、その差分信号をメモリ容量 104 に保持する。

【0023】

期間 (6) では、期間 (2) の後半と同様にして、異なる蓄積時間の蓄積信号 $S3$ がメモリセル部 102 に保持される。信号 $SL1$ 、 L 及び FT がハイレベルになるので、センサセル部 100 から共通信号線 112 にセンサセル部 100 で光電変換された信号 $S3$ に応じた信号 $VRS - S3 + Ns - Nrst$ が現れる。すなわち、センサセル部 100 は、フォトダイオード 103 の光電変換信号 $S3$ と、センサセル部書き込みスイッチ 106 のオフ動作に伴うフォトダイオード 103 の電位変動 $Nrst$ とを含む信号を共通信号線 112 に出力する。さらに、信号 GR をハイレベルにするので、転送容量 117 の端子 B が電圧 $VGR (= VRS + Vth)$ にリセットされる。その後、信号 GR をローレベルにして、転送容量 117 の端子 A と端子 B をフローティングにする。次に、信号 $SL1$ をローレベルにした後、信号 $SL2_2$ がハイレベルになり、メモリセル部選択スイッチ $M42$ がオンする。すると、期間 (2) でメモリセル部 102 のメモリ容量 10
 5 に保持された $VRS + Nrst - Ns + Nm2 + Nt$ にメモリセル部 102 の固定パターンノイズ $Nm2$ が加わる。これにより、メモリセル部 102 から共通信号線 112 を通して電圧 $VRS - Nrst + Ns - Nt$ が転送容量 117 の端子 A に出力される。このとき、転送容量 117 の端子 B は電圧 $VGR + S3 - Nt$ となり、信号 $PS2_2$ が一時的にハイレベルになることで、転送部 113 から出力された電圧 $VRS + S3$ がメモリセル部 102 のメモリ容量 105 に保持される。すなわち、転送部 113 は、上記のセンサセル部 100 の出力信号と、メモリセル部 102 の出力信号との差分信号を生成する。メモリセル部 102 は、その差分信号をメモリ容量 105 に保持する。こうすることで、1 回の蓄積シーケンスでセンサセル部 100 から、異なる蓄積時間に基づく信号を取得することができる。これにより、1 回の蓄積シーケンスに同一ラインで複数の測距点を設ける
 40
 ことができるので、測距点の多点化又は高速な焦点検出動作が実現できる。

【0024】

期間 (7) では、メモリセル部 101 のメモリ容量 104 に保持した光信号をビット毎に読み出す動作を行う。信号 $SL2_1$ 、 L 、 GR 、 FT がハイレベルになる。すると、第 1 メモリセル部 101 のメモリ容量 104 に保持されていた光信号 $S2$ に、第 1 メモリセル部 101 のノイズ $Nm1$ が加わって、電圧 $VRS - S2 + Nm1$ が転送容量 117 の端子 A に与えられ、端子 B の電位は $VGR (= VRS + Vth)$ になる。その後、信号 FT がローレベルになることで、転送容量 117 の端子 A がフローティングになる。

【0025】

10

20

30

40

50

次に、信号 FB と $PS2_1$ がハイレベルになり、固定パターンノイズ N_t を含んだ転送部 113 の出力 $VRS + N_t$ がメモリセル部 101 に入力される。その後、信号 $PS2_1$ がローレベルになって、電圧 $VRS + N_t$ がメモリセル部 101 のメモリ容量 104 に保持される。

【0026】

次に、信号 GR をローレベルにして、転送容量 117 の端子 B をフローティングにする。さらに、信号 $SL2_1$ 、 L 、 FT がハイレベルになる。すると、第 1 メモリセル部 101 のメモリ容量 104 に保持されていた電圧 $VRS + N_t$ に、第 1 メモリセル部 101 のノイズ N_{m1} が加わる。これにより、電圧 $VRS - N_t + N_{m1}$ が転送容量 117 の端子 A に与えられ、端子 B の電位は $VGR + S2 - N_t = VRS + V_{th} + S2 - N_t$ になる。転送部 113 から出力される信号は、転送部 113 の固定パターンノイズ N_t が加わって $VRS + S2$ となる。すなわち、転送部 113 は、メモリ容量 104 に保持されている信号と、転送部 113 の固定パターンノイズ N_t との差分信号を生成する。結果的に、ノイズの影響が低減された信号が出力される。この期間に、シフトレジスタ 1006 (図 10) から信号 H が供給されると、信号 $S2$ がバッファアンプ 123 に伝達されて、後段の信号処理装置 906 (図 13) に出力される。

10

【0027】

期間 (8) では、メモリセル部 102 について異なる蓄積時間の蓄積信号 $S3$ を読み出す動作を行う。信号 $SL2_2$ 、 L 、 GR 、 FT がハイレベルになる。すると、第 2 メモリセル部 102 のメモリ容量 105 に保持されていた光信号 $S3$ に、第 2 メモリセル部 102 のノイズ N_{m2} が加わって、電圧 $VRS - S3 + N_{m2}$ が転送容量 117 の端子 A に与えられ、端子 B の電位は $VGR (= VRS + V_{th})$ になる。その後、信号 FT がローレベルになることで、転送容量 117 の端子 A がフローティングになる。

20

【0028】

次に、信号 FB と $PS2_2$ がハイレベルになり、固定パターンノイズ N_t を含んだ転送部 113 の出力 $VRS + N_t$ がメモリセル部 102 に入力される。その後、信号 $PS2_2$ がローレベルになって、電圧 $VRS + N_t$ がメモリセル部 102 のメモリ容量 105 に保持される。

【0029】

次に、信号 GR をローレベルにして、転送容量 117 の端子 B をフローティングにする。さらに、信号 $SL2_2$ 、 L 、 FT がハイレベルになる。すると、第 2 メモリセル部 102 のメモリ容量 105 に保持されていた電圧 $VRS + N_t$ に、第 2 メモリセル部 102 のノイズ N_{m2} が加わる。これにより、電圧 $VRS - N_t + N_{m2}$ が転送容量 117 の端子 A に与えられ、端子 B の電位は $VGR + S3 - N_t = VRS + V_{th} + S3 - N_t$ になる。転送部 113 から出力される信号は、転送部 113 の固定パターンノイズ N_t が加わって $VRS + S3$ となる。すなわち、転送部 113 は、メモリ容量 105 に保持されている信号と、転送部 113 の固定パターンノイズ N_t との差分信号を生成する。結果的に、ノイズの影響が低減された信号が出力される。この期間に、シフトレジスタ 1006 (図 10) から信号 H が供給されると、信号 $S3$ がバッファアンプ 123 に伝達されて、後段の信号処理装置 906 (図 13) に出力される。

30

40

【0030】

以上、説明したように、本実施形態では、センサセル部 100 の書き込みスイッチ 106 のオフ動作に伴うフォトダイオード 103 の電位変動 N_{rst} をメモリセル部 101 又は 102 に保持する。さらに、センサセル部 100 の固定パターンノイズ N_s と、メモリセル部 101 又は 102 の固定パターンノイズ N_m 、転送部 113 の固定パターンノイズ N_t をメモリセル部 101 又は 102 に保持する。

【0031】

また、蓄積モニタ及び蓄積信号保持動作において、以下の (a) 及び (b) の動作を行う。(a) 蓄積電圧 $S1$ とセンサセル部 100 の書き込みスイッチ 106 のオフ動作に伴うフォトダイオード 103 の電位変動 N_{rst} と、センサセル部 100 の固定パターンノ

50

イズNsを含むセンサセル部100の出力を得る。(b)センサセル部100の書き込みスイッチ106のオフ動作に伴うフォトダイオード103の電位変動Nrstと、センサセル部100の固定パターンノイズNsと、転送部113の固定パターンノイズNtを含むメモリセル部101又は102の出力を得る。そして、(a)と(b)の差分を演算して、転送部113から出力する。

【0032】

また、信号読み出し動作において、以下の(c)及び(d)の動作を行う。(c)光信号S2を保持したメモリセル部101の出力又は光信号S3を保持したメモリセル部102の出力と、(d)転送部113の固定パターンノイズNtを保持したメモリセル部101又は102の出力を得る。そして、(c)と(d)の差分を演算して、転送部113から出力する。

10

【0033】

仮に、センサセル部100にセンサセル部100と転送部113の固定パターンノイズを保持すると、書き込みスイッチ106がオフする際にフォトダイオード103の電位変動が発生する。書き込みスイッチ106がMOSトランジスタで構成される場合、スイッチオフ時にゲート電位の変動がMOSトランジスタのソース、ドレインに伝搬する(クロックフィールドスルー)。また、スイッチオン時にゲート下に保持されたキャリアが、スイッチオフ時にソース又はドレインに移動する(チャージインジェクション)。これらのスイッチオフ時のソース、ドレインの電位変動は、スイッチオフ直前のソース、ドレインの電位に依存する。すなわち、固定パターンノイズをスイッチ手段を介してセンサセル部100のフォトダイオード103に保持する場合、固定パターンノイズに相当するばらつきが画素間のソース、ドレイン電位に生じる。すると、前述したスイッチオフ時に生じる電位変動量もビット間で異なるため、フォトダイオード103に保持される固定パターンノイズは本来除去すべき固定パターンノイズと異なる。その結果、AGC時に蓄積信号から固定パターンノイズを十分に除去できないのでAF精度が低下する。

20

【0034】

本実施形態では、センサセル部100にセンサセル部100及び転送部113の固定パターンノイズを保持することなく、AGCと信号読み出しでノイズを除去した信号を読み出すことができる。センサセル部100の検出容量を小さくしても、書き込みスイッチ106のオフ動作に伴う電位変動の画素間バラツキが発生しない。よって、ノイズの少ない信号で精度よくAGCを行えるので、高精度なAFを実現することができる。その結果、エリアタイプAFにおいて、フォトダイオード103の検出容量を下げて、センサ感度を高めても、高精度なAFを実現することができる。

30

【0035】

本実施形態では、2つのメモリセル部101及び102を設けた例を説明したが、メモリセル部の数は1又は3以上であってもよい。3つ以上の場合には、期間(2)、(4)、(6)、(8)の動作に対応する操作を、追加したメモリセル部に対しても行う。

【0036】

図10及び図11は、図3に示した光電変換装置のレイアウト例を示す図である。図10では、ラインセンサ部1001は、図2のラインセンサ部L1A、L2A等に対応する。センサセル部1002は、図2の複数のセンサセル部100を有する。第1メモリセル部1003は、図2の複数の第1メモリセル部101を有する。第2メモリセル部1004は、図2の複数の第2メモリセル部102を有する。転送部1005は、図2の複数の転送部113を有する。シフトレジスタ1006は、信号Hを図3の回路に出力する。センサセル部1002と2つのメモリセル部1003、1004を一つの組として、その組を行列状に配列したものである。転送部1005及びシフトレジスタ1006は、各列に設けられた複数のセンサセル部1002とメモリセル部1003、1004に対して共通に設けられている。

40

【0037】

図11は、センサセル部1002のみが配列された領域と、メモリセル部1003及び

50

1004のみが配列された領域とに分けてレイアウトした場合の図である。このレイアウトにおいても、転送部1005及びシフトレジスタ1006は、各列に設けられた複数のセンサセル部1002とメモリセル部1003, 1004に対して共通に設けられている。

【0038】

また、転送部113は、複数列のラインセンサ部L1A, L2Aに対して1つ配置すればよいので、センサセル部100、メモリセル部101及び102と比較してレイアウト面積に余裕がある。一例として、転送部113にソースフォロワのオフセットを除去する機能を備えてもよい。その場合、本実施形態の信号伝搬の記述から転送部113の固定パターンノイズ N_{tr} を無視できる。

【0039】

(第2の実施形態)

図4は、本発明の第2の実施形態に係る光電変換装置の構成例を説明する図である。図3と共通する箇所は説明を省略する。図3と異なるのは、図3のゲイン-1の反転アンプが図4のゲイン1のソースフォロワの正転アンプに変更されている点である。セルフバイアストランジスタM11、M31、M41が負荷MOSトランジスタM13とともにゲインが1のソースフォロワ正転アンプを構成する。センサセル部100は、トランジスタM11のセンサセル部正転アンプを介して、フォトダイオード103で光電変換された電荷量に基づく蓄積信号を共通信号線112に出力する。メモリセル部101は、トランジスタM31のメモリセル部正転アンプを介して、メモリ容量104に保持されている信号に

【0040】

図7を用いて、本発明の第2の実施形態の動作を説明する。期間(1)の動作は第1の実施形態と同じなので説明を省略する。第1の実施形態と異なるのは、リセット電圧 V_{RS} と V_{GR} である。前述のソースフォロワアンプによる入出力電圧オフセット量を V_{th} とすると、それぞれ V_{RS} が V_{RS} から $V_{RS} + V_{th}$ に変更され、 V_{GR} が $V_{RS} + V_{th}$ から $V_{RS} + 2V_{th}$ に変更されている。ここで、 V_{th} は各画素に共通のオフセット量で、センサ内の代表的なソースフォロワ回路から決定される。

【0041】

期間(2)では、センサセル部100の電位変動 N_{rst} 及び固定パターンノイズ N_s を転送部113を介してメモリセル部101、102に書き込む動作を行う。信号 $PS1$ 、 $PS2_1$ 、 $PS2_2$ 及び RS がローレベルになった後に、信号 $SL2_1$ 及び L がハイレベルになる。すると、メモリセル部101から固定パターンノイズ N_{m1} を含んだ信号 $V_{RS} + N_{m1}$ が出力され、転送容量117の端子Aに書き込まれる。そして、信号 GR がローレベルになることで、転送容量117の端子Bがフローティングになる。次に、信号 $SL2_1$ がローレベルになって、信号 $SL1$ がハイレベルになることで、リセット電位 V_{RS} にセンサセル部100の電位変動 N_{rst} 及びセンサセル部100の固定パターンノイズ N_s が加わった $V_{RS} + N_{rst} + N_s$ が出力される。転送容量117の端子Aが $V_{RS} + N_{rst} + N_s$ に変化するので、転送容量117の端子Bの電位は $V_{GR} + N_{rst} + N_s - N_{m1} = V_{RS} + 2V_{th} + N_{rst} + N_s - N_{m1}$ になる。次に、信号 FB がハイレベルになる。すると、転送容量117の端子Bに保持された電圧 $V_{RS} + 2V_{th} + N_{rst} + N_s - N_{m1}$ に転送部113のソースフォロワの V_{th} と固定パターンノイズ N_t が重畳された電圧 $V_{RS} + V_{th} + N_{rst} + N_s - N_{m1} + N_t$ が共通信号線112に出力される。この期間に、信号 $PS2_1$ が一時的にハイレベルとなることで、電圧 $V_{RS} + V_{th} + N_{rst} + N_s - N_{m1} + N_t$ がメモリセル部101のメモリ容量104に書き込まれる。メモリセル部102に対しても同様の動作を行い、電圧 $V_{RS} + V_{th} + N_{rst} + N_s - N_{m2} + N_t$ がメモリセル部102のメモリ容量105に書き込まれる。ここで、 N_{m2} はメモリセル部102の固定

パターンノイズである。

【 0 0 4 2 】

期間 (3) では、A G C 動作が行われる。信号 $SL2_1$ 及び L 、 FT がハイレベルになるので、期間 (2) においてメモリセル部 1 0 1 のメモリ容量 1 0 4 に保持された電圧 $VRS + Vth + Nrst + Ns - Nm1 + Nt$ にメモリセル部 1 0 1 の固定パターンノイズ $Nm1$ が加わる。これにより、メモリセル部 1 0 1 から共通信号線を通して $VRS + Nrst + Ns + Nt$ が転送容量 1 1 7 の端子 A に出力される。さらに、信号 GR をハイレベルにするので、転送容量 1 1 7 の端子 B が電圧 $VGR (= VRS + 2Vth)$ にリセットされる。その後、信号 GR をローレベルにして、転送容量 1 1 7 の端子 B をフローティングにする。

10

【 0 0 4 3 】

次に、信号 $SL2_1$ がローレベルになって、信号 $SL1$ がハイレベルになるので、センサセル部 1 0 0 で光電変換された信号 $S1$ に応じた信号 $VRS + S1 + Ns + Nrst$ がセンサセル部 1 0 0 から転送容量 1 1 7 の端子 A に出力される。このとき、転送容量 1 1 7 の端子 B は電圧 $VGR + S1 - Nt$ となり、転送部 1 1 3 から電圧 $VRS + Vth + S1$ が出力される。モニタ部 3 0 1 における A G C 動作は、第 1 の実施形態と同様である。 Vth は各画素で共通のオフセット量なので、画素バラツキの要因にはならない。メモリセル部 1 0 2 についても、期間 (4) にて同様の動作を行う。

【 0 0 4 4 】

期間 (5) では、蓄積終了後に蓄積信号 $S2$ をメモリセル部 1 0 1 に保持する動作を行う。信号 $SL1$ 、 L 及び FT がハイレベルになるので、センサセル部 1 0 0 から共通信号線 1 1 2 にセンサセル部 1 0 0 で光電変換された信号 $S2$ に応じた信号 $VRS + S2 + Ns + Nrst$ が現れる。さらに、信号 GR をハイレベルにするので、転送容量 1 1 7 の端子 B が電圧 $VGR (= VRS + 2Vth)$ にリセットされる。その後、信号 GR をローレベルにして、転送容量 1 1 7 の端子 A と端子 B をフローティングにする。次に、信号 $SL1$ をローレベルにした後、信号 $SL2_1$ がハイレベルになる。すると、期間 (2) でメモリセル部 1 0 1 のメモリ容量 1 0 4 に保持された電圧 $VRS + Vth + Nrst + Ns - Nm1 + Nt$ にメモリセル部 1 0 1 の固定パターンノイズ $Nm1$ が加わる。これにより、メモリセル部 1 0 1 のメモリ容量 1 0 4 から共通信号線 1 1 2 を通して電圧 $VRS + Nrst + Ns + Nt$ が転送容量 1 1 7 の端子 A に出力される。このとき、転送容量 1 1 7 の端子 B は電圧 $VGR - S2 + Nt$ となり、信号 $PS2_1$ がハイレベルになることで、転送部 1 1 3 から出力された電圧 $VRS + Vth - S2 + 2Nt$ がメモリセル部 1 0 1 のメモリ容量 1 0 4 に保持される。

20

30

【 0 0 4 5 】

期間 (6) では、期間 (5) と同様にして、異なる蓄積時間の蓄積信号 $S3$ がメモリセル部 1 0 2 のメモリ容量 1 0 5 に保持される。こうすることで、1 回の蓄積シーケンスでセンサセル部 1 0 0 から、異なる蓄積時間に基づく信号を取得することができる。これにより、1 回の蓄積シーケンスに同一ラインで複数の測距点を設けることができるので、測距点の多点化又は高速な焦点検出動作が実現できる。

【 0 0 4 6 】

40

期間 (7) では、メモリセル部 1 0 1 に保持した光信号をビット毎に読み出す動作である。信号 $SL2_1$ 、 L 、 GR 、 FT がハイレベルになる。すると、第 1 メモリセル部 1 0 1 のメモリ容量 1 0 4 に保持されていた電圧 $VRS + Vth - S2 + 2Nt$ に、第 1 メモリセル部 1 0 1 のノイズ $Nm1$ が加わる。これにより、電圧 $VRS - S2 + Nm1 + 2Nt$ が転送容量 1 1 7 の端子 A に与えられ、転送容量 1 1 7 の端子 B の電位は電圧 $VGR (= VRS + 2Vth)$ になる。その後、信号 FT がローレベルになることで、転送容量 1 1 7 の端子 A がフローティングになる。

【 0 0 4 7 】

次に、信号 FB と $PS2_1$ がハイレベルになり、固定パターンノイズ Nt を含んだ転送部 1 1 3 の出力 $VRS + Vth + Nt$ がメモリセル部 1 0 1 に入力される。その後

50

、信号 $PS2_1$ がローレベルになって、電圧 $VRS + Vth + Nt$ がメモリセル部 101 のメモリ容量 104 に保持される。

【0048】

次に、信号 GR をローレベルにして、転送容量 117 の端子 B をフローティングにする。さらに、信号 $SL2_1$ 、 L 、 FT がハイレベルになると、第 1 メモリセル部 101 のメモリ容量 104 に保持されていた固定パターンノイズ Nt に、第 1 メモリセル部 101 のノイズ $Nm1$ が加わる。これにより、電圧 $VRS + Nt + Nm1$ が転送容量 117 の端子 A に与えられ、転送容量 117 の端子 B の電位は $VGR + S2 - Nt = VRS + 2Vth + S2 - Nt$ になる。転送部 113 から出力される信号は、転送部 113 の固定パターンノイズ Nt が加わって、電圧 $VRS + Vth + S2$ となる。結果的に、ノイズの影響が低減された信号が出力される。この期間に、シフトレジスタ 1006 (図 10) から信号 H が供給されると、信号 $S2$ がバッファアンプ 123 に伝達されて、後段の信号処理装置 906 (図 13) に出力される。

10

【0049】

期間 (8) では、期間 (7) と同様にして、メモリセル部 102 について異なる蓄積時間の蓄積信号 $S3$ を読み出す動作を行う。

【0050】

以上、説明したように、本実施形態では、センサセル部 100 とメモリセル部 101, 102 の出力を第 1 の実施形態の反転出力から、セルフバイアスソースフォロワの正転出力に変更している。センサセル部 100 とメモリセル部 101, 102 が正転出力であっても、センサセル部 100、メモリセル部 101, 102、転送部 113 で発生する固定パターンノイズを除去できるように、駆動パターンを変更する。

20

【0051】

第 1 の実施形態で用いている反転アンプは、省レイアウトと出力特性を両立させることが困難である。なぜなら、差動アンプと帰還容量で構成されるスイッチトキャパシタを用いると、レイアウト面積が大きくなる。AF センサは、光学系によりファインダー上の測距点配置によりセンサ上の画素開口位置が限定されるので、反転アンプのレイアウトが大きくなると、測距点を密に配置できず、AF 特性を悪化させる要因になる。

【0052】

また、第 1 の実施形態で用いているソース接地反転アンプは、基板バイアス効果で出力の線形性が悪化する。また、反転アンプの入力に応じて駆動電流が大きく変化するので、センサの省電力と回路応答性を両立させることが難しい。さらに、反転アンプのトランジスタの相対バラツキによって、出力のゲインが変化して $PRNU$ を悪化しやすい。

30

【0053】

一方、本実施形態のように、セルフバイアスソースフォロワの正転出力を用いることで、ソース接地の反転アンプに対して、良好な線形性、安定した駆動電流、相対バラツキが $PRNU$ に影響しにくいといった利点を得られる。

【0054】

(第 3 の実施形態)

図 8 を用いて、本発明の第 3 の実施形態の光電変換装置の動作を説明する。期間 (1) ~ (6) の動作は第 1 の実施形態と同じなので説明を省略する。

40

【0055】

期間 (7) において、信号 $PS2_1$ をシフトレジスタで各画素について順次ハイレベルにすると、メモリセル部書き込みスイッチ 107 がオンする。信号 $PS2_1$ に対して、相補的に、信号 RS と FT をハイレベルにする。その結果、前期間までにメモリ容量 104 に保持されていた光信号 $S2$ が共通信号線 112 を介してバッファアンプ 123 の入力に伝搬するので、画素信号を順次読み出すことができる。バッファアンプ 123 に入力される電圧は、共通信号線 112 とバッファアンプ 123 の寄生容量とメモリ容量 104 の容量比で決定される。

【0056】

50

期間(8)では、期間(7)と同様にして、メモリセル部102について異なる蓄積時間の蓄積信号S3を読み出す動作を行う。信号PS2__2をシフトレジスタで各画素について順次ハイレベルにする。信号PS2__2に対して、相補的に、信号RSとFTをハイレベルにする。その結果、前期間までにメモリ容量105に保持されていた光信号S3が共通信号線112を介してバッファアンプ123の入力に伝搬するので、画素信号を順次読み出すことができる。バッファアンプ123に入力される電圧は、共通信号線112とバッファアンプ123の寄生容量とメモリ容量105の容量比で決定される。

【0057】

以上、説明したように、本実施形態では、メモリセル部101及び102に保持されていた蓄積信号を、メモリ容量104及び105に直接接続したスイッチ107及び108を介して共通信号線112へ電荷転送で読み出すことができる。

10

【0058】

これにより、第1及び第2の実施形態の期間(7)、(8)で行っていた、メモリセル部101、102の固定パターンノイズNm除去のための、メモリセル部101、102と転送部113間の信号伝搬動作を省くことができる。また、電荷転送は、スイッチ107及び108のオン抵抗と共通信号線112の寄生容量で時定数が決定されるため、転送部113の反転アンプの出力に比べて、高速な読み出し速度を実現することができる。本実施形態は、第2の実施形態の図4の回路にも適用することができる。

【0059】

(第4の実施形態)

20

図5は、本発明の第4の実施形態に係る光電変換装置の構成例を説明する図である。図3と共通する箇所は説明を省略する。本実施形態は、図3に対して、図3の信号HのスイッチM24とバッファアンプ123で構成される読み出し経路が、図5の信号H1及びH2の読み出しスイッチ501及び502と、信号CLの初期化スイッチ126に変更されている。読み出しスイッチ501及び502は、シフトレジスタで駆動される信号H1及びH2により制御される。初期化スイッチ126は、読み出しスイッチ501及び502に接続される読み出し線125を所定の電位に初期化するためのスイッチである。メモリセル部101は、メモリ容量104と読み出し線125との間に設けられる読み出しスイッチ501を有する。メモリセル部102は、メモリ容量105と読み出し線125との間に設けられる読み出しスイッチ502を有する。

30

【0060】

図9を用いて、本発明の第4の実施形態の光電変換装置の動作を説明する。期間(1)~(6)の動作は、第1及び第3の実施形態と同じなので説明を省略する。

【0061】

期間(7)において、シフトレジスタで各画素順次オンされる信号H1の読み出しスイッチ501と、信号CLの初期化スイッチ126とが交互にオンさせる。その結果、前期間までにメモリ容量104に保持されていた光信号S2が読み出し線125を介してバッファアンプ123の入力に伝搬するので、画素信号を順次読み出すことができる。バッファアンプ123に入力される電圧は、読み出し線125とバッファアンプ123の寄生容量とメモリ容量104の容量比で決定される。

40

【0062】

期間(8)はメモリセル部102について異なる蓄積時間の蓄積信号S3を読み出す動作である。シフトレジスタで各画素順次オンされる信号H2の読み出しスイッチ502と、信号CLの初期化スイッチ126とが交互にオンさせる。その結果、前期間までにメモリ容量105に保持されていた光信号S3が読み出し線125を介してバッファアンプ123の入力に伝搬するので、画素信号を順次読み出すことができる。バッファアンプ123に入力される電圧は、読み出し線125とバッファアンプ123の寄生容量とメモリ容量105の容量比で決定される。

【0063】

以上、説明したように、本実施形態では、メモリセル部101及び102に保持されて

50

いた蓄積信号を、メモリ容量 104 及び 105 に直接接続した読み出しスイッチ 501 及び 502 を介して読み出し線 125 へ電荷転送で読み出すことができる。第 3 の実施形態では、メモリ容量 104 及び 105 から共通信号線 112 へ電荷転送を行っていた。信号読み出し用の読み出し線 125 を用いることで、信号読み出し時には動作しない素子の接続数を最小限に抑えられる。その結果、第 3 の実施形態の共通信号線 112 の寄生容量に比べて、読み出し線 125 の寄生容量を小さくできるので、読み出し速度の高速化と SN 向上を実現できる。本実施形態は、第 2 の実施形態の図 4 の回路にも適用することができる。

【0064】

(第 5 の実施形態)

図 12 は、本発明の第 5 の実施形態に係る位相差検出方式の焦点検出装置（以下 AF センサと称す）811 の構成例を示す図である。AF センサ 811 は、第 1 ～ 第 4 の実施形態の光電変換装置を有する。AF センサ 811 は、ラインセンサ部 L1A、L2A、・・・及び L1B、L2B、・・・が配列されたセンサブロックと、外部インターフェースと AF センサのタイミング信号を生成する機能を持つロジックブロック 801、アナログ回路ブロック 810 とを有する。アナログ回路ブロック 810 は、AGC 回路 802 ～ 805 を有し、ラインセンサ部 L1A ～ LNA、L1B ～ LNB からの信号のモニタリングや、蓄積時間の制御を行う。アナログ回路ブロック 810 は、さらに、光電変換装置で用いられる参照電圧や参照電流を生成する参照電圧電流生成回路 806、温度計回路 807 等を有する。端子 813 及び 814 は、外部通信端子である。ロジックブロック 801 は、シリアル通信端子 812 を介して外部とのシリアル通信によって AF センサ 811 の駆動タイミングを制御する。本実施形態においても、第 1 ～ 第 4 の実施形態で説明した光電変換装置を用いることで、高速かつ高精度な焦点検出動作が実現できる。

【0065】

(第 6 の実施形態)

図 13 は、本発明の第 6 の実施形態に係る撮像システムの構成例を示すブロック図である。901 は後述するレンズ 902 のプロテクトを行うバリア、902 は被写体の光学像を固体撮像装置 904 に結像するレンズ、903 はレンズ 902 を通過した光量を調整するための絞りである。904 はレンズ 902 で結像された被写体の光学像を画像信号として取得する固体撮像装置である。905 は先述の各実施形態で説明した光電変換装置を有する AF センサである。906 は固体撮像装置 904 や AF センサ 905 から出力される信号を処理するアナログ信号処理装置、907 は信号処理装置 906 から出力された信号をアナログデジタル変換する A/D 変換器である。908 は A/D 変換器 907 より出力された画像データに対して各種の補正や、データを圧縮するデジタル信号処理部である。909 は画像データを一時記憶するためのメモリ部、910 は外部コンピュータなどと通信するための外部 I/F 回路、911 はデジタル信号処理部 908 などに各種タイミング信号を出力するタイミング発生部である。912 は各種演算とカメラ全体を制御する全体制御・演算部、913 は記録媒体制御 I/F 部、914 は取得した画像データを記録、又は読み出しを行うための半導体メモリなどの着脱可能な記録媒体、915 は外部コンピュータである。

【0066】

次に、上記の撮像システムの撮影時の動作について説明する。バリア 901 がオープンされ、AF センサ 905 から出力された信号を基に、全体制御・演算部 912 は位相差検出により被写体までの距離を演算する。その後、演算結果に基づいてレンズ 902 を駆動し、再び合焦しているか否かを判断し、合焦していないと判断したときには、再びレンズ 902 を駆動するオートフォーカス制御を行う。次いで、合焦が確認された後に固体撮像装置 904 による蓄積動作が始まる。固体撮像装置 904 の蓄積動作が終了すると、固体撮像装置 904 から出力された画像信号は A/D 変換器 907 でアナログデジタル変換され、デジタル信号処理部 908 を通り全体制御・演算部 912 によりメモリ部 909 に書き込まれる。その後、メモリ部 909 に蓄積されたデータは、全体制御・演算部 912 の

10

20

30

40

50

制御により、記録媒体制御 I / F 部 9 1 0 を介して記録媒体 9 1 4 に記録される。また、外部 I / F 部 9 1 0 を通り直接コンピュータなどに入力してもよい。

【 0 0 6 7 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

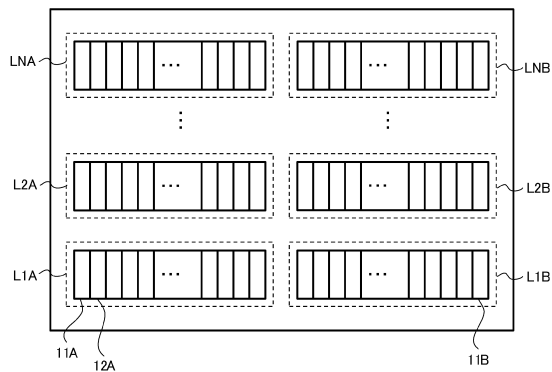
【符号の説明】

【 0 0 6 8 】

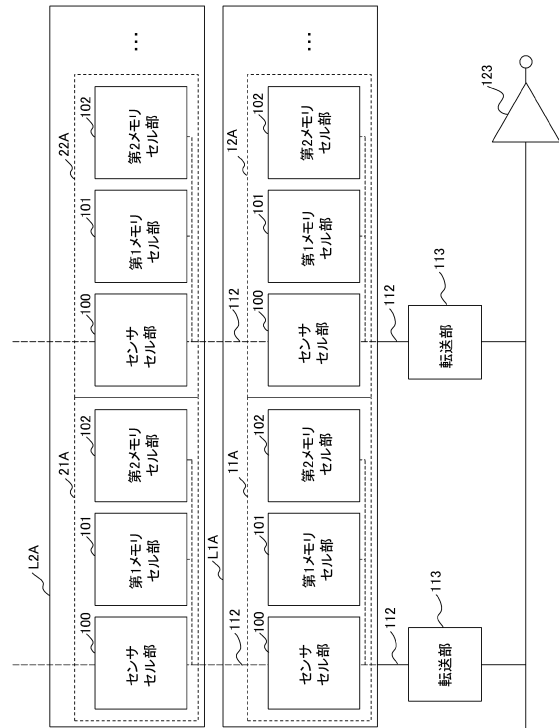
1 0 0 センサセル部、1 0 1 第 1 メモリセル部、1 0 2 第 2 メモリセル部、1 0 3 フォトダイオード、1 0 4 , 1 0 5 メモリ容量、1 0 6 センサセル部書き込みスイッチ、1 0 7 , 1 0 8 メモリセル部書き込みスイッチ、1 1 2 共通信号線、1 1 3 転送部

10

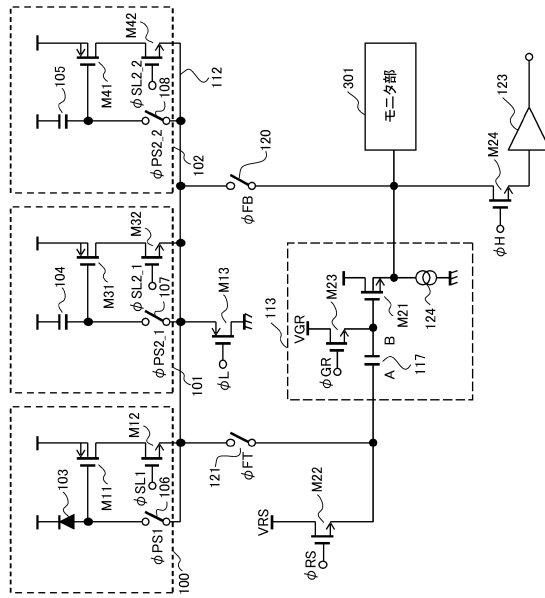
【 図 1 】



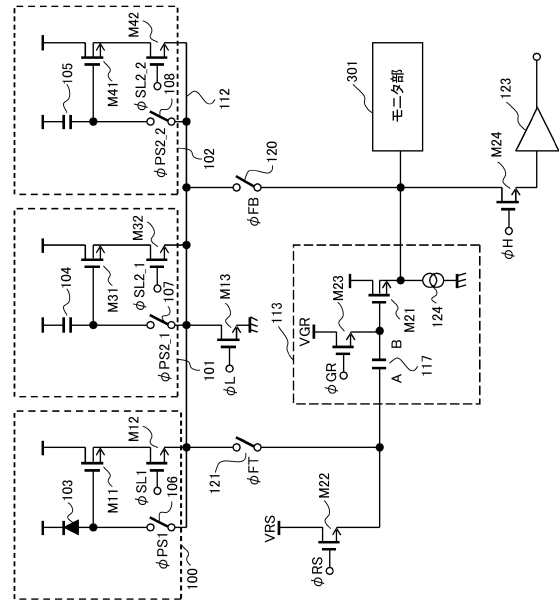
【 図 2 】



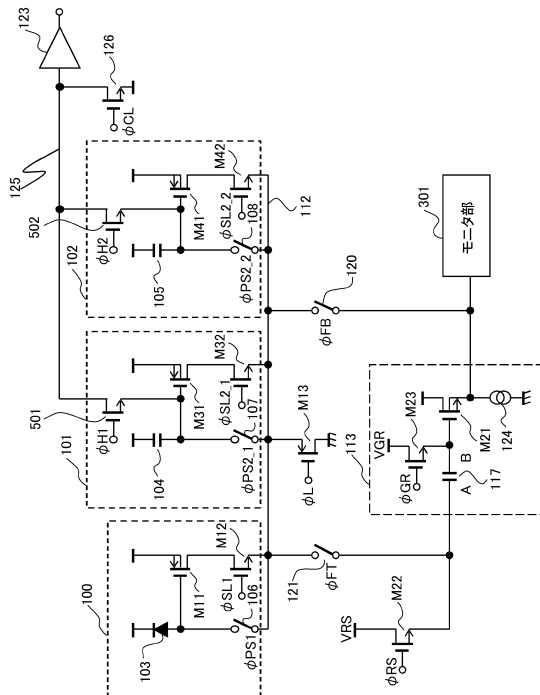
【図 3】



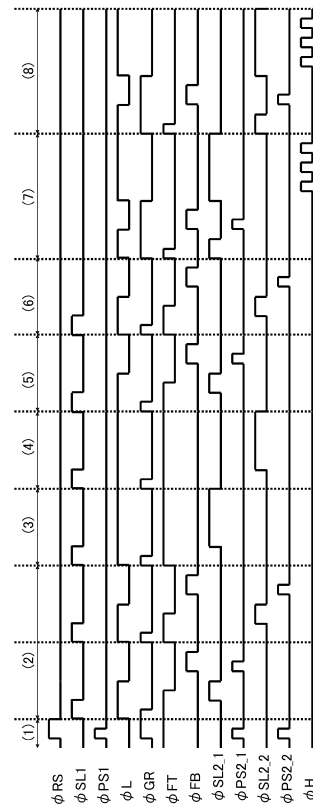
【図 4】



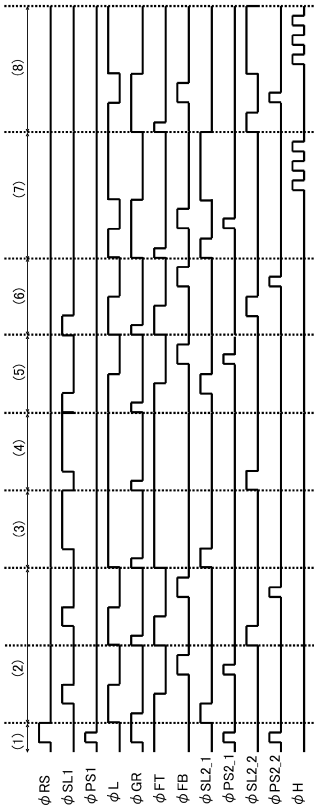
【図 5】



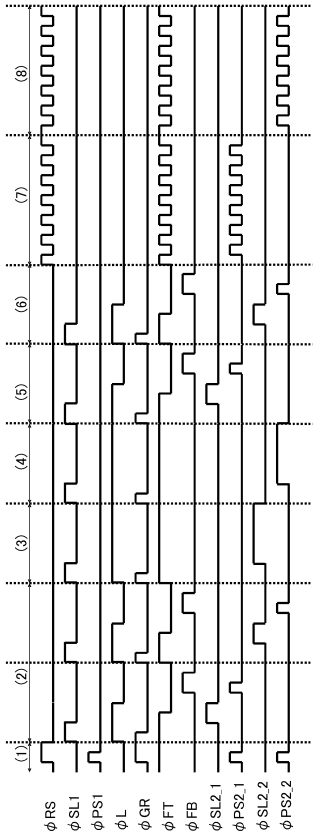
【図 6】



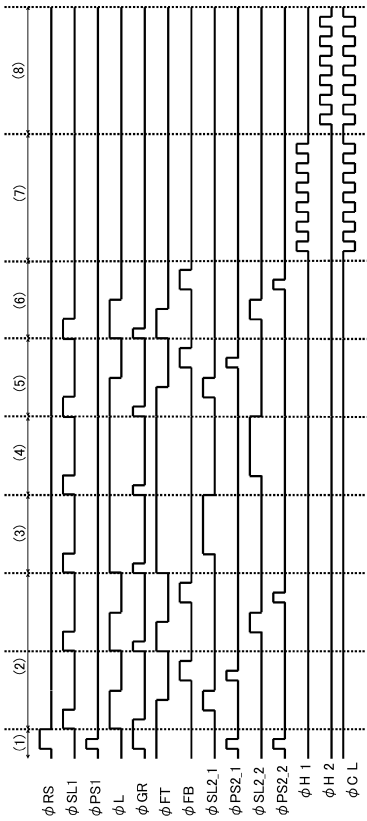
【図 7】



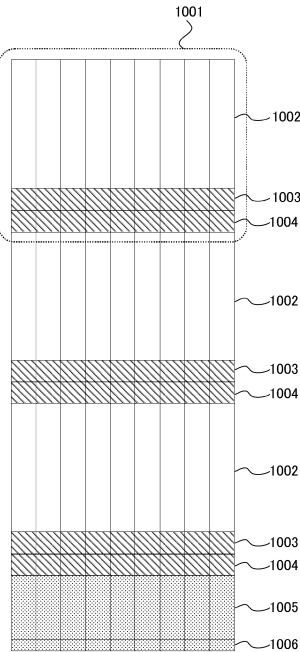
【図 8】



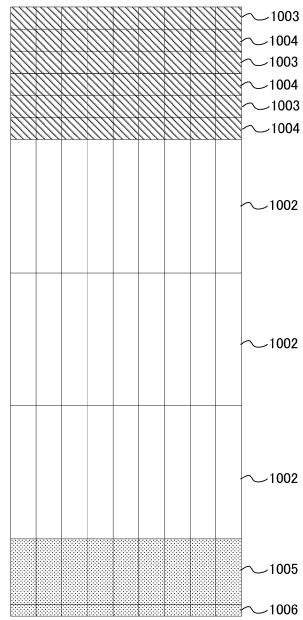
【図 9】



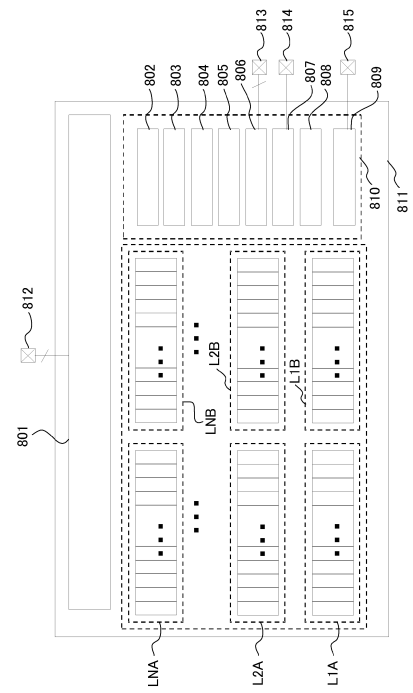
【図 10】



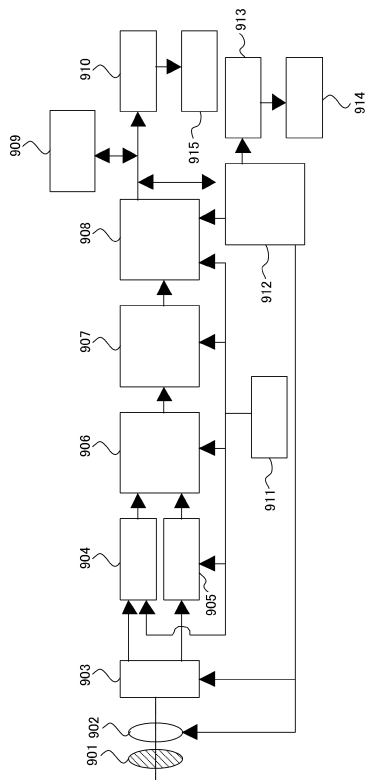
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(56)参考文献 特開2011-120175(JP,A)
特開平09-200614(JP,A)
特開2003-259223(JP,A)
特開2012-124439(JP,A)
特開2010-200276(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N	5/30	-	5/378
H01L	21/339		
H01L	27/14	-	27/148
H01L	29/762		