

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4277381号
(P4277381)

(45) 発行日 平成21年6月10日(2009.6.10)

(24) 登録日 平成21年3月19日(2009.3.19)

(51) Int.Cl.

F I

H O 1 L 29/12 (2006.01)

H O 1 L 29/78 6 5 2 T

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 3 7 1

H O 1 L 21/8247 (2006.01)

H O 1 L 29/78 6 5 2 K

H O 1 L 29/788 (2006.01)

H O 1 L 29/792 (2006.01)

請求項の数 6 (全 19 頁)

(21) 出願番号 特願平11-267534
 (22) 出願日 平成11年9月21日(1999.9.21)
 (65) 公開番号 特開2001-94099(P2001-94099A)
 (43) 公開日 平成13年4月6日(2001.4.6)
 審査請求日 平成17年12月20日(2005.12.20)

(73) 特許権者 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 100100022
 弁理士 伊藤 洋二
 (74) 代理人 100108198
 弁理士 三浦 高広
 (74) 代理人 100111578
 弁理士 水野 史博
 (72) 発明者 大矢 信之
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 山本 剛
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内

最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

主表面及び主表面と反対面である裏面を有し、炭化珪素よりなる第1導電型の半導体基板(1)と、

前記半導体基板の主表面上に形成され、前記半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)と、

前記半導体層の表層部の所定領域に形成され、所定深さを有する第2導電型のベース領域(3a、3b)と、

前記ベース領域の表層部の所定領域に形成され、該ベース領域の深さよりも浅い第1導電型のソース領域(4a、4b)と、

前記ベース領域の表面部及び前記半導体層の表面部において、前記ソース領域と前記半導体層とを繋ぐように形成され、チャンネル領域を形成する炭化珪素よりなる第1導電型の表面チャンネル層(5)と、

前記表面チャンネル層の表面に形成されたゲート絶縁膜(7a、7b)と、

前記ゲート絶縁膜の上に形成されたゲート電極(8)と、

前記ベース領域及び前記ソース領域に接触するように形成されたソース電極(10)と、

、

前記半導体基板の裏面に形成されたドレイン電極(11)とを備え、

前記ゲート絶縁膜は、第1のゲート絶縁膜(7a、57a)と第2のゲート絶縁膜(7b、57b)とを有して構成されており、該第1、第2のゲート絶縁膜の間には導電性の

フローティングゲート（１２、６０）が配置され、該フローティングゲートに前記電荷を保持することにより、前記ゲート電極と前記表面チャネル層との間に電荷が保持できる機構が構成され、

前記半導体基板は、前記チャネル領域を形成してＭＯＳ動作を行うＭＯＳ動作領域と、該ＭＯＳ動作領域とは異なる位置に設けられた書き込み領域とを有しており、

前記フローティングゲートは、前記ＭＯＳ動作領域から前記書き込み領域まで延設され、該書き込み領域において、前記電荷が注入されるようになっており、

さらに、前記書き込み領域には、

前記フローティングゲート上に形成され、前記ＭＯＳ動作領域における前記ゲート電極とは電氣的に接続されていない、書き込み用ゲートと、

前記書き込み用ゲートに接続された書き込み用端子と、が備えられており、

前記表面チャネル層は、前記電荷が保持できる機構に電荷が保持されていない状態においては、前記ゲート電極に電圧が印加されない条件においても前記ソース電極と前記ドレイン電極の間の電氣的導通が可能となっていることを特徴とする炭化珪素半導体装置。

【請求項２】

主表面及び主表面と反対面である裏面を有し、炭化珪素よりなる半導体基板（５１）と、

前記半導体基板の表層部の所定領域に形成され、所定深さを有する第２導電型のウェル領域（５３）と、

前記ウェル領域の表層部の所定領域に形成され、該ウェル領域の深さよりも浅い第１導電型のソース領域（５４ａ）とドレイン領域（５４ｂ）と、

前記ウェル領域の表面部において、前記ソース領域（５４ａ）と前記ドレイン領域（５４ｂ）とを繋ぐように形成された、チャネル領域を形成する炭化珪素よりなる第１導電型の表面チャネル層（５５）と、

前記表面チャネル層の表面に形成されたゲート絶縁膜（５７ａ、５７ｂ）と、前記ゲート絶縁膜の上に形成されたゲート電極（５８）と、

前記ソース領域（５４ａ）に形成されたソース電極と、

前記ドレイン領域に形成されたドレイン電極と、

前記ウェル領域に形成された基板電極とを備え、

前記ゲート絶縁膜は、第１のゲート絶縁膜（７ａ、５７ａ）と第２のゲート絶縁膜（７ｂ、５７ｂ）とを有して構成されており、該第１、第２のゲート絶縁膜の間には導電性のフローティングゲート（１２、６０）が配置され、該フローティングゲートに前記電荷を保持することにより、前記ゲート電極と前記表面チャネル層との間に電荷が保持できる機構が構成され、

前記半導体基板は、前記チャネル領域を形成してＭＯＳ動作を行うＭＯＳ動作領域と、該ＭＯＳ動作領域とは異なる位置に設けられた書き込み領域とを有しており、

前記フローティングゲートは、前記ＭＯＳ動作領域から前記書き込み領域まで延設され、該書き込み領域において、前記電荷が注入されるようになっており、

さらに、前記書き込み領域には、

前記フローティングゲート上に形成され、前記ＭＯＳ動作領域における前記ゲート電極とは電氣的に接続されていない、書き込み用ゲートと、

前記書き込み用ゲートに接続された書き込み用端子と、が備えられており、

前記表面チャネル層は、前記電荷が保持できる機構に電荷が保持されていない状態においては、前記ゲート電極に電圧が印加されない条件においても前記ソース電極と前記ドレイン電極の間の電氣的導通が可能となっていることを特徴とする炭化珪素半導体装置。

【請求項３】

前記ゲート絶縁膜はシリコン酸化膜とシリコン窒化膜の複合膜で構成されており、該シリコン酸化膜とシリコン窒化膜の界面に前記電荷が保持できるようになっていること特徴とする前記請求項１または２に記載の炭化珪素半導体装置。

【請求項４】

10

20

30

40

50

前記書き込み領域には、
前記MOS動作領域から書き込み領域まで延設された前記ゲート電極と、
前記半導体基板の表面部に形成され、該書き込み領域における前記ゲート電極及び前記フローティングゲートの両側に配置されたソース及び書き込み用ドレインと、
前記書き込み用ドレインに接続された書き込み用端子と、が備えられていることを特徴とする請求項1ないし3のいずれか1つに記載の炭化珪素半導体装置。

【請求項5】

前記書き込み領域には、前記MOS動作領域から書き込み領域まで延設された前記ゲート電極と、前記フローティングゲートの下側に配置された前記ベース領域若しくは前記ウェル領域と電氣的に接続されていない第2導電型の書き込み用ドレインと、前記書き込み用ドレインに接続された書き込み用端子と、が備えられていることを特徴とする請求項1

10

【請求項6】

前記書き込み領域において、前記第1のゲート絶縁膜もしくは前記第2のゲート絶縁膜が部分的に薄膜化されていることを特徴とする請求項1ないし5のいずれか1つに記載の炭化珪素半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、炭化珪素半導体装置及びその製造方法に関し、特に絶縁ゲート型電界効果トランジスタ、とりわけ大電力用のパワーMOSFETに関するものである。

20

【0002】

【従来の技術】

従来、蓄積モードで動作するプレーナ型のMOSFETとして、特開平11-308510号公報に示されるものが知られている。

【0003】

このプレーナ型MOSFETの断面図を図16に示す。この図に基づいてプレーナ型MOSFETの構造について説明する。

【0004】

n^+ 型炭化珪素半導体基板（以下、 n^+ 型基板という）1は上面を主表面1aとし、主表面の反対面である下面を裏面1bとしている。この n^+ 型半導体基板1の主表面上には、基板1よりも低いドーパント濃度を有する n^- 型炭化珪素エピタキシャル層（以下、 n^- 型エピ層という）2が積層されている。

30

【0005】

n^- 型エピ層2の表層部における所定領域には、所定深さを有する p^- 型炭化珪素ベース領域3aおよび p^- 型炭化珪素ベース領域3b（以下、 p^- 型ベース領域3a、3bという）が離間して形成されている。また、 p^- 型ベース領域3aの表層部における所定領域には、 p^- 型ベース領域3aよりも浅い n^+ 型ソース領域4aが、また、 p^- 型ベース領域3bの表層部における所定領域には、 p^- 型ベース領域3bよりも浅い n^+ 型ソース領域4bがそれぞれ形成されている。

40

【0006】

さらに、 n^+ 型ソース領域4aと n^+ 型ソース領域4bとの間における n^- 型エピ層2および p^- 型ベース領域3a、3bの表面部には n^- 型SiC層5が延設されている。つまり、 p^- 型ベース領域3a、3bの表面部においてソース領域4a、4bと n^- 型エピ層2とを繋ぐように n^- 型SiC層5が配置されている。この n^- 型SiC層5は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が4H、6H、3Cのものをを用いる。尚、エピタキシャル層は下地の基板に関係なく各種の結晶を形成できるものである。デバイスの動作時にデバイス表面においてチャネル形成層として機能する。以下、 n^- 型SiC層5を表面チャネル層という。

【0007】

50

表面チャネル層 5 のドーパント濃度は、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度となっており、かつ、 n^- 型エピ層 2 及び p^- 型ベース領域 3 a、3 b のドーパント濃度以下となっている。これにより、低オン抵抗化が図られている。

【0008】

また、 p^- 型ベース領域 3 a、3 b、 n^+ 型ソース領域 4 a、4 b の表面部には凹部 6 a、6 b が形成されている。

【0009】

表面チャネル層 5 の上面および n^+ 型ソース領域 4 a、4 b の上面にはゲート絶縁膜（シリコン酸化膜）7 が形成されている。さらに、ゲート絶縁膜 7 の上にはゲート電極 8 が形成されている。ゲート電極 8 は絶縁膜 9 にて覆われている。絶縁膜 9 として LTO（Low Temperature Oxide）膜が用いられている。その上にはソース電極 10 が形成され、ソース電極 10 は n^+ 型ソース領域 4 a、4 b および p^- 型ベース領域 3 a、3 b と接している。また、 n^+ 型基板 1 の裏面には、ドレイン電極層 11 が形成されている。

【0010】

【発明が解決しようとする課題】

上記従来の MOSFET では、蓄積モードで動作させることにより、オン抵抗の低減が図られている。しかしながら、さらなるオン抵抗の低減が望まれている。

【0011】

本発明は上記点に鑑みて成され、蓄積モードの MOSFET において、さらなるオン抵抗の低減を図ることを目的とする。

【0012】

【課題を解決するための手段】

本発明者らは、上記目的を果たすべく、蓄積モードの MOSFET について検討を行ったところ、表面チャネル層を高濃度にしてしきい値電圧を下げるほど、オン電流が大きくなること、すなわちオン抵抗を低減することができることを見出した。図 17 に、表面チャネル層の濃度とオン電流との関係を示す。

【0013】

この図に示されるように、しきい値電圧が低くなればなるほど、オン電流が大きくなり、特に負のデプレッション型の MOS にすることにより、顕著にオン電流が大きくなるということが判った。

【0014】

しかしながら、デプレッション型の MOSFET は、ノーマリオンの特性であるため、フェイルセーフの観点から好ましくない。そこで、本発明者らは、デプレッション型の MOSFET と同等のオン電流が得られ、かつノーマリオンの特性を有する MOSFET とすることについてさらに検討を行った。

【0015】

デプレッション型の MOSFET はノーマリオンの特性であるため、表面チャネル層上に負電圧を印加することによってスイッチングを行うことができる。

【0016】

つまり、ゲート電極に電圧を印加していない状態（ゲート電圧零）の時に、表面チャネル層上に負電圧が印加されるようにすれば、しきい値が正の（ノーマリオンの特性の）エンハンスメント型の MOSFET とすることができる。

【0017】

そこで、上記目的を達成するため、請求項 1 又は 2 に記載の発明においては、ゲート電極（8）と表面チャネル層（5）との間に電荷が保持できる機構を有していること特徴としている。具体的には、ゲート絶縁膜を第 1 のゲート絶縁膜（7 a、57 a）と第 2 のゲート絶縁膜（7 b、57 b）とを有して構成し、該第 1、第 2 のゲート絶縁膜の間に導電性のフローティングゲート（12、60）を配置し、該フローティングゲートに電荷を保持することができる。このようなフローティングゲートによる電荷保持機構は、高い信頼

10

20

30

40

50

性で電荷を保持することができる。

【0018】

このように、電荷保持機構を設けることにより、ゲート電位が零以上で使用しても電荷保持機構が負の電位となるようにできるため、ノーマリオフの特性としつつ、デプレッション型と同等のオン抵抗を有する炭化珪素半導体装置とすることができる。

【0021】

また、請求項1または2に記載の発明においては、半導体基板は、チャネル領域を形成してMOS動作を行うMOS動作領域と、該MOS動作領域とは異なる位置に設けられた書き込み領域とを有しており、フローティングゲートは、MOS動作領域から書き込み領域まで延設され、該書き込み領域において、電荷が注入されるようになっていることを特徴としている。

10

【0022】

このように、MOSFET全体を使って書き込みを行なうのではなくて領域を限定することで、書き込み量の制御が容易となりまた大きな書き込み量を得ることができる。また書き込み端子を設けることで、もし書き込み時に電荷注入部においてゲート絶縁膜がダメージを受けても、そのダメージ領域がMOS動作領域とは異なる位置となるため、ダメージ領域の影響を受けず通常のMOS動作が可能となる。

また、書き込み領域には、フローティングゲート上に、MOS動作領域におけるゲート電極とは電氣的に接続されていない書き込み用ゲートを形成し、ゲートに書き込み用端子を接続した構成としても良い。

20

さらに、請求項1または2に記載の発明においては、表面チャネル層は、電荷が保持できる機構に電荷が保持されていない状態においては、ゲート電極に電圧が印加されない条件においてもソース電極とドレイン電極の間の電氣的導通が可能となっていることを特徴としている。

このように、電荷保持機構によるゲート電圧のオフセットがなければデプレッション型のMOSFETとなる場合において、特に高い電流能力を得ることができ、好適である。

【0023】

例えば、請求項3に示すように、ゲート絶縁膜をシリコン酸化膜とシリコン窒化膜の複合膜で構成し、該シリコン酸化膜とシリコン窒化膜の界面に電荷を保持することができる。この場合、従来の製造工程に対して、ゲート絶縁膜をシリコン酸化膜とシリコン窒化膜の複合膜で形成する変更のみで対応できるため、わずかな工程上の負荷で電荷保持機構を実現可能である。

30

また、例えば、請求項4に示すように、書き込み領域には、MOS動作領域から書き込み領域までゲート電極を延設し、半導体基板の表面部において、該書き込み領域におけるゲート電極及びフローティングゲートの両側にソース及び書き込み用ドレインを形成し、書き込み用ドレインのそれぞれに書き込み用端子を接続した構成とすれば良い。

【0024】

このような構成においては、ホットキャリアを用いて電荷注入を行なうことができる。このように、ホットキャリア注入を用いることで、書き込みを高速で行なうことができる。

【0026】

40

また、請求項5に示すように、書き込み領域には、MOS動作領域から書き込み領域まで延設されたゲート電極を設け、前記フローティングゲートの下側に配置されたベース領域若しくはウェル領域と電氣的に接続されていない第2導電型の書き込み用ドレインを備えると共に、書き込み用ドレインに接続された書き込み用端子を備える構成としてもよい。

【0027】

これらのような構成においては、FN電流を用いて電荷注入を行なうことができる。このように、FN電流を用いることで、書き込み領域や書き込み端子を簡略化し、小型化をはかることができる。

【0030】

50

請求項 6 に記載の発明においては、書き込み領域において、第 1 のゲート絶縁膜もしくは第 2 のゲート絶縁膜が部分的に薄膜化されていることを特徴としている。

【 0 0 3 1 】

このように、第 1、第 2 の絶縁膜を部分的に薄膜化することで、書き込み端子を設けることなく書き込み領域を設定することができる。そして、M O S F E T 全体を使って書き込みを行なうのではなくて領域を限定することで、書き込み量の制御が容易となりまた大きな書き込み量を得ることができる。また書き込み端子がないことより小型化を図ることができる。

【 0 0 3 4 】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【 0 0 3 5 】

【発明の実施の形態】

以下、本発明を図に示す実施形態について説明する。

【 0 0 3 6 】

図 1 に本実施形態における M O S F E T の断面構成を示す。以下、図 1 に基づいて本実施形態の M O S F E T の構成について説明する。但し、本実施形態の M O S F E T のうち、図 1 6 に示す従来の M O S F E T と同様若しくは均等の構成については、図 1 6 と同じ符号を付し、異なる部分についてのみ説明を行う。

【 0 0 3 7 】

図 1 に示すように、本実施形態における M O S F E T においては、表面チャネル層 5 の上に第 1 の絶縁膜としてのシリコン酸化膜 7 a を介してフローティングゲート 1 2 が形成され、このフローティングゲート 1 2 の上に第 2 の絶縁膜としてのシリコン酸化膜 7 b を介してゲート電極 8 が形成された構成となっている。つまり、本 M O S F E T では、2 層ゲート構造を採用している。このフローティングゲート 1 2 には、負電荷を有する電子が注入されている。また、表面チャネル層 5 は、従来よりも高濃度とされており、例えば、ドーパント濃度が、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度となっている。なお、好適なドーパント濃度は表面チャネル層 5 の厚さに依存し、表面チャネル層 5 が薄い場合においては厚い場合と比べてより高いドーパント濃度とすることが好適となる。

【 0 0 3 8 】

このように構成された M O S F E T においては、ゲート電極 8 と表面チャネル層 5 との間に電荷保持機構としてのフローティングゲート 1 2 を備えることにより、フローティングゲート 1 2 を介して表面チャネル層 5 の表面の電界を変化させるようになっている。

【 0 0 3 9 】

つまり、表面チャネル層 5 の上にフローティングゲート 1 2 が備えられているため、ソース、ドレイン間のチャネルがフローティングゲート電位で形成されるようになっている。従って、この点においてゲート電位でチャネルが形成される図 1 6 に示す従来のものとは異なる。

【 0 0 4 0 】

なお、シリコン酸化膜 7 a 及びシリコン酸化膜 7 b の膜厚の合計は、図 1 6 に示す従来の M O S F E T の酸化膜 7 の膜厚に相応したものとなっており、本実施形態の M O S と従来の M O S F E T のゲート電位が同じ時において、従来の M O S F E T と同様の動作状態になる程度、つまり同等の電界がかかる程度にされている。

【 0 0 4 1 】

そして、フローティングゲート 1 2 に電子を注入している。これにより、フローティングゲート電位が所望の値に設定されており、ゲート電圧と半導体表面の電界の関係にオフセットがかけられている。

【 0 0 4 2 】

この電界のオフセットは、以下のように設定されている。

【 0 0 4 3 】

フローティングゲート電位は、表面チャネル層 5 側の電位が零であるとする、以下の式で表わされる。

【 0 0 4 4 】

【数 1】

$$V_{fg} = (C_2 \cdot V_g + Q) / (C_1 + C_2)$$

ただし、 V_{fg} はフローティングゲート電位、 V_g はゲート電位、 C_1 はフローティングゲート 1 2 と半導体間の容量、 C_2 はフローティングゲート 1 2 とゲート電極 8 の間の容量、 Q はフローティングゲート 1 2 内の電荷である。

【 0 0 4 5 】

従って、フローティングゲート 1 2 内の電荷 Q を任意に設定することで、フローティングゲート電位 V_{fg} とゲート電位 V_g の関係にオフセットをつけることが可能となる。

10

【 0 0 4 6 】

このため、上述したように、フローティングゲート 1 2 に負電荷としての電子を注入することにより、ゲート電位が零以上で使用される場合に、フローティングゲート 1 2 が負の電位も取れるようにできる。

【 0 0 4 7 】

図 2 に、フローティングゲート 1 2 に電子が注入される前後におけるゲート電極 8 の電位（以下、単にゲート電位という）とフローティングゲート電位との関係を示し、ゲート電位と表面チャネル層 5 に印加される電位（つまりフローティングゲート電位）との関係について説明する。

20

【 0 0 4 8 】

この図は、電荷注入前において、ゲート電位に対してフローティングゲート電位が $2/3$ となるように、シリコン酸化膜 7 a、7 b の膜厚等を設定した場合を示している。

【 0 0 4 9 】

この図に示すように、フローティングゲート 1 2 に電子を注入すると、フローティングゲート電位とゲート電位との関係がシフトされる。このため、ゲート電位を正としてのみ使用する場合においても、フローティングゲート 1 2 が負の電位にもなるようにできる。このように、ゲート電位が正の電位であっても、フローティングゲート電位を負の電位とすることができ、表面チャネル層 5 に負電圧が印加されるようにできる。

【 0 0 5 0 】

30

このようにフローティングゲート 1 2 を備えた場合におけるゲート電位、フローティングゲート電位、及びドレイン電流の関係を図 3 に示す。

【 0 0 5 1 】

この図に示すように、チャネルをオフするのに負の電圧が必要なほど表面チャネル層 5 を高濃度化しており、フローティングゲート電位が負の電位とならなければドレイン電流が零、つまりチャネルがオフしないようになっている。しかしながら、 $Q < 0$ の電荷をフローティングゲート 1 2 内に存在させているため、ゲート電位が零以上であっても、フローティングゲート電位を負の電位にでき、ゲート電位 $V_g = 0 \text{ V}$ においてチャネルをオフすることができる。

【 0 0 5 2 】

40

次に、本実施形態における MOSFET の作用（動作）説明を行う。

【 0 0 5 3 】

本 MOSFET はノーマリオフ型の蓄積モードで動作するものであって、ゲート電極 8 に電圧を印加しない場合、フローティングゲート 1 2 により負の電位が表面チャネル層 5 に印加される。このため、表面チャネル層 5 においてキャリアは、 p^- 型ベース領域 3 a、3 b と表面チャネル層 5 との間の静電ポテンシャルの差によって形成される空乏層と、フローティングゲート 1 2 の負の電位によって表面チャネル層 5 表面に形成される空乏層とによってチャネルがオフされる。

【 0 0 5 4 】

続いて、ゲート電極 8 に電圧を印加することにより、フローティングゲート 1 2 の電位を

50

上昇させる。これにより、表面チャネル層 5 表面の空乏層が減少し、シリコン酸化膜 7 a と表面チャネル層 5 との間の界面において n^+ 型ソース領域 4 a、4 b から n^- 型ドリフト領域 2 方向へ延びるチャネル領域が形成され、オン状態にスイッチングされる。

【0055】

このとき、電子は、 n^+ 型ソース領域 4 a、4 b から表面チャネル層 5 を経由し表面チャネル層 5 から n^- 型エピ層 2 に流れる。そして、 n^- 型エピ層 2 (ドリフト領域) に達すると、電子は、 n^+ 型基板 1 (n^+ ドレイン) へ垂直に流れる。

【0056】

このように、電子が注入されたフローティングゲート 1 2 が無ければデプレッション型として動作する MOSFET が、フローティングゲート 1 2 の負の電位によって、実質上、ゲート電位が零である場合にチャネルがオフできるノーマリオフ特性のエンハンスメント型の MOSFET として動作する。

10

【0057】

これにより、図 1 7 で示したように、フローティングゲート 1 2 が無い場合にデプレッション型となる MOSFET と同等のオン抵抗となり、オン抵抗のさらなる低減を図ることができる。また、これにより装置の大電力化やチップの小型化を図ることもできる。なお、このようにフローティングゲート 1 2 に電荷を保持することにより、高い信頼性で電荷保持を可能にすることができる。

【0058】

次に、本実施形態における MOSFET の製造工程を、図 4 ~ 図 6 を用いて説明する。なお、半導体領域については、従来公報 (特開平 1 1 - 3 0 8 5 1 0 号公報) と同様であるため、異なる部分についてのみ説明する。

20

【0059】

〔図 4 (a) に示す工程〕

まず、4 H、もしくは 6 H の SiC 基板、すなわち n^+ 型基板 1 を用意する。ここで、 n^+ 型基板 1 はその厚さが $400\ \mu\text{m}$ であり、主表面 1 a が (0001) Si 面、又は、(112-0) a 面である。この基板 1 の主表面 1 a に厚さ $5\ \mu\text{m}$ の n^- 型エピ層 2 をエピタキシャル成長する。本例では、 n^- 型エピ層 2 は下地の基板 1 と同様の結晶が得られ、 n 型 4 H または 6 H または 3 C - SiC 層となる。

【0060】

30

〔図 4 (b) に示す工程〕

n^- 型エピ層 2 の上の所定領域に LTO 膜 2 0 を配置し、これをマスクとして B^+ (若しくはアルミニウム) をイオン注入して、 p^- 型ベース領域 3 a、3 b を形成する。このときのイオン注入条件は、温度が 700°C で、ドーズ量が $1 \times 10^{16}\ \text{cm}^{-2}$ としている。

【0061】

〔図 4 (c) に示す工程〕

LTO 膜 2 0 を除去した後、 p^- 型ベース領域 3 a、3 b を含む n^- 型エピ層 2 上に表面チャネル層 5 を化学気相成長法 (CVD 法) によりエピタキシャル成長させる。このときのソースガスとしては SiH_4 、 C_3H_8 、 H_2 、 N_2 を用いる。ここで、 N_2 は表面チャネル層 5 を n 型化するために用いる。

40

【0062】

〔図 5 (a) に示す工程〕

表面チャネル層 5 の上の所定領域に LTO 膜 2 1 を配置し、これをマスクとして N^+ をイオン注入し、 n^+ 型ソース領域 4 a、4 b を形成する。このときのイオン注入条件は、 700°C 、ドーズ量は $1 \times 10^{15}\ \text{cm}^{-2}$ としている。

【0063】

〔図 5 (b) に示す工程〕

そして、LTO 膜 2 1 を除去した後、フォトリソ法を用いて表面チャネル層 5 の上の所定領域に LTO 膜 2 2 を配置し、これをマスクとして RIE により p^- 型ベース領域 3 a、3 b 上の表面チャネル層 5 を部分的にエッチング除去する。

50

【0064】

〔図5(c)に示す工程〕

LTO膜22を除去した後、基板の上にウェット酸化によりゲート酸化膜7aを形成する。このとき、雰囲気温度は1080とする。

【0065】

次に、ゲート酸化膜7aの上にフローティングゲート12を形成するために、1st-polysiliconをLPCVDにより堆積する。

【0066】

続いて、1st-polysiliconを酸化してゲート酸化膜7bを形成したのち、このゲート酸化膜7bの上にゲート電極8を形成するために、2nd-polysiliconをLPCVDにより堆積する。

10

【0067】

〔図6(a)に示す工程〕

そして、フトリソグラフィ工程を経て、2nd-polysilicon、シリコン酸化膜7b、1st-polysiliconをパターンニングする。これにより、ゲート電極8、フローティングゲート12が形成される。

【0068】

続いて、熱酸化により、ゲート電極8、フローティングゲート12の表面を酸化膜で覆う。その後、LTOよりなる層間絶縁膜9を形成しゲート絶縁膜7を覆う。

【0069】

20

〔図6(b)に示す工程〕

そして、層間絶縁膜9及び酸化膜にコンタクトホールを形成したのち、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置する。また、成膜後に1000のアニールを行う。

【0070】

この後、フローティングゲート12への電荷注入を行う。この電荷注入の該略図を図7に示し、この図に基づいて電荷注入について説明する。

【0071】

電荷の注入は、フローティングゲート12と半導体(表面チャネル層5やソース領域4a、4b)間もしくはフローティングゲート12とゲート電極8の間に電荷の移動が発生するだけの電位をゲート電極8に印加することによって行う。これは、フローティングゲート12と半導体との間と、フローティングゲート12とゲート電極8との間のいずれが電流を流し易いかによって選択している。つまり、シリコン酸化膜7a、7bの膜質(膜厚分布や欠陥等)によって電流の流れ易さが決定されるため、電荷注入を行い易いようにシリコン酸化膜7a、7bの膜質を予め設定することも可能である。

30

【0072】

そして、フローティングゲート12と半導体との間の方が、フローティングゲート12とゲート電極8との間と比べて電流が流れやすい場合、図7(a)に示すように、ソース電極10、ドレイン電極11をアース状態としてゲート電極8に正の電圧を印加する。これにより、フローティングゲート12に負電荷として電子が注入される。また、フローティングゲート12とゲート電極8との間の方が、フローティングゲート12と半導体との間と比べて電流が流れやすい場合、図7(b)に示すように、ソース電極10、ドレイン電極11をアース状態としてゲート電極12に負の電圧を印加する。これにより、フローティングゲート12に負電荷として電子が注入される。

40

【0073】

このようにして、図1に示すMOSFETが完成する。

【0074】

(第2実施形態)

図8に、本実施形態におけるMOSFETの断面構成を示す。なお、本実施形態では、第1実施形態のMOSFETのゲート構造を変更したものであるため、その変更部分につい

50

てのみ説明する。

【0075】

図8に示すように、本実施形態のMOSFETは、表面チャネル層5の上に、第1の絶縁膜としてのシリコン酸化膜7aを介して、シリコン窒化膜13が形成されている。そして、このシリコン窒化膜13の上にゲート電極8が形成されている。このように、ゲート電極8と表面チャネル層5との間に、シリコン酸化膜7aとシリコン窒化膜13からなる複合膜が配置されるようにしている。

【0076】

このような構成においては、シリコン窒化膜13とシリコン酸化膜7aとの界面において電荷をトラップすることができる。このため、この界面にトラップされた電荷が、第1実施形態のフローティングゲート12と同様の役割を果たし、ゲート電極8の電圧をオフセットすることができる。これにより、第1実施形態と同様の効果が得られる。

10

【0077】

なお、本実施形態におけるMOSFETは、図16に示す従来のMOSFETに対して、シリコン窒化膜13を形成する工程を増加させるのみであるため、わずかな工程上の負荷で電荷保持機構を実現することができる。

【0078】

(第3実施形態)

図9に、本実施形態におけるMOSFETの断面構成を示す。本実施形態は、第1実施形態に対して、フローティングゲートに電荷を注入するに当たって、電荷注入が行われる領域を規定したものである。

20

【0079】

図9に示すように、本実施形態のMOSFETは、MOS作動領域の他に電荷注入を行う書き込み領域を形成している。なお、書き込み領域は、MOS作動領域とは他断面に設けられており、例えば、複数のMOSFETを敷き詰めてMOS作動領域を形成したとすると、その敷き詰められた領域から離れた位置に別途設けられている。

【0080】

書き込み領域は、いわゆるEPROMと同じ構造となっており、フローティングゲート12a及びゲート電極(コントロールゲート)8aの2層構造の両側に、ソース領域4c及びドレイン領域14が備えられ、このソース領域4cとドレイン領域14との間にチャネル領域となる表面チャネル層5cが備えられた構成となっている。なお、ソース領域4cはソース領域4bが延設されたものであり、ソース電極10に接続されている。このように、ソース領域4cとソース領域4bを兼用化することにより、装置の小型化を図っている。また、ドレイン領域14は、ドレイン電極15が接続されている。

30

【0081】

そして、MOS作動領域と書き込み領域におけるゲート電極8、8aがつながった構成となっており、MOS作動領域と書き込み領域におけるフローティングゲート12、12aがつながった構成となっている(図中の点線部参照)。

【0082】

このような構成においては、図10に示すように書き込み領域にて電荷注入を行う。すなわち、ソース電極10及びドレイン電極11をアース状態にすると共に、ゲート電極8aに正電位V1、ドレイン電極に正電位V2をそれぞれ印加する。これにより、ホットキャリアを発生させ、フローティングゲート12aにホットエレクトロンを注入することができる。

40

【0083】

これにより、フローティングゲート12aに負電荷が注入されると、フローティングゲート12がフローティングゲート12aと接続されているため、フローティングゲート12の電位はゲート電極8の電位が零であっても負となる。これにより、MOS動作領域を第1実施形態と同様に動作させることができ、第1実施形態と同様の効果を得ることができる。

50

【0084】

そして、ホットキャリアを用いることで、書き込みを高速で行うことができる。また、MOS動作領域以外の領域で書き込みが行われるため、書き込み時にフローティングゲート12aの下シリコン酸化膜7aがダメージを受けたとしても、MOS動作領域とは関係ない部分であるため、MOS動作に影響を与えることはない。なお、MOS動作時には、ドレイン電極15はオープン状態とするため、ドレイン領域14の電界による影響は無視して良い。

【0085】

なお、本実施形態におけるMOSFETの製造は、第1実施形態における図6(a)の工程のフォトリソグラフィ工程のマスクを変更すればよいだけであるため、説明を省略する。

10

【0086】

(第4実施形態)

図11に、本実施形態におけるMOSFETの断面構成を示す。本実施形態は、第1実施形態に対して、フローティングゲートに電荷を注入するに当たって、電荷注入が行われる領域を規定したものである。

【0087】

図11に示すように、本実施形態のMOSFETは、MOS作動領域の他に電荷注入を行う書き込み領域を形成している。なお、書き込み領域は、MOS作動領域とは他断面に設けられており、例えば、複数のMOSFETを敷き詰めてMOS作動領域を形成したとすると、その敷き詰められた領域から離れた位置に別途設けられている。

20

【0088】

書き込み領域は、フローティングゲート12a及びゲート電極(コントロールゲート)8aの2層構造で構成されており、ソース領域4bから延設されたソース領域4cの上に2層構造が形成された構成となっている。

【0089】

また、MOS作動領域と書き込み領域におけるフローティングゲート12、12aがつながった構成となっている(図中の点線部参照)。ただし、MOS作動領域と書き込み領域におけるゲート電極8、8aはつながった構成とされていない。

【0090】

このような構成においては、図12に示すように書き込み領域にて電荷注入を行う。すなわち、ゲート電極8とソース電極10及びドレイン電極11をアース状態にするとともに、ゲート電極8aに負電位-Vを印加する。

30

【0091】

通常、書き込み領域のゲート電極8aとフローティングゲート12aとの間の容量は、MOS動作領域のゲート電極8とフローティングゲート12との間の容量や、フローティングゲート12と半導体(本実施形態では表面チャネル層5やソース領域4a、4b)との間の容量と比べて非常に小さいため、フローティングゲート12の電位は書き込み領域のゲート電極8aの電位にほとんど影響されず、ゲート電極8と半導体の電位、つまりアース状態となる(ただし、書き込みされた電荷分だけ電位は変動する)。このため、書き込み領域のゲート電極8aとフローティングゲート12aとの間の電界が最大となり、書き込み領域のみ電荷注入が行われるようにできるとともに、FN電流により大量に書き込みが行われるようにできる。

40

【0092】

このように、上記構成とすることにより、大量に書き込みが行われるようにできると共に、第3実施形態と同様に、MOS動作領域以外の領域で書き込みを行えるため、書き込み時にフローティングゲート12aの上シリコン酸化膜7bがダメージを受けたとしても、MOS動作に影響を与えることはない。また、FN電流を用いているため、書き込み領域や各領域とのコンタクトとしての書き込み端子を簡略化することができ、装置の小型化を図ることができる。

50

【0093】

なお、本実施形態におけるMOSFETの製造は、第1実施形態における図6(a)の工程のフォトリソグラフィ工程のマスクとして、2nd-polysilのエッチング時にゲート電極8とゲート電極8aが分割されるマスクを用い、その他については第3実施形態と同様にすればよいだけであるため、説明を省略する。

【0094】

また、本実施形態では、書き込み領域におけるフローティングゲート12の下部をソース領域4c、つまり n^+ 型層で構成しているが、表面チャネル層5を延設する等によって n^- 型層で構成してもよく、ベース領域3bを延設する等によりp型層で構成したりしてもよい。

10

【0095】

(第5実施形態)

図13に、本実施形態におけるMOSFETの断面構成を示す。本実施形態は、第1実施形態に対して、フローティングゲートに電荷を注入するに当たって、電荷注入が行われる領域を規定したものである。

【0096】

図13に示すように、本実施形態のMOSFETは、ゲート電極8及びフローティングゲート12を表面チャネル層5から離れた領域まで延設し、この延設された部分に電荷注入が行われるように、この領域におけるフローティングゲート12の下部にシリコン酸化膜7aより薄いトンネル膜16を設けた構成としている。

20

【0097】

このように、書き込み窓としてシリコン酸化膜7aを部分的に薄膜化したトンネル膜16を設けることにより、このトンネル膜16から電荷が注入され易くすることができ、電荷が注入される領域を規定することができる。また、このように書き込みを行う場所を規定することにより、書き込み量の制御が容易となり、また大きな書き込み量を得ることができる。また、このような構成においては、別途書き込み端子を設ける必要がないため、装置を簡略化でき、小型化を図ることができる。

【0098】

なお、本実施形態におけるMOSFETは、第1実施形態における図6(a)においてシリコン酸化膜7aを形成したのち、シリコン酸化膜7aのうちのトンネル膜形成領域を一旦エッチング除去し、再度熱酸化することでトンネル膜16を形成すれば、その後は第1実施形態と同様の工程を施すことにより製造される。

30

【0099】

また、本実施形態では、シリコン酸化膜7aを薄膜化した但、電荷の注入方法によってはシリコン酸化膜7bを薄膜化してもよい。

【0100】

(第6実施形態)

図14に、本実施形態におけるMOSFETの断面構成を示す。本実施形態は、第1実施形態に対して、フローティングゲートに電荷を注入するに当たって、電荷注入が行われる領域を規定したものである。

40

【0101】

図14に示すように、本実施形態のMOSFETは、MOS作動領域の他に電荷注入を行う書き込み領域を形成している。なお、書き込み領域は、MOS作動領域とは他断面に設けられており、例えば、複数のMOSFETを敷き詰めてMOS作動領域を形成したとすると、その敷き詰められた領域から離れた位置に別途設けられている。

【0102】

書き込み領域は、フローティングゲート12a及びゲート電極(コントロールゲート)8aの2層構造で構成されており、ベース領域3a、3bと共に形成した p^- 型層3c及びこの p^- 型層3cの表層部に形成された書き込み用のドレインとしての p^+ 型層17の上部に2層構造が形成された構成となっている。なお、 p^+ 型層17にはドレイン電極18が

50

接続されている。

【0103】

また、MOS作動領域と書き込み領域におけるフローティングゲート12、12aがつながった構成となっており、MOS作動領域と書き込み領域におけるゲート電極8、8aはつながった構成となっている（図中の点線部参照）。

【0104】

このような構成においては、ゲート電極8とソース電極10及びドレイン電極11をアース状態にするとともに、ドレイン電極18に負の電位を印加する。

【0105】

これにより、 p^+ 型層17側からフローティングゲート12aに電荷を注入することができる。このように、本実施形態の構成によっても第4実施形態と同様の効果を得ることができる。

10

【0106】

本実施形態におけるMOSFETは、 p^- 型層3cをベース領域3a、3bを形成する際に同時に形成し、本図では示していないがベース領域3a、3bをソース電極10とコンタクトを取るためにベース領域3a、3bの表層部に形成する p^+ 型のコンタクト層を形成する際に p^+ 型層17を同時に形成すれば、第1実施形態に対して製造工程の増加なく製造される。なお、書き込み領域における2層ゲート構造は、第4実施形態と同様に、図6(a)に示す工程のフォトリソグラフィ工程におけるマスクを変更すれば、MOS動作領域と同時に形成される

20

（第7実施形態）

図15に本実施形態におけるMOSFETの断面構成を示す。本実施形態は、ラテラル型のMOSトランジスタに本発明の一実施形態を適用したものである。

【0107】

図15に示すように、 n^- 型の半導体基板51の表層部に p^- 型層53が形成されており、この p^- 型層53の表層部に n^+ 型のソース領域54a、ドレイン領域54bが離間して形成され、さらにソース領域54aとドレイン領域54bとの間をつなぐように表面チャネル層55が形成されている。

【0108】

そして、表面チャネル層55の上部に第1の絶縁膜としてのシリコン酸化膜57aを介してフローティングゲート60が形成され、さらにフローティングゲート60の上に第2の絶縁膜としてのシリコン酸化膜57bを介してゲート電極58が形成されている。

30

【0109】

そして、ゲート電極58及びフローティングゲート60を含む基板表面全面に層間絶縁膜59が形成されており、層間絶縁膜59に形成された各コンタクトホールを通じて、ソース領域54a、ドレイン領域54b、ゲート電極58、及び p^- 型層53が各電極に接続されている。

【0110】

このように構成されたMOSトランジスタにおいても、第1実施形態と同様の方法によってフローティングゲート60に電荷を注入することで、フローティングゲート12を介して表面チャネル層5の表面の電界を変化させるようにし、オン抵抗の低減を図ることができる、電流能力を向上できると共に高速動作を可能にすることができる。

40

【0111】

（他の実施形態）

上記実施形態では、表面チャネル層5が従来よりも高濃度となるようにした場合について説明したが、従来よりも厚い層で形成される場合についても、MOSFETは上記実施形態と同様の動作を行い、同様にオン抵抗の低減を図ることができる。

【0112】

また、第7実施形態では、ラテラル型のMOSトランジスタにおいて、第1実施形態と同様の構造を採用した例を示したが第2～第6実施形態と同様の構成を採用することも可能

50

である。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態における縦型パワー MOS FET の断面図である。

【図 2】フローティングゲート 1 2 に電荷を注入する前後におけるゲート電位とフローティングゲート電位との関係を示す図である。

【図 3】ゲート電位及びフローティングゲート電位とドレイン電流の関係を示した図である。

【図 4】図 1 に示す縦型パワー MOS FET の製造工程を示す図である。

【図 5】図 4 に続く縦型パワー MOS FET の製造工程を示す図である。

【図 6】図 5 に続く縦型パワー MOS FET の製造工程を示す図である。

10

【図 7】第 1 実施形態における MOS FET の電荷注入方法を示した図である。

【図 8】本発明の第 2 実施形態における MOS FET の断面図である。

【図 9】本発明の第 3 実施形態における MOS FET の断面図である。

【図 10】第 3 実施形態における MOS FET の電荷注入方法を示した図である。

【図 11】本発明の第 4 実施形態における MOS FET の断面図である。

【図 12】第 4 実施形態における MOS FET の電荷注入方法を示した図である。

【図 13】本発明の第 5 実施形態における MOS FET の断面図である。

【図 14】本発明の第 6 実施形態における MOS FET の断面図である。

【図 15】本発明の第 7 実施形態における MOS FET の断面図である。

【図 16】従来における MOS FET の断面図である。

20

【図 17】表面チャネル層 5 を有する MOS FET のゲート電位とドレイン電流との関係を示した図である。

【符号の説明】

1 ... n^+ 型基板、2 ... n^- 型エピタキシャル層、

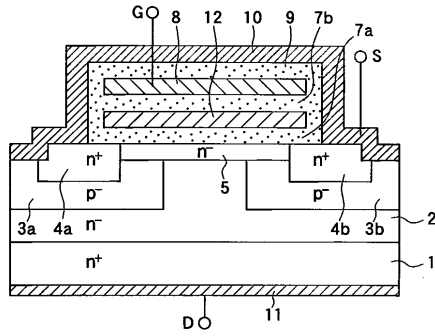
3 a、3 b ... p^- 型ベース領域、4 a、4 b ... n^+ 型ソース領域、

5 ... 表面チャネル層 (n^- 型 SiC 層)、7 ... ゲート絶縁膜、8 ... ゲート電極、

9 ... 絶縁膜、10 ... ソース電極、11 ... ドレイン電極層、

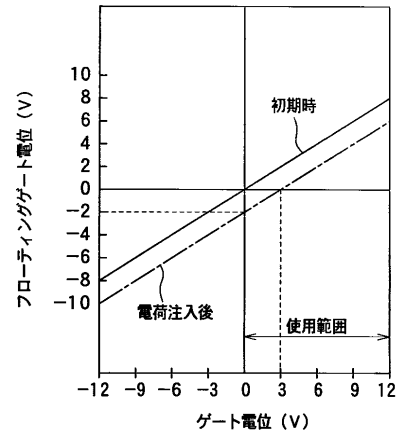
12 ... フローティングゲート。

【図 1】

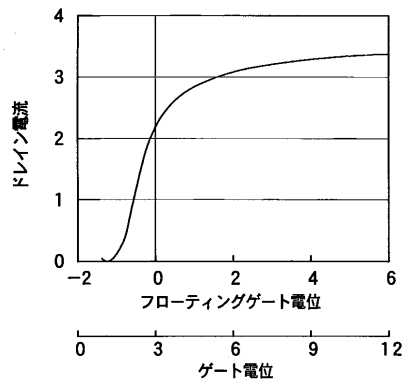


- 1: 半導体基板
 2: ドリフト領域
 3: ベース領域
 4: ソース領域
 5: 表面チャネル層
 7: 絶縁膜
 8: ゲート電極
 10: ソース電極
 11: ドレイン電極
 12: フローティングゲート

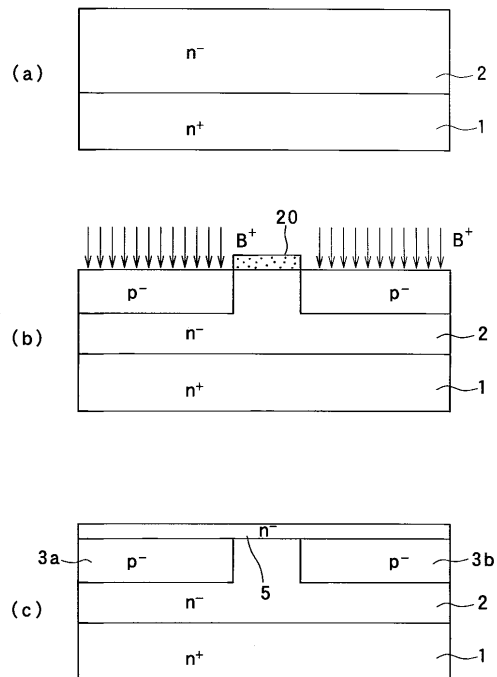
【図 2】



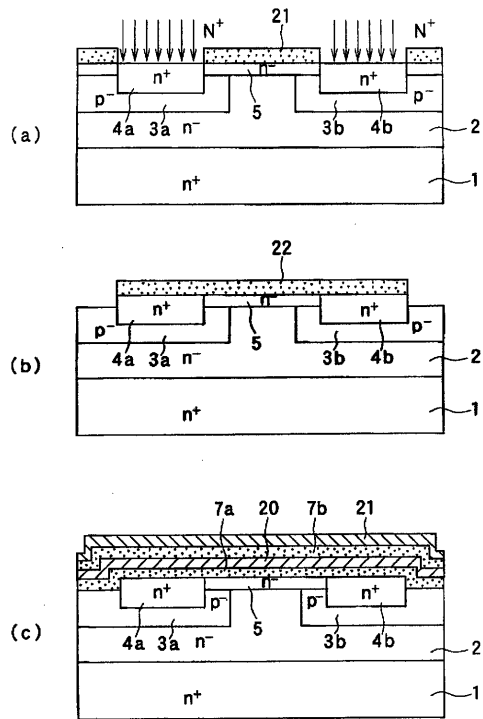
【図 3】



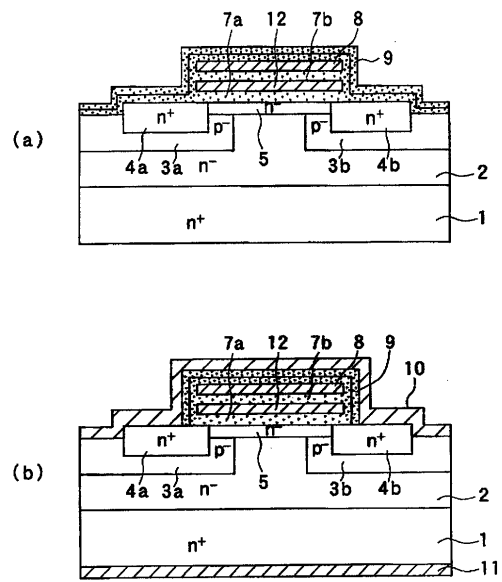
【図 4】



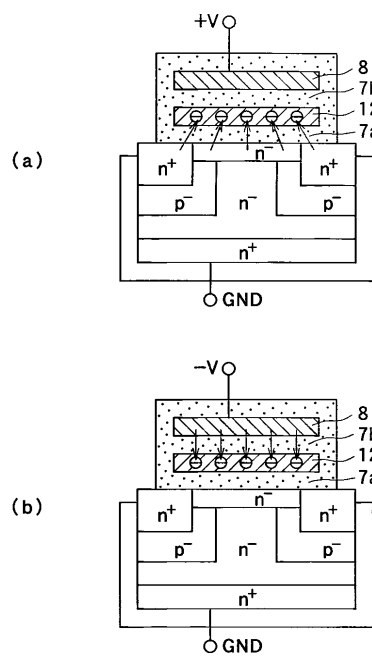
【図 5】



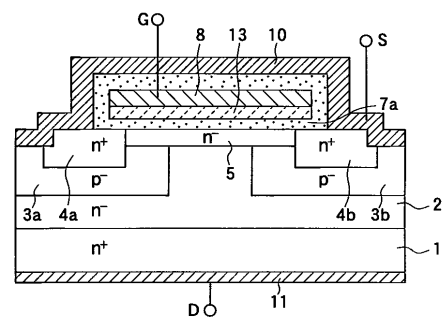
【図 6】



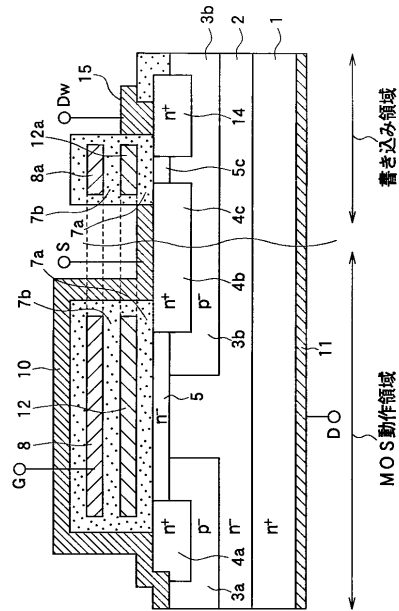
【図 7】



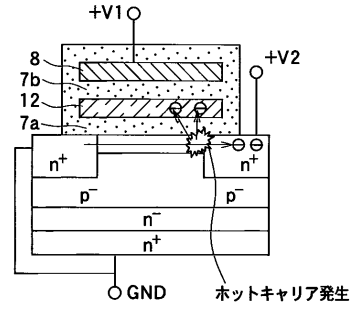
【図 8】



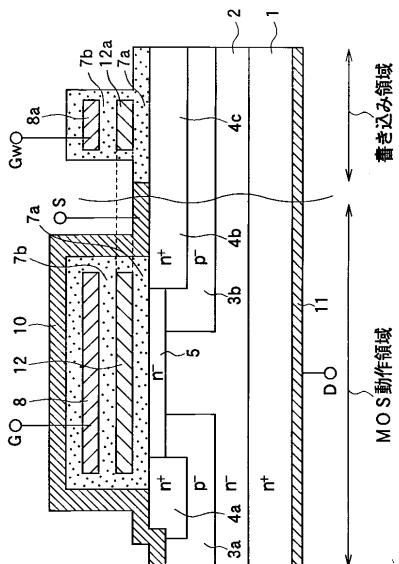
【図 9】



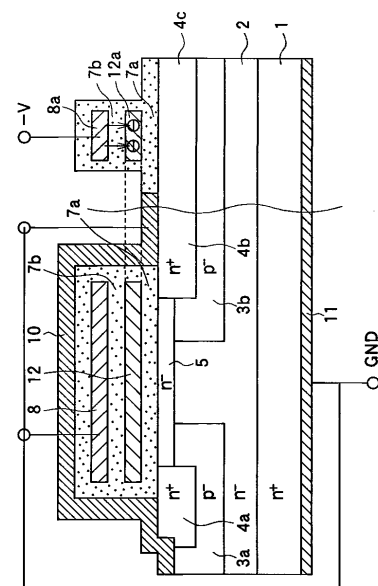
【図 10】



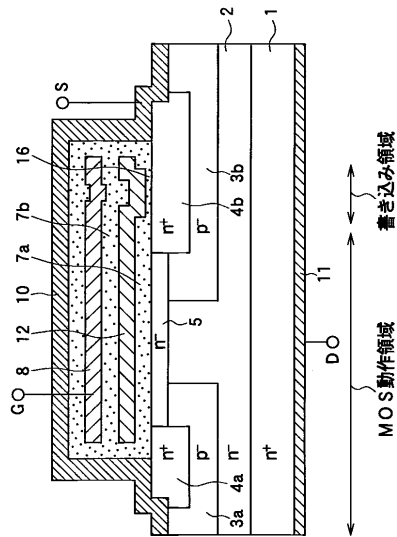
【図 11】



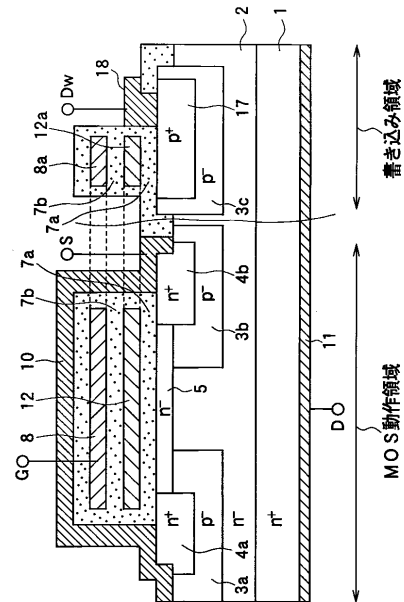
【図 12】



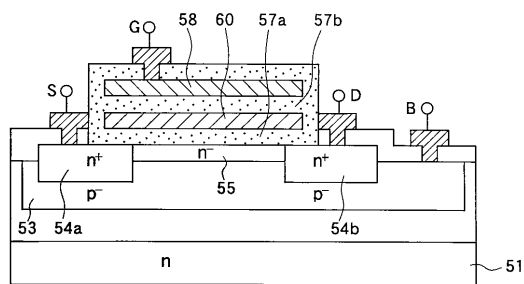
【図 13】



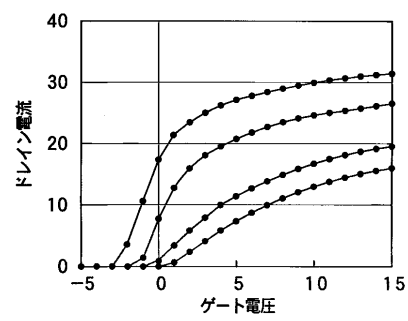
【図 14】



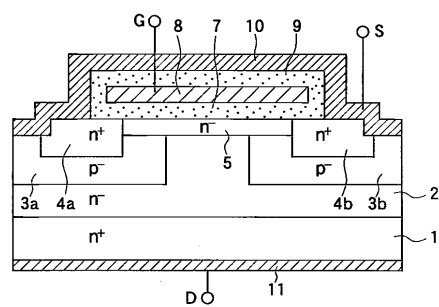
【図 15】



【図 17】



【図 16】



フロントページの続き

- (72)発明者 片岡 光浩
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
(72)発明者 ラジェシュ クマール
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 小野田 誠

- (56)参考文献 特開平02-180078(JP,A)
特開平10-189780(JP,A)
特開平08-250718(JP,A)
特開昭64-076769(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/12
H01L 21/8247
H01L 29/78
H01L 29/788
H01L 29/792