



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0028362
 (43) 공개일자 2014년03월10일

(51) 국제특허분류(Int. Cl.)
G11C 7/22 (2006.01) **G11C 7/10** (2006.01)
 (21) 출원번호 10-2012-0094440
 (22) 출원일자 2012년08월28일
 심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
 경기도 이천시 부발읍 경충대로 2091
 (72) 발명자
박햇빛
 경기 이천시 부발읍 경충대로2092번길 39-52, 10
 2동 1304호 (현대성우1단지아파트)
 (74) 대리인
특허법인 신성

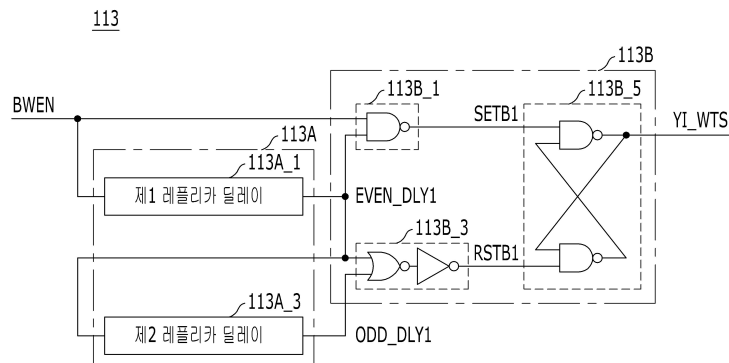
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 **반도체 메모리 장치**

(57) 요약

컬럼 선택신호를 이용하는 반도체 메모리 장치에 관한 것으로, 라이트 인에이블신호를 복수의 메모리 영역의 배치 위치에 대응하는 지연시간만큼 지연시켜 제1 지연신호를 생성하기 위한 제1 레플리카 지연부; 제1 지연신호를 지연시간만큼 지연시켜 제2 지연신호를 생성하기 위한 제2 레플리카 지연부; 라이트 인에이블신호와 제1 및 제2 지연신호에 응답하여 라이트 인에이블신호보다 지연시간만큼 지연된 제1 컬럼 소오스신호를 생성하기 위한 컬럼 소오스신호 생성부; 및 제1 컬럼 소오스신호에 응답하여 라이트용 컬럼 선택신호를 생성하기 위한 컬럼 디코더를 포함하는 반도체 메모리 장치가 제공된다.

대표도 - 도5



특허청구의 범위

청구항 1

복수의 지연시간 중에서 데이터가 입출력되는 메모리 영역의 배치 위치에 따라 선택된 지연시간이 서로 다른 배수로 반영된 제1 및 제2 지연신호를 제1 컬럼 제어신호에 응답하여 순차적으로 생성하기 위한 제1 신호 생성부; 및

상기 제1 컬럼 제어신호보다 상기 지연시간만큼 지연된 제2 컬럼 제어신호를 생성하되, 상기 제1 지연신호에 응답하여 상기 제2 컬럼 제어신호의 활성화 시점을 결정하고 상기 제2 지연신호에 응답하여 상기 제2 컬럼 제어신호의 비활성화 시점을 결정하는 제2 신호 생성부

를 포함하는 반도체 메모리 장치.

청구항 2

제1항에 있어서,

상기 복수의 지연시간은 상기 데이터가 입출력되는 데이터 전송라인을 복수의 메모리 영역의 배치 위치에 대응하여 모델링한 반도체 메모리 장치.

청구항 3

제2항에 있어서,

상기 데이터 전송라인은 로컬 입출력 라인(Local Input/Output Line)을 포함하는 반도체 메모리 장치.

청구항 4

제2항에 있어서,

상기 제1 신호 생성부는 상기 데이터 전송라인을 모델링하기 위한 RC 딜레이를 포함하는 반도체 메모리 장치.

청구항 5

제1항에 있어서,

상기 제1 지연신호는 상기 제1 컬럼 제어신호에 비하여 상기 선택된 지연시간의 1배수만큼 지연되고,

상기 제2 지연신호는 상기 제1 컬럼 제어신호에 비하여 상기 선택된 지연시간의 2배수만큼 지연된 반도체 메모리 장치.

청구항 6

제1항에 있어서,

상기 제1 컬럼 제어신호는 라이트 드라이버를 인에이블하기 위한 라이트 인에이블신호를 포함하고,

상기 제2 컬럼 제어신호는 컬럼 디코더가 라이트용 컬럼 선택신호를 생성할 때 소오스신호로서 이용하는 제1 컬럼 소오스신호를 포함하는 반도체 메모리 장치.

청구항 7

제6항에 있어서,

상기 선택된 지연시간은 상기 데이터가 입출력되는 메모리 영역의 배치 위치가 상기 라이트 드라이버로부터 멀수록 상기 복수의 지연시간 중에서 더 큰 값의 지연시간이 선택되는 반도체 메모리 장치.

청구항 8

제1항에 있어서,

상기 제1 컬럼 제어신호는 컬럼 디코더가 리드용 컬럼 선택신호를 생성할 때 소오스신호로서 이용하는 제2 컬럼 소오스신호를 포함하고,

상기 제2 컬럼 제어신호는 입출력 감지 증폭기(Input Output Sense Amplifier : IOSA)를 인에이블하기 위한 리드 인에이블신호를 포함하는 반도체 메모리 장치.

청구항 9

제8항에 있어서,

상기 선택된 지연시간은 상기 데이터가 입출력되는 메모리 영역의 배치 위치가 상기 입출력 감지 증폭기(IOSA)로부터 멀수록 상기 복수의 지연시간 중에서 더 큰 값의 지연시간이 선택되는 반도체 메모리 장치.

청구항 10

제1항에 있어서,

상기 제2 신호 생성부는 SR 래치를 포함하는 반도체 메모리 장치.

청구항 11

라이트 인에이블신호를 복수의 메모리 영역의 배치 위치에 대응하는 지연시간만큼 지연시켜 제1 지연신호를 생성하기 위한 제1 레플리카 지연부;

상기 제1 지연신호를 상기 지연시간만큼 지연시켜 제2 지연신호를 생성하기 위한 제2 레플리카 지연부;

상기 라이트 인에이블신호와 상기 제1 및 제2 지연신호에 응답하여 상기 라이트 인에이블신호보다 상기 지연시간만큼 지연된 제1 컬럼 소오스신호를 생성하기 위한 컬럼 소오스신호 생성부; 및

상기 제1 컬럼 소오스신호에 응답하여 라이트용 컬럼 선택신호를 생성하기 위한 컬럼 디코더

를 포함하는 반도체 메모리 장치.

청구항 12

제11항에 있어서,

글로벌 입출력 라인(Global Input/Output Line)에 실린 데이터를 상기 라이트 인에이블신호에 응답하여 로컬 입출력 라인(Local Input/Output Line)에 전달하기 위한 라이트 드라이버를 더 포함하며,

상기 지연시간은 상기 복수의 메모리 영역의 배치 위치가 상기 라이트 드라이버로부터 멀리 배치될수록 크게 반영되는 반도체 메모리 장치.

청구항 13

제12항에 있어서,

상기 제1 및 제2 레플리카 지연부는 상기 로컬 입출력 라인을 모델링한 반도체 메모리 장치.

청구항 14

제11항에 있어서,

상기 제1 레플리카 지연부는,

복수의 단위 지연 셀이 직렬로 접속되며, 상기 복수의 메모리 영역의 배치 위치에 대응하여 서로 다른 지연시간이 모델링된 복수의 지연경로를 제공하는 제1 모델링부; 및

상기 복수의 지연경로를 통해 출력되는 복수의 지연된 라이트 인에이블신호 중 어느 하나를 적어도 하나의 선택신호에 따라 선택하여 상기 제1 지연신호로서 출력하기 위한 제1 선택부를 포함하는 반도체 메모리 장치.

청구항 15

제11항에 있어서,

상기 제2 레플리카 지연부는,

복수의 단위 지연 셀이 직렬로 접속되며, 상기 복수의 메모리 영역의 배치 위치에 대응하여 서로 다른 지연시간이 모델링된 복수의 지연경로를 제공하는 제2 모델링부;

상기 복수의 지연경로를 통해 출력되는 복수의 지연된 제1 지연신호 중 어느 하나를 상기 선택신호에 따라 선택하기 위한 제2 선택부; 및

상기 제2 선택부에 의해 선택된 신호를 반전시켜 상기 제2 지연신호로서 출력하기 위한 제1 반전부를 포함하는 반도체 메모리 장치.

청구항 16

제14항 또는 제15항에 있어서,

상기 복수의 단위 지연 셀은 RC 딜레이를 포함하는 반도체 메모리 장치.

청구항 17

제16항에 있어서,

상기 복수의 메모리 영역은 बैं크에 포함된 복수의 매트 영역에 대응하고,

상기 선택신호는 상기 복수의 매트 영역 중에서 데이터가 라이트되는 매트 영역에 대응하여 인가되는 반도체 메모리 장치.

청구항 18

제11항에 있어서,

상기 컬럼 소오스신호 생성부는,

상기 라이트 인에이블신호와 상기 제1 지연신호를 논리 연산하여 제1 세트신호를 생성하기 위한 제1 논리 연산부;

상기 제1 지연신호와 제2 지연신호를 논리 연산하여 제1 리세스신호를 생성하기 위한 제2 논리 연산부; 및

상기 제1 세트신호와 상기 제1 리세트신호에 응답하여 상기 제1 컬럼 소오스신호를 생성하기 위한 제3 논리 연산부를 포함하는 반도체 메모리 장치.

청구항 19

제18항에 있어서,

상기 제3 논리 연산부는 SR 래치를 포함하는 반도체 메모리 장치.

청구항 20

제18항에 있어서,

상기 제1 지연신호는 상기 라이트 인에이블신호와 동일 위상을 가지고,

상기 제2 지연신호는 상기 라이트 인에이블신호와 반대 위상을 가지는 반도체 메모리 장치.

청구항 21

제11항에 있어서,

상기 컬럼 디코더는 제2 컬럼 소오스신호에 응답하여 리드용 컬럼 선택신호를 생성하며,

라이트/리드 구분신호와 소오스 신호에 응답하여 상기 라이트 인에이블신호 및 상기 제2 컬럼 소오스신호를 생성하기 위한 입력 지연부;

상기 제2 컬럼 소오스신호를 상기 지연시간만큼 지연시켜 제3 지연신호를 생성하기 위한 제3 레플리카 지연부;

상기 제3 지연신호를 상기 지연시간만큼 지연시켜 제4 지연신호를 생성하기 위한 제4 레플리카 지연부; 및

상기 제2 컬럼 소오스신호와 상기 제3 및 제4 지연신호에 응답하여 상기 제2 컬럼 소오스신호보다 상기 지연시간만큼 지연된 리드 인에이블신호를 생성하기 위한 리드 인에이블신호 생성부를 더 포함하는 반도체 메모리 장치.

청구항 22

제21항에 있어서,

로컬 입출력 라인에 실린 데이터를 상기 리드 인에이블신호에 응답하여 글로벌 입출력 라인에 전달하기 위한 입출력 감지 증폭기(Input Output Sense Amplifier : IOSA)를 더 포함하며,

상기 지연시간은 상기 복수의 메모리 영역의 배치 위치가 상기 입출력 감지 증폭기로부터 멀리 배치될수록 크게 반영되는 반도체 메모리 장치.

청구항 23

제22항에 있어서,

상기 제3 및 제4 레플리카 지연부는 상기 로컬 입출력 라인을 모델링한 반도체 메모리 장치.

청구항 24

제21항에 있어서,

상기 제3 레플리카 지연부는,

복수의 단위 지연 셀이 직렬로 접속되며, 상기 복수의 메모리 영역의 배치 위치에 대응하여 서로 다른 지연시간이 모델링된 복수의 지연경로를 제공하는 제3 모델링부; 및

상기 복수의 지연경로를 통해 출력되는 복수의 지연된 제2 컬럼 소오스신호 중 어느 하나를 적어도 하나의 선택신호에 따라 선택하여 상기 제3 지연신호로서 출력하기 위한 제3 선택부를 포함하는 반도체 메모리 장치.

청구항 25

제21항에 있어서,

상기 제4 레플리카 지연부는,

복수의 단위 지연 셀이 직렬로 접속되며, 상기 복수의 메모리 영역의 배치 위치에 대응하여 서로 다른 지연시간이 모델링된 복수의 지연경로를 제공하는 제4 모델링부;

상기 복수의 지연경로를 통해 출력되는 복수의 지연된 제3 지연신호 중 어느 하나를 상기 선택신호에 따라 선택하기 위한 제4 선택부; 및

상기 제4 선택부에 의해 선택된 신호를 반전시켜 상기 제4 지연신호로서 출력하기 위한 제2 반전부를 포함하는 반도체 메모리 장치.

청구항 26

제24항 또는 제25항에 있어서,

상기 복수의 단위 지연 셀은 RC 딜레이를 포함하는 반도체 메모리 장치.

청구항 27

제26항에 있어서,

상기 복수의 메모리 영역은 뱅크에 포함된 복수의 매트 영역에 대응하고,

상기 선택신호는 상기 복수의 매트 영역 중에서 데이터가 리드되는 매트 영역에 대응하여 인가되는 반도체 메모리 장치.

청구항 28

제21항에 있어서,

상기 리드 인에이블신호 생성부는,

상기 제2 컬럼 소오스신호와 상기 제3 지연신호를 논리 연산하여 제2 세트신호를 생성하기 위한 제4 논리 연산부;

상기 제5 제어신호와 제4 지연신호를 논리 연산하여 제2 리세트신호를 생성하기 위한 제4 논리 연산부; 및

상기 제2 세트신호와 상기 제2 리세트신호에 응답하여 상기 리드 인에이블신호를 생성하기 위한 제6 논리 연산부를 포함하는 반도체 메모리 장치.

청구항 29

제28항에 있어서,

상기 제6 논리 연산부는 SR 래치를 포함하는 반도체 메모리 장치.

청구항 30

제28항에 있어서,

상기 제3 지연신호는 상기 제2 컬럼 소오스신호와 동일 위상을 가지고,

상기 제4 지연신호는 상기 제2 컬럼 소오스신호와 반대 위상을 가지는 반도체 메모리 장치.

명세서

기술분야

[0001] 본 발명은 반도체 설계 기술에 관한 것으로, 더욱 상세하게는 반도체 메모리 장치에 관한 것이다.

배경기술

[0002] 일반적으로, 디램(DRAM : Dynamic Random Access Memory)과 같은 반도체 메모리 장치는 데이터를 저장하는 라이트 동작과 저장된 데이터를 독출하는 리드 동작을 수행한다. 여기서, 라이트 동작시에는 액티브(Active) 신호에 의해 해당 워드 라인(Word Line : WL)을 인에이블시킨 상태에서, 라이트 드라이버(Write Driver)를 통해 글로벌 입출력 라인(Global Input/Output Line : GIO)에 실린 데이터를 로컬 데이터 라인(Local Input/Output Line : LIO)에 전달하고, 로컬 데이터 라인(LIO)에 실린 데이터를 컬럼 선택신호에 따라 선택된 비트 라인 감지 증폭기(Bit Line Sense Amplifier : BLSA)로 전달함으로써 해당 메모리 셀(Cell)에 저장한다. 반대로, 리드 동작시에는 액티브 신호에 의해 해당 워드 라인(WL)을 인에이블시킨 상태에서, 해당 메모리 셀에 저장된 데이터를 비트 라인(Bit Line : BL)을 통해 비트 라인 감지 증폭기(BLSA)에서 증폭시킨 다음, 증폭된 데이터를 컬럼 선택신호에 따라 로컬 데이터 라인(LIO)으로 전달하고, 입출력 감지 증폭기(Input/Output Sense Amplifier : IOSA)에서 증폭되어 글로벌 데이터 라인(GIO)으로 전달된다. 상기와 같이 로컬 입출력 라인(LIO)과 비트 라인 감지 증폭기(BLSA) 사이에서 데이터를 전송시키기 위해서는 해당 비트 라인(BL)을 선택하기 위한 컬럼 선택신호가 이용되며, 컬럼 선택신호에 의하여 액세스(access) 타이밍이 결정된다.

[0003] 도 1에는 종래기술에 따른 반도체 메모리 장치의 컬럼 선택신호 생성회로가 구성도로 도시되어 있다.

[0004] 도 1을 참조하면, 컬럼 선택신호 생성회로(10)는 인버터 체인으로 구성되며, 소오스신호(BCS)에 응답하여 각각의 지연시간 이후에 예정된 신호(BWEN, YI_S, IOSTBP)를 생성한다. 여기서, 소오스신호(BCS)는 라이트 명령 및 리드 명령시에 각각의 예정된 레이턴시 이후에 활성화되는 신호이다.

[0005] 한편, 컬럼 선택신호 생성회로(10)는 라이트 모드시 소오스신호(BCS)에 응답하여 예정된 지연시간 이후에 라이트 인에이블신호(BWEN)를 생성하고, 라이트 인에이블신호(BWEN)를 제1 지연시간만큼 지연시켜 컬럼 소오스신호(YI_S)를 생성한다. 여기서, 라이트 인에이블신호(BWEN)는, 라이트 드라이버(도면에 미도시)에 입력되는 신호로, 라이트 드라이버가 라이트 인에이블신호(BWEN)에 따라 글로벌 입출력 라인(GIO)에 실린 데이터를 로컬 입출력 라인(LIO)으로 전달하게 된다. 그리고, 컬럼 소오스신호(YI_S)는, 컬럼 디코더(도면에 미도시)에 입력되는 신호로, 컬럼 디코더가 컬럼 소오스신호(YI_S)에 따라 컬럼 선택신호(도면에 미도시)를 생성하므로, 이하에서는 설명의 편의를 위해 컬럼 소오스신호(YI_S)를 컬럼 선택신호라 칭하여 설명하기로 한다.

[0006] 그리고, 컬럼 선택신호 생성회로(10)는 리드 모드시 소오스신호(BCS)에 응답하여 예정된 지연시간 이후에 컬럼 선택신호(YI_S)를 생성하고, 컬럼 선택신호(YI_S)를 제2 지연시간만큼 지연시켜 리드 인에이블신호(IOSTBP)를 생성한다. 여기서, 리드 인에이블신호(IOSTBP)는, 입출력 감지 증폭기(IOSA)(도면에 미도시)에 입력되는 신호로, 입출력 감지 증폭기(IOSA)가 리드 인에이블신호(IOSTBP)에 따라 로컬 입출력 라인(LIO)에 실린 데이터를 글로벌 입출력 라인(GIO)으로 전달하게 된다.

[0007] 이하, 상기와 같은 구성을 가지는 컬럼 선택신호 생성회로(10)의 동작을 도 2a 및 도 2b를 참조하여 설명한다.

[0008] 도 2a에는 라이트 모드시 컬럼 선택신호 생성회로(10)의 동작을 설명하기 위한 타이밍도가 도시되어 있고, 도 2b에는 리드 모드시 컬럼 선택신호 생성회로(10)의 동작을 설명하기 위한 타이밍도가 도시되어 있다.

- [0009] 도 2a를 참조하면, 라이트 커맨드(도면에 미도시)가 인가되고 예정된 레이턴시 이후에 소오스신호(BCS)가 생성된다. 그러면, 컬럼 선택신호 생성회로(10)는 소오스신호(BCS)에 응답하여 예정된 지연시간 이후에 라이트 인에이블신호(BWEN)를 생성하고, 라이트 인에이블신호(BWEN)를 제1 지연시간(D1)만큼 지연시켜 컬럼 선택신호(YI_S)를 생성한다.
- [0010] 도 2b를 참조하면, 리드 커맨드(도면에 미도시)가 인가되고 예정된 레이턴시 이후에 소오스신호(BCS)가 생성된다. 그러면, 컬럼 선택신호 생성회로(10)는 소오스신호(BCS)에 응답하여 예정된 지연시간 이후에 컬럼 선택신호(YI_S)를 생성하고, 컬럼 선택신호(YI_S)를 제2 지연시간(D2)만큼 지연시켜 리드 인에이블신호(IOSTBP)를 생성한다.
- [0011] 이와 같은 종래기술에 따른 컬럼 선택신호 생성회로(10)는 컬럼 경로를 순차적으로 제어하여 유효한(valid) 데이터를 라이트 및 리드할 수 있다.
- [0012] 그러나, 상기와 같은 구성을 가지는 컬럼 선택신호 생성회로(10)는 다음과 같은 문제점이 있다.
- [0013] 먼저, 컬럼 선택신호 생성회로(10)로부터 생성되는 컬럼 선택신호(YI_S)는 메모리 영역의 배치 위치에 따른 지연 보정이 고려되어 있지 못하다. 예컨대, 메모리 영역이 복수의 매트릭스를 포함한다고 가정하면, 라이트 드라이버로부터 멀리 배치된 매트릭스수록 로컬 입출력 라인(LIO)을 통해 전송되는 데이터의 구동력은 감소한다. 이는 라이트 드라이버로부터 멀리 배치된 매트릭스수록 로컬 입출력 라인(LIO)에 반영되는 지연요소(또는 라인 로딩)가 커지기 때문이다. 따라서, 라이트 드라이버로부터 멀리 배치된 매트릭스수록 라이트되는 데이터가 지연되지만, 컬럼 선택신호(YI_S)는 복수의 매트릭스의 배치 위치에 상관없이 일정한 지연시간(D1)이 반영된 컬럼 선택신호(YI_S)를 생성하고 있다. 이러한 경우, 컬럼 선택신호(YI_S)는 메모리 영역의 배치 위치에 따라 라이트 데이터가 전송되는 시점보다 상대적으로 늦게 생성되거나 또는 빠르게 생성되는 결과를 초래하므로, 라이트 리커버리 타임(tWR)이 손실되고 무효한(Invalid) 데이터가 라이트되는 문제점이 있다.
- [0014] 한편, 상기와 같은 이유로 인하여 리드 인에이블신호(IOSTBP) 또한 상대적으로 늦게 생성되거나 또는 빠르게 생성되는 결과를 초래하며, 이러한 경우 어드레스 액세스 타임(tAA)이 손실되고 무효한 데이터가 리드되는 문제점이 있다.
- [0015] 다음으로, 인버터 체인은 통상적으로 트랜지스터를 포함하여 구성되기 때문에 프로세스·전압·온도(PVT) 변동에 민감하다. 예컨대, 높은 전원전압(high VDD) 환경에서는 인버터 체인을 통한 지연시간이 감소하고, 낮은 전원전압(Low VDD) 환경에서는 인버터 체인을 통한 지연시간이 증가하기 때문에, 전압 변동에 따른 지연량 변화로 인하여 컬럼 선택신호(YI_S)가 원하는 타이밍에 정상적으로 생성되지 못한다. 따라서, 프로세스·전압·온도(PVT) 변동으로 인하여 무효한(Invalid) 데이터가 라이트 및 리드되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0016] 본 발명은 복수의 메모리 영역의 배치 위치가 고려된 컬럼 선택신호를 생성하기 위한 반도체 장치를 제공하는 것이다.
- [0017] 또한, 본 발명은 복수의 메모리 영역의 배치 위치가 고려된 컬럼 선택신호를 생성하면서도 프로세스·전압·온도(PVT) 변동에 둔감한 반도체 장치를 제공하는 것이다.

과제의 해결 수단

- [0018] 본 발명의 일 측면에 따르면, 본 발명은 복수의 지연시간 중에서 데이터가 입출력되는 메모리 영역의 배치 위치에 따라 선택된 지연시간이 서로 다른 배수로 반영된 제1 및 제2 지연신호를 제1 컬럼 제어신호에 응답하여 순차적으로 생성하기 위한 제1 신호 생성부; 및 제1 컬럼 제어신호보다 지연시간만큼 지연된 제2 컬럼 제어신호를 생성하되, 제1 지연신호에 응답하여 제2 컬럼 제어신호의 활성화 시점을 결정하고 제2 지연신호에 응답하여 제2 컬럼 제어신호의 비활성화 시점을 결정하는 제2 신호 생성부를 포함한다.
- [0019] 본 발명의 다른 측면에 따르면, 본 발명은 라이트 인에이블신호를 복수의 메모리 영역의 배치 위치에 대응하는

지연시간만큼 지연시켜 제1 지연신호를 생성하기 위한 제1 레플리카 지연부; 제1 지연신호를 지연시간만큼 지연시켜 제2 지연신호를 생성하기 위한 제2 레플리카 지연부; 라이트 인에이블신호와 제1 및 제2 지연신호에 응답하여 라이트 인에이블신호보다 지연시간만큼 지연된 제1 컬럼 소오스신호를 생성하기 위한 컬럼 소오스신호 생성부; 및 제1 컬럼 소오스신호에 응답하여 라이트용 컬럼 선택신호를 생성하기 위한 컬럼 디코더를 포함한다.

발명의 효과

- [0020] 라이트 모드시에는 복수의 메모리 영역의 배치 위치에 대응하여 컬럼 선택신호의 생성 타이밍이 조절되고, 리드 모드시에는 복수의 메모리 영역의 배치 위치에 대응하여 리드 인에이블신호의 생성 타이밍이 조절됨으로써, 유효한(valid) 데이터가 라이트 및 리드되는 효과가 있다.
- [0021] 또한, 컬럼 선택신호 및 리드 인에이블신호의 생성 타이밍을 조절할 때 필요한 지연요소로서 RC 딜레이를 이용함으로써, 프로세스·전압·온도(PVT) 변동시에도 컬럼 선택신호 및 리드 인에이블신호가 원하는 타이밍에 정상적으로 생성되는 효과가 있다.

도면의 간단한 설명

- [0022] 도 1은 종래기술에 따른 반도체 장치의 일예를 보인 구성도이다.
- 도 2a 및 도 2b는 도 1에 도시된 반도체 장치의 동작을 설명하기 위한 타이밍도이다.
- 도 3은 본 발명의 실시예에 따른 반도체 장치의 블록 구성도이다.
- 도 4는 도 3에 도시된 컬럼 제어부의 내부 구성도이다.
- 도 5는 도 4에 도시된 라이트용 컬럼 소오스신호 생성부의 내부 구성도이다.
- 도 6은 도 5에 도시된 제1 레플리카 딜레이의 내부 구성도이다.
- 도 7은 도 5에 도시된 제2 레플리카 딜레이의 내부 구성도이다.
- 도 8은 도 4에 도시된 리드 인에이블신호 생성부의 내부 구성도이다.
- 도 9는 도 3에 도시된 컬럼 디코더와 복수의 매트 간의 배치 관계를 설명하기 위한 블록 구성도이다.
- 도 10은 본 발명의 실시예에 따른 반도체 장치의 동작을 설명하기 위한 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- [0024] 도 3에는 본 발명의 실시예에 따른 반도체 장치가 블록 구성도로 도시되어 있다.
- [0025] 도 3을 참조하면, 반도체 장치(100)는 소오스신호(BCS)와 라이트/리드 구분신호(WTD)에 응답하여 라이트용 컬럼 소오스신호(BCS), 리드용 컬럼 소오스신호(BCS), 라이트 인에이블신호, 리드 인에이블신호(IOSTBP)를 생성하기 위한 컬럼 제어부(110)와, 라이트용 컬럼 소오스신호(BCS)와 리드용 컬럼 소오스신호(BCS)에 응답하여 컬럼 선택신호(YI)를 생성하기 위한 컬럼 디코더(120)와, 글로벌 입출력 라인(Global Input/Output Line)(GIO)에 실린 데이터를 라이트 인에이블신호(BWEN)에 응답하여 로컬 입출력 라인(Local Input/Output Line) 쌍(LIO, LIOB)으로 전달하기 위한 라이트 드라이버(130)와, 로컬 입출력 라인 쌍(LIO, LIOB)에 실린 데이터를 리드 인에이블신호(IOSTBP)에 응답하여 글로벌 입출력 라인(GIO)으로 전달하기 위한 입출력 감지 증폭기(Input/Output Sense Amplifier : IOSA)(140)와, 컬럼 선택신호(YI)에 응답하여 로컬 입출력 라인 쌍(LIO, LIOB)에 실린 데이터를 내부에 라이트하거나 또는 내부에 라이트된 데이터를 로컬 입출력 라인 쌍(LIO, LIOB)으로 제공하기 위한 메모리 영역(150)을 포함한다.
- [0026] 여기서, 컬럼 디코더(120), 라이트 드라이버(130), 입출력 감지 증폭기(140) 그리고 뱅크(150)는 이미 공지된 기술이며 더 나아가서는 본 발명의 요지를 흐트러뜨리지 않기 위하여 자세한 설명은 생략하도록 한다. 단, 메모리 영역(150)은 제1 내지 제4 매트(MAT0 ~ MATn)를 포함하는 임의의 뱅크(Bank[i])인 것으로 예를 들어 설명한

다.

- [0027] 도 4에는 도 3에 도시된 컬럼 제어부(110)가 블록 구성도로 도시되어 있다.
- [0028] 도 4를 참조하면, 컬럼 제어부(110)는 소오스신호(BCS)와 라이트/리드 구분신호(WTD)에 응답하여 라이트 모드시 소오스신호(BCS)보다 예정된 지연시간만큼 지연된 라이트 인에이블신호(BWEN)를 생성하고 리드 모드시 소오스신호(BCS)보다 예정된 지연시간만큼 지연된 리드용 컬럼 소오스신호(BCS)를 생성하기 위한 입력 지연부(111)와, 라이트 인에이블신호(BWEN)에 응답하여 제1 내지 제4 매트(MAT[0] ~ MAT[3])의 배치 위치에 대응하는 지연시간이 반영된 라이트용 컬럼 소오스신호(BCS)를 생성하기 위한 라이트용 컬럼 소오스신호 생성부(113)와, 리드용 컬럼 소오스신호(BCS)에 응답하여 제1 내지 제4 매트(MAT[0] ~ MAT[3])의 배치 위치에 대응하는 지연시간이 반영된 리드 인에이블신호(IOSTBP)를 생성하기 위한 리드 인에이블신호 생성부(115)를 포함한다.
- [0029] 도 5에는 도 4에 도시된 라이트용 컬럼 소오스신호 생성부(113)의 내부 구성도가 도시되어 있고, 도 6에는 도 5에 도시된 제1 레플리카 딜레이의 내부 구성도가 도시되어 있고, 도 7에는 도 5에 도시된 제2 레플리카 딜레이의 내부 구성도가 도시되어 있다.
- [0030] 도 5를 참조하면, 라이트용 컬럼 소오스신호 생성부(113)는 복수의 지연시간 중에서 데이터가 입출력되는 임의의 매트(MAT[0] ~ MAT[3])의 배치 위치에 대응하여 선택된 지연시간이 서로 다른 배수로 반영된 제1 및 제2 지연신호(EVEN_DLY1, ODD_DLY1)를 라이트 인에이블신호(BWEN)에 응답하여 순차적으로 생성하기 위한 제1 신호 생성부(113A)와, 라이트 인에이블신호(BWEN)보다 상기 선택된 지연시간만큼 지연된 라이트용 컬럼 소오스신호(BCS)를 생성하되, 제1 지연신호(EVEN_DLY1)에 응답하여 라이트용 컬럼 소오스신호(BCS)의 활성화 시점을 결정하고 제2 지연신호(ODD_DLY1)에 응답하여 라이트용 컬럼 소오스신호(BCS)의 비활성화 시점을 결정하는 제2 신호 생성부(113B)를 포함한다. 여기서, 복수의 지연시간은 로컬 입출력 라인(LIO 또는 LIOB)을 제1 내지 제4 매트(MAT[0] ~ MAT[3])의 배치 위치에 대응하여 모델링한 지연시간들을 포함한다.
- [0031] 한편, 제1 신호 생성부(113A)는 라이트 인에이블신호(BWEN)를 제1 내지 제4 매트(MAT[0] ~ MAT[3])의 배치 위치에 대응하는 지연시간만큼 지연시켜 제1 지연신호(EVEN_DLY1)를 생성하기 위한 제1 레플리카 지연부(113A_1)와, 제1 지연신호(EVEN_DLY1)를 제1 내지 제4 매트(MAT[0] ~ MAT[3])의 배치 위치에 대응하는 지연시간만큼 지연시켜 제2 지연신호(ODD_DLY1)를 생성하기 위한 제2 레플리카 지연부(113A_3)를 포함한다. 이때, 제1 지연신호(EVEN_DLY1)는 라이트 인에이블신호(BWEN)에 비하여 1배의 지연시간만큼 지연되고, 제2 지연신호(ODD_DLY1)는 라이트 인에이블신호(BWEN)에 비하여 2배의 지연시간만큼 지연됨을 알 수 있다.
- [0032] 여기서, 제1 레플리카 지연부(113A_1)는 도 6에 도시된 바와 같이, 복수의 단위 지연 셀(UD)이 직렬로 접속되며 제1 내지 제4 매트(MAT[0] ~ MAT[3])의 배치 위치에 대응하여 서로 다른 지연시간이 모델링된 복수의 지연경로를 제공하는 제1 모델링부(113A_11)와, 복수의 지연경로를 통해 출력되는 복수의 지연된 라이트 인에이블신호(BWEN_M0 ~ BWEN_M3) 중 어느 하나를 제1 내지 제4 매트 선택신호(MAT0 ~ MAT3)에 따라 선택하여 제1 지연신호(EVEN_DLY1)로서 출력하기 위한 제1 선택부(113A_13)를 포함한다. 여기서, 단위 지연 셀(UD)은 RC 딜레이를 포함한다.
- [0033] 그리고, 제2 레플리카 지연부(113A_3)는 도 7에 도시된 바와 같이, 복수의 단위 지연 셀(UD)이 직렬로 접속되며, 제1 내지 제4 매트(MAT[0] ~ MAT[3])의 배치 위치에 대응하여 서로 다른 지연시간이 모델링된 복수의 지연경로를 제공하는 제2 모델링부(113A_31)와, 복수의 지연경로를 통해 출력되는 복수의 지연된 제1 지연신호(EVEN_DLY1_M0 ~ EVEN_DLY1_M3) 중 어느 하나를 제1 내지 제4 매트 선택신호(MAT0 ~ MAT3)에 따라 선택하기 위한 제2 선택부(113A_33)와, 제2 선택부(113A_33)에 의해 선택된 신호를 반전시켜 제2 지연신호(ODD_DLY1)로서 출력하기 위한 제1 반전부(113A_35)를 포함한다. 여기서, 단위 지연 셀(UD)은 RC 딜레이를 포함한다.
- [0034] 다시 도 5를 참조하면, 제2 신호 생성부(113B)는 라이트 인에이블신호(BWEN)와 제1 지연신호(EVEN_DLY1)를 논리 연산하여 제1 세트신호(SETB1)를 생성하기 위한 제1 논리 연산부(113B_1)와, 제1 지연신호(EVEN_DLY1)와 제2 지연신호(ODD_DLY1)를 논리 연산하여 제1 리세트신호(RSTB1)를 생성하기 위한 제2 논리 연산부(113B_3)와, 제1 세트신호(SETB1)와 제1 리세트신호(RSTB1)를 논리 연산하여 라이트용 컬럼 소오스신호(BCS)를 생성하기 위한 제3 논리 연산부(113B_5)를 포함한다.
- [0035] 여기서, 제1 논리 연산부(113B_1)는 라이트 인에이블신호(BWEN)와 제1 지연신호(EVEN_DLY1)를 부정 논리 곱 연산하여 제1 세트신호(SETB1)를 출력하기 위한 낸드 게이트(NAND gate)를 포함한다.
- [0036] 그리고, 제2 논리 연산부(113B_3)는 제1 지연신호(EVEN_DLY1)와 제2 지연신호(ODD_DLY1)를 부정 논리 합 연산하기 위한 노어 게이트(NOR gate)와, 노어 게이트의 출력신호를 반전시켜 제1 리세트신호(RSTB1)를 출력하기 위한

인버터(Inverter)를 포함한다.

- [0037] 또한, 제3 논리 연산부(113B_5)는, 두 개의 낸드 게이트를 포함하여 구성되는 SR 래치로, 제1 세트신호(SETB1)와 다른 하나의 낸드 게이트의 출력신호를 부정 논리 곱 연산하여 라이트용 컬럼 소오스신호(BCS)를 출력하기 위한 낸드 게이트와, 제1 리세트신호(RSTB1)와 라이트용 컬럼 소오스신호(BCS)를 부정 논리 곱 연산하기 위한 낸드 게이트를 포함한다.
- [0038] 도 8은 도 4에 도시된 리드 인에이블신호 생성부(115)의 내부 구성도가 도시되어 있다.
- [0039] 도 8을 참조하면, 리드 인에이블신호 생성부(115)는 복수의 지연시간 중에서 데이터가 입출력되는 임의의 매트(MAT[0] ~ MAT[3])의 배치 위치에 대응하여 선택된 지연시간이 서로 다른 배수로 반영된 제3 및 제4 지연신호(EVEN_DLY2, ODD_DLY2)를 리드용 컬럼 소오스신호(BCS)에 응답하여 순차적으로 생성하기 위한 제3 신호 생성부(115A)와, 리드용 컬럼 소오스신호(BCS)보다 상기 선택된 지연시간만큼 지연된 리드 인에이블신호(IOSTBP)를 생성하되, 제3 지연신호(EVEN_DLY2)에 응답하여 리드 인에이블신호(IOSTBP)의 활성화 시점을 결정하고 제4 지연신호(ODD_DLY2)에 응답하여 리드 인에이블신호(IOSTBP)의 비활성화 시점을 결정하는 제4 신호 생성부(115B)를 포함한다. 여기서, 복수의 지연시간은 로컬 입출력 라인(LIO 또는 LIOB)을 제1 내지 제4 매트(MAT[0] ~ MAT[3])의 배치 위치에 대응하여 모델링한 지연시간들을 포함한다.
- [0040] 한편, 제3 신호 생성부(115A)는 리드용 컬럼 소오스신호(BCS)를 제1 내지 제4 매트(MAT[0] ~ MAT[3])의 배치 위치에 대응하는 지연시간만큼 지연시켜 제3 지연신호(EVEN_DLY2)를 생성하기 위한 제3 레플리카 지연부(115A_1)와, 제3 지연신호(EVEN_DLY2)를 제1 내지 제4 매트(MAT[0] ~ MAT[3])의 배치 위치에 대응하는 지연시간만큼 지연시켜 제4 지연신호(ODD_DLY2)를 생성하기 위한 제4 레플리카 지연부(115A_3)를 포함한다. 이때, 제3 지연신호(EVEN_DLY2)는 리드용 컬럼 소오스신호(BCS)에 비하여 상기 지연시간의 1배수만큼 지연되고, 제2 지연신호(ODD_DLY1)는 리드용 컬럼 소오스신호(BCS)에 비하여 상기 지연시간의 2배수만큼 지연됨을 알 수 있다.
- [0041] 여기서, 제3 및 제4 레플리카 지연부(115A_1, 115A_3)는 앞서 설명한 제1 및 제2 레플리카 지연부(113A_1, 113A_3)와 동일한 구성을 가지므로, 자세한 설명은 생략하도록 한다(도 6 및 도 7 참조).
- [0042] 한편, 제2 신호 생성부(115B)는 리드용 컬럼 소오스신호(BCS)와 제3 지연신호(EVEN_DLY2)를 논리 연산하여 제2 세트신호(SETB2)를 생성하기 위한 제4 논리 연산부(115B_1)와, 제3 지연신호(EVEN_DLY2)와 제4 지연신호(ODD_DLY2)를 논리 연산하여 제2 리세트신호(RSTB2)를 생성하기 위한 제5 논리 연산부(115B_3)와, 제2 세트신호(SETB2)와 제2 리세트신호(RSTB2)를 논리 연산하여 리드 인에이블신호(IOSTBP)를 생성하기 위한 제6 논리 연산부(115B_5)를 포함한다.
- [0043] 여기서, 제4 내지 제6 논리 연산부(115B_1, 115B_3, 115B_5)는 앞서 설명한 제1 내지 제3 논리 연산부(113B_1, 113B_3, 113B_5)와 동일한 구성을 가지므로, 자세한 설명은 생략하도록 한다.
- [0044] 이하, 상기와 같은 구성을 가지는 본 발명의 실시예에 따른 반도체 장치(100)의 동작을 도 9 및 도 10을 참조하여 설명한다.
- [0045] 도 9에는 도 3에 도시된 컬럼 디코더(120), 라이트 드라이버(130), 입출력 감지 증폭기(140) 및 제1 내지 제4 매트(MAT[0] ~ MAT[3])의 배치 관계를 보인 블록 구성도가 도시되어 있고, 도 10에는 본 발명의 실시예에 따른 반도체 장치(100)의 동작을 설명하기 위한 타이밍도가 도시되어 있다.
- [0046] 본 발명의 실시예에서는 도 9에 도시된 바와 같이, 제1 내지 제4 매트(MAT[0] ~ MAT[3])는 컬럼 디코더(120), 라이트 드라이버(130) 및 입출력 감지 증폭기(140)과 멀어지는 방향으로 순서대로 배치되는 것을 예로 들어 설명한다. 다시 말해, 제1 매트(MAT[0])가 컬럼 디코더(120), 라이트 드라이버(130) 및 입출력 감지 증폭기(140)로부터 가장 가깝게 배치되고, 제4 매트(MAT[3])가 컬럼 디코더(120), 라이트 드라이버(130) 및 입출력 감지 증폭기(140)로부터 가장 멀리 배치된다.
- [0047] 도 10을 참조하면, 먼저 라이트 모드시에는 라이트 커맨드(도면에 미도시)가 인가되고 예정된 레이턴시 이후에 소오스신호(BCS)가 생성된다. 예컨대, 라이트 모드시에는 라이트/리드 구분신호(WTD)가 논리 하이 레벨을 가진다.
- [0048] 그리고, 입력 지연부(111)는 라이트/리드 구분신호(WTD)와 소오스신호(BCS)에 응답하여 예정된 지연시간 이후에 라이트 인에이블신호(BWEN)를 생성하고, 라이트용 컬럼 소오스신호 생성부(113)는 라이트 인에이블신호(BWEN)에 응답하여 라이트용 컬럼 소오스신호(BCS)를 생성한다. 라이트용 컬럼 소오스신호(BCS)가 생성되는 과정을 더욱 자세하게 설명하면, 제1 레플리카 딜레이(113A_1)는 라이트 인에이블신호(BWEN)를 제1 내지 제4 매트(MAT[0] ~

MAT[3]) 중에서 데이터가 라이트될 매트(이하 '제1 선택 매트(MAT[x])'라 칭함)의 배치 위치에 대응하여 모델링된 지연시간(D1)만큼 지연시켜 제1 지연신호(EVEN_DLY1)를 생성한다. 그리고, 제2 레플리카 딜레이(113A_3)는 제1 지연신호(EVEN_DLY1)를 제1 선택 매트(MAT[x])의 배치 위치에 대응하여 모델링된 지연시간(D1)만큼 지연시켜 제2 지연신호(ODD_DLY1)를 생성한다. 이때, 제2 지연신호(ODD_DLY1)는 제1 지연신호(EVEN_DLY1)와 반대의 위상을 가지도록 생성된다. 계속해서, 제1 논리 연산부(113B_1)가 라이트 인에이블신호(BWEN)와 제1 지연신호(EVEN_DLY1)를 부정 논리 곱 연산하여 제1 세트신호(SETB1)를 생성하고 제2 논리 연산부(113B_3)가 제1 및 제2 지연신호(EVEN_DLY1, ODD_DLY1)를 논리 합 연산하여 제1 리세트신호(RSTB1)를 생성하면, 제3 논리 연산부(113B_5)는 제1 세트신호(SETB1)에 응답하여 활성화되고 제1 리세트신호(RSTB1)에 응답하여 비활성화되는 라이트용 컬럼 소오스신호(BCS)를 생성한다. 한편, 제1 및 제2 지연신호(EVEN_DLY1, ODD_DLY1)는 RC 딜레이를 이용하여 모델링된 지연경로를 통해 제1 선택 매트(MAT[x])의 배치 위치에 대응하는 지연시간(D1)이 반영되며, 이때 제1 선택 매트(MAT[x])가 라이트 드라이버(130)로부터 멀리 배치된 매트일수록 더 크게 모델링된 지연시간(D1)이 반영된다.

[0049] 한편, 라이트 드라이버(130)는 글로벌 입출력 라인(GIO)에 실린 데이터(도면에 미도시)를 라이트 인에이블신호(BWEN)에 응답하여 로컬 입출력 라인 쌍(LIO, LIOB)으로 전달하고, 컬럼 디코더(120)는 라이트용 컬럼 소오스신호(BCS)에 응답하여 컬럼 선택신호(YI)를 생성한다. 그러면, 제1 선택 매트(MAT[x])는 로컬 입출력 라인 쌍(LIO, LIOB)에 실린 데이터를 컬럼 선택신호(YI)에 응답하여 저장한다.

[0050] 다음, 리드 모드시에는 리드 커맨드(도면에 미도시)가 인가되고 예정된 레이턴시 이후에 소오스신호(BCS)가 생성된다. 예컨대, 리드 모드시에는 라이트/리드 구분신호(WTD)가 논리 로우 레벨을 가진다.

[0051] 그리고, 입력 지연부(111)는 라이트/리드 구분신호(WTD)와 소오스신호(BCS)에 응답하여 예정된 지연시간 이후에 리드용 컬럼 소오스신호(BCS)를 생성하고, 리드용 컬럼 소오스신호 생성부(115)는 리드용 컬럼 소오스신호(BCS)에 응답하여 리드 인에이블신호(IOSTBP)를 생성한다. 리드 인에이블신호(IOSTBP)가 생성되는 과정을 더욱 자세하게 설명하면, 제3 레플리카 딜레이(115A_1)는 리드용 컬럼 소오스신호(BCS)를 제1 내지 제4 매트(MAT[0] ~ MAT[3]) 중에서 데이터가 리드될 매트(이하 '제2 선택 매트(MAT[y])'라 칭함)의 배치 위치에 대응하여 모델링된 지연시간(D2)만큼 지연시켜 제3 지연신호(EVEN_DLY2)를 생성한다. 그리고, 제4 레플리카 딜레이(115A_3)는 제3 지연신호(EVEN_DLY2)를 제2 선택 매트(MAT[y])의 배치 위치에 대응하여 모델링된 지연시간(D2)만큼 지연시켜 제4 지연신호(ODD_DLY2)를 생성한다. 이때, 제4 지연신호(ODD_DLY2)는 제3 지연신호(EVEN_DLY2)와 반대의 위상을 가지도록 생성된다. 계속해서, 제4 논리 연산부(115B_1)가 리드용 컬럼 소오스신호(BCS)와 제3 지연신호(EVEN_DLY2)를 부정 논리 곱 연산하여 제2 세트신호(SETB2)를 생성하고 제5 논리 연산부(115B_3)가 제3 및 제4 지연신호(EVEN_DLY2, ODD_DLY2)를 논리 합 연산하여 제2 리세트신호(RSTB2)를 생성하면, 제6 논리 연산부(115B_5)는 제2 세트신호(SETB2)에 응답하여 활성화되고 제2 리세트신호(RSTB2)에 응답하여 비활성화되는 리드 인에이블신호(IOSTBP)를 생성한다. 한편, 제3 및 제4 지연신호(EVEN_DLY2, ODD_DLY2)는 RC 딜레이를 이용하여 모델링된 지연경로를 통해 제2 선택 매트(MAT[y])의 배치 위치에 대응하는 지연시간(D2)이 반영되며, 이때 제2 선택 매트(MAT[y])가 입출력 감지 증폭기(140)로부터 멀리 배치된 매트일수록 더 크게 모델링된 지연시간(D2)이 반영된다.

[0052] 한편, 컬럼 디코더(120)는 리드용 컬럼 소오스신호(BCS)에 응답하여 컬럼 선택신호(YI)를 생성한다. 그러면, 제2 선택 매트(MAT[y])는 리드 대상 데이터를 컬럼 선택신호(YI)에 응답하여 로컬 입출력 라인 쌍(LIO, LIOB)으로 전달한다. 그리고, 입출력 감지 증폭기(140)는 로컬 입출력 라인 쌍(LIO, LIOB)에 실린 데이터를 리드 인에이블신호(IOSTBP)에 응답하여 글로벌 입출력 라인(GIO)으로 전달한다.

[0053] 이와 같은 본 발명의 실시예에 따르면, 데이터가 로컬 입출력 라인 쌍(LIO, LIOB)을 통해 전송될 때 로컬 입출력 라인(LIO 또는 LIOB)의 라인 로딩을 감안하여 라이트 모드시에는 컬럼 선택신호(YI)의 생성 타이밍을 조절하고 리드 모드시에는 리드 인에이블신호(IOSTBP)의 생성 타이밍을 조절함으로써 유효한 데이터가 라이트 및 리드될 수 있는 이점이 있다. 또한, 로컬 입출력 라인(LIO 또는 LIOB)의 라인 로딩에 대응하여 모델링된 지연요소로서 RC 딜레이를 이용함에 따라 프로세스·전압·온도(PVT) 변동에 둔감해지므로, 프로세스·전압·온도(PVT) 변동시에도 라이트 인에이블신호(BWEN)와 컬럼 선택신호(YI) 간의 마진과 컬럼 선택신호(YI)와 리드 인에이블신호 간의 마진이 항상 일정하게 유지되는 이점이 있다.

[0054] 본 발명의 기술 사상은 상기 실시예에 따라 구체적으로 기술되었으나, 이상에서 설명한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 여러 가지 치환, 변형 및 변경으로 다양한 실시예가 가능함을 이해할 수 있을

것이다.

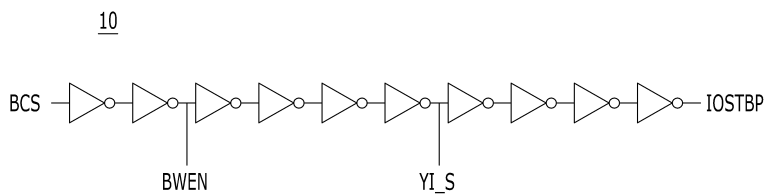
부호의 설명

[0055]

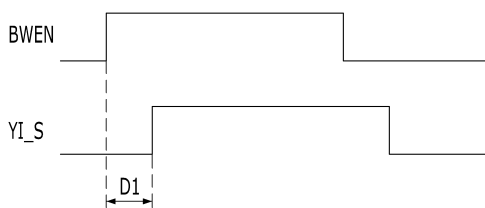
- | | |
|----------------------|-------------------------|
| 100 : 반도체 장치 | 110 : 컬럼 제어부 |
| 111 : 입력 지연부 | 113 : 라이트용 컬럼 소오스신호 생성부 |
| 113A : 제1 신호 생성부 | 113A_1 : 제1 레플리카 딜레이 |
| 113A_3 : 제2 레플리카 딜레이 | 113A_31 : 제1 모델링부 |
| 113A_33 : 제1 선택부 | 113B : 제2 신호 생성부 |
| 113B_1 : 제1 논리 연산부 | 113B_3 : 제2 논리 연산부 |
| 113B_5 : 제3 논리 연산부 | 115 : 리드용 컬럼 소오스신호 생성부 |
| 115A : 제3 신호 생성부 | 115A_1 : 제3 레플리카 딜레이 |
| 115A_3 : 제4 레플리카 딜레이 | 115A_31 : 제2 모델링부 |
| 115A_33 : 제2 선택부 | 115A_35 : 제1 반전부 |
| 115B : 제4 신호 생성부 | 115B_1 : 제4 논리 연산부 |
| 115B_3 : 제5 논리 연산부 | 115B_5 : 제6 논리 연산부 |
| 120 : 컬럼 디코더 | 130 : 라이트 드라이버 |
| 140 : 입출력 감지 증폭기 | 150 : 메모리 영역 |

도면

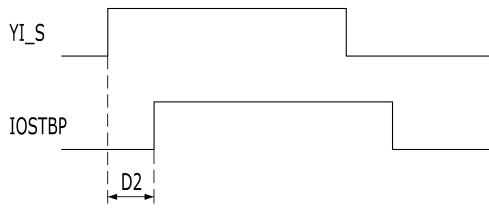
도면1



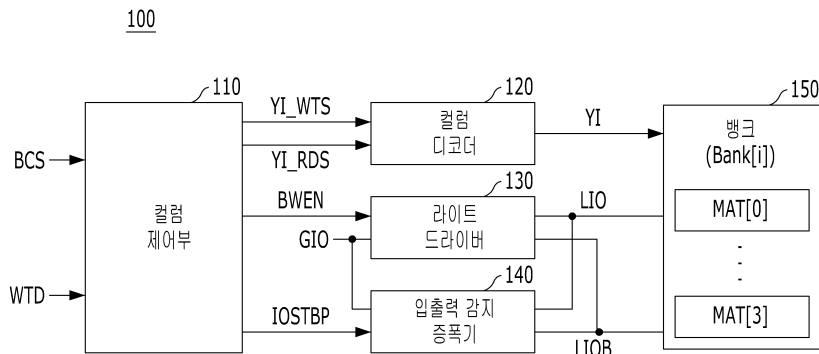
도면2a



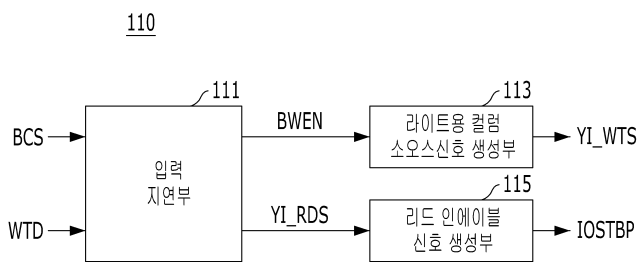
도면2b



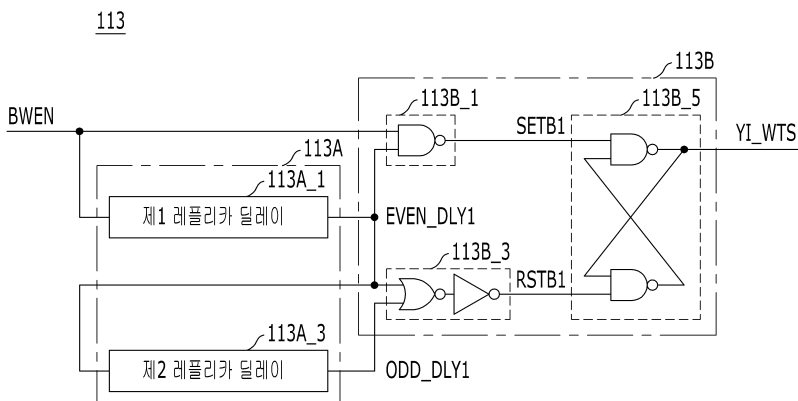
도면3



도면4

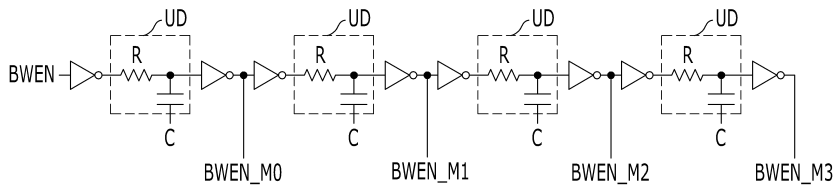


도면5

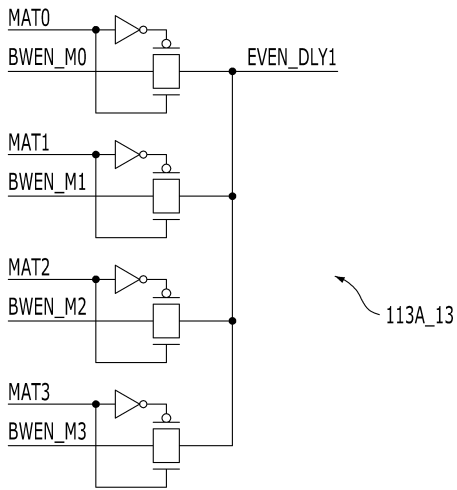


도면6

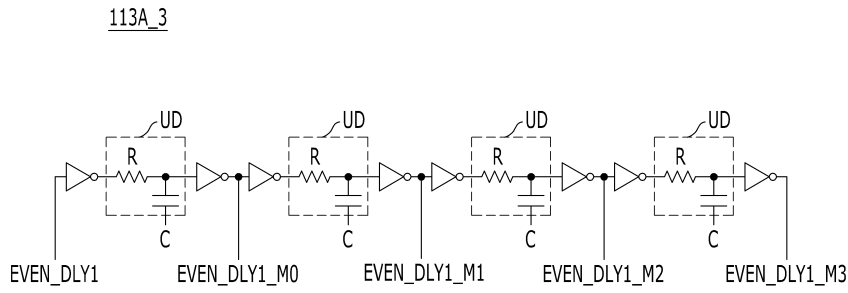
113A_1



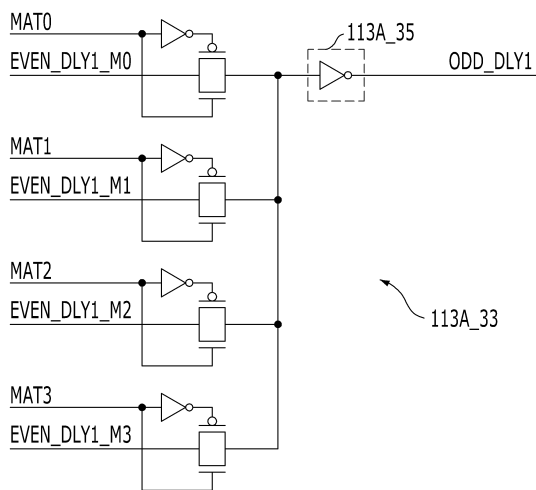
113A_11



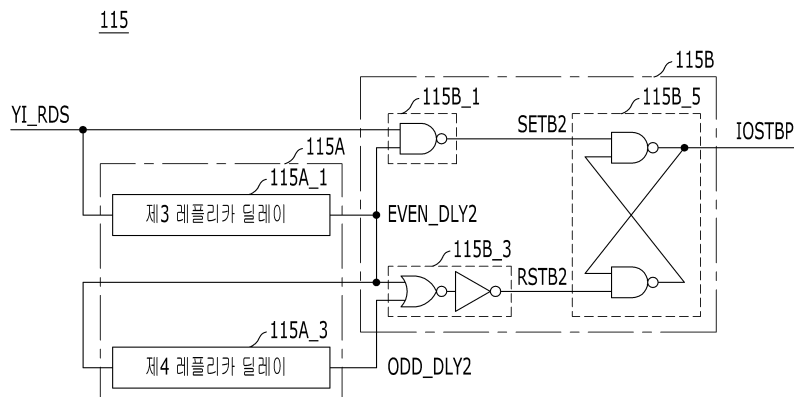
도면7



113A_31



도면8



도면9



도면10

