

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G11C 11/407

(45) 공고일자 1996년03월 14일

(11) 공고번호 특1996-0003534

(24) 등록일자 1996년03월 14일

(21) 출원번호	특1993-0019425	(65) 공개번호	특1994-0012396
(22) 출원일자	1993년09월23일	(43) 공개일자	1994년06월23일
(30) 우선권주장	92-314544 1992년11월25일 일본(JP)		
(71) 출원인	샤프 가부시끼가이샤 쓰지 하루오		
	일본국 오사카시 아베노구 나가이쵸 22-22		

(72) 발명자 다니모도 준이찌  
일본국 나라 630-02 이코마시 스지마찌 70-8-B-606  
이시이 도시지  
일본국 633 사쿠라이시 가이쵸 350-1-705  
(74) 대리인 김영길

**심사관 : 장완호 (책자공보 제4375호)**

**(54) 전원전압의 강압회로**

**요약**

내용 없음.

**대표도**

**도1**

**명세서**

[발명의 명칭]

전원전압의 강압회로

[도면의 간단한 설명]

제1도 내지 제4도는 본 발명의 일 실시예를 표시한 것.

제1도는 전원전압의 강압회로의 회로도.

제2도는 제1도의 전원전압의 강압회로에 있어서 액티브 신호의 발생회로의 일예를 표시하는 회로도.

제3도는 제1도의 전원전압의 강압회로에 있어서 액티브 신호의 발생회로의 다른 예를 표시하는 회로도.

제4도는 제1도의 전원전압의 강압회로의 각 부의 파형도.

제4a도는 전압 파형도.

제4b도는 전류 파형도.

제5도 및 제6도는 종래예를 표시한 것.

제5도는 종래 전원전압의 강압회로의 회로도.

제6a도는 전압 파형도.

제6b도는 전류 파형도.

[발명의 상세한 설명]

본 발명은 외부 전원전압을 소정의 전압에 강하시키는 전원전압의 강압회로에 관한 것이다.

제5도에 종래의 전원전압의 강압회로를 표시한다. 이 전원전압의 강압회로는 외부 전원전압  $V_{CC}$ 에서 기준 전압  $V_{REF}$ 를 만들어 내기 위한 기준전압 발생회로(14)와, 기준전압  $V_{REF}$ 과 내부회로(13)의 전원전압  $V_{INT}$ 과를 입력하는 차동 증폭회로(11)와 차동증폭회로(11)의 출력인 제어신호  $V_{OP0}$ 를 받아서 내부회로(13)의 구동전류  $I_{INT}$ 의 제어를 행하는 구동회로(12)와를 구비하고 있다. 구동회로(12)에는 P채널 MOSPET가 사용되어 있다. 내부회로(13)가 동작하여 내부회로(13)의 소비전류(다시 말하면 구동전류  $I_{INT}$ )가 증대하면, 내

부회로(13)의 전원전압  $V_{INT}$ 이 저하한다.

이때, 차동증폭회로(11)에서의 제어신호  $V_{OP0}$ 는 L레벨로 되어 구동회로(12) (P채널 MOSFET)가 온상태로 된다. 그 결과 내부회로(13)에 구동전류  $I_{INT}$ 가 공급됨으로 내부회로(13)의 전원전압  $V_{INT}$ 이 상승한다. 내부회로(13)의 전원전압  $V_{INT}$ 이 상승을 계속하여 기준전압  $V_{REF}$ 보다 높게 되었을 때, 차동증폭회로(11)에서의 제어신호  $V_{OP0}$ 는 H레벨로 되어 구동회로(12) (P채널 MOSFET)가 오프상태로 된다.

그 결과 내부회로(13)에 구동전류  $I_{INT}$ 가 공급되지 않게 됨으로 내부회로(13)의 전원전압  $V_{INT}$ 이 기준전압  $V_{REF}$ 과 동일하게 되었을 시점에서 전원전압  $V_{INT}$ 은 상승하지 않게 된다.

이상과 같이 기준전압  $V_{REF}$ 과 전원전압  $V_{INT}$ 과의 차를 차동증폭회로(11)에서 검출하고 증폭하는 것에 의해 얻어진 제어신호  $V_{OP0}$ 에서 내부회로(13)의 구동회로(12)를 제어하는 것에 의해 내부회로(13)의 전원전압  $V_{INT}$ 을 기준전압  $V_{REF}$ 으로 되돌리고 있다.

이것에 의해 내부회로(13)의 전원전압  $V_{INT}$ 은 외부 전원전압  $V_{CC}$  보다 낮은 기준전압  $V_{REF}$ 에 설정된다. 그렇지만 기준전압  $V_{REF}$ 과 전원전압  $V_{INT}$ 과의 차를 차동증폭회로(11)로서 증폭하는 구성에는 내부회로(13)의 소비전류가 급격히 변화한 경우, 제6도에 표시함과 같이 차동증폭회로(11)에서의 제어신호  $V_{OP0}$ 가 잠시동안 (도면의 시간  $t_2$ 의 사이) L레벨로 되지 않는다.

이 때문에 그간의 전원전압  $V_{INT}$ 이 기준전압  $V_{REF}$ 에서 상당히 저하한다(도면의 전압  $\Delta V_Z$  정도 저하한다). 결과적으로 반도체 집적회로 등의 내부회로(13)의 고속동작을 방해한다는 문제점을 가지고 있다.

본 발명의 목적은 소비전류의 증대에 단시간으로 대응되는 전원전압의 강압회로를 제공하는 것에 있다. 이 목적을 달성하기 위하여 본 발명의 외부 전원전압을 외부 보다 낮은 제1전압으로 변환하고 내부회로에 인가하는 전원전압의 강압회로는 외부 전원전압에서 기준전압을 만들어내기 위한 기준전압 발생회로와 기준전압과 제1전압과의 차를 제어신호로서 출력하는 차동증폭회로와 차동증폭회로에서의 제어신호에 의거하여 내부회로에 공급하는 전류를 제어하는 구동회로와 내부회로의 소비 전류의 증대를 검출하는 것에 의해 검출신호를 출력하는 신호발생 회로와 신호발생회로에서의 검출신호에 의거하여 내부회로에 공급되는 전류가 증대하도록 구동회로를 제어하는 제어수단과를 구비하고 있는 것을 특징으로 하고 있다.

이것에 의하면 내부회로의 소비전류가 증대하여도 내부회로에 인가되는 제1전압의 저하를 약간의 치에 억제하는 것이 된다.

본 발명의 또 다른 목적, 특징 및 우수한 점은 이하에 표시하는 기재에 의하여 충분히 알 것이다. 또 본 발명의 이익은 첨부 도면을 참조한 다음의 설명에서 명백히 될 것이다.

본 발명의 일 실시예를 제1도 내지 제4도에 의거하여 설명하면 이하와 같다. 본 실시예의 전원전압의 강압회로는 제1도에 표시함과 같이 외부 전원전압  $V_{CC}$ 에서 기준전압  $V_{REF}$ 를 만들어내기 위한 기준전압 발생회로(1)와 기준전압 발생회로(1)에서의 기준전압  $V_{REF}$ 과 내부회로(6)에 인가되는 전원전압  $V_{INT}$ (제1전압)과를 입력하는 차동증폭회로(2)와, 차동증폭회로(2)에서의 제어신호  $V_{OP0}$ 를 받아서 내부회로(6)의 구동전류  $I_{INT}$ 의 제어를 행하는 내부회로(6)의 구동회로(3)와를 구비하고 있다. 구동회로(3)에는 P채널 MOSFET이 사용되어 있다. 더욱더 본 실시예의 전원전압의 강압회로는 내부회로(6)의 소비전류의 증대를 검출하여 액티브 신호  $V_{ACT}$ (검출신호)를 출력하는 신호발생회로(5)와, 신호발생회로(5)에서의 액티브 신호  $V_{ACT}$ 를 받아서 내부회로(6)의 구동회로(3)(P채널 MOSFET)를 온 상태로 하는 스위치회로(4)(제어수단)과를 구비하고 있다. 스위치회로(4)에는 N채널-MOSFET가 사용되고 있다.

상기의 구성에 있어서 내부회로(6)가 동작하고 이것에 수반하여 제4b도에 표시함과 같이 내부회로(6)의 소비전류가 증대하면 제4a도에 표시함과 같이 내부회로(6)의 전원전압  $V_{INT}$ 이 급격히 저하한다. 이것에 의해 신호발생회로(5)에서의 액티브신호  $V_{ACT}$ 가 H레벨로 됨으로 스위치회로(4)(N-MOSFET)가 온 상태로 된다. 따라서 내부회로(6)의 구동회로(3)(P-MOSFET)가 온 상태로 된다.

그 결과 내부회로(6)에 구동전류  $I_{INT}$ 가 공급됨으로 내부회로(13)의 전원전압  $V_{INT}$ 의 저하를 약간의 값  $\Delta V_1$ 에 억제하는 것이 된다. 그후 액티브 신호  $V_{ACT}$ 가 L레벨로 된다.

이 시점에서 내부회로(6)의 소비전류의 변화가 작음으로 차동증폭회로(2)는 내부회로(6)의 전원전압  $V_{INT}$ 을 기준전압  $V_{REF}$ 으로 동일하게 하도록 내부회로(6)의 구동회로(3)(P-MOSFET)를 제어한다.

이상과 같이 본 실시예의 전원전압의 강압회로에는 신호발생회로(5)에서의 액티브신호  $V_{ACT}$ 에 의하여 스위치회로(4)(N-MOSFET)를 온 상태로 하고 있음으로 내부회로(6)의 소비전류가 증대하면 차동증폭회로(2)에서의 제어신호  $V_{OP0}$ 가 단시간(제4도(a)( $t_1$ ))으로 L레벨로 한다. 그 결과 종래의 전원전압의 강압회로와 비교하여 내부회로(6)의 구동회로(3)를 단시간에서 온 상태로 하는 것이 된다. 이것에 의해 내부회로(6)의 전원전압  $V_{INT}$ 의 저하를 약간의 값  $\Delta V_1$ 에 억제하는 것이 된다.

상기의 신호발생회로(5)의 일 예를 제2도에 표시한다. 이 신호발생회로(5)는 어드레스신호  $A_0, A_1, \dots, A_n$ 의 변화시(동작개시)를 검출하는 것에 의해 펄스를 발생하는 검출 회로 7...와 검출회로 7...에서의 출력의 논리화를 액티브신호에  $V_{ACT}$ 로서 출력하는 R0 게이트(8)에서 구성되어 있어 어드레스 신호  $A_0, A_1, \dots, A_n$ 의 변화시(동작 개시 시)에 액티브 신호  $V_{ACT}$ 를 출력한다.

상기의 신호발생회로(5)의 다른 예를 제3도에 표시한다. 이 신호발생회로(5)는 칩 이네이블신호  $CE$ 를 지연시키는 지연회로(9)와, 칩 이네이블신호  $CE$ 와 지연신호(9)에서의 지연신호의 부정과의 논리적은 액티브

신호  $V_{ACT}$ 과 하여 출력하는 게이트(10)에서 구성되어 있어 칩 이네이블신호 CE의 활성화시(스탠드바이 해제시)에 액티브신호  $V_{ACT}$ 를 출력한다. 제2도 및 제3도의 신호발생회로(5)는 내부회로(6)가 RAM과 같은 메모리의 경우에 특히 유효하다. 어드레스신호  $A_0, A_1, \dots, A_n$ 가 변화하면 큰 구동전류  $I_{INT}$ 가 펄스 상으로 흐른다. 또 칩 이네이블신호 CE가 액티브 상태로 되면 큰 구동전류  $I_{INT}$ 가 펄스 상으로 흐른 후 작은 구동전류  $I_{INT}$ 가 정상적으로 흐른다.

역시 제2도의 신호발생회로(5)에 있어서 각 검출회로(7)는 예컨대 어드레스신호 Ai를 지연시키는 지연회로와, 어드레스신호 Ai와 지연회로에서의 지연신호와의 배타적 논리화를 출력하는 익스클루시브(exclusive) OR회로로서 구성된다. 발명의 상세한 설명의 항에 있어서 이론 구체적인 실시모양 또는 실시예는 어디까지나 본 발명의 기술내용을 분명히 하는 것에 있어서 그와 같은 구체예에만이 한정하여 협의에 해석되어야 하는 것이 아니라 본 발명의 정신과 다음에 기재하는 특허 청구사항의 범위 내에서 여러가지로 변경하여 실시하는 것이 되는 것이다.

### (57) 청구의 범위

## 청구항 1

외부 전원전압을 외부 전원전압에서 낮은 제1전압에 변환하고 내부회로에 인가하는 전원전압의 강압회로는 외부 전원전압에서 기준전압을 만들어 내기 위한 기준 전압발생회로와, 기준전압과 제1전압과의 차를 제어신호로서 출력하는 차동증폭회로와, 차동증폭회로에서의 제어신호에 의거하여 내부회로에 공급되는 전류를 제어하는 구동회로와, 내부회로의 소비전류의 증대를 검출하는 것에 의해 검출신호를 출력하는 신호발생회로와, 신호발생회로에서의 검출신호를 출력하는 신호발생회로와, 신호발생회로에서의 검출신호에 의거하여 내부회로에 공급되는 전류가 증대하도록 구동회로를 제어하는 제어수단과를 구비하고 있는 전원전압의 강압회로.

## 청구항 2

제1항에 있어서, 상기의 신호발생 회로는 어드레스 신호의 변화를 검출하는 것에 의해 펄스를 발생하는 검출회로와, 검출회로에서의 출력의 논리화를 검출신호로서 출력하는 OR게이트와를 구비하고 있는 전원전압의 강압회로.

## 청구항 3

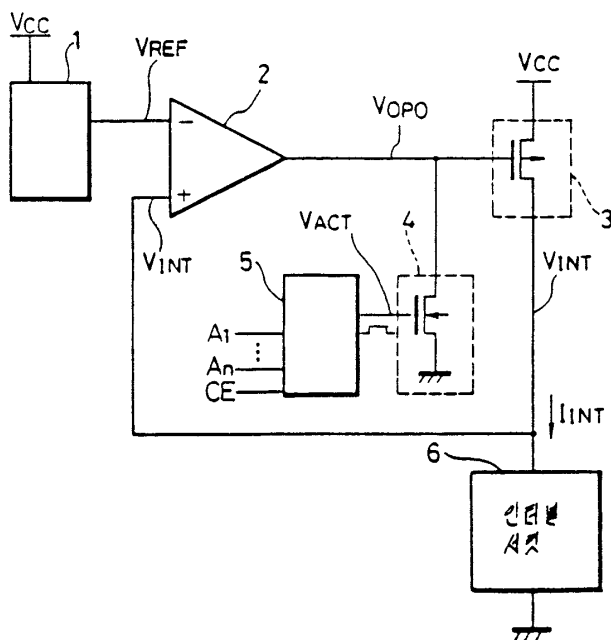
제1항에 있어서, 상기의 신호발생 회로는 칩 이네이블 신호를 지연시키는 지연회로와, 칩 이네이블 신호와 지연회로에서의 지연신호의 부정과의 논리적을 검출 신호로서 출력하는 게이를 구비하고 있는 전원전압의 강압회로.

#### 청구항 4

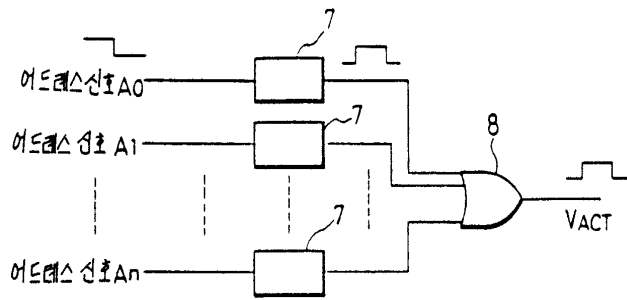
제2항 또는 제3항에 있어서, 상기의 구동회로는 P채널 MOSFET에서 되어 있고, 상기의 제어수단은 N채널 MOSFET에서 되어 있는 전원전압의 강압회로.

도면

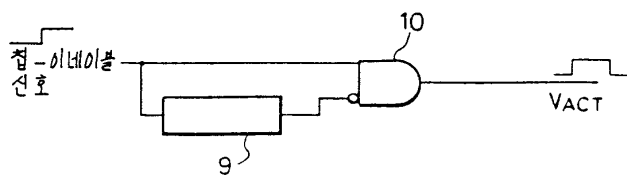
도면1



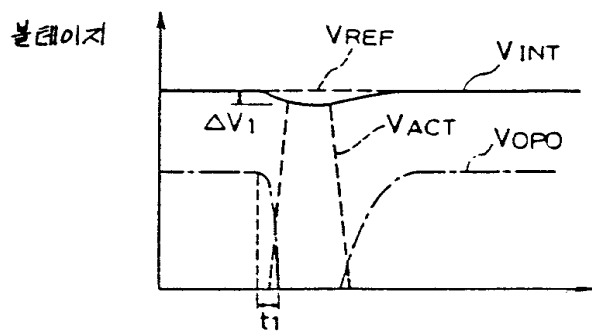
도면2



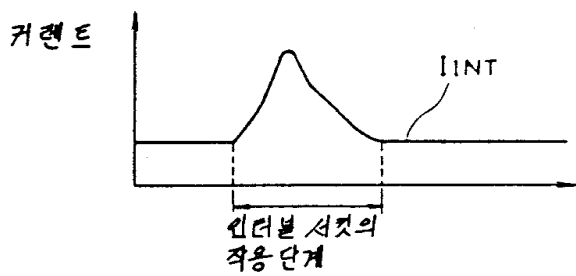
도면3



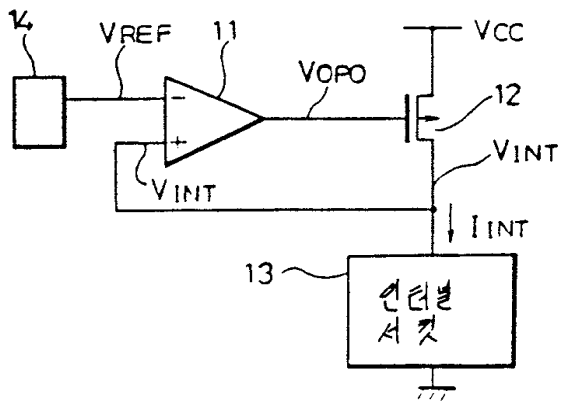
도면4a



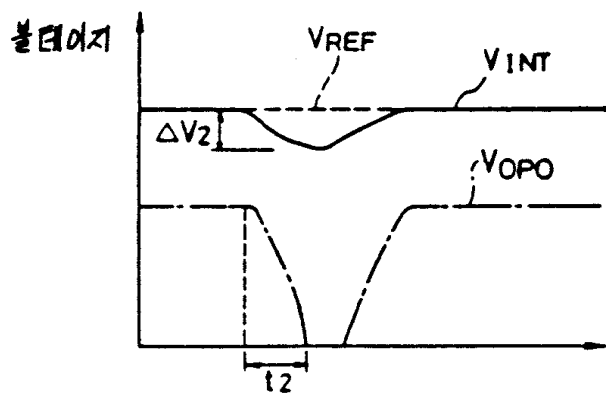
도면4b



도면5



도면6a



도면6b

