



(12)发明专利

(10)授权公告号 CN 104037125 B

(45)授权公告日 2018.09.11

(21)申请号 201410076999.8

(22)申请日 2014.03.04

(65)同一申请的已公布的文献号
申请公布号 CN 104037125 A

(43)申请公布日 2014.09.10

(30)优先权数据
10-2013-0022848 2013.03.04 KR

(73)专利权人 三星电子株式会社
地址 韩国京畿道

(72)发明人 金志永 金大益 金冈昱 金那罗
朴济民 李圭现 郑铉雨 秦教英
洪亨善 黄有商

(74)专利代理机构 北京市柳沈律师事务所
11105

代理人 屈玉华

(51)Int.Cl.

H01L 27/06(2006.01)

H01L 21/683(2006.01)

H01L 21/768(2006.01)

H01L 23/544(2006.01)

H01L 27/146(2006.01)

H01L 23/48(2006.01)

H01L 21/77(2017.01)

(56)对比文件

US 2007/0126085 A1,2007.06.07,

CN 1209650 A,1999.03.03,

US 2005/0031995 A1,2005.02.10,

US 2006/0001065 A1,2006.01.05,

审查员 李利哲

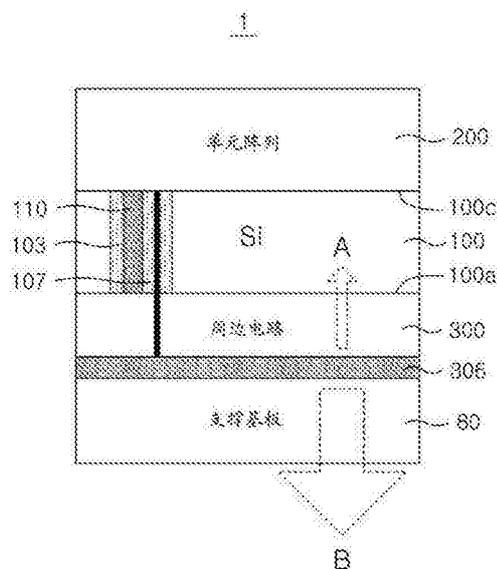
权利要求书4页 说明书12页 附图34页

(54)发明名称

半导体器件及其制造方法

(57)摘要

本发明提供了半导体器件及其制造方法。制造半导体器件的方法包括：提供具有第一表面和与第一表面相反的第二表面的半导体基板；形成穿过半导体基板的一部分并从第一表面朝向第二表面延伸的对准标记和连接接触；在半导体基板的第一表面上形成第一电路使得第一电路电连接到连接接触；使半导体基板的第二表面凹陷以形成暴露对准标记和连接接触的第三表面；以及在半导体基板的第三表面上形成第二电路使得第二电路电连接到连接接触。



1. 一种制造半导体器件的方法,该方法包括:
 - 提供具有第一表面和与所述第一表面相反的第二表面的半导体基板;
 - 形成从所述第一表面朝向所述第二表面穿过所述半导体基板延伸而没有到达所述第二表面的场区,所述场区形成为单个;
 - 形成穿过所述场区并从所述第一表面朝向所述第二表面延伸的对准标记和连接接触;
 - 在所述半导体基板的所述第一表面上形成第一电路使得所述第一电路电连接到所述连接接触;
 - 使所述半导体基板的所述第二表面凹陷以形成暴露所述场区、所述对准标记和所述连接接触的第三表面;以及
 - 在所述半导体基板的所述第三表面上形成第二电路使得所述第二电路电连接到所述连接接触。
2. 如权利要求1所述的方法,其中:
 - 所述第一电路和所述第二电路中的一个包括具有单元晶体管的单元阵列,所述第一电路和所述第二电路中的另一个包括具有周边晶体管的周边电路,并且
 - 所述单元晶体管和所述周边晶体管关于所述半导体基板对称。
3. 如权利要求1所述的方法,其中:
 - 形成所述第一电路包括在所述半导体基板的所述第一表面上形成包括周边晶体管和金属线的周边电路,
 - 形成所述第二电路包括在所述半导体基板的所述第三表面上形成包括单元晶体管、位线和电容器的单元阵列,并且
 - 所述连接接触与所述金属线同时形成。
4. 如权利要求3所述的方法,还包括在形成所述单元阵列之前将支撑基板附接到所述周边电路,其中所述单元阵列堆叠在所述支撑基板上的所述周边电路上方。
5. 如权利要求3所述的方法,还包括在所述半导体基板的所述第一表面上形成电连接到所述金属线的外部端子。
6. 如权利要求1所述的方法,其中:
 - 形成所述第一电路包括在所述半导体基板的所述第一表面上形成包括单元晶体管、位线和电容器的单元阵列,
 - 形成所述第二电路包括在所述半导体基板的所述第三表面上形成包括周边晶体管和金属线的周边电路,并且
 - 所述连接接触与所述位线同时形成。
7. 如权利要求6所述的方法,还包括在形成所述周边电路之前将支撑基板附接到所述单元阵列,其中所述周边电路堆叠在所述支撑基板上的所述单元阵列上方。
8. 如权利要求1所述的方法,其中:
 - 形成所述第二电路包括在所述半导体基板的所述第三表面上形成包括周边晶体管和金属线的周边电路,
 - 形成所述第一电路包括:
 - 在形成所述第二电路之前,在所述半导体基板的所述第一表面上形成包括单元晶体管和位线的第一层;以及

在形成所述第二电路之后,在所述半导体基板的所述第一表面上形成包括电容器的第二层,所述第一层和第二层构成单元阵列,并且

所述连接接触与所述位线同时形成。

9. 如权利要求8所述的方法,还包括:

在形成所述周边电路之前将第一基板附接到所述第一层;

在形成所述第二层之前将第二基板附接到所述周边电路并除去所述第一基板,

其中所述单元阵列堆叠在所述第二基板上的所述周边电路上方。

10. 如权利要求8所述的方法,还包括在所述半导体基板的所述第三表面上形成电连接到所述金属线的外部端子。

11. 一种半导体器件,包括:

半导体基板,包括上表面和下表面,所述下表面与所述上表面相反;

上电路,在所述半导体基板的上表面上;

下电路,在所述半导体基板的下表面上;

垂直连接接触,贯穿所述半导体基板以将所述上电路电连接到所述下电路;以及

对准标记,贯穿所述半导体基板以将所述上电路与所述下电路垂直地对准,其中

所述半导体基板包括插设在所述上电路和所述下电路之间的单个绝缘部分,

所述对准标记和所述垂直连接接触垂直地贯穿所述单个绝缘部分。

12. 如权利要求11所述的半导体器件,其中:

所述上电路包括具有单元晶体管的单元阵列,

所述下电路包括具有周边晶体管的周边电路,并且

所述单元晶体管 and 所述周边晶体管关于所述半导体基板垂直地对称。

13. 如权利要求12所述的半导体器件,其中:

所述单元阵列还包括电连接到所述单元晶体管的位线,

所述下电路还包括电连接到所述周边晶体管的金属线,并且

所述连接接触将所述位线电连接到所述金属线。

14. 如权利要求13所述的半导体器件,还包括:

支撑基板,附接到所述下电路;

通路,贯穿所述支撑基板以电连接到所述金属线;以及

焊盘,设置在所述支撑基板上以联接到所述通路,

其中所述金属线插设在所述半导体基板和所述支撑基板之间。

15. 一种制造半导体器件的方法,该方法包括:

提供具有第一表面和与所述第一表面相反的第二表面的半导体基板;

形成从所述第一表面朝向所述第二表面穿过所述半导体基板延伸而没有到达所述第二表面的场区;

形成对准标记和连接接触,该对准标记和连接接触从所述第一表面朝向所述第二表面穿过所述场区而没有到达所述第二表面;

在所述半导体基板的所述第一表面上形成第一电路使得所述第一电路电连接到所述连接接触;

在所述第一电路上形成支撑基板;

使所述半导体基板的所述第二表面凹陷以形成暴露所述场区、所述对准标记和所述连接接触的第三表面；以及

在所述半导体基板的所述第三表面上形成第二电路使得所述第二电路电连接到所述连接接触。

16. 如权利要求15所述的方法,还包括,在形成所述支撑基板之后并且在使所述半导体基板的所述第二表面凹陷之前,将所述半导体基板上下翻转。

17. 如权利要求15所述的方法,还包括:

在所述第一电路和所述支撑基板之间形成金属线;

形成贯穿所述支撑基板并接触所述金属线的通路;以及

在所述支撑基板上形成金属焊盘。

18. 如权利要求15所述的方法,还包括:

形成所述第一电路包括在所述第一电路中形成金属线以及在所述金属线上方形成绝缘层;并且

该方法还包括:

除去所述支撑基板;

形成贯穿所述绝缘层并接触所述金属线的通路;以及

在所述绝缘层上形成金属焊盘。

19. 如权利要求15所述的方法,其中:

所述第一电路和所述第二电路中的一个包括具有单元晶体管的单元阵列,所述第一电路和所述第二电路中的另一个包括具有周边晶体管的周边电路。

20. 一种半导体器件,包括:

半导体基板,具有第一表面以及与所述第一表面相反的第二表面;

场区,在所述半导体基板中形成为单个,并且从所述第一表面延伸穿过所述半导体基板到所述第二表面;

单元阵列,包括单元晶体管,在所述半导体基板的第一表面上;

周边电路,包括周边晶体管,在所述半导体基板的第二表面上;

对准标记,从所述第一表面延伸穿过所述场区到所述第二表面使得所述对准标记将所述单元阵列与所述周边电路垂直地对准;和

连接接触,从所述第一表面延伸穿过所述场区到所述第二表面使得所述连接接触将所述单元阵列电连接到所述周边电路,

其中所述单元晶体管和所述周边晶体管关于所述半导体基板以背对背的配置被布置。

21. 如权利要求20所述的半导体器件,其中:

所述单元阵列还包括电连接到所述单元晶体管的位线,并且

所述周边电路还包括电连接到所述周边晶体管的金属线,所述连接接触将所述位线电连接到所述金属线。

22. 如权利要求21所述的半导体器件,其中所述单元阵列还包括在所述单元晶体管上的电容器,所述电容器电连接到所述单元晶体管。

23. 如权利要求21所述的半导体器件,还包括:

支撑基板,在所述周边电路上;

通路,贯穿所述支撑基板以电连接到所述金属线;和
外部端子,在所述支撑基板上,所述外部端子电连接到所述通路。

24. 如权利要求23所述的半导体器件,其中所述金属线更靠近所述支撑基板而不是所述半导体基板。

25. 如权利要求20所述的半导体器件,其中所述半导体基板包括在所述单元阵列和所述周边电路之间的绝缘层,所述对准标记和所述连接接触中的至少一个垂直地贯穿所述绝缘层。

26. 如权利要求21所述的半导体器件,其中所述周边电路还包括与所述金属线接触的通路和电连接到所述通路的外部端子。

27. 一种半导体器件,包括:

半导体基板,具有上表面以及与所述上表面相反的下表面;

场区,在所述半导体基板中形成为单个,并且从所述上表面延伸穿过所述半导体基板到所述下表面;

绝缘的对准标记,从所述上表面穿过所述场区到所述下表面;

导电的连接接触,从所述上表面穿过所述场区到所述下表面;

第一电路,在所述半导体基板的上表面上使得所述第一电路电连接到所述连接接触;

和

第二电路,在所述半导体基板的下表面上使得所述第二电路电连接到所述连接接触,其中所述对准标记使所述第一电路与所述第二电路垂直地对准。

28. 如权利要求27所述的半导体器件,其中所述第一电路和所述第二电路中的一个包括具有单元晶体管的单元阵列,所述第一电路和所述第二电路中的另一个包括具有周边晶体管的周边电路,并且

所述单元晶体管 and 所述周边晶体管关于所述半导体基板对称。

29. 如权利要求28所述的半导体器件,其中所述单元阵列还包括电连接到所述单元晶体管的位线和电容器,所述周边电路还包括电连接到所述周边晶体管的金属线。

30. 如权利要求29所述的半导体器件,还包括:

支撑基板,在所述周边电路上;

通路,贯穿所述支撑基板并电连接到所述金属线;和

外部端子,在所述支撑基板上,所述外部端子电连接到所述通路。

半导体器件及其制造方法

技术领域

[0001] 实施例涉及半导体器件及其制造方法。

背景技术

[0002] 随着制造技术的发展,期望制造具有更大精细性和高集成度的半导体器件。

发明内容

[0003] 实施例涉及一种制造半导体器件的方法,该方法包括:提供具有第一表面和与第一表面相反的第二表面的半导体基板;形成穿过半导体基板的一部分并从第一表面朝向第二表面延伸的对准标记和连接接触;在半导体基板的第一表面上形成第一电路使得第一电路电连接到连接接触;使半导体基板的第二表面凹陷以形成暴露对准标记和连接接触的第三表面;以及在半导体基板的第三表面上形成第二电路使得第二电路电连接到连接接触。

[0004] 第一电路和第二电路中的一个可以包括具有单元晶体管的单元阵列,第一电路和第二电路中的另一个可以包括具有周边晶体管的周边电路。单元晶体管和周边晶体管可以关于半导体基板对称。

[0005] 形成第一电路可以包括在半导体基板的第一表面上形成包括周边晶体管和金属线的周边电路。形成第二电路可以包括在半导体基板的第三表面上形成包括单元晶体管、位线和电容器的单元阵列。连接接触可以与金属线同时形成。

[0006] 该方法还可以包括在形成单元阵列之前将支撑基板附接到周边电路。单元阵列可以堆叠在支撑基板上的周边电路上方。

[0007] 该方法还可以包括在半导体基板的第一表面上形成电连接到金属线的外部端子。

[0008] 形成第一电路可以包括在半导体基板的第一表面上形成包括单元晶体管、位线和电容器的单元阵列。形成第二电路可以包括在半导体基板的第三表面上形成包括周边晶体管和金属线的周边电路。连接接触可以与位线同时形成。

[0009] 该方法还可以包括在形成周边电路之前将支撑基板附接到单元阵列。周边电路可以堆叠在支撑基板上的单元阵列上方。

[0010] 形成第二电路可以包括在半导体基板的第三表面上形成包括周边晶体管和金属线的周边电路。形成第一电路可以包括:在形成第二电路之前,在半导体基板的第一表面上形成包括单元晶体管的第一层;以及在形成第二电路之后在半导体基板的第一表面上形成包括电容器的第二层,第一层和第二层构成单元阵列。连接接触可以与位线同时形成。

[0011] 该方法还可以包括:在形成周边电路之前将第一基板附接到第一层;以及在形成第二层之前将第二基板附接到周边电路并除去第一基板。单元阵列可以堆叠在第二基板上的周边电路上方。

[0012] 该方法还可以包括在半导体基板的第三表面上形成电连接到金属线的外部端子。

[0013] 实施例还涉及一种半导体器件,该半导体器件包括:半导体基板,包括上表面和下表面,下表面与上表面相反;上电路,在半导体基板的上表面上;下电路,在半导体基板的下

表面上；垂直连接接触，贯穿半导体基板以将上电路电连接到下电路；以及对准标记，贯穿半导体基板以将上电路与下电路垂直地对准。

[0014] 上电路可以包括具有单元晶体管的单元阵列。下电路可以包括具有周边晶体管的周边电路。单元晶体管和周边晶体管可以关于半导体基板垂直地对称。

[0015] 单元阵列还可以包括电连接到单元晶体管的位线。下电路还可以包括电连接到周边晶体管的金属线。连接接触可以将位线电连接到金属线。

[0016] 半导体器件还可以包括附接到下电路的支撑基板、贯穿支撑基板以电连接到金属线的通路、以及设置在支撑基板上以联接到通路的焊盘。金属线可以插设在半导体基板和支撑基板之间。

[0017] 半导体基板可以包括插设在上电路和下电路之间的绝缘层。对准标记可以垂直地贯穿绝缘层。

[0018] 实施例还涉及一种制造半导体器件的方法，该方法包括：提供具有第一表面和与第一表面相反的第二表面的半导体基板；形成从第一表面朝向第二表面穿过半导体基板延伸而没有到达第二表面的场区(field region)；形成从第一表面朝向第二表面穿过场区而没有到达第二表面的对准标记和连接接触；在半导体基板的第一表面上形成第一电路使得第一电路电连接到连接接触；在第一电路上形成支撑基板；使半导体基板的第二表面凹陷以形成暴露场区、对准标记和连接接触的第三表面；以及在半导体基板的第三表面上形成第二电路使得第二电路电连接到连接接触。

[0019] 该方法还可以包括，在形成支撑基板之后并且在使半导体基板的第二表面凹陷之前，将半导体基板上下翻转。

[0020] 该方法还可以包括：在第一电路和支撑基板之间形成金属线；形成贯穿支撑基板并且接触金属线的通路；以及在支撑基板上形成金属焊盘。

[0021] 形成第一电路可以包括在第一电路中形成金属线以及在金属线上方形成绝缘层。该方法还可以包括：除去支撑基板；形成贯穿绝缘层并接触金属线的通路；以及在绝缘层上形成金属焊盘。

[0022] 第一电路和第二电路中的一个包括具有单元晶体管的单元阵列，第一电路和第二电路中的另一个包括具有周边晶体管的周边电路。

附图说明

[0023] 通过参照附图详细描述示范性实施例，特征对于本领域普通技术人员将变得明显，附图中：

[0024] 图1A至图1E示出截面图，其示出根据实施例的制造半导体器件的方法的阶段；

[0025] 图1F示出图1E的一部分的截面图；

[0026] 图1G和1H示出截面图，其示出图1E的改变示例；

[0027] 图2A至2C示出截面图，其示出具有与实施例不同的结构的比较半导体器件；

[0028] 图2D示出图2C的一部分的截面图；

[0029] 图3A至图3G示出截面图，其示出根据实施例的制造半导体器件的方法的阶段；

[0030] 图4A至图4E示出截面图，其示出根据实施例的制造半导体器件的方法的阶段；

[0031] 图5A至图5E示出截面图，其示出根据实施例的制造半导体存储器器件的方法的阶

段；

[0032] 图5F和图5G示出截面图，其示出图5E的改变示例；

[0033] 图6A至图6G示出截面图，其示出根据实施例的制造半导体存储器器件的方法的阶段；

[0034] 图6H和图6I示出截面图，其示出图6G的改变示例；

[0035] 图7A至图7E示出截面图，其示出根据实施例的制造半导体存储器器件的方法的阶段；

[0036] 图8A至图8E示出截面图，其示出根据实施例的制造图像传感器的方法的阶段；

[0037] 图8F示出截面图，其示出图8E的改变示例；

[0038] 图9A至图9F示出截面图，其示出根据实施例的制造图像传感器的方法的阶段；

[0039] 图10A示出示意方框图，其示出包括根据实施例的半导体器件中的至少一个的存储卡的示例；

[0040] 图10B示出示意方框图，其示出包括根据实施例的半导体器件中的至少一个的信息处理系统的示例；以及

[0041] 图10C示出示意方框图，其示出包括根据实施例的图像传感器中的至少一个的信息处理系统的示例。

具体实施方式

[0042] 在下文将参照附图更充分地描述示例实施例；然而，它们可以以不同的形式实施，而不应被解释为限于这里阐述的实施例。而是，提供这些实施例使得本公开透彻和完整，并将示范性实施充分传达给本领域技术人员。

[0043] 在附图中，为了图示的清晰，层和区域的尺寸可以被夸大。还将理解，当一层或元件被称为在另一层或基板“上”时，它可以直接在另一层或基板上，或者还可以存在插入的层。此外，将理解，当一层被称为在另一层“下面”时，它可以直接在另一层下面，并且还可以存在一个或多个插入层。此外，还将理解，当一层被称为在两个层“之间”时，它可以是这两个层之间的唯一层，或者还可以存在一个或多个插入层。同样的附图标记始终指代同样的元件。

[0044] 图1A至图1E示出截面图，其示出根据实施例的制造半导体器件的方法的阶段。图1F示出图1E的一部分的截面图。图1G和1H示出截面图，其示出图1E的改变示例。

[0045] 参照图1A，场区103可以形成在半导体基板100中，半导体基板100具有第一表面100a和与第一表面100a相反的第二表面100b。半导体基板100可以是包括硅的基板。场区103可以具有用绝缘体填充并从第一表面100a朝向第二表面100b延伸的沟槽形状。场区103可以配置为未到达半导体基板100的第二表面100b。

[0046] 参照图1B，周边电路300可以形成在半导体基板100的第一表面100a上。周边电路300可以包括金属线306。在形成周边电路300期间，可以形成垂直地贯穿场区103的对准标记110和连接接触107。对准标记110和连接接触107可以从第一表面100a朝向第二表面100b延伸。对准标记110和连接接触107可以配置为未到达第二表面100b。连接接触107可以联接的金属线306以与周边电路300电连接。对准标记110可以包括绝缘体使得对准标记110不电连接到周边电路300。

[0047] 参照图1C,支撑基板80可以附接到周边电路300,并且半导体基板100可以被上下颠倒。周边电路300和半导体基板100可以以颠倒的状态顺序地堆叠在支撑基板80上。周边电路300的金属线306可以与支撑基板80相邻,半导体基板100的第二表面100b可以面向上。支撑基板80可以包括任何适合的材料。例如,支撑基板80可以是硅基板或非硅基板,诸如玻璃或聚合物基板。

[0048] 参照图1D,半导体基板100的第二表面100b可以被凹陷以形成暴露的第三表面100c。例如,在半导体基板100被支撑基板80支撑的状态下,第二表面100b可以通过化学机械抛光工艺、研磨工艺或回蚀刻工艺而凹陷。对准标记110和连接接触107可以通过第三表面100c暴露。场区103可以通过第三表面100c暴露或可以不暴露。

[0049] 参照图1E,单元阵列200可以形成在半导体基板100的第三表面100c上以电连接到连接接触107。单元阵列200可以例如包括存储器电路诸如DRAM或FLASH、逻辑电路诸如CPU或AP、CMOS图像传感器的光电二极管。单元阵列200可以通过对准标记110与周边电路300垂直地对准,并可以通过连接接触107电连接到周边电路300。通过上面描述的工艺,可以制造半导体器件1,半导体器件1包括第一表面100a上的周边电路300和第三表面100c上的单元阵列200。半导体器件可以构成COP(周边上单元)结构,其中单元阵列200堆叠在支撑基板80上的周边电路300上方。

[0050] 金属线306可以插设在支撑基板80和半导体基板100之间使得金属线306更靠近支撑基板80。从半导体器件1产生的热通过金属线306沿B方向朝向支撑基板80与沿A方向朝向单元阵列200相比可以更顺利地转移。支撑基板80可以用作散热器。因此,从半导体器件1产生的大部分热可以朝向支撑基板80排出使得可以避免由于热应力导致的单元阵列200和周边电路300的故障。

[0051] 根据某些实施方式,单元阵列200可以与周边电路300分别地形成。因此,用于单元阵列200和周边电路300的各自的工艺配方可以被适当地调整为适合它们各自的特性,诸如设计规则、热预算、沉积条件等。

[0052] 参照图1F,单元阵列200可以包括用绝缘层208覆盖的至少一个单元晶体管205,周边电路300可以包括用绝缘层308覆盖的至少一个周边晶体管305。单元晶体管205可以具有与周边晶体管305的结构为倒置关系的结构。在半导体基板100的第三表面100c上的单元晶体管205可以面向上,在半导体基板100的第一表面100a上的周边晶体管305可以面向下。单元晶体管205和周边晶体管305可以垂直地对称。这里,术语“对称”指的是布置为背对背的配置。例如,术语“对称”指的是如下的构造,其中单元阵列200和周边电路300的底部(由形成方向定义)分别在半导体基板100的第三表面100c和第一表面100a上面向朝向彼此的方向,单元阵列200和周边电路300的顶部(由形成的方向定义)面向彼此远离的方向。

[0053] 参照图1G,根据实施方式,半导体器件1a可以形成为还包括贯穿支撑基板80以联接到金属线306的通路92以及在支撑基板80上以联接到通路92的焊盘94。在半导体器件1a中,热可以优先朝向支撑基板80转移。任何外部装置,诸如印刷电路板或另外的半导体器件,可以联接到焊盘94,焊盘94将外部装置与半导体器件1a电连接。

[0054] 参照图1H,根据实施方式,支撑基板80可以被除去。半导体器件1b可以通过形成贯穿周边电路300的绝缘层(图1F的308)的通路92以及在绝缘层308上形成联接到通路92的焊盘94而制造。

[0055] 图2A至2C示出截面图,其示出具有与实施例不同的结构的比较半导体器件。图2D示出图2C的一部分的截面图。

[0056] 参照图2A,半导体器件9a可以包括提供在半导体基板10的第一表面10a上的单元阵列20和周边电路30。另一方面,根据实施例,如图1E所示,单元阵列300提供在半导体基板100的第一表面100a上并且周边电路300设置在半导体基板100的第三表面100c上。与图2A所示的单元阵列20和周边电路30相比,在图1E所示的实施例中,单元阵列200和周边电路300可以具有增加数目的净管芯(net die)和/或可以具有减小的面积。

[0057] 例如,与单元阵列20相比,根据实施例的单元阵列200可以具有约2倍的集成量,约2倍的净管芯数量,或一半的面积。类似地,与周边电路30相比,周边电路300可以具有约2倍的集成量,约2倍的净管芯数量,或一半的面积。

[0058] 参照图2B,半导体器件9b可以包括水平地布置在半导体基板10的第一表面10a上的第一单元阵列21和第一周边电路31以及分别垂直地堆叠在第一单元阵列21和第一周边电路31上的第二单元阵列22和第二周边电路32。在此结构中,会另外需要形成或附接单晶半导体层用于第二单元阵列22和第二周边电路32。而且,还会另外需要形成多个贯穿电极21a和22a以将第一单元阵列21电连接到第二单元阵列22、以及多个贯穿电极31a和32a以将第一周边电路31电连接到第二周边电路32。另一方面,根据实施例,如图1E所示,周边电路300和单元阵列200分别形成在半导体基板100的第一表面100a和第三表面100c上。因此,不需要形成或附接单晶半导体层或形成多个贯穿电极。

[0059] 参照图2C,半导体器件9c可以包括以之前的顺序或相反地堆叠在半导体基板10的第一表面10a上的周边电路30和单元阵列20。在此结构中,为了形成单元阵列20,会需要在周边电路30上形成或附接单晶半导体层12,如图2D所示。另外,在形成或附着单晶半导体层12之后,还需要形成对准标记11。另一方面,根据实施例,如图1E所示,周边电路300和单元阵列200分别各自形成在半导体基板100的第一表面100a和第三表面100c上。因此,不需要形成或附接单晶半导体层。如图2C所示,金属线36可以插设在周边电路30和单元阵列20之间使得热可以沿A方向朝向单元阵列20以及沿B方向朝向周边电路30转移。因此,与根据实施例的半导体器件1(具有用作散热器的支撑基板80)相比,半导体器件9c会遭受施加到单元阵列20和周边电路30的热应力。

[0060] 在如图2D所示的半导体器件9c中,单元阵列20可以包括用绝缘层28覆盖的至少一个单元晶体管25,周边电路30可以包括用绝缘层38覆盖的至少一个周边晶体管35。由于单元阵列20垂直地堆叠在周边电路30上,周边晶体管35可以在半导体基板10上面向上,单元晶体管25可以在单晶半导体层12上面向上。换句话说,单元晶体管25和周边晶体管35可以背对正配置来布置,不同于根据实施例的背对背配置。

[0061] 图3A至3G示出截面图,其示出根据实施例的制造半导体器件的方法的阶段。

[0062] 参照图3A,可以提供具有第一表面100a和与第一表面100a相反的第二表面100b的半导体基板100。场区103可以形成在半导体基板100中。

[0063] 参照图3B,具有单元晶体管的单元晶体管层210可以形成在半导体基板100的第一表面100a上。当形成单元晶体管层210时,对准标记110和连接接触107可以形成为垂直地贯穿场区103。对准标记110和连接接触107可以从第一表面100a朝向第二表面100b垂直地延伸。对准标记110和连接接触107可以配置为未到达第二表面100b。连接接触107可以电连接

到单元晶体管层210。

[0064] 参照图3C,第一支撑基板81可以附接到单元晶体管层210,并且半导体基板100可以上下颠倒。单元晶体管层210和半导体基板100可以以颠倒的状态顺序地堆叠在第一支撑基板81上。第一支撑基板81可以包括任何适合的材料。例如,第一支撑基板81可以是硅基板或非硅基板,例如玻璃或聚合物基板。

[0065] 参照图3D,半导体基板100的第二表面100b可以被凹陷以形成暴露的第三表面100c。例如,第二表面100b可以在半导体基板100被第一支撑基板81支撑的状态下被凹陷。对准标记110和连接接触107可以通过第三表面100c暴露。

[0066] 参照图3E,周边电路300可以形成在半导体基板100的第三表面100c上以电连接到连接接触107。周边电路300可以通过对准标记110而与单元晶体管层210对准。周边电路300还可以包括电连接到连接接触107的金属线306。周边电路300可以通过连接接触107电连接到单元晶体管层210。

[0067] 参照图3F,第二支撑基板82可以附接到周边电路300,并且半导体基板100可以再次上下颠倒。金属线306可以插设在第二支撑基板82和半导体基板100之间。第二支撑基板82可以包括任何适合的材料。例如,第二支撑基板82可以是硅基板或非硅基板(例如,玻璃或聚合物基板)。第一支撑基板81可以被除去。

[0068] 参照图3G,电容器层220可以形成在单元晶体管层210上以电连接到包括在单元晶体管层210中的单元晶体管。包括单元晶体管层210和电容器层220的单元阵列200可以形成在半导体基板100的第一表面100a上。通过上面描述的工艺,可以制造半导体器件2,半导体器件2包括在第一表面100a上的周边电路300和在第三表面100c上的单元阵列200。半导体器件2可以构成COP(周边上单元)结构,其中单元阵列200堆叠在第二支撑基板82上的周边电路300上。

[0069] 根据实施例,形成晶体管的工艺与形成电容器的工艺分开地进行使得可以抑制热预算。例如,在用于形成单元晶体管层210和周边电路300的高温工艺之后可以进行用于形成电容器层220的低温工艺,这可以抑制或最小化对电容器的热预算。

[0070] 而且,如图1F所示,单元阵列200的单元晶体管和周边电路300的周边晶体管可以以背对背的配置来布置。

[0071] 图4A至4E示出截面图,其示出根据实施例的制造半导体器件的方法的阶段。

[0072] 参照图4A,场区103可以形成在具有彼此面对的第一表面100a和第二表面100b的半导体基板100中。

[0073] 参照图4B,单元阵列200可以形成在半导体基板100的第一表面100a上。当形成单元阵列200时,对准标记110和连接接触107可以形成为垂直地贯穿场区103。对准标记110和连接接触107可以从第一表面100a朝向第二表面100b垂直地延伸。对准标记110和连接接触107可以配置为未到达第二表面100b。连接接触107可以电连接到单元阵列200。

[0074] 参照图4C,支撑基板80可以提供在单元阵列200上,半导体基板100可以被上下颠倒。单元阵列200和半导体基板100可以以颠倒的状态顺序地堆叠在支撑基板80上。

[0075] 参照图4D,半导体基板100的第二表面100b可以被凹陷以形成暴露的第三表面100c。例如,第二表面100b可以在半导体基板100被支撑基板80支撑的状态下经受研磨工艺。对准标记110和连接接触107可以通过第三表面100c暴露。

[0076] 参照图4E,周边电路300可以形成在半导体基板100的第三表面100c上以电连接到连接接触107。周边电路300可以通过对准标记110而与单元阵列200对准。周边电路300还可以包括电连接到连接接触107的金属线306。周边电路300可以通过连接接触107电连接到单元阵列200。通过上面描述的工艺,可以制造半导体器件3,半导体器件3包括在第一表面100a上的单元阵列200和在第三表面100c上的周边电路300。半导体器件3可以构成POC(单元上周边)结构,其中周边电路300堆叠在支撑基板80上的单元阵列200上。

[0077] 在某些实施方式中,金属线306可以提供在半导体器件3的顶上使得热可以容易地排出到半导体器件3外面。从半导体器件3产生的大部分热可以传送到外面,因此,可以避免由热应力引起的单元阵列200和周边电路300的故障。

[0078] 图5A至5E示出截面图,其示出根据实施例的制造半导体存储器器件的方法的阶段。图5F和5G示出截面图,其示出图5E的改变示例。

[0079] 参照图5A,场区103可以形成在具有彼此面对的第一表面100a和第二表面100b的半导体基板100中。半导体基板100可以是硅基板、用诸如p型掺杂剂的杂质掺杂的单晶硅基板、或SOI基板。器件隔离层302还可以与场区103同时形成。场区103和器件隔离层302的每个可以具有从第一表面100a朝向第二表面100b延伸并用绝缘体填充的沟槽形状。场区103可以具有大于器件隔离层302的深度。

[0080] 参照图5B,周边电路300可以形成在半导体基板100的第一表面100a上。周边电路300可以包括:至少一个周边晶体管305,包括在第一表面100a上的栅极304;电连接到至少一个周边晶体管305的至少一个金属线306;以及覆盖周边晶体管305和金属线306的绝缘层308。当形成周边电路300时,可以形成对准标记110和连接接触107。对准标记110和连接接触107可以垂直地贯穿场区103以从第一表面100a朝向第二表面100b延伸。连接接触107可以联接到周边晶体管305或金属线306以与周边电路300电连接。在某些实施方式中,连接接触107可以与金属线306同时形成。对准标记110可以由绝缘体形成。

[0081] 参照图5C,支撑基板80可以提供在周边电路300上,并且半导体基板100可以上下颠倒。周边电路300和半导体基板100可以以颠倒的状态顺序地堆叠在支撑基板80上。金属线306可以邻近于支撑基板80并面向下,半导体基板100的第二表面100b可以面向上。

[0082] 参照图5D,半导体基板100的第二表面100b可以被凹陷以形成暴露的第三表面100c。例如,在半导体基板100被支撑基板80支撑的状态下,第二表面100b可以通过化学机械抛光工艺、研磨工艺或回蚀刻工艺而凹陷。对准标记110和连接接触107可以通过第三表面100c暴露。

[0083] 参照图5E,单元阵列200可以形成在半导体基板100的第三表面100c上。单元阵列200可以包括:至少一个单元晶体管205,包括在第三表面100c之下凹陷的栅极204;至少一个器件隔离层202,在第三表面100c之下;至少一个位线206和至少一个电容器209,电连接到单元晶体管205;以及绝缘层208,覆盖单元晶体管205、位线206和电容器209。单元阵列200可以是存储器单元阵列。单元阵列200可以通过对准标记110与周边电路300对准。位线206可以联接到连接接触107以与单元阵列200和周边电路300电连接。在某些实施方式中,周边晶体管305可以提供在第一表面100a上,单元晶体管205可以提供在第三表面100c上。周边晶体管305和单元晶体管205可以以背对背配置来布置,如图1F所示。

[0084] 根据某些实施方式,与参照图1A至1E的描述相同或相似,半导体存储器器件1000

可以制造为具有COP(周边上单元)结构,其中单元阵列200堆叠在支撑基板80上的周边电路300上方。由于金属线306邻近于支撑基板80,所以支撑基板80可以用作散热器。

[0085] 参照图5F,作为半导体存储器器件1000的一种变型的实施方式,半导体存储器器件1000a可以制造为还包括贯穿支撑基板80以联接到金属线306的通路92以及在支撑基板80上以联接到通路92的焊盘94。热可以容易地通过通路92朝向支撑基板80排出。

[0086] 参照图5G,作为半导体存储器器件1000的另一个变型的实施方式,半导体存储器器件1000b可以制造为还包括部分地贯穿绝缘层308以联接到金属线306的通路92以及在绝缘层308上以联接到通路92的焊盘94。支撑基板80可以在形成通路92和焊盘94之前除去。

[0087] 图6A至6G示出截面图,其示出根据实施例的制造半导体存储器器件的方法的阶段。图6H和6I是截面图,其示出图6G的改变示例。

[0088] 参照图6A,场区103和器件隔离层202可以提供于具有彼此面对的第一表面100a和第二表面100b的半导体基板100中。场区103可以具有大于器件隔离层202的深度。

[0089] 参照图6B,单元晶体管层210可以形成在半导体基板100的第一表面100a上。单元晶体管层210可以包括:单元晶体管205,具有在第一表面100a之下凹陷的栅极204;位线206,电连接到单元晶体管205;和绝缘层208,覆盖单元晶体管205和位线206。当形成单元晶体管层210时,可以形成垂直地贯穿场区103的对准标记110和连接接触107。连接接触107可以联接到位线206以与单元晶体管层210电连接。在某些实施方式中,连接接触107可以与位线206同时形成。

[0090] 参照图6C,第一支撑基板81可以附接到单元晶体管层210,并且半导体基板100可以被上下颠倒。单元晶体管层210和半导体基板100可以以颠倒的状态顺序地堆叠在第一支撑基板81上。

[0091] 参照图6D,半导体基板100的第二表面100b可以被凹陷以形成暴露的第三表面100c。例如,第二表面100b可以在半导体基板100被第一支撑基板81支撑的状态下被凹陷。对准标记110和连接接触107可以通过第三表面100c暴露。

[0092] 参照图6E,周边电路300可以形成在半导体基板100的第三表面100c上以电连接到连接接触107。周边电路300可以包括:周边晶体管305,包括在第三表面100c上的栅极304;金属线306,电连接到周边晶体管305;以及绝缘层308,覆盖周边晶体管305和金属线306。周边电路300可以通过对准标记110而与单元晶体管层210对准。金属线306可以联接到连接接触107以与单元晶体管205电连接。周边电路300可以通过连接接触107电连接到单元晶体管层210。

[0093] 参照图6F,第二支撑基板82可以附接到周边电路300,半导体基板100可以被再次上下颠倒。金属线306可以提供在半导体基板100和第二支撑基板82之间。第一支撑基板81可以从单元晶体管层210分离。

[0094] 参照图6G,电容器209可以形成在第一表面100a上以电连接到单元晶体管205。包括单元晶体管205、位线206和电容器209的单元阵列200诸如存储器单元阵列可以形成在半导体基板100的第一表面100a上。根据某些实施例,与参照图3A至3G的描述相同或相似,半导体存储器器件2000可以制造为包括在第一表面100a上的单元阵列200和在第三表面100c上的周边电路300。半导体存储器器件可以构成COP(周边上单元)结构,其中单元阵列200堆叠在第二支撑基板82上的周边电路300上方。半导体存储器器件2000可以具有与如图5E所

示的半导体存储器器件1000基本上相同的结构。

[0095] 根据某些实施方式,在用于形成单元晶体管205和周边晶体管305的高温工艺之后可以进行用于形成电容器209的低温工艺,这可以抑制或最小化施加到电容器209的热预算。单元晶体管205可以提供在第一表面100a上,周边晶体管305可以提供在第三表面100c上。单元晶体管205和周边晶体管305可以以背对背配置来布置,如图1F所示。

[0096] 参照图6H,作为半导体存储器器件2000的一种变型的实施方式,半导体存储器器件2000a可以制造为还包括贯穿第二支撑基板82以联接到金属线306的通路92以及在第二支撑基板82上以联接到通路92的焊盘94。热可以容易地通过通路92朝向第二支撑基板82排出。

[0097] 参照图6I,作为半导体存储器器件2000的另一种变型的实施方式,半导体存储器器件2000b可以制造为还包括部分地贯穿绝缘层308以电连接到金属线306的通路92以及在绝缘层308上以联接到通路92的焊盘94。第二支撑基板82可以在形成通路92和焊盘94之前除去。

[0098] 图7A至7E示出截面图,其示出根据实施例的制造半导体存储器器件的方法的阶段。

[0099] 参照图7A,场区103和器件隔离层202可以提供于具有彼此面对的第一表面100a和第二表面100b的半导体基板100中。场区103可以比器件隔离层202更深。

[0100] 参照图7B,单元阵列200可以形成在半导体基板100的第一表面100a上。单元阵列200可以包括:单元晶体管205,具有在第一表面100a之下凹陷的栅极204;位线206,电连接到单元晶体管205;以及绝缘层208,覆盖单元晶体管205和位线206。当形成单元阵列200时,可以形成垂直地贯穿场区103的对准标记110和连接接触107。连接接触107可以电连接到单元晶体管205。在一些实施例中,连接接触107可以与位线206同时形成。

[0101] 参照图7C,支撑基板80可以附接到单元阵列200,半导体基板100可以被上下颠倒。单元阵列200和半导体基板100可以以颠倒的状态顺序地堆叠在支撑基板80上。

[0102] 参照图7D,半导体基板100的第二表面100b可以被凹陷以形成暴露的第三表面100c。例如,在半导体基板100被支撑基板80支撑的状态下,第二表面100b可以通过化学机械抛光工艺、研磨工艺或回蚀刻工艺而凹陷。对准标记110和连接接触107可以通过第三表面100c暴露。

[0103] 参照图7E,周边电路300可以形成在半导体基板100的第三表面100c上。周边电路300可以包括:周边晶体管305,包括在第三表面100c上的栅极304;金属线306,电连接到周边晶体管305;以及绝缘层308,覆盖周边晶体管305和金属线306。周边电路300可以通过对准标记110而与单元阵列200对准。金属线306可以联接到连接接触107以与位线206或单元晶体管205电连接。周边电路300可以通过连接接触107电连接到单元阵列200。当形成周边电路300时,可以采用低温工艺或者可以调整工艺配方以最小化或抑制施加到电容器209的热预算。

[0104] 通过上面描述的工艺,可以制造半导体存储器器件3000,半导体存储器器件3000包括在第一表面100a上的单元晶体管205和在第三表面100c上的周边晶体管305。半导体存储器器件3000可以构成POC(单元上周边)结构,其中周边电路300堆叠在支撑基板80上的单元阵列200上方。单元晶体管205和周边晶体管305可以以背对背配置来布置,如图1F所示。

[0105] 根据某些实施方式,金属线306可以提供在半导体存储器器件3000的顶上使得热可以容易地排出到半导体存储器器件3000外面。可以避免由热应力引起的单元阵列200和周边电路300的故障。

[0106] 图8A至8E示出截面图,其示出根据实施例的制造图像传感器的方法的阶段。图8F是截面图,其示出图8E的改变示例。

[0107] 参照图8A,场区103和器件隔离层302提供于具有彼此面对的第一表面100a和第二表面100b的半导体基板100中。场区103可以比器件隔离层302更深。半导体基板100可以是用诸如p型掺杂剂的杂质掺杂的硅基板。

[0108] 参照图8B,周边电路300可以形成在半导体基板100的第一表面100a上。周边电路300可以包括:周边晶体管305,包括栅极304;金属线306,电连接到周边晶体管305;以及绝缘层308,覆盖周边晶体管305和金属线306。当形成周边电路300时,对准标记110和连接接触107可以形成为垂直地贯穿场区103。对准标记110和连接接触107可以从第一表面100a朝向第二表面100b延伸。连接接触107可以联接到周边晶体管305或金属线306以与周边电路300电连接。在一些实施例中,连接接触107可以与金属线306同时形成。

[0109] 参照图8C,支撑基板80可以附接到单元阵列200,半导体基板100可以被上下颠倒。单元阵列200和半导体基板100可以以颠倒的状态顺序地堆叠在支撑基板80上。支撑基板80可以是硅基板或非硅基板,诸如玻璃或聚合物基板。

[0110] 参照图8D,半导体基板100的第二表面100b可以被凹陷以形成暴露的第三表面100c。例如,在半导体基板100被支撑基板80支撑的状态下,第二表面100b可以通过化学机械抛光工艺、研磨工艺或回蚀刻工艺而凹陷。对准标记110和连接接触107可以通过第三表面100c暴露。

[0111] 参照图8E,像素阵列500可以形成在半导体基板100的第三表面100c上。像素阵列500可以包括器件隔离层502、像素晶体管505、光电二极管509、连接线506和绝缘层508。像素晶体管505可以包括传输晶体管504a、复位晶体管504b、源极跟随器晶体管504c和选择晶体管504d。像素阵列500可以通过对准标记110而与周边电路300对准。光电二极管509可以包括:第一掺杂区域509a,其通过用第一杂质(例如,n型掺杂剂)掺杂半导体基板100而形成;和第二掺杂区域509b,其通过用第二杂质(例如,p型掺杂剂)掺杂第一掺杂区域509a而形成。连接线506可以将像素晶体管505电连接到连接接触107。像素阵列500可以通过连接接触107电连接到周边电路300。

[0112] 根据实施例,与参照图1A至1E提供的描述相同或相似,CMOS图像传感器400可以制造为具有COP(周边上单元)结构,其中像素阵列500堆叠在支撑基板80上的周边电路300上方。周边晶体管305可以提供在第一表面100a上,像素晶体管505可以提供在第三表面100c上。因此,周边晶体管305和像素晶体管505可以以背对背配置来布置,如图1F所示。

[0113] 在另一个示范性实施例中,如图8F所示,CMOS图像传感器400a可以制造为包括形成在第三表面100c上的传输晶体管504a以及形成在第一表面100a上的其他晶体管504b、504c和504d。例如,如图8B所示,当形成周边电路300时,复位晶体管504b、源极跟随器晶体管504c、选择晶体管504d和连接线506可以形成在半导体基板100的第一表面100a上。并且,如图8E所示,当形成像素阵列500时,传输晶体管504a、电连接到连接接触107的光电二极管509和第二连接线507可以形成在半导体基板100的第三表面100c上。

[0114] 图9A至9F示出截面图,其示出根据实施例的制造图像传感器的方法。

[0115] 参照图9A,场区103和器件隔离层502提供于具有彼此面对的第一表面100a和第二表面100b的半导体基板100中。场区103可以比器件隔离层502更深。半导体基板100可以是用诸如p型掺杂剂的杂质掺杂的硅基板。

[0116] 参照图9B,像素阵列500可以形成在半导体基板100的第一表面100a上。像素阵列500可以包括像素晶体管505、光电二极管509、连接线506和绝缘层508。当形成像素阵列500时,对准标记110和连接接触107可以形成为垂直地贯穿场区103。对准标记110和连接接触107可以从第一表面100a朝向第二表面100b延伸。连接接触107可以联接到像素晶体管505或连接线506以与像素阵列500电连接。在某些实施方式中,连接接触107可以与像素阵列500同时形成。

[0117] 像素晶体管505可以包括传输晶体管504a、复位晶体管504b、源极跟随器晶体管504c和选择晶体管504d。光电二极管509可以包括用第一杂质(例如,n型掺杂剂)掺杂的第一掺杂区域509a和用第二杂质(例如,p型掺杂剂)掺杂的第二掺杂区域509b。连接线506可以将像素晶体管505电连接到连接接触107。

[0118] 参照图9C,第一支撑基板81可以附接到像素阵列500,并且半导体基板100可以被上下颠倒。像素阵列500和半导体基板100可以以颠倒的状态顺序地堆叠在第一支撑基板81上。

[0119] 参照图9D,半导体基板100的第二表面100b可以被凹陷以形成暴露的第三表面100c。例如,在半导体基板100被第一支撑基板81支撑的状态下,第二表面100b可以通过化学机械抛光工艺、研磨工艺或回蚀刻工艺而凹陷。对准标记110和连接接触107可以通过第三表面100c暴露。

[0120] 参照图9E,周边电路300可以形成在半导体基板100的第一表面100a上。周边电路300可以包括:周边晶体管305,包括栅极304;金属线306,电连接到周边晶体管305;以及绝缘层308,覆盖周边晶体管305和金属线306。周边电路300可以通过对准标记110而与像素阵列500对准。金属线306可以联接到连接接触107以与连接线506电连接。周边电路300可以通过连接接触107而与像素阵列500电连接。根据某些实施方式,与参照图4A至4E的描述相同或相似,可以形成POC(单元上周边)结构,其中周边电路300堆叠在第一支撑基板81上的像素阵列500上方。

[0121] 参照图9F,第一支撑基板81可以被除去以制造CMOS图像传感器5000。可选地,第二支撑基板82可以进一步附接到周边电路300。CMOS图像传感器5000可以具有与图8E所示的CMOS图像传感器4000基本上相同的结构。与图8F所示的CMOS图像传感器4000a相同或者类似,传输晶体管504a可以形成在半导体基板100的第一表面100a上,其他晶体管504b、504c和504d可以形成在半导体基板100的第三表面100c上。

[0122] 图10A示出示意方框图,其示出包括根据实施例的半导体器件中的至少一个的存储卡的示例。

[0123] 参照图10A,包括根据示范性实施例的半导体器件1至3000a中的至少一个的存储器1210被应用于存储卡1200。例如,存储卡1200可以包括通常控制主机1230和存储器1210之间的数据交换的存储器控制器1220。SRAM1221可以用作处理单元1222的运行存储器。主机接口1223可以具有连接到存储卡1200的主机1230的数据交换协议。纠错编码块1224可以

检测并校正从存储器1210读取的数据中包含的错误。存储器接口1225可以与存储器1210交互。处理单元1222可以通常控制存储器控制器1220的数据交换。

[0124] 图10B示出示意方框图,其示出包括根据实施例的半导体器件中的至少一个的信息处理系统的示例。

[0125] 参照图10B,信息处理系统1300可以包括具有根据示范性实施例的半导体器件1至3000a中的至少一个的存储器系统1310。信息处理系统1300可以包括移动设备或计算机。例如,信息处理系统1300可以包括调制解调器1320、中央处理单元1330、RAM1340和用户接口1350。存储器系统1310可以包括存储器1311和存储器控制器1312并可以具有与图10A中的存储卡1200基本上相同的构造。存储器系统1310可以存储由中央处理单元1330处理的数据或从外部输入的数据。信息处理系统1300可以提供为存储卡、半导体器件盘、照相机图像传感器或其他的应用芯片组。例如,存储器系统1310可以实现为固态驱动器(SSD)。在这种情况下,信息处理系统1300可以稳定地在存储器系统1310中存储大量数据。

[0126] 图10C示出示意方框图,其示出包括根据实施例的图像传感器中的至少一个的信息处理系统的示例。

[0127] 参照图10C,信息处理系统1400可以包括通过总线1470相互通讯的中央处理单元1420、图像传感器1410、RAM1440、输入/输出器件1430、致密盘驱动器1450和硬盘驱动器1460。图像传感器1410可以包括根据示范性实施例的CMOS图像传感器4000、4000a和5000中的至少一个。图像传感器1410可以关于数据和/或控制信号与中央处理单元1420或另外的器件1440至1460通讯。图像传感器1410可以根据数据和/或控制信号提供定义某些图像的信号到中央处理单元1420,并且中央处理单元1420可以处理来自图像传感器1410的信号。

[0128] 通过总结和回顾,用于在半导体器件中获得高集成度的途径是提供三维结构。半导体器件的三维结构的制造通常通过在半导体基板上堆叠另一个半导体基板或通过在半导体基板上形成单晶半导体层而进行。然而,在堆叠的半导体器件之间形成电互连会引起问题诸如形成电互连的工艺复杂性、实现精细对准的困难性、在热预算内进行工艺等。例如,在常规堆叠结构中,将单晶硅层附接到形成的单元阵列需要在单元阵列上形成周边电路。而且,需要深的垂直接触以将周边电路电连接到单元阵列,会难以保证单元阵列和周边电路之间的对准。

[0129] 实施例提供半导体器件及其制造方法,其中单元阵列提供在半导体基板的一侧上,周边电路提供在另一侧上。因此,集成的量可以增加并且芯片面积可以减小。而且,由于单元阵列和周边电路之间的精确垂直对准、避免热预算以及最大化单元阵列和周边电路各自的特性,可以改善半导体器件的电特性。

[0130] 示例实施例已经在这里公开,尽管采用了特定的术语,但是它们仅以一般的和描述的含义来使用和被解释,而不是为了限制的目的。在有些情况下,如对本申请所提交的领域的普通技术人员将是显然的,结合特定实施例描述的特征、特性和/或元件可以单独地使用或与结合其他实施例描述的特征、特性和/或元件结合地使用,除非另外特别地指示。因此,本领域技术人员将理解,可以进行形式和细节上的各种变化,而不背离本发明的精神和范围,本发明的范围由权利要求书阐明。

[0131] 于2013年3月4日在韩国知识产权局提交且名称为“半导体器件及其制造方法”的韩国专利申请No.10-2013-0022848通过引用整体结合于此。

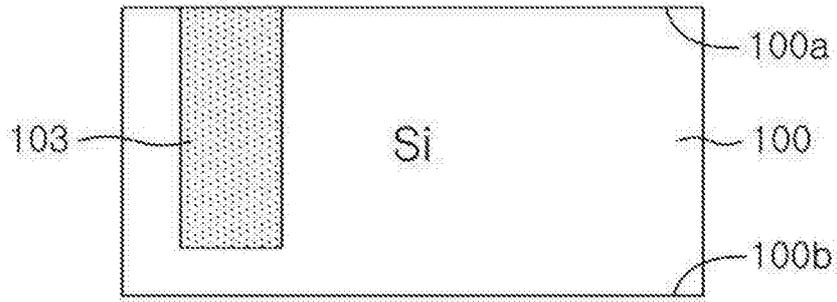


图1A

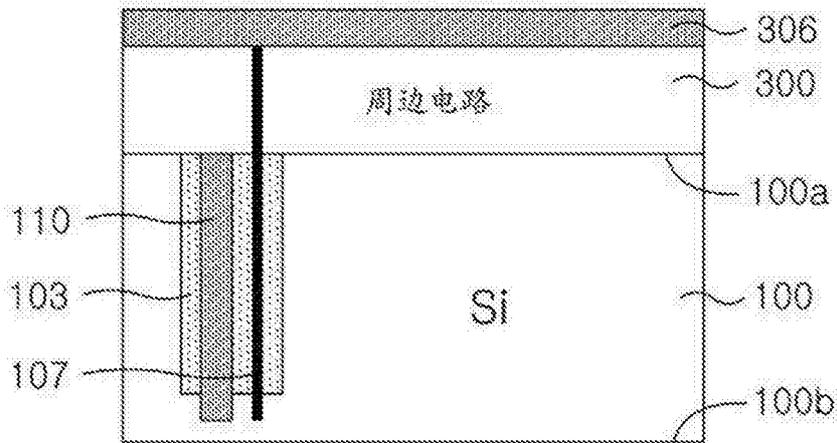


图1B

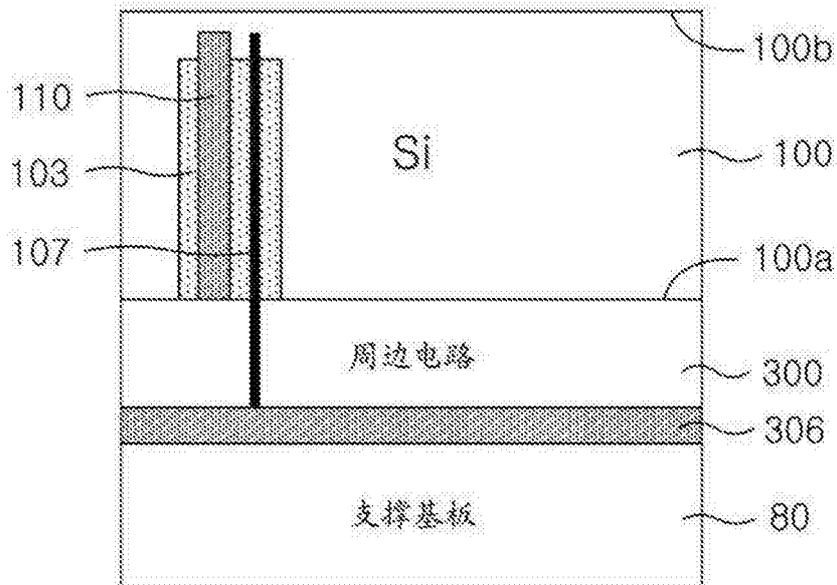


图1C

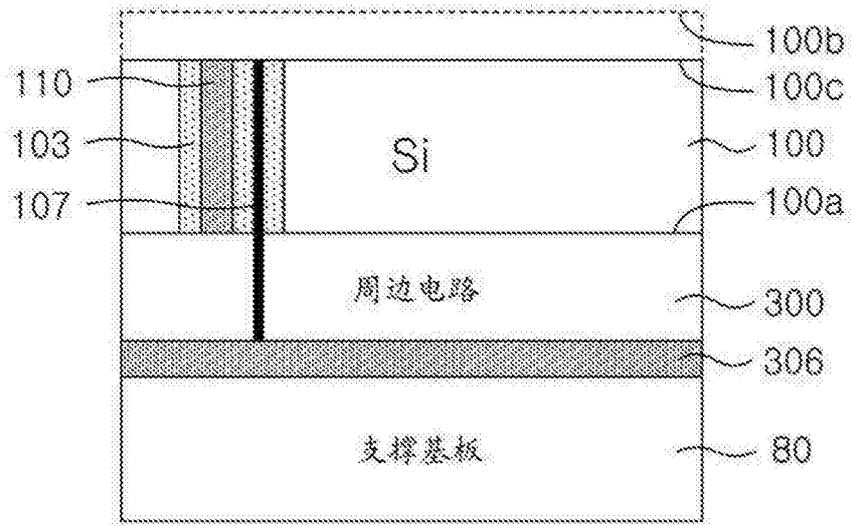


图1D

1

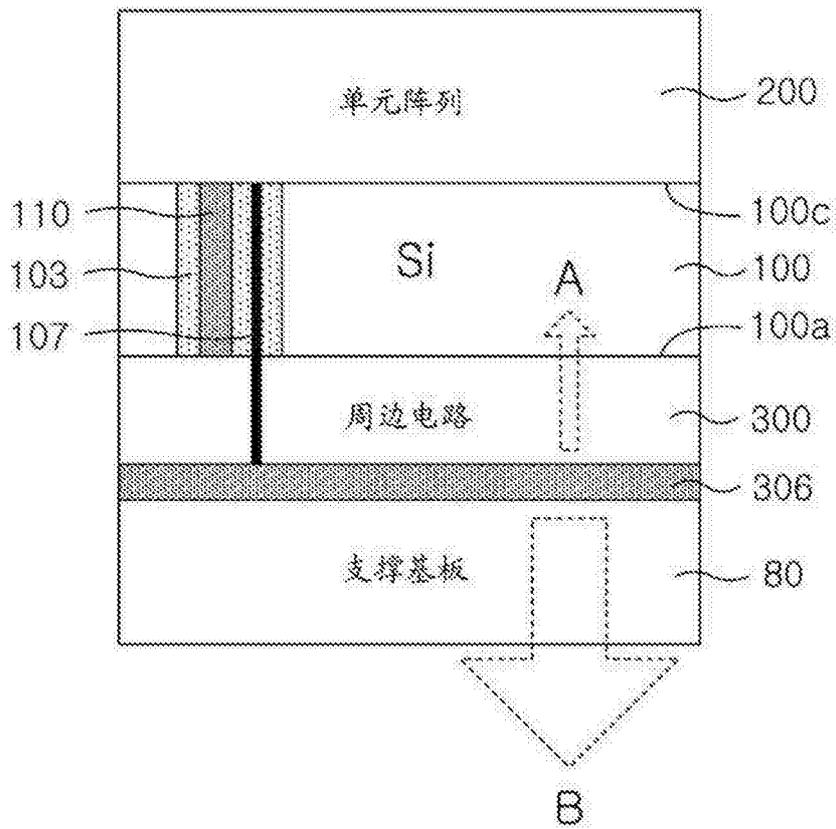


图1E

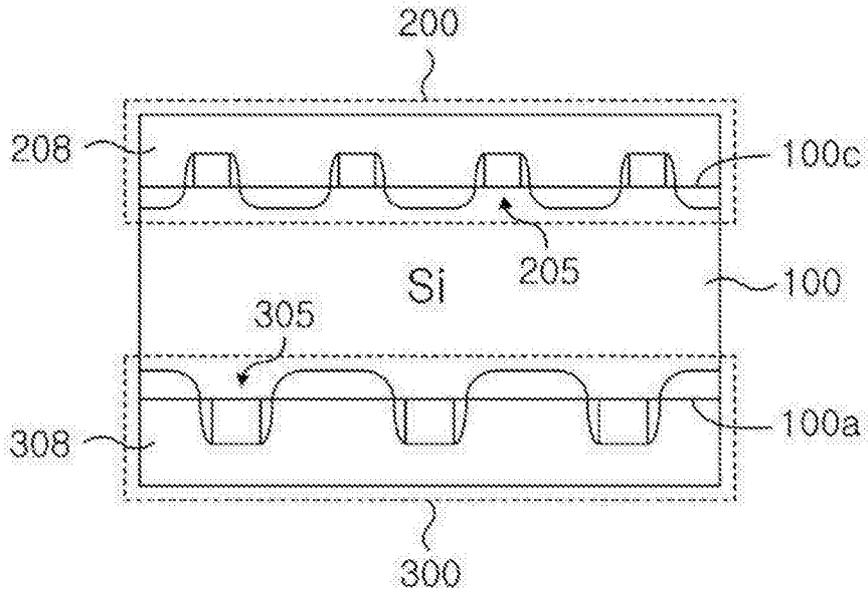


图1F

1a

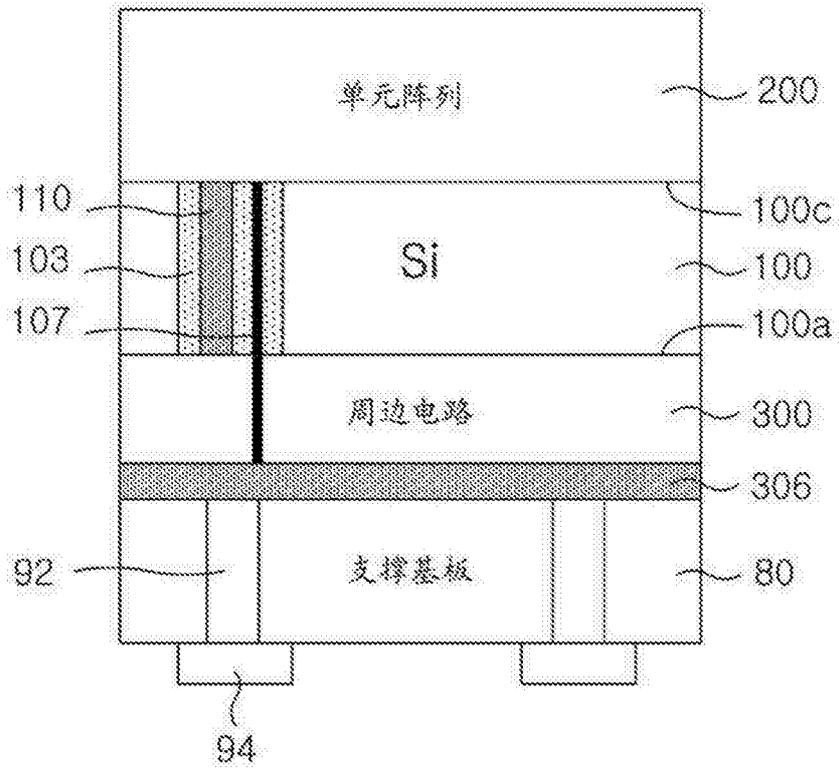


图1G

1b

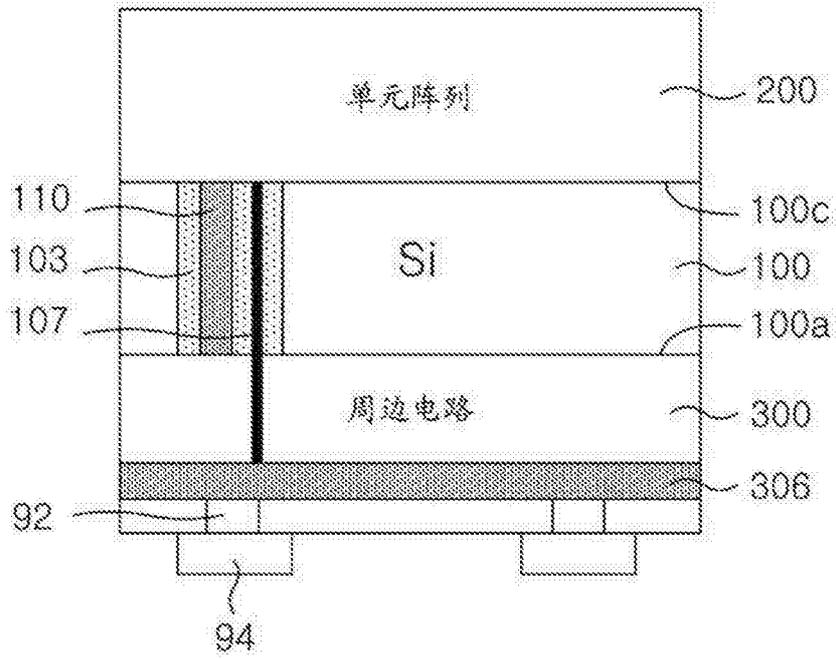


图1H

9a

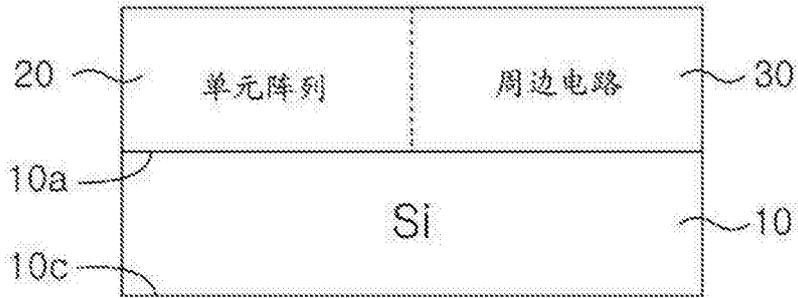


图2A

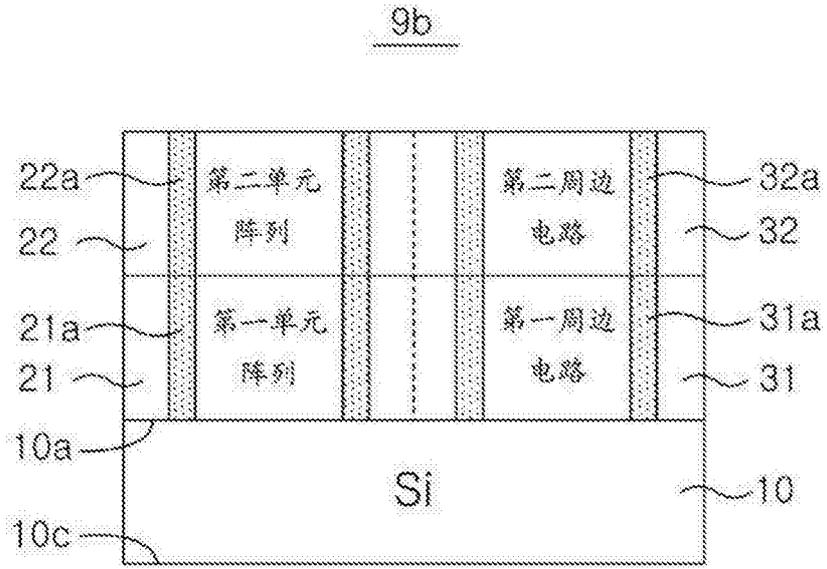


图2B

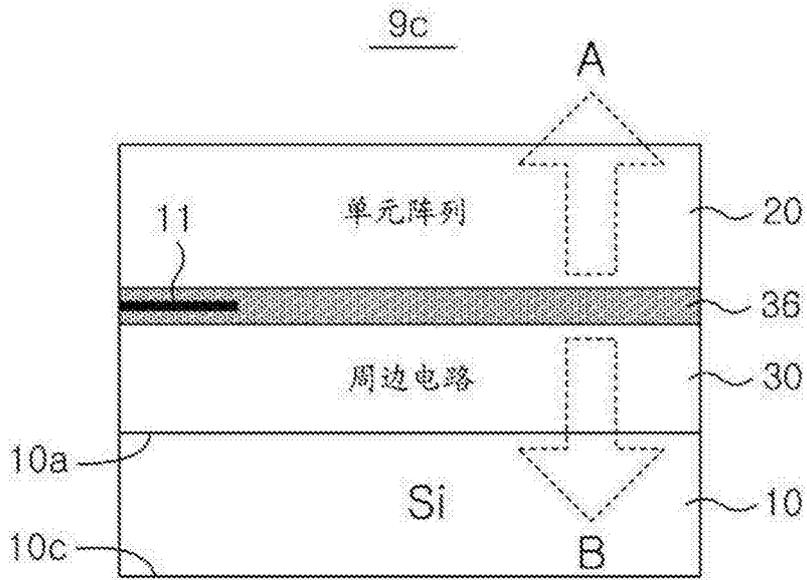


图2C

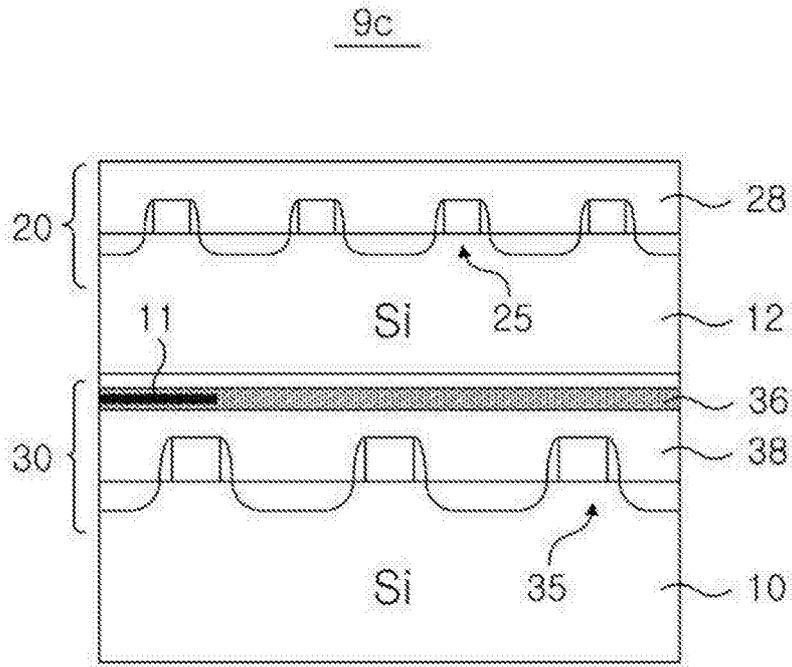


图2D

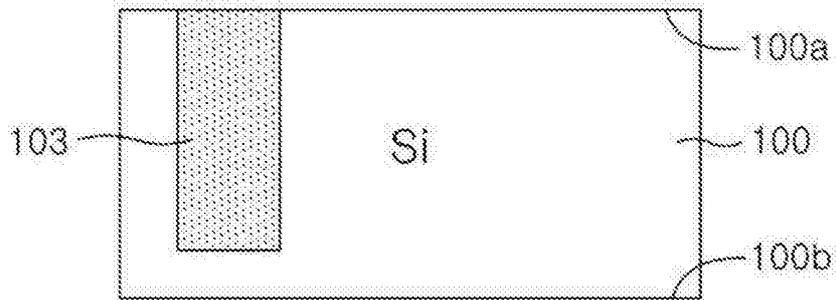


图3A

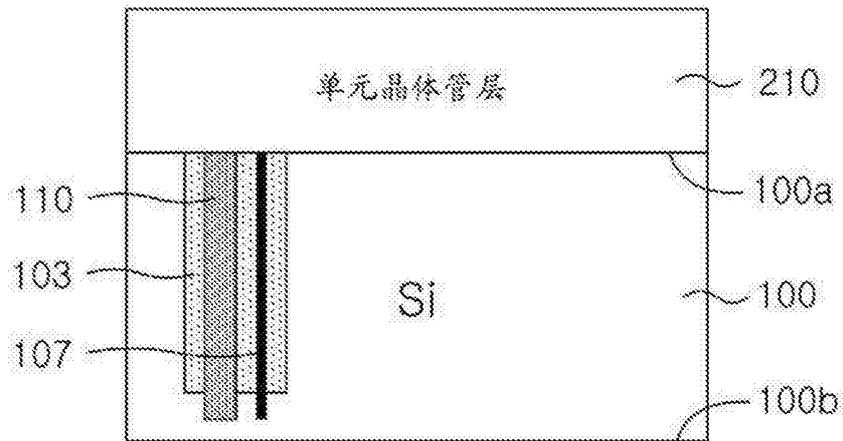


图3B

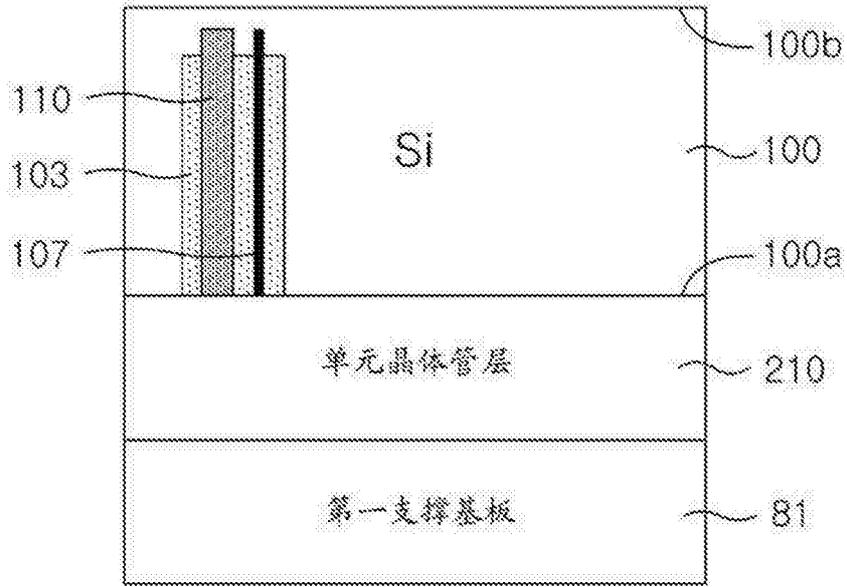


图3C

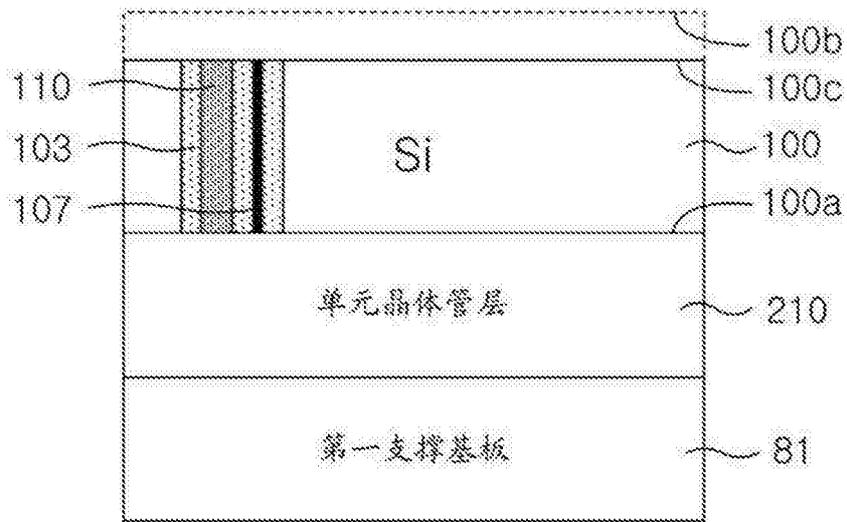


图3D

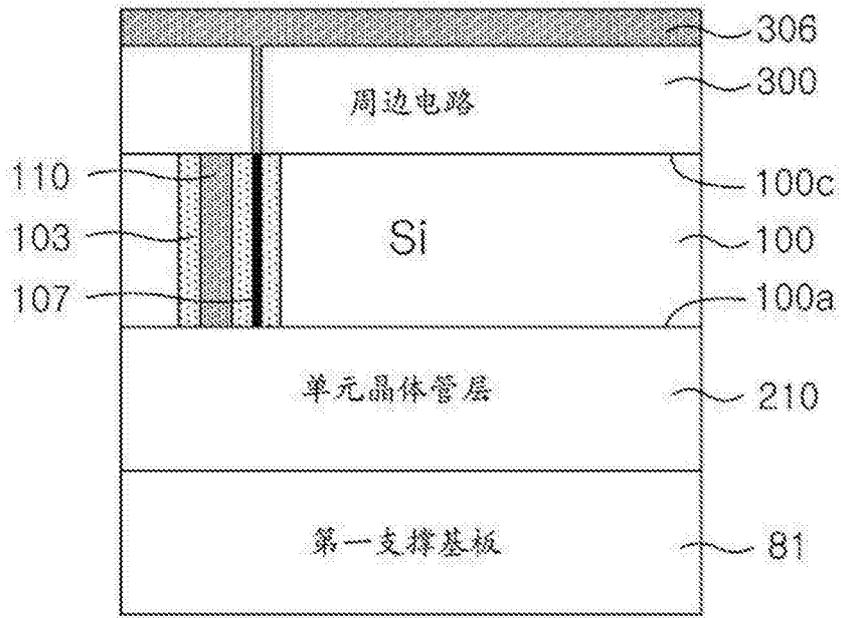


图3E

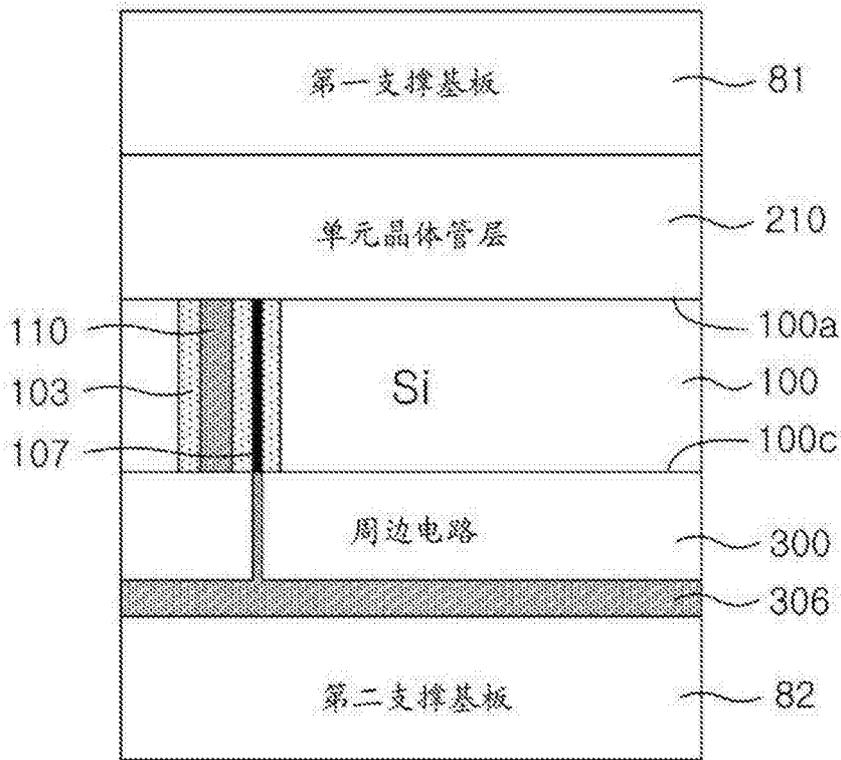


图3F

2

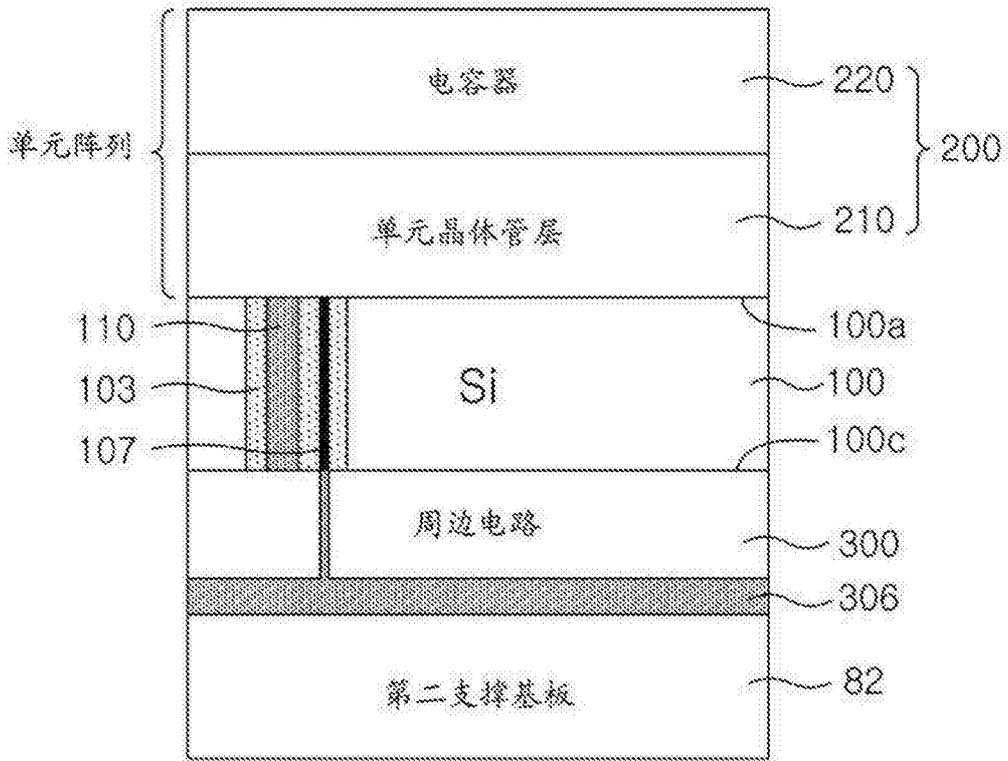


图3G

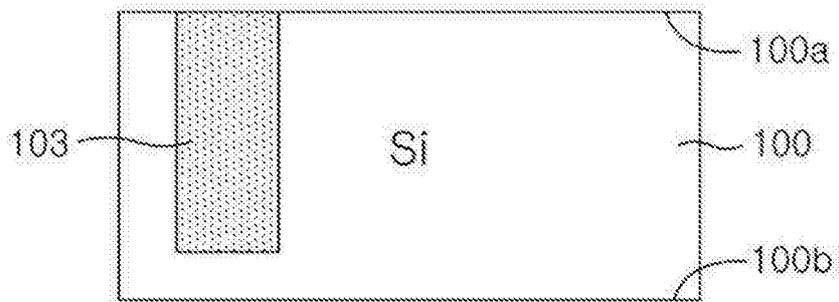


图4A

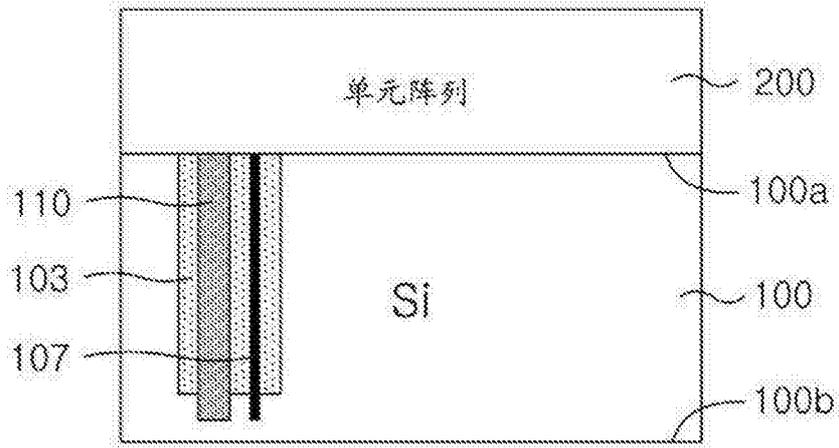


图4B

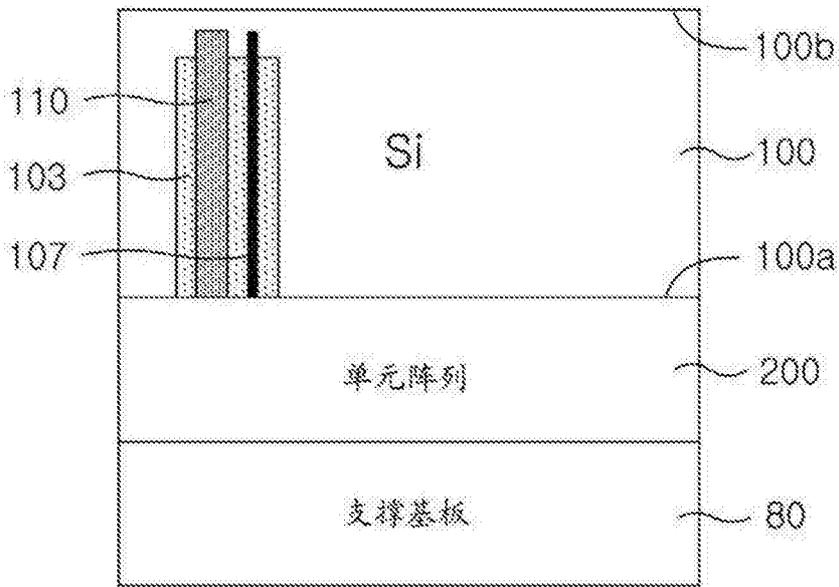


图4C

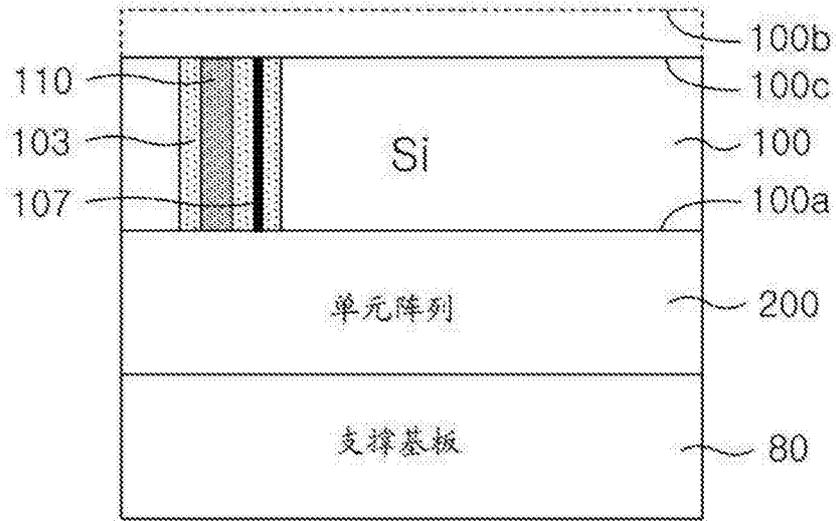


图4D

3

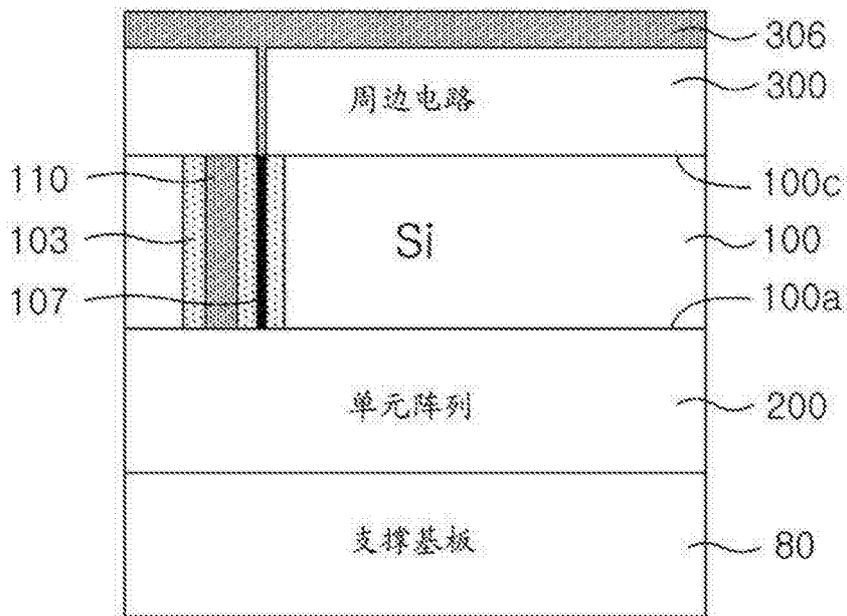


图4E

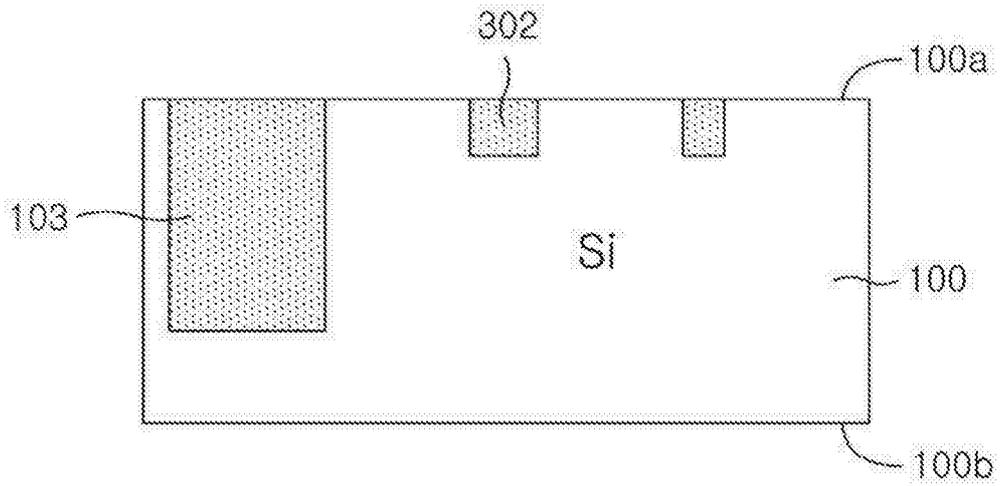


图5A

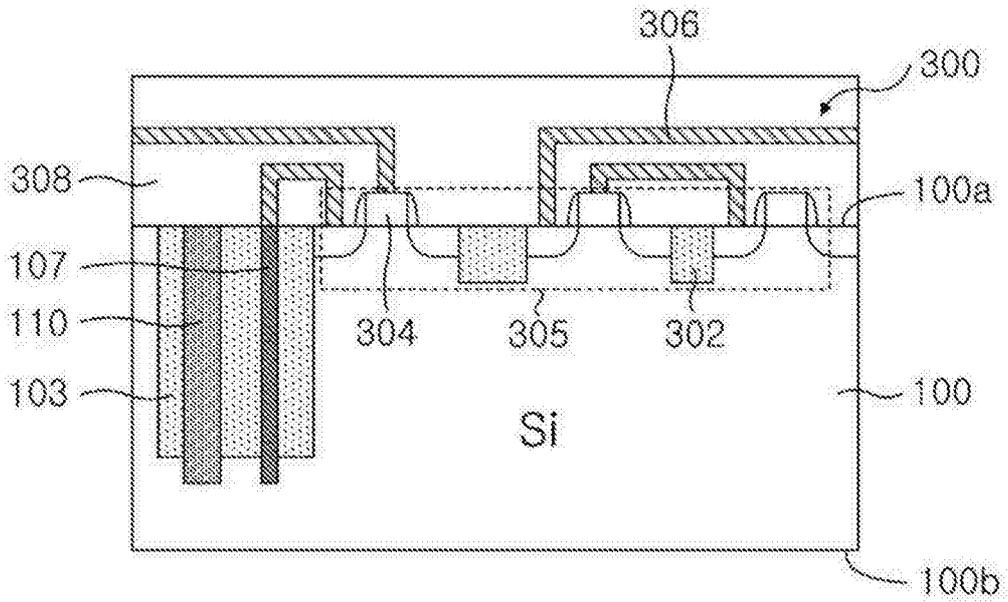


图5B

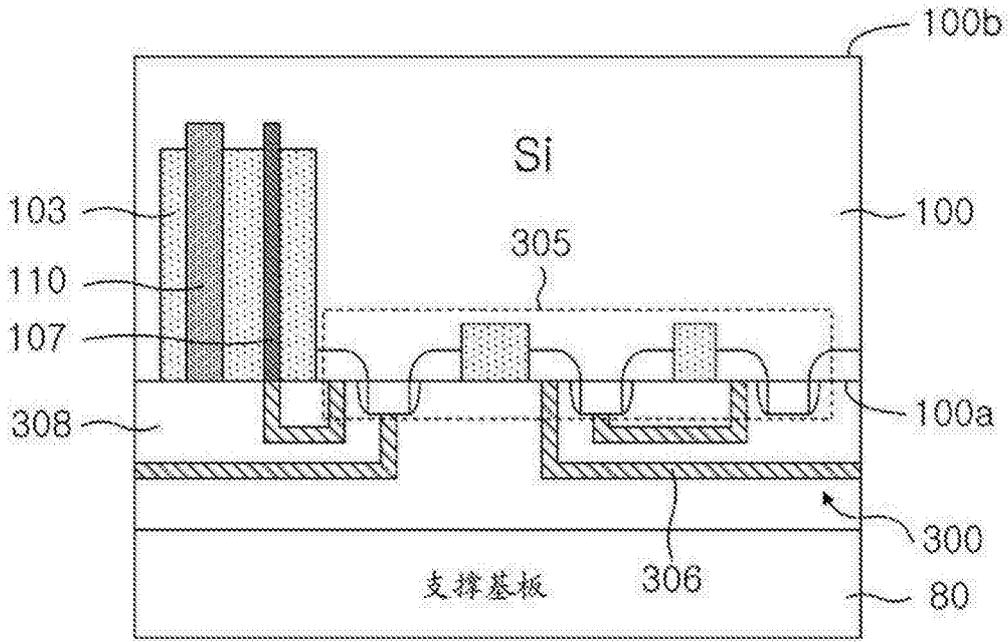


图5C

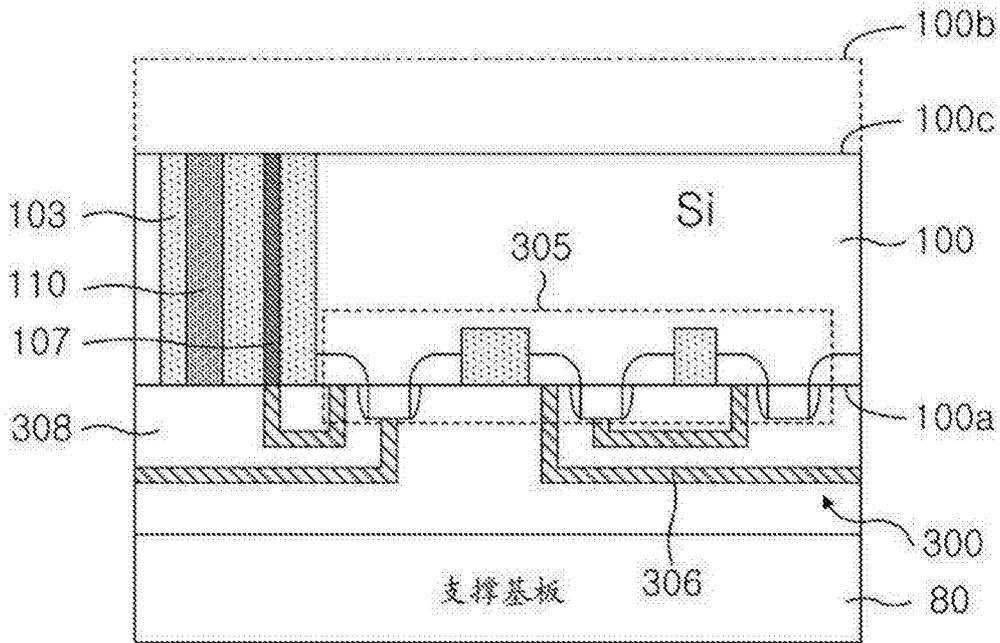


图5D

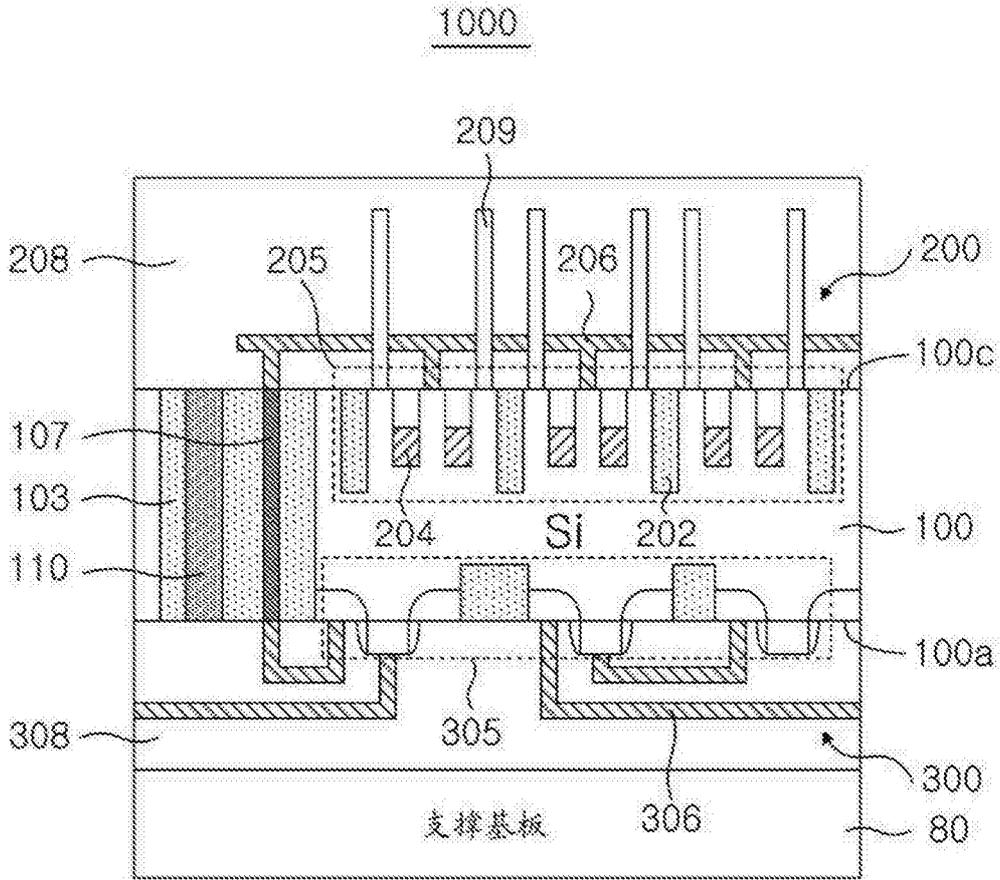


图5E

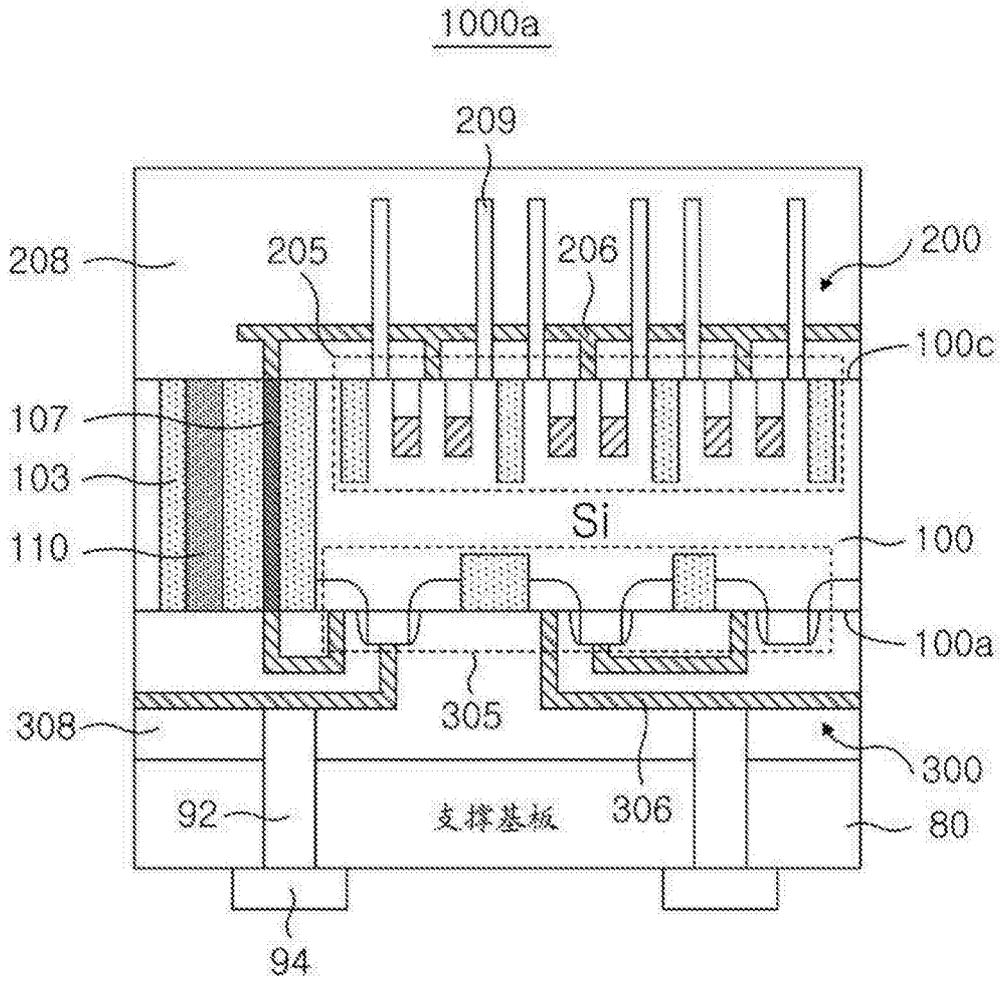


图5F

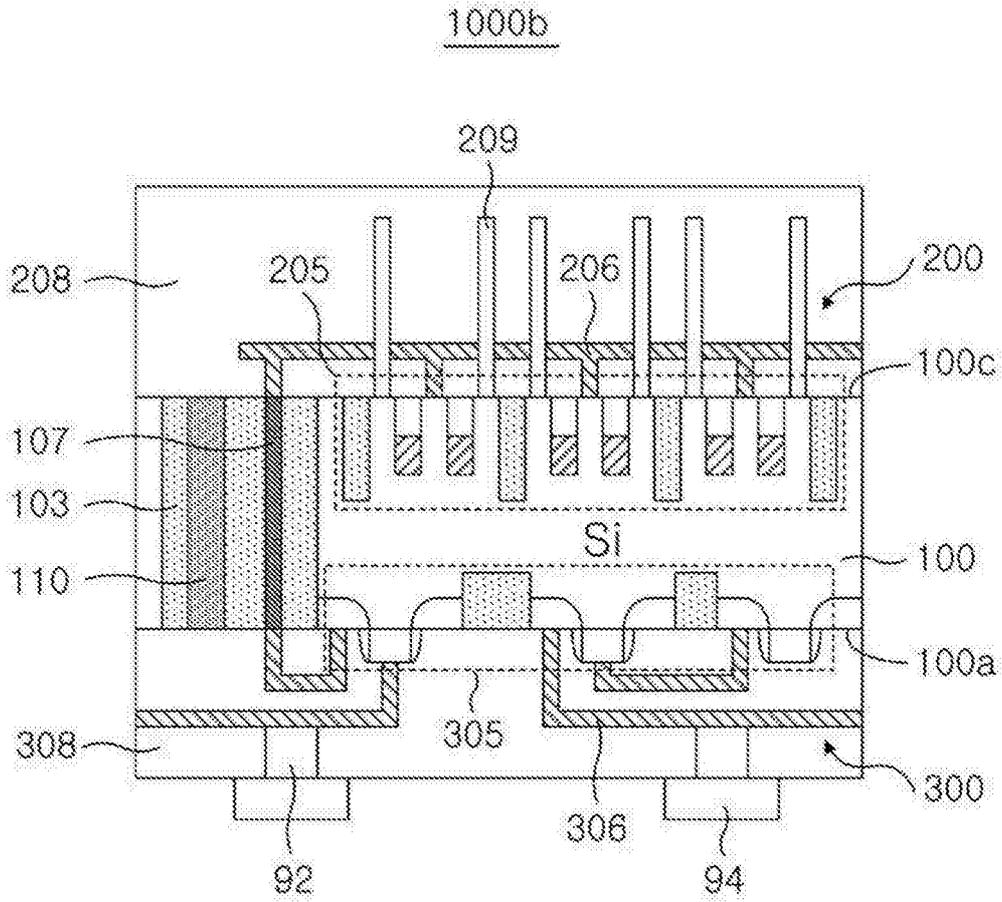


图5G

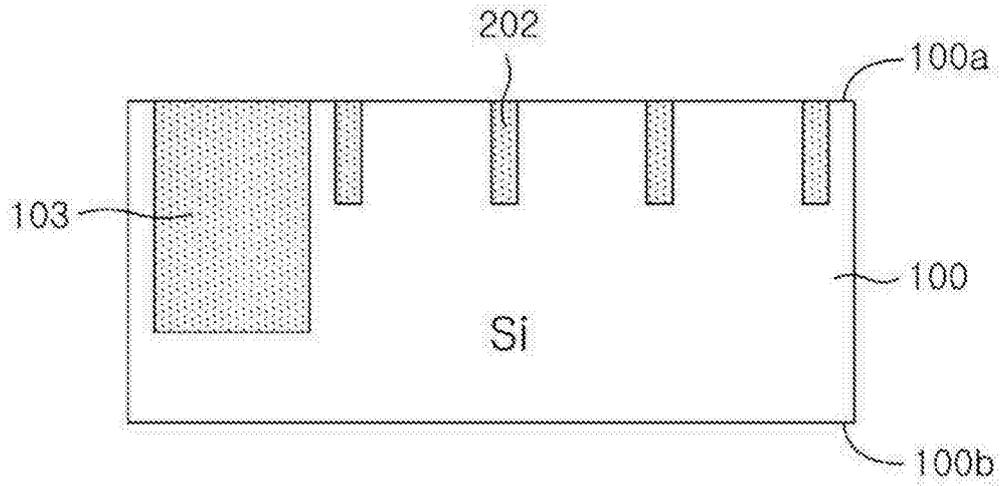


图6A

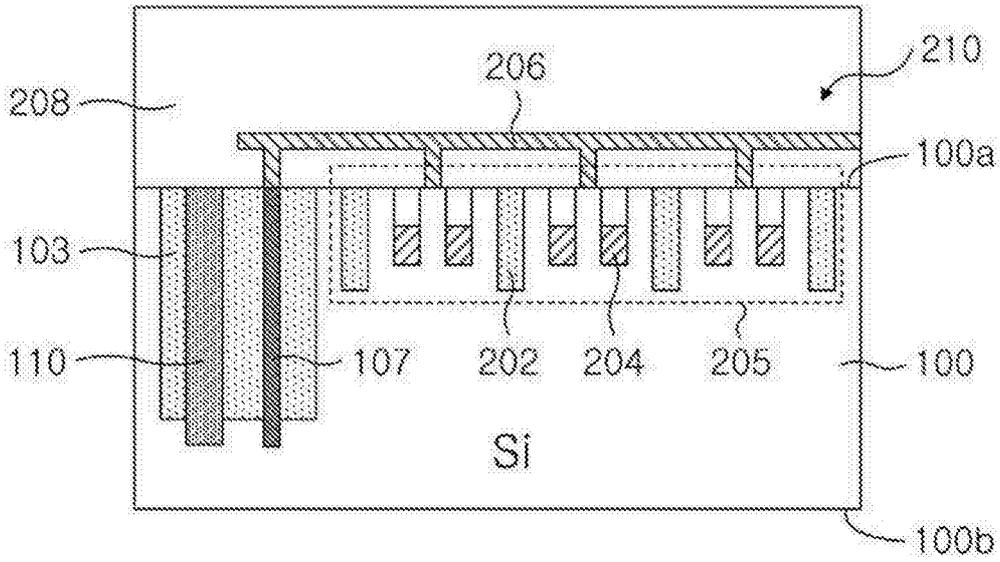


图6B

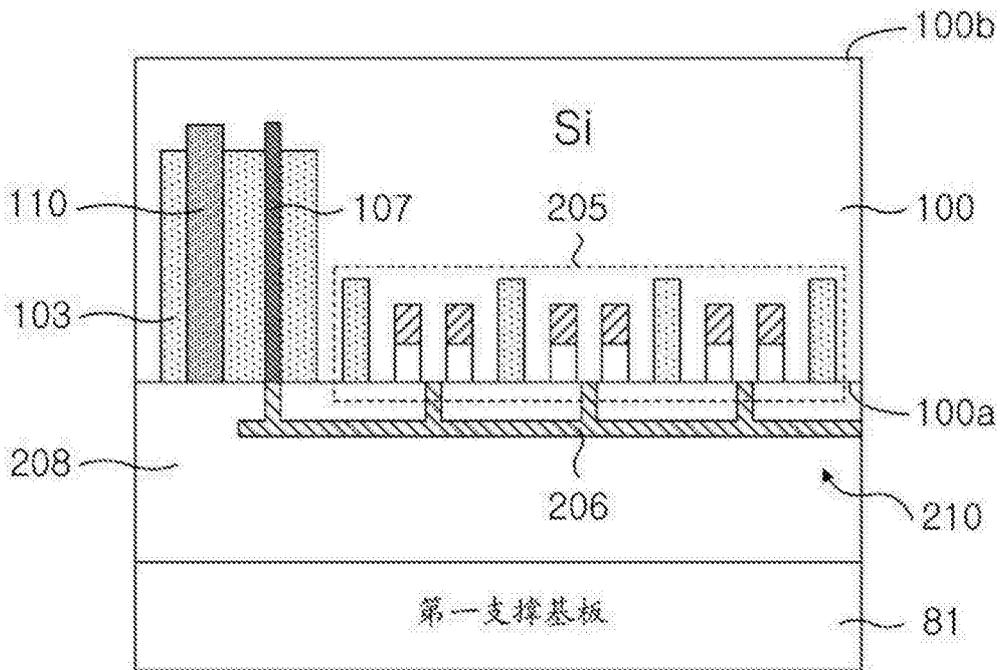


图6C

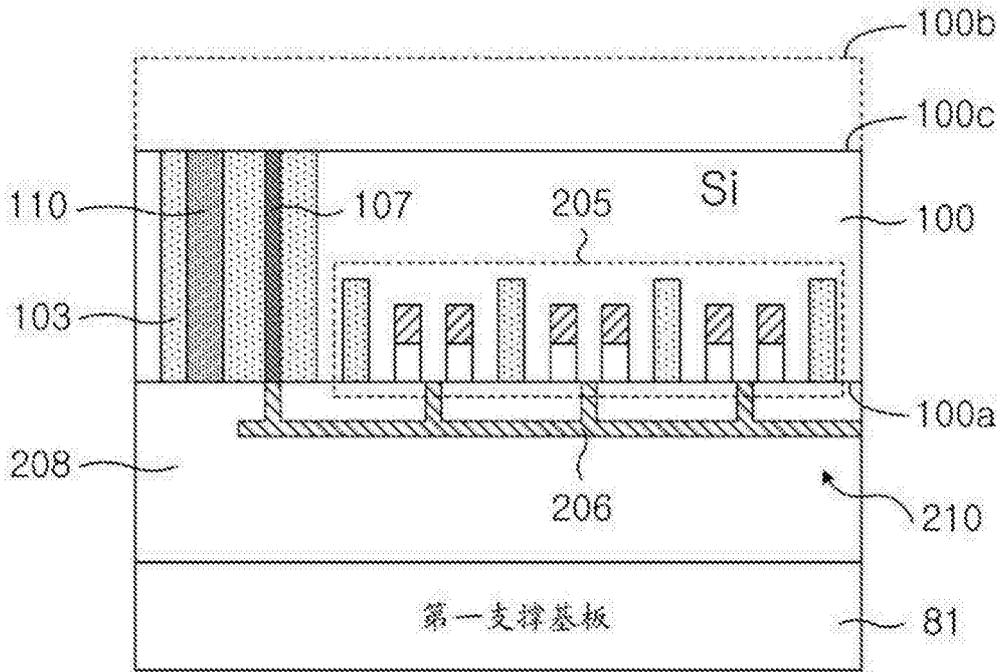


图6D

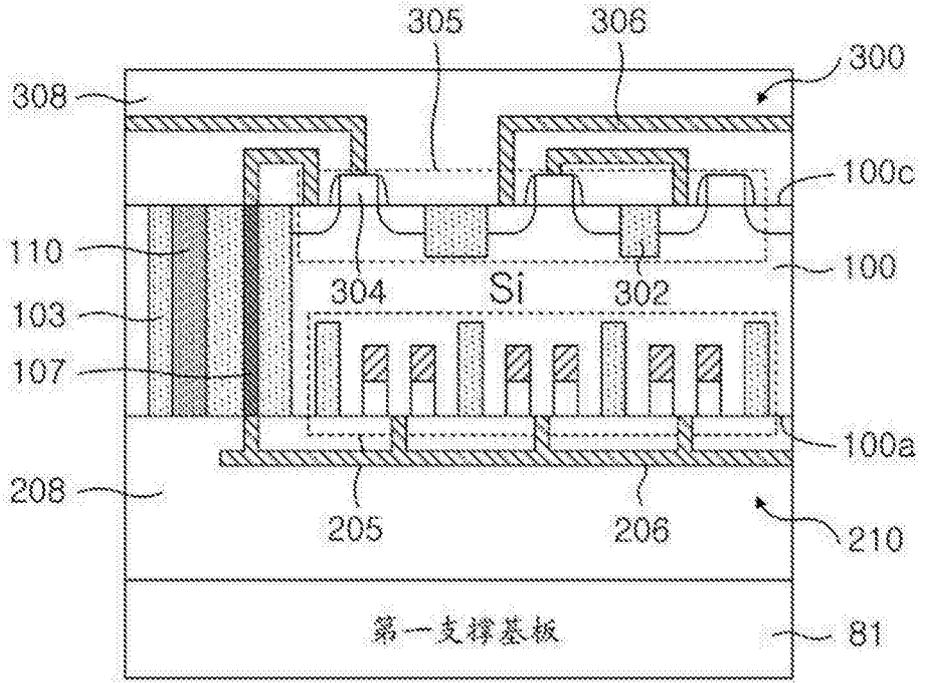


图6E

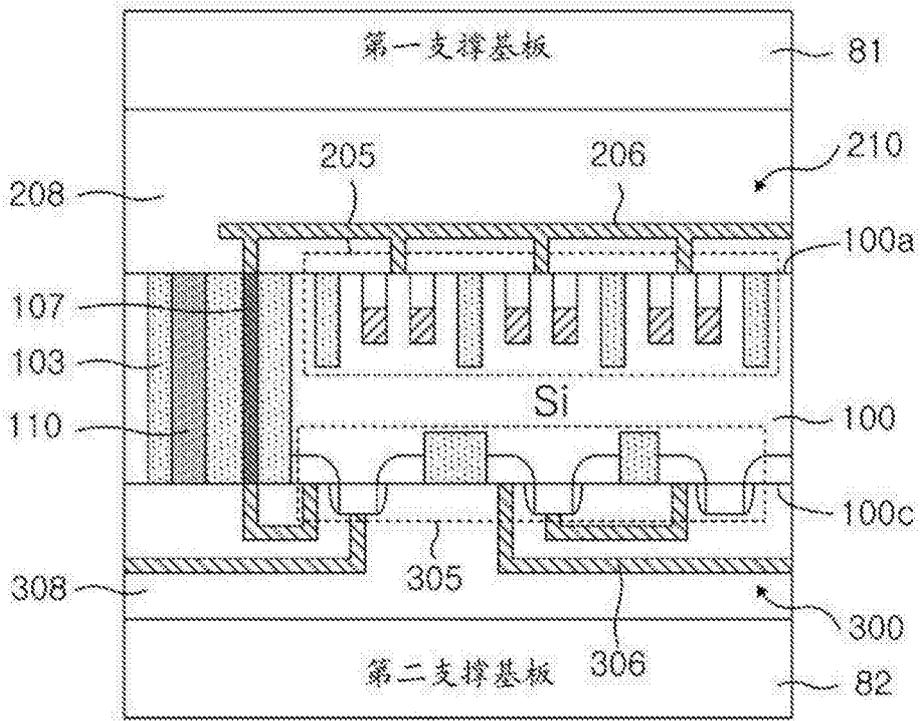


图6F

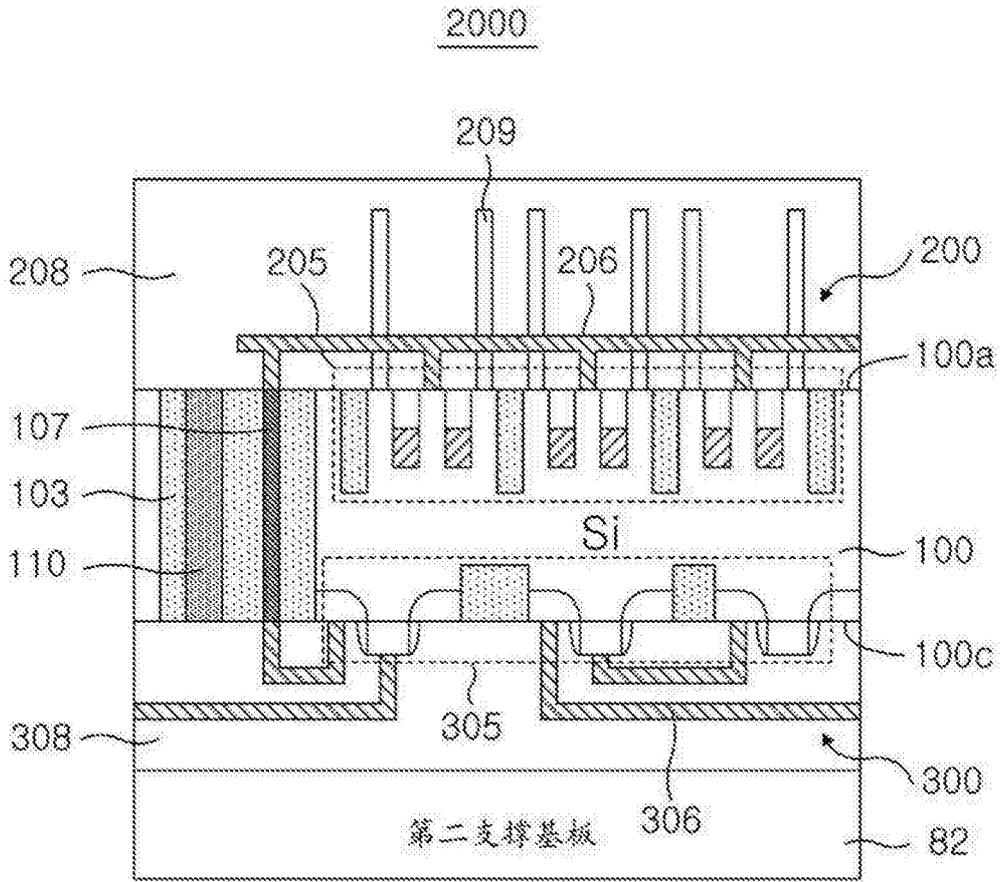


图6G

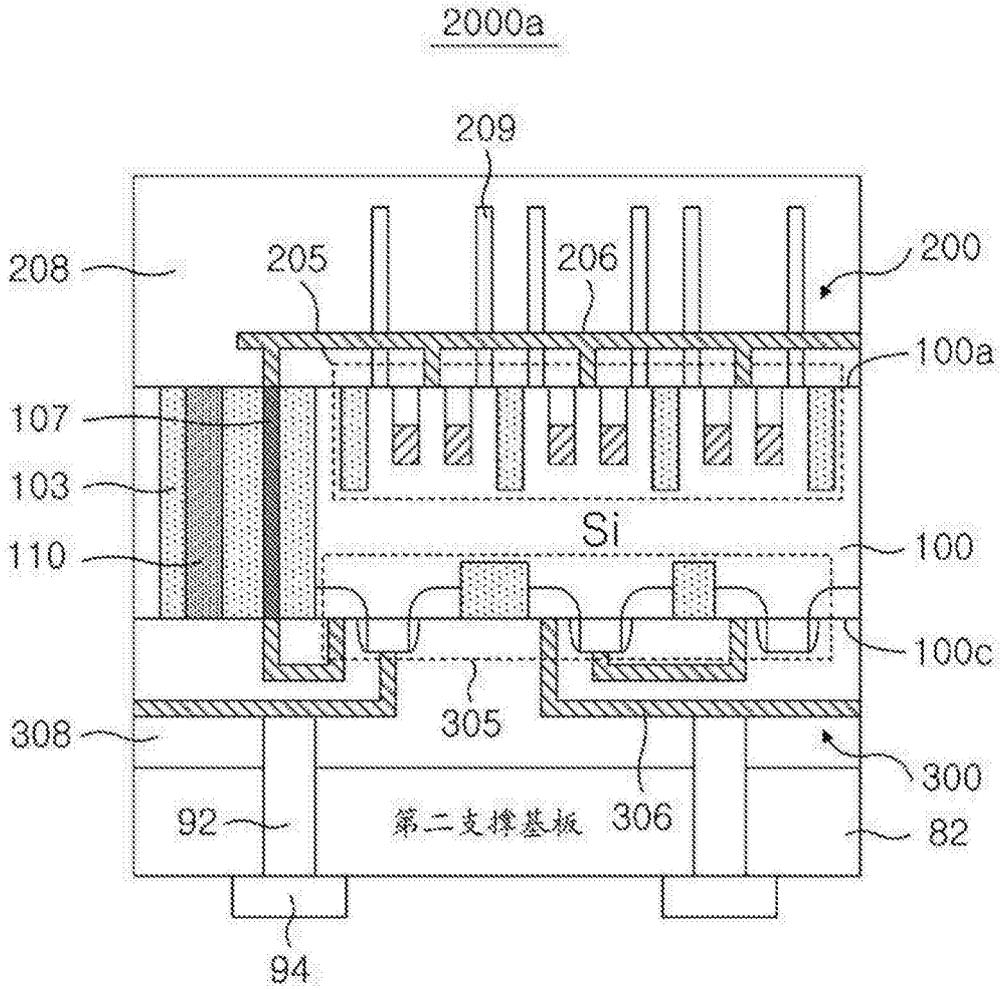


图6H

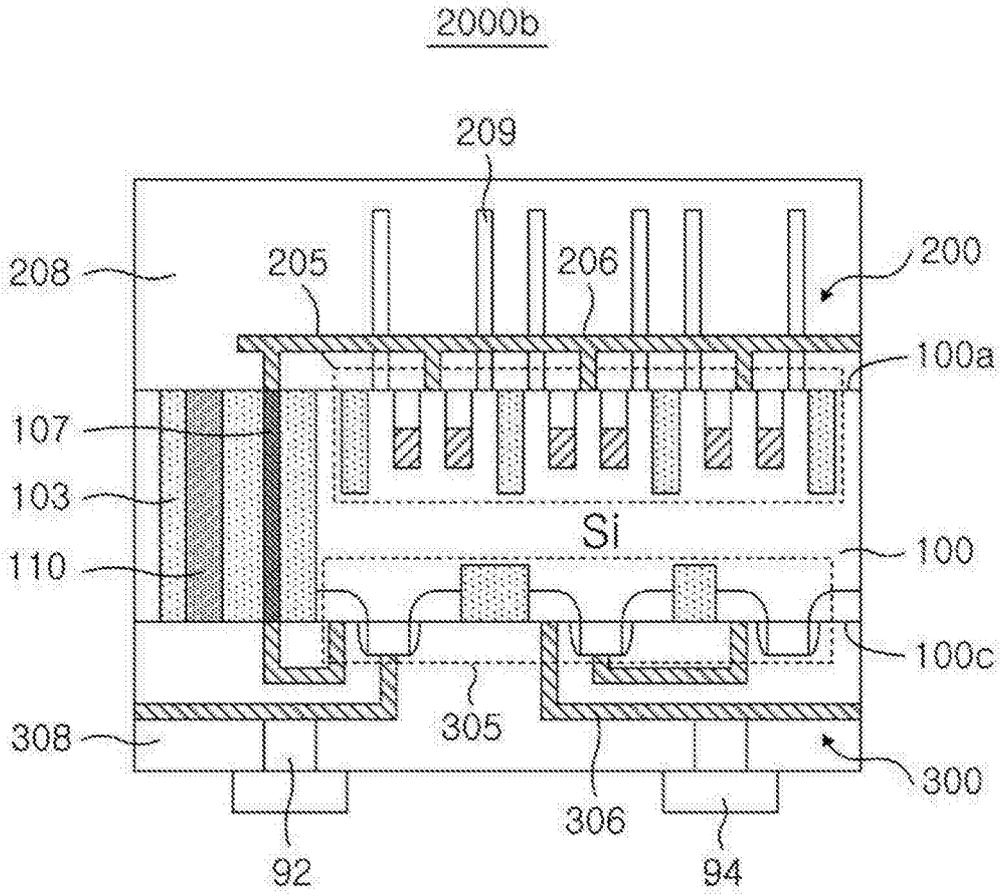


图6I

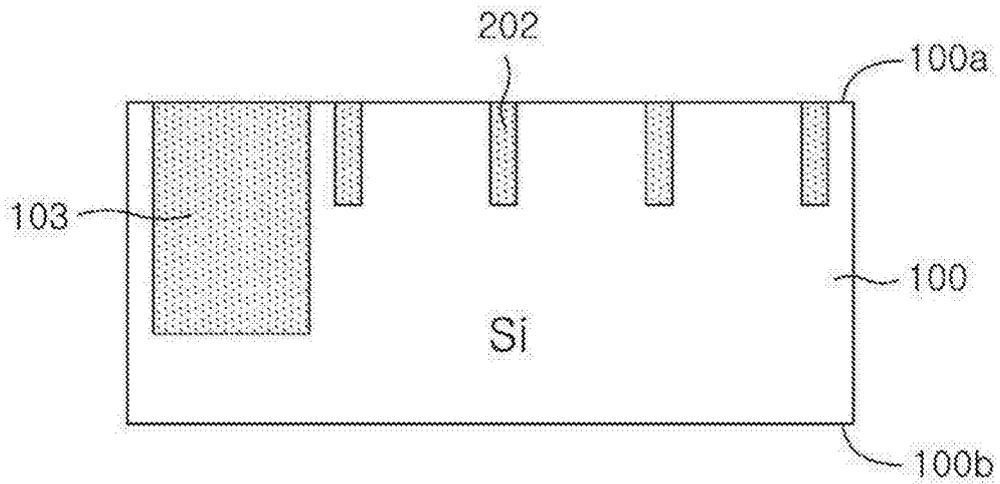


图7A

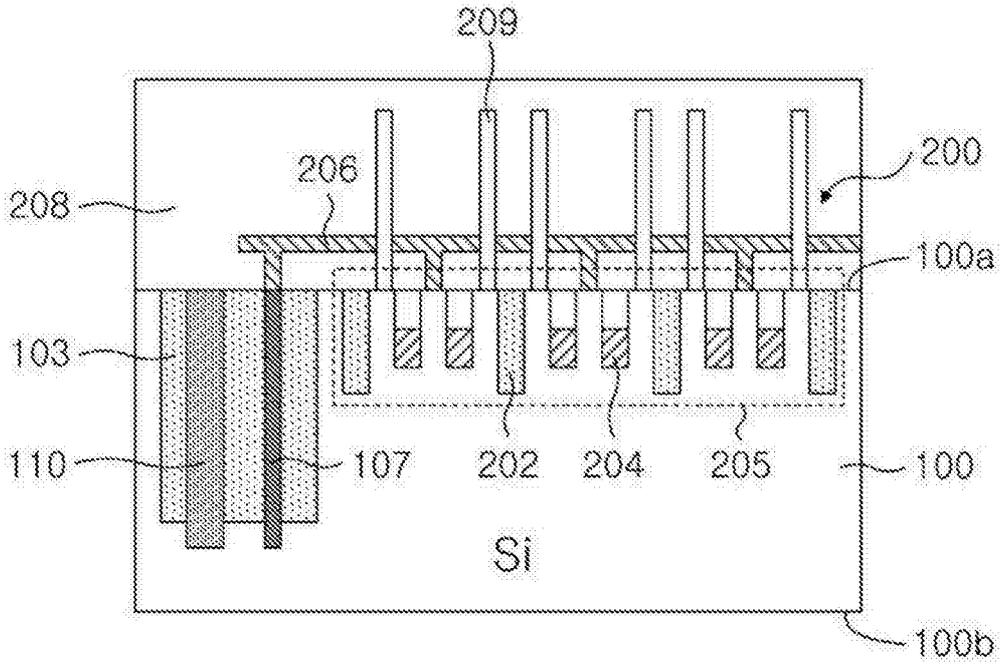


图7B

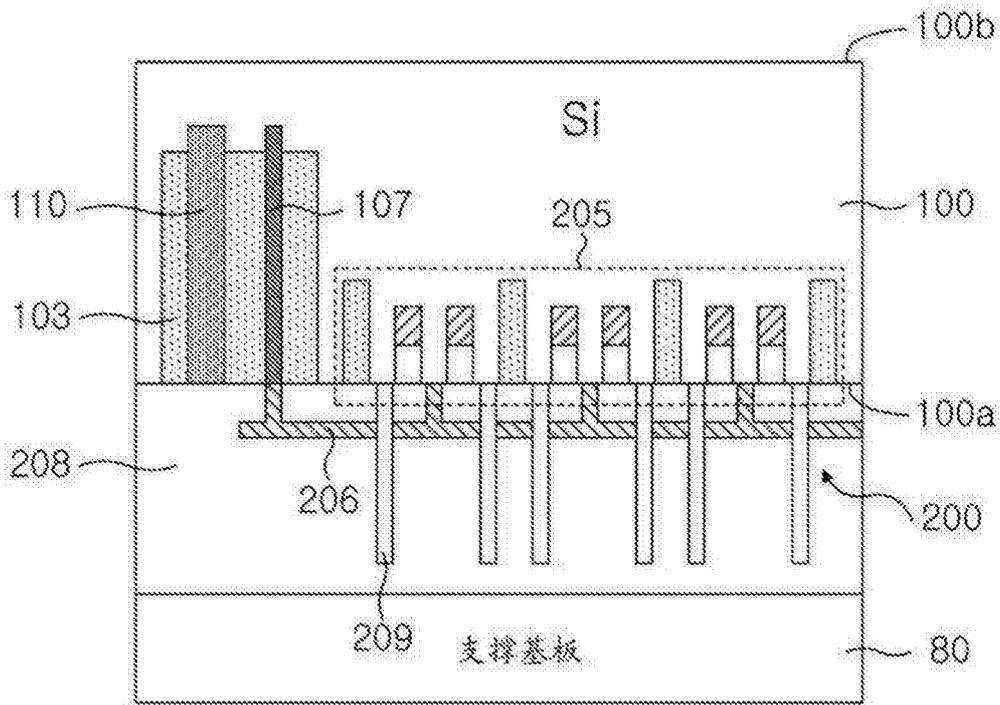


图7C

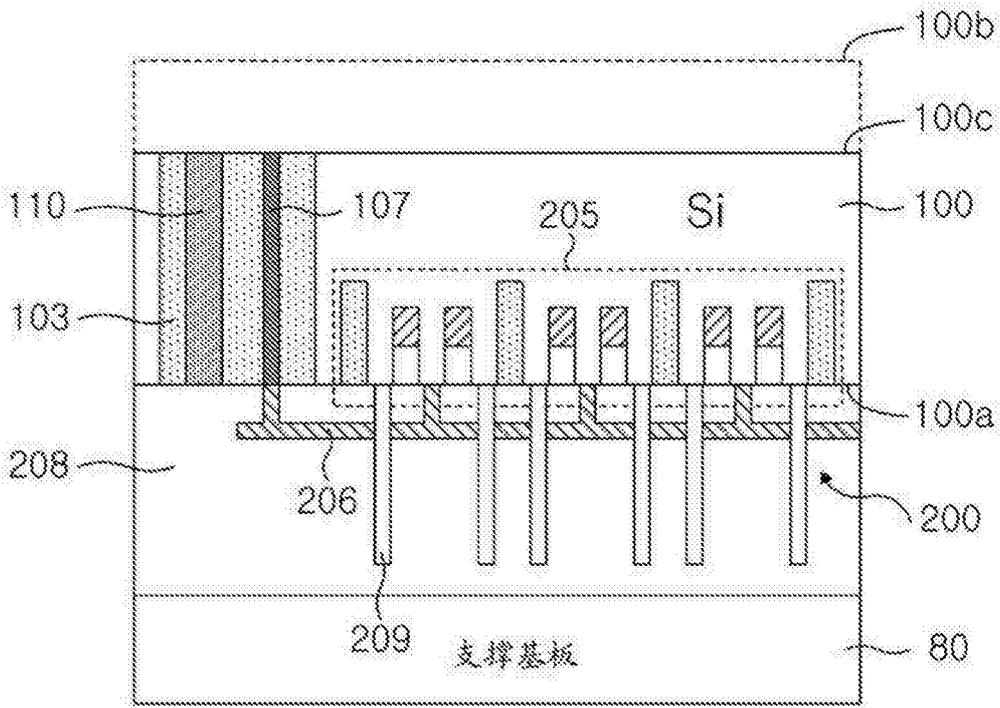


图7D

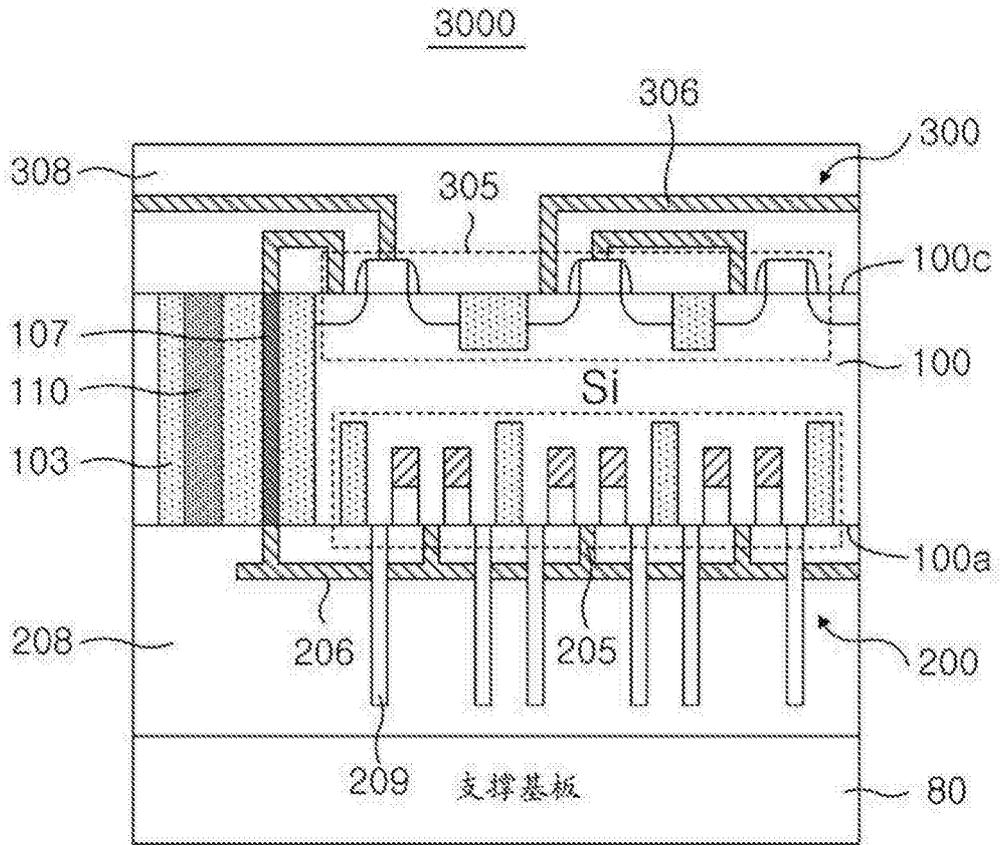


图7E

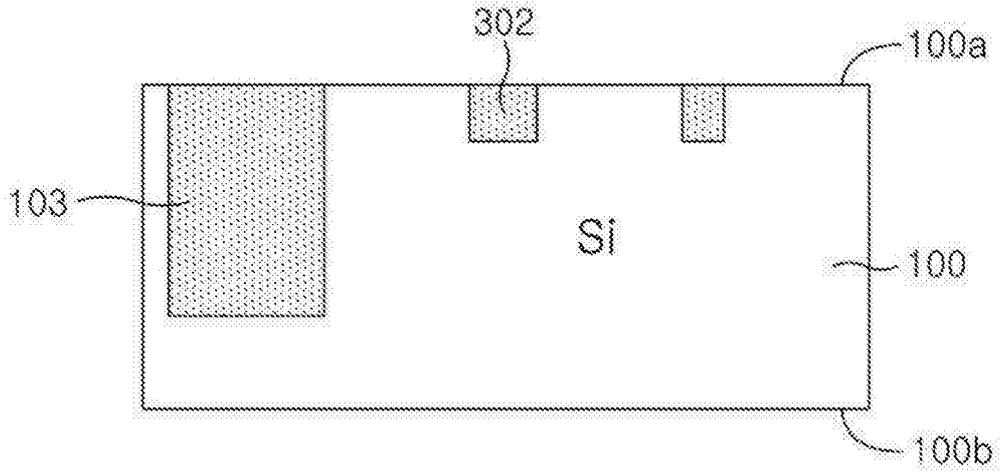


图8A

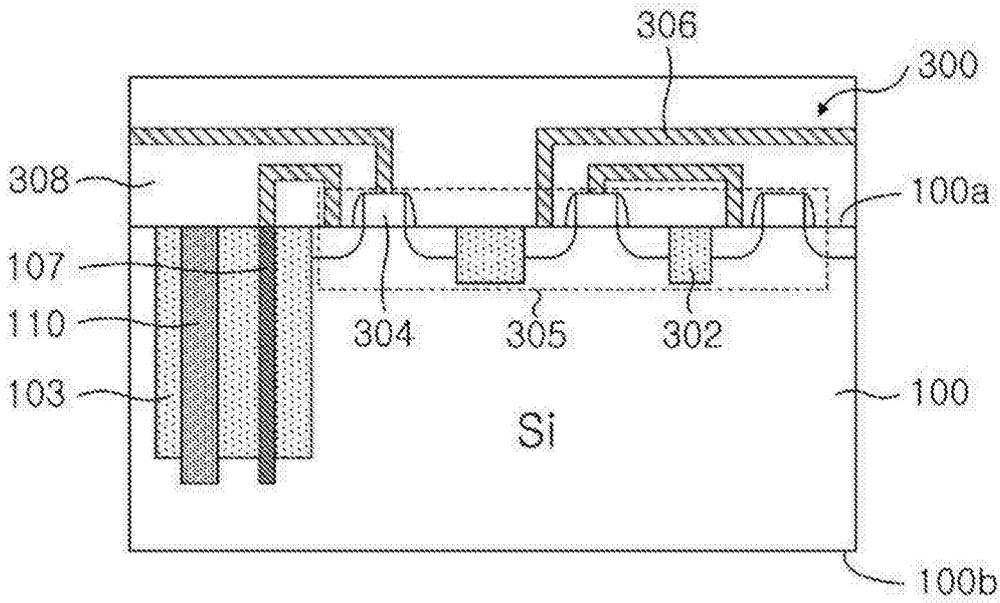


图8B

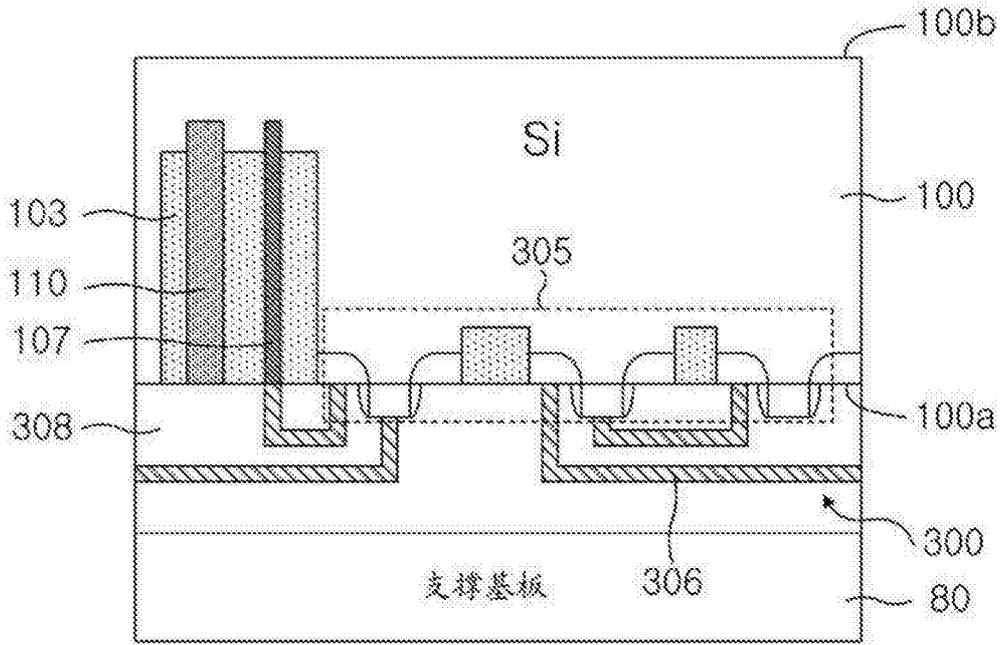


图8C

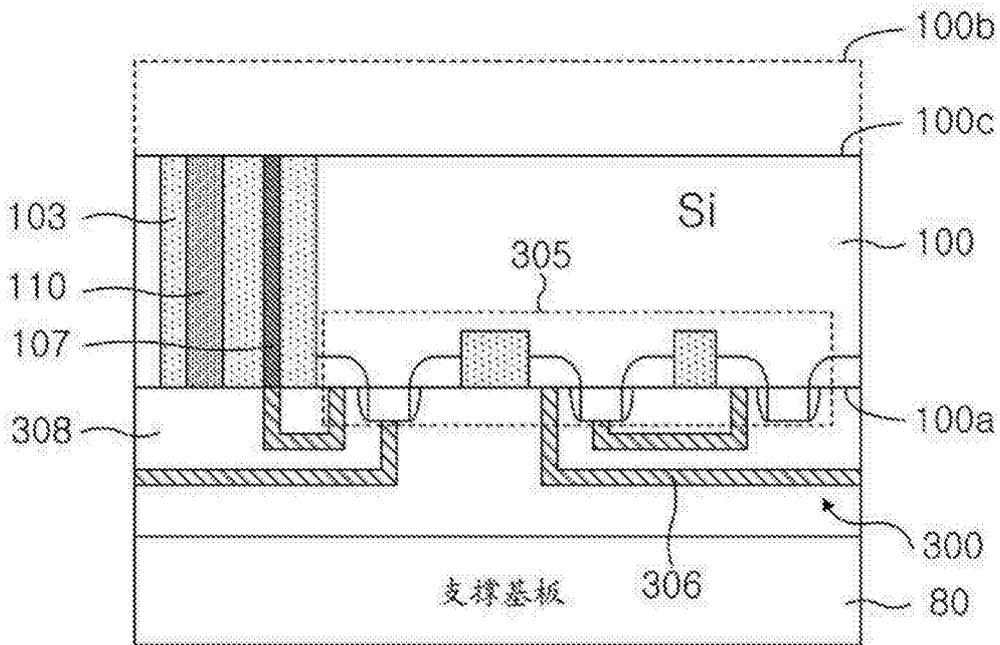


图8D

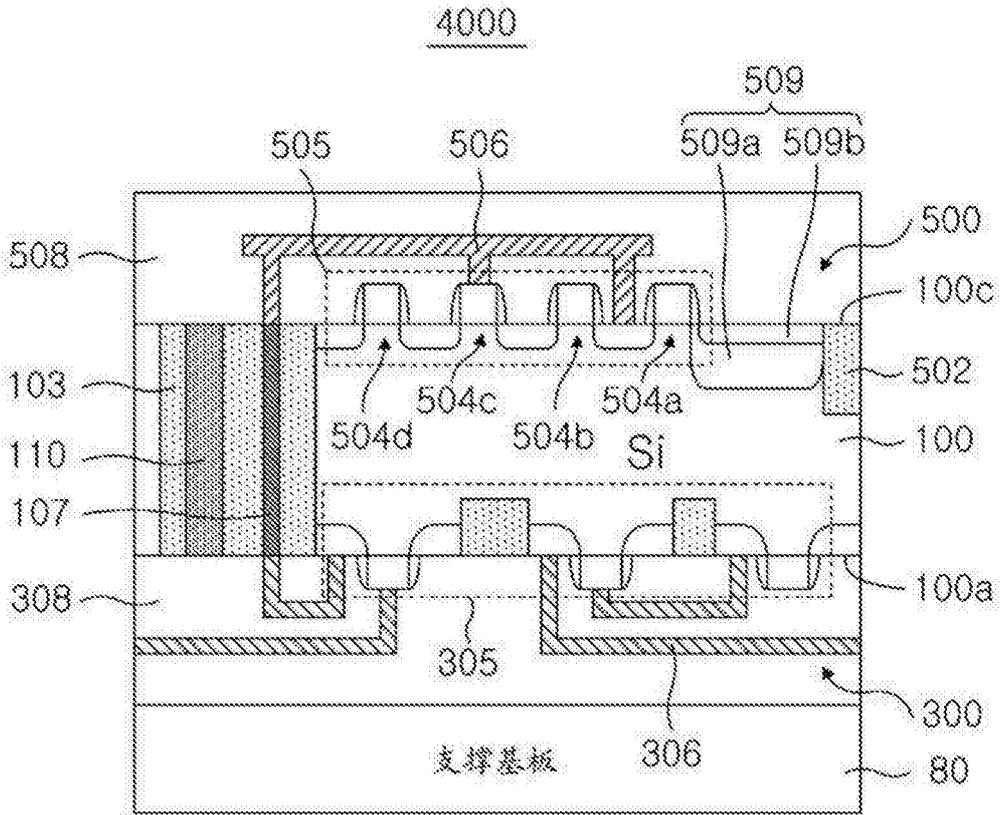


图8E

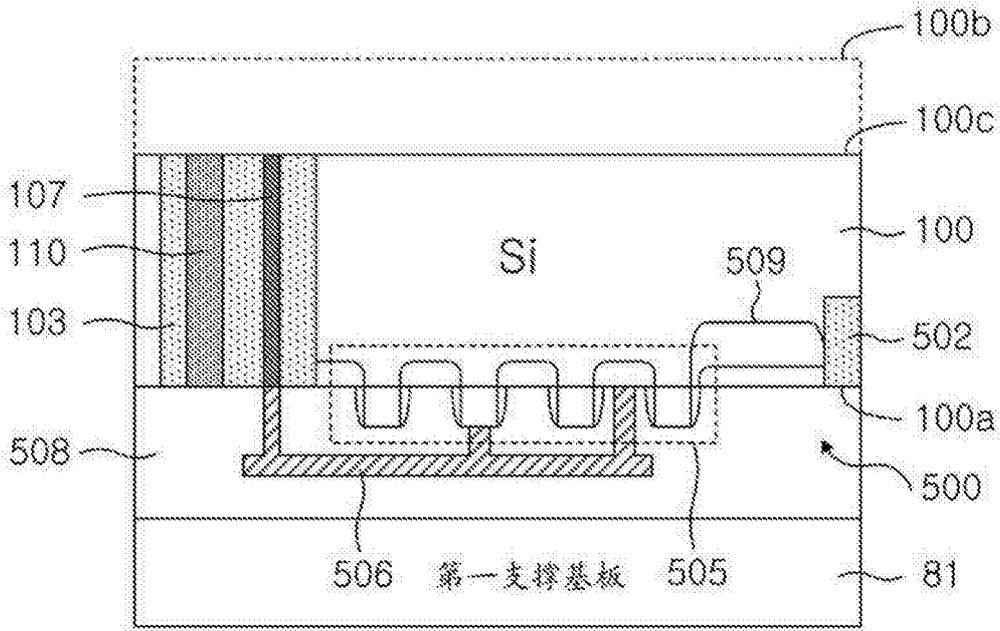


图9D

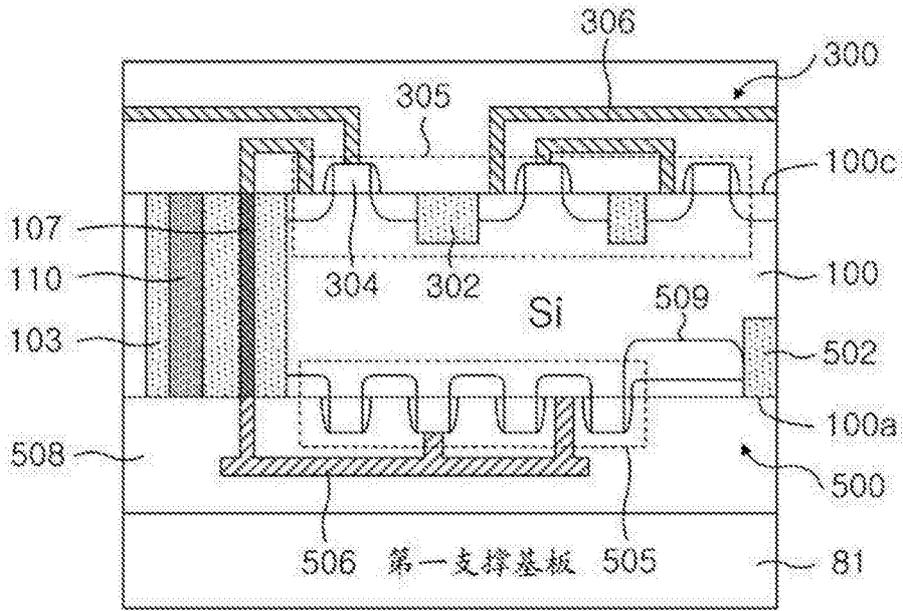


图9E

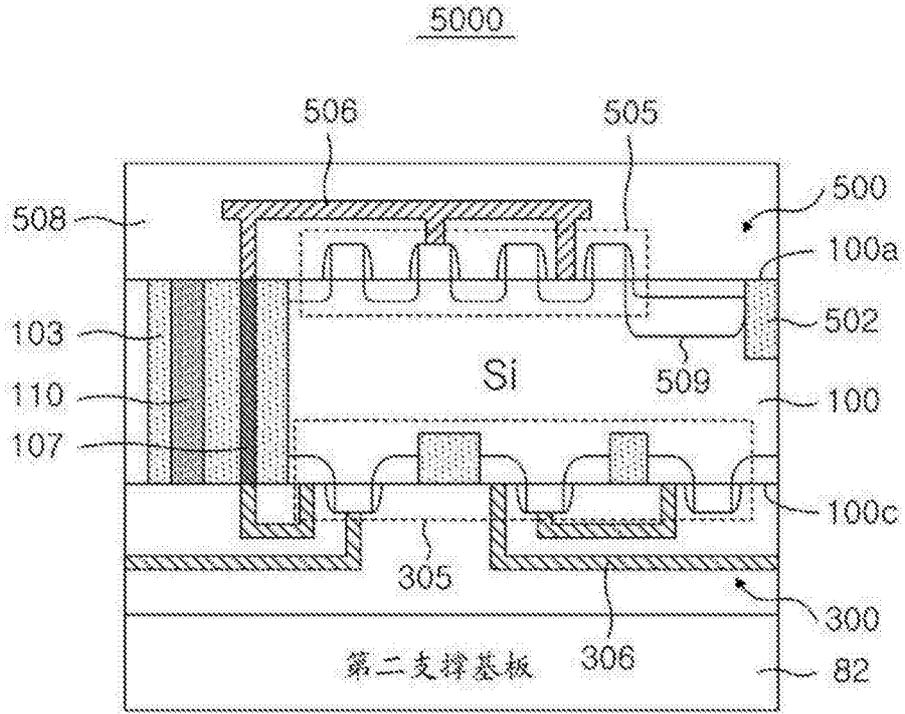


图9F

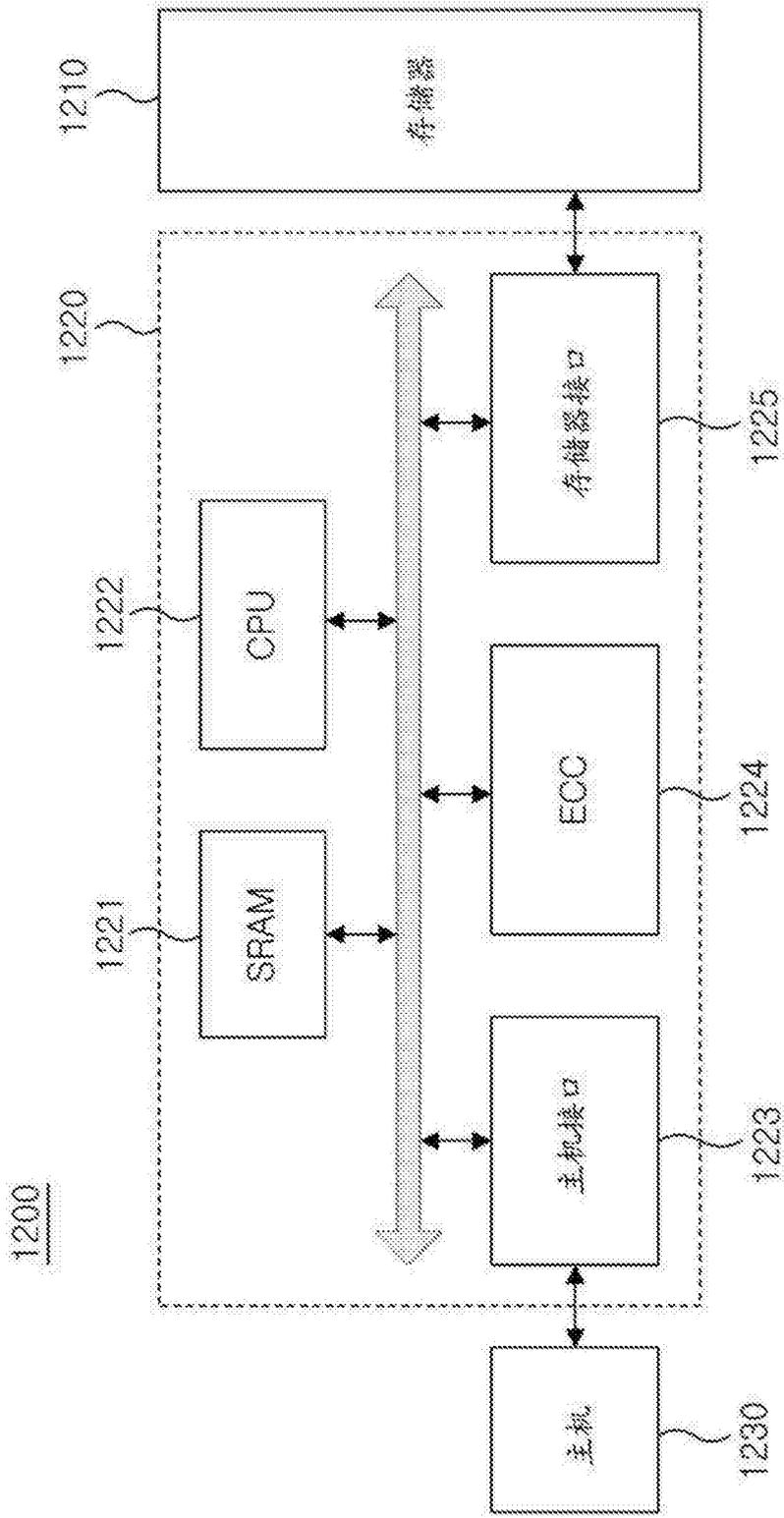


图10A

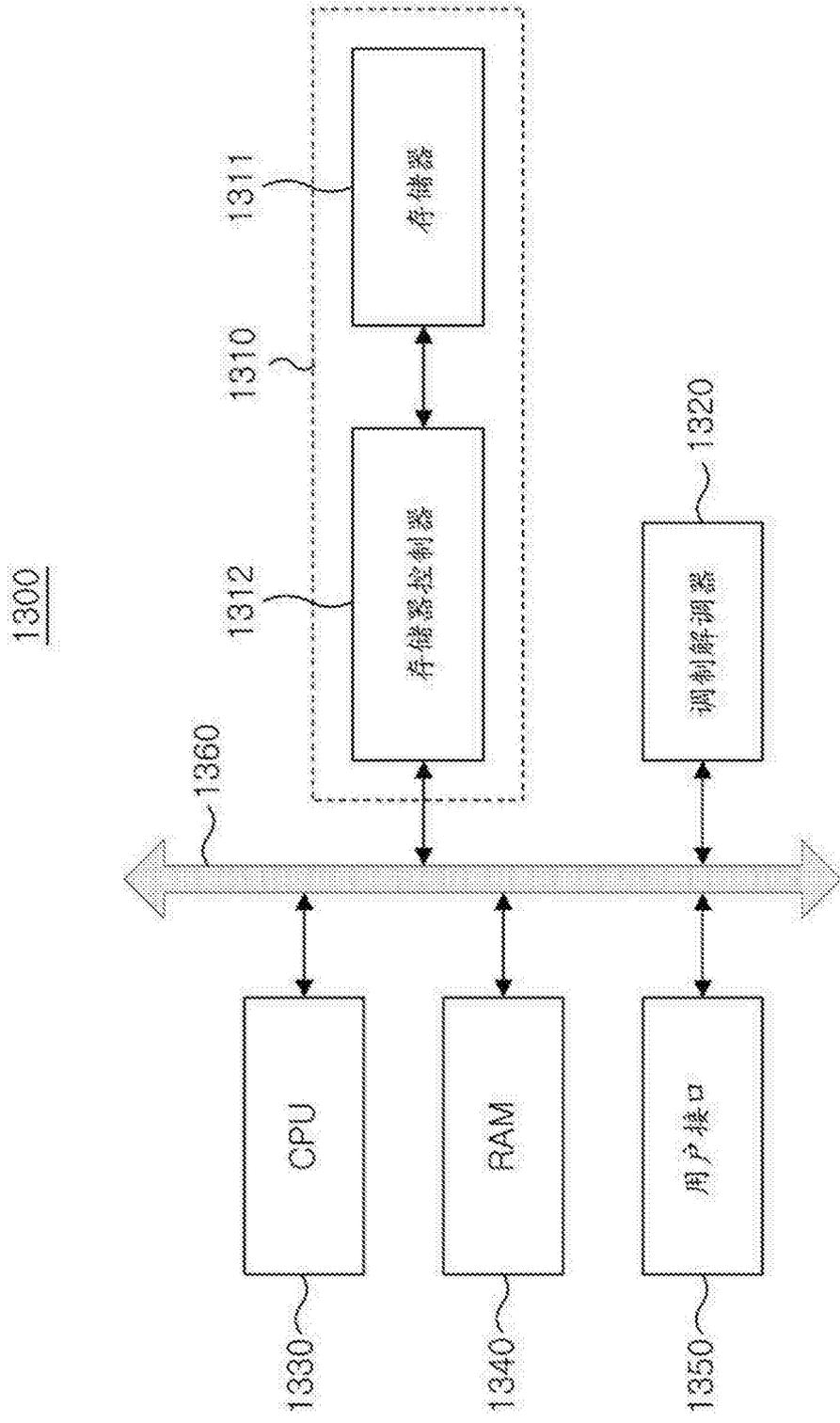


图10B

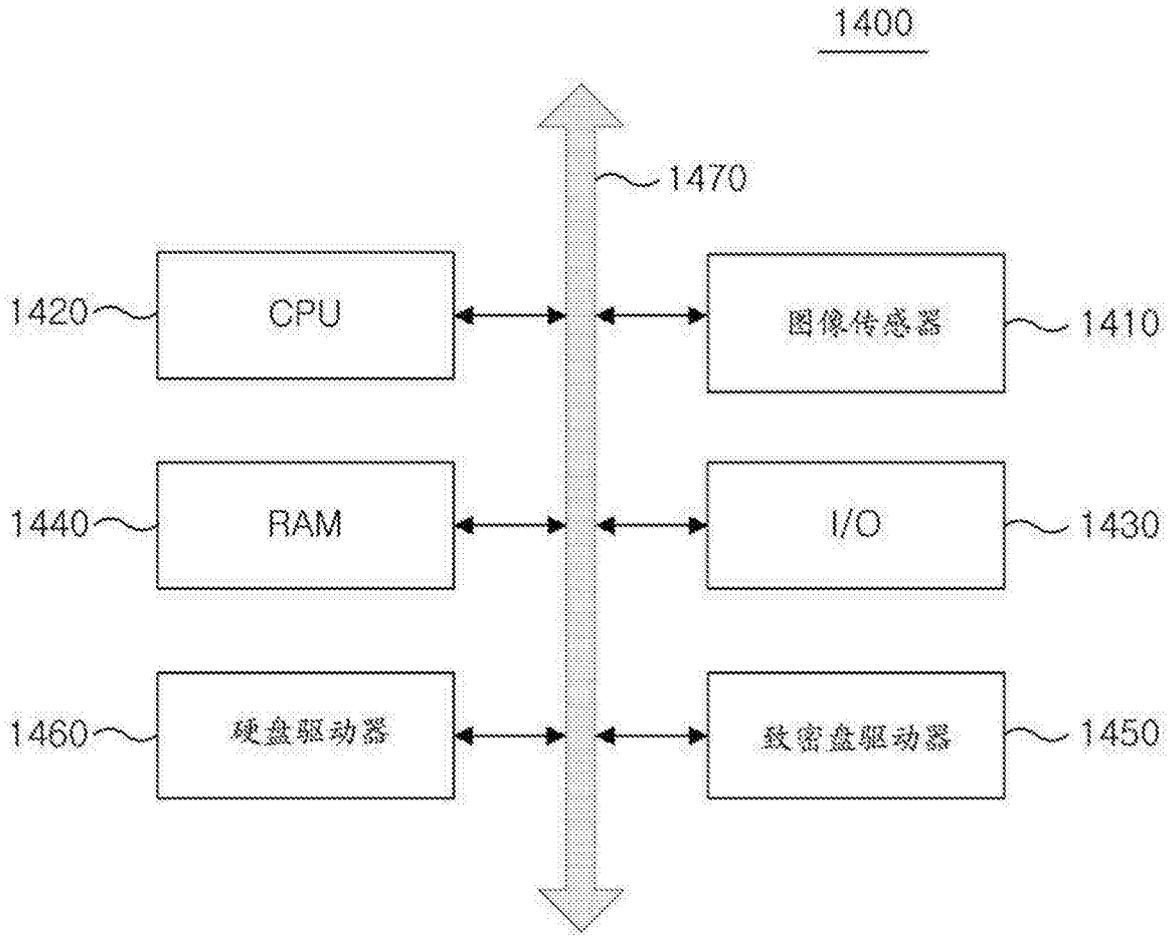


图10C