



(12) 发明专利

(10) 授权公告号 CN 110518103 B

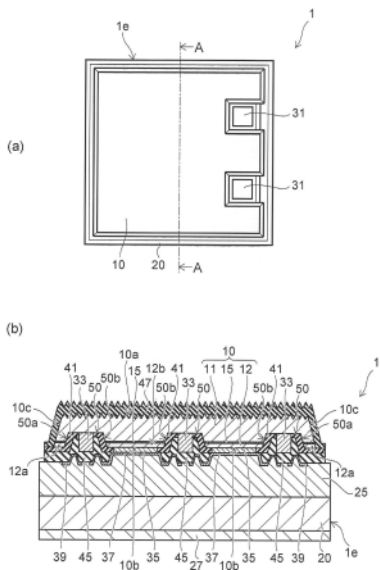
(45) 授权公告日 2022. 10. 21

(21) 申请号 201910525848.9
(22) 申请日 2016.03.09
(65) 同一申请的已公布的文献号
申请公布号 CN 110518103 A
(43) 申请公布日 2019.11.29
(30) 优先权数据
2015-120275 2015.06.15 JP
(62) 分案原申请数据
201610132725.5 2016.03.09
(73) 专利权人 阿尔发得株式会社
地址 日本东京
(72) 发明人 胜野弘 泽野正和 宫部主之
(74) 专利代理机构 北京律盟知识产权代理有限公司
责任公司 11287
专利代理师 林斯凯
(51) Int. Cl.
H01L 33/20 (2010.01)

H01L 33/22 (2010.01)
H01L 33/38 (2010.01)
H01L 33/44 (2010.01)
H01L 33/62 (2010.01)
H01L 33/00 (2010.01)
(56) 对比文件
JP 2014140067 A, 2014.07.31
CN 104022202 A, 2014.09.03
JP 2012195602 A, 2012.10.11
JP 2014140067 A, 2014.07.31
US 2012235168 A1, 2012.09.20
CN 101595570 A, 2009.12.02
US 2014167094 A1, 2014.06.19
CN 102024892 A, 2011.04.20
JP 2011198997 A, 2011.10.06
JP 2011216524 A, 2011.10.27
JP 2014140067 A, 2014.07.31
审查员 魏芳芳
权利要求书2页 说明书10页 附图11页

(54) 发明名称
半导体发光装置

(57) 摘要
本发明的实施方式提供一种将配光扩大的半导体发光装置。实施方式的半导体发光装置包括：发光体，包含：具有第1面及第1侧面的第1导电型的第1半导体层、具有第2面及第2侧面的第2导电型的第2半导体层、及设置在所述第1半导体层与第2半导体层之间的发光层；第1金属层，电连接于所述第1半导体层；及第2金属层，电连接于所述第2半导体层。所述发光体包含凹部，该凹部设置为自所述第2面到所述第1半导体层中的深度，且具有与所述第1及第2侧面对向的内面。



1. 一种半导体发光装置,其特征在于:包括:

发光体,包含:第1导电型的第1半导体层、第2导电型的第2半导体层、以及在所述第1半导体层与第2半导体层之间的发光层;且该发光体具有:第1面侧,包含所述第1半导体层的表面;第2面侧,包含所述第2半导体层的表面,且与所述第1面侧为相反侧;侧面,包含所述第1半导体层的外缘;以及凹部,在所述第2面侧延伸直到所述第1半导体层的内部的深度、并且具有一部分朝向所述侧面的内面;

第1金属层,设置在所述凹部内,电连接于所述第1半导体层;

第2金属层,设置在所述第2面侧,电连接于所述第2半导体层;

接合垫,经由所述第1金属层电连接于所述第1半导体层,并且在所述发光体的所述第1面侧具有露出面;

接合层,设置在所述发光体的所述第2面侧,覆盖所述第1金属层及所述第2金属层;

第1电介质膜,设置在所述第1金属层与所述接合层之间,覆盖所述凹部,使所述第1金属层与所述接合层电绝缘;以及

第3金属层,设置在所述第2金属层与所述接合层之间;且

所述第2金属层位于所述发光体与所述接合层之间;

所述第3金属层具有从所述第2金属层与所述接合层之间到所述第1电介质膜与所述接合层之间延伸的部分。

2. 根据权利要求1所述的半导体发光装置,其特征在于:所述侧面与所述内面的间隔为:所述第1半导体层、所述第2半导体层以及所述发光层的积层方向上的所述发光体的厚度的0.2倍以上且10倍以下的范围。

3. 根据权利要求1所述的半导体发光装置,其特征在于:在所述发光体的所述第2面与所述内面之间的内角为90度以上。

4. 根据权利要求1所述的半导体发光装置,其特征在于:所述内面将所述发光层包围。

5. 根据权利要求1所述的半导体发光装置,其特征在于:

所述凹部在所述第2面侧具有开口,

所述开口的最小宽度为:在所述第1半导体层、所述第2半导体层以及所述发光层的积层方向上的所述发光体的厚度的0.1倍以上且10倍以下的范围。

6. 根据权利要求1所述的半导体发光装置,其特征在于:

所述第2半导体层包括:未电连接于所述第2金属层的第1部分、以及电连接于所述第2金属层的第2部分;且

所述第1部分设置在所述侧面与所述内面之间。

7. 根据权利要求1所述的半导体发光装置,其特征在于包括:在所述第2面侧向内侧延伸的多个凹部。

8. 根据权利要求1所述的半导体发光装置,其特征在于:

所述第1金属层在所述凹部的底面,相接于所述第1半导体层;

所述第2金属层在所述第2面侧,相接于所述第2半导体层。

9. 根据权利要求1所述的半导体发光装置,其特征在于更包括:

衬底,设置在所述发光体的所述第2面侧;且

所述接合层位于所述发光体与所述衬底之间;

所述衬底是经由所述接合层电连接于所述第2金属层；

所述第1金属层包括：沿着所述衬底、并沿所述发光体的外缘而延伸的延伸部。

10. 根据权利要求8所述的半导体发光装置，其特征在于：所述第3金属层还具有反射性。

11. 根据权利要求1所述的半导体发光装置，其特征在于更包括：第2电介质膜，位于所述第1电介质膜与所述凹部的所述内面之间。

半导体发光装置

[0001] 分案申请的相关信息

[0002] 本案是分案申请。该分案的母案是申请日为2016年3月9日、申请号为201610132725.5、发明名称为“半导体发光装置”的发明专利申请案。

[0003] [相关申请案]

[0004] 本申请享有以日本专利申请2015-120275号(申请日:2015年6月15日)为基础申请的优先权。本申请通过参照该基础申请而包括基础申请的全部内容。

技术领域

[0005] 本发明的实施方式是涉及一种半导体发光装置。

背景技术

[0006] 半导体发光装置例如具备将p型半导体层、发光层及n型半导体层积层而成的发光体。自该发光体释放的光在积层方向上具有较高的亮度。因此,在需要较宽的配光的用途中,要求提升与积层方向交叉的方向上的亮度。例如,当使用荧光体进行自发光层所放射的光的波长转换时,较理想为不仅配置在积层方向而且配置在发光体周围的荧光体也激发,作为整体使发光效率提升。

发明内容

[0007] 本发明的实施方式是提供一种将配光扩大的半导体发光装置。

[0008] 实施方式的半导体发光装置包括:发光体,包含:具有第1面及第1侧面的第1导电型的第1半导体层、具有第2面及第2侧面的第2导电型的第2半导体层、及设置在所述第1半导体层与第2半导体层之间的发光层;第1金属层,电连接于所述第1半导体层;以及第2金属层,电连接于所述第2半导体层。所述发光体包含凹部,该凹部设置为自所述第2面到所述第1半导体层中的深度,且具有与所述第1及第2侧面对向的内面。

附图说明

[0009] 图1(a)是示意性表示第1实施方式的半导体发光装置的顶视图,(b)是半导体发光装置的示意剖视图。

[0010] 图2(a)是示意性表示第1实施方式的半导体发光装置的其他顶视图,(b)及(c)是半导体发光装置的主要部分示意剖视图。

[0011] 图3(a)~(c)是例示发光体内的光传播路径的示意剖视图。

[0012] 图4(a)~(c)是表示第1实施方式的半导体发光装置的制造过程的示意剖视图。

[0013] 图5(a)~(c)是表示接着图4(c)的制造过程的示意剖视图。

[0014] 图6(a)及(b)是表示接着图5(c)的制造过程的示意剖视图。

[0015] 图7(a)及(b)是表示接着图6(b)的制造过程的示意剖视图。

[0016] 图8(a)及(b)是表示接着图7(b)的制造过程的示意剖视图。

[0017] 图9 (a) 是示意性表示第2实施方式的半导体发光装置的顶视图, (b) 及 (c) 是半导体发光装置的主要部分示意剖视图。

[0018] 图10 (a) 是示意性表示第3实施方式的半导体发光装置的顶视图, (b) 是半导体发光装置的主要部分示意剖视图。

[0019] 图11 (a) 及 (b) 是表示第3实施方式的变化例的半导体发光装置的示意剖视图。

具体实施方式

[0020] 以下, 对于实施方式, 一边参照附图一边进行说明。对于附图中的同一部分, 标注同一编号, 且将其详细的说明适当省略, 而对不同的部分进行说明。另外, 附图为示意性或概念性的图, 各部分的厚度与宽度的关系、及部分间的大小比例等未必限定于与现实情况相同。而且, 即便表示相同的部分时, 也存在彼此的尺寸或比例因附图而不同地表示的情形。

[0021] 另外, 以下的实施方式中所说明的半导体发光装置为一例, 并非限定于这些半导体发光装置。而且, 各半导体发光装置中所说明的技术性特征在可技术性适用时, 则在各实施方式中可共同地适用。

[0022] (第1实施方式)

[0023] 图1 (a) 是示意性表示第1实施方式的半导体发光装置1的顶视图。图1 (b) 是沿着图1 (a) 中所示的A-A线的半导体发光装置1的示意剖视图。半导体发光装置1为芯片状的光源, 且例如安装在安装衬底上。

[0024] 如图1 (a) 所示, 半导体发光装置1具备发光体10、及衬底20。发光体10是设置在衬底20之上。半导体发光装置1在衬底20上具有与发光体10并排设置的接合垫31。

[0025] 如图1 (b) 所示, 发光体10是隔着接合层25接合于衬底20。发光体10包含第1导电型的第1半导体层 (以下称为n型半导体层11)、第2导电型的第2半导体层 (以下称为p型半导体层12)、及发光层15。发光体10具有将n型半导体层11、发光层15、及p型半导体层12依序地积层而成的结构。以下, 将第1导电型设为n型, 将第2导电型设为p型进行说明, 但并非仅限于此。实施方式也包括将第1导电型设为p型, 将第2导电型设为n型的情况。

[0026] 发光体10具有包含n型半导体层11的表面的第1面10a、包含p型半导体层12的表面的第2面10b、及包含n型半导体层11的外缘的侧面10c。进而, 发光体10具有设置在第2面10b侧的凹部50。凹部50是设置为自第2面10b到达n型半导体层11中的深度。而且, 凹部50包含具有内面50a及50b的部分、及具有2个内面50b的部分。内面50a系与侧面10c对向, 且例如沿着侧面10c延伸。此处, 所谓「对向」是指侧面10c与内面50a相互面对, 且包含侧面10c与内面50a不平行的情况。而且, 凹部50例如将p型半导体层12分离为第1部分12a 与第2部分12b。内面50a包含第1部分12a的端面, 内面50b包含第2部分12b的端面。

[0027] 自发光层15放射的光主要自第1面10a释放到发光体10之外。第1面10a具有光提取结构。光提取结构是抑制放射光的全反射, 使光提取效率提升。例如, 第1面10a设置有微细的突起, 从而被粗面化。

[0028] 半导体发光装置1是在发光体10的第2面10b侧, 具有第1金属层 (以下称为n电极33) 及第2金属层 (以下称为p电极35)、第3金属层 (以下称为金属层37、39)。n电极33是在凹部50的底面, 电连接于n型半导体层11。p电极35是设置在p型半导体层12的第2部分12b上,

且电连接于p型半导体层12。p电极35未设置在p型半导体层12的第1部分12a上。金属层37是设置在p电极35上。n电极33、p电极35及金属层37、39优选包含相对于发光层15的放射光而言反射率较高的材料。n电极33例如包含铝(Al)。p电极35、金属层37及39例如包含银(Ag)。另外,也可以是未设置金属层37及39的结构。

[0029] 半导体发光装置1具有电介质膜41、45、47。电介质膜41是在凹部50的内面,将未设置n电极33的部分覆盖。电介质膜41覆盖保护发光层15的外缘。电介质膜45将凹部50的整体覆盖。电介质膜45将n电极33覆盖,使n电极33与衬底20及接合层25电绝缘。电介质膜45也可以是与电介质膜41相同的材料。

[0030] 电介质膜47将发光体10的第1面10a及侧面10c覆盖。电介质膜47例如将侧面10c上所露出的发光层15覆盖保护。而且,电介质膜47使发光体10与树脂之间的密接性提升。即,对于在半导体发光装置1之上设置有包含荧光体的树脂的情形较为有效。

[0031] 金属层37是在电介质膜45上延伸,将n电极33与p电极35之间的电介质膜41及45覆盖。金属层39是设置在电介质膜45之上,将凹部50的内面50a、及侧面10c与内面50a之间的第2面10b的至少一部分覆盖。金属层37在n电极33与p电极35之间,将穿过电介质膜41及45沿衬底20的方向传播的光反射,使该光沿朝向第1面10a的方向返回。金属层39在发光体10的外缘部,将穿过电介质膜41及45沿衬底20的方向传播的光反射,使该光沿朝向第1面10a或侧面10c的方向返回。

[0032] 接合层25是以将金属层37、39及电介质膜45覆盖的方式设置。接合层25是例如包含含有金锡(AuSn)、镍锡(NiSn)等焊料的接合金属的导电层。p电极35是经由金属层37电连接于接合层25。而且,接合层25电连接于具有导电性的衬底20。接合层25是在p电极35、金属层37、39、及接合金属之间包含例如钛(Ti)、钛-钨(TiW)等高熔点金属膜。高熔点金属膜是作为防止焊料扩散到p电极35、金属层37、39的阻挡膜发挥功能。在衬底20的背面侧,设置有电极27。电极27是例如Ti/Pt/Au的积层膜,且例如具有800nm的膜厚。电极27是例如经由安装衬底连接于外部电路。相对于此,n电极33是例如经由连接于接合垫31的金或铝等金属线连接于外部电路。

[0033] 图2(a)是示意性表示半导体发光装置1的其他顶视图。图2(b)是表示沿着图2(a)中所示的B-B线的剖面的示意图。图2(c)是表示沿着图2(a)中所示的C-C的剖面的示意图。

[0034] 图2(a)是表示发光体10之下的芯片面的示意图。该图中所示的虚线是表示发光体10的外缘(侧面10c的端)。n电极33是设置在凹部50的内面50a与50b之间、或50b彼此之间。n电极33具有在发光体10的外侧延伸的部分(延伸部33p),接合垫31设置在延伸部33p之上。p电极35设置在由内面50b所包围的p型半导体层12的第2部分12b上(参照图1(b))。

[0035] 如图2(a)所示,半导体发光装置1具有5个p电极35。而且,5个p电极35分别设置在由内面50b所包围的区域。在发光体10中,由内面50b所包围的部分分别具有发光层15。例如,半导体发光装置1的驱动电流是自衬底20的背面侧的电极27所供给。接着,该驱动电流自p电极35经由发光层15流向n电极33。因此,半导体发光装置1是自由内面50b所包围的5个发光层15(发光区域)放射光。接着,如图2(a)所示,内面50a以将5个发光区域包围的方式设置。

[0036] 在图2(a)中,表示凹部50的宽度 W_{G1} 、 W_{G2} 及 W_{G3} 。凹部50在将最大的发光区域包围的部分,具有自发光区域朝向外缘的方向的宽度 W_{G1} 。而且,凹部50在设置有接合垫31的部分,

具有自发光区域朝向外缘的方向的宽度 W_{G2} 。在这些部分中,设置有n电极33。而且, W_{G1} 、 W_{G2} 是例如基于驱动电流的最大值及接合垫的尺寸而设定。另一方面,在未设置n电极33的部分,凹部50具有自发光区域朝向外缘的方向的宽度 W_{G3} 。 W_{G3} 是例如考虑到半导体制程中的加工余量 (processing margin) 或加工精度而设定。 W_{G3} 优选设为更狭窄,以便将发光区域的面积扩大。而且,在较宽的发光区域,可形成较宽的p电极35。由此,较宽的p电极35使发光层15的电流密度下降,从而将内部量子效率提高。而且,可将自发光层15所放射的光更多地反射,从而提高光提取效率。根据加工方法造成的制约等,凹部50的最小宽度优选例如设为发光体10的积层方向的厚度的0.1倍以上且10倍以下。更优选将凹部50的最小宽度设为发光体10的积层方向的厚度的0.5倍以上且2倍以下。

[0037] 如图2 (b) 所示,设置在发光体10的外缘部的凹部50将p型半导体层12分割为第1部分 12a与第2部分12b。p电极35设置在第2部分12b之上,且与第2部分12b电连接。p电极35未设置在第1部分12a之上。即,第1部分12a通过凹部50而与第2部分12b电分离。因此,驱动电流不流入第1部分12a中,n型半导体层11与第1部分12a之间的发光层15不放射光。也可以在第1部分12a之上,与第2部分12b同样地设置p电极35。此时,电介质47必须将在侧面10c露出的发光层15钝化。

[0038] 凹部50的内面50a是与发光体10的侧面10c对向。在发光体10的第2面10b与内面50a 之间,朝向侧面10c的内角 θ 优选为90度以上。

[0039] 如图2 (c) 所示,n电极33的延伸部33p是隔着电介质膜45在接合层25之上沿芯片端1e 的方向延伸。发光体10未设置在延伸部33p之上,接合垫31设置在延伸部33p之上。

[0040] 图3 (a) ~ (c) 是例示在发光体10的内部传播的光的传播路径的示意剖视图。图3 (a) 及 (b) 表示实施方式的发光体10的剖面 (图1 (b) 的端部)。图3 (c) 表示比较例的发光体110的剖面。

[0041] 如图3 (a) 所示,自发光层15放射的光的一部分在发光体10的内部朝向侧面10c传播。例如,当发光体10的折射率大于电介质膜47的折射率时,光 L_{A1} 在侧面10c中被反射,朝向凹部50的内面50a传播。进而,当发光体10的折射率大于电介质膜41的折射率时,光 L_{A1} 在内面50a被反射,再次朝向侧面10c传播。在以此方式,在侧面10c与内面50a之间反复进行反射的期间,以小于全反射的临界角的角度对侧面10c入射的光 L_{A1} 穿过侧面10c 释放到外部。

[0042] 图3 (b) 所示的例是在接合层25与电介质膜45之间设置有金属层39。金属层39是隔着电介质膜45将第2面10b的至少一部分、及内面50a覆盖。例如,在侧面10c被反射的光中的一部分穿过内面50a朝向接合层25传播。接着,如此的光 L_{A2} 被金属层39反射,再次朝向侧面10c传播。以如此方式,在侧面10c与内面50a之间、或侧面10c与金属层39之间反复进行反射的期间,以小于临界角的角度对侧面10c入射的光 L_{A2} 穿过侧面10c释放到外部。电介质膜45越薄,则在电介质膜45内传输到达接合层25的光 L_{A2} 变得越少,从而可提升光提取效率。电介质膜45越厚,则n电极33与接合层25的绝缘性变得越好,从而可提升可靠性。例如,电介质膜45的厚度优选设为0.1 μm 以上且3 μm 以下。更优选设为0.5 μm 以上且2 μm 以下。

[0043] 就这些例而言,图3 (c) 中所示的发光体110在其外缘部不具有凹部50。在发光体110 的内部朝向侧面110c传播的光 L_{A3} 在侧面110c中被反射,朝向第2面110b传播。进而,朝向第2面110b传播的光 L_{A3} 在第2面110b中被反射,朝向第1面110a的方向传播。此后,光 L_{A3} 在发光体110的内部反复进行反射,以小于该临界角的角度对第1面110a入射时,被释放到

发光体110的外部。例如,当在第1面110a设置有光提取结构时,第1面110a中的全反射被抑制,从而光 L_{A3} 不在发光体110的内部反复进行反射地释放到外部。

[0044] 这样一来,设置于发光体10的凹部50使来自侧面10c的光释放增加。由此,便可将半导体发光装置1的配光扩大,可将自发光层15朝向第1面10a的方向的光集中缓解,从而可将配光特性扩大。

[0045] 在图3(a)及图3(b)中,发光体10的侧面10c在第1面10a的面积变得窄于第2面10b的面积的方向上倾斜。如此的侧面10c容易在选择性地蚀刻半导体层时形成。而且,半导体制造中所用的电介质膜的大多数具有比半导体的折射率更小的折射率。即,设置在发光体10的外缘部的凹部50的有益的效果可在半导体发光装置的大多数中实现。

[0046] 而且,自发光区域朝向芯片端1e的方向上的侧面10c与内面50a的间隔 W_p 优选为例如发光体10的积层方向的厚度的0.2倍以上且10倍以下。进而,间隔 W_p 更优选为发光体10的积层方向的厚度的0.5倍以上且2倍以下。间隔 W_p 较理想为例如根据侧面10c及凹部50的加工方法或配光特性的设计等的制约而设为所述范围。由此,便可利用内面50a将朝向侧面10c传播的光的大多数反射,使这些光自侧面10c释放。

[0047] 其次,参照图4(a)~图8(b),说明半导体发光装置1的制造方法。

[0048] 图4(a)~图8(b)是依序地表示半导体发光装置1的制造过程的示意剖视图。

[0049] 如图4(a)所示,在衬底101之上将n型半导体层11、发光层15及p型半导体层12依序地积层。在本说明书中,积层的状态不仅包含直接相接的状态,也包含中间插入其他元件的状态。

[0050] 衬底101例如包含铝或硅。n型半导体层11、p型半导体层12、及发光层15分别包含氮化物半导体。n型半导体层11、p型半导体层12及发光层15例如包含 $Al_xGa_{1-x-y}In_yN$ ($x \geq 0$, $y \geq 0$, $x+y \leq 1$)。

[0051] n型半导体层11例如包含掺杂Si的n型GaN接触层、及掺杂Si的n型AlGaN包覆层。在掺杂Si的n型GaN接触层与发光层15之间,配置有掺杂Si的n型AlGaN包覆层。n型半导体层11也可以更包含缓冲层,且在GaN缓冲层与掺杂Si的n型AlGaN包覆层之间,配置掺杂Si的n型GaN接触层。例如,缓冲层中,使用AlN、AlGaN、GaN的任一个或这些元素的组合。

[0052] 发光层15例如具有多重量子阱(MQW, multiple quantum well)结构。在MQW结构中,例如交替地积层有多个阻挡层及多个阱层。例如,阱层中,使用AlGaInN。例如,阱层中,使用GaInN。

[0053] 阻挡层中,例如使用掺杂Si的n型AlGaN。例如,阻挡层中,使用掺杂Si的n型 $Al_{0.1}Ga_{0.9}N$ 。阻挡层的厚度为例如2nm以上且30nm以下。多个阻挡层的最靠近p型半导体层12的阻挡层(p侧阻挡层)可与其他阻挡层不同,既可以较厚,也可以较薄。

[0054] 自发光层15释放的光(发光光线)的波长(峰值波长)为例如210nm以上且700nm以下。发光光线的峰值波长例如也可以是370nm以上且480nm以下。

[0055] p型半导体层12例如包含非掺杂AlGaN间隔层、掺杂Mg的p型AlGaN包覆层、掺杂Mg的p型GaN接触层、及高浓度掺杂Mg的p型GaN接触层。在高浓度掺杂Mg的p型GaN接触层与发光层15之间,配置掺杂Mg的p型GaN接触层。在掺杂Mg的p型GaN接触层与发光层15之间,配置掺杂Mg的p型AlGaN包覆层。在掺杂Mg的p型AlGaN包覆层与发光层15之间,配置非掺杂AlGaN间隔层。例如,p型半导体层12包含非掺杂 $Al_{0.11}Ga_{0.89}N$ 间隔层、掺杂Mg的p型

Al_{0.28}Ga_{0.72}N包覆层、掺杂Mg的p型Ga_{0.72}N接触层、及高浓度掺杂Mg的p型Ga_{0.72}N接触层。

[0056] 另外,在所述半导体层中,组成、组成比、杂质的种类、杂质浓度、及厚度为例示,可进行各种变化。

[0057] 如图4(b)所示,形成凹部50。例如,使用硬掩模103,将p型半导体层12的一部分、发光层15的一部分通过选择性地蚀刻而去除。硬掩模103为例如硅氧化膜。蚀刻深度为例示0.1μm以上且100μm以下。优选,蚀刻深度为0.4μm以上且2μm以下。蚀刻深度是利用凹部50的内面50a的深度方向的宽度而设定。凹部50形成为其底面位于n型半导体层11中的深度。蚀刻深度越深,则由内面50a所反射的光的量变得越多。由此,可更加扩大半导体发光装置1的配光。

[0058] 凹部50在p型半导体层12的表面具有开口50p。开口50p的最小宽度优选设为例示n型半导体层11、发光层15及p型半导体层12的总厚度的0.1倍以上且100倍以下。更优选将开口50p的最小宽度设为n型半导体层11、发光层15及p型半导体层12的总厚度的0.5倍以上且20倍以下。

[0059] 如图4(c)所示,形成将p型半导体层12的上表面、及凹部50的内面覆盖的电介质膜41。电介质膜41是例如硅氧化膜或硅氮化膜。硬掩模103是在形成电介质膜41之前利用蚀刻而去除。

[0060] 如图5(a)所示,将设置在凹部50的底面的电介质膜41选择性地去除,使n型半导体层11露出。接着,形成与n型半导体层11电连接的n电极33。n电极33的材料例如兼具对于n型半导体层11的欧姆接触性及较高的光反射率,且包含铝(Al)及银(Ag)中的至少一个。

[0061] 如图5(b)所示,形成将电介质膜41与n电极33覆盖的电介质膜45。电介质膜45为例示硅氧化膜。

[0062] 如图5(c)所示,将电介质膜45及41选择性地蚀刻,形成开口部45a及41a。由此,使p型半导体层12露出。在此阶段中,在凹部50,使将除了设置有n电极33的部分以外的内面覆盖的电介质膜41、以及将n电极33及电介质膜41覆盖的电介质膜45残留。接着,形成与p型半导体层12电连接的p电极35。p电极35包含例如Ag。

[0063] 如图6(a)所示,形成金属层37及39。金属层37是形成在p电极35之上。金属层37是在电介质膜45之上延伸,且隔着电介质膜41及45将凹部50的内面50b覆盖。金属层39是形成在电介质膜45之上,且隔着电介质膜41及45将凹部50的内面50a覆盖。金属层37及39包含例如Ag。

[0064] 进而,如图6(a)所示,形成将金属层37、39及电介质膜45覆盖的接合层25a。接合层25a包含例如含有Ti、Pt、Ni中的至少任1个的金属膜、及接合金属。接合金属包含例如Ni-Sn系、Au-Sn系、Bi-Sn系、Sn-Cu系、Sn-In系、Sn-Ag系、Sn-Pb系、Pb-Sn-Sb系、Sn-Sb系、Sn-Pb-Bi系、Sn-Pb-Cu系、Sn-Pb-Ag系、及Pb-Ag系中的至少任1个。包含Ti、Pt及Ni中的至少任1个的金属膜是设置在接合金属与金属层37之间、接合金属与金属层39之间、及接合金属与电介质膜45之间。

[0065] 如图6(b)所示,使形成有接合层25a的衬底101与衬底20对向。衬底20是在其上表面形成有接合层25b。而且,衬底20的接合层25b是以与衬底101的接合层25a对向的方式配置。

[0066] 接合层25b包含例如含有Ti、Pt、Ni中的至少任1个的金属膜、及接合金属。接合金

属包含例如Ni-Sn系、Au-Sn系、Bi-Sn系、Sn-Cu系、Sn-In系、Sn-Ag系、Sn-Pb系、Pb-Sn-Sb系、Sn-Sb系、Sn-Pb-Bi系、Sn-Pb-Cu系、Sn-Pb-Ag系、及Pb-Ag系中的至少任1个。包含Ti、Pt及Ni中的至少任1个的金属膜是设置在接合金属与衬底20之间。

[0067] 如图7(a)所示,使接合层25a与25b接触,使衬底101与衬底20热压接。由此,接合层25a与25b一体化,从而成为接合层25。另外,图7(a)是表示将图6(b)的上下颠倒,在衬底20之上隔着接合层25配置有各半导体层及衬底101的状态。

[0068] 如图7(b)所示,将衬底101去除。例如,衬底101为硅衬底时,利用研磨及干式蚀刻(例如,RIE:Reactive Ion Etching(反应离子蚀刻))等方法而去除。例如,衬底101为蓝宝石衬底时,利用LL0(Laser Lift Off(激光剥离))而去除。进而,在n型半导体层11的表面11a形成微细的突起,使之粗面化。例如,通过使用碱的湿式处理或RIE,而使n型半导体层11的表面11a粗面化。

[0069] 如图8(a)所示,将n型半导体层11、p型半导体层12及发光层15选择性地去除,形成发光体10。例如,利用RIE或湿式蚀刻等方法,将n型半导体层11、发光层15及p型半导体层12依序地进行蚀刻。此时,在未图示的部分,使n电极33露出(参照图2(a))。

[0070] 进而,通过CVD(Chemical Vapor Deposition(化学气相沉积))而形成成为电介质膜47的例如硅氧化膜。硅氧化膜的厚度为例如约200nm(优选50nm以上且400nm以下)。进而,在未图示的部分中,将n电极33上的电介质膜47去除,形成接合垫31。

[0071] 如图8(b)所示,将发光体10的周围的电介质膜47、41、45选择性地去除,形成切割区域40e。接着,例如,使用切片机或划片机,将接合层25及衬底20切断,将半导体发光装置1芯片化。

[0072] 在所述例中,用于电介质膜41、45、47的硅氧化膜的折射率为约1.47(光波长450nm),且用于n型半导体层11及p型半导体层12的GaN的折射率为约2.5(光波长450nm)。因此,自n型半导体层11以大于临界角的入射角入射至n型半导体层11与电介质膜41的界面、及n型半导体层11与电介质膜47的界面的光被全反射。即,在发光体10的内部朝向侧面10c传播的光的大多数在侧面10c(n型半导体层11与电介质膜47的界面)被反射。在侧面10c被反射的光在凹部50的内面50a(n型半导体层或p型半导体层与电介质膜41的界面)被反射。穿过内面50a沿接合层25的方向传播的光被金属层39反射而返回到发光体10。其结果,在侧面10c与内面50a之间反复地进行光反射。接着,以临界角以下的角度入射至侧面10c的光自侧面10c被释放到外部。由此,可使自发光体10的侧面10c所释放的光增加,从而扩大半导体发光装置1的配光。

[0073] 电介质膜41、45、47中,除了硅氧化膜以外,可使用氮化硅或氮氧化硅。而且,也可以使用Al、Zr、Ti、Nb及Hf等中的至少任一个金属的氧化物、所述至少任一个金属的氮化物、或所述至少任一个金属的氮氧化物。

[0074] (第2实施方式)

[0075] 图9(a)是示意性表示第2实施方式的半导体发光装置2的顶视图。图9(b)及(c)是半导体发光装置2的主要部分示意剖视图。图9(b)表示沿着图9(a)中所示的D-D线的剖面,图9(c)表示沿着图9(a)中所示的E-E线的剖面。

[0076] 半导体发光装置2具备发光体10、及衬底20。发光体10是设置在衬底20之上。图9(a)是表示发光体10之下的电极面的顶视图。图9(a)中的虚线是表示发光体10的外缘。

[0077] 如图9(a)所示,半导体发光装置2具备设置在发光体10之下的n电极33与p电极35。在本实施方式中,p电极35具有延伸至发光体10之外的部分(延伸部35p),且接合垫32是设置在延伸部35p之上。

[0078] 发光体10具有沿着p电极35的外缘延伸的凹部50。凹部50具有内面50a与50b。内面50a是沿着发光体10的外缘延伸。内面50b是沿着p电极35的外缘延伸。

[0079] 而且,发光体10更具有多个凹部55。凹部55是相互隔开地配置在p电极35的内侧。n电极33是分别设置在凹部55之中。

[0080] 如图9(b)所示,发光体10是隔着接合层25设置在衬底20之上。发光体10包含n型半导体层11、p型半导体层12、及发光层15。发光层15是设置在n型半导体层11与p型半导体层12之间。发光体10具有:包含n型半导体层11的表面的第1面10a、包含p型半导体层12的表面的第2面10b、及包含n型半导体层11的外缘的侧面10c。在第1面10a优选设置光提取结构。电介质膜47将第1面10a及侧面10c覆盖。在第2面10b,设置凹部50与凹部55。凹部50的内面50a是与发光体10的侧面10c对向。

[0081] n电极33及p电极35是设置在发光体10与接合层25之间。在p电极35与接合层25之间,设置电介质膜45。电介质膜45将凹部50的内面与p型半导体层12的表面覆盖。n电极33是设置在凹部55的底面上,且与n型半导体层11电连接。而且,接合层25是在凹部55中延伸,且与n电极33相接。即,n电极33是经由接合层25而与衬底20电连接。p电极35是设置在p型半导体层12与电介质膜45之间,且与p型半导体层12电连接。p电极35是通过电介质膜45而与接合层25及衬底20电绝缘。

[0082] 如图9(c)所示,p电极35的延伸部35p是隔着电介质膜45在接合层25上延伸。在延伸部35p之上,设置接合垫32。p电极35是例如经由与接合垫32连接的金属线,电连接于外部电路。电介质膜45在延伸部35p的外侧具有突起45p。突起45p是设置在凹部50中的部分,且在将n型半导体层11、发光层15及p型半导体层12选择性地去除后露出。

[0083] 本实施方式的凹部50是与设置n电极33的凹部55分开地设置。凹部50是为配置与发光体10的侧面10c对向的内面50a而设置。内面50a是将在侧面10c被反射且朝向接合层25传播的光再次反射,使该光沿侧面10c的方向返回。由此,可使自侧面10c所释放的光增加,从而扩大半导体发光装置2的配光。

[0084] p型半导体层12具有侧面10c与内面50a之间的第1部分12a、及与p电极35电连接的第2部分12b。第1部分12a是沿着发光体10的外缘设置。第1部分12a是利用电介质膜45而与接合层25及衬底20电绝缘。因此,第1部分12a中不会流入驱动电流,从而第1部分12a与n型半导体层11之间的发光层15不会放射光。

[0085] (第3实施方式)

[0086] 图10(a)是示意性表示第3实施方式的半导体发光装置3的顶视图,图10(b)是半导体发光装置3的主要部分示意剖视图。图10(b)表示沿着图10(a)中所示的F-F线的剖面。

[0087] 半导体发光装置3具备发光体10、及衬底20。发光体10是设置在衬底20之上。如图10(a)所示,半导体发光装置3具备设置在发光体10上的n电极33。n电极33具有将释放光的开口包围的部分33a、及接合垫33b。发光体10具有沿着其外缘延伸的凹部50。凹部50具有内面50a与50b。内面50a是在发光体10的外缘侧沿着侧面10c延伸。

[0088] 如图10(b)所示,发光体10是隔着接合层25设置在衬底20之上。发光体10包含n型

半导体层11、p型半导体层12、及发光层15。发光层15是设置在n型半导体层11与p型半导体层12之间。发光体10具有：包含n型半导体层11的表面的第1面10a、包含p型半导体层12的表面的第2面10b、及包含n型半导体层11的外缘的侧面10c。在第1面10a的未设置n电极33的部分，优选设置光提取结构。在第2面10b，设置有凹部50。凹部50的内面50a是与发光体10的侧面10c对向。

[0089] p型半导体层12具有侧面10c与凹部50之间的第1部分12a、及被凹部50包围的第2部分12b。在第2部分12b与接合层25之间，设置有p电极35。p电极35是与第2部分12b电连接。而且，p电极35是经由接合层25而与衬底20电连接。另一方面，在第1部分12a与接合层25之间，设置有电介质膜45。而且，电介质膜45将凹部50的内面覆盖。p型半导体层12的第1部分12a通过电介质膜45而与接合层25及衬底20电绝缘。

[0090] 本实施方式的凹部50是为配置与发光体10的侧面10c对向的内面50a而设置。内面50a将在侧面10c被反射且朝向接合层25传播的光再次反射，使该光沿侧面10c的方向返回。由此，可使自侧面10c所释放的光增加，从而扩大半导体发光装置2的配光。

[0091] p型半导体层12的第1部分12a是沿着发光体10的外缘设置。第1部分12a通过电介质膜45而与接合层25及衬底20电绝缘。因此，第1部分12a中不会流入驱动电流，从而第1部分12a与n型半导体层11之间的发光层15不放射光。换句话说，在露出于发光体10的侧面10c的发光层15不会产生电场。因此，可省去保护发光层15的端部的电介质膜47。

[0092] 图11(a)及(b)是示意性表示第3实施方式的变化例的半导体发光装置4及5的顶视图。如该图所示，半导体发光装置4及5在凹部50的配置中不同于半导体发光装置3。

[0093] 如图11(a)所示，凹部50是沿着发光体10的1个边延伸。凹部50的内面50a是沿着发光体10的1个侧面10c而设置。由此，可使来自与内面50a对向的侧面10c的光释放增加。换句话说，凹部50是在半导体发光装置4中沿着使配光扩大的方向的侧面10c而设置。而且，凹部50不仅限于沿着1个侧面10c，也可以沿着2个或3个侧面10c而配置。

[0094] 如图11(b)所示，也可以沿着发光体10的外缘设置多个凹部50。凹部50是设置为岛状，且沿着发光体10的外缘的方向的长度短于发光体10的一边的长度。各个凹部50具有与发光体10的侧面10c对向的内面50a。而且，凹部50将在侧面10c被反射且朝向接合层25传播的光再次反射，使之沿侧面10c的方向返回。由此，可使自侧面10c所释放的光增加，从而扩大半导体发光装置2的配光。

[0095] 在图11(a)及(b)所示的例中，发光体10的侧面10c与凹部50之间的p型半导体层12是电连接于p电极35。因此，优选设置将发光体10的侧面10c覆盖的电介质膜47。

[0096] 以上，一边参照具体例，一边说明了实施方式。然而，实施方式并非限定于这些具体例。即，对于这些具体例由该业者添加适当设计变更而成者只要具备实施方式的特征，则包含于实施方式的范围中。所述各具体例所具备的各元件及其配置、材料、条件、形状、尺寸等并非限定于例示，而可适当变更。

[0097] 而且，实施方式中所谓「氮化物半导体」是设为包含在作为 $B_xIn_yAl_zGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1, x+y+z \leq 1$) 的化学式中使组成比x、y及z在各自的范围内变化所得的所有组成的半导体。而且，进而在所述化学式中，也更包含N(氮)以外的V族元素者、更包含为控制导电型等的各种物性而添加的各种元素者、及更包含非预期所含的各种元素者也设为包含于「氮化物半导体」者。

[0098] 在所述实施方式中,表现为「部位A设置在部位B之上」时所谓的「之上」除了部位 A 接触于部位B,且部位A设置在部位B之上的情况外,也存在以部位A不与部位B接触且部位A设置在部位B的上方时的含义使用的情况。而且,「部位A设置在部位B之上」,存在也适用于部位A与部位B反转且部位A位于部位B之下的情况、或部位A与部位B并排的情况的情形。其原因在于,即便使实施方式的半导体装置旋转,在旋转前后,半导体装置的结构并未变化。

[0099] 对本发明的若干实施方式进行了说明,但这些实施方式是作为示例而提示,并非意图限定发明的范围。这些新颖的实施方式可通过其他的各种方式而实施,且在不脱离发明主旨的范围内,可进行各种省略、置换、变更。这些实施方式或其变化包含于发明的范围或主旨中,并且包含于专利申请的范围中记载的发明及其均等的范围中。

[0100] [符号的说明]

[0101]	1~5	半导体发光装置
[0102]	1e	芯片端
[0103]	10、110	发光体
[0104]	10a、110a	第1面
[0105]	10b、110b	第2面
[0106]	10c、110c	侧面
[0107]	11	n型半导体层
[0108]	12	p型半导体层
[0109]	12a	第1部分
[0110]	12b	第2部分
[0111]	15	发光层
[0112]	20、101	衬底
[0113]	25、25a、25b	接合层
[0114]	27	电极
[0115]	31、32、33b	接合垫
[0116]	33	n电极
[0117]	33p	延伸部
[0118]	35	p电极
[0119]	35p	延伸部
[0120]	37、39	金属层
[0121]	41、45、47	电介质膜
[0122]	41a、45a	开口部
[0123]	45p	突起
[0124]	50、55	凹部
[0125]	50a、50b	内面
[0126]	50p	开口
[0127]	θ	内角
[0128]	103	硬掩模

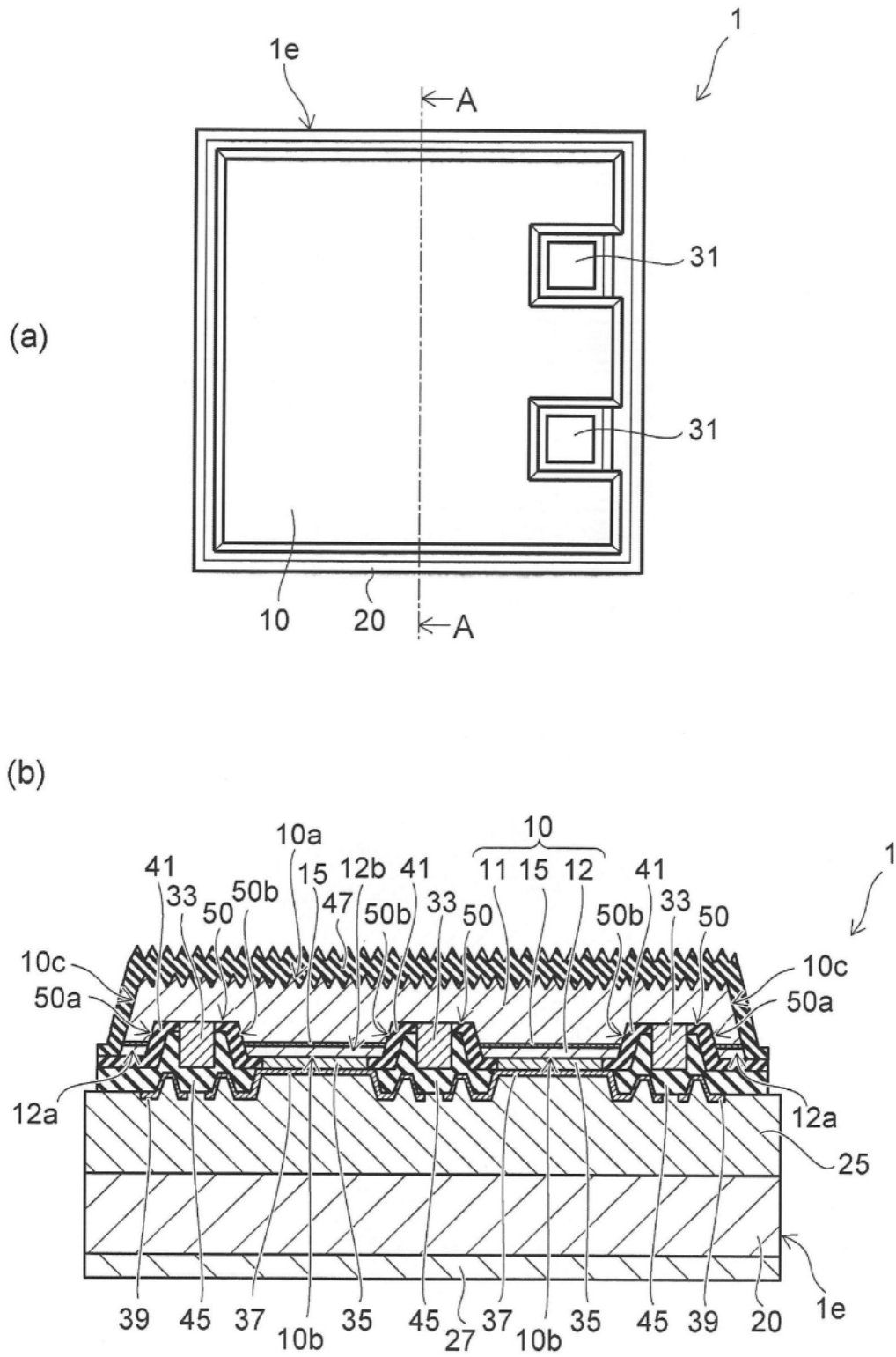


图1

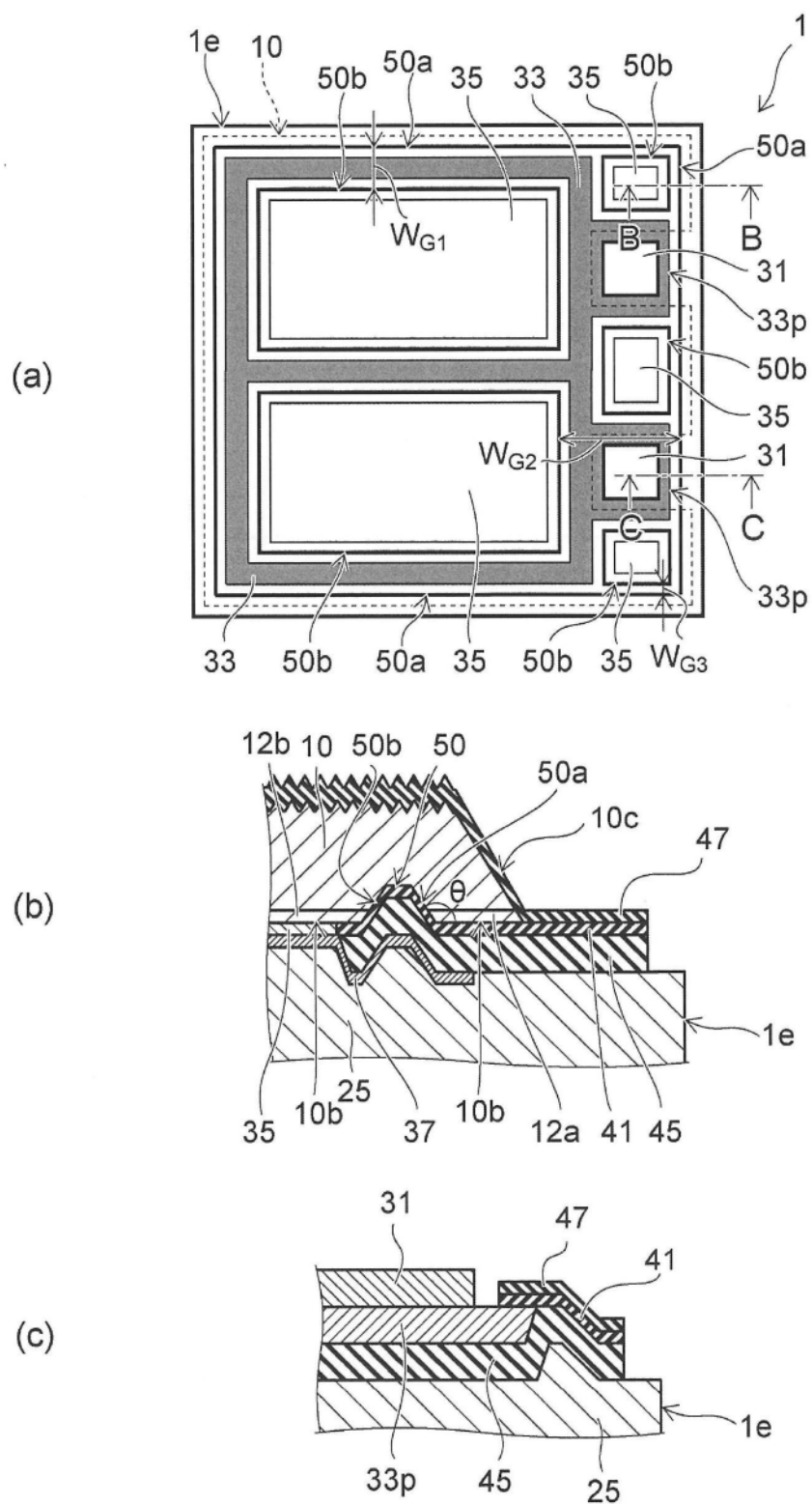


图2

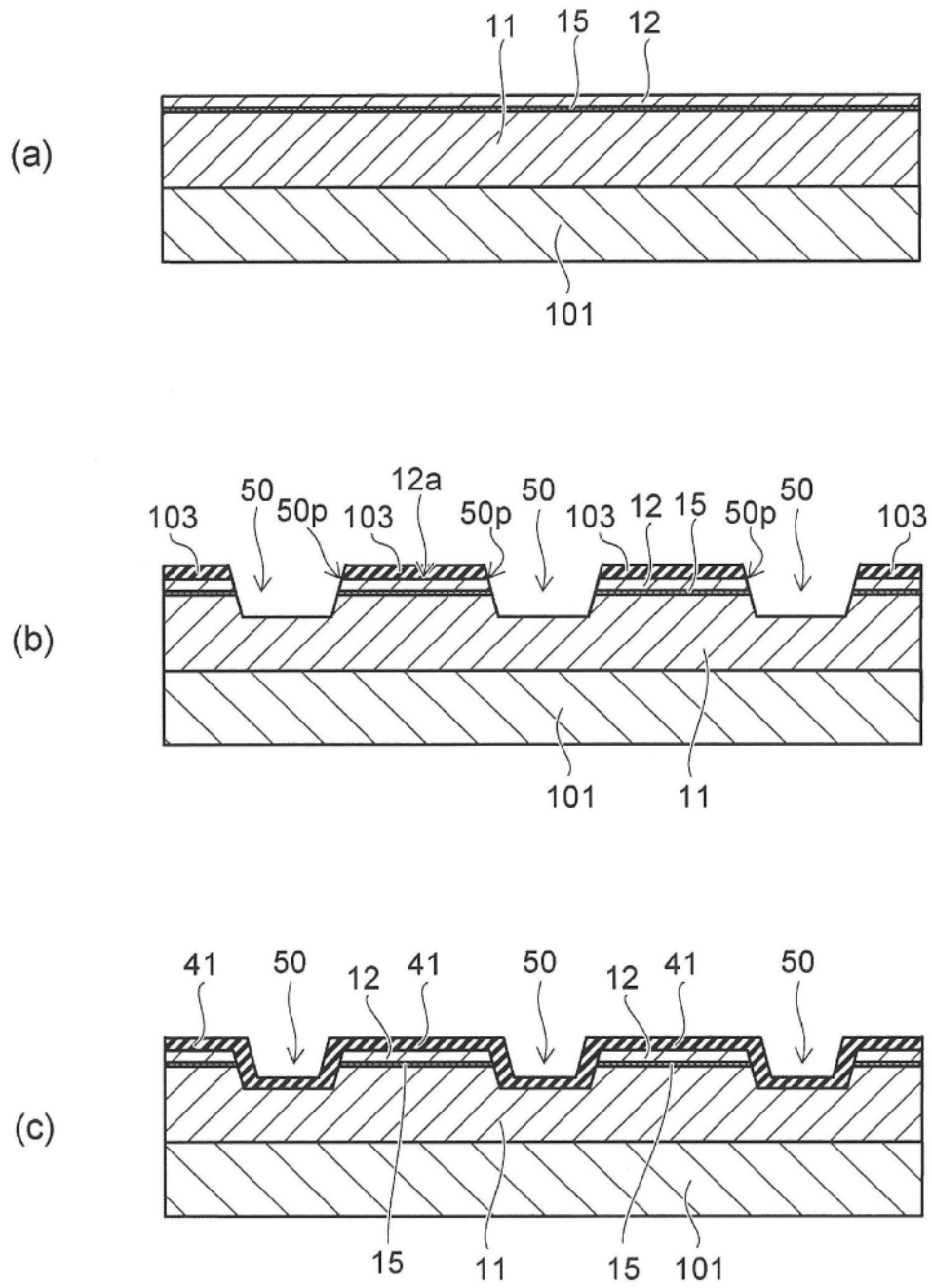


图4

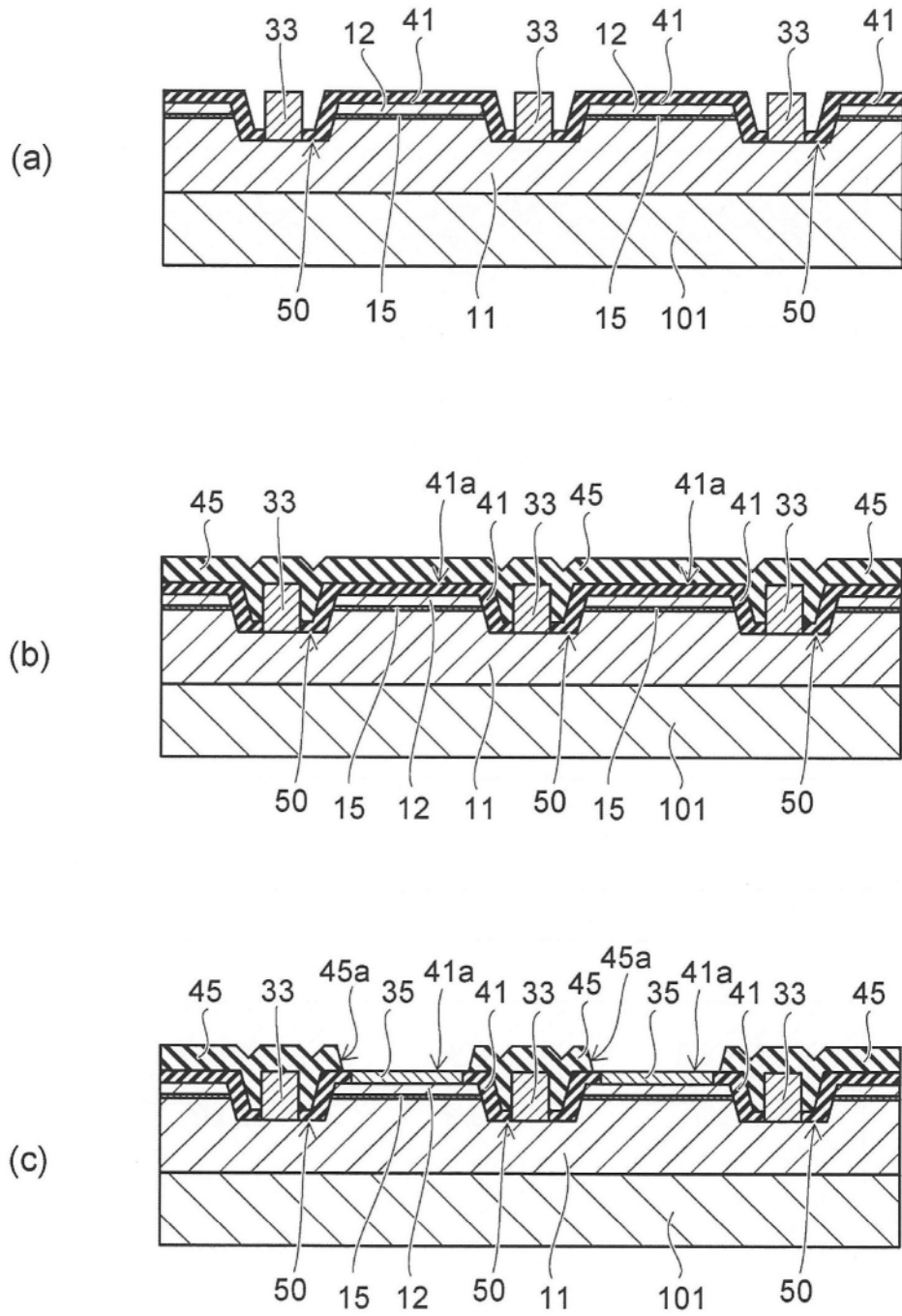
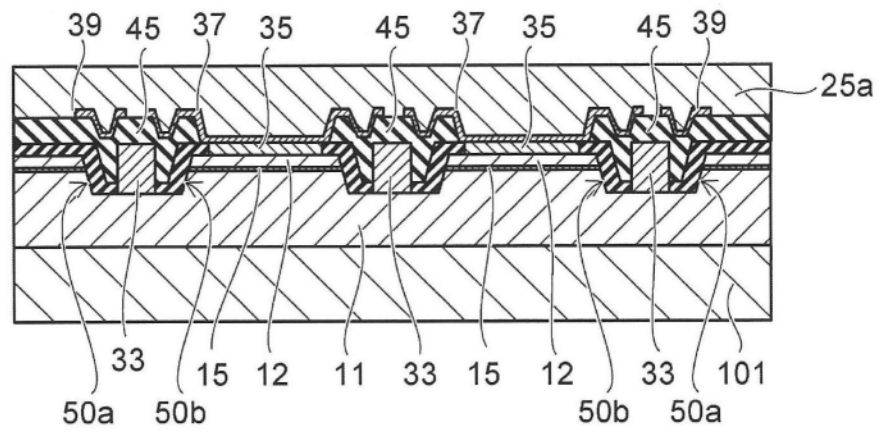


图5

(a)



(b)

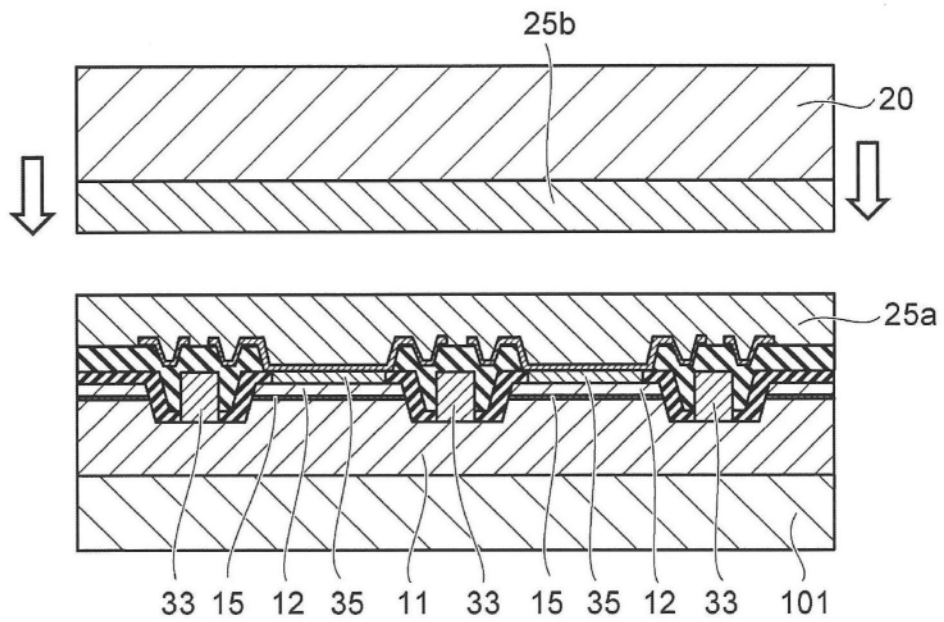


图6

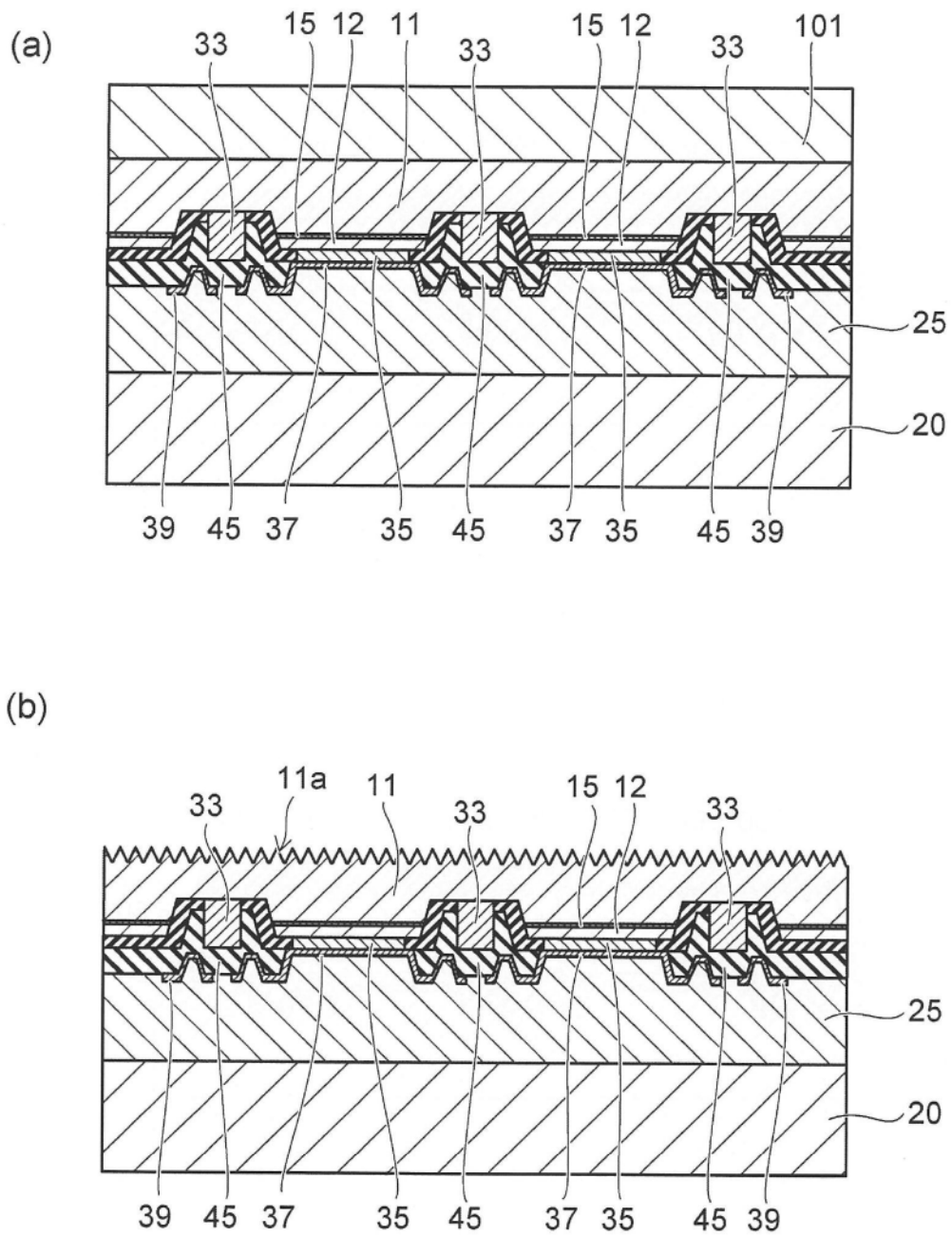


图7

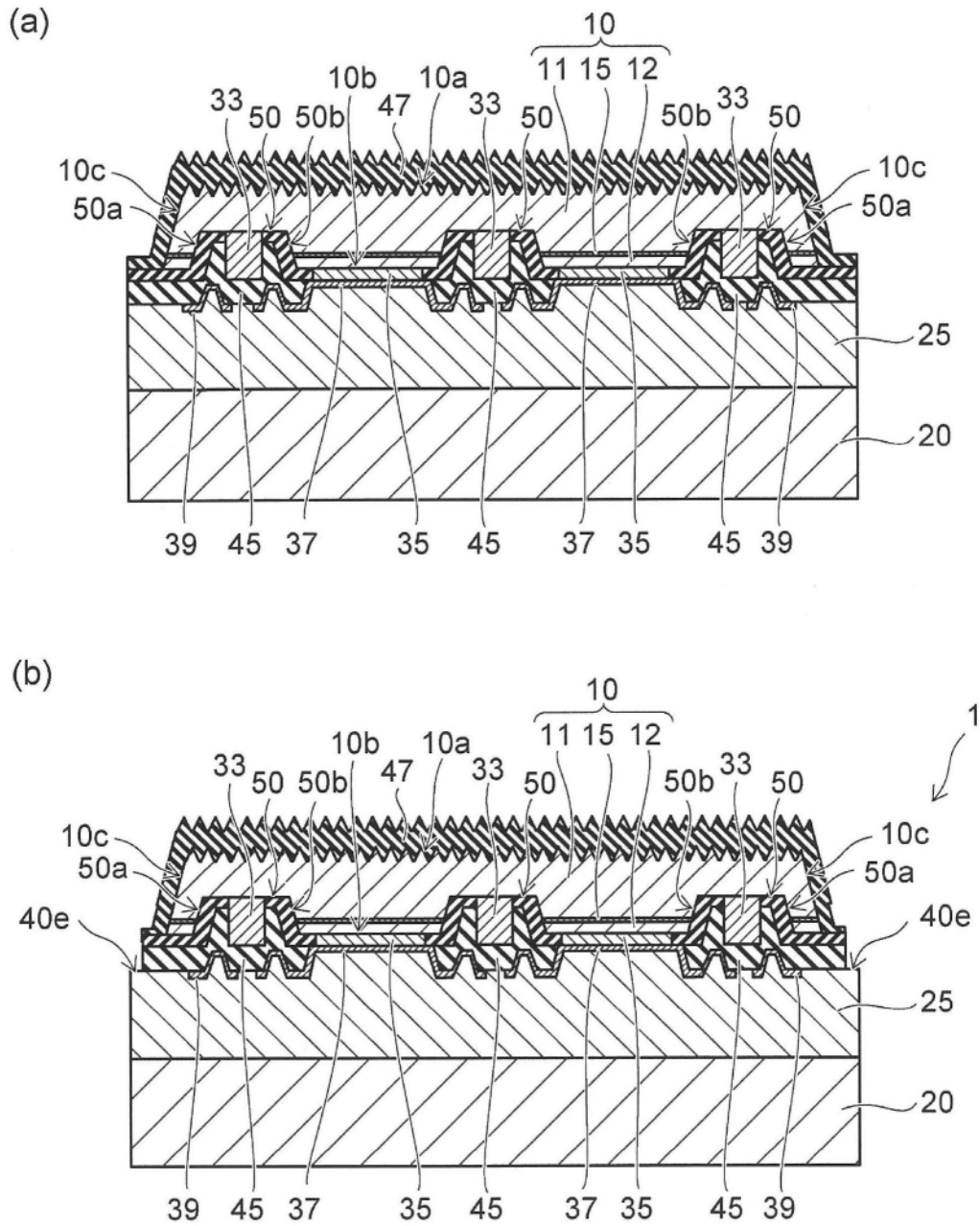


图8

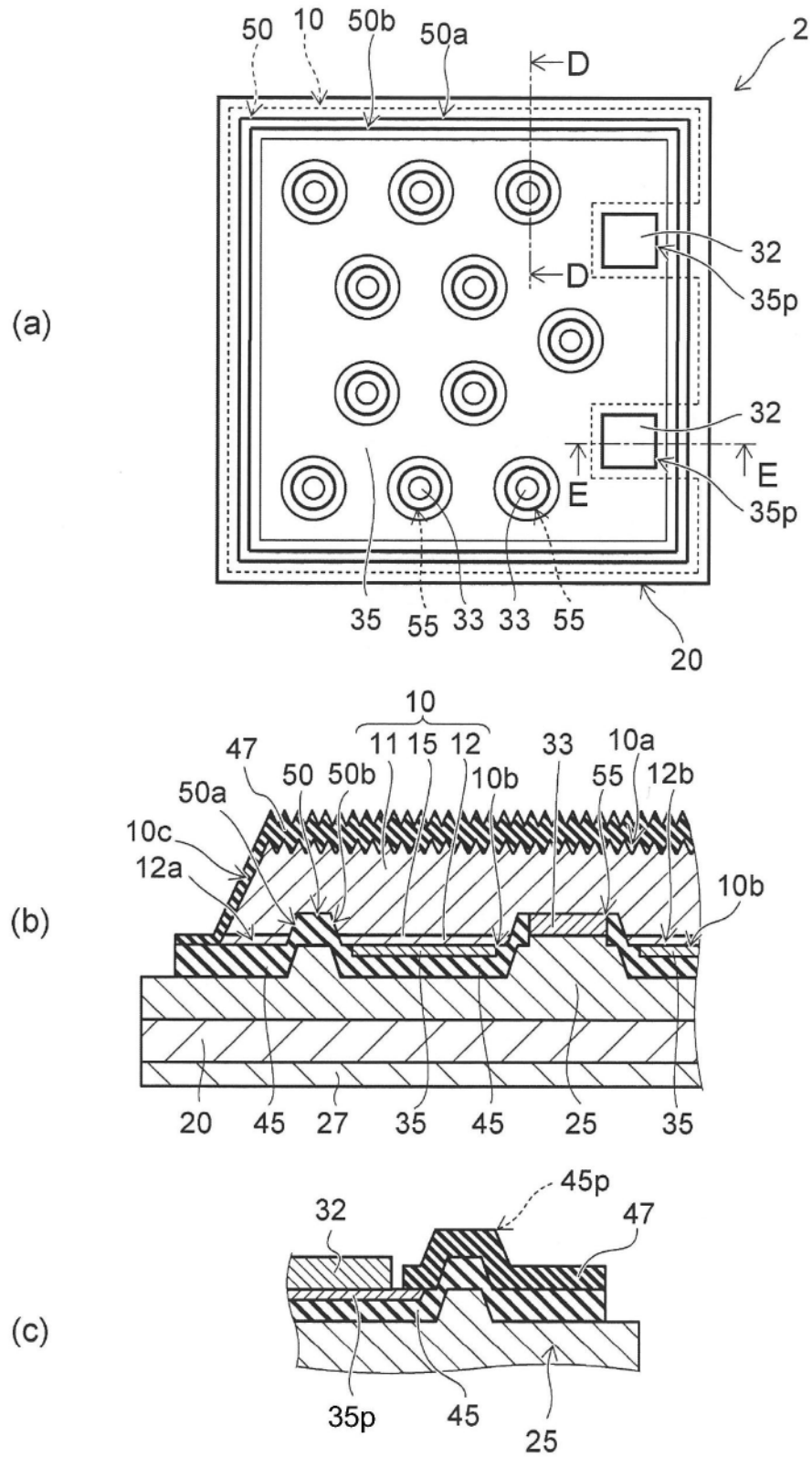


图9

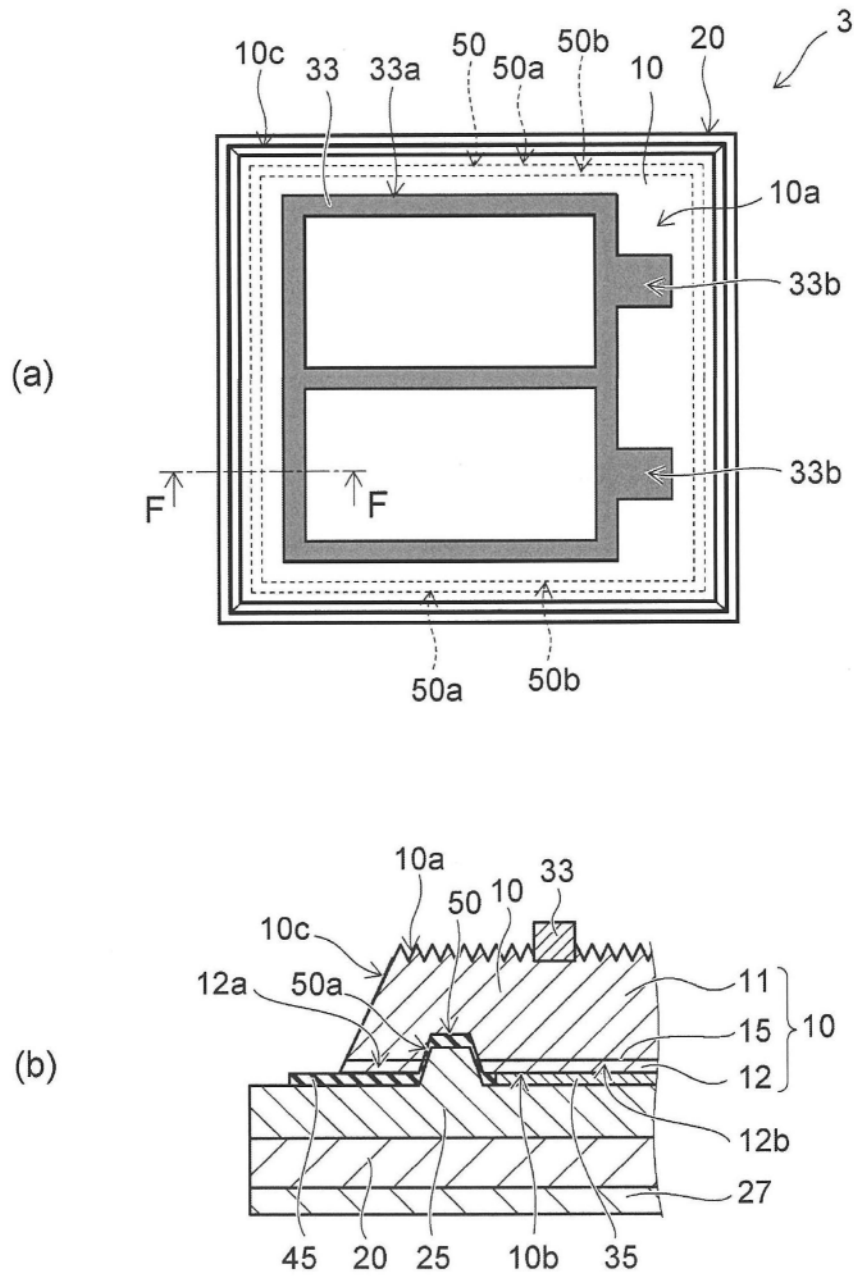


图10

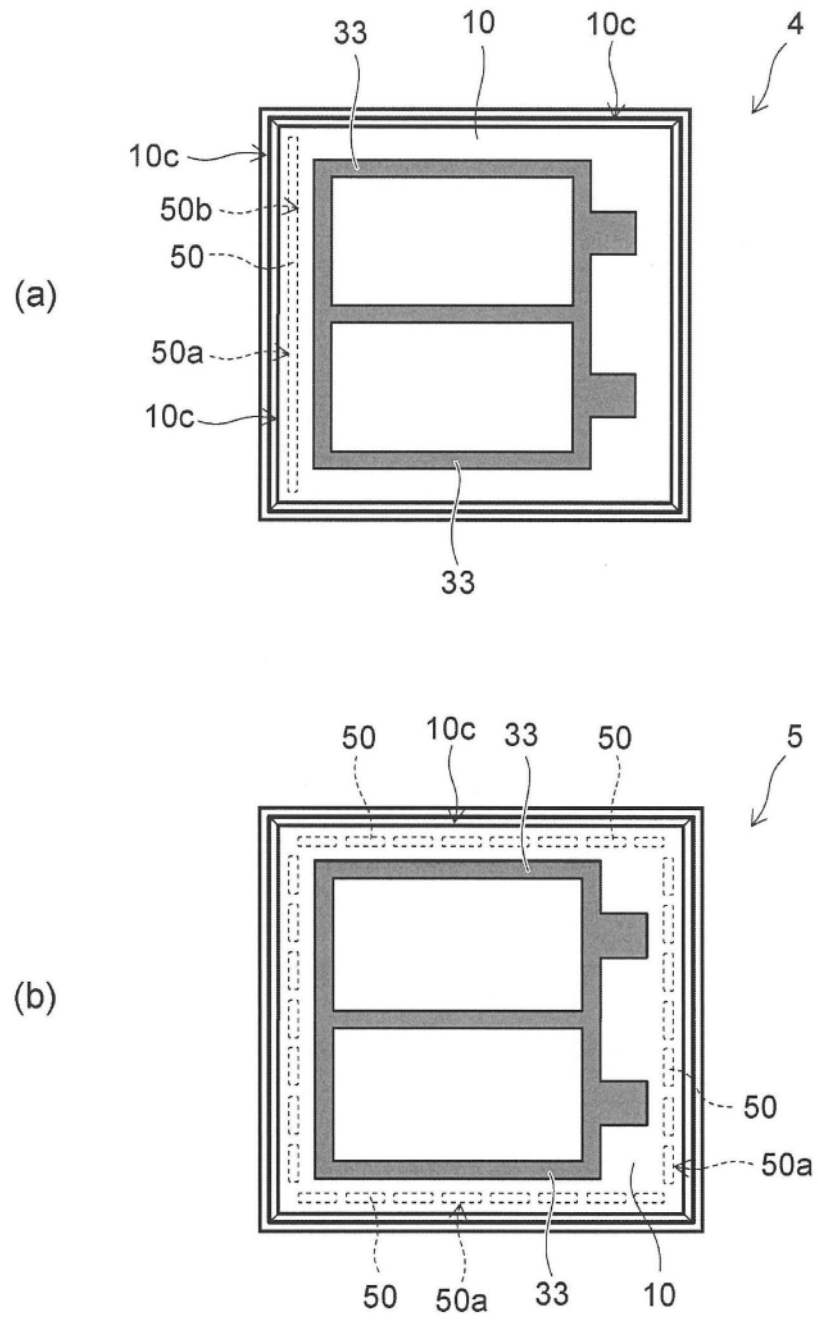


图11