



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 30 04 81
(21) (PV 3218-81)

(40) Zveřejněno 27 08 82

(45) Vydáno 15 10 85

219963

(11)

(B1)

(51) Int. Cl.³
H 02 J 3/12

(75)

Autor vynálezu

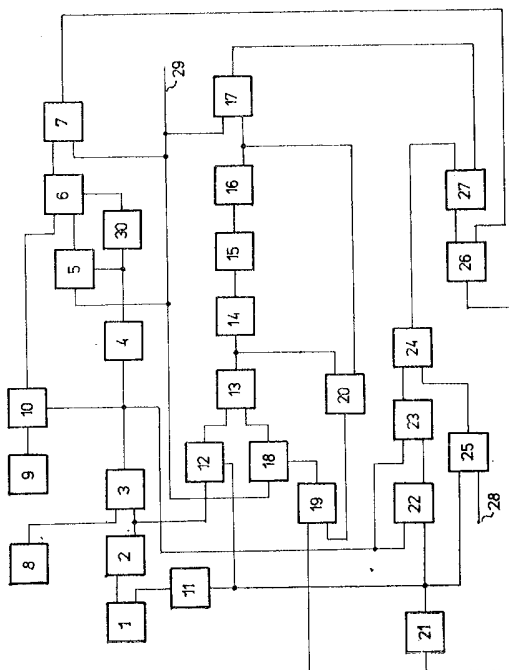
MEJTA FRANTIŠEK ing., PROCHÁZKA KAREL ing. CSc., ČESKÉ
BUDĚJOVICE

(54) Zapojení pro spínání odporu ke zhášecí tlumivce

1

2

Zapojení pro spínání odporu ke zhášecí tlumivce. Vynález se týká kompenzovaných sítí vysokého napětí, u kterých se užívá přídatného zatěžování pomocného vinutí zhášecích tlumivce ke zvýšení činné složky proudu zemního spojení. Vynález řeší řízení spínání odporu k pomocnému vinutí zhášecí tlumivky v závislosti na velikosti, době trvání napětí na zhášecí tlumivce i na zvoleném způsobu provozu. Zapojení vyhodnocuje jak dobu trvání zvýšeného napětí na zhášecí tlumivce, tak i počet krátkodobých napěťových impulsů při přechodných zemních spojeních. Pokud dojde k překročení nastavené doby trvání zvýšeného napětí nebo k překročení počtu napěťových impulsů, popřípadě ke kombinaci jejich vlivu, dojde k předání výstupního povelu na sepnutí odporu. Zapojení obsahuje i tepelný obraz spínaného odporu, obraz oteplení je odvozován od velikosti napětí na zhášecí tlumivce a jeho trvání. Překročení obrazu dovolené teploty způsobí zablokování výstupního povelu. Při trvání napětí na zhášecí tlumivce je při volbě provozu se signalizací zemního spojení další činnost zablokována, při volbě provozu s vypínáním zemních spojení zapojení obnovuje celý cyklus činnosti do zániku napětí na zhášecí tlumivce. Vynálezu může být využito v provozech energetiky.



Vynález se týká zapojení pro spínání odporu ke zhasací tlumivce v sítích s kompenzací zemních kapacitních proudů zhasací tlumivkou, jehož účelem je zvýšení činné složky proudu vedení se zemním spojením a tím zlepšení podmínek pro činnost zemních ochran. Současně zapojení podle vynálezu umožňuje ochranu sítí před rezonančními přepětími způsobenými obvodem nulové složkou soustavy.

Dosud užívaná zapojení automatik pro spínání odporu ke zhasací tlumivce využívala pro časovací funkce buď elektromechanických časových relé, popřípadě RC obvodů s jazýčkovými relé, pro logické funkce pak reléovou nebo diodově-reléovou logiku. Nevýhody elektromechanických časových relé jsou zejména ve velkých rozměrech, spotřebě a malé přesnosti, spolehlivosti i nárocích na údržbu, u reléové logiky jsou důvody prakticky tytéž, činnost je závislá na stavu a seřízení kontaktů. U diodově-reléové logiky vznikají obtíže při seřizování vzhledem k nedefinovaným hodnotám odpadu jazýčkových relé. Další nevýhody známých řešení jsou nedokonalé zajištění ochrany připojovaného odporu před přehřátím. Dosavadní řešení automatik pro spínání odporu ke zhasací tlumivce nesplňují požadavky nově zaváděných sítí s vypínáním při zemních spojeních, při kterých může být blokování činnosti po cyklu automaticky a trvalým zemním spojením nežádoucí, stejně jako vyvolání zapínacího povelu na odpor při krátkodobých přechodných zemních spojeních.

Tyto nevýhody podstatně zmírňuje zapojení pro spínání odporu ke zhasací tlumivce podle vynálezu, jehož podstata spočívá v tom, že k prvnímu výstupu zhasací tlumivky je připojen vstup usměrňovače, jehož výstup je připojen jednak na první vstup třetího spínače, jednak na první vstup prvního komparátoru, jehož výstup je připojen jednak na první vstup obvodu logického součtu, jednak na druhý vstup druhého spínače, jednak na druhý vstup časového obvodu, jednak na vstup prvního monostabilního klopného obvodu, jehož výstup je připojen k druhému vstupu prvního spínače, jehož výstup je připojen k prvnímu vstupu prvního integrátoru, jehož výstup je připojen na první vstup druhého komparátoru, jehož výstup je připojen na první vstup prvního obvodu logického součtu, jehož výstup je připojen jednak na vstup druhého monostabilního klopného obvodu, jednak na nastavovací vstup prvního klopného obvodu, jehož výstup je připojen na druhý vstup čtvrtého spínače, jehož výstup je připojen na druhý vstup druhého integrátoru, jehož výstup je připojen jednak na druhý vstup třetího komparátoru, jednak na vstup diodového hradla, jehož výstup je připojen na vstup analogové paměti, jejíž výstup je připojen na vstup oddělovacího zesilovače, jehož výstup je připojen jednak na první vstup

čtvrtého komparátoru, jednak na první vstup třetího komparátoru, jehož výstup je připojen na nulovací vstup prvního klopného obvodu, výstup druhého monostabilního klopného obvodu je připojen jednak k prvnímu vstupu druhého obvodu logického součtu, jednak k druhému vstupu třetího spínače, jednak na vstup odporu, jednak ke druhému obvodu logického součtu, jehož výstup je připojen na první vstup časového obvodu, jehož výstup je připojen na nulovací vstup druhého klopného obvodu, jehož výstup je připojen na první vstup obvodu negovaného tyristoru součtu, jakož výstup je připojen na druhý vstup prvního obvodu logického součtu, výstup třetího spínače je připojen k prvnímu vstupu druhého integrátoru, výstup prvního nastavitelného zdroje napětí je připojen na první vstup druhého spínače, jehož výstup je připojen na druhý vstup prvního integrátoru, výstup druhého nastavitelného zdroje napětí je připojen na druhý vstup prvního komparátoru, výstup odporu je připojen na druhý výstup zhasací tlumivky, první zdroj regeneračního napětí je připojen na druhý vstup druhého obvodu logického součtu, jehož výstup je připojen na nastavovací vstup druhého klopného obvodu, druhý zdroj referenčního napětí je připojen jednak na první vstup čtvrtého spínače, jednak na první vstup prvního spínače, jednak na druhý vstup druhého komparátoru, jednak na druhý vstup čtvrtého komparátoru, jehož výstup je připojen na druhý vstup obvodu negovaného logického součtu, výstup prvního monostabilního klopného obvodu je připojen na vstup třetího monostabilního klopného obvodu, jehož výstup je připojen na třetí vstup prvního integrátoru.

Výhodou zapojení podle vynálezu je, že použité zapojení umožňuje dodržení logických i časových funkcí bez seřizování logických obvodů. Zapojení umožňuje definované zpracování přerušovaných i trvajících zemních spojení a splňuje požadavky jak pro provoz v kompenzovaných sítích se signalizací zemních spojení, tak i jejich vypínání včetně spolupráce s rychlým a pomalým OZ. U tepelného obrazu je dokonalejší přizpůsobení ohřevu i vychládání odporu, což umožňuje zjednodušení dosavadních ochranných obvodů zhasací tlumivky.

Příklad praktického provedení zapojení pro spínání odporu ke zhasací tlumivce je znázorněn v blokovém schématu na výkresu. Z výkresu je patrné, že k prvnímu výstupu zhasací tlumivky **1** je připojen vstup usměrňovače **2**, jehož výstup je připojen jednak na první vstup třetího spínače **12**, jednak na první vstup prvního komparátoru **3**, jehož výstup je připojen jednak na první vstup obvodu **22** logického součtu, jednak na druhý vstup druhého spínače **10**, jednak na druhý vstup časového obvodu **23**, jednak na vstup prvního monostabilního klopného

obvodu 4, jehož výstup je připojen k druhému vstupu prvního spínače 5, jehož výstup je připojen k prvnímu vstupu prvního integrátoru 6, jehož výstup je připojen na první vstup druhého komparátoru 7, jehož výstup je připojen na první vstup prvního obvodu 26 logického součinu, jehož výstup je připojen jednak na vstup druhého monostabilního klopného obvodu 21, jednak na nastavovací vstup prvního klopného obvodu 19, jehož výstup je připojen na druhý vstup čtvrtého spínače 18, jehož výstup je připojen na druhý vstup druhého integrátoru 13, jehož výstup je připojen jednak na druhý vstup třetího komparátoru 20, jednak na vstup diodového hradla 14, jehož výstup je připojen na vstup analogové paměti 15, jejíž výstup je připojen na vstup oddělovacího zesilovače 16, jehož výstup je připojen jednak na první vstup čtvrtého komparátoru 17, jednak na první vstup třetího komparátoru 20, jehož výstup je připojen na nulovací vstup prvního klopného obvodu 19, výstup druhého monostabilního klopného obvodu 21 je připojen jednak k prvnímu vstupu druhého obvodu 25 logického součinu, jednak k druhému vstupu třetího spínače 12, jednak na vstup odporu 11, jednak ke druhému vstupu obvodu 22 logického součtu, jehož výstup je připojen na první vstup časového obvodu 23, jehož výstup je připojen na nulovací vstup druhého klopného obvodu 24, jehož výstup je připojen na první vstup obvodu 27 negovaného logického součtu, jehož výstup je připojen na druhý vstup prvního obvodu 26 logického součinu, výstup třetího spínače 12 je připojen k prvnímu vstupu druhého integrátoru 13, výstup prvního nastavitelného zdroje 9 napětí je připojen na první vstup druhého spínače 10, jehož výstup je připojen na druhý vstup prvního integrátoru 6, výstup druhého nastavitelného zdroje 8 napětí je připojen na druhý vstup prvního komparátoru 3, výstup odporu 11 je připojen na druhý výstup zhasčecí tlumivky 1, první zdroj 28 referenčního napětí je připojen na druhý vstup druhého obvodu 25 logického součinu, jehož druhého klopného obvodu 24, druhý zdroj 29 referenčního napětí je připojen jednak na první vstup čtvrtého spínače 18, jednak na první vstup prvního spínače 5, jednak na druhý vstup druhého komparátoru 7, jednak na druhý vstup čtvrtého komparátoru 17, jehož výstup je připojen na druhý vstup obvodu 27 negovaného logického součtu, výstup prvního monostabilního klopného obvodu 4 je připojen na vstup třetího monostabilního klopného obvodu 30, jehož výstup je připojen na třetí vstup prvního integrátoru 6.

Signál o kmitočtu 50 Hz z prvního výstupu zhasčecí tlumivky 1 je v usměrňovači 2 usměrněn. Jestliže toto napětí je větší než zvolené napětí druhého nastavitelného zdroje 8 napětí, pak výstup komparátoru 3 je v úrovni logické 1 a připne pomocí druhé-

ho spínače 10 první nastavitelný zdroj 9 napětí na druhý vstup prvního integrátoru 6. Po dobu sepnutí druhého spínače 10 narůstá napětí na výstupu prvního integrátoru 6, strmost růstu je tím větší, čím větší je napětí prvního nastavitelného zdroje 9 napětí. Tímto způsobem je určován první vyčkávací čas t_0 . V okamžiku, kdy napětí na výstupu prvního integrátoru 6 dosáhne úrovně druhého zdroje 29 referenčního napětí, druhý komparátor 7 překlopí a logická 1 na jeho výstupu vyvolá další sekvenci povelů. Náběžná hrana signálu logické 1 na výstupu prvního komparátoru 3 spouští monostabilní klopný obvod 4, jenž po dobu t_1 svého kmitu spíná první spínač 5 a přepíná druhý zdroj 29 referenčního napětí na druhý vstup prvního integrátoru 6. Tak je zahrnuta určitou vahou danou velikostí napětí druhého zdroje 29 referenčního napětí a času t_1 do velikosti napětí na výstupu prvního integrátoru 6 a skuteností, že po dobu integrace došlo k poklesu signálu z prvního výstupu zhasčecí tlumivky 1 pod nastavenou mez. Prvním impulsem s dobou trvání t_1 je spuštěn třetí monostabilní klopný obvod 30, který nuluje první integrátor 6, za dobu t_2 . Jestliže není splněna žádná z blokových podmínek, je výstup obvodu 27 negovaného logického součtu ve stavu logické 1 a v případě, že výstup druhého komparátoru 7 nabyl stavu logické 1, je spuštěn druhý monostabilní klopný obvod 21, jenž na dobu t_3 svého kyvu spíná odpor 11 k druhému výstupu zhasčecí tlumivky 1. Spádovou hranou tohoto impulsu po průchodu obvodem 22 logického součtu je spuštěn časový obvod 23, za předpokladu, že výstup prvního komparátoru 3 je ve stavu logické 0 a není tak časový obvod 23 trvale nulován. Jestliže je však na výstupu prvního komparátoru 3 ještě úroveň logické 1, je časový obvod 23 spuštěn spádovou hranou signálu na výstupu prvního komparátoru 3, doba kyvu je t_4 . Jestliže v této době se obnoví stav logické 1 na výstupu prvního komparátoru 3, je časový obvod 23 opět nulován a znovu spuštěn po přechodu výstupu prvního komparátoru 3 do stavu logické 0. Po skončení doby t_4 je nulován druhý klopný obvod 24. Jestliže první zdroj 28 referenčního napětí má úroveň logické 1, pak impuls z výstupu druhého monostabilního klopného obvodu 21 po průchodu druhým obvodem 25 logického součtu, nastaví výstup druhého klopného obvodu 24 do stavu logické 1. Tento signál se v obvodu 27 negovaného logického součtu sčítá s výstupním signálem čtvrtého komparátoru 17. Jestliže jeden z uvedených signálů má úroveň logické 1, pak na výstupu obvodu 27 negovaného logického součtu je úroveň logické 0, a nelze spustit druhý monostabilní klopný obvod 21. Na první vstup druhého integrátoru 13 přes třetí spínač 12 je přivedeno usměrněné napětí z prvního výstupu

zhášecí tlumivky 1, které je úměrné napětí na odporu 11. Časovou konstantou prvního vstupu druhého integrátoru 13 je respektována oteplovací charakteristika odporu 11. Výstupní napětí druhého integrátoru 13 je přes diodové hradlo 14 přivedeno na analogovou paměť 15, která obsahuje časovou konstantu respektující ochlazovací charakteristiku odporu 11. Analogovou paměť 15 tvoří paralelní RC obvod, který při výpadku napájecího napětí uchovává původní informaci o stavu oteplení odporu 11 ve formě napětí. Statické uchování napětí v analogové paměti 15 i při výpadku napájecího napětí zajišťuje diodové hradlo 14 a oddělovací zesilovač 16. V okamžiku sepnutí odporu 11 ke zhášecí tlumivce 1 je nastaven výstup prvního klopného obvodu 19 do stavu logické 1 a čtvrtý spínač 18 přepne na druhý vstup druhého integrátoru 13 druhý obvod této integrace je velmi malá, výstupní napětí druhého integrátoru 13 roste až do hodnoty napětí, které je na výstupu oddělova-

cího zesilovače 16, pak překlopí třetí komparátor 20, vynuluje první klopný obvod 19 a tak rozepne čtvrtý spínač 18. Tímto způsobem dosáhl druhý integrátor 13 velikosti napětí uchovaného v analogové paměti 15 a následuje integrace po dobu sepnutí odporu 11. Jakmile dosáhne výstupní napětí druhého integrátoru 13, tj. i výstupní napětí oddělovacího zesilovače 16, hodnoty druhého zdroje 29 referenčního napětí, překlopí čtvrtý komparátor 17 do stavu logické 1 a zablokuje tak možnost dalšího sepnutí odporu 11. Po ochlazení odporu 11, což představuje pokles napětí uchovaného v analogové paměti 15 s ochlazovací časovou konstantou, čtvrtý komparátor 17 překlopí opět do stavu logické 0 a při splnění dalších podmínek je možno opětovně sepnutí odporu 11.

Vynález bude možno využít například v energetice ke spínání odporu ke zhášecí tlumivce.

PŘEDMĚT VYNÁLEZU

Zapojení pro spínání odporu ke zhášecí tlumivce, vyznačující se tím, že k prvnímu výstupu zhášecí tlumivky (1) je připojen vstup usměrňovače (2), jehož výstup je připojen jednak na první vstup prvního spínače (12), jednak na první vstup prvního komparátoru (3), jehož výstup je připojen jednak na první vstup obvodu (22) logického součtu, jednak na druhý vstup druhého spínače (10), jednak na druhý vstup časového obvodu (23), jednak na vstup prvního monostabilního klopného obvodu (4), jehož výstup je připojen ke druhému vstupu prvního spínače (5), jehož výstup je připojen k prvnímu vstupu prvního integrátoru (6), jehož výstup je připojen na první vstup druhého komparátoru (7), jehož výstup je připojen na první vstup prvního obvodu (26) logického součinu, jehož výstup je připojen jednak na vstup druhého monostabilního klopného obvodu (21), jednak na nastavovací vstup prvního klopného obvodu (19), jehož výstup je připojen na druhý vstup čtvrtého spínače (18), jehož výstup je připojen na druhý vstup druhého integrátoru (13), jehož výstup je připojen jednak na druhý vstup třetího komparátoru (20), jednak na vstup diodového hradla (14), jehož výstup je připojen na vstup analogové paměti (15), jejíž výstup je připojen na vstup oddělovacího zesilovače (16), jehož výstup je připojen jednak na první vstup čtvrtého komparátoru (17), jednak na první vstup třetího komparátoru (20), jehož výstup je připojen na nulovací vstup prvního klopného obvodu (19), výstup druhého monostabilního klopného obvodu (21) je připojen jednak k prvnímu vstupu druhého obvodu

(25) logického součinu, jednak k druhému vstupu třetího spínače (12), jednak na vstup odporu (11), jednak ke druhému vstupu obvodu (22) logického součtu, jehož výstup je připojen na první vstup časového obvodu (23), jehož výstup je připojen na nulovací vstup druhého klopného obvodu (24), jehož výstup je připojen na první vstup obvodu (27) negovaného logického součtu, jehož výstup je připojen na druhý vstup prvního obvodu (26) logického součinu, výstup třetího spínače (12) je připojen k prvnímu vstupu druhého integrátoru (13), výstup prvního nastavitelného zdroje (9) napětí je připojen na první vstup druhého spínače (10), jehož výstup je připojen na druhý vstup prvního integrátoru (6), výstup druhého nastavitelného zdroje (8) napětí je připojen na druhý vstup prvního komparátoru (3), výstup odporu (11) je připojen na druhý výstup zhášecí tlumivky (1), první zdroj (28) referenčního napětí je připojen na druhý vstup druhého obvodu (25) logického součinu, jehož výstup je připojen na nastavovací vstup druhého klopného obvodu (24), druhý zdroj (29) referenčního napětí je připojen jednak na první vstup čtvrtého spínače (18), jednak na první vstup prvního spínače (5), jednak na druhý vstup druhého komparátoru (7), jednak na druhý vstup čtvrtého komparátoru (17), jehož výstup je připojen na druhý vstup obvodu (27) negovaného logického součtu, výstup prvního monostabilního klopného obvodu (4) je připojen na vstup třetího monostabilního klopného obvodu (30), jehož výstup je připojen na třetí vstup prvního integrátoru (6).

