公告本

申請日期	87 年 6 月 25 日
案號	87110273
類別	H01L 21/70

A4
C4

424294

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明新型名稱	中文	半導體積體電路裝置及其製造方法
	英文	
二、發明創作人	姓名	(1) 大橋直史 (2) 山口日出 (3) 野口純司
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國埼玉縣飯能市美杉台五－二　九棟五〇五號 (2) 日本國東京都昭島市玉川町一－四－一－七〇三 (3) 日本國東京都青梅市新町九－四－四　誠和寮
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 金井務

經濟部中央標準局員工消費合作社印

裝　訂　線

適用中國國家標準（CNS）A4規格（210×297公釐）

424294

申請日期	87 年 6 月 25 日
案號	87110273
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	⑷ 大和田伸郎
	國籍	⑷ 日本
	住、居所	⑷ 日本國東京都青梅市大門三－七－七
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

經濟部中央標準局員工消費合作社印

裝 訂 線

424294

（由本局填寫）

承辦人代碼：	
大　　類：	
IPC分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
日本	1998 年 3 月 27 日	10-81415	☑有主張優先權
日本	1997 年 9 月 8 日	9-242825	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

本發明係有關半導體電路裝置之製造技術及半導體積體電路裝置，尤其係有關例如適用於具有令銅爲主導電層之金屬配線中，對於溝內堆積銅薄膜後，經由ＣＭＰ法，將溝範圍以外之銅薄膜藉由研磨除去形成配線的半導體積體電路裝置之有效技術者。

【發明背景】

以往，半導體積體電路之配線層之形成係例如於絕緣膜上成膜鋁合金或鎢等之高融點金屬薄膜之後，經由光蝕刻工程，於配線用薄膜上，形成與配線圖案同一形狀之光阻圖案，以此爲掩罩，經由乾蝕刻工程，形成配線圖案。

但是，使用此鋁合金等之方法中，會有伴隨配線之微細化，配線阻抗之增大則會明顯，伴隨而來的是使配線延遲增加，使半導體積體電路裝置之性能下降等的問題。尤其，於高性能之邏輯ＬＳＩ中，就該性能阻礙之要因而言，會產生極大之問題。

又，於１９９５年IBM J. Res. Delelop. Vol.39, No.4, July,1995, pp419-435或1996 Symposium on VLSI Technology Digest of Technical Papers, pp48-49，記載有在形成於絕緣膜的溝上，埋入令銅爲主導體層之配線用金屬後，將溝外部多餘之金屬使用ＣＭＰ法除去地，於溝內形成配線圖案之方法（所謂連接孔配線同時成形法（dual damascene））。

又，日本特開平７－２９７１８３號公報中，記載有

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（2）

於形成於半導體基板上之絕緣層上，更且於形成絕緣膜後，形成導電性配線層，埋入配線溝地，形成ＳＯＧ（Spin On Glass）所成平坦化層，令平坦化層及導電性配線層堆積，將導電性配線層所成配線，形成於配線溝之技術。

【發明之要點】

但是，於形成於絕緣膜之溝上，埋入令銅等爲主導體層之配線用金屬後，檢討將溝外部之多餘金屬使用ＣＭＰ法除去的結果，本發明人係發現以下之問題。令此問題使用圖７３加以說明。圖７３係說明本發明人所檢討之圖面，（ａ）係平面圖、（ｂ）係（ａ）之ｂ－ｂ截面圖、（ｃ）係（ａ）之ｃ－ｃ截面圖。然而，圖７３中，僅對於問題之配線層加以顯示，對於其他之構件係加以省略。

即，於絕緣膜２０１上，爲形成配線２０２中，首先，於絕緣膜２０１堆積配線形成用之絕緣膜２０３，於此絕緣膜２０３形成配線溝２０４。於此絕緣膜２０３形成配線溝２０４。於絕緣膜２０３中通常使用矽氧化膜。接著，埋入配線溝２０４地，於絕緣膜２０３上堆積構成配線２０２之金屬膜（例如銅），將配線溝２０４以外之絕緣膜２０３上之金屬膜，經由ＣＭＰ法加以研磨除去。由此，僅於配線溝２０４內殘留金屬膜，形成配線２０２。但是，構成絕緣膜２０３之矽氧化膜和配線２０２的金屬（例如銅）中，於一般中，銅者則ＣＭＰ之研磨速度爲大。爲此，於配線２０２之表面部分產生凹部２０５。此凹

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（3）

部２０５係做爲所謂凹陷之一種。又，經由ＣＭＰ之研磨，於絕緣膜２０３之表面產生龜裂。

存在如此凹部２０５或龜裂的狀態下，於該上層形成絕緣膜２０６，於絕緣膜２０６之表面，產生起因凹部２０５或龜裂的凹部。此存在此凹部之狀態下，於絕緣膜２０６將柱塞２０７經由ＣＭＰ法加以形成時，於絕緣膜２０６之表面之凹部殘留構成柱塞２０７之導電物質２０８。即，柱塞２０７之形成係開口於絕緣膜２０６之連接孔之內部，將構成柱塞２０７之金屬膜加以埋入的同時，於絕緣膜２０６上堆積金屬膜，經由此絕緣膜２０６上之金屬膜之ＣＭＰ法的除去，僅於連接孔內形成殘留金屬膜，於絕緣膜２０６之表面，存在凹部（包含起因於刮傷凹部）時，於此凹部內，殘留金屬膜之殘留物之導電物質２０８。然而，起因於刮傷之凹部中亦有可能殘留金屬膜，圖面中則加以省略。

如此導電物質２０８之殘留係本來所不希望的。即，於柱塞２０７上形成絕緣膜２０９，於此絕緣膜２０９之配線形成配線２１０時，原本欲絕緣之配線２１０間則由於導電物質２０８之存在，電氣性被短路，產生半導體積體電路裝置之短路之不良。

然而，如此之短路不良係不使用柱塞２０７，所謂以連接孔配線同時成形法（dual damascene）法形成配線之時，亦同樣地產生。

本發明之目的係提供經由ＣＭＰ法所形成之第１金屬

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（4）

配線上之層間絕緣膜之表面平坦性之技術者。

本發明之其他目的係提供抑制經由ＣＭＰ法所形成之第１金屬配線上之第２金屬配線之短路不良，提升半導體積體電路之產率及可靠性者。

本發明之前述以及其他目的之新穎特徵係可自本說明書之記述及附圖可明白。

本案所揭示之發明中，將代表性之概要簡單加以說明時，則如後所述。

（１）本發明之半導體積體電路裝置係具有形成於半導體基板之主面的半導體元件，和形成於半導體元件上部，埋入於形成於該一部分之凹部使用ＣＭＰ法所形成之導電性構件的第１絕緣膜，和形成於第１絕緣膜之上面，埋入於形成於該一部分之凹部使用ＣＭＰ法所形成之導電性構件的第２絕緣膜的半導體積體電路裝置中，於第２絕緣膜中，包含具有自我流動性之流動性絕緣膜者。

根據如此半導體積體電路裝置，埋入第１絕緣膜之導電性構件，經由ＣＭＰ之研磨產生凹陷，又由於第１絕緣膜之表面經由ＣＭＰ之研磨而有傷痕之時，於第２絕緣膜因含有流動性絕緣膜之故，該表面爲平坦化，前述凹陷或傷痕之影響不會顯現於第２絕緣膜之表面，可確實進行埋入第２絕緣膜之導電性構件之ＣＭＰ法的形成。即，不形成埋入第２絕緣膜之導電性構件之殘留物，可防止起因於前述殘留物之第２絕緣膜之導電性構件間之短路不良。結果，可提升半導體積體電路裝置之產率和可靠性。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

又，於第2絕緣膜之表面存在凹部之時，雖需將形成第2絕緣膜之導電性構件的被膜過度地加以研磨，但本發明不會產生如此之第2絕緣膜之表面凹部之故，無需過度之研磨。結果，可防止埋入第2絕緣膜之導電性構件之凹陷，更且將形成於上部之導電性構件之形成，以與上述同樣之理由確實地加以形成，可防止該短路之不良。

然而，第1或第2絕緣膜係可呈於該凹部形成配線之配線形成用絕緣膜或絕緣配線層間之配線層間絕緣膜，凹部係可呈形成於配線形成用絕緣膜的配線溝或形成於配線層間絕緣膜的連接孔，導電性構件係可呈形成於配線溝之配線或形成於連接孔之柱塞。

又，流動性絕緣膜係可爲僅位於形成於配線形成用絕緣膜之配線溝的配線上之配線層間絕緣膜所包含之構成，又，僅位於形成於配線層間絕緣膜之連接孔的柱塞上之配線形成用絕緣膜所包含之構成，或包含於位於形成於配線形成用絕緣膜之配線溝的配線上之配線層間絕緣膜及於形成於配線層間絕緣膜之連接孔的柱塞上之配線形成用絕緣膜之構成中之任一者。

又，凹部係形成於第1及第2絕緣膜之表面附近的配線溝及形成於配線溝下部之連接孔所成，導電性構件係形成於配線溝之配線部和形成於連接孔之連接部呈一體地加以形成者。即，亦可適用於連接孔部分和配線溝部分呈一體形成之凹部內，一體形成之配線（所謂連接孔配線同時成形法（dual damascene）法之配線）。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

又，包含流動性絕緣膜之第2絕緣膜、配線層間絕緣膜或配線形成用絕緣膜係可爲具有不具有自我流動性之非流動性絕緣膜、流動性絕緣膜及非動性絕緣膜之3層構造。

又，做爲流動性絕緣膜，可使用ＳＯＧ膜。做爲ＳＯＧ膜，可例示有機ＳＯＧ膜、無機ＳＯＧ膜及聚矽胺烷系之ＳＯＧ膜，尤其以無機ＳＯＧ膜爲佳。假使做爲流動性絕緣膜使用有機ＳＯＧ膜時，於其所含第2絕緣膜、配線層間絕緣膜或配線形成用絕緣膜適用光蝕刻技術施以加工，將做爲光蝕刻之掩罩的光阻膜，經由氧去除加以除去時，會產生有機ＳＯＧ膜之收縮，或吸水性變強，半導體積體電路裝置之可靠性不佳之影響。但是，做爲流動性絕緣膜使用無機ＳＯＧ膜時，則無如此之不妥。

又，做爲流動性絕緣膜，可爲經由氣相之矽烷醇生成和低溫基板上之矽烷醇的反應所形成之矽氧化膜。

ＳＯＧ膜係雖爲在於大氣氣氛中，經由塗佈所形成被膜，在於減壓氣氛中，將經由矽烷氣體（SiH_4）和過氧化氫（H_2O_2）之化合所形成之矽烷醇（$H_nSi(OH)_{4-n}$），吸附於基板表面呈被膜，經由氣相之矽烷醇生成和低溫基板上之矽烷醇的反應形成矽氧化膜。如此矽氧化膜亦可做爲流動性絕緣膜加以例示。在此，做爲矽烷醇形成之原料氣體雖例示有矽烷氣體，亦可將氫基（－Ｈ）置換爲甲基（$-CH_3$）、乙基（$-C_2H_5$）等之甲基矽烷（二甲基矽烷、三甲基矽烷等），或乙基矽烷（

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（7）

二乙基矽烷、三乙基矽烷等）。

又，凹部、配線溝或連接孔之寬W係在該最大幅Wmax和最小幅Wmin之範圍內，滿足Wmax≦Wmin之條件。

（2）本發明之半導體積體電路裝置係具有形成於半導體基板之主面的半導體元件，和形成於半導體元件上部，埋入於形成於該一部分之凹部使用CMP法所形成之導電性構件的第1絕緣膜，和形成於第1絕緣膜之上面，埋入於形成於該一部分之凹部使用CMP法所形成之導電性構件的第2絕緣膜的半導體積體電路裝置中，於第2絕緣膜中，包含經由CMP法平坦化之絕緣膜者。

根據如此之半導體積體電路裝置，與記載於（1）者相同，藉由CMP法經由平坦化之絕緣膜，第2絕緣膜之表面被平坦化，可確實進行埋入第2絕緣膜之導電性構件之形成，而可防止該短路不良。結果，可達半導體積體電路裝置之產率和可靠性之提升，此點與前述（1）是相同的。

然而，記載於前述（1）、（2）之半導體積體電路裝置中，於形成於凹部或配線溝之配線上面中，可形成防止構成配線之金屬元素之擴散的擴散防止膜，例如亦經由電漿CVD法所形成之矽氮化膜。由此，確保配線間之層間絕緣膜之絕緣耐壓，提升半導體積體電路之可靠性。

（3）本發明之半導體積體電路裝置之製造方法係具有形成於半導體基板之主面的半導體元件，和形成於半導

（請先閱讀背面之注意事項再填寫本頁）
裝 訂
經濟部中央標準局員工消費合作社印製

五、發明說明（8）

體元件之上部，於該一部埋設有第2導電性構件之第2絕緣膜的半導體電路裝置之製造方法中，包含（a）於形成至少半導體元件之半導體基板上，堆積第1絕緣膜，於該一部分形成凹部之工程，（b）於包含凹部之內部的第1絕緣膜之表面，將凹部形成埋入導電性膜之工程，（c）將導電性膜經由CMP法加以研磨，僅於第1絕緣膜之凹部內，留下導電性膜，形成第1導電性構件之工程，（d）於第1導電性構件之上部，堆積具有自我流動性之流動性絕緣膜的工程，（e）於包含流動性絕緣膜之第2絕緣膜形成凹部，形成埋入該凹部之導電性膜後，將該導電性膜經由CMP法研磨，形成第2導電性構件之工程者。

根據如此之半導體裝置積體電路裝置之製造方法中，可製造記載於前述（1）之半導體積體電路裝置者。

然而，流動性絕緣膜爲SOG膜時，於半導體基板塗布SOG膜，可經由熱處理加以形成。

又，前述流動性絕緣膜爲經由氣相中之矽烷醇的生成和低溫基板上之矽烷醇之反應所形成之矽氧化膜時，令半導體基板於減壓氣氛下之反應室中，保持於100℃以下之低溫，於反應室內，導入SiH_xM_{4-x}（惟M係碳數1～3之烷基，$1 \leq X \leq 4$）及H_2O_2，生成矽烷醇，將堆積矽烷醇之半導體基板經由熱處理加以形成。此時，烷基（－M）之碳數愈多蒸氣壓則下降。爲此，提高反應室之壁面溫度，可將半導體基板之溫度呈最低之溫度。由此，促進保持於低溫之半導體基板上之烷基矽烷（

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（9）

SiH_xM_{4-x}）之吸附，生成矽烷醇之反應，則於半導體基板之表面附近產生比率爲高。結果，可提高原料氣體之產率。然而，原料氣體係以氣相提供者爲佳，烷基之碳數係3以下者爲佳。

又，形成第1導電性構件之凹部寬度W係可形成於該最大幅Wmax爲最小幅Wmin之4倍以內範圍內者（$Wmin \leqq W \leqq Wmax$）。

又，前述（b）之工程中，埋入第1絕緣膜之凹部的導電性膜中，最小寬度Wmin之凹部的該標高H1，和最大寬度Wmax之凹部的該標高H2則幾近相等（$H1 \fallingdotseq H2$），且標高H1及H2係可1爲較第1絕緣膜之表面標高L1爲高者（$H1 \fallingdotseq H2 > L2$）。

根據如此之半導體積體電路裝置之製造方法時，以（b）工程所形成之第1導電性構件係埋入第1絕緣膜之凹部全範圍，研磨第1導電性構件之表面本身，而呈平坦化。此點中，本發明係與記載於前述特開平7－297183號公報的技術爲不同者。即，記載於前述公報之技術中，於配線溝寬之寬廣範圍中，導電性膜之表面高則較配線溝表面之標高爲低，爲此，經由SOG等之被膜，被覆導電性膜後，接合此等，於配線溝形成配線時，於配線表面之凹部，殘留SOG膜。但是，本發明中，實施爲形成第1導電性構件之研磨後，堆積SOG等之流動性絕緣膜者，記載於前述公報之製造方法，於該工程之順序爲不同的同時，如前述最小寬度Wmin之凹部的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

該標高Ｈ１，和最大寬度Ｗｍａｘ之凹部的該標高Ｈ２幾近相等（Ｈ１≒Ｈ２），且，標高Ｈ１及Ｈ２係較第１絕緣膜之表面之標高Ｌ１爲高（（Ｈ１≒Ｈ２＞Ｌ２）之故，第１導電性構件（即前述公報之配線）之形成工程本身爲不同。因此，，經由如此不同之製造方法所形成之半導體積體電路裝置本身，於第１１導電性構件之表面產生ＣＭＰ之凹部（彎曲）時，在此無殘留ＳＯＧ膜等之流動性絕緣膜之部分下，與經由前述公報記載之技術所製造之半導體裝置不同。

又，於前述（ｃ）工程中，被研磨之第１導電性構件係最小寬度Ｗｍｉｎ之凹部的第１導電性構件表面之彎曲量Ｋ１，和最大寬度Ｗｍａｘ之凹部的第１導電性構件表面之彎曲Ｋ２幾近相等（Ｋ１≒Ｋ２），如此之半導體積體電路裝置之製造方法係自前述Ｈ１≒Ｈ２之條件回歸之條件者。

又，於流動性絕緣膜之堆積前，堆積使用電漿ＣＶＤ法或熱ＣＶＤ法之ＣＶＤ矽氧化膜，之後堆積流動性絕緣膜，更且再經由堆積ＣＶＤ氧化膜，形成第２絕緣膜。

根據如此之半導體積體電路裝置之製造方法，可製造記載於前述（２）之半導體積體電路裝置。然而，包含於第２絕緣膜之矽氧化膜係經由ＣＭＰ法加以平坦化，無需具有自我流動性，使用電漿ＣＶＤ法、ＴＥＯＳ（四甲氧基矽烷）等之ＣＶＤ法等加以形成者亦可。

以下，將本發明之實施形態根據圖面加以詳細說明。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（11）

然而，於說明實施形態之全圖中，於同一構件中附上同一之符號，省略其重複之說明。

實施形態1

圖1係顯示本發明之一實施形態之半導體積體電路裝置之一例的截面圖。

本實施形態1之半導體積體電路裝置係例如於具有SOI（Silicon On Insulator）絕緣層2及U溝元件分離範圍3之半導體基板1之p井區4，形成n通道MISFETQn。SOI絕緣膜2、U溝元件分離範圍3係例如以矽氧化膜加以構成。

n通道MISFETQn係於半導體基板1之主面上，具有介由閘極絕緣膜6所形成之閘極電極7，和形成於閘極電極7之兩側之半導體基板1之主面的不純物半導體範圍8，於閘極電極7之側面及上面各形成側壁間隔9及罩蓋絕緣膜10。

閘極絕緣膜6係由具有數nm膜厚之矽氧化膜所成，例如經由熱CVD法或熱氧化法加以形成。

閘極電極7係例如由低阻抗多結晶矽膜所成，於該上層形成矽化物層或鎢等之金屬層，達成低阻抗化亦可。

不純物半導體範圍8係做爲n通道MISFETQn之源極汲極範圍加以工作者，例如高濃度導入磷或砷等之n形不純物。

於閘極電極7及不純物半導體範圍8之上部，形成堆

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（12）

積WSi$_x$、MoSi$_x$、TiSi$_x$、TaSi$_x$等之高融點金屬矽化物膜的矽化物膜亦可。

側壁間隔9及罩蓋絕緣膜10係例如可呈矽氧化膜或矽氮化膜。於使用矽氮化膜之時，將該矽氮化膜所成側壁間隔9及罩蓋絕緣膜10做爲光罩加以使用，之後於層間絕緣膜開口自我查合之連接孔。

於半導體基板1及n通道MISFETQn之上部，形成層間絕緣膜11a。做爲層間絕緣膜11a，可使用BPSG（Boron-doped PhosphoSilicate Glass）膜或PSG（PhosphoSilicate Glass）膜等之回流膜，於層間絕緣膜11a之下部或上部，經由CVD法或濺射法所形成之矽化膜之堆積層。層間絕緣膜11a係堆積之後，例如經由CMP法加以研磨，該表面則被平坦化。

於不純物半導體範圍8上之層間絕緣膜11a，設置連接孔12，連接孔12中，形成例如由濺射法所形成之鎢膜13a、以及例如由覆蓋CVD法或選擇CVD法所形成之鎢所成金屬柱塞13b。

於層間絕緣膜11a之上層，形成層間絕緣膜11b（第1層間絕緣膜），配線14形成於形成層間絕緣膜11b之配線溝15內。

層間絕緣膜11b係例如以CVD法或濺射法所形成之矽氧化膜所構成。然而，於層間絕緣膜11b之表面，形成括傷11c。此係如後所說明，進行配線14之形成時之CMP法的研磨中，確實除去層間絕緣膜11b之表

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

面金屬膜地，爲形成進行某程度之過研磨者，爲ＣＭＰ研磨劑之括傷。

配線１４係主導電層１４ａ和氮化鈦膜１４ｂ所成。主導電膜１４ａ係例如以銅所構成，但不限於此鋁或鎢或此等之合金亦可。令此等低阻抗率低之材料爲主導電層，伴隨配線１４之微細化，抑制配線阻抗之上昇。由此可達成半導體積體電路裝置之高性能化。氮化鈦１４ｂ係構成主導電層１４ａ之材料，例如可做爲防止銅之擴散的防護膜加以作用，除氮化鈦膜之外，例如可爲鉭膜、氮化鉭膜、氮化鎢膜、濺射鎢膜、或此等之矽之化合物者。

於配線１４之上面，形成彎曲１４ｃ（彎曲）。此係，於形成配線１４，如後所說明，經由ＣＭＰ法之研磨加以形成，由於構成配線１４之金屬材料和層間絕緣膜１１ｂ的矽氧化膜的ＣＭＰ法的研磨速度之不同而產生的。即，金屬部分較矽氧化膜，其ＣＭＰ之研磨速度爲大，爲確實形成配線１４，進行某程度之過研磨之時，較矽氧化膜，金屬可快速研磨，相對地形成凹陷之表面。

於配線１４及層間絕緣膜１１ｂ之上面，形成層間絕緣膜１６。層間絕緣膜１６係由連接於配線１４及層間絕緣膜１１ｂ所成之防護層１６ａ、平坦化層１６ｂ及絕緣膜１６ｃ所構成。

防護層１６ａ係具有例如可呈經由電漿ＣＶＤ法形成之矽氮化膜，抑制構成配線１４之主導電膜１４ａ的銅之擴散之機能。由此，與氮化鈦１４ｂ之效果，可防止層間

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（14）

絕緣膜１１ａ、１１ｂ、１６之銅擴散，保持此等之絕緣膜，可提升半導體積體電路裝置之可靠性。然而，防護層１６ａ之膜厚係於使用矽氮化膜之時，可呈約１００ｎｍ。

平坦化層１６ｂ係具有自我流動性之被膜，例如呈ＳＯＧ膜，除去括傷１１ｃ及彎曲１４ｃ之影響，可平坦化該表面。如此經由具有平坦化層１６ｂ地，確保層間絕緣膜１６之表面平坦性，如後所說明，於埋入層間絕緣膜１６之第２層配線之形成時，防止金屬膜之殘留物之形成，防止第２層配線之短路不良，可提升半導體積體電路裝置之產率和可靠性。

絕緣膜１６ｃ係例如經由ＣＶＤ法形成之矽氧化膜，具有確保層間絕緣膜１６之膜厚機能。因此，經由平坦化層１６ｂ，於可確保層間絕緣膜１６之充分膜厚時，可以不需要。

於層間絕緣膜１６形成配線溝１７，於配線溝１７內形成金屬配線之配線１８。然而，配線溝１７之一部分係亦包含爲連接形成於該下部之配線１４的連接孔。即，形成配線溝和連接孔，於包含該配線溝及連接孔內之基板，堆積金屬膜，例如經由ＣＭＰ法，除去配線溝以外之範圍之金屬膜，以將連接配線及配線一體形成之所謂連接孔配線同時成形法（dual damascene）加以形成。

配線１８係與配線１４同樣地，由主導電層１８ａ和氮化鈦膜１８ｂ所成。主導電層１８ａ係例如可例示銅，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

但爲鋁、鎢或此等之合金亦可。將此等低阻抗率低之材料，經由主導電層，伴隨配線１８之微細化，抑制配線阻抗之上昇，由此可達成半導體積體電路裝置之高性能化。氮化鈦膜１８ｂ係做爲構成主導電層１８ａ之材料例如防止銅擴散之防護膜加以作用，除氮化鈦膜之外，例如可爲鉭膜、氮化鉭膜、氮化鎢膜、濺射鎢膜、或此等之矽之化合物者。

然而，配線１８係如後說明，經由使用ＣＭＰ法之研磨，除去形成於層間絕緣膜１６上之金屬膜加以形成，層間絕緣膜１６之表面之平坦性係如前述加以確保之故，於該表面不存在配線溝１７以外之凹部，因此不形成配線１８以外之金屬膜之殘留物。爲此，不會產生起因於金屬殘留物之配線１８之短路不良，可達提升半導體積體電路之產率和可靠性。又，層間絕緣膜１６之表面爲十分平坦之故，在於爲形成配線之ＣＭＰ的研磨中，無需過度之研磨。結果，抑制配線１８之彎曲，更且可防止形成多層之配線（第３金屬配等）時之上層配線之短路不良，以提升半導體積體電路裝置之產率和可靠性。

於配線１８上形成層間絕緣膜１６及配線１８同樣之層間絕緣膜及配線，再呈多層構成亦可。此時，設置與平坦化層１６ｂ同樣之平坦化層，可確實進行上層配線之加工者係與配線１８之情形相同。

接著，將上述之半導體積體電路裝置之製造方法依圖面加以說明。圖２～圖１５係將本發明之一實施形態之半

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（16）

導體積體電路裝置之製造方法之一例，依該工程順序加以顯示之截面圖。首先，準備具有經由高濃度氧植入法所形成之ＳＯＩ絕緣膜２的ｐ⁻形單結晶矽所成之半導體基板１，將ｐ形之導電形之不純物例如將硼經由離子植入等加以滲雜，於形成ｐ井區４。ｐ井區４係於高濃度氧植入法之外延成長時，混入不純物氣體，進行滲雜亦可。

接著，於半導體基板１之主面，形成到達ＳＯＩ絕緣層２之Ｕ溝，之後例如堆積矽氧化膜後，使用ＣＭＰ法除去多餘之矽氧化膜，於前述Ｕ溝埋入矽氧化膜，形成Ｕ溝元件分離範圍３（圖２）。

接著，於半導體基板１之主面，順序堆積呈閘極絕緣膜６之矽氧化膜、呈閘極電極７之多結晶矽膜及呈掩蓋絕緣膜１０之矽氧化膜，形成堆積層，將經由光蝕刻圖案化之光阻劑做爲光罩蝕刻前述堆積層，形成閘極絕緣膜６、閘極電極７及掩蓋絕緣膜１０（圖３）。閘極絕緣膜６係例如可經由熱ＣＶＤ法加以堆積，閘極電極７係可經由ＣＶＤ法加以形成。爲減低該阻抗值，令ｎ形之不純物（例如Ｐ）加以滲雜亦可。然而，於閘極電極７之上部，堆積ＷＳｉₓ、ＭｏＳｉₓ、ＴｉＳｉₓ、ＴａＳｉₓ等之高融點金屬矽化物膜亦可。掩蓋絕緣膜１０係例如可經由ＣＶＤ法加以堆積。掩蓋絕緣膜１０係例如可經由ＣＶＤ法加以堆積。

接著，於半導體基板１上，以ＣＶＤ法堆積氧化矽膜後，以反應性離子蝕刻（ＲＩＥ）法，將該氧化矽膜經由

（請先閱讀背面之注意事項再填寫本頁）
裝 訂
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

向異性蝕刻，於閘極電極７之側壁形成側壁間隔９，將ｎ形不純物（磷）進行離子植入，於閘極電極７之兩側之ｐ井區４，形成構成ｎ通道ＭＩＳＦＥＴＱｎ之源極、汲極範圍的不純物半導體範圍８（圖４）。然而，於側壁間隔９之形成前，形成低濃度之不純物半導體範圍，於側壁間隔９之形成後，形成高濃度之不純物半導體範圍亦可。

接著，於半導體基板上，以濺射法或ＣＶＤ法堆積氧矽膜後，例如將氧化矽膜以ＣＭＰ法加以研磨，形成該表面被平坦化之層間絕緣膜１１ａ。更且，於半導體基板１之主面之不純物半導體範圍８上之層間絕緣膜１１ａ，使用光蝕刻技術，開出連接孔１２（圖５）。

接著，經由濺射法堆積鎢膜１３ａ，更且經由敷層ＣＶＤ法，堆積鎢膜１３ｃ（圖６）。

接著，令連接孔１２以外之層間絕緣膜１１ａ上之鎢膜１３ｃ及鎢膜１３ａ，例如經由深蝕刻法加以除去，形成金屬插梢１３ｂ（圖７）。

接著，以濺射法或ＣＶＤ法堆積氧化膜，形成層間絕緣膜１１ｂ，使用光蝕刻技術及蝕刻技術加以加工，形成配線溝１５（圖８）。然而，在此，做爲層間絕緣膜１１，例示以濺射法或ＣＶＤ法所形成之矽氧化膜，堆積ＳＯＧ等之塗布膜、有機膜、添加氟之ＣＶＤ矽氧化膜、矽氮化膜、其他之複數絕緣膜的多層膜亦可。又，配線溝１５係於後埋入配線材料，形成配線１４之範圍。然而，本實施形態１中，雖形成金屬插梢１３之後，形成配線溝

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

１５，於開口連接孔１２後形成配線溝１５，之後形成金屬插梢１３亦可。

接著，於半導體基板１之整面，堆積呈配線１４之氮化鈦膜１４ｂ之氮化鈦膜１４ｂ（圖９）。氮化鈦膜１４ｂ係例如可經由ＣＶＤ法或濺射法加以堆積。氮化鈦膜１４ｂ之堆積係，之後之說明係爲銅膜之密接性之提升及銅之擴散防止而進行者。然而，於本實施形態１中，雖例示氮化鈦膜，亦可爲鉭等之金屬膜或氮化鉭膜等。又，於下個工程之主導電層１４ａ之堆積前，濺射蝕刻氮化鈦膜１４ｂ之表面。經由濺射蝕刻法，除去吸附於氮化鈦膜１４ｂ之表面之水、氧分子等，可改善主導電膜１４ａ之黏著性。尤其，氮化鈦膜１４ｂ之堆積後，將真空破壞令表面曝於大氣，於堆積該主導電膜１４ａ之時效果爲大。

接著，堆積主導電膜１４ａ之金屬，例如堆積銅之薄膜，將此熱處理加以流動化，於配線溝１５形成良好埋入之金屬膜１９（圖１０）。銅膜之堆積係可使用通常之濺射法，但亦可使用蒸著法等之物理性氣相成長法。又，熱處理之條件係構成金屬膜１９之銅需流動化之溫度及時間，例如可爲３５０℃～４００℃，３分～５分。

接著，除去層間絕緣膜１１ｂ上之多餘氮化鈦膜１４ｂ及金屬膜１９，形成構成配線１４之主導電層１４ａ及氮化鈦膜１４ｂ（圖１１），除去氮化鈦膜１４ｂ及金屬膜１９，係經由使用ＣＭＰ法的研磨加以進

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

行。於配線１４之形成爲使用ＣＭＰ法地，配線１４之表面係較層間絕緣膜１１ｂ之表面，形成彎曲狀態之彎曲１４ｃ，奐，於層間絕緣膜１１ｂ之表面，形成ＣＭＰ之研磨劑等所勾出之傷痕的括傷１１ｃ。

接著，於配線１４及層間絕緣膜１１ｂ上，堆積矽氮化膜，形成防護膜層１６ａ（圖１２）。矽氮化膜之堆積後，例如可使用電漿ＣＶＤ法。膜厚係約１００ｎｍ。

接著，塗佈具有自我流動性之被膜的ＳＯＧ膜，更且進行４００℃程度之熱處理固化，該表面則形成平坦化之平坦化層１６ｂ（圖１３）。做爲ＳＯＧ膜，可使用有機或無機之ＳＯＧ膜。又，可使用聚矽胺烷系之ＳＯＧ膜。於聚矽胺烷系之ＳＯＧ膜時，具有耐熱性，提升半導體積體電路裝置之可靠性。

接著，堆積絕緣膜１６ｃ完成層間絕緣膜１６。絕緣膜１６ｃ係例如可爲１ｃｖｄ法之矽氧化膜。絕緣膜１６ｃ之表面即層間絕緣膜１６之表面，經由平坦化習１６ｂ之存在可確保平坦性。之後，形成配線溝１７（圖１４）。於配線溝１７中，包含與下層配線之配線１４連接之連接孔。

接著，與配線１４時之同樣地，堆積呈配線１８之一部的氮化鈦膜１８ｂ，更且堆積呈主導電層１８ａ之金屬，例如堆積銅薄膜，將此熱處理流動化，形成良好地埋入於配線溝１７的金屬膜２０（圖１５）。對於氮化鈦膜１８ｂ及金屬膜２０，與前述氮化鈦１４ｂ及金屬膜１９

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（20）

同樣之故，省略其說明。

最後，除去層間絕緣膜１６上之金屬膜２０及氮化鈦膜１８ｂ，形成配線１８，幾近完成圖１所示之半導體積體電路裝置。使用ＣＭＰ法以除去此金屬膜２０及氮化鈦膜１８ｂ。本實施形態中，爲１確保層間絕緣膜１６之表面之平坦性之故，爲形成配線１８進行ＣＭＰ時，於層間絕緣膜１６之表面不存在不想要的凹部之故，不會產生不需要之金屬膜２０或氮化鈦膜１８ｂ之殘留物。爲此，防止起因於如此之殘留物之配線１８之短路不良之產生，可達提升半導體積體電路裝置之產率和可靠性。

又，爲確保層間絕緣膜１６之表面之平坦化，不進行過度之ＣＭＰ之過度研磨，可確實進行配線１８之形成，可防止過度研磨。爲此，抑制配線１８表面彎曲，可防止形成於該上層之配線短路不良，以提升半導體積體電路裝置之產率和可靠性。

然而，本實施形態１中，做爲平坦化層１６ｂ，可呈例示了ＳＯＧ膜，經由氣相中矽烷醇（$H_nSi(OH)_{4-n}$）之生成和低溫基板之矽烷醇之反應所形成之矽氧化膜。如此之矽氧化膜係於減壓氣氛中，例如經由矽烷（SiH_4）和過氧化氫之化合，形成矽烷醇，將此於基板表面吸附，反應加以被膜之後，經由進行４５０℃以下之熱處理固化加以形成，經由如此之矽烷醇之吸附、反應，堆積之被膜係具有自我流動性，與前述ＳＯＧ膜同樣地，可確保層間絕緣膜１６之表面的平坦性。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（21）

然而，做爲矽烷醇形成之原料氣體，除了矽烷氣體以外，可例氫基（－H）被置換爲甲基（－CH_3）、乙基（－C_2H_5）等之烷基的甲基矽烷（二甲基矽烷、三甲基矽烷等）、或乙基矽烷（二乙基矽烷、三乙基矽烷等）等之烷基矽烷（SiH_xM_{4-x}（唯M係碳數1～3之烷基、$1 \leq x \leq 4$））。令烷基之碳數呈3以下，係考量保持於低溫之半導體基板上之烷基矽烷（SiH_xM_{4-x}）之吸附增大所產生之矽烷醇生成反應之促進，和將原料氣體以氣相供給之便利性者。

（實施形態2）

圖16係顯示本發明其他實施形態之半導體積體電路裝置之一例的截面圖。

本實施形態2之半導體電路裝置係將實施形態1之半導體積體電路裝置之層間絕緣膜16置換爲層間絕緣膜21者，其他之構件係與實施形態1相同。因此，對於此等同樣之構件則省略其說明。

層間絕緣膜21係藉由與實施形態1之防護層16a同樣之防護層21a及藉由CVD法所堆積之CMP法所平坦化之矽氧化膜21b所成。防護層21a係與實施形態1之防護層16a同樣地，由具有約100nm之膜厚之矽氮化膜所成。矽氮化膜21b本身具有充分之膜厚之故，如實施形態1之層間絕緣膜16，未形成絕緣膜16c。但是，令矽氮化膜21b之膜厚變薄，與實施形

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（22）

態1同樣地，形成相當於絕緣膜16c之絕緣膜，形成充分之層間絕緣膜21亦可。

接著，將上述半導體積體電路裝置之製造方法依據圖面加以說明。圖17～圖20係將本發明之其他實施形態之半導體積體電路裝置之製造方法之一例依工程順序顯示之截面圖。

本實施形態2之半導體積體電路之製造方法係至實施形態1之圖11之工程部分爲相同者。

之後，與實施形態1之防護層16a相同地堆積矽氮化膜，形成防護層21a。更且，將具有充分膜厚之矽氧化膜22，例如經由CVD法（圖17）。在此，經由CVD法所形成之矽氧化膜22係非具有自我流動性之膜之故，於該表面形成起因於彎曲14c及括傷11c的凹部23。

接著，將矽氧化膜22藉由CMP法加以研磨（圖18）。由此，消除形成於矽氧化膜22之表面的凹部23，形成矽氮化膜21b，該表面形成平坦之層間絕緣膜21。又，本實施形態2之製造方法中，爲使用CMP法，加上可消除凹部23，更可提升半導體基板1整體之平坦性。接著，與實施形態1同樣地，於層間絕緣膜21形成配線溝17（圖19），與實施形態1同樣地，形成呈氮化鈦膜18b及主導電膜層18a的金屬膜20（圖20）。

最後，除去層間絕緣膜21上之金屬膜20及氮化鈦

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（23）

膜１８ｂ，形成配線１８，幾近完成圖１６所示之半導體積體電路裝置。此金屬膜２０及氮化鈦膜１８ｂ之除去中，使用與實施形態１同樣之ＣＭＰ法。於本實施形態中，已確保層間絕緣膜２１表面平坦性，爲形成配線１８進行ＣＭＰ時，仍不會於層間絕緣膜２１表面產生無意之金屬膜２０或氮化鈦膜１８ｂ之殘留物。爲此，可防止起因於如此殘留物之配線１８之短路不良的產生，而可提升半導體積體電路裝置之產率和可靠性。

又，爲確保層間絕緣膜２１之表面之平坦性，不進行過度之ＣＭＰ之過研磨，仍可確實進行配線１８之形成，而防止過度研磨。爲此，抑制配線１８表面之彎曲，防止形成於該上層之配線之短路不良，以提升半導體積體電路裝置之產率和可靠性。

〔實施形態３〕

圖２１係顯示本發明之另外實施形態之半導體積體電路裝置之一例的截面圖。

本實施形態３之半導體積體電路裝置係具有形成於半導體基板１０１上之ｎ通道ＭＩＳＦＥＴＱｎ及ｐ通道ＭＩＳＦＥＴＱｐ係構成ＣＭＩＳＦＥＴ（Complimentary－ＭＩＳＦＥＴ），以構成半導體積體電路，於半導體積體電路中，雖未圖示，包含阻抗、電容等之被動元件。然而，於本實施形態中雖例示了ＣＭＩＳＦＥＴ，以ｎ通道ＭＩＳＦＥＴＱｎ或ｐ通道ＭＩＳＦＥＴＱｐ之單一通道

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（24）

之ＭＩＳＦＥＴ構成半導體積體電路亦可。更且，於本實施形態中，雖例示有ＭＩＳＦＥＴ，但亦可使用雙極電晶體或Ｂｉ－ＣＭＩＳＦＥＴ等之其他電晶體構造之半導體元件，構成半導體積體電路。

於半導體基板１０１中，於該主面附近形成元件分離範圍１０２，在於以元件分離範圍１０２所包圍之活性範圍中，形成ｐ型不純物（例如硼）被低濃度導入之ｐ型井區１０３及ｎ型不純物（例如磷、砷）被低濃度導入之ｎ型井區１０４。ｎ通道ＭＩＳＦＥＴＱｎ係形成於ｐ型井區１０４之活性範圍主面。元件分離範圍１０２係形成於半導體基板１０１之主面之淺溝內，例如由矽氧化膜所成。然而，半導體基板１０１如實施形態１所說明，做爲ＳＯＩ基板亦可。

Ｎ通道ＭＩＳＦＥＴＱｎ係具有於ｐ型井區１０３之主面上，介由絕緣膜１０５所形成之閘極電極１０６，和形成於閘極電極１１０６之兩側之半導體基板１０１之主面上之ｎ型半導體範圍１０７者。又，ｐ通道ＭＩＳＦＥＴＱｐ係具有於ｎ型井區１０４之主面上１，介由閘極絕緣膜１０５形成之閘極電極１０６，和形成於閘極電極１０６之兩側之半導體基板１０１之主面的ｐ型半導體範圍１０８。

閘極絕緣膜１０５係由具有數ｎｍ膜厚之矽氧化膜所成，例如可經由熱氧化法或熱ＣＶＤ法所形成。閘極電極１０６係例如由低阻抗多結晶矽膜所成，於該上層形成鎢

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（25）

、鈷等之矽化物層，或介由氮化鈦、氮化鎢等之阻隔金屬形成之鎢、鉬、鈦、鉭等之金屬層以達成低阻抗化亦可。

半導體範圍１０７、１０８係做爲ｎ通道ＭＩＳＦＥＴＱｎ、ｐ通道ＭＩＳＦＥＴＱｐ之源極、汲極範圍加以工作者。於半導體範圍１０７中導入ｎ型不純物（例如磷或砷），於半導體範圍１０８導入ｐ型不純物（例如硼）。半導體範圍１０７、１０８係做爲將不純物導入低濃度之低濃度半導體範圍，和不純物導入至高濃度之高濃度半導體範圍所成ＬＤＤ構成亦可。又，於半導體範圍１０７、１０８上部，堆積ＷＳｉｘ、ＭｏＳｉｘ、ＴｉＳｉｘ、ＴａＳｉｘ等之高融點金屬矽化物膜形成矽化物膜亦可。

於閘極電極１０６之側面及上面，各形成側壁間隔１０９及掩蓋絕緣膜１１０。側壁間隔１０９及掩蓋絕緣膜１１０係例如可呈矽氧化膜或矽氮化膜，於使用矽氮化膜時，將該矽氮化物膜所成側壁間隔１０９及掩蓋絕緣膜１１０做爲光罩加以使用，於後所說明之層間絕緣膜，自我整合地開口連接孔。

於半導體基板１０１、ｎ通道ＭＩＳＦＥＴＱｎ及ｐ通道ＭＩＳＦＥＴＱｐ之上部，形成層間絕緣膜１１１。做爲層間絕緣膜１１１，可使用ＢＰＳＧ膜或ＰＳＧ膜等之回流膜，可爲於層間絕緣膜１１１之下部或上部，經由ＣＶＤ法或濺射法所形成之矽氧化膜之堆積膜。層間絕緣膜１１１係例如經由ＣＭＰ法該表面被加以平坦化。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（26）

於半導體範圍１０７、１０８上之層間絕緣膜１１１上，設置連接孔１１２，於連接孔１１２中，例如形成經由濺射法所形成之鎢膜１１３ａ，及經由覆蓋ＣＶＤ法或選擇ＣＶＤ法所形成之鎢膜１１３ｂ所成之柱塞１１３。

於層間絕緣膜１１１之上層，形成第１層配線Ｍ１。於第１層配線Ｍ１中，例如以光蝕刻技術，可使用圖案化之鎢膜。第１層配線Ｍ１係介由柱塞１１３電氣連接半導體範圍１０７、１０８。然而，於第１層配線Ｍ１使用鎢材料之故，無構成第１層配線Ｍ１之元素之半導體基板的擴散問題，可得構成高可靠性之半導體積體電路裝置。

於第１層配線Ｍ１及層間絕緣膜１１１之上層，形成絕緣第１層配線Ｍ１和之後所說明之第２層配線Ｍ２之層間的配線層間絕緣膜１１４。配線層間絕緣膜１１４係例如將以ＣＶＤ法所形成之矽氧化膜，經由ＣＭＰ法研磨，該表面被平坦化構成。於層間的配線層間絕緣膜１１４，形成連接孔１１５。於連接孔１１５中，例如形成經由濺射法所形成之鎢膜１１６ａ，及例如經由覆蓋ＣＶＤ法或選擇ＣＶＤ法所形成之鎢膜１１６ｂ所成柱塞１１６。然而，代替鎢膜１１６ａ，可使用以濺射法或ＣＶＤ法所形成之氮化鈦膜。

於配線層間絕緣膜１１４上，形成爲形成第２層配線Ｍ２之配線形成用絕緣膜１１７。配線形成用絕緣膜１１７係可呈例如以ＣＶＤ法所形成之矽氧化膜。然而，於配線形成用絕緣膜１１７表面，雖形成損傷之傷痕，而

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（27）

省略該圖示。此係如後所說明，於第２層配線Ｍ２之形成時所進行之ＣＭＰ法加以研磨中，確實地除去配線形成用絕緣膜１１７之表面金屬膜地，爲形成某程度之過研磨，爲ＣＭＰ研磨劑之括傷。

於配線形成用絕緣膜１１７中，形成配線溝１１８，於配線溝１１８中形成第２層配線Ｍ２。第２層配線Ｍ２係例如由氮化鈦所成阻隔層１１９ａ，和例如銅所成之主導電層１１９ｂ所成。如此地，令主導電層１１９ｂ以阻抗率小之銅等之材料加以使用之故，可減低第２配線層Ｍ２之阻抗值，減低半導體元件間之配線阻抗，縮短電路之延遲時間，提升半導體積體電路裝置之回應速度，提升半導體積體電路裝置之性能。

然而，做爲阻隔層１１９ａ，代替氮化鈦可使用鉭、氮化鎢、氮化鉭、氧化鉭、氮氧化矽。又，於主導電層１１９ｂ，代替銅可使用鋁、鎢。阻隔層１１９ａ係防止構成主導電層１１９ｂ之金屬元素之擴散，確保配線間之絕緣性，可具有高等之半導體積體電路裝置之性能及可靠性。

又，第２層配線Ｍ２係如後所說明，雖爲使用ＣＭＰ法所形成，由於起因於構成配線形成用絕緣膜１１７之材料（例如矽氧化膜）和構成第２層配線Ｍ２之才料（例如銅及氮化鈦）之ＣＭＰ法的研磨速度之不同，於該表面形成凹陷形狀之凹部（彎曲部）１２０。即，爲確實進行形成第２層配線Ｍ２之某程度之過研磨時，較矽氧化膜而言

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（28）

，銅等則以較快之研磨，相對地形成凹陷之表面。當存在如此之凹部１２０時，其起因之問題點係如上述所述。

於配線形成用絕緣膜１１７及第２層配線Ｍ２之表面，形成配線形成用絕緣膜１２１。配線形成用絕緣膜１２１係連接第２層配線Ｍ２及配線形成用絕緣膜１１７所形成之防護層１２１ａ、平坦化層１２１ｂ及絕緣膜１２１ｃ所構成。

防護層１２１ａ係可呈例如經由電漿ＣＶＤ法所形成之矽氮化膜，具有抑制構成第２層配線Ｍ２之主導電層１１９ｂ之銅擴散的功能。由此，伴隨氮化鈦所成阻隔層１１９ａ之效果，可防止銅之擴散，保持配線層間絕緣膜１１４、配線形成用絕緣膜１１７、配線層間絕緣膜１２１等之絕緣性，而提高半導體積體電路裝置之可靠性。然而，防護層１２１ａ之膜厚係於使用矽氮化膜之時，可呈約１００ｎｍ。又，做爲防護層１２１ａ，代替矽氮化膜，可使用矽氮氧化物。

平坦化層１２１ｂ係由具有自我流動性之被膜所成，例如ＳＯＧ膜，除去凹部１２０之影響，可令該表面平坦化。如此地經由具有平坦化層１２１ｂ，可確保配線層間絕緣膜１２１之表面的平坦性，如後所述明，可防止於配線層間絕緣膜１２１埋入柱塞或於上層配線形成時，形成金屬膜殘留物，以防止上層配線間之短路不良，確保半導體積體電路裝置之所定性能，提升產率和可靠性。

然而，平坦化層１２１ｂ係可呈無機ＳＯＧ膜。由此

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（29）

，於後所說明之平坦化層１２１ｂ之連接孔之開口工程的光蝕刻膜之剝離時，不產生平坦化層１２１ｂ之吸水性之附與或平坦化層１２１ｂ之體積減少，而可提升半導體積體電路裝置之可靠性。另一方面，平坦化層１２１ｂ係可呈有機ＳＯＧ膜。由此，雖於連接孔開口工程有前述不妥，可利用有機ＳＯＧ膜之低介電常數，可減低配線間之線間容量，以達半導體積體電路裝置之高速化，而提升該性能。

絕緣膜１２１ｃ係可呈例如經由ＣＶＤ法形成之矽氧化膜，具有確保配線層間絕緣膜１２１之功能。因此，經由平坦化層１２１ｂ，可確保配線層間絕緣膜１２１之充分膜厚時，則不需要。

然而，於配線層間絕緣膜１２１中，於防護層１２１ａ和平坦化層１２１ｂ間，更可形成經由ＣＶＤ法所形成之矽氧化膜。

於配線層間絕緣膜１２１中，形成連接孔１２２，於連接孔１２２中，形成與前述之柱塞１１６同樣之柱塞１２３。又，於配線層間絕緣膜１２１及柱塞１２３上，形成與前述配線形成用絕緣膜１１７及第２層配線Ｍ２同樣之配線形成用絕緣膜１２４及第３層配線Ｍ３。對於柱塞１２３，配線形成用絕緣膜１２４及第３層配線Ｍ３，與前述柱塞１１６，配線形成用絕緣膜１１７及第２層配線Ｍ２同樣之故，省略詳細之說明。即，，第３層配線Ｍ３係與第２層配線Ｍ２同樣地，以阻隔層和銅所成主導

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（30）

電層加以構成。

又，於第3層配線Ｍ3之表面，形成與第2層配線Ｍ2同樣之凹部１２５，存在構成配線形成用絕緣膜１２６之平坦化層１２６ｂ之故，配線形成用絕緣膜１２６之表面係可解除起因於凹部１２５之凹凸，形成於上層之柱塞或於上層配線之形成時，防止金屬膜之殘留物之形成，防止上層配線間之短路不良，確保半導體積體電路裝置之所定性能，可提升產率和可靠性。平坦化層１２６ｂ係與平坦化層１２１ｂ同樣地，由具有自我流動性之被膜所成，例如ＳＯＧ膜所成。又，構成配線形成用絕緣膜１２６之其他層，即對於防護層１２６ａ及絕緣膜１２６ｃ，與前述防護層１２１ａ及絕緣膜１２１ｃ同樣。因此，省略此等之詳細說明。然而，於防護層１２６ａ和平坦化層１２６ｂ間，更且可形成經由ＣＶＤ法所形成之矽氧化膜，與配線層間絕緣膜１２１之情形同樣。

於配線形成用絕緣膜１２６，形成連接孔１２７。形成與前述柱塞１１６同樣之柱塞１２８。又，於配線形成用絕緣膜１２６及柱塞１２８上，形成與前述之配線形成用絕緣膜１１７及第2層配線Ｍ2同樣之配線形成用絕緣膜１２９及第4層間配線Ｍ4。即，第4層間配線Ｍ4係與第2層間配線Ｍ2同樣地，以阻隔層和銅所成主導電層加以構成。但是，配線形成用絕緣膜１２９之膜厚及第4層配線Ｍ4之膜厚及寬度係較配線形成用絕緣膜１１７及第2層配線Ｍ2者爲大。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（31）

又，於第４層配線Ｍ４之表面中，雖形成與第２層配線Ｍ２同樣之凹部１３０，存在構成配線層間絕緣膜１３１之平坦化層１３１ｂ，配線層間絕緣膜１３１之表面係解除起因於凹部１３０之凹凸，可防止形成於上層之柱塞或上層配線之形成時形成金屬膜之殘留物，可防止上層配線間之短路不良。由此，確保半導體積體電路裝置之所定性能，而提升產率和可靠性。平坦化層１３１ｂ係與前述平坦化層１２１ｂ同樣地，由具有自我流動性之被膜例如ＳＯＧ膜所成。又，構成配線層間絕緣膜１３１之其他層、即對於防護層１３１ａ及絕緣膜１３１ｃ，與前述防護層１２１ａ及絕緣膜１２１ｃ同樣。因此，此等之詳細說明則省略。然而，配線層間絕緣膜１３１之膜厚係較配線層間絕緣膜１２１爲厚。又，於防護層１３１ａ和平坦化層１３１ｂ間，更且可形成經由ＣＶＤ法所形成之矽氧化膜，與配線層間絕緣膜１２１之情形相同。

於配線層間絕緣膜１３１中，形成連接孔１３２，於連接孔１３２中，形成與前述柱塞１１６同樣地由鎢所成柱塞１３３。但是，柱塞１３３之口徑及高度係因配線層間絕緣膜１３１之膜厚變厚，較柱塞１１６者爲大。

又，於配線層間絕緣膜１３１及柱塞１３３上，形成第５層配線Ｍ５。第５層配線Ｍ５係例如由鋁或鋁合金所成，使用光蝕刻技術及蝕刻技術所形成。

如此由鋁或鋁合金所成之第５層配線層Ｍ５，和銅所成主導電層所構成之第４層配線Ｍ４，介由鎢所成阻隔層

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（32）

，經由電氣連接，鋁和銅被反應，可防止阻抗之增大。

第５層配線Ｍ５係以絕緣膜１３４所被覆。絕緣膜１３４係可爲例如以ＣＶＤ法所形成之矽氧化膜或矽氮化膜或爲此等之堆積層膜。於絕緣膜１３４中，更包含ＰＩＱ等之保護膜。

絕緣膜１３４之一部分中，形成開口，介由於此開口部所形成之突起基台金屬（ＢＬＭ）１３５，電氣連接突起電極１３６和第５層間配線Ｍ５。突起基台金屬１３５係例如可呈鎳和金之堆積膜。又，突起電極１３６係可呈金或銲錫。然而，做爲第５層配線Ｍ５之材料，雖可使用銅，經由使用鋁，可使突起基台金屬突起基台金屬１３５及突起電極１３６之整合性變好。

又，非以突起電極１３６，於第５層配線Ｍ５，形成線接合合之接合墊片２，經由以較銅不易氧化之鋁合金形成接合墊片，可提升可靠性。又，如第５層配線Ｍ５之上層之配線層中，配線間之間隔等之配線製程可較第２～第４層配線Ｍ２～Ｍ４更爲寬鬆之故，以較銅無氧化等問題之鋁膜，構成上層之配線之故，可提升可靠性。另一方面，於第２～第４層配線Ｍ２～Ｍ４中，令該配線寬度、配線間隔變小，可高密度設置配線的同時，經由使用較鋁比阻抗爲小之銅爲主導電膜，可令配線阻抗變小，提升電路之動作速度。

然而，列舉第１層配線Ｍ１至第５層配線Ｍ５之膜厚及寬度、柱塞１１６、１２３、１２８、１３３之口徑及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（33）

高度之時，則如下所述。例如第１層配線Ｍ１之膜厚係０．２～０．３μｍ、最小寬度可爲０．４μｍ，第２層配線Ｍ２及第３層配線Ｍ３之膜厚係０．５μｍ、最小寬度可爲０．５μｍ，第４層配線Ｍ４之膜厚係１μｍ、最小寬度可爲１μｍ。又，例如柱塞１１６、１２３、１２８之口徑爲０．５μｍ，該高度爲１μｍ，柱塞１３３之口徑爲１μｍ，該高度爲２μｍ。

接著，將上述半導體積體電路裝置之製造方法根據圖面加以說明。圖２２～圖５４係將本實施形態３之半導體積體電路裝置之製造方法之一例，依該工程順序顯示之截面圖。

首先，例如準備ｐ－形之單結晶矽所成之半導體基板１０１，將具有形成元件分離範圍１０２之範圍開口的光阻膜加以圖案化，於半導體基板１０１形成淺溝。接著，除去光阻膜，將埋入前述淺溝之矽氧化膜堆積於半導體基板１０１之整面，將該矽氧化膜經由ＣＭＰ法加以研磨。由此除去淺溝以外之範圍之半導體基板１０１上之前述矽氧化膜，於淺溝內形成元件分離範圍１０２。

接著，於半導體基板１０１之主面上，順序堆積呈閘極絕緣膜１０５之矽氧化膜，呈閘極絕緣膜１０６之多結晶矽膜及掩蓋絕緣膜１１０之矽氧化膜，以形成堆積層，將經由光蝕刻圖案化之光阻膜，做爲光罩蝕刻前述堆積層，形成閘極絕緣膜１０５、閘極電極１０６及掩蓋絕緣膜１１０（圖２３）。閘極絕緣膜１０５係例如經由熱

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（34）

ＣＶＤ法所堆積，閘極絕緣膜１０６係例如經由ＣＶＤ法所形成，但爲減低該阻抗值，滲雜ｎ形之不純物（例如磷）亦可。然而，於閘極電極１０６之上部，堆積ＷＳｉｘ、ＭｏＳｉｘ、ＴｉＳｉｘ、ＴａＳｉｘ等之高融點金屬矽化物膜亦可，介由氮化鈦（ＴｉＮ）、氮化鎢（ＷＮ）等之阻隔層，形成鎢、鉬、鈦、鉭等之金屬層亦可。掩蓋絕緣膜１１０係例如可經由ＣＶＤ法堆積。

接著，將ｎ通道ＭＩＳＦＥＴＱｎ所形成之範圍具有開口之光阻膜加以圖案化，將此光阻膜和掩蓋絕緣膜１１０做爲光罩，植入ｎ型導電型不純物，例如植入磷，將半導體範圍１０７對閘極電極１０６自我整合地加以形成。除去前述光阻膜之後，於形成ｐ通道ＭＩＳＦＥＴＱｐ的範圍，將具有開口之光阻膜加以圖案化，令該光阻膜和掩蓋絕緣膜１１０做爲光罩，植入ｐ型導電型不純物，例如離子植入硼，將半導體範圍１０８對閘極電極１０６自我整合地加以形成。更且，於半導體基板１０１上，以ＣＶＤ法堆積氧化矽膜後，以反應性離子蝕刻（ＲＩＥ）法，將該氧化矽膜經由向異性蝕刻，於閘極電極１０６之側壁形成側壁間隔１０９（圖２４）。然而，更且，將光阻膜、掩蓋絕緣膜１１０及側壁間隔１０９，做爲光罩，於半導體範圍１０７或半導體範圍１０８，將對應該導電型之不純物呈高濃度地加以離子植入，即所謂形成ＬＤＤ構造之不純物半導體範圍。

又，於此階段，於半導體範圍１０７、１０８之表面

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（35）

，形成鎢或鈷之矽化物膜，減低半導體範圍１０７、１０８之薄片阻抗及柱塞１１３之接觸阻抗亦可。

接著，於半導體基板１０１上，以濺射法或ＣＶＤ法堆積氧化矽膜，形成層間絕緣膜１１１。層間絕緣膜１１１之表面係經由使用ＣＭＰ法之研磨加以平坦化。更且，於半導體基板１０１之主面之半導體範圍１０７、１０８上之層間絕緣膜１１１，使用光蝕刻技術及蝕刻技術，開口連接孔１１２（圖２５）。

接著，經由濺射法堆積鎢膜１１３ａ，更且經由覆蓋ＣＶＤ法，堆積鎢膜１１３ｂ（圖２６）。

接著，將連接孔１１２以外之層間絕緣膜１１１上之鎢膜１１３ｂ及鎢膜１１３ａ，經由ＣＭＰ法之研磨加以除去，形成柱塞１１３（圖２７）。此時，於柱塞１１３之表面，形成起因於層間絕緣膜１１１之矽氧化膜和鎢膜１１３ｂ及鎢膜１１３ａ之ＣＭＰ研磨之速度差的凹部（彎曲部）１４０。然而，代替ＣＭＰ法使用深蝕刻法亦可。

接著，於半導體基板１之全面，堆積鎢膜，將此鎢膜經由光蝕刻及蝕刻技術加以圖案化，形成第１層配線Ｍ１（圖２８）。然而，於前工程所產生之凹部１４０之影響係亦發生於鎢膜之表面，起因於此凹部１４０之鎢膜之表面凹凸的存在，係由於第１層配線Ｍ１經由圖案化加以形成之故，不會有大的影響。即，第１層配線Ｍ１不會有起因於凹部１４０之殘留。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（36）

接著，以濺射法或ＣＶＤ法堆積氧化膜，以形成層間絕緣膜１１４。然而，在此，雖例示以濺射法或ＣＶＤ法所形成之矽氧化膜，但爲ＳＯＧ等之塗布膜、有機膜、添加氟之ＣＶＤ矽氧化膜、矽氮化膜、堆積其他複數種之絕緣膜之多層膜亦可。又，層間絕緣膜１１４之表面係經由ＣＭＰ法加以研磨而平坦化。經由如此之平坦化，可使以下說明之連接孔１１５之加工時之光蝕刻高精度地加以進行，而可容易對應半導體積體電路裝置之高積體化。

接著，使用光蝕刻技術及蝕刻技術，開口到達第１層配線Ｍ１之表面的連接孔１１５。（圖２９）

接著，於包含連接孔１１５內部之配線層間絕緣膜１１４之表面，經由濺射法堆積鎢膜１１６ａ，更且經由覆蓋ＣＶＤ法堆積鎢膜１１６ｂ（圖３０）。

接著，將連接孔１１５以外之層間絕緣膜１１４上之鎢膜１１６ｂ及鎢膜１１６ａ，經由ＣＭＰ法之研磨加以除去，形成柱塞１１６（圖３１）。此時，於柱塞１１６之表面，形成起因於層間絕緣膜１１４之矽氧化膜和鎢膜１１６ｂ及鎢膜１１６ａ之ＣＭＰ研磨之速度差的凹部（彎曲部）１４１。然而，代替ＣＭＰ法使用深蝕刻法亦可。

接著，堆積爲將第２層配線Ｍ２以ＣＭＰ法形成之配線形成用絕緣膜１１７（圖３２）。配線形成用絕緣膜１１７係可爲例如ＣＶＤ法或濺射法所形成之矽氧化膜，該膜厚係第２層配線Ｍ２之膜厚的０．５μｍ或較該爲厚

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（37）

一些地加以形成。配線形成用絕緣膜１１７之表面中，形成起因於凹部１４１之凹部。

接著，形成具有開口於第２層配線Ｍ２所形成之範圍的光阻膜，將該光阻膜做爲光罩，蝕刻配線形成用絕緣膜１１７，於配線形成用絕緣膜１１７形成配線溝１１８（圖３３）。然而，於此階段，起因於前述凹部１４１之配線形成用絕緣膜１１７表面之凹部則被除去，不會影響以後之工程。又，配線溝１１８之寬度係以最小寬度Ｗ１和最大寬度Ｗ２間之寬度加以形成，最大寬度Ｗ２係最小寬度Ｗ１之４倍以下者。

接著，於包含配線溝１１８之內部的配線形成用絕緣膜１１７的表面，堆積呈阻隔層１１９ａ之氮化鈦膜１４２（圖３４）。氮化鈦膜１４２係例如可經由ＣＶＤ法或濺射法加以堆積。氮化鈦膜１４２之堆積係如後述所說明之銅膜緊密性之提升及銅之擴散防止而進行者。然而，代替氮化鈦膜，爲鉭等之金屬膜或氮化鉭膜等亦可。又，於下個工程之銅膜之堆積前，可將氮化鈦膜１４２之表面加以濺射。經由如此之濺射，除去吸附於氮化膜１４２之表面之水、氧分子等，而改善銅膜之黏著性。

接著，呈主導電層１１９ｂ之金屬，例如堆積銅之薄膜，將此加以熱處理流動化，於配線溝１１８形成良好埋入之銅膜１４３（圖３５）。銅膜１４３之堆積係雖可使用通常之濺射法，但亦可使用蒸著法等之物理性氣相成長法。又，令有機金屬氣體等經由使用原料氣體之ＣＶＤ法

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（38）

等加以堆積亦可。熱處理之條件係，銅膜１４３流動化所需之溫度及時間，例如可例示３５０℃～４００℃、３分～５分。然而，銅膜１４３係使用電鍍或無電鍍之電鍍法加以形成。

又，氮化鈦膜１４２及銅膜１４３之膜厚係配線溝１１８之最小寬度Ｗ１之範圍膜厚Ｈ１，配線溝１１８最大寬度Ｗ２之範圍膜厚Ｈ２。此時，膜厚Ｈ１和膜厚Ｈ２係幾近相等，且較配線溝１１８之深度Ｌ１爲大。即，銅膜１４３係以配線溝１１８最小寬度Ｗ１之範圍及最大寬度Ｗ２之範圍之兩者，將配線溝１１８完全溝入。由此，第２層配線Ｍ２幾近形成於配線溝１１８之截面內之全域，可減低第２層配線Ｍ２之阻抗。

接著，除去配線形成用絕緣膜１１７上之多餘銅膜１４３及氮化鈦膜１４２，形成構成第２層配線Ｍ２之主導電層１１９ｂ及阻隔層１１９ａ（圖３６）。爲除去銅膜１４３及氮化鈦膜１４２，使用ＣＭＰ法之研磨。於第２層配線Ｍ２之形成使用ＣＭＰ法所成之研磨之故，於第２層配線Ｍ２之表面，比較配線形成用絕緣膜１１７之表面，形成凹陷狀態之彎曲１２０。將以圖３６之虛線包圍之部分擴大圖示於圖３７。如圖３７所示，於配線形成用絕緣膜１１７之表面，形成ＣＭＰ研磨劑所刮傷之損傷１４５。

又，配線溝１１８最小寬度Ｗ１之範圍之彎曲１２０之部分之彎曲量Ｋ１和最大寬度Ｗ２之範圍之彎曲１２０

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（39）

之部分彎曲量Ｋ２則呈幾近同量。

接著，於第２層配線Ｍ２及配線形成用絕緣膜１１７上堆積矽氮化膜，形成防護層１２１ａ（圖３８）。於矽氮化膜之堆積中，例如可使用電漿ＣＶＤ法。膜厚約呈１００ｎｍ。矽氮化膜之膜厚爲薄，又，ＣＶＤ法之矽氮化膜係優於階差之被覆性，此階差之防護層１２１ａ之表面係如圖３９所示，存在起因於彎曲１２０及刮傷１４５之凹凸。然而，圖３９係顯示以圖３８虛線所包圍之部分的擴大圖。

接著，塗布具有自我流動性之被膜的ＳＯＧ膜，更且進行４００℃程度之熱處理的固化，形成平坦化層１２１ｂ（圖４０）。做爲ＳＯＧ膜，可使用有機或無機之ＳＯＧ膜。於聚矽胺烷系之ＳＯＧ膜時，具有耐熱性，可提升半導體積體電路之可靠性。圖４１係顯示以圖４０之虛線所包圍之部分擴大圖。如圖４１所示，爲做爲平坦化層１２１ｂ使用具有自我流動性之ＳＯＧ膜，該表面被平坦化，排除彎曲１２１０及刮傷１４５之影響。

接著，堆積絕緣膜１２１ｃ，完成配線層間絕緣膜１２１（圖４２）。絕緣膜１２１ｃ係例如可呈ＣＶＤ法所成矽氧化膜。絕緣膜１２１ｃ之表面即配線層間絕緣膜１２１之表面係經由平坦化層１２１ｂ之存在，而確保平坦性。由此，之後工程所形成之柱塞１２３等之導電性構件之形成時，不形成起因於彎曲１２０或刮傷１４５之導電性殘留物，確保上層配線之第３層配線３間之絕緣膜。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（40）

又，配線層間絕緣膜１２１之表面被平坦化之故，提升光蝕刻之範圍，可對應半導體積體電路之微細化。

接著，圖案化於形成連接孔１２２之範圍具有開口之光阻劑膜１４６，將此光阻劑１４６做爲光罩，蝕刻絕緣膜１２１ｃ及平坦化層１２１ｂ（圖４３）。於此蝕刻時，矽氧化膜之蝕刻速度較矽氮化膜爲大之條件下進行蝕刻，可將矽氧化膜所成防護層１２１ａ做爲蝕刻阻止膜加以利用。

接著，將蝕刻之條件切換爲矽氮化膜之蝕刻速度較矽氧化膜爲大之條件，更且蝕刻防護層１２１ａ，終止連接孔１２２之形成（圖４４）。如此，將連接孔１２２之蝕刻以二階段加以進行，充分進行防護層１２１ａ之蝕刻時之過蝕刻時，因爲防護層１２１ａ之膜厚爲薄之故，第２層配線Ｍ２不會有過度之蝕刻。爲此，確實進行連接孔１２２之開口的同時，將第２層配線Ｍ２之損傷減低至最小。

又，於光阻劑膜１４６之除去時，通常雖使用氧或臭氧之研磨法，於使用平坦化層１２１ｂ之無機ＳＯＧ時，於此研磨時，可抑制對連接孔１２２之側面部分之平坦化層１２１ｂ之截面的損傷。即，假使於平坦化層１２１ｂ使用有機ＳＯＧ時，於臭氧研磨時，有機ＳＯＧ內之Ｓｉ－ＣＨ$_3$結合變換爲Ｓｉ－ＯＨ或Ｓｉ－Ｏ結合，會產生該部分之吸濕性或膜收縮。此結果，半導體積體電路裝置之可靠性之下降或產率之下降則被預測而不佳。因此，採用

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（41）

有機ＳＯＧ時，需使用光阻劑膜１４６之濕式步驟的剝離或低壓氧電漿的反應性離子蝕刻（ＲＩＥ）等，較研磨爲不熟習之步驟。

然而，於下個工程之柱塞１２３之形成工程之前進之前，例如於氫氣氛中，施以３５０℃、５分程度之退火，於連接孔１２２之底部之第２層配線Ｍ２之表面，可進行還原處理。更且，可進行連接孔１２２之底部之濺射蝕刻。由此，除去由於光阻膜１４６除去時之彎曲或放置於大氣氣氛所產生之連接孔１２２底部之氧化銅，可達提升第２層配線Ｍ２和柱塞１２３之電氣性連接之連接阻抗之減低或連接可靠性。

接著，與前述柱塞１１６之形成方法同樣地，形成柱塞１２３（圖４５）。於此柱塞１２３之形成時，使用ＣＭＰ法係如前所述，配線層間絕緣膜１２１之表面被平坦化之故，導電性之殘留物則不會殘留於配線層間絕緣膜１２１之表面。爲此，可確保形成於柱塞１２３間之絕緣性及配線層間絕緣膜１２１上的第３層配線Ｍ３間之絕緣性。然而，於柱塞１２３之表面，經由ＣＭＰ法形成起因於研磨之凹部１４７。

接著，於配線層間絕緣膜１２１及柱塞１２３之上面，形成第３層配線Ｍ３之配線形成用絕緣膜１２４（圖４６）。配線形成用絕緣膜１２４係與配線形成用絕緣膜１１７同樣地加以形成。又，於配線形成用絕緣膜１２４之表面，形成起因於凹部１４７之凹部。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（42）

接著，與前述第2層配線M2時同樣地，形成阻隔層和銅膜所成第3層配線M3（圖47）。於此第3層配線M3之形成時，起因於凹部147之配線形成用絕緣膜124表面之凹部，係未形成起因於此之導電性殘存物。此係與第2層配線M2之時相同，於形成第3層配線M3之淺溝加工時，以前述凹部被蝕刻除去爲根據。然而，於第3層配線M3之表面，形成起因於CMP法之研磨凹部125。

接著，於配線形成用絕緣膜124及第3層配線M3之表面，形成構成絕緣第3層配線M3和第4層配線M4的配線形成用絕緣膜126的防護層126a及平坦化層126b（圖48）。防護層126a及平坦化層126b之形成係可與防護層121a及平坦化層121b同樣地形成。經由形成平坦化層121b，可除去凹部125之影響，令該表面平坦化。

接著，堆積構成配線形成用絕緣膜126之絕緣膜126c，終止配線形成用絕緣膜126之形成。配線形成用絕緣膜126之表面係存在平坦化層121b之故而被平坦化。更且，與柱塞116同樣地，形成柱塞128（圖49）。於此柱塞128之牙2成時，使用CMP法係如前所述，但因配線形成用絕緣膜126之表面平坦化，導電性之殘留物則不會殘留於配線形成用絕緣膜126之表面。因此，柱塞128間之絕緣性及形成於配線形成用絕緣膜126之第4層配線M4間之絕緣膜則被確保。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（43）

然而，雖於柱塞１２８之表面，形成經由ＣＭＰ法起因於研磨之凹部，但因此於下個工程不產生導電性殘留物係與前述第３層配線之時相同。

接著，於配線形成用絕緣膜１２６及柱塞１２８之上面，形成爲形成第４層配線Ｍ４之配線形成用絕緣膜１２９。配線形成用絕緣膜１２９之形成係可與配線形成用絕緣膜１１７同樣地進行，但伴隨第４層配線Ｍ４膜厚之增厚，較配線形成用絕緣膜１１７爲厚，例如以１μｍ之膜厚瓷較其略厚之膜厚加以形成。之後，與第２層配線Ｍ２或第３層配線Ｍ３之時同樣地，形成配線溝，堆積氮化鈦１５０及銅膜１５１（圖５０）。氮化鈦膜１５０及銅膜１５１係與第２層配線Ｍ２或第３層配線Ｍ３之時同樣地加以形成。

接著，令氮化鈦膜１５０及銅膜１５１經由ＣＭＰ法加研磨，除去配線形成用絕緣膜１２９上面多餘之氮化鈦膜１５０及銅膜１５１。由此形成第４層配線Ｍ４（圖５１）。然而第４層配線Ｍ４之表面中，形成起因於ＣＭＰ法之凹部１３０。

接著，於配線形成用絕緣膜１２９及第４層配線Ｍ４之表面，形成構成絕緣第４層配線Ｍ４和第５層配線Ｍ５之配線層間絕緣膜１３１的防護層１３１ａ及平坦化層１３１ｂ（圖５２）。防護層１３１ａ及平坦化層１３１ｂ之形成係可與防護層１２１ａ及平坦化層１２１ｂ同樣地加以進行。經由形成平坦化層１３１ｂ，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（44）

可除去凹部１３０之影響，使該表面平坦化。

接著，堆積構成配線層間絕緣膜１３１之絕緣膜１３１ｃ，終止配線層間絕緣膜１３１之形成。配線層間絕緣膜１３１之表面係存在平坦化層１３１ｂ之故加以平坦化。更且，與柱塞１１６同樣地形成柱塞１３３。（圖５３）

接著，於配線層間絕緣膜１３１上，例如將鋁膜堆積於整面，令此鋁膜圖案化，形成第５層配線Ｍ５（圖５４）。鋁膜之堆積中，使用濺射法、ＣＶＤ法、蒸著法等。

接著，例如堆積矽氧化膜，形成絕緣膜１３４，之後於第５層配線之墊片上部之絕緣膜１３４形成開口。更且，於整面將鎳膜及金膜使用濺射法、ＣＶＤ法、蒸著法等加以堆積，除去前述墊片部以外之鎳膜及金膜，形成突起電極基台金屬突起基台金屬１３５。之後，金球之轉映，或金膜之堆積及經由圖案化１３６加以形成，幾近完成半導體積體電路裝置。

然而，絕緣膜１３４係矽氧化膜及矽氮化膜之堆積膜，或更形成ＰＩＱ膜者亦可１。又，突起電極１３６係銲錫膜之形成及圖案化之銲錫球。

根據本實施形態３之半導體積體電路裝置及該製造方法中，如前所述，於形成柱塞１２３、１２８、１３３所形成之配線層間絕緣膜１２１、１２６、１３１，形成平坦化層１２１ｂ、１２６ｂ、１３１ｂ，將柱塞１２３、１２８、１３３以ＣＭＰ法形成之時，不殘存導電性之殘

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（45）

留物，確保形成於柱塞１２３、１２８、１３３及各柱塞上層之第３～第５層配線Ｍ３～Ｍ５之絕緣性，維持半導體積體電路裝置之所定性能，可達提升該可靠性、產率之提升。

然而，本實施形態３中，做爲平坦化層１２１ｂ、１２６ｂ、１３１ｂ，雖例示有ＳＯＧ膜，亦可爲於氣相中經由矽烷醇（$H_nSi(OH)_{4-n}$）之生成，和低溫基板上之矽烷醇反應所形成之矽氧化膜。對於如此矽氧化膜之形成方法，係如實施形態１所說明，在此省略其說明。

（實施形態４）

圖５５係顯示本發明之另一實施形態之半導體積體電路裝置之一例截面圖。

本實施形態４之半導體積體電路裝置係與實施形態３之半導體積體電路裝置中，僅於配線形成用絕緣膜１１７、１２４、１２９之構成中爲不同者。爲此，省略對於其他之構成構件之說明。

於本實施形態４之配線形成用絕緣膜１１７、１２４、１２９中，包含平坦化層１１７ａ、１２４ａ、１２９ａ，與形成於平坦化層１１７ａ、１２４ａ、１２９ａ之各上層的絕緣膜１１７ｂ、１２４ｂ、１２９ｂ，各構成配線形成用絕緣膜１１７、１２４、１２９。如此地，於配線形成用絕緣膜１１７、１２４、１２９，各包含平坦化層１１７ａ、１２４ａ、１２９ａ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（46）

之故，配線形成用絕緣膜１１７、１２４、１２９形成後之表面，不會產生形成於該下層之柱塞１１６、１２３、１２７之ＣＭＰ法形成時所產生凹部而產生凹凸。爲此，於各配線形成用絕緣膜１１７、１２４、１２９，將形成配線溝時之光蝕刻可以高精度加以進行，可對應半導體積體電路裝置之高積體化。

平坦化層１１７ａ、１２４ａ、１２９ａ係與實施形態３之平坦化層１２１ｂ、１２６ｂ、１３１ｂ相同，由具有自我流動性之ＳＯＧ膜所成。ＳＯＧ膜係不論爲有機ＳＯＧ膜或無機ＳＯＧ膜皆可，於無機ＳＯＧ膜時，與實施形態３所說明者有同樣之效果，即，於配線形成用絕緣膜１１７、１２４、１２９，於形成配線溝時所使用之光阻膜之除去工程，使用研磨時，於ＳＯＧ膜不會產生親水性或收縮。另一方面，使用有機ＳＯＧ膜時，有減低起因於低介電率的配線間之容量的效果。又，平坦化層１１７ａ、１２４ａ、１２９ａ係代替ＳＯＧ膜，可爲經由氣相中之矽烷醇之生成和低溫基板之矽烷醇的反應所形成之矽氧化膜。

絕緣膜１１７ｂ、１２４ｂ、１２９ｂ係可爲例如經由ＣＶＤ法或濺射法形成之矽氧化膜，具有調整配線形成用絕緣膜１１７、１２４、１２９之膜厚的功能。

接著，令本實施形態４之半導體積體電路裝置之製造方法使用圖５６～圖６４加以說明。圖５６～圖６４係係將實施形態４之半導體積體電路裝置之製造方法之一例，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（47）

依該工程順序顯示之截面圖。

本實施形態４之製造方法係與實施形態３之圖３１的工程相同。因此，對於至此之工程省略其說明。

如實施形態３之圖３１所示，於配線層間絕緣膜１１４形成柱塞１１６。此柱塞１１６之表面，如圖３１所示，形成凹部１４１。

接著，於配線層間絕緣膜１１４及柱塞１１６上，形成平坦化層１１７ａ，更且堆積絕緣膜１１７ｂ。由此，形成平坦化層１１７ａ及絕緣膜１１７ｂ所構成之配線形成用絕緣膜１１７（圖５６）。平坦化層１１７ａ係具有自我流動性之ＳＯＧ膜。如此地爲形成具有自我流動性之ＳＯＧ膜之故，於平坦化層１１７ａ之表面不顯現凹部之影響，該表面被平坦化。又，絕緣膜１１７ｂ係例如可爲ＣＶＤ法所成矽氧化膜，但因爲存在平坦化層１１７ａ，該表面被平坦化。

接著，於配線形成用絕緣膜１１７上，於形成第２層配線Ｍ２範圍圖案化具有開口之光阻膜，令此光阻膜做爲光罩蝕刻配線形成用絕緣膜１１７，形成配線溝１１８（圖５７）。於此配線溝１１８之形成時，配線形成用絕緣膜１１７表面被完成覃坦化之故，光蝕刻工程可高精度進行之外，於柱塞１１６之上部無配線形成時，於該上部配線形成用絕緣膜１１７之表面，無殘留配線形成之金屬膜。由此提升半導體積體電路裝置。

接著，與實施形態３之第２層配線Ｍ２之製造方法相

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（48）

同，形成第２層配線Ｍ２（圖５８），更且，與實施形態３之時相同，形成配線層間絕緣膜１２１及柱塞１２３（圖５９）。然而，於柱塞１２３之表面形成凹部１４７。

接著，於配線層間絕緣膜１２１及柱塞１２３上，形成平坦化層１２４ａ，更且堆積絕緣膜１２４ｂ。由此，形成配線形成用絕緣膜１２４（圖６０）。平坦化層１２４ａ係與平坦化層１１７ａ相同，爲具有自我流動性之ＳＯＧ膜，絕緣膜１２４ｂ係與絕緣膜１１７ｂ相同，例如可爲ＣＶＤ法所成矽氧化膜。配線形成用絕緣膜１２４係因存在平坦化層１２４ａ，可排除凹部１４７之影響，該表面被平坦化。

接著，與第２層配線Ｍ２之時相同，於配線形成用絕緣膜１２４形成配線溝，於此配線溝內，形成第３層配線Ｍ３（圖６１）。更且，與實施形態３之時相同，形成配線形成用絕緣膜１２６及柱塞１２８（圖６２）。

接著，於配線形成用絕緣膜１２６及柱塞１２８上，形成平坦化層１２９ａ，更且堆積絕緣膜１２９ｂ。由此，形成配線形成用絕緣膜１２９（圖６３）。平坦化層１２９ａ係與平坦化層１１７ａ相同，具有自我流動性之ＳＯＧ膜，絕緣膜１２９ｂ係與絕緣膜１１７ｂ相同，例如可呈ＣＶＤ法之矽氧化膜。配線形成用絕緣膜１２９係存在平坦化層１２９ａ之故，與前述同樣該表面被平坦化。

接著，與第２層配線Ｍ２或第３層配線Ｍ３時相同，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

五、發明說明（49）

於配線形成用絕緣膜１２９形成配線溝，於此配線溝內形成第４層配線Ｍ４（圖６４）。此後之工程係與實施形態３相同之故，省略該說明。

根據本實施形態４之半導體積體電路裝置及該製造方法，於配線形成用絕緣膜１１７、１２４、１２９，包含平坦化層１１７ａ、１２４ａ、１２９ａ之故，可令配線形成用絕緣膜１１７、１２４、１２９之表面平坦化，提升光蝕刻之加工精度。又，於形成於下層之柱塞等，具有凹部時，不會產生起因於此凹部之配線形成用之導電膜之殘留，可提升半導體積體電路裝置之可靠性。

（實施形態５）

圖６５係顯示本發明之另一實施形態之半導體積體電路裝置之一例的截面圖。

本實施形態５之半導體積體電路裝置係於配線形成用絕緣膜１１７、１２４、１２９中，包含平坦化層１１７ａ、１２４ａ、１２９ａ，形成於平坦化層１１７ａ、１２４ａ、１２９ａ之各上層之絕緣膜１１７ｂ、１２４ｂ、１２９ｂ，將配線形成用絕緣膜１１７、１２４、１２９各別加以構成，於配線層間絕緣膜１２１、１２６、１３１不包含平坦化層，以防護層１２１ａ、１２６ａ、１３１ａ及絕緣膜１２１ｃ、１２６ｃ、１３１ｃ，將配線層間絕緣膜１２１、１２６、１３１各別加以構成者。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（50）

根據如此半導體積體電路裝置，可得實施形態4所說明之效果，將柱塞123、127、133之形成時之CMP研磨進行至某過度程度，將導電性殘留物可抑制於某程度。

（實施形態6）

圖66係顯示本發明之另一實施形態之半導體積體電路裝置之一例的截面圖。

本實施形態6之半導體積體電路裝置係令該第1層配線M1以1CMP法加以形成，又，於第1層配線M1和第2層配線M2間之配線層間絕緣膜114，適用平坦化層114a者。其他之構成係與實施形態3相同，省略其說明。

平坦化層114a係具有自我流動性之流動性絕緣膜，例如可呈SOG膜。SOG膜係有機、無機之任一者皆可，又，代替SOG膜，可爲經由氣相中矽烷醇生成和低溫基板上之矽烷醇之反應所形成之矽氧化膜。配線層間絕緣膜114係以平坦化層114a和絕緣膜114b加以構成，絕緣膜114b係可爲經由例如CVD法或濺射法所形成之矽氧化膜，具有調整配線層間絕緣膜114之膜厚的功能。

接著，令本實施形態6之半導體積體電路裝置之製造方法使用圖67～圖71加以說明。圖67～圖71係將實施形態6之半導體積體電路裝置之製造方法之一例，依

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（51）

該工程順序顯示之截面圖。

本實施形態６之製造方法係與實施形態３之至圖２７之工程相同。因此，對於至此之工程省略其說明。

實施形態３之圖２７所示柱塞１１３之形成後，堆積形成第１層配線Ｍ１之配線形成用絕緣膜１１４ｃ（圖６７）。配線形成用絕緣膜１１４ｃ係例如可經由ＣＶＤ法形成，而呈矽氧化膜。又，於配線形成用絕緣膜１１４ｃ之表面，形成起因於凹部１４０之凹部。

接著，於形成第１層配線Ｍ１之範圍，圖案化具有開口之光阻膜，做爲此光阻膜光罩，蝕刻配線形成用絕緣膜１１４ｃ（圖６８）。

接著，於半導體基板橋０１之整面，堆積鎢膜１５２（圖６９），令此鎢膜１５２經由ＣＭＰ法加以研磨。鎢膜１５２之研磨係進行至露出配線形成用絕緣膜１１４ｃ之表面。由此，除去配線形成用絕緣膜１１４ｃ之表面之多餘鎢膜１５２，形成第１層配線Ｍ１（圖７０）。然而，於第１層配線Ｍ１之表面，形成起因於構成第１層配線Ｍ１之鎢，和構成配線形成用絕緣膜１１４ｃ之矽氧化膜之ＣＭＰ研磨速度的凹部（彎曲）１５３。

接著，於配線形成用絕緣膜１１４ｃ及第１層配線Ｍ１上，形成平坦化層１１４ａ。平坦化層１１４ａ係例如可呈ＳＯＧ膜。然而，ＳＯＧ膜係如前述可爲有機、無機者，，或經由氣相中矽烷醇生成和低溫基板上之矽烷醇之反應所形成之矽氧化膜。由此，經由形成平坦化層

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（52）

１１４ａ，吸收第１層配線Ｍ１之表面之凹部１５３，平坦化平坦化層１１４ａ之表面。更且，堆積絕緣膜１１４ｂ，終止配線層間絕緣膜１１４之形成（圖７１）。絕緣膜１１４ｂ係例如可由ＣＶＤ法形成，而呈矽氧化膜。配線層間絕緣膜１１４之表面係由於平坦化層１１４ａ之存在而平坦化，由此，之後之工程，尤其於柱塞１１６之形成工程中，不會產生起因於凹部１５３之導電性殘留物。由此，可確保半導體積體電路裝置之所定性能，可提升該可靠性和產率。

以上，將本發明人所成之發明根據發明之實施形態具體地做了說明，但是本發明並非限定於前述實施形態，於不超出該要旨之範圍下，可做種種之變更。

例如，雖例示主導電層爲銅之情形，但亦可爲鎢或鋁之情形。

又，於配線層間絕緣膜，雖對於設置防護層之例做了說明，但此等防護層非必需者，不設置亦無妨。

更且，於實施形態３、４、６中，配線層間絕緣膜１２１、１２６、１３１雖例示防護層１２１ａ、１２６ａ、１３１ａ，和平坦化層１２１ｂ、１２６ｂ、１３１ｂ，和絕緣膜１２１ｃ、１２６ｃ、１３１ｃ之３層構成之情形，但於防護層１２１ａ、１２６ａ、１３１ａ，和平坦化層１２１ｂ、１２６ｂ、１３１ｂ間，如圖７２所示形成絕緣膜１２１ｄ、１２６ｄ、１３１ｄ亦可。絕緣膜１２１ｄ、１２６ｄ、１３１ｄ係

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（53）

可爲經由ＣＶＤ法所形成之矽氧化膜者。

又，防護層１２１ａ、１２６ａ、１３１ａ非必需者。此時，於第２～第４層配線Ｍ２～Ｍ４之形成後，堆積具有防護銅等之擴散作用之薄膜，例如堆積氮化鈦膜，此後使用硬質墊片等，經由ＣＭＰ法加以研磨，經由ＣＭＰ法研磨除去配線形成用絕緣膜１１７、１２４、１２９上之前述氮化鈦膜的方法等，將具有防護作用之被膜形成於第２～第４層配線Ｍ２～Ｍ４之各上部者。

又，將實施形態３～６之第２層配線Ｍ２、第３層配線Ｍ３、第４層配線Ｍ４，如實施形態１、２之配線１８，可以連接孔配線同時成形法（dual damascene）形成。例如，圖７４係顯示於實施形態３之第２、第３、第４層配線Ｍ２、Ｍ３、Ｍ４，適用連接孔配線同時成形法（dual damascene）之例者。又，圖７５係顯示於實施形態４之第２、第３、第４層配線Ｍ２、Ｍ３、Ｍ４，適用連接孔配線同時成形法（dual damascene）之例者。圖７６係顯示於實施形態５之第２、第３、第４層配線Ｍ２、Ｍ３、Ｍ４，適用連接孔配線同時成形法（dual damascene）之例者。圖７７係圖７２所示半導體積體電路裝置之第２、第３、第４層配線Ｍ２、Ｍ３、Ｍ４，適用連接孔配線同時成形法（dual damascene）之例者。

又，不限於第１～第５層配線Ｍ１～Ｍ５之配線，更於第６、第７等，再形成上層之配線者。

於本案所揭示之發明中，簡單說明代表性者所得效果

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（54）

如下。

（1）提升經由CMP法形成於絕緣膜之配線溝或埋入連接孔內形成之導電性構件（例如配線、柱塞）上之絕緣膜之表面平坦性。

（2）可防止提升經由CMP法形成於絕緣膜之配線溝或埋入連接孔內形成之導電性構件之第2導電性構件之短路不良，提升半導體積體電路之產率及可靠性。

【圖面之簡單說明】

圖1係顯示本發明之1一實施形態之半導體積體電路裝置之一例的截面圖。

圖2係顯示將實施形態1之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖3係顯示將實施形態1之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖4係顯示將實施形態1之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖5係顯示將實施形態1之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖6係顯示將實施形態1之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖7係顯示將實施形態1之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖8係顯示將實施形態1之半導體積體電路裝置之製

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（55）

造方法之一例依該工程順序的截面圖。

圖9係顯示將實施形態1之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖10係顯示將實施形態1之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖11係顯示將實施形態1之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖12係顯示將實施形態1之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖13係顯示將實施形態1之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖14係顯示將實施形態1之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖15係顯示將實施形態1之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖16係顯示本發明之其他實施形態之半導體積體電路裝置之一例的截面圖。

圖17係顯示將實施形態2之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖18係顯示將實施形態2之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖19係顯示將實施形態2之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖20係顯示將實施形態2之半導體積體電路裝置之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

年 月 日 修正 補充
89. 6. 26

A7
B7

五、發明說明 (56)

製造方法之一例依該工程順序的截面圖。

圖21係顯示本發明之另一其他實施形態之半導體積體電路裝置之一例的截面圖。

圖22係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖23係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖24係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖25係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖26係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖27係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖28係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖29係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖30係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖31係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖32係顯示將實施形態3之半導體積體電路裝置之

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（57）

製造方法之一例依該工程順序的截面圖。

圖33係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖34係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖35係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖36係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖37係以圖36之虛線包圍部分之擴大圖。

圖38係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖39係以圖38之虛線包圍部分之擴大圖。

圖40係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖41係以圖40之虛線包圍部分之擴大圖。

圖42係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖43係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖44係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖45係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（58）

圖４６係顯示將實施形態３之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖４７係顯示將實施形態３之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖４８係顯示將實施形態３之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖４９係顯示將實施形態３之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖５０係顯示將實施形態３之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖５１係顯示將實施形態３之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖５２係顯示將實施形態３之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖５３係顯示將實施形態３之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖５４係顯示將實施形態３之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖５５係顯示本發明之另一其他實施形態之半導體積體電路裝置之一例的截面圖。

圖５６係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖５７係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

修正補充
年 月 日
89.6.26

五、發明說明 (59)

圖５８係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖５９係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６０係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６１係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６２係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６３係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６４係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６５係顯示本發明之另一其他實施形態之半導體積體電路裝置之一例的截面圖。

圖６６係顯示本發明之另一其他實施形態之半導體積體電路裝置之一例的截面圖。

圖６７係顯示將實施形態６之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６８係顯示將實施形態６之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６９係顯示將實施形態６之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（60）

圖７０係顯示將實施形態６之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖７１係顯示將實施形態６之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖７２係顯示本發明之另一其他實施形態之半導體積體電路裝置之一例的截面圖。

圖７３係說明本發明人等所檢討之問題點之圖面，圖７３（ａ）係平面圖、圖７３（ｂ）係圖７３（ａ）之ｂ－ｂ截面圖，圖７３（ｃ）係圖７３（ａ）之ｃ－ｃ截面圖。

圖７４係顯示本發明之另一其他實施形態之半導體積體電路裝置之一例的截面圖。

圖７５係顯示本發明之另一其他實施形態之半導體積體電路裝置之一例的截面圖。

圖７６係顯示本發明之另一其他實施形態之半導體積體電路裝置之一例的截面圖。

圖７７係顯示本發明之另一其他實施形態之半導體積體電路裝置之一例的截面圖。

【符號說明】

1	半導體基板
2	ＳＯＩ絕緣膜
3	Ｕ溝元件分離範圍
4	Ｐ井區

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（61）

6	閘極絕緣膜
7	閘極電極
8	不純物半導體範圍
9	側壁間隔
10	掩蓋絕緣膜
11a	層間絕緣膜
11b	層間絕緣膜
11c	括傷
12	連接孔
13	金屬插梢
13a	鎢膜
13b	金屬柱塞
13c	鎢膜
14	配線
14a	主導電層
14b	氮化鈦膜
14c	彎曲
15	配線溝
16	層間絕緣膜
16a	防護層
16b	平坦化層
16c	絕緣膜
17	配線溝
18	配線

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（62）

18a	主導電層
18b	氮化鈦膜
19	金屬膜
21	層間絕緣膜
21a	防護層
22	矽氧化膜
23	凹部
101	半導體基板
102	元件分離範圍
103	p型井區
104	n型井區
105	絕緣膜
106	閘極電極
107	n型半導體範圍
108	p型半導體範圍
109	側壁間隔
110	掩蓋絕緣膜
111	層間絕緣膜
112	連接孔
113	柱塞
113a	鎢膜
113b	鎢膜
114	配線層間絕緣膜
115	連接孔

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

五、發明說明（63）

116	柱塞
116a	鎢膜
116b	鎢膜
117	絕緣膜
118	配線溝
119a	阻隔層
119b	主導電層
120	凹部
121	配線形成用絕緣膜
121a	防護層
121b	平坦化層
121c	絕緣膜
122	連接孔
123	柱塞
124	配線形成用絕緣膜
125	凹部
126	配線形成用絕緣膜
126a	防護層
126b	平坦化層
126c	絕緣膜
127	連接孔
128	柱塞
129	配線形成用絕緣膜
130	凹部

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

五、發明說明（64）

131	配線層間絕緣膜
131a	防護層
131b	平坦化層
131c	絕緣膜
132	連接孔
133	柱塞
134	絕緣膜
135	突起基台金屬
136	突起電極
140	凹部
141	凹部
142	氮化鈦膜
143	銅膜
146	光阻劑膜
201	絕緣膜
202	配線
203	絕緣膜
204	配線溝
205	凹部
206	絕緣膜
207	柱塞
208	導電物質
209	絕緣膜
210	配線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

修正補充

四、中文發明摘要（發明之名稱：半導體積體電路裝置及其製造方法）

本發明係一種半導體積體電路裝置及其製造方法，於形成半導體元件之半導體基板之上層，形成層間絕緣膜，埋入形成於層間絕緣膜之配線溝的配線，經由銅等之金屬膜之堆積和ＣＭＰ法之研磨所形成之半導體積體電路裝置中，令形成於配線及層間絕緣膜上之層間絕緣膜，以防護層、平坦化層及絕緣膜所構成。做爲平坦化層爲具有自我流動性之被膜，例如使用ＳＯＧ膜。

英文發明摘要（發明之名稱：）

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND FABRICATION PROCESS THEREOF

In a semiconductor integrated circuit wherein an interlayer insulating film is formed over a semiconductor substrate having a semiconductor device formed thereover; and an interconnection embedded in an interconnection groove in the interlayer insulating film is formed by the deposition of a metal film such as copper and polishing by the CMP method, another interlayer insulating film over the interconnection and interlayer insulating film is formed to have a blocking film, a planarizing film and an insulating film. As the planarizing film, a film having fluidity such as SOG is employed.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

第 87110273 號專利申請案

中文申請專利範圍修正本

民國 89 年 6 月修正

1．一種半導體積體電路裝置，針對具有形成於半導體基板之主面的半體元件，和形成於前述半導體元件之上部，在形成於該一部的凹部，埋入使用研磨法所形成之導電性構件的第 1 絕緣膜，和形成於前述第 1 絕緣膜之上部，在形成於該一部的凹部，埋入使用研磨法所形成之導電性構件的第 2 絕緣膜的半導體積體電路裝置中，其特徵係前述第 2 絕緣膜中，包含具有自我流動性之流動性絕緣膜者。

2．如申請專利範圍第 1 項之半導體積體電路裝置，其中，前述流動性絕緣膜係平坦化前述第 2 絕緣膜之表面者。

3．如申請專利範圍第 1 或第 2 項之半導體積體電路裝置，其中，前述第 2 絕緣膜之凹部係構成配線溝，前述第 2 絕緣膜之導電性構件係構成形成於前述配線溝之配線，於前述流動性絕緣膜之上部，形成前述配線溝者。

4．如申請專利範圍第 1 或第 2 項之半導體積體電路裝置，其中，前述第 2 絕緣膜之凹部係構成配線溝和連接孔，前述第 2 絕緣膜之導電性構件係構成形成於前述配線溝之配線，和形成於前述連接孔之柱塞，前述流動性絕緣膜係形成於前述配線溝間者。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

5．如申請專利範圍第1或第2項之半導體積體電路裝置，其中，前述第2絕緣膜之凹部係構成配線溝和連接孔，前述第2絕緣膜之導電性構件係構成形成於前述配線溝之配線，和形成於前述連接孔之柱塞，前述流動性絕緣膜係具有形成於前述配線溝間之第1流動性絕緣膜，和形成於前述配線溝下部之第2流動性絕緣膜者。

6．如申請專利範圍第1項之半導體積體電路裝置，其中，前述第2絕緣膜之凹部係由形成於前述第2絕緣膜之表面附近之配線溝和形成於前述配線溝下部之連接孔所成，前述導電性構件係形成於前述配線溝之配線部皈和形成於前述連接孔之連接部呈一體地加以形成者。

7．如申請專利範圍第1項之半導體積體電路裝置，其中，前述第2絕緣膜係具有堆積不具自我流動性之非流動性絕緣膜，前述流動性絕緣膜及前述非流動性絕緣膜的3層構造者。

8．如申請專利範圍第1項之半導體積體電路裝置，其中，前述流動性絕緣膜係ＳＯＧ膜者。

9．如申請專利範圍第8項之半導體積體電路裝置，其中，前述ＳＯＧ膜係無機ＳＯＧ者。

１０．如申請專利範圍第1項之半導體積體電路裝置，其中，前述流動性絕緣膜係經由氣相中之矽烷醇之生成和低溫基板上之前述矽烷醇的反應所形成之矽氧化膜者。

１１．如申請專利範圍第1項之半導體積體電路裝置，其中，前述凹部、配線溝或連接孔之寬度Ｗ係在該最大

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

寬度Ｗｍａｘ和最小寬度Ｗｍｉｎ之範圍內，滿足Ｗｍａｘ≦４×Ｗｍｉｎ之條件。

１２．一種半導體積體電路裝置之製造方法，針對具有形成於半導體基板之主面的半導體元件，和形成於前述半導體元件之上部，在形成於該一部的凹部，埋入使用研磨法所形成之導電性構件的第１絕緣膜，和形成於前述第１絕緣膜之上部，在形成於該一部的凹部，埋入使用研磨法所形成之導電性構件的第２絕緣膜的半導體積體電路裝置之製造方法中，其特徵係包含令前述第２絕緣膜中，以具有自我流動性之流動性絕緣膜，和經由研磨法平坦化之絕緣膜所形成之工程。

１３．如申請專利範圍第１２項之半導體積體電路裝置之製造方法，其中，形成於前述凹部或配線溝之配線上面，形成防止構成前述配線之金屬元素的擴散的擴散防止膜。

１４．如申請專利範圍第１３項之半導體積體電路裝置之製造方法，其中，前述擴散防止膜係經由電漿ＣＶＤ法所形成之矽氮化膜者。

１５．一種半導體積體電路裝置之製造方法，其特徵係包含

（ａ）於形成半導體基板上之第１絕緣膜，形成凹部之工程，

（ｂ）於包含前述凹部之內部的前述第１絕緣膜之表面，形成埋入前述凹部之第１導電性膜之工程，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

（ｃ）研磨前述第１導電性膜，於第１絕緣膜之凹部內，經由留下前述第１導電性膜，形成前述第１導電性構件之工程，

（ｄ）於前述第１導電性構件之上部，形成包含具有自我流動性之流動性絕緣膜的第２絕緣膜之工程，

（ｅ）於前述第２絕緣膜形成凹部之工程，

（ｆ）形成埋入前述第２絕緣膜之凹部的第２導電性膜之工程，

（ｇ）研磨前述第２導電性膜，於前述第２絕緣膜之凹部，形成第２導電性構件之工程者。

１６．如申請專利範圍第１５項之半導體積體電路裝置之製造方法，其中，前述流動性絕緣膜係於半導體基板塗布ＳＯＧ膜，可經由熱處理加以形成者。

１７．如申請專利範圍第１５項之半導體積體電路裝置之製造方法，其中，前述流動性絕緣膜係令前述半導體基板於減壓氣氛下之反應室中，保持於１００℃以下之低溫，於前述反應室內，導入SiH_xM_{4-x}（惟Ｍ係碳數１～３之烷基，$1 \leq X \leq 4$）及H_2O_2，生成矽烷醇，將堆積矽烷醇之前述半導體基板經由熱處理加以形成者。

１８．如申請專利範圍第１５項之半導體積體電路裝置之製造方法，其中，形成前述第１導電性構件之凹部寬度Ｗ係可形成於該最大幅Ｗｍａｘ爲最小幅Ｗｍｉｎ之４倍以內者（$Wmin \leq W \leq 4 \times Wmin$）。

１９．如申請專利範圍第１８項之半導體積體電路裝

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

置之製造方法，其中，前述（ｂ）之工程中，埋入前述第１絕緣膜之凹部的前述導電性膜中，前述最小寬度Ｗｍｉｎ之凹部的該標高Ｈ１，和前述最大寬度Ｗｍａｘ之凹部的該標高Ｈ２幾近相等（Ｈ１≒Ｈ２），且前述標高Ｈ１及Ｈ２係可爲較前述第１絕緣膜之表面標高Ｌ１爲高者（Ｈ１≒Ｈ２＞Ｌ２）。

２０．如申請專利範圍第１８項或第１９項之半導體積體電路裝置之製造方法，其中，於前述（ｃ）工程中，被研磨之前述第１導電性構件係前述最小寬度Ｗｍｉｎ之前述凹部的前述第１導電性構件表面之彎曲量Ｋ１，和前述最大寬度Ｗｍａｘ之前述凹部的前述第１導電性構件表面之彎曲Ｋ２幾近相等（Ｋ１≒Ｋ２）者。

２１．如申請專利範圍第１５項之半導體積體電路裝置之製造方法，其中，於前述流動性絕緣膜之堆積前，堆積使用電漿ＣＶＤ法之矽氧化膜，之後形成前述流動性絕緣膜，更且再經由ＣＶＤ法堆積矽氧化膜，形成第２絕緣膜者。

２２．如申請專利範圍第１５項之半導體積體電路裝置之製造方法，其中，前述第１導電性構件之形成後，形成被覆前述第１導電性構件之表面的擴散防止膜者。

２３．如申請專利範圍第２２項之半導體積體電路裝置之製造方法，其中，做爲前述擴散防止膜，堆積矽氮化膜者。

２４．一種半導體積體電路裝置，其特徵係由具有形

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

成於半導體基上之凹部的第1絕緣膜，和對前述第1絕緣膜之凹部埋入用研磨法形成之導電構件的第1導電性膜，和形成於前述第1導電性膜及第1絕緣膜之上部，具有凹部之第2絕緣膜，和對前述第2絕緣膜之凹部埋入使用研磨法形成之導電構件的第2導電性膜所成，前述第2絕緣膜係包含具有自我流動性之絕緣膜者。

25．如申請專利範圍第24項之半導體積體電路裝置，其中，於形成於前述半導體基板上之第3絕緣膜上，形成前述第1絕緣膜，前述第3絕緣膜之表面被平坦化。

26．如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中，於形成於前述半導體基板上之第3絕緣膜上，形成前述第1絕緣膜，前述第3絕緣膜之表面被平坦化。

27．如申請專利範圍第12項之半導體積體電路裝置之製造方法，其中，於形成於前述半導體基板上之第3絕緣膜上，形成前述第1絕緣膜，前述第3絕緣膜之表面被平坦化。

28．如申請專利範圍第1項之半導體積體電路裝置，其中，於形成於前述半導體基板上之第3絕緣膜上，形成前述第1絕緣膜，前述第3絕緣膜之表面被平坦化。

29．如申請專利範圍第22項之半導體積體電路裝置之製造方法，其中，於前述擴散防止膜上形成前述第2絕緣膜，前述擴散防止膜係於蝕刻第2絕緣膜時，做爲蝕刻阻止層加以作用者。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

A8
B8
C8
D8

六、申請專利範圍

30．如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中，於形成前述第2導電性膜之前，於前述第1導電性構件，於氫氣氛中加以退火者。

31．如申請專利範圍第24項之半導體積體電路裝置，其中，前述第1導電性構件形成後，被覆前述第1導電性構件形成擴散防止膜，於前述擴散防止膜上形成前述第2絕緣膜，前述擴散防止膜係於蝕刻前述第2絕緣膜時，做爲蝕刻阻止層加以作用者。

32．如申請專利範圍第24項之半導體積體電路裝置，其中，於形成前述第2導電性膜之前，於前述第1導電性構件，於氫氣氛中加以退火者。

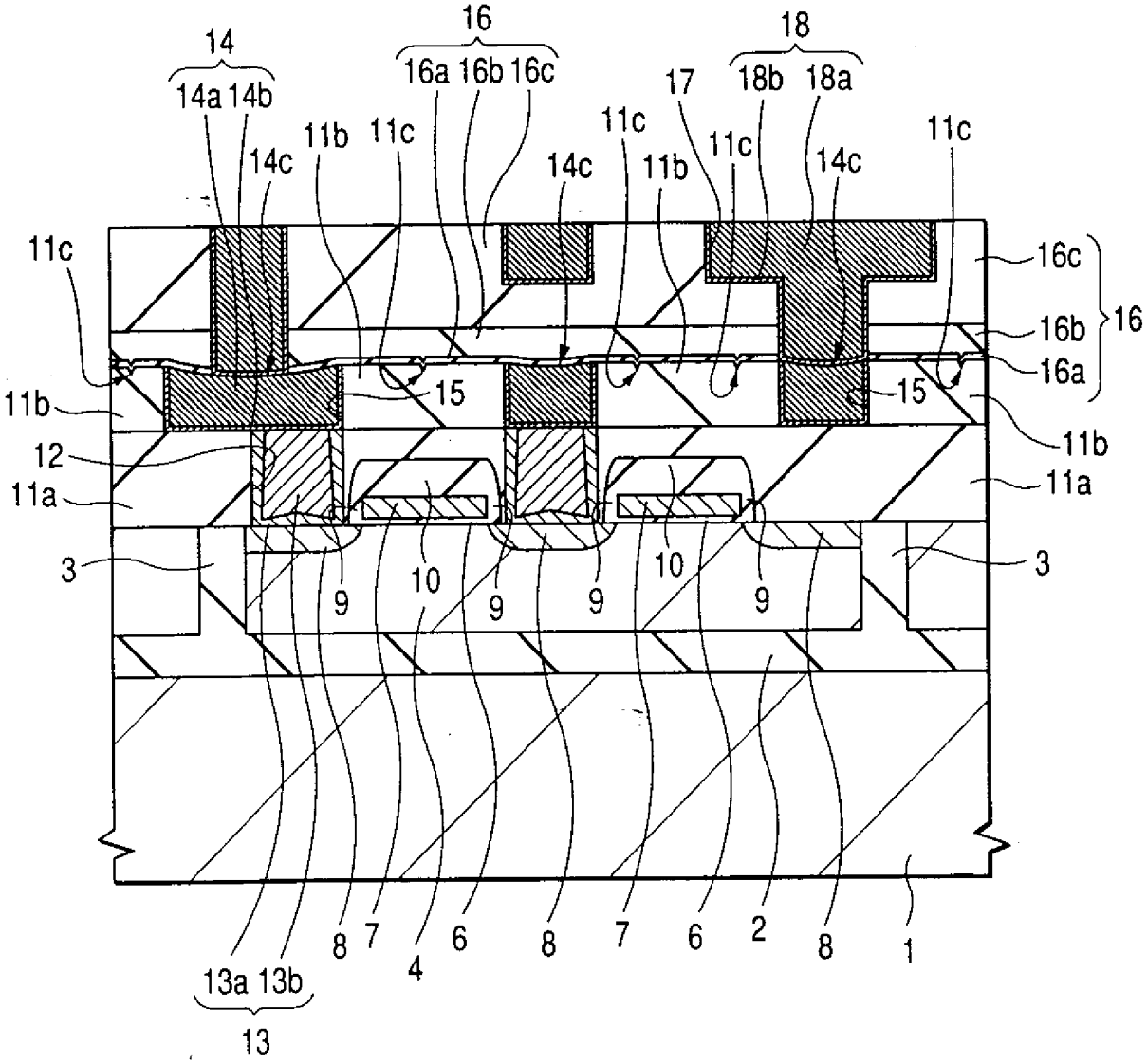
33．如申請專利範圍第1項之半導體積體電路裝置，其中，被覆前述第1導電性構件形成擴散防止膜，於前述擴散防止膜上形成前述第2絕緣膜，前述擴散防止膜係於蝕刻前述第2絕緣膜時，做爲蝕刻阻止層加以作用者。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

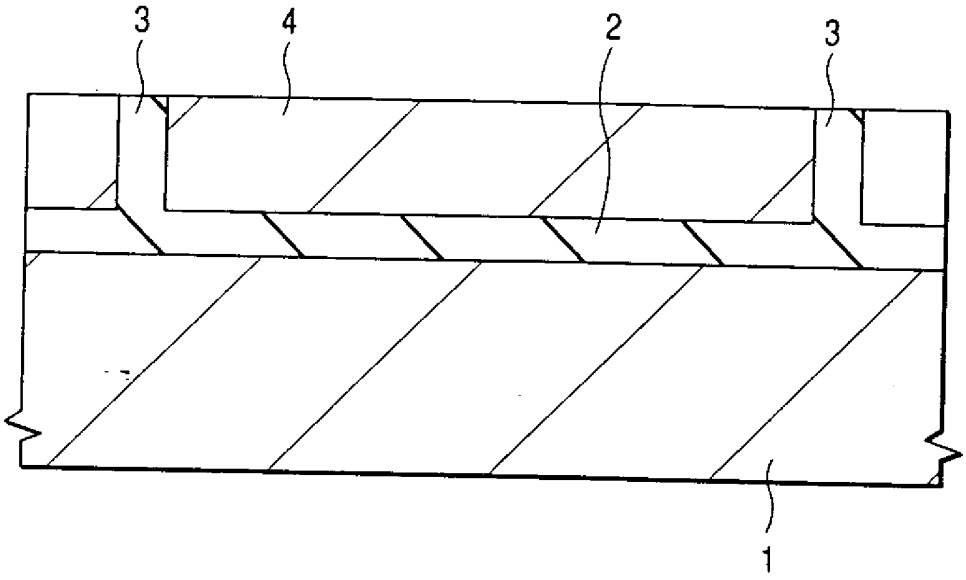
424294

8711027

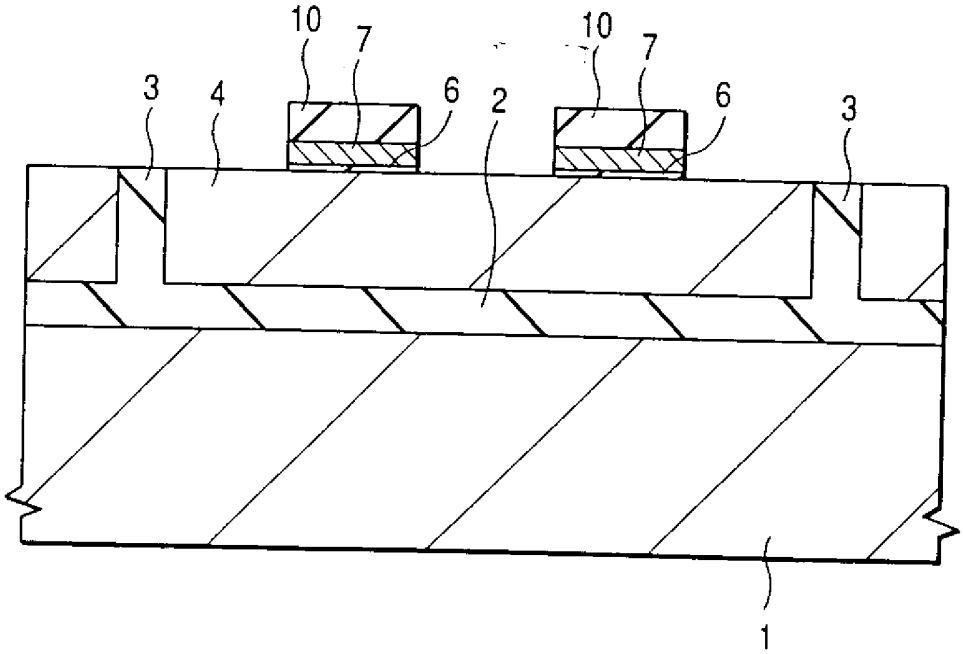
731687



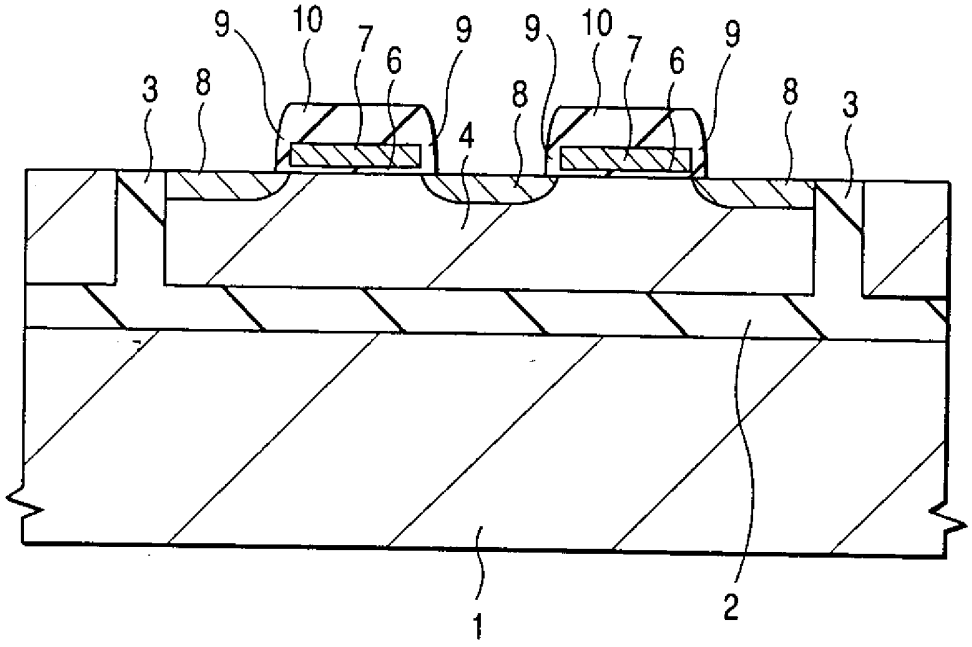
第 1 圖



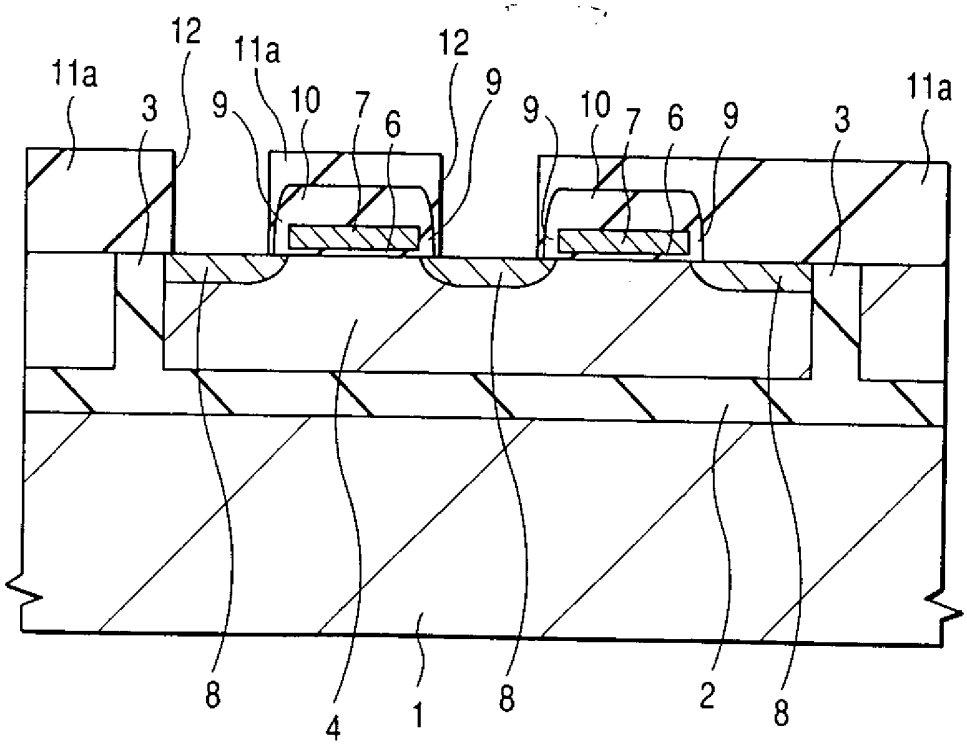
第 2 圖



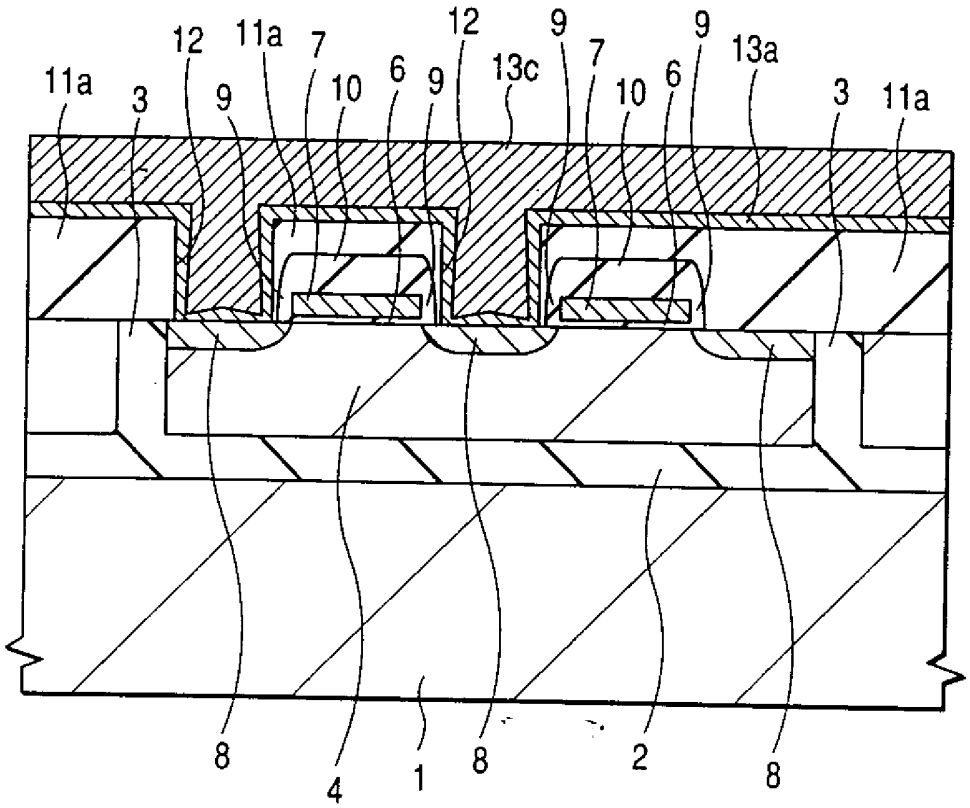
第 3 圖


9
10
7
6
9
9
10
7
6
9
3
8
8
4
8
3
1
2

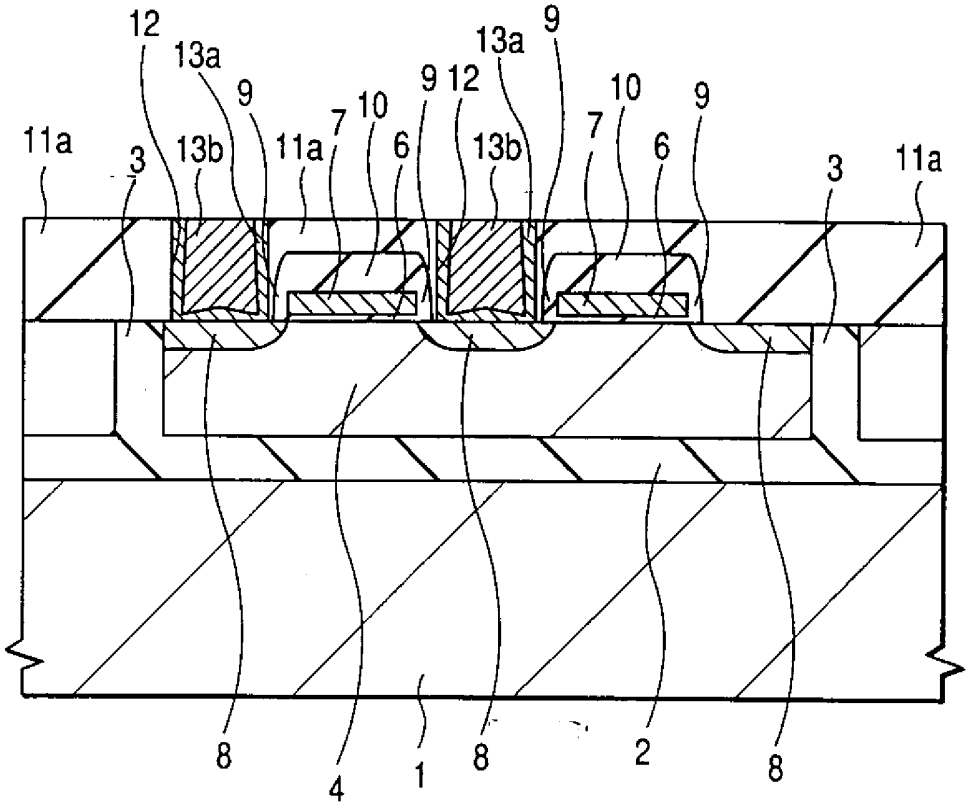
第 4 圖


11a
12
11a
12
11a
3
9
10
7
6
9
9
10
7
6
9
3
8
4
1
8
2
8

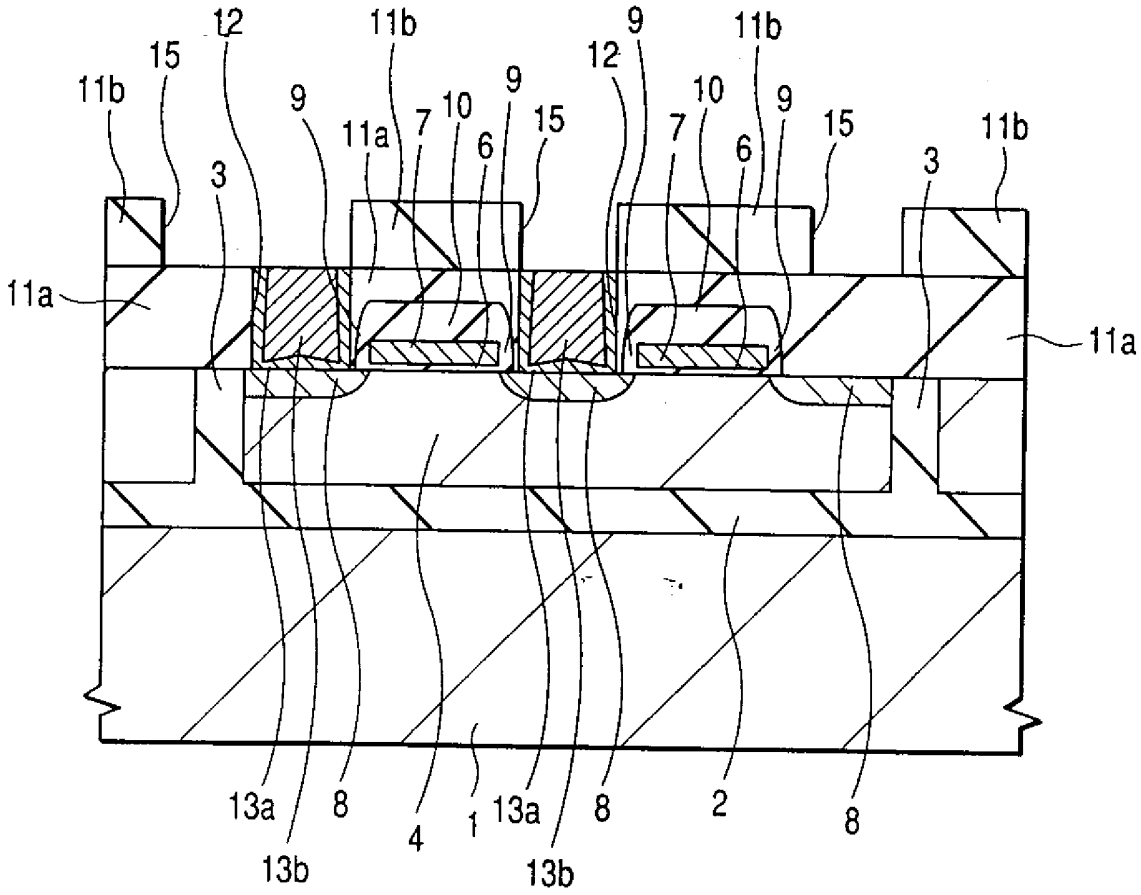
第 5 圖



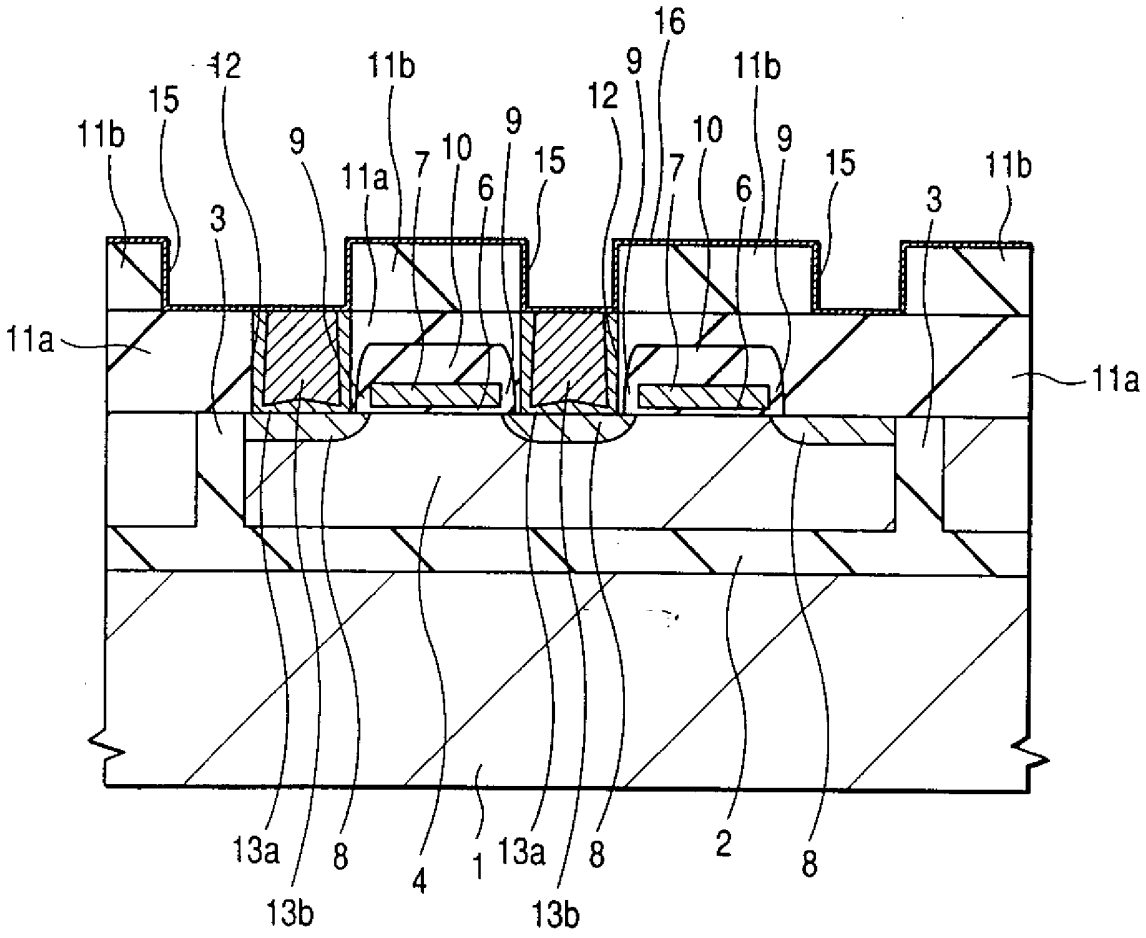
第 6 圖



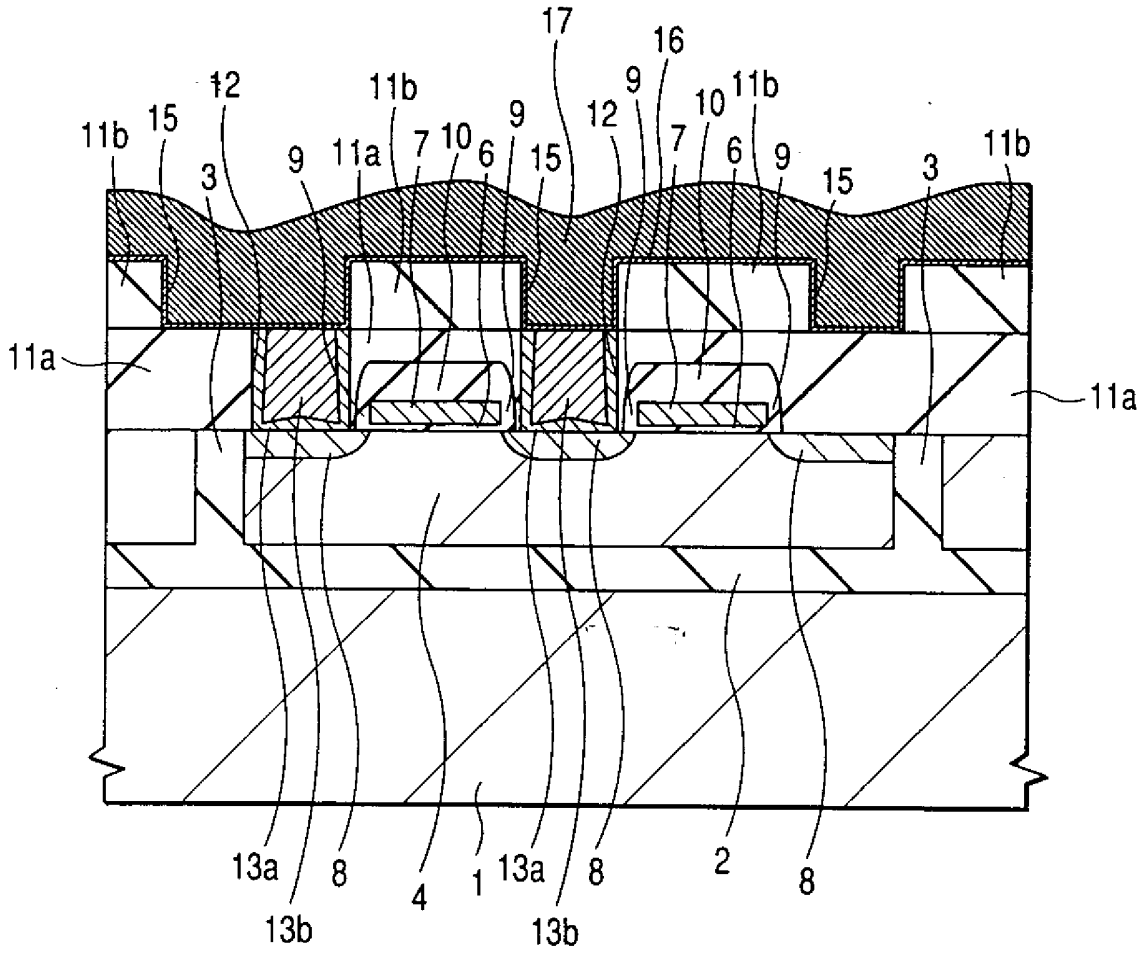
第 7 圖


12
11b
15
11b
9
11a
7
10
9
6
15
12
9
7
10
6
11b
9
15
11b
3
3
11a
11a
13a
8
13b
4
1
13a
13b
8
2
8

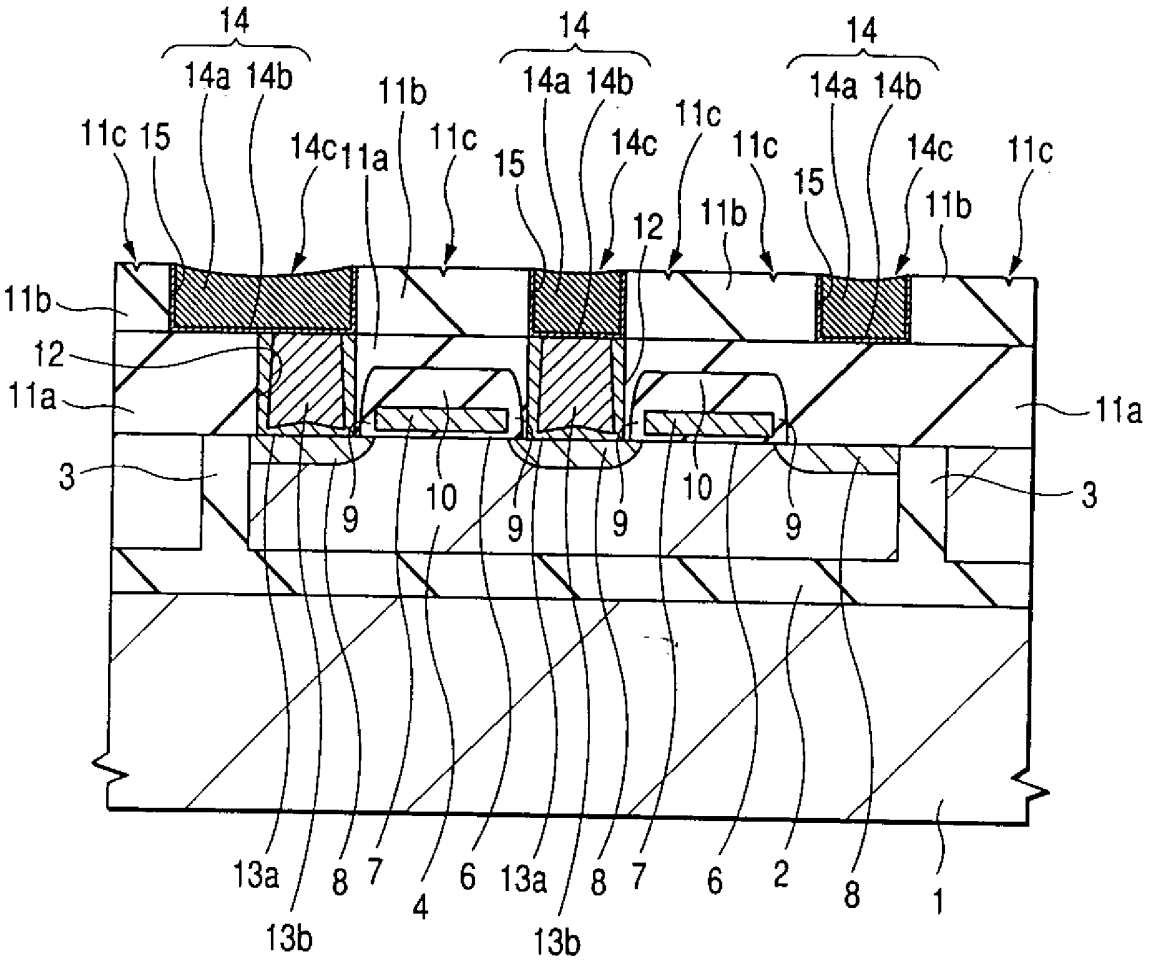
第 8 圖


16
12
11b
9
11b
15
12
9
10
9
11b
9
11a
7
10
6
15
7
6
15
11b
3
3
11a
11a
13a
8
4
1
13a
8
2
8
13b
13b

第 9 圖

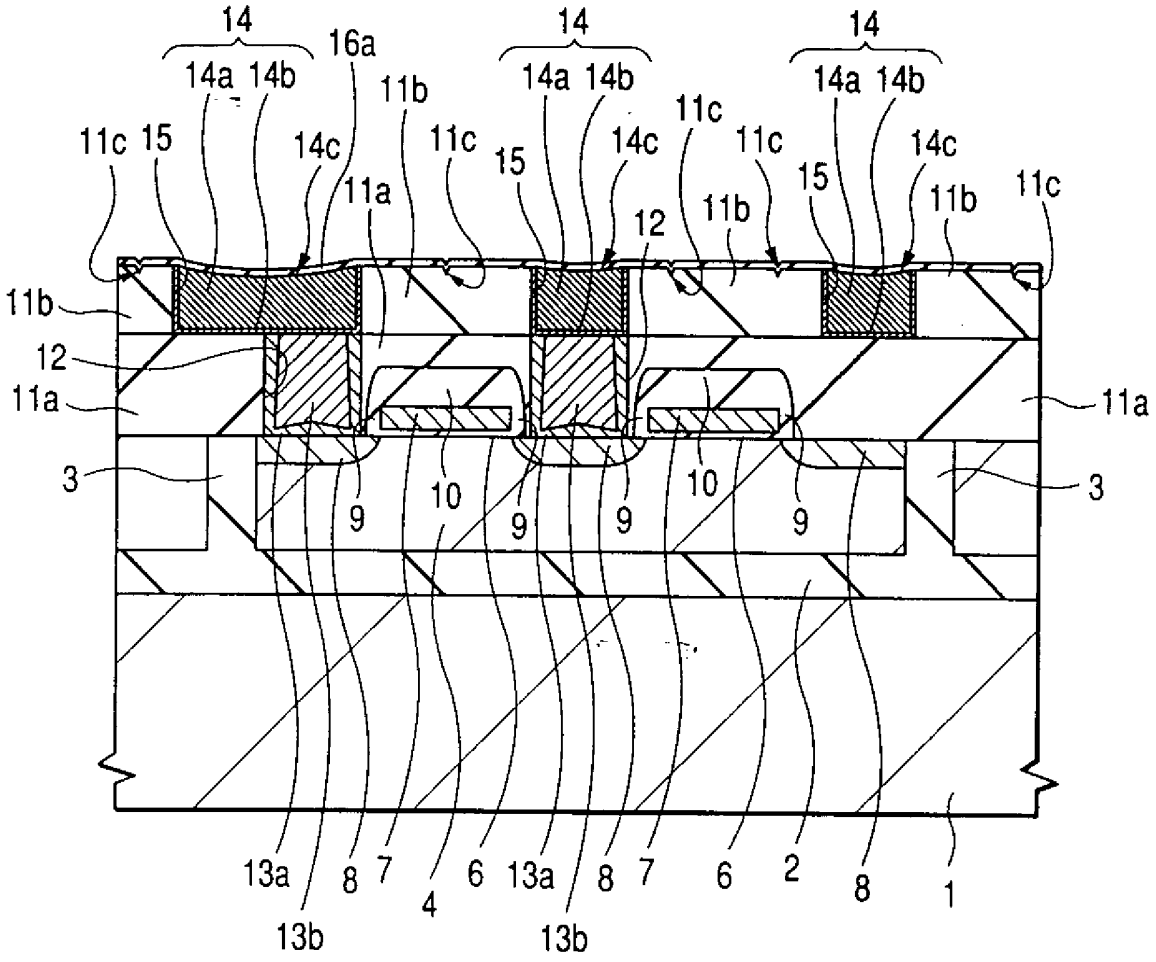

17
16
12
11b
9
10
11b
11b
15
3
9
11a
7
10
6
9
15
12
7
6
9
15
3
11b
11a
11a
13a
8
4
1
13a
8
2
8
13b
13b

第 10 圖

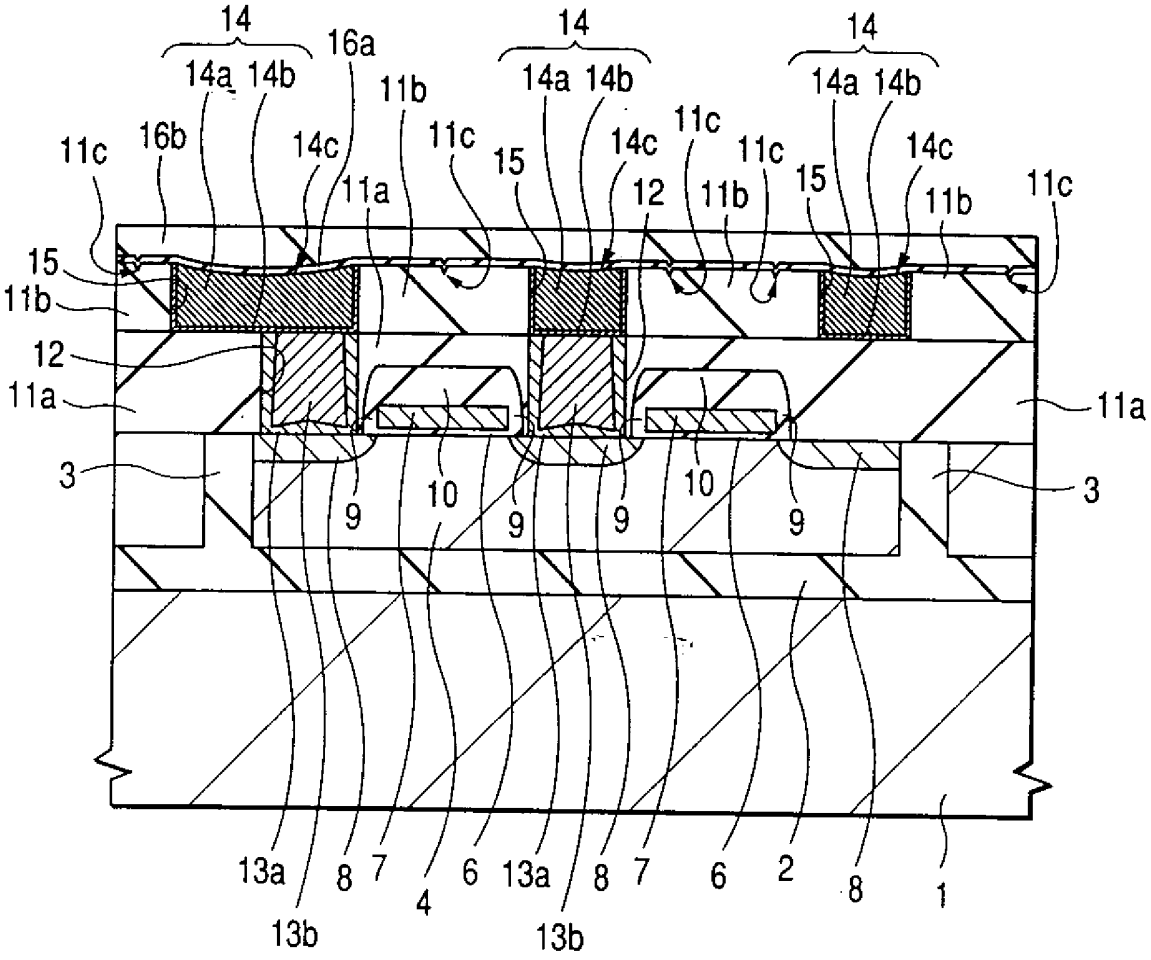

14
14a 14b
11c 15
14c
11a
11b
11c
14
14a 14b
15
14c
11c
12
11b
14
14a 14b
15
11c
14c
11b
11c
11b
12
11a
11a
3
3
9
10
9
9
10
9
13a
8
7
4
6
13a
8
7
6
2
8
1
13b
13b

第 11 圖

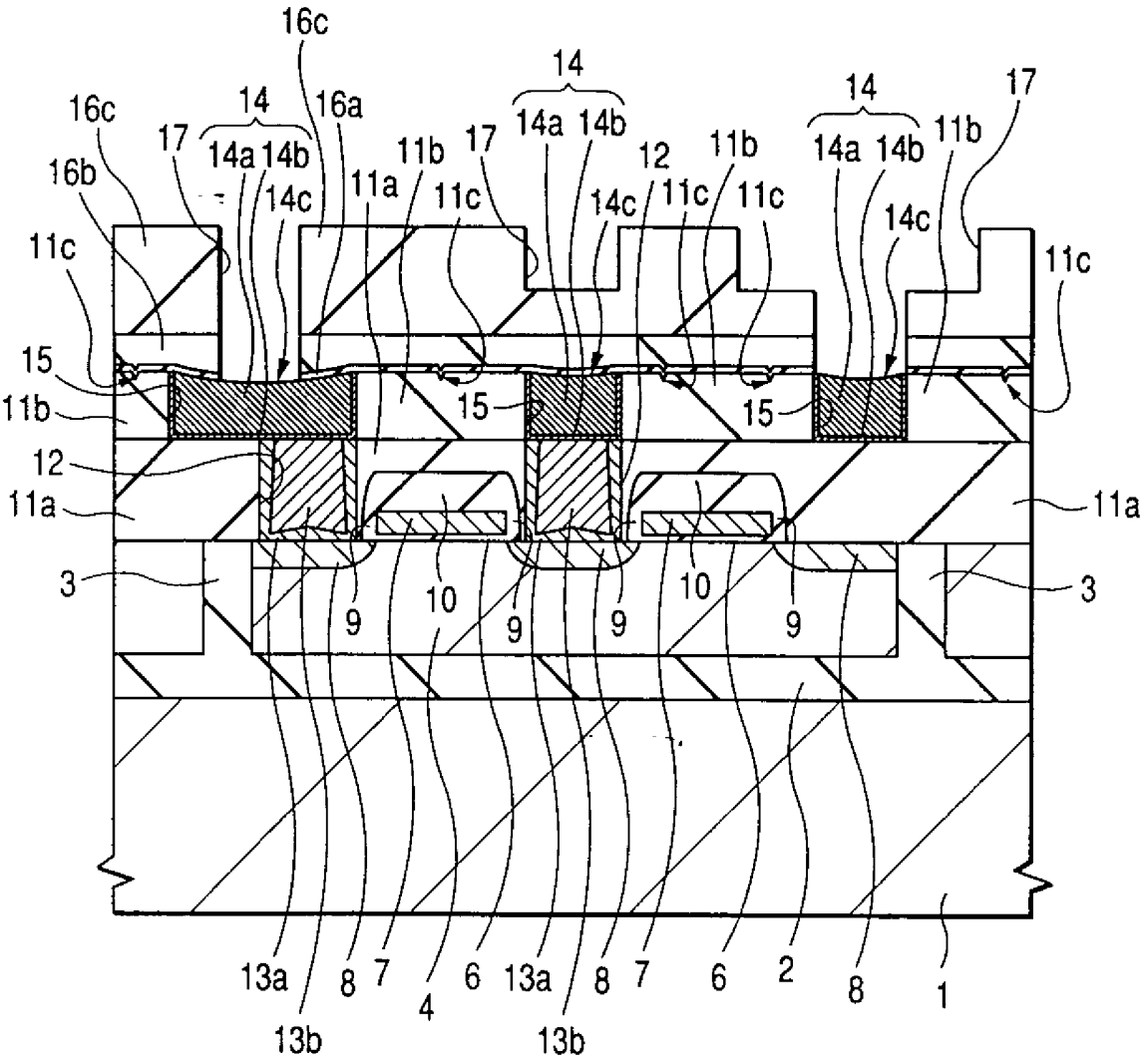
424294



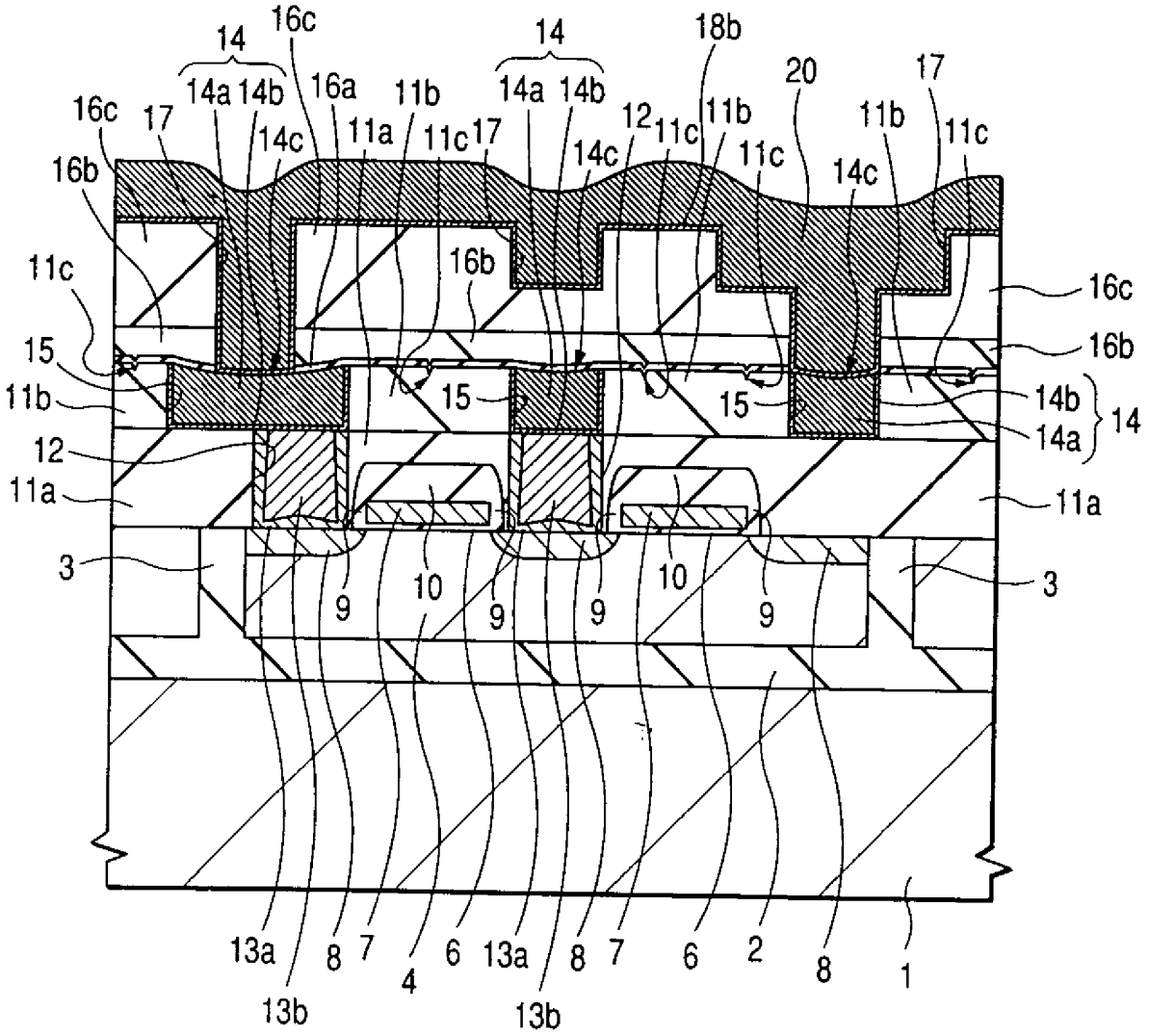
第 12 圖



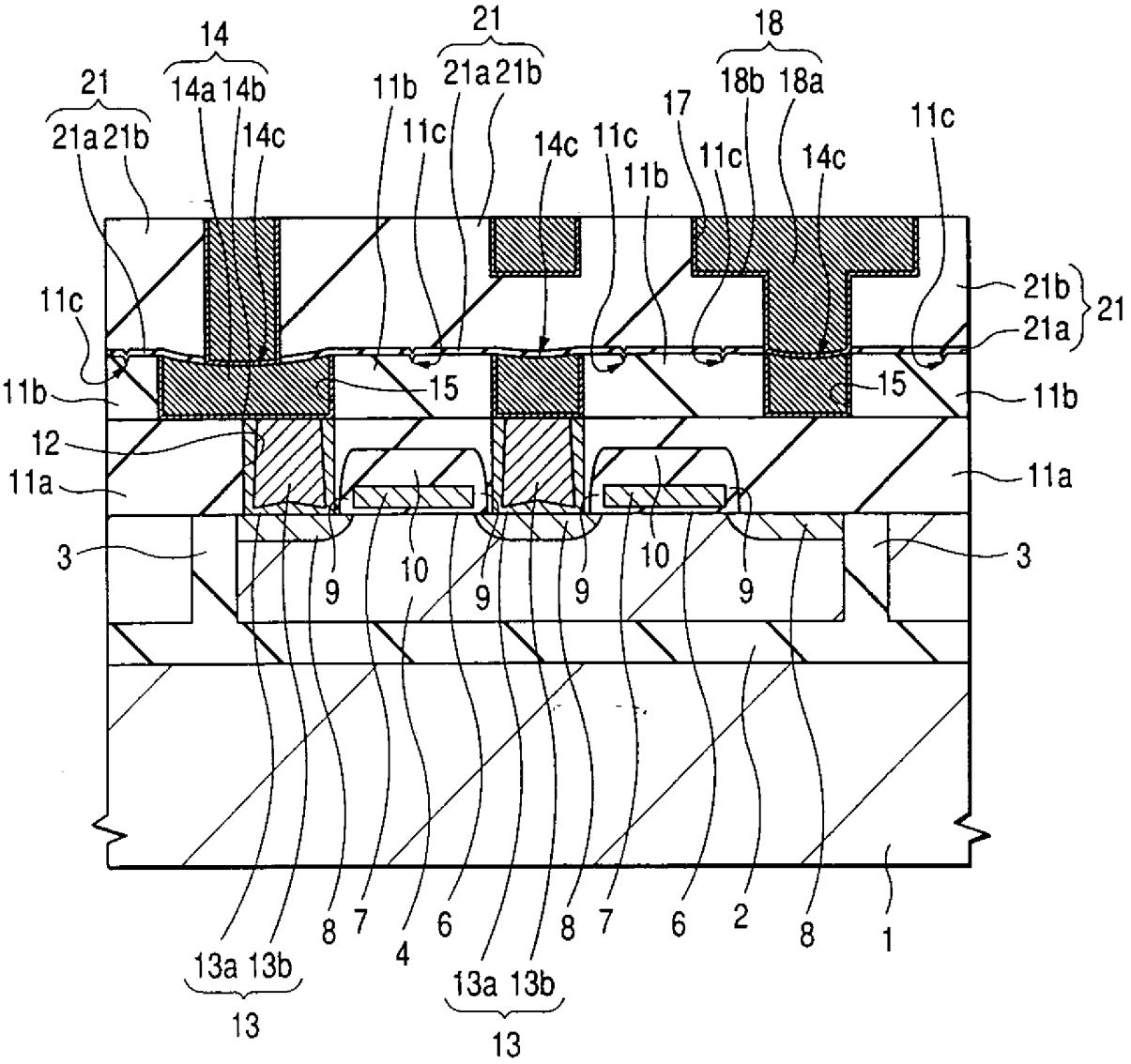
第 13 圖


16c
14
16c
16a
14
14a 14b
17
14a 14b
11b
17
12
11b
14
14a 14b
11b
17
16b
14c
11a
11c
14c
11c
11c
14c
11c
11c
15
15
15
11b
12
11a
11a
3
3
9
10
9
9
10
9
13a
8
7
4
6
13a
8
7
6
2
8
1
13b
13b

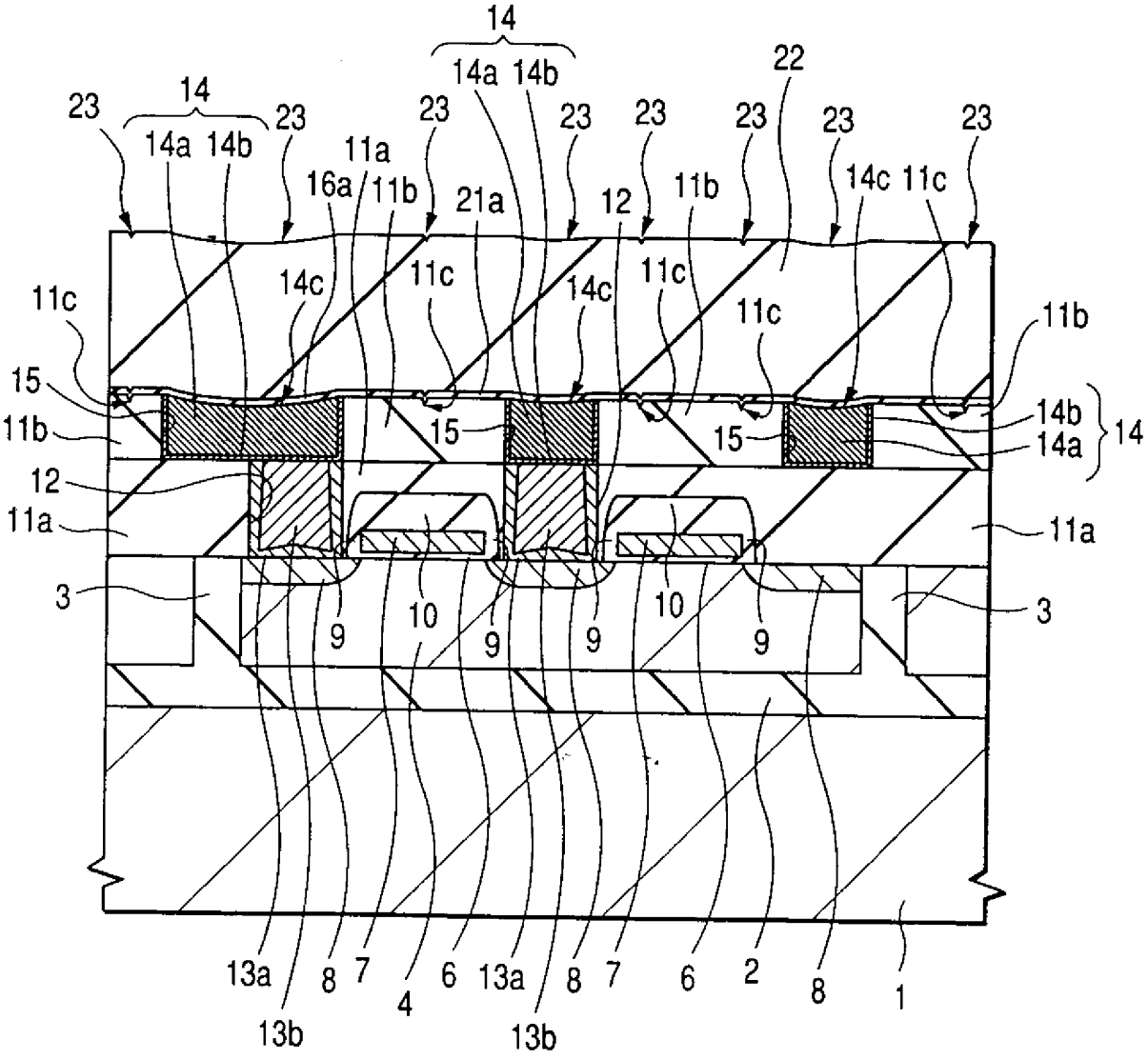
第 14 圖


14
16c
14
18b
14a 14b
16a
11b
14a 14b
20
17
16c
17
14c
11a
11c
17
12
11c
11b
11b
11c
16b
14c
14c
16b
11c
16c
15
16b
11b
15
15
14b
14
14a
12
11a
11a
3
3
9
10
9
9
10
9
13a
8
7
4
6
13a
8
7
6
2
8
1
13b
13b

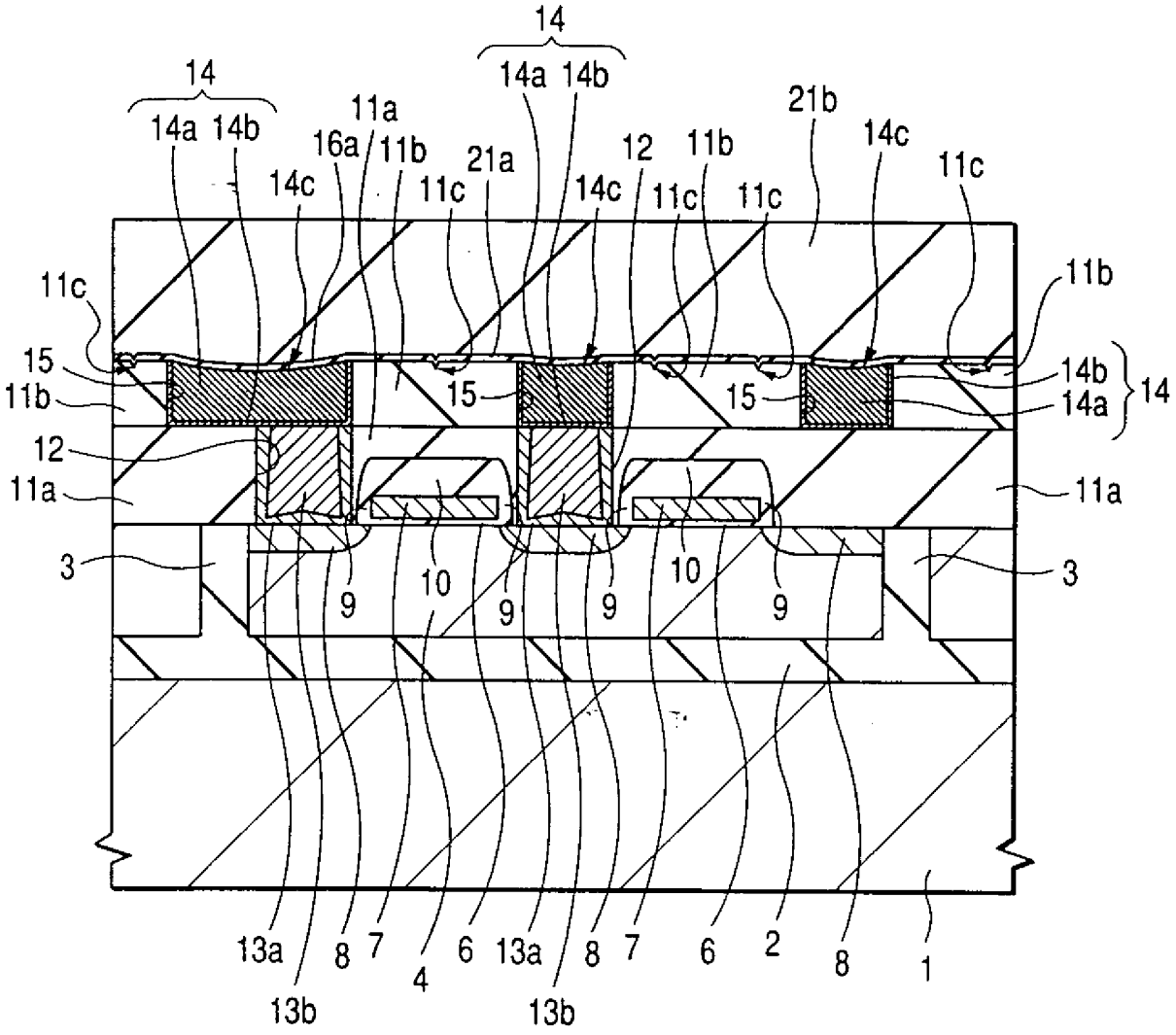
第 15 圖


14
21
21a 21b
14a 14b
14c
11b
11c
21
21a 21b
14c
11c
11b
17
18
18b 18a
11c
14c
11c
21b
21a
21
11c
11b
15
15
11b
12
11a
11a
3
3
9
10
9
9
10
9
13a 13b
13
8
7
4
6
13a 13b
13
8
7
6
2
8
1

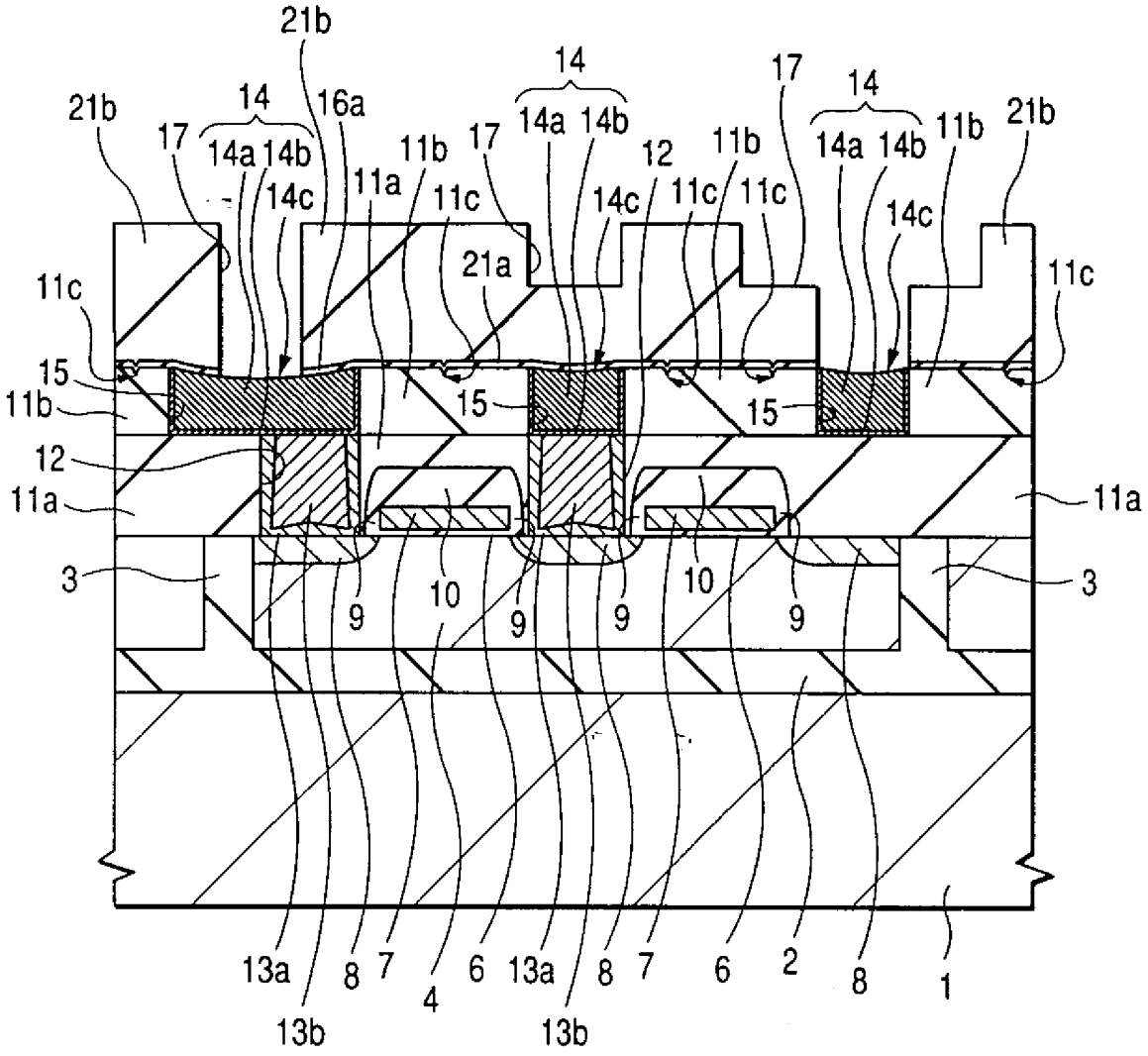
第 16 圖


14
14a 14b
22
23
14
14a 14b
23
23
23
23
23
23
23
11a
16a
11b
21a
12
11b
14c 11c
11c
14c
11c
14c
11c
11c
11b
15
11b
15
15
14b
14a
14
12
11a
11a
3
3
9
10
9
9
10
9
13a
8
7
4
6
13a
8
7
6
2
8
1
13b
13b

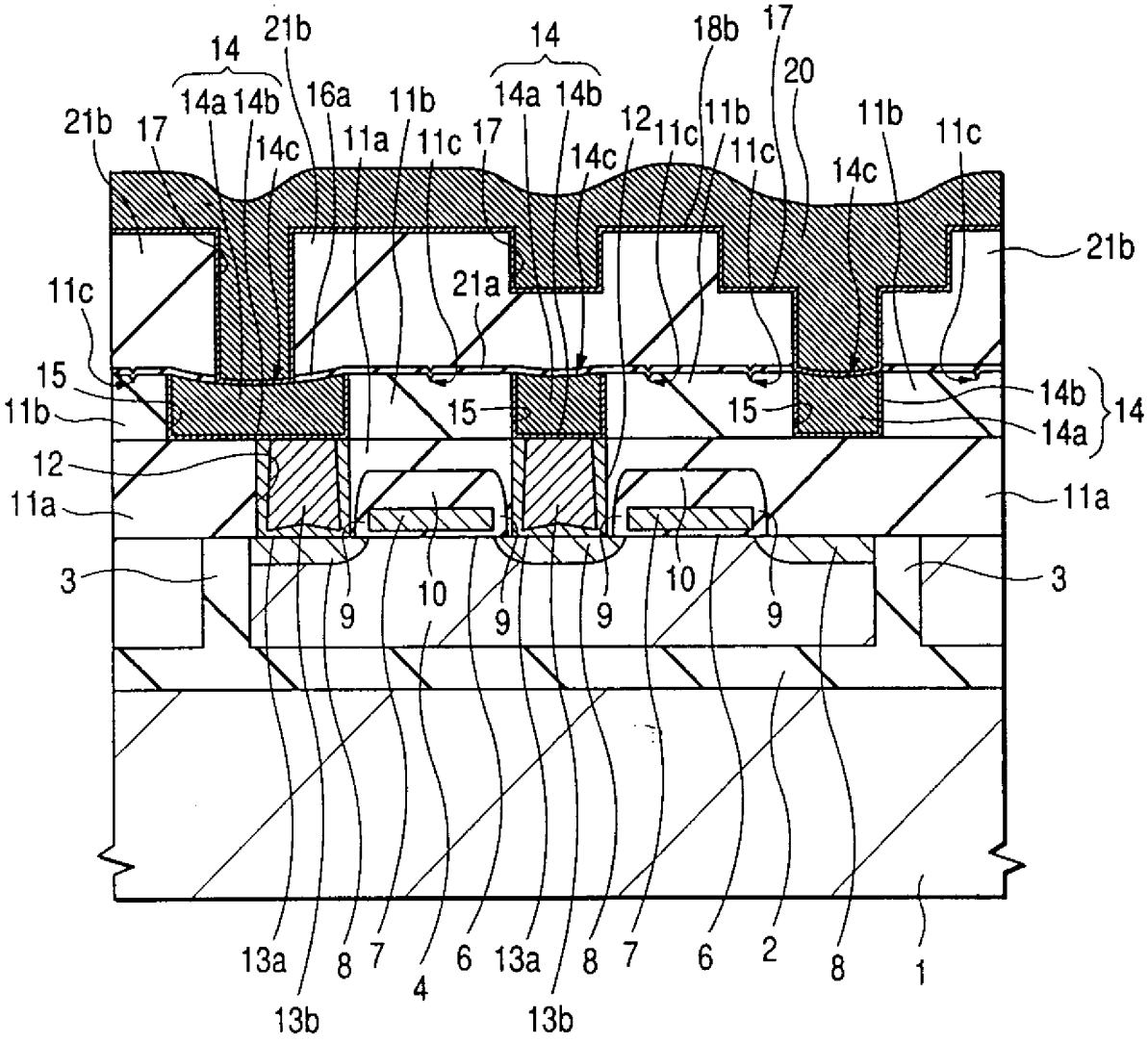
第 17 圖


14
14a 14b
14
14a 14b
11a
16a
11b
21a
12
11b
21b
14c
11c
14c
11c
14c
11c
11c
11c
11b
15
11b
15
15
14b
14a
14
12
11a
11a
3
3
9
10
9
9
10
9
13a
8
7
4
6
13a
8
7
6
2
8
1
13b
13b

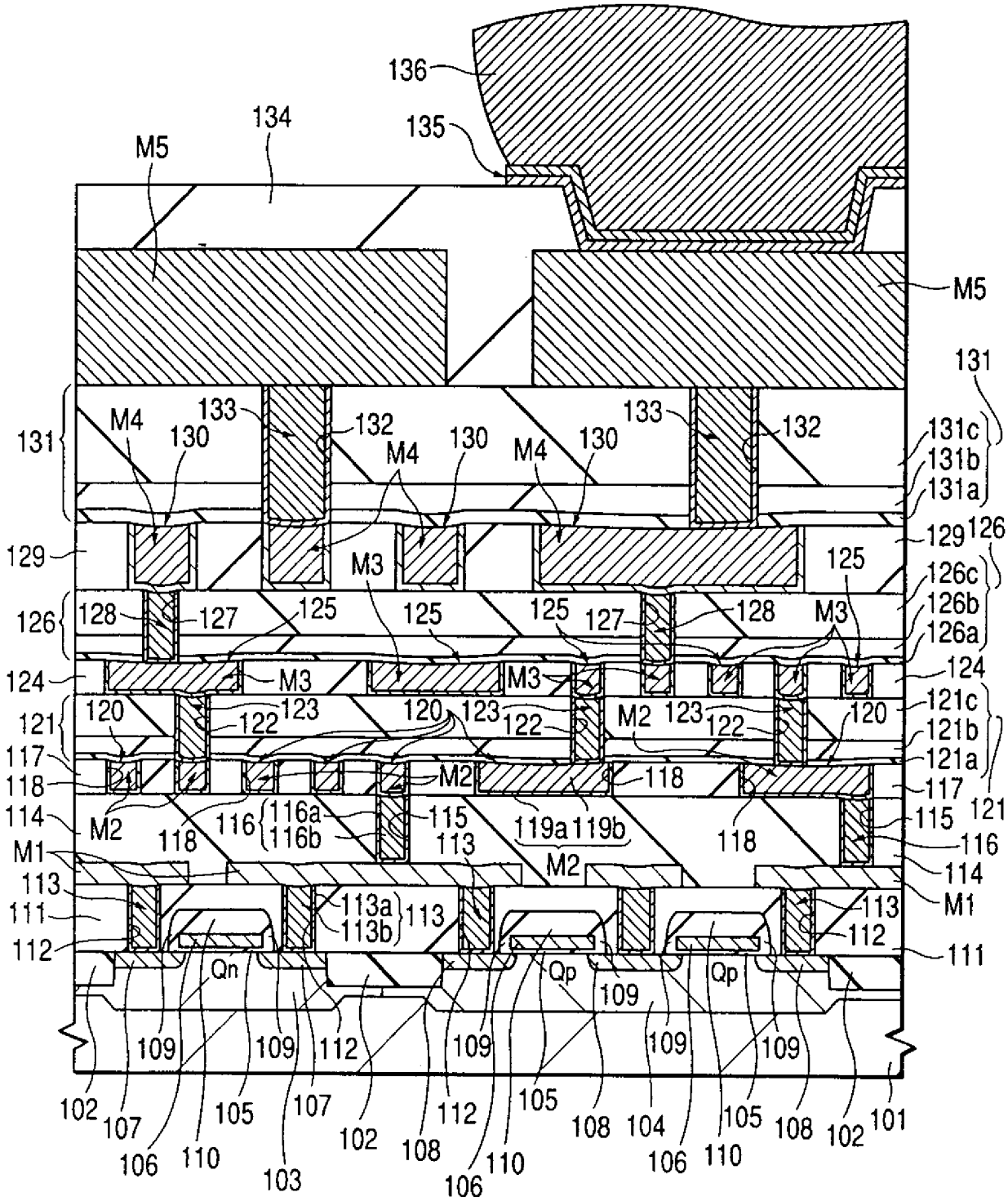
第 18 圖


21b
14
16a
17
14a
14b
14c
11a
11b
11c
21a
12
15
3
9
10
13a
13b
8
7
4
6
2
1

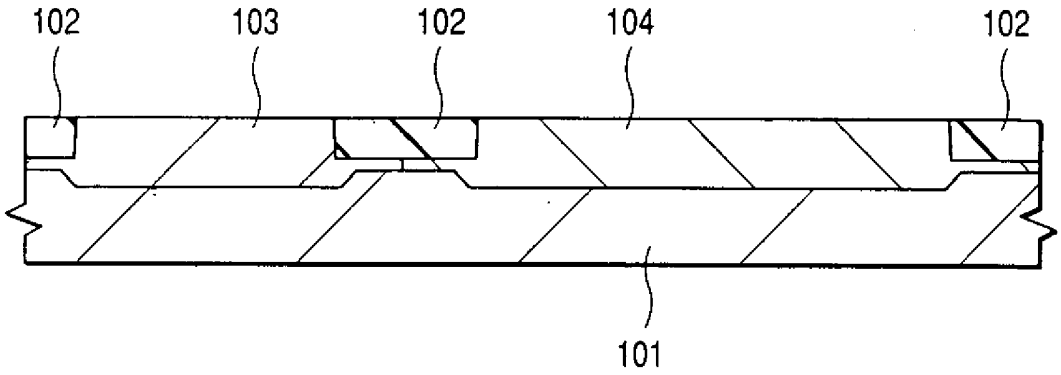
第 19 圖


14
21b
14
18b
17
20
14a 14b
16a
11b
14a 14b
12
11c
11b
11b
11c
21b
17
14c
11a
11c
17
14c
11c
14c
21b
11c
21a
15
14b
14
11b
15
15
14a
12
11a
11a
3
3
9
10
9
9
10
9
13a
8
7
4
6
13a
8
7
6
2
8
1
13b
13b

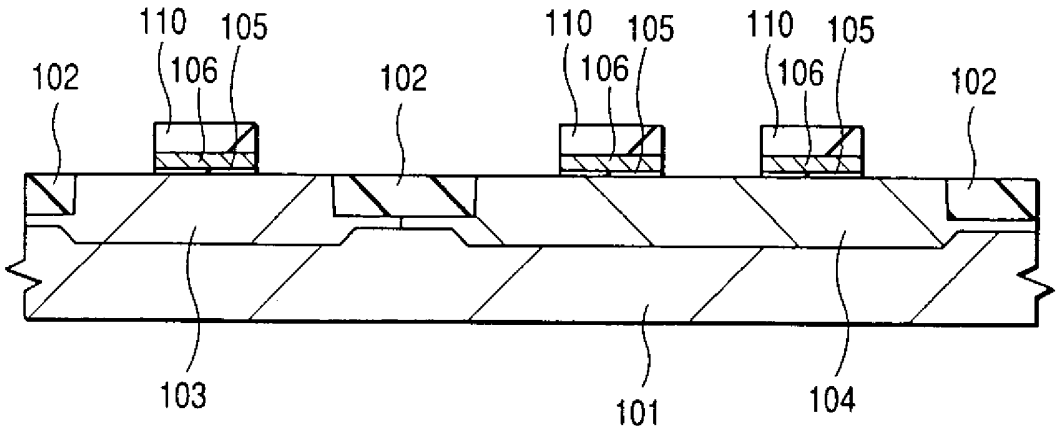
第 20 圖


136
134
135
M5
M5
131
131c
131b
131a
M4
133
130
132
129
126
126c
126b
126a
125
128
127
M3
124
121c
121b
121a
121
120
122
123
M2
117
118
114
116
116a
116b
115
119a
119b
M1
113
113a
113b
111
112
Qn
Qp
109
102
107
106
110
105
103

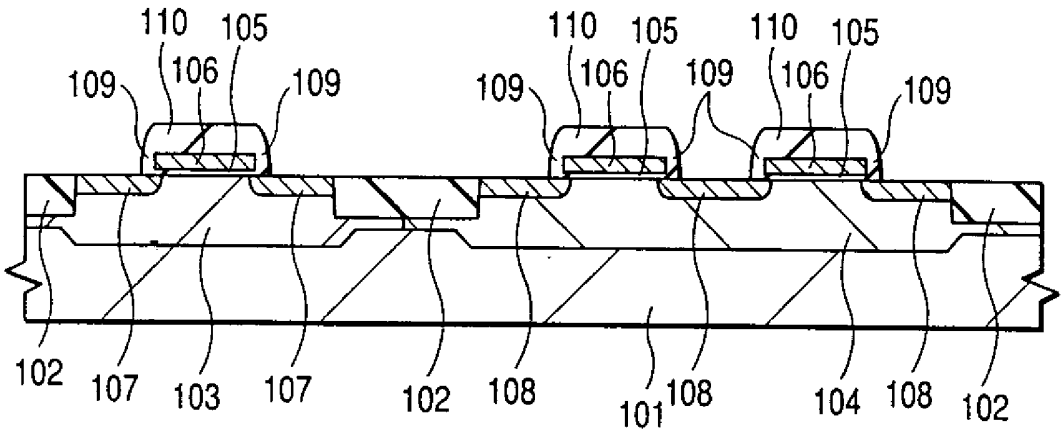
第 21 圖


102
103
102
104
102
101

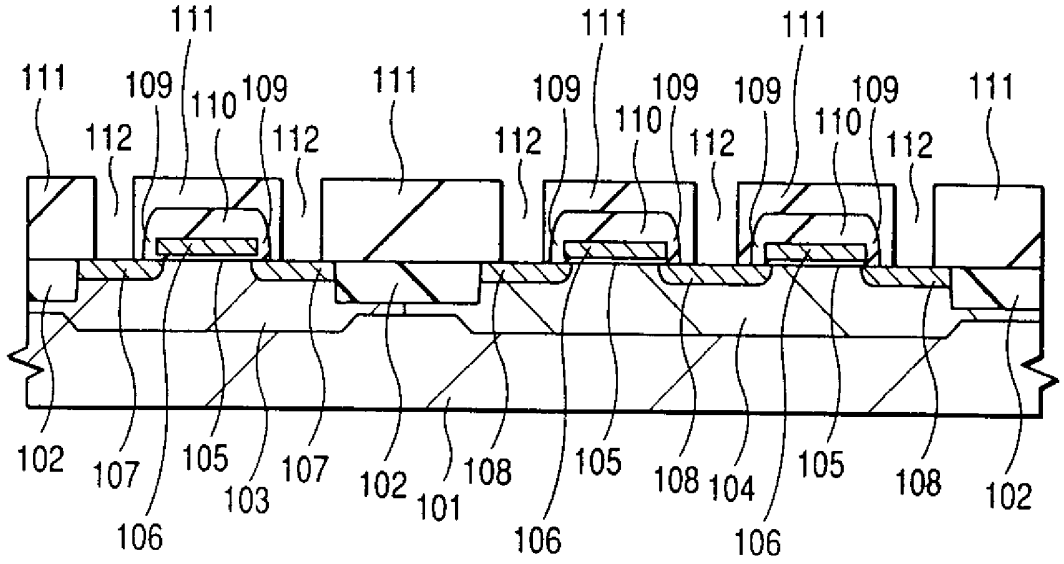
第 22 圖


110
105
106
102
110
105
106
102
110
105
106
102
103
101
104

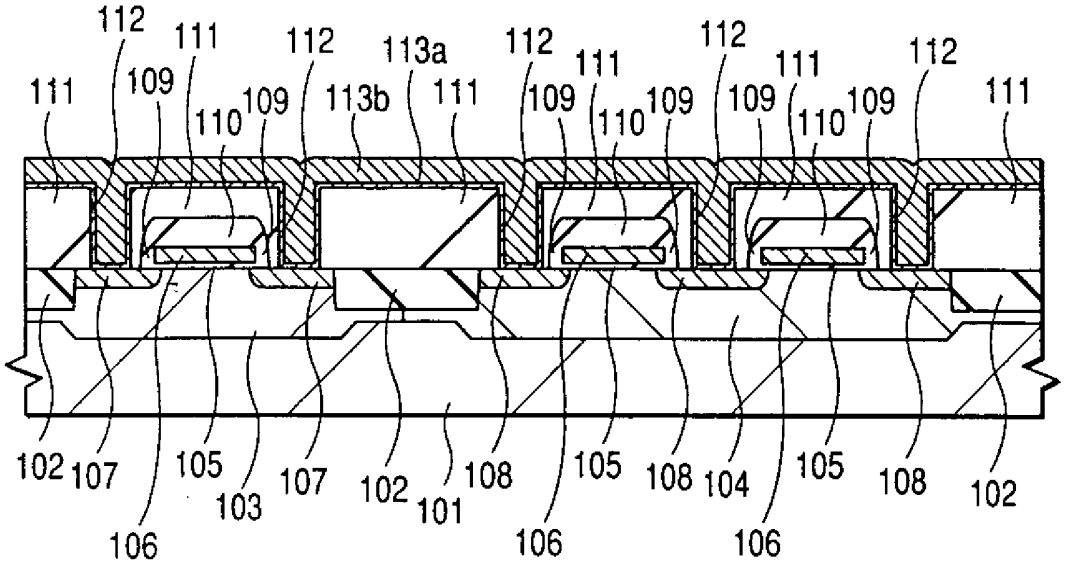
第 23 圖


110
105
109
106
109
110
105
109
106
109
110
105
109
106
109
102
107
103
107
102
108
101
108
104
108
102

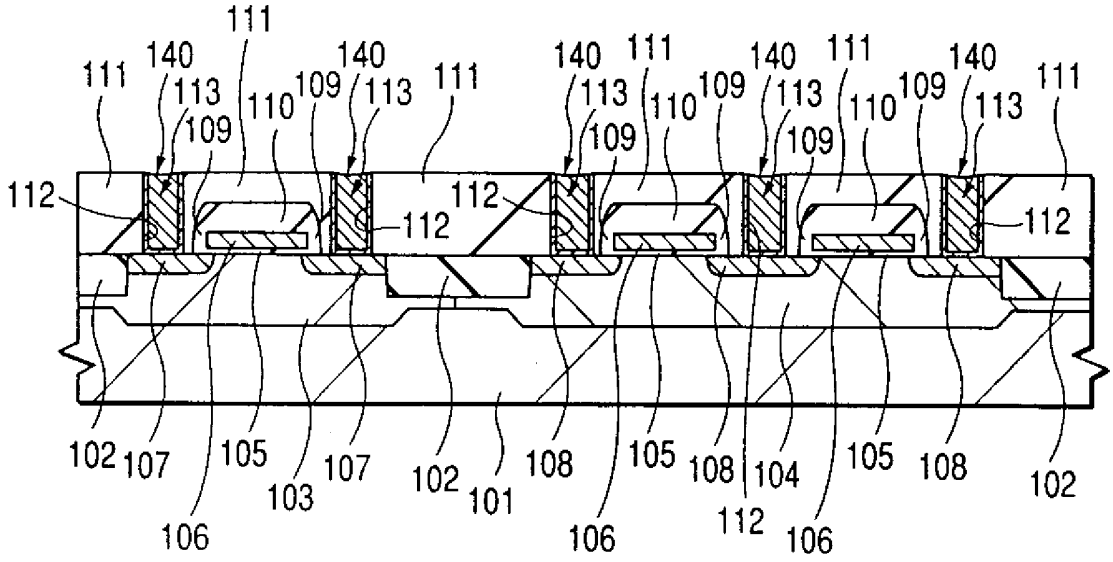
第 24 圖


111
109
110
109
112
111
112
111
109
110
109
112
111
109
110
109
112
111
102
107
106
105
103
107
102
101
108
106
105
108
104
106
105
108
102

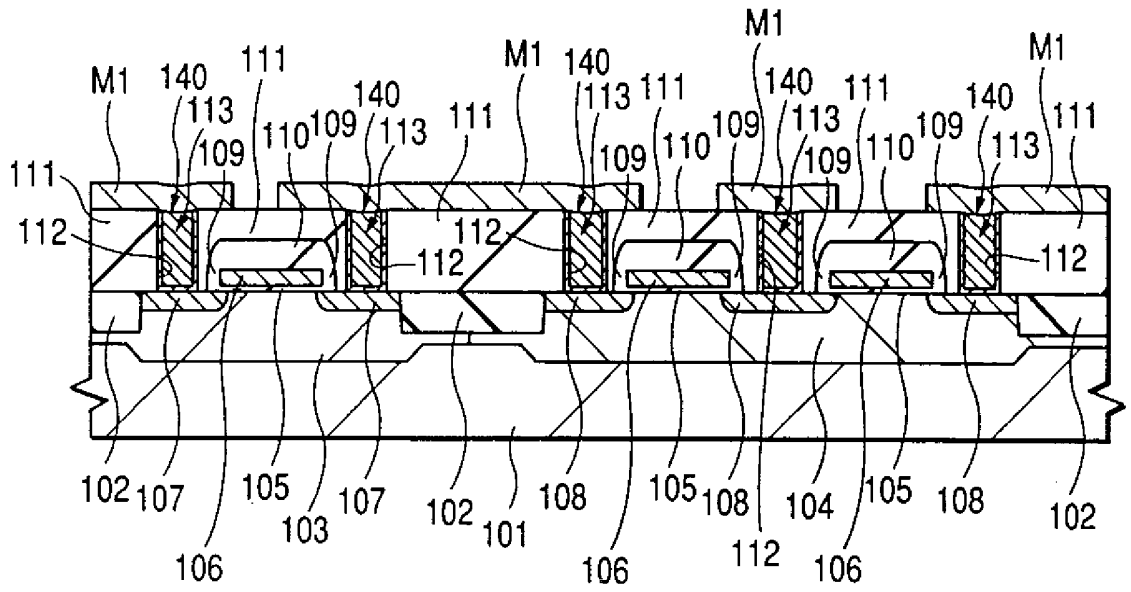
第 25 圖


112
111
109
110
113a
113b
102
107
105
103
106
101
104
108

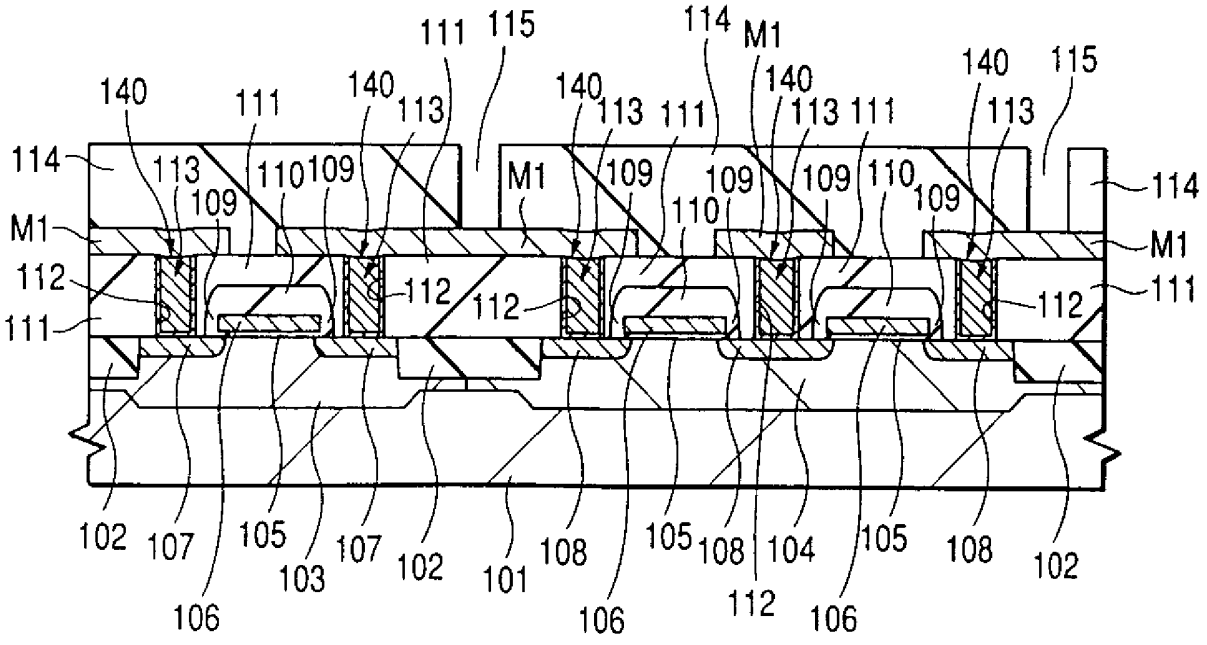
第 26 圖


111
140
113
109
110
112
102
107
105
103
106
101
104
108

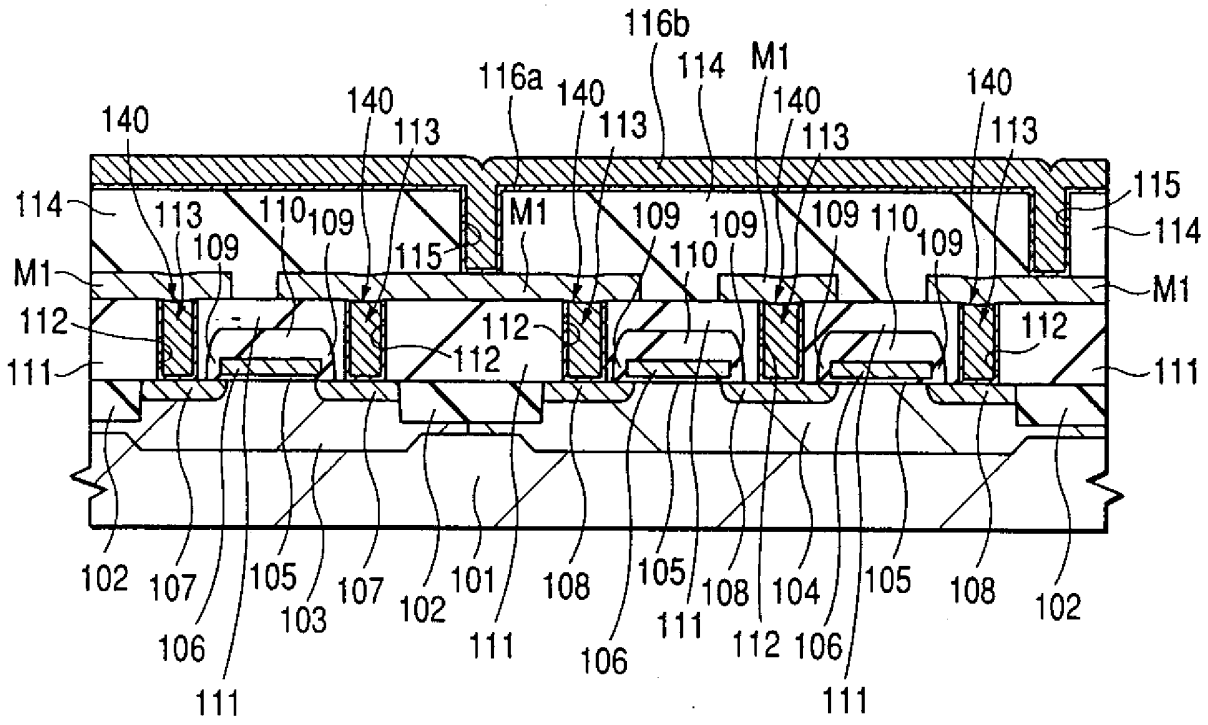
第 27 圖


M1
140
111
113
109
110
112
102
107
105
103
106
101
108
104

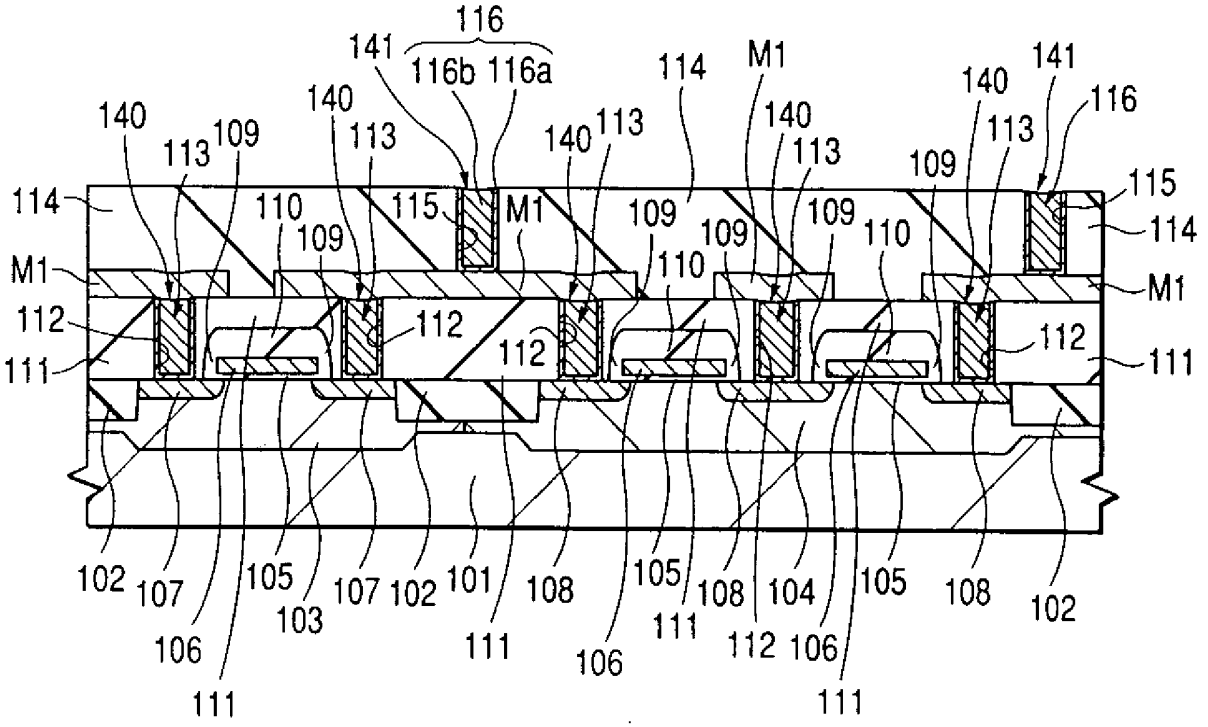
第 28 圖


111
115
114
M1
140
113
109
110
112
102
107
105
103
106
101
108
104

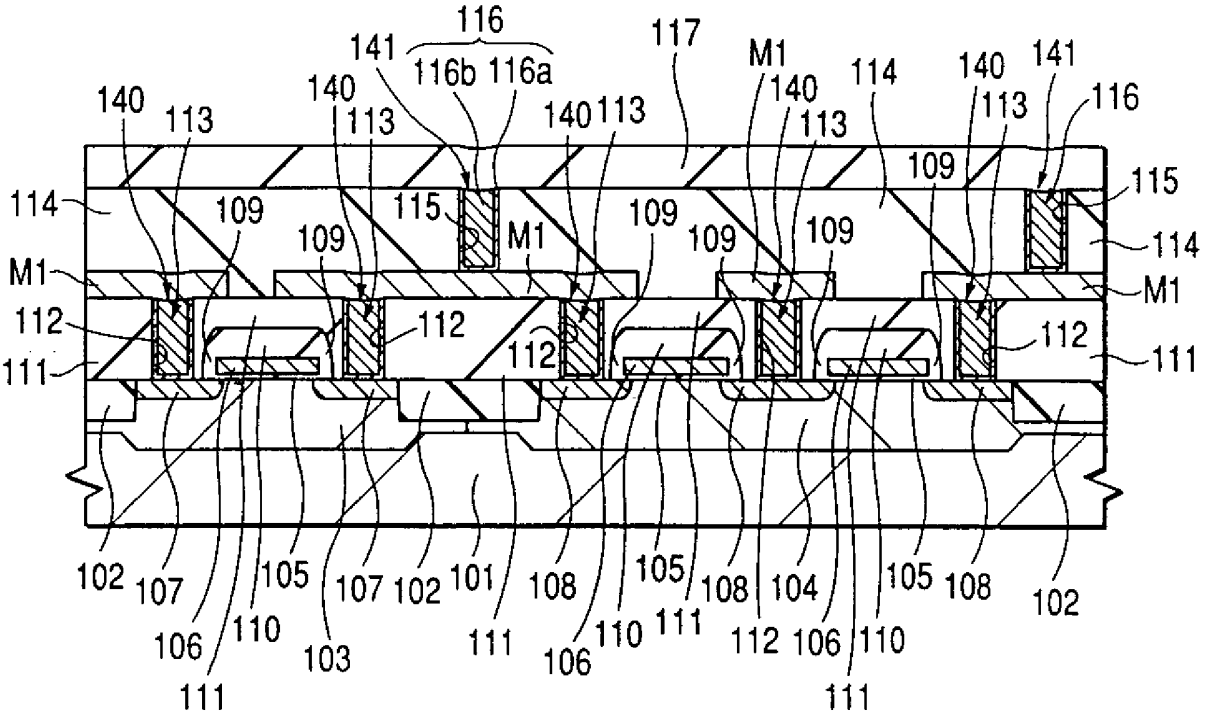
第 29 圖


116b
116a
114
M1
140
113
115
109
110
112
111
102
107
105
103
101
108
106

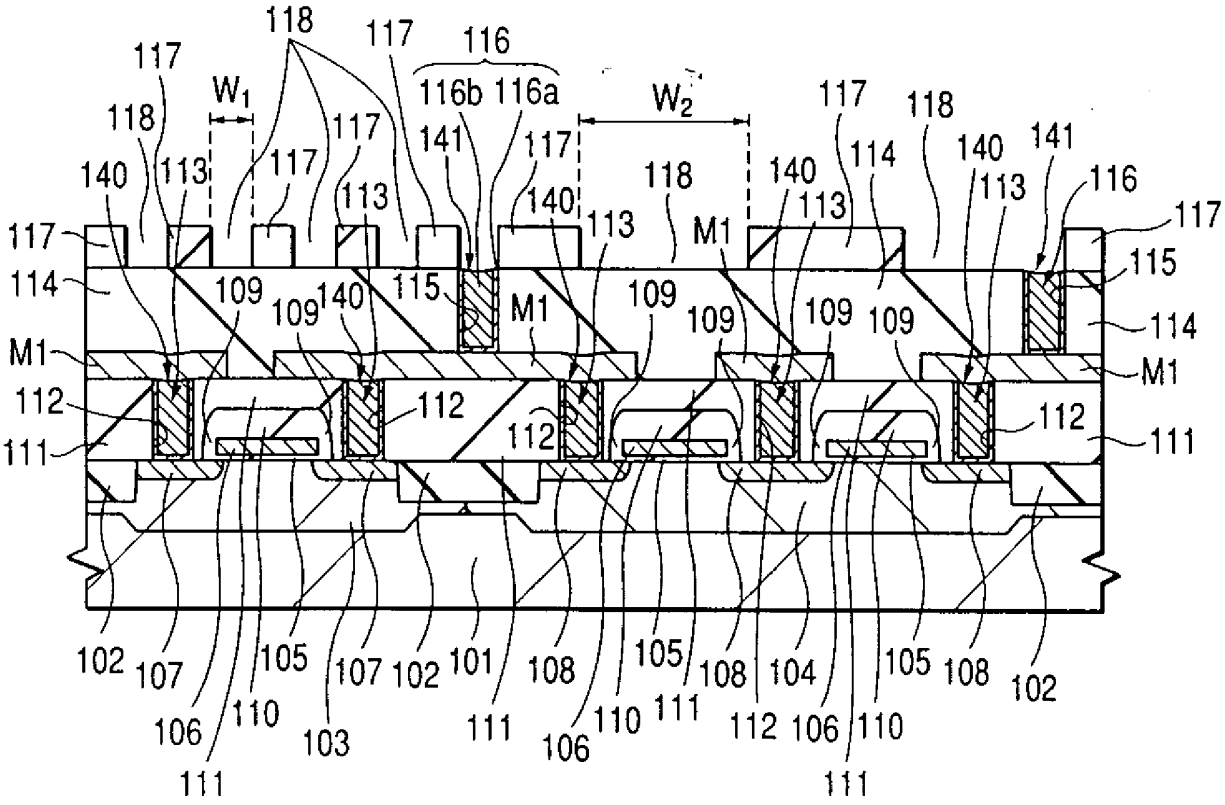
第 30 圖


116
141
116b
116a
114
M1
140
113
115
109
110
112
111
102
107
105
103
101
108
106
104

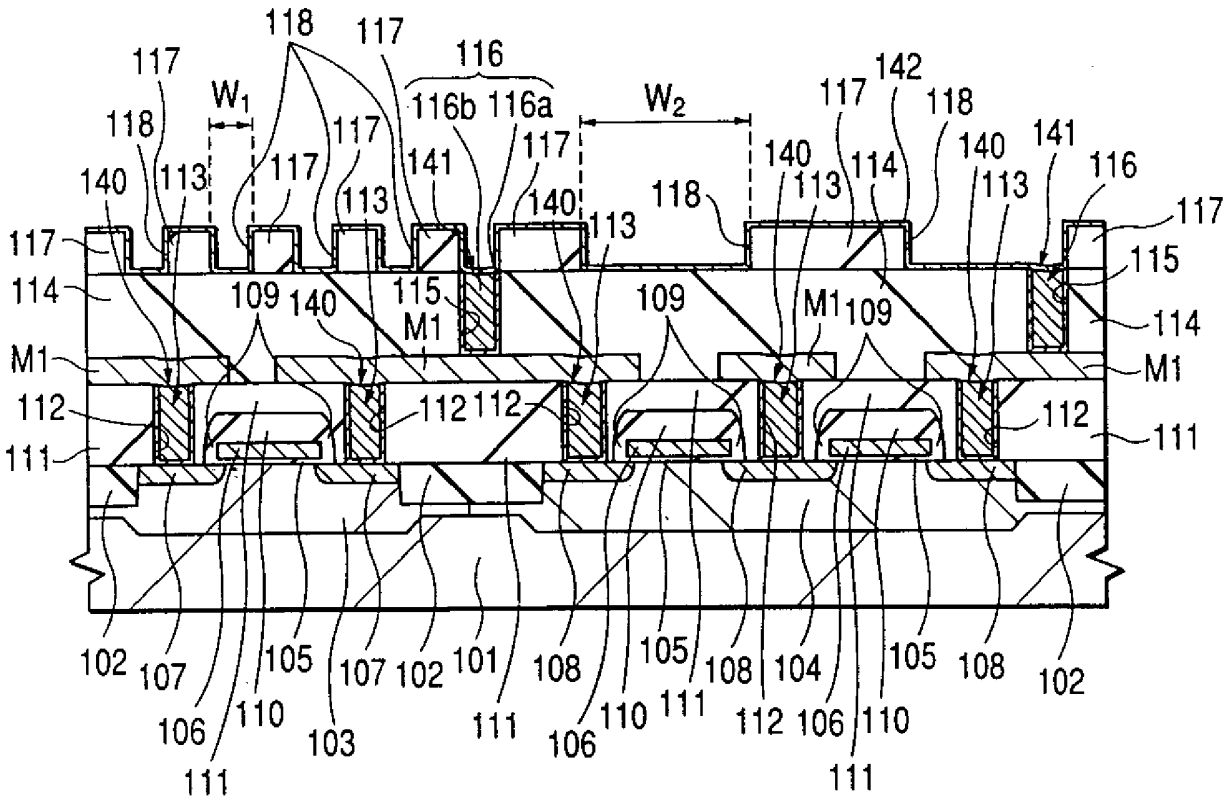
第 31 圖


116
141
116b
116a
117
M1
140
113
114
109
115
112
111
102
107
105
106
110
103
101
108
104

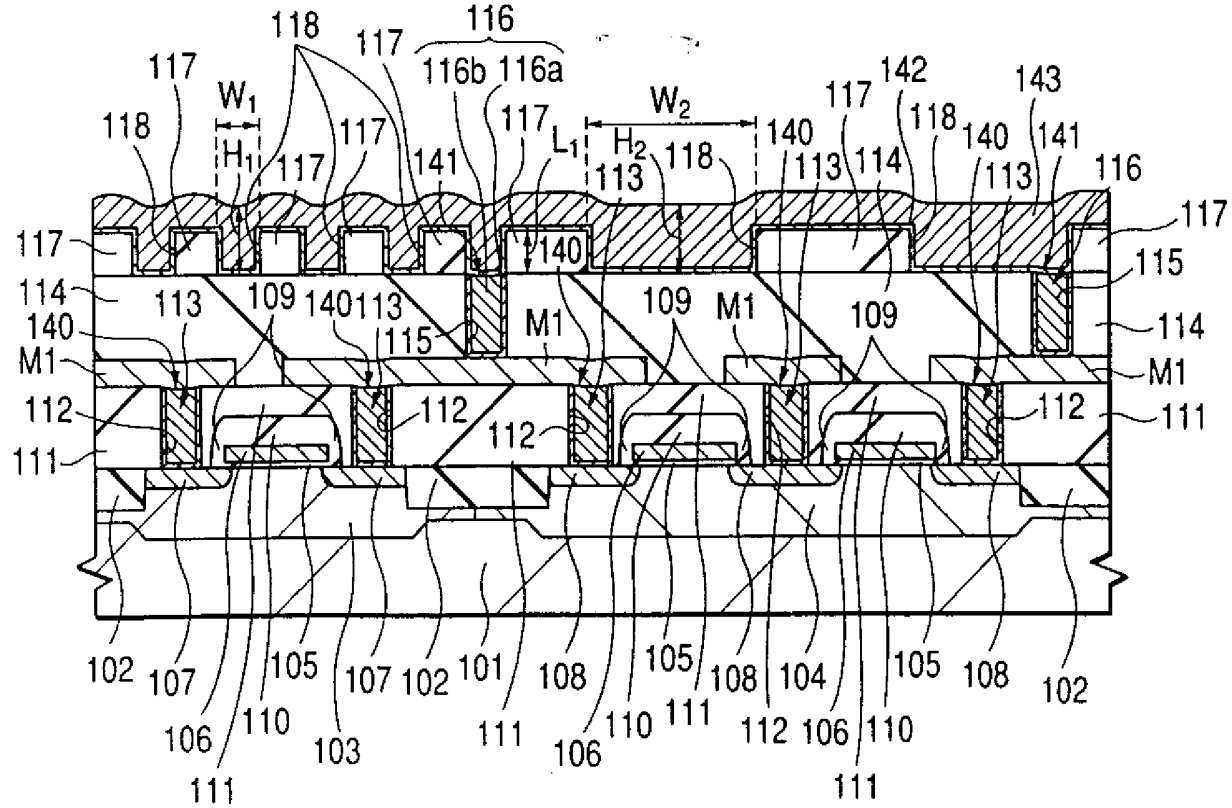
第 32 圖


118
117
116
116b
116a
W1
W2
141
140
113
114
109
115
M1
112
111
102
107
105
106
110
103
101
108
104

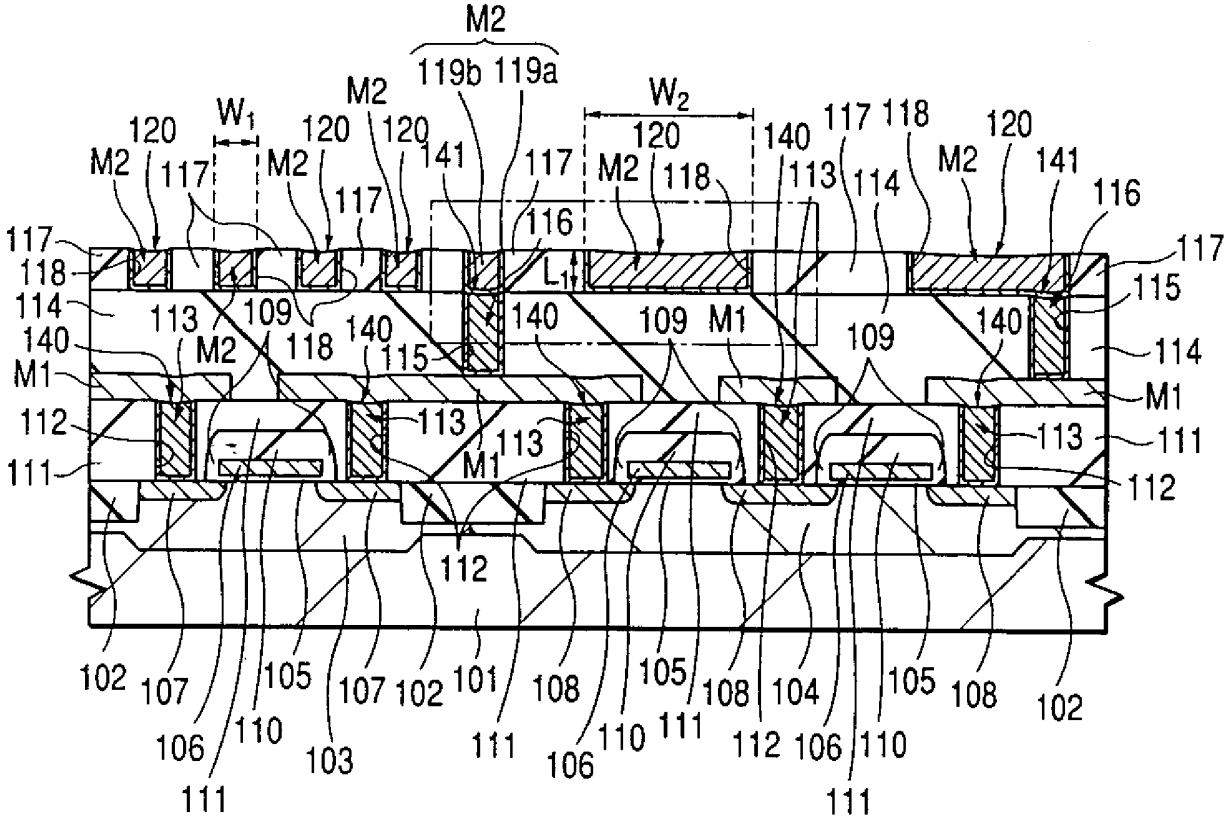
第 33 圖


118
117
116
116b 116a
W1
W2
142
141
140
113
114
115
M1
109
112
111
102
107
106
110
105
103
101
108
104

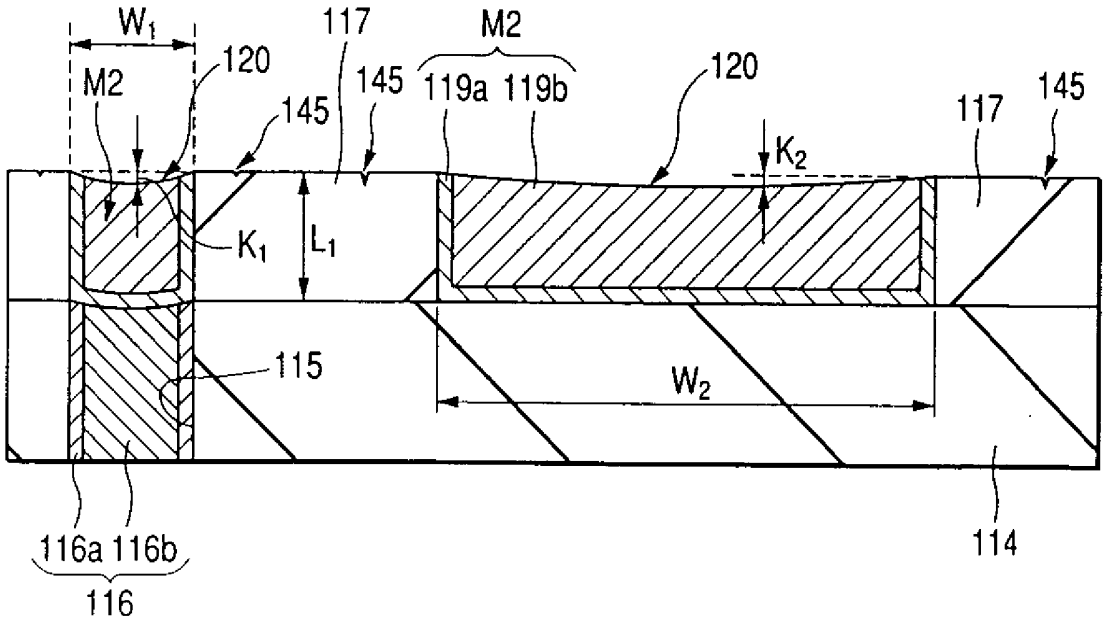
第 34 圖


118
117
116
116b 116a
W1
W2
H1
H2
L1
142
143
141
140
113
114
115
M1
109
112
111
102
107
106
110
105
103
101
108
104

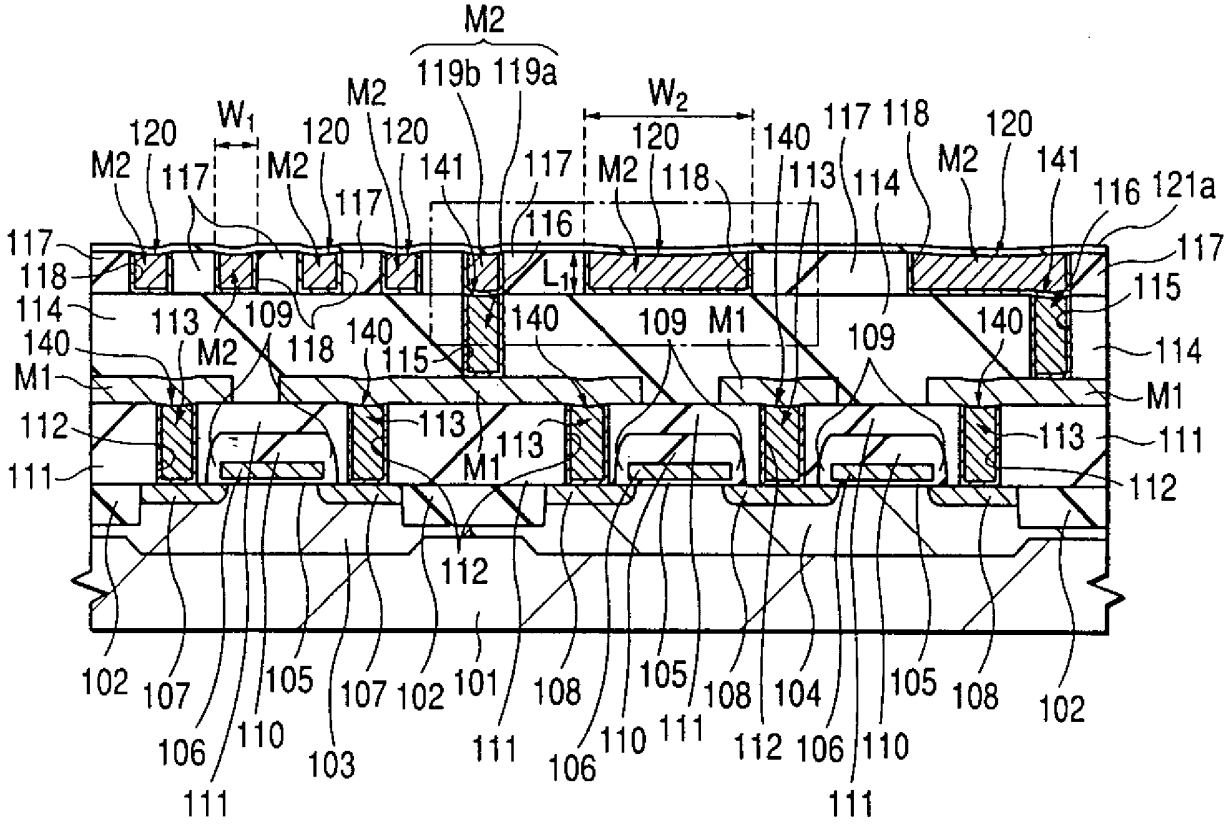
第 35 圖


M2
119b 119a
W1
W2
120
117
118
114
140
M1
112
111
113
109
141
116
115
L1
102
107
106
110
105
103
101
108
104

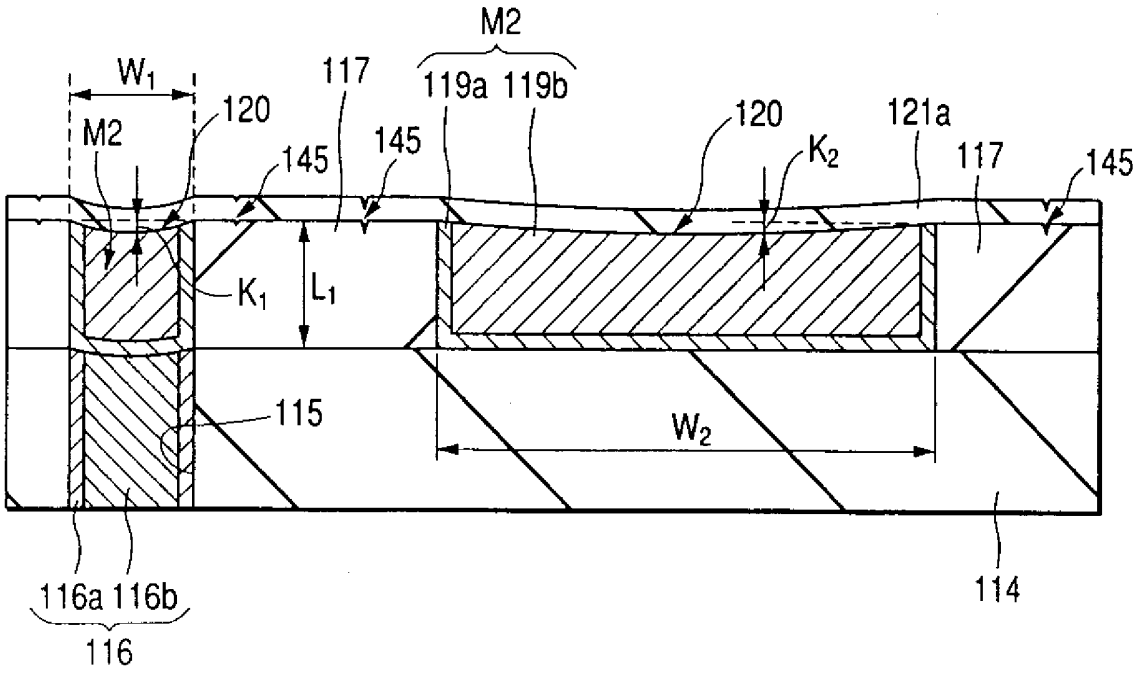
第 36 圖


W1
M2
120
117
145
119a 119b
K2
K1
L1
115
W2
116a 116b
116
114

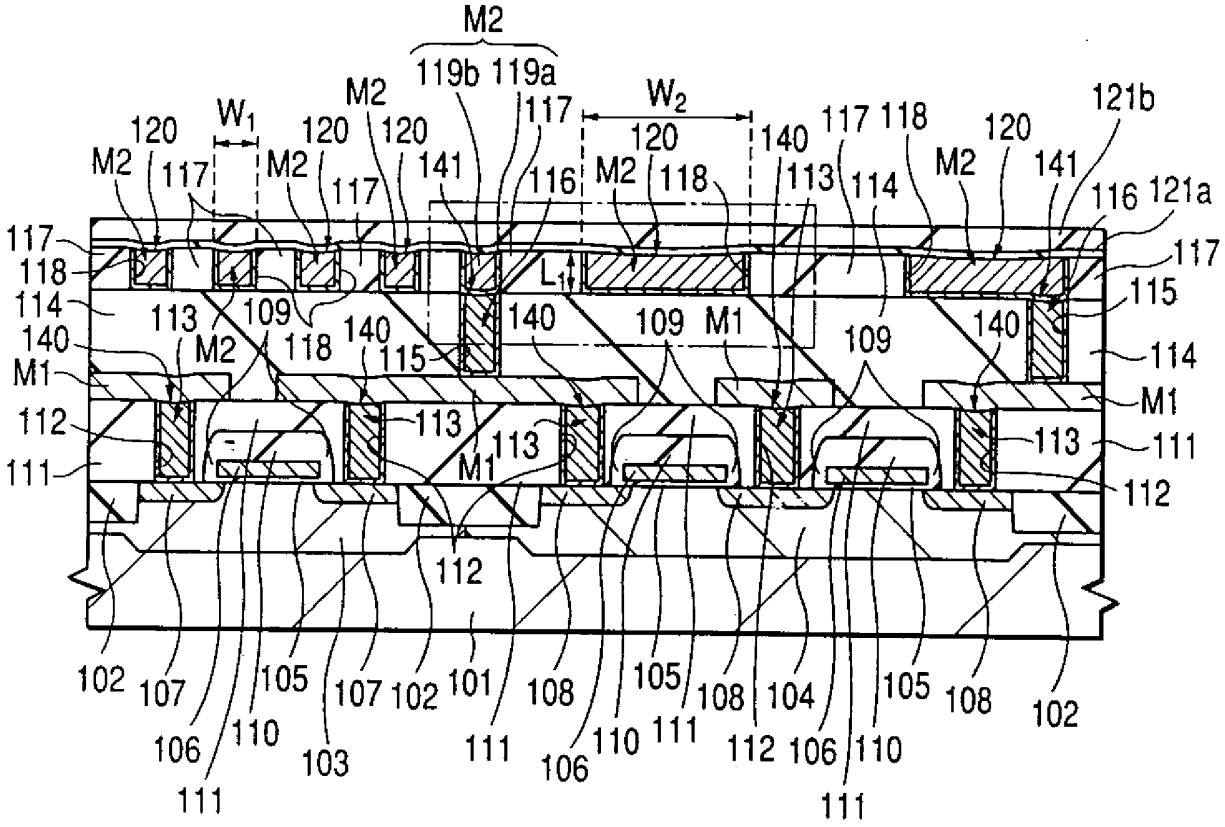
第 37 圖


M2
119b 119a
W1
W2
120
117
118
114
113
109
140
141
116
121a
115
M1
112
111
L1
102
107
106
110
105
103
101
108
104

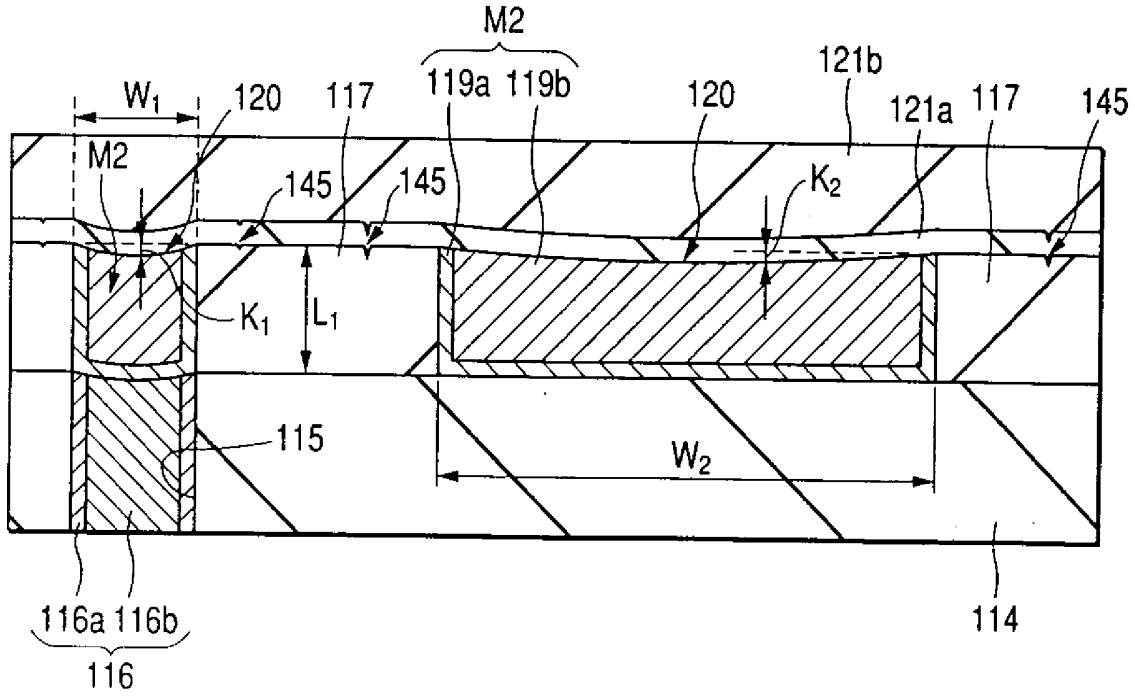
第 38 圖


M2
119a 119b
W1
120
117
145
121a
K2
K1
L1
115
W2
116a 116b
116
114

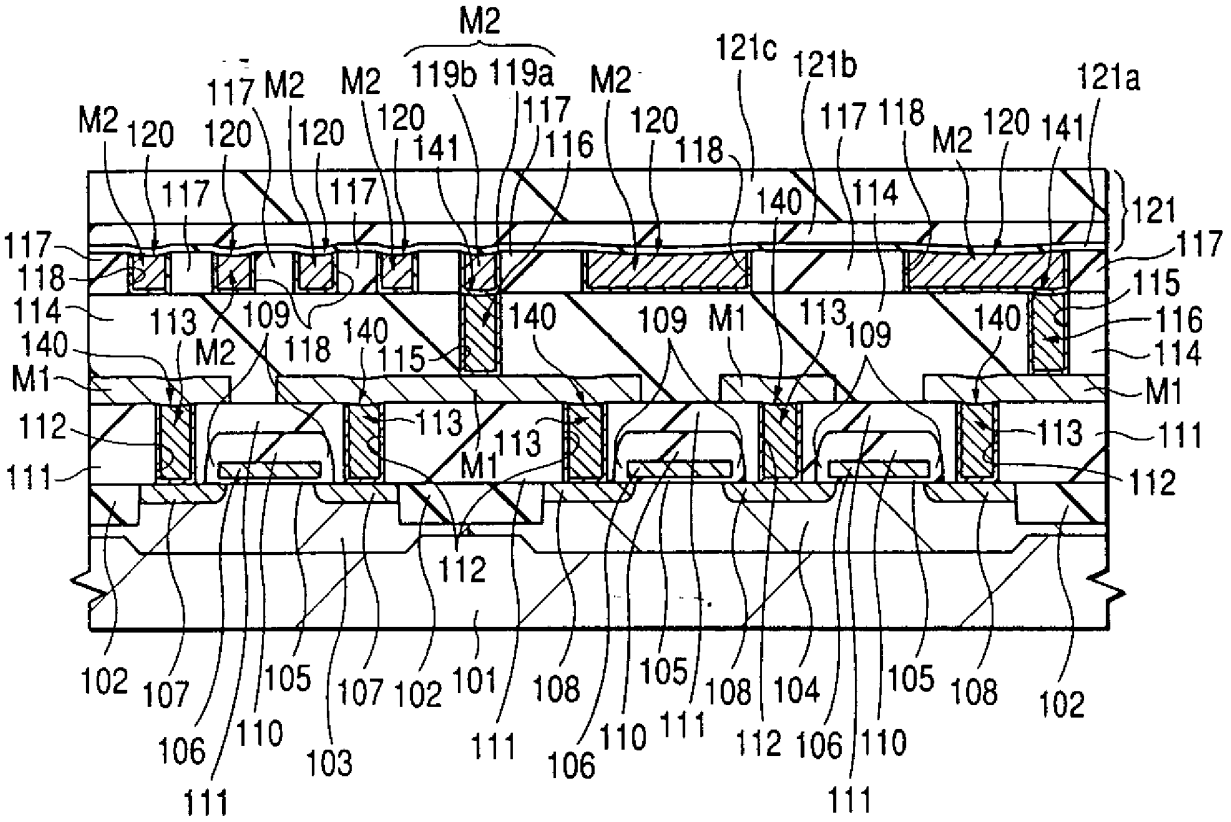
第 39 圖


M2
119b 119a
W1
W2
120
117
118
114
113
109
140
141
116
121a
121b
115
M1
112
111
L1
102
107
106
110
105
103
101
108
104

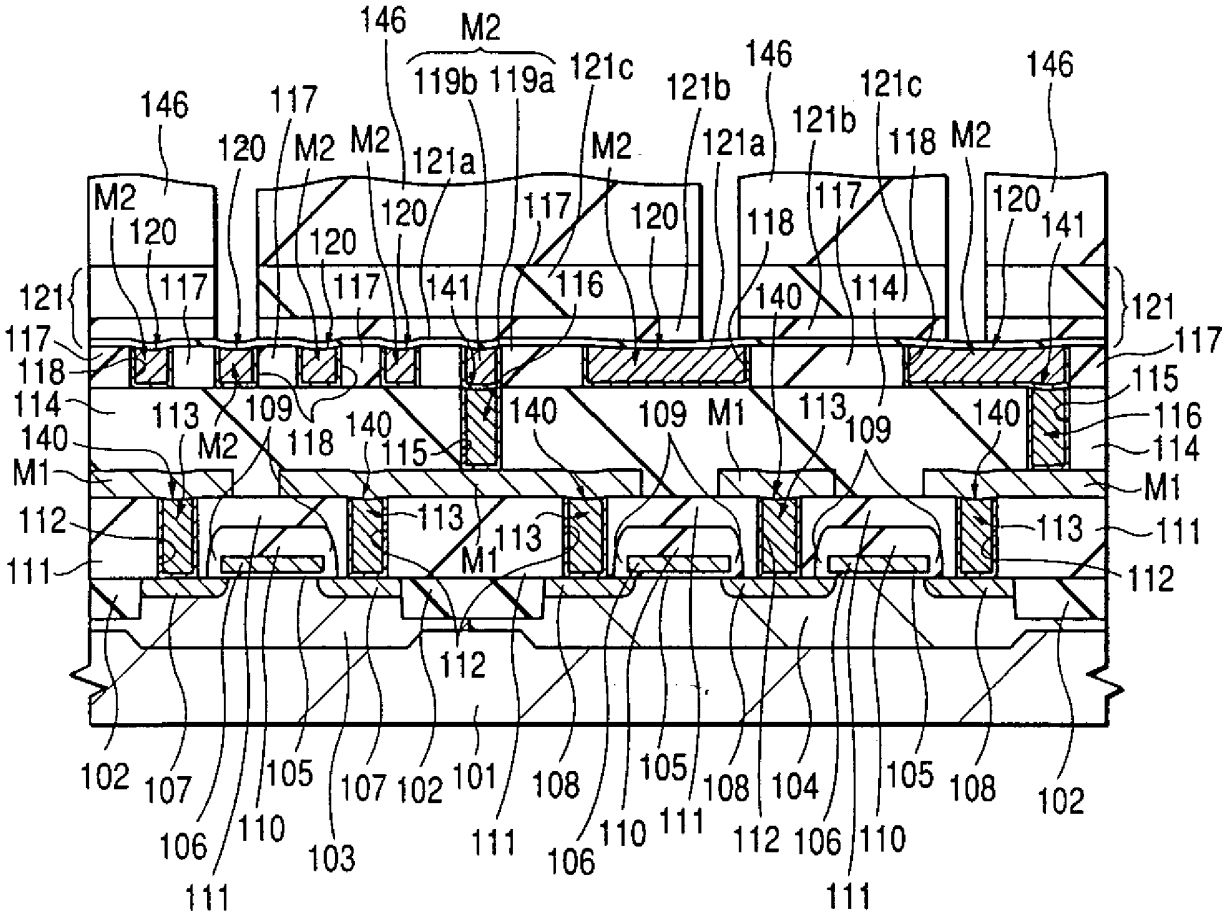
第 40 圖


M2
119a 119b
W1
120
117
121b
121a
145
K1
K2
L1
115
W2
116a 116b
116
114

第 41 圖

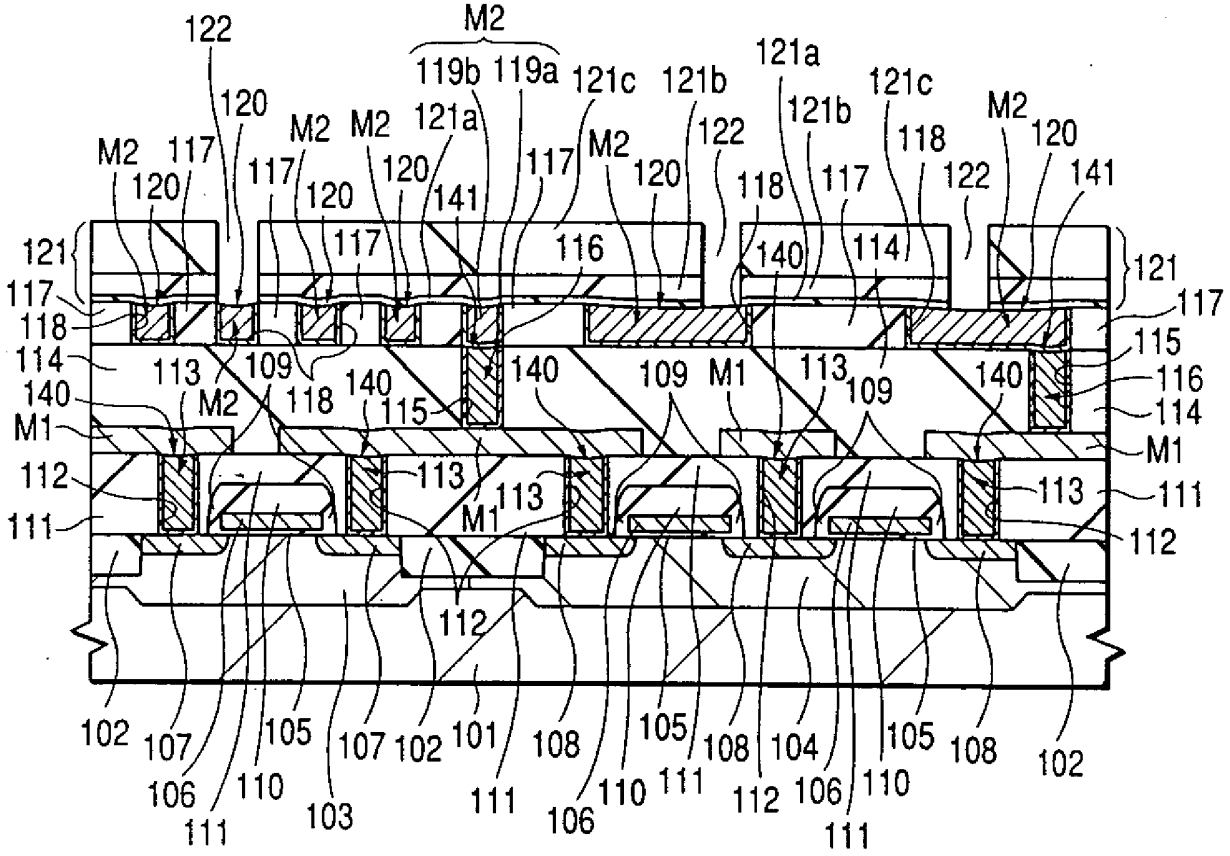

M2
119b 119a
121c
121b
121a
117 M2
M2
M2
120
120
120
120
141
117
116
120
118
117 118
M2
120
141
117
117
140
114
121
117
118
114
113
109
118
140
115
140
109
M1
113
109
140
115
116
114
140
M2
M1
M1
112
113
113
113
111
111
M1
112
112
102
107
105
107
102
101
108
105
108
104
105
108
102
106
110
103
111
106
110
111
112
106
110
111

第 42 圖

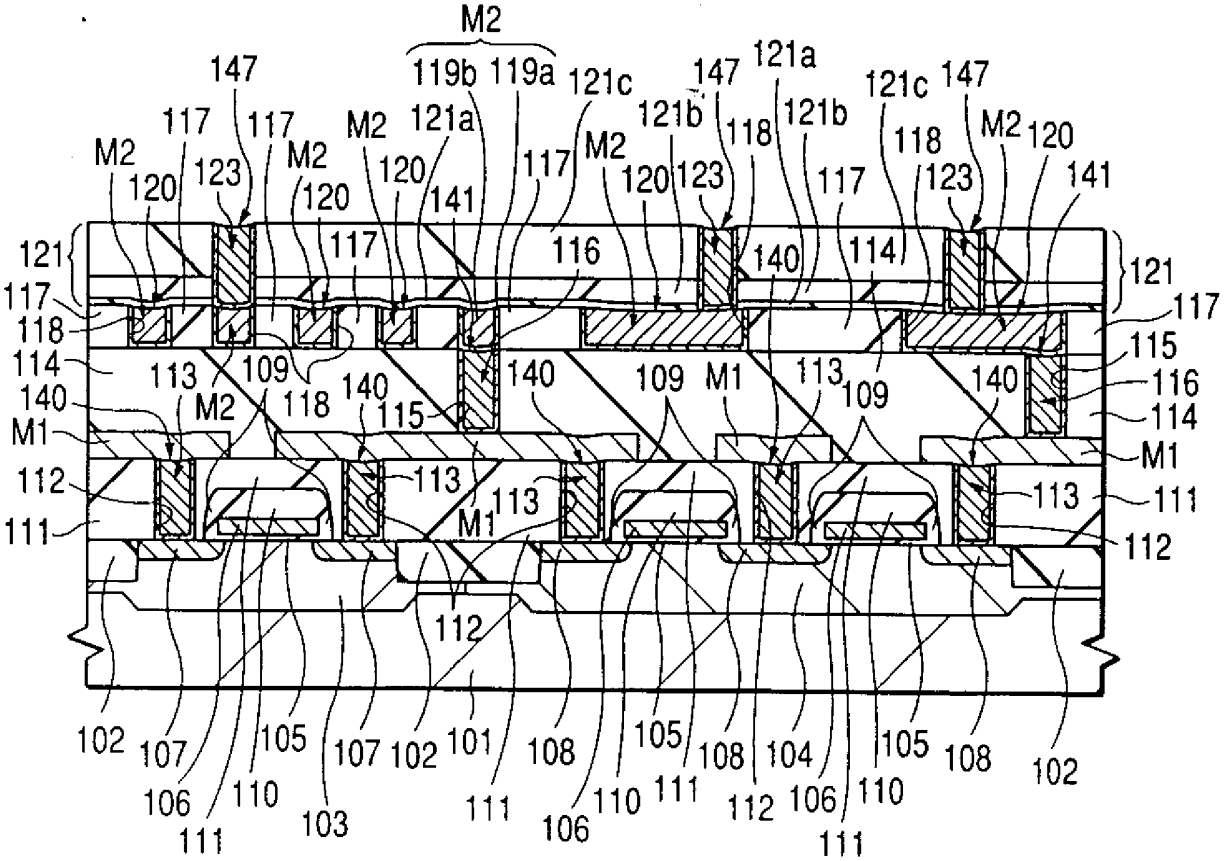

146
M2
119b 119a
121c
121b
146
121c
146
146
117
120
M2
M2
121a
M2
121a
121b
118
M2
M2
120
120
117
120
118
117
120
141
121
117
117
141
116
140
114
121
117
117
118
115
114
113
109
118
140
140
109
M1
113
109
140
116
140
M2
115
114
M1
M1
112
113
113
113
111
111
M1
112
112
102
107
105
107
102
101
108
105
108
104
105
108
102
106
110
103
111
106
110
111
112
106
110
111
111

第 43 圖

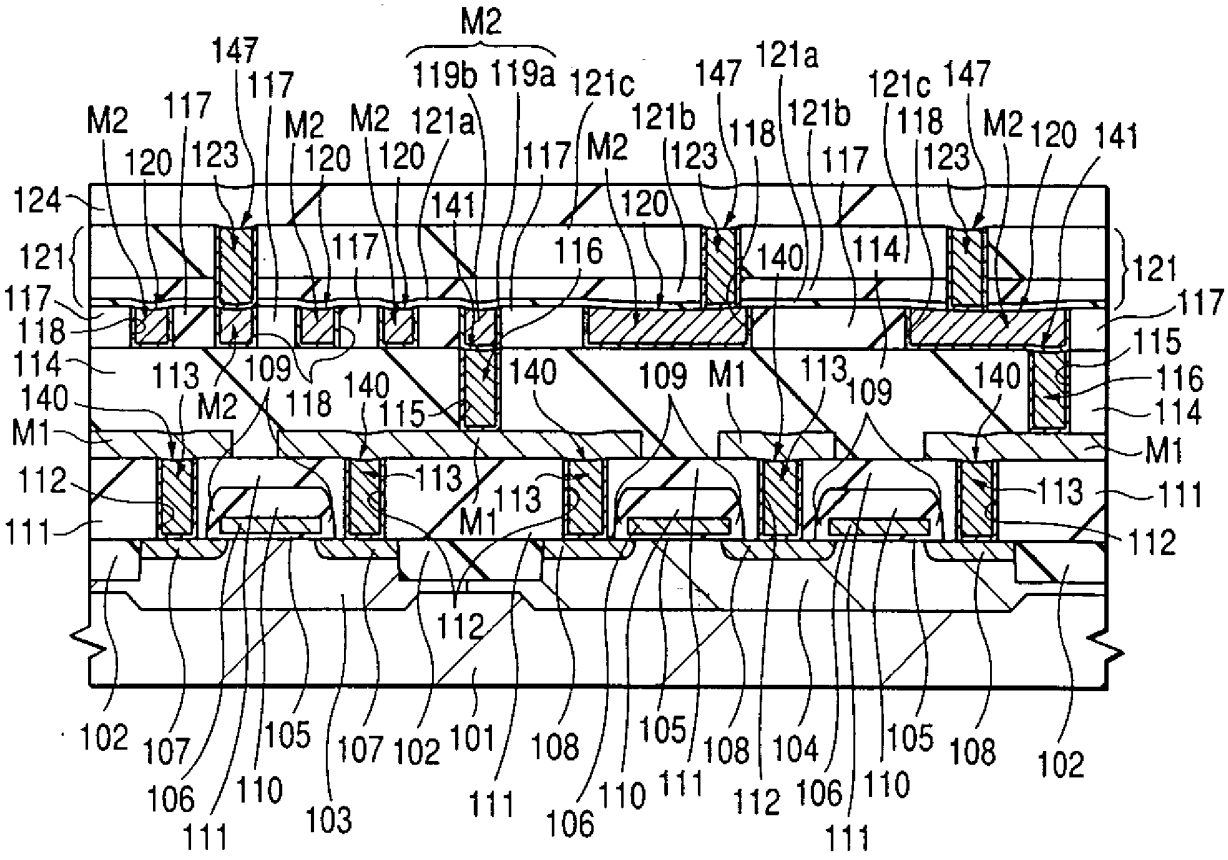
424294



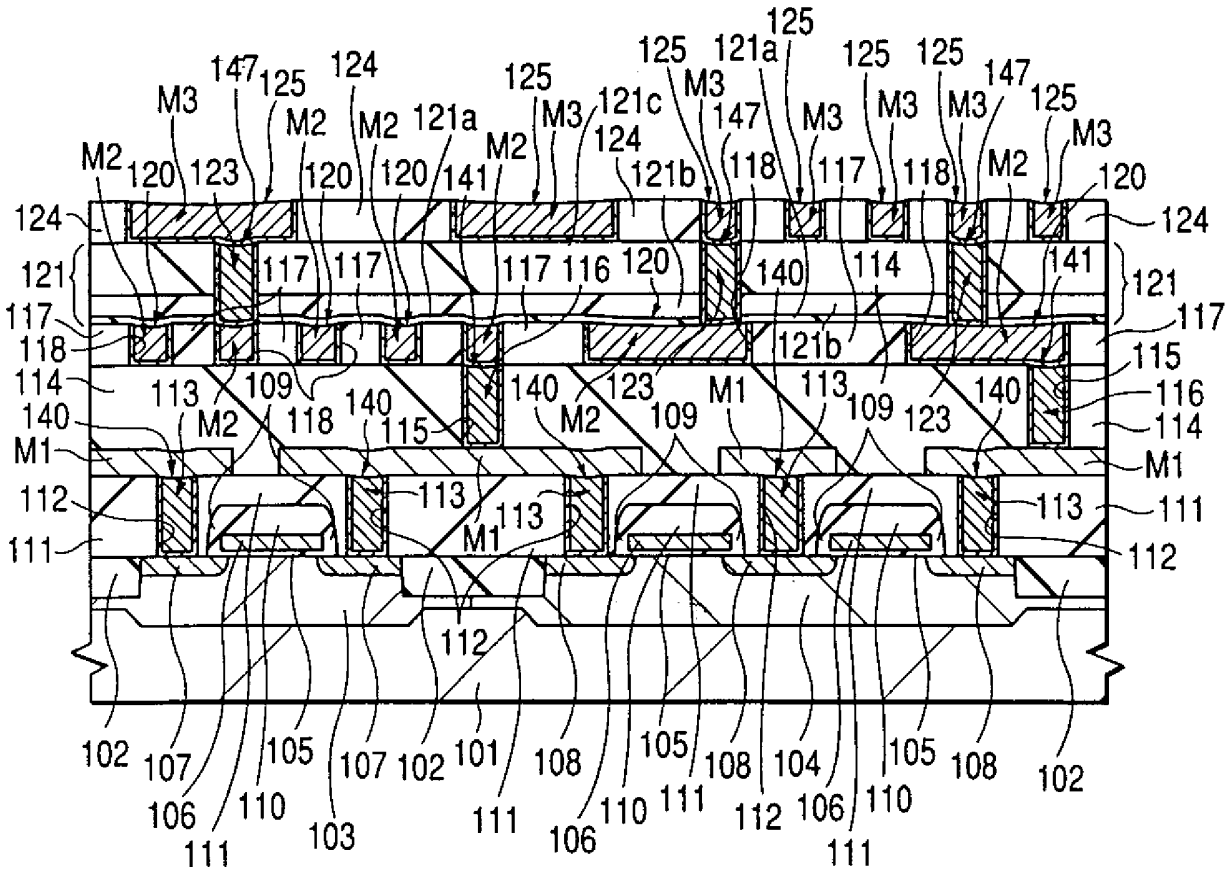
第 44 圖



第 45 圖


M2
147
117
119b
119a
121c
147
121a
M2
117
M2
M2
121a
121b
121c
147
120
123
120
120
117
M2
123
118
121b
118
123
M2
120
141
124
141
120
121
117
116
140
114
121
117
118
115
114
113
109
140
140
109
M1
113
109
140
116
140
M2
118
115
114
M1
M1
112
113
113
113
111
111
M1
112
112
102
107
105
107
102
101
108
105
108
104
105
108
102
106
110
103
111
106
110
111
112
106
110
111

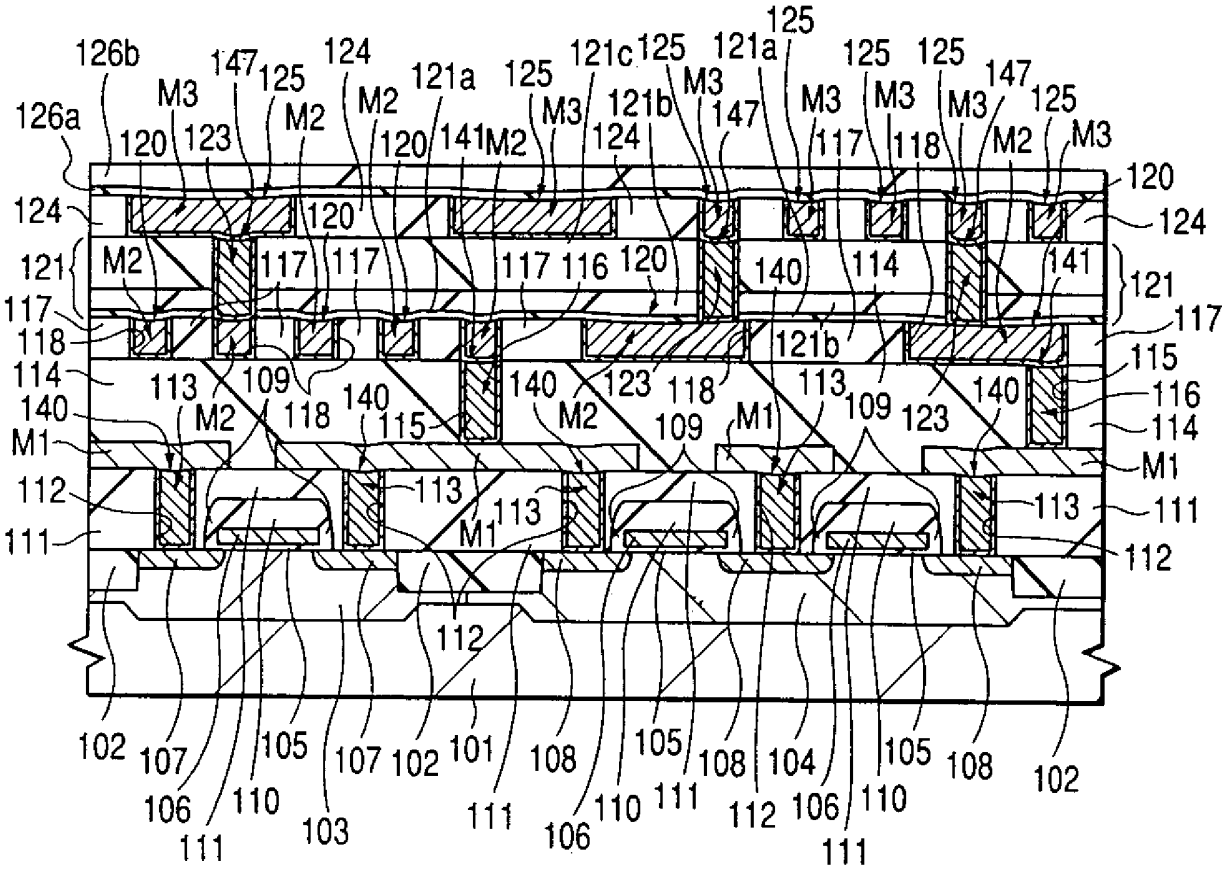
第 46 圖



125
125
121a
125
125
147
125
124
125
M3
M3
M3
M3
M3
M3
M3
M2
M2
121a
121c
147
M2
M2
124
M2
120
123
120
120
141
121b
118
117
118
120
124
124
121
117
117
117
116
120
140
114
141
121
117
117
118
121b
115
114
113
109
140
123
M1
113
109
123
140
116
140
M2
118
140
115
M2
109
114
M1
M1
112
113
113
113
111
111
M1
112
112
102
107
105
107
102
101
108
105
108
104
105
108
102
106
110
103
111
106
110
111
112
106
110
111
111

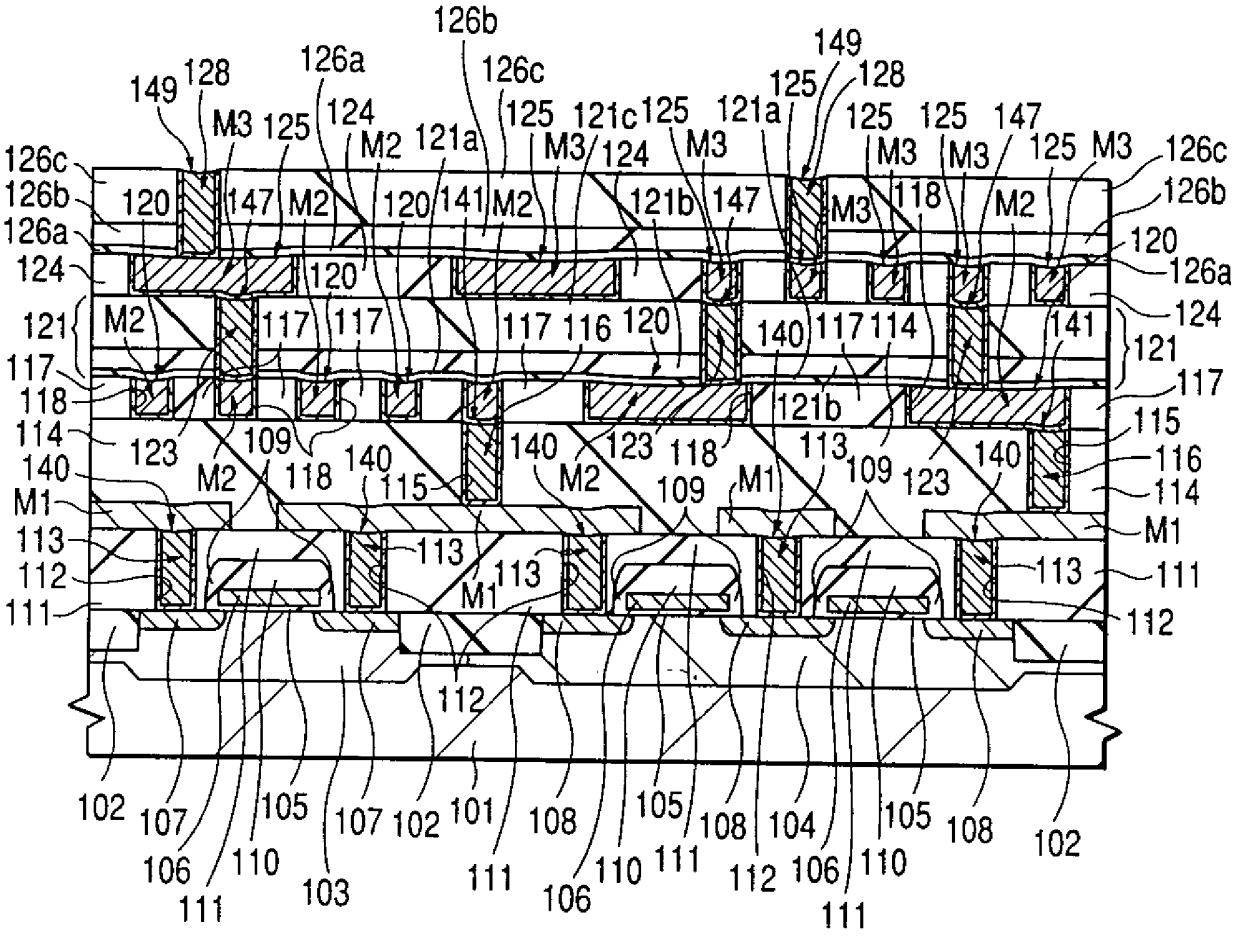
第 47 圖

424294


126b
126a
M3
147
125
124
M2
121a
121c
121b
120
123
141
116
117
118
140
114
121
115
113
109
M1
112
111
102
107
106
110
105
103
101
108
104

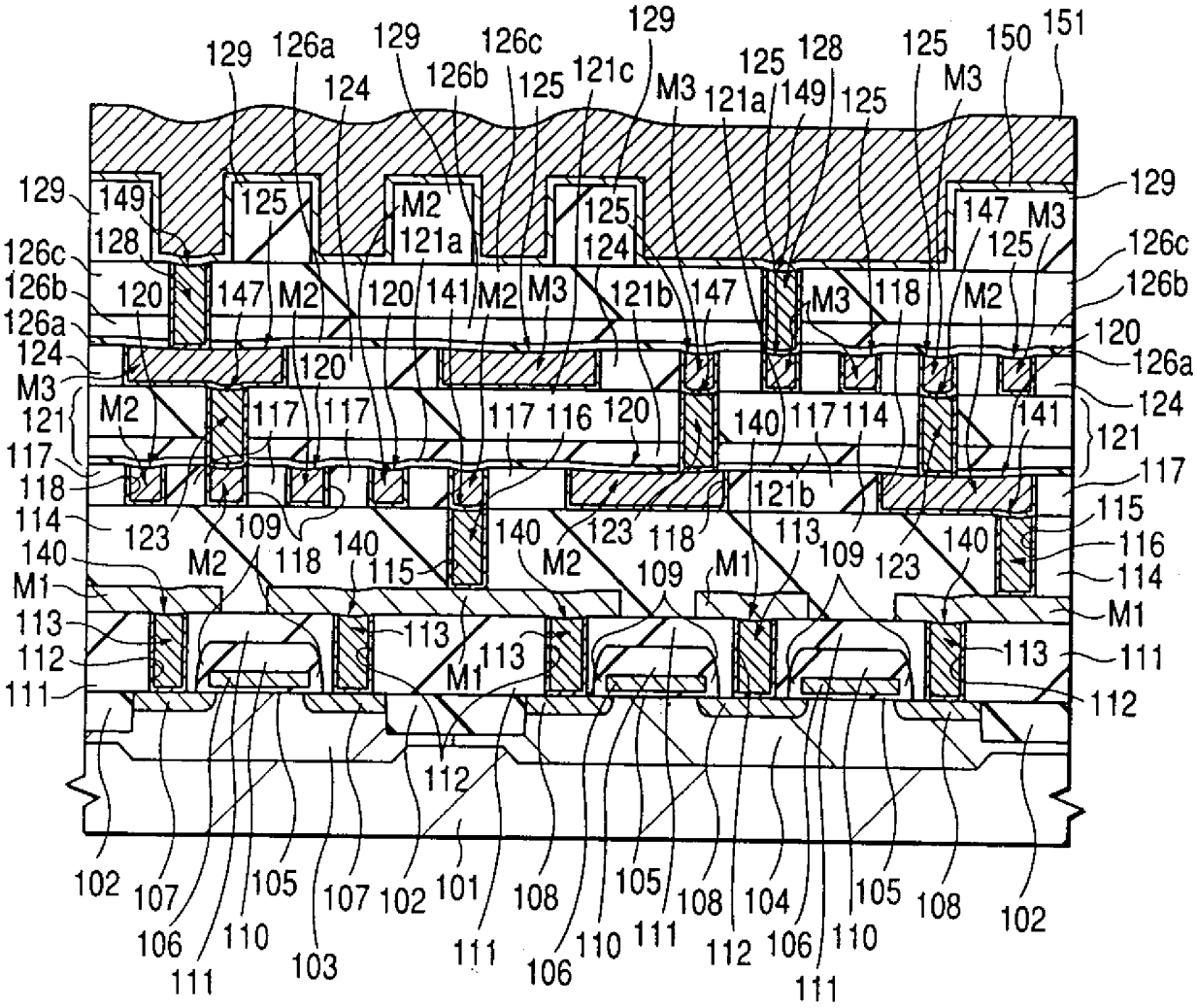
第 48 圖

424294

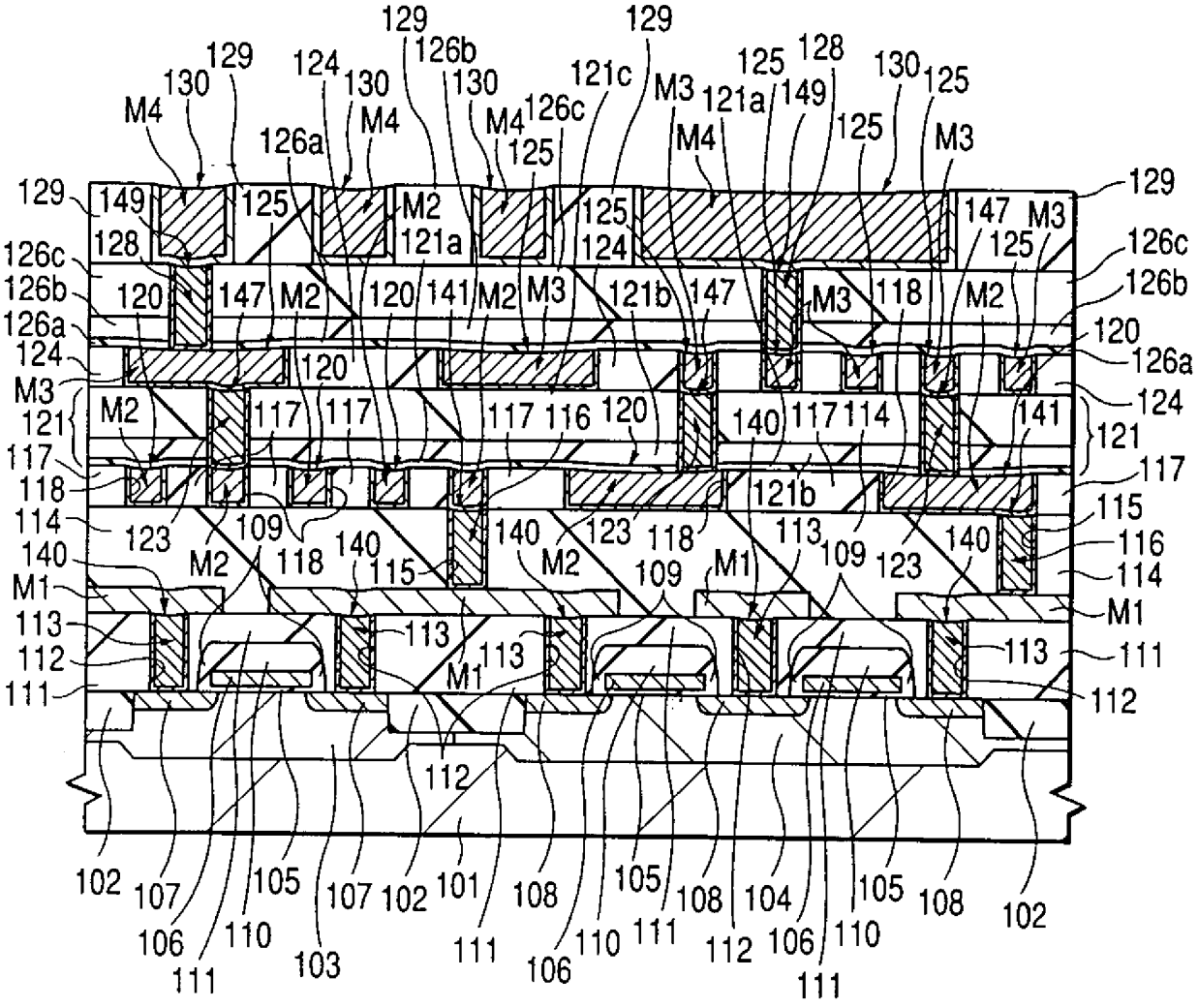


126b
149
128
126a
126c
125
121c
121a
M3
124
M2
121b
147
120
141
118
121
117
116
140
114
123
109
115
113
M1
112
111
102
107
106
105
110
103
101
108
104

第 49 圖

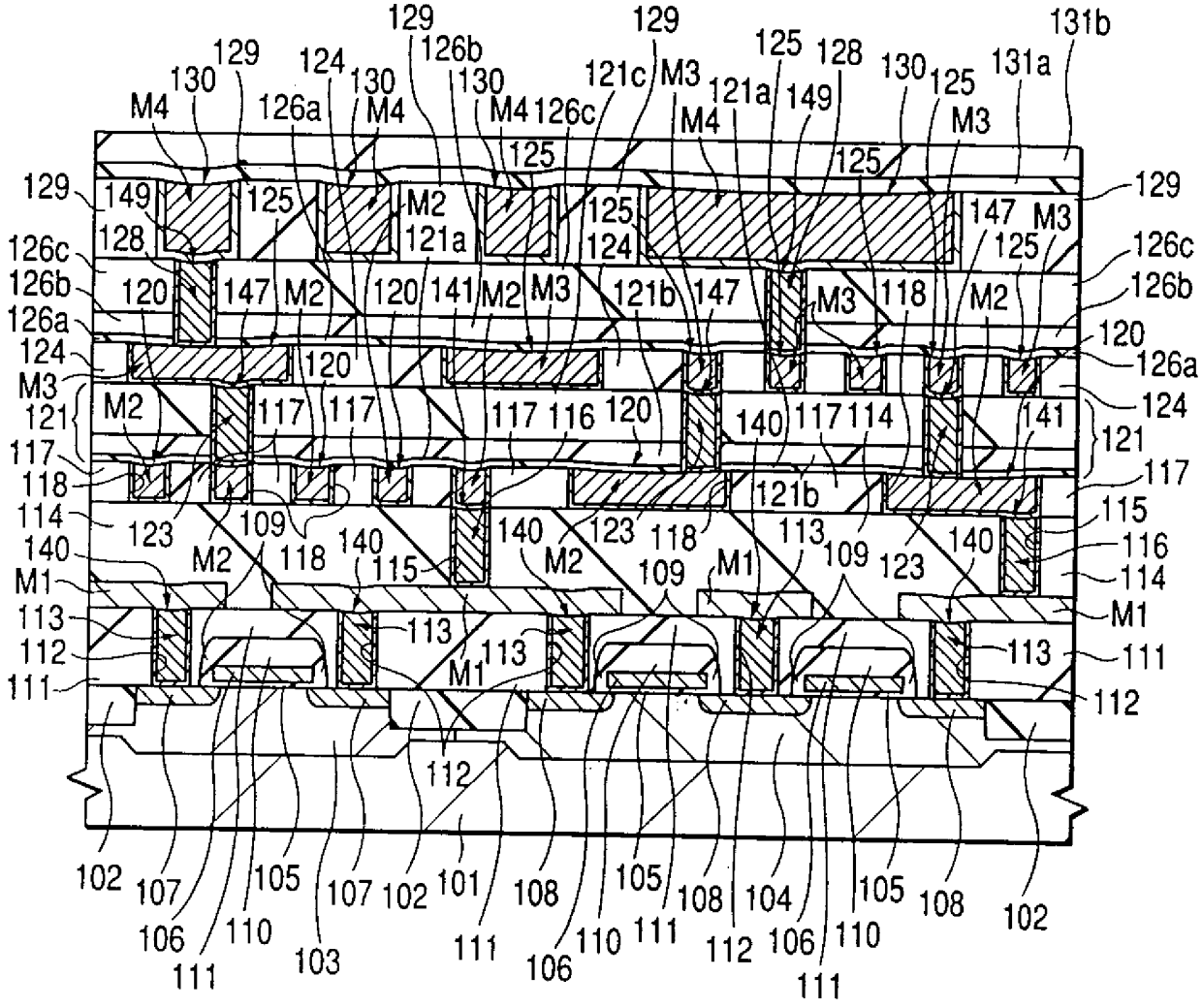

129
126a
129
126c
129
125
128
125
150
151
124
126b
125
121c
M3
121a
149
125
M3
129
149
125
M2
125
147
M3
129
128
121a
124
125
126c
126c
126b
120
147
M2
120
141
M2
M3
121b
147
M3
118
M2
126b
126a
120
124
120
126a
M3
124
121
M2
117
117
117
116
120
140
117
114
141
121
117
118
121b
117
114
123
109
118
140
140
123
118
113
109
123
140
115
116
140
M2
115
M2
109
M1
114
M1
M1
113
113
113
113
112
M1
111
111
112
112
102
107
105
107
102
101
108
105
108
104
105
108
102
106
110
103
111
106
110
111
112
106
110
111
111

第 50 圖


129
130
M4
124
126a
126b
126c
125
121c
M3
121a
128
149
147
120
141
121b
118
M2
117
116
140
114
121
123
109
115
113
M1
112
111
102
107
106
105
110
103
101
108
104

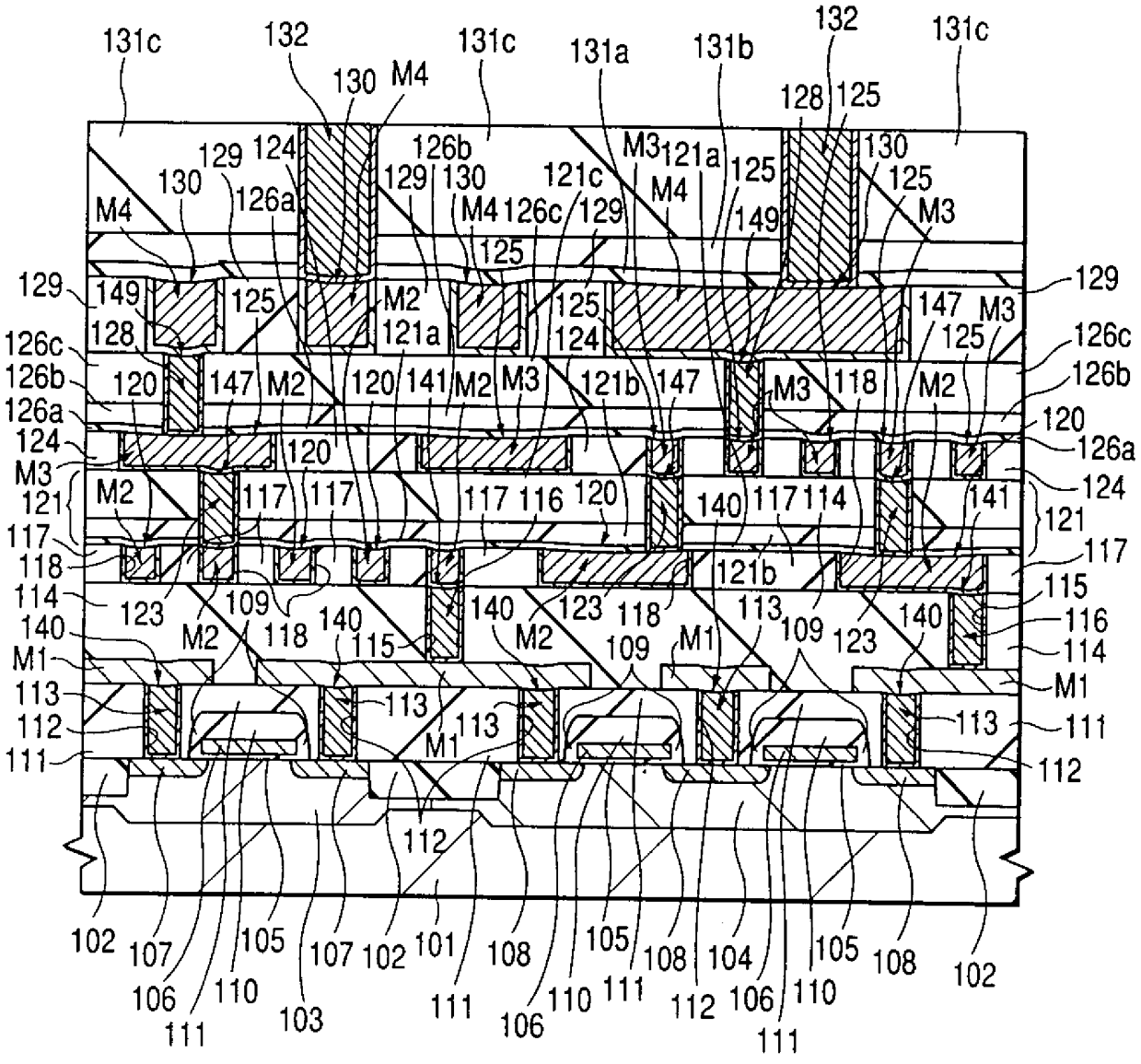
第 51 圖

424294

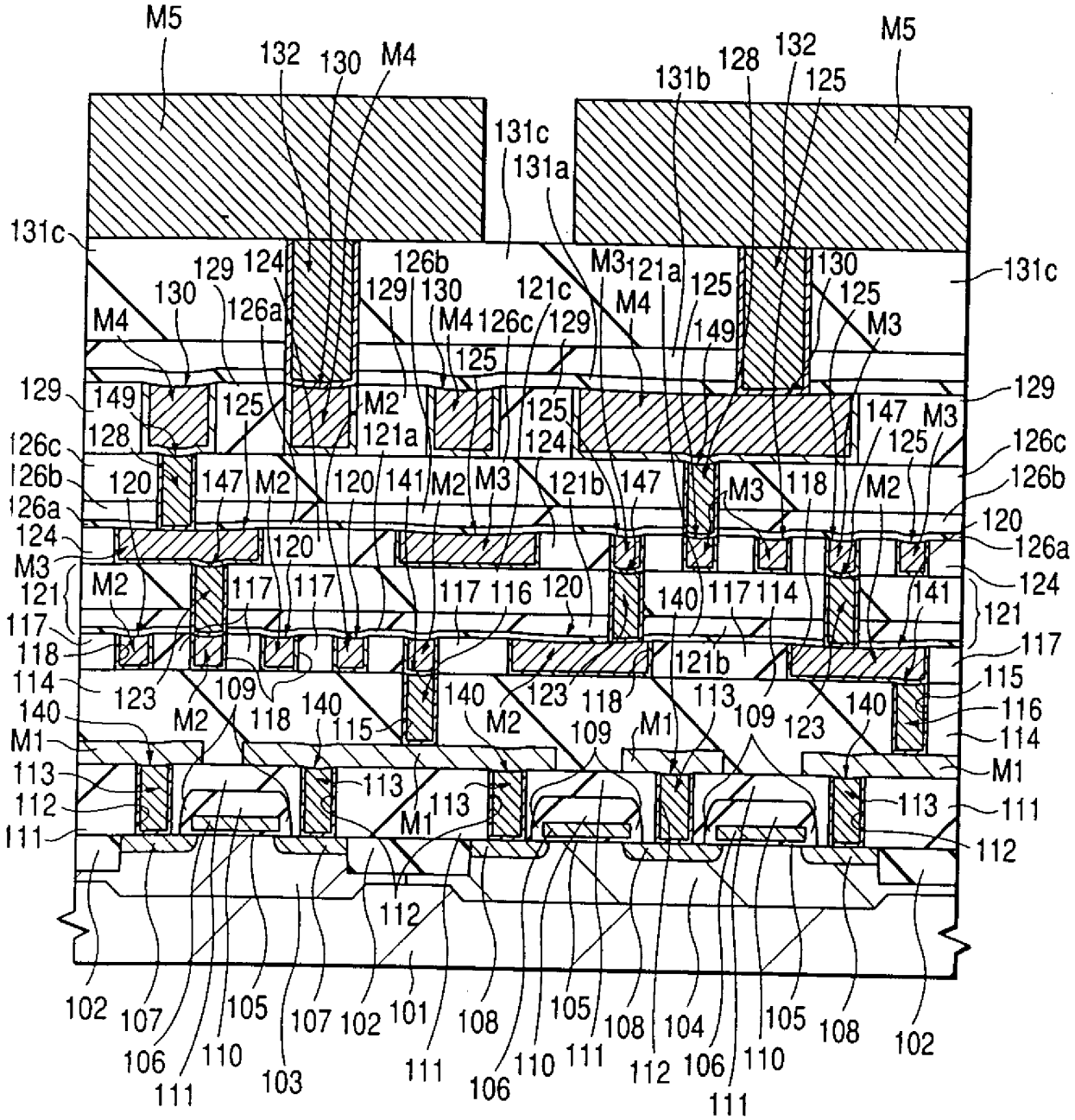


129
129
131b
129
124
126b
125
128
130
125
131a
130
130
121c
M3
121a
149
M4
126a
M4
M4
126c
M4
M3
125
125
129
149
125
M2
125
147
M3
129
128
121a
124
125
126c
126c
126b
120
147
M2
120
141
M2
M3
121b
147
M3
118
M2
126b
126a
120
124
120
126a
M3
121
M2
117
117
117
116
120
140
117
114
141
124
121
117
118
121b
117
114
123
109
118
140
123
118
113
115
140
M2
140
115
M2
109
M1
109
123
140
116
M1
114
113
113
M1
112
113
113
111
111
M1
112
112
102
107
105
107
102
101
108
105
108
104
105
108
102
106
110
103
111
106
110
111
112
106
110
111
111

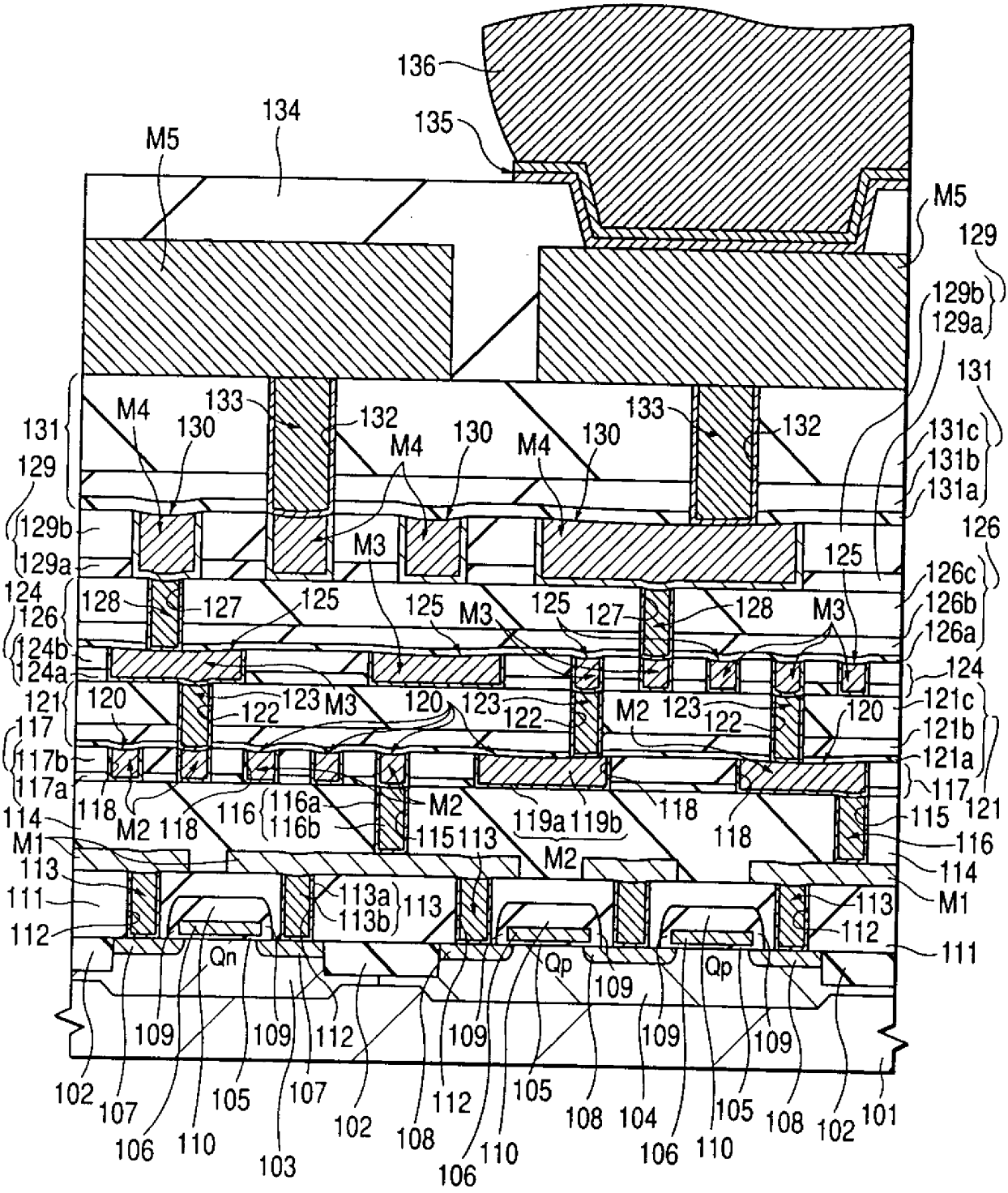
第 52 圖


131c
132
130
M4
131c
131a
131b
132
131c
128
125
129
124
126b
M3
121a
130
125
130
129
130
121c
M4
125
M4
126a
M4
126c
129
149
M3
125
129
149
125
M2
125
147
M3
129
128
121a
124
125
126c
126c
126b
120
147
M2
120
141
M2
M3
121b
147
M3
118
M2
126b
126a
120
124
120
126a
M3
121
M2
117
117
117
116
120
140
117
114
141
124
121
117
118
121b
117
114
123
109
118
140
123
118
113
109
123
140
115
140
M2
140
115
M2
109
M1
116
114
M1
113
113
113
M1
113
111
112
111
112
112
102
107
105
107
102
101
108
105
108
104
105
108
102
106
110
103
111
106
110
111
112
106
110
111
111

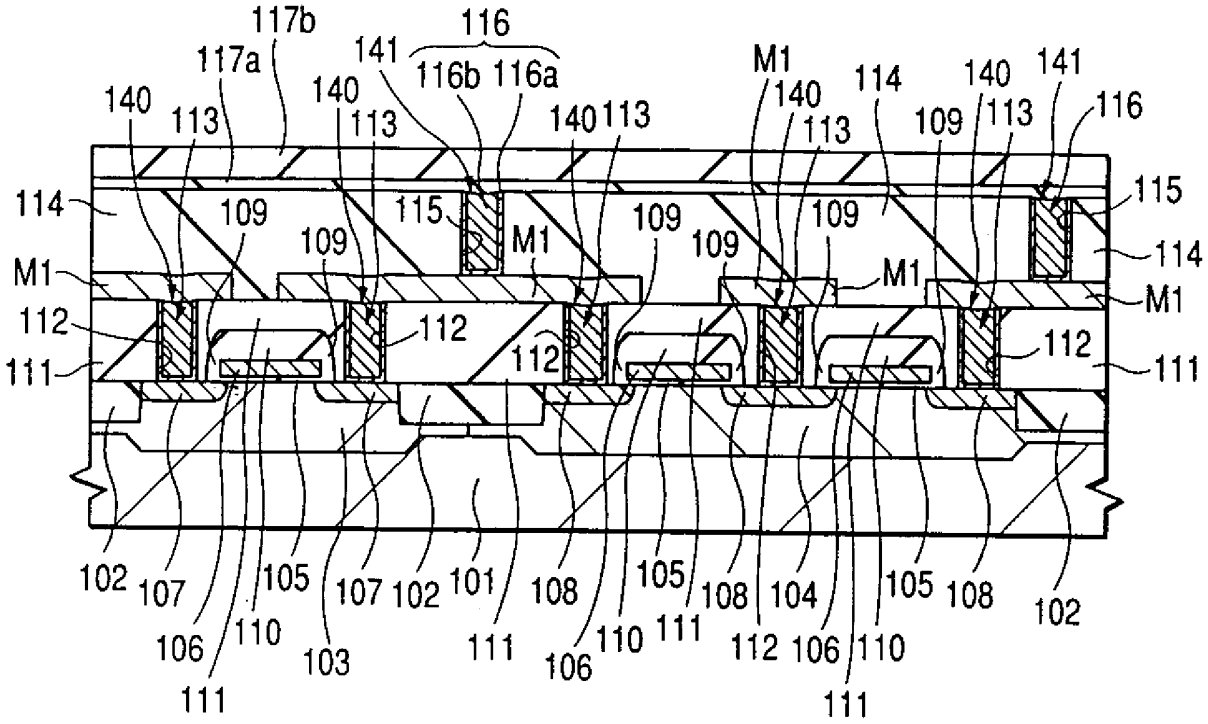
第 53 圖


M5
132
130
M4
131c
131a
131b
128
132
125
M5
131c
129
124
126b
129
130
121c
M3
121a
125
130
125
131c
130
126a
M4
126c
129
M4
149
M3
125
129
149
125
M2
125
129
128
121a
124
147
M3
125
126c
126c
126b
120
147
M2
120
141
M2
M3
121b
147
M3
118
M2
126b
126a
120
124
120
126a
M3
121
M2
117
117
117
116
120
140
117
114
141
124
121
117
118
121b
117
114
123
109
140
123
118
113
109
123
140
115
116
140
M2
118
140
115
M2
109
M1
114
M1
113
113
113
M1
113
111
112
111
112
112
102
107
105
107
102
101
108
105
108
104
105
108
102
106
110
103
111
106
110
111
112
106
110
111
111

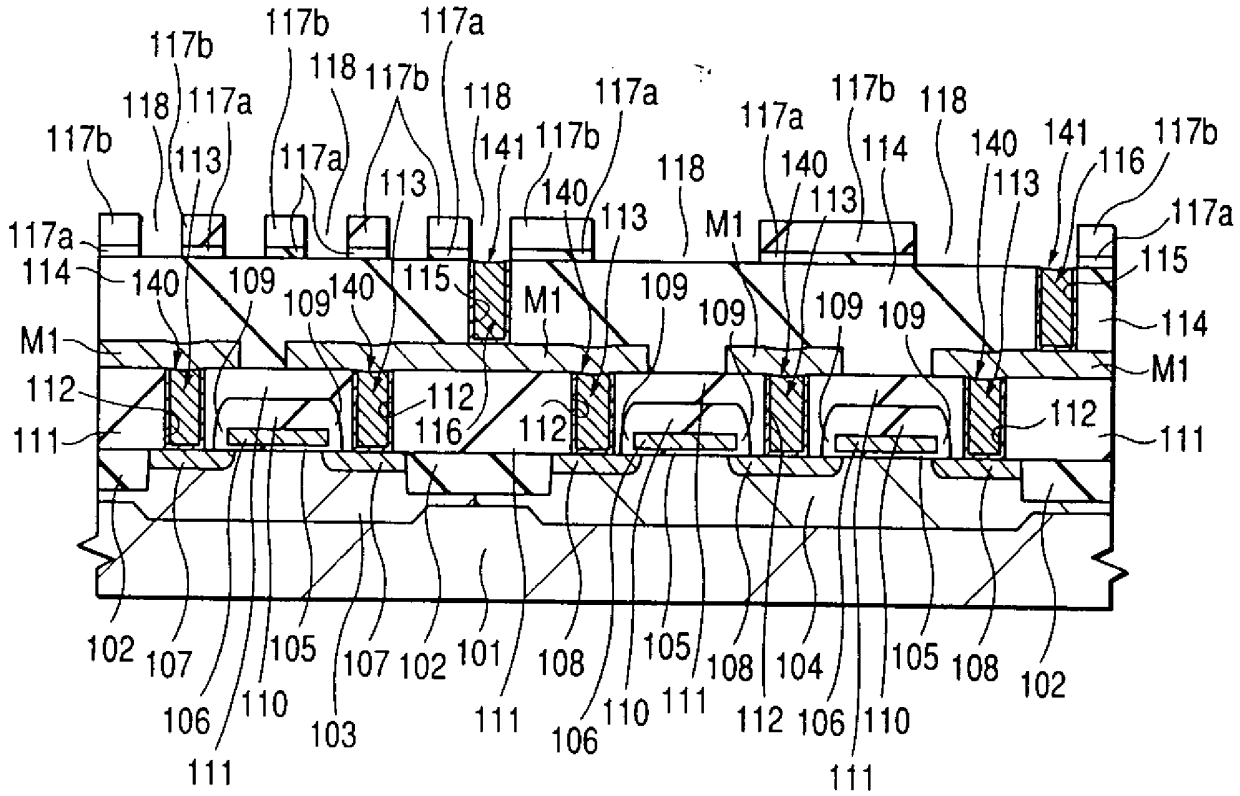
第 54 圖


136
135
134
M5
M5
129
129b
129a
131
131c
131b
131a
126
126c
126b
126a
124
121c
121b
121a
121
117
115
116
114
M1
111
112
113
113a
113b
M2
M3
M4
130
132
133
125
127
128
120
122
123
116a
116b
118
119a
119b
115
113
Qn
Qp
109
102
107
106
110
105
103
108
104
101

第 55 圖

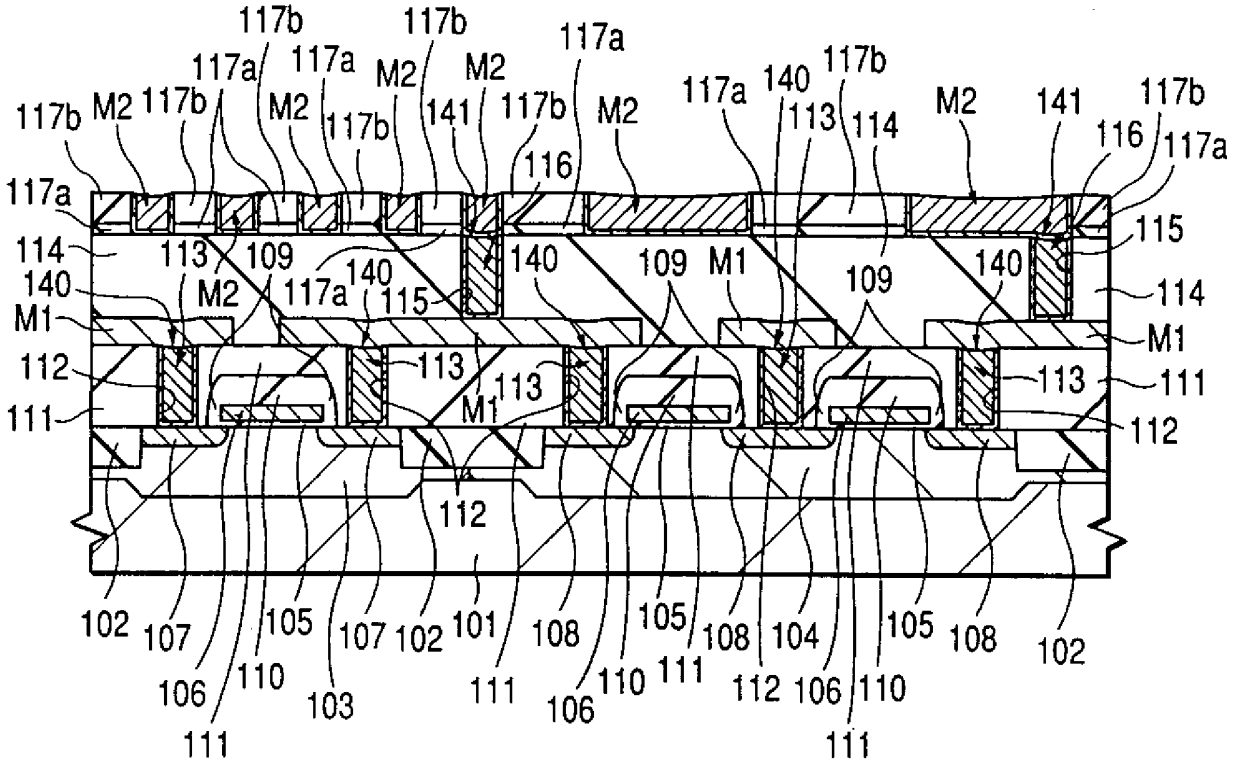

117b
116
117a
141
116b 116a
M1
140
114
141
140
113
140
113
140 113
113
109
113
116
114
109
115
109
109
109
115
M1
M1
109
M1
114
M1
112
112
112
112
111
111
102
107
105
107 102
101
108
105
108
104
105
108
102
106
110
103
111
106
110
111
112
106
110
111
111

第 56 圖

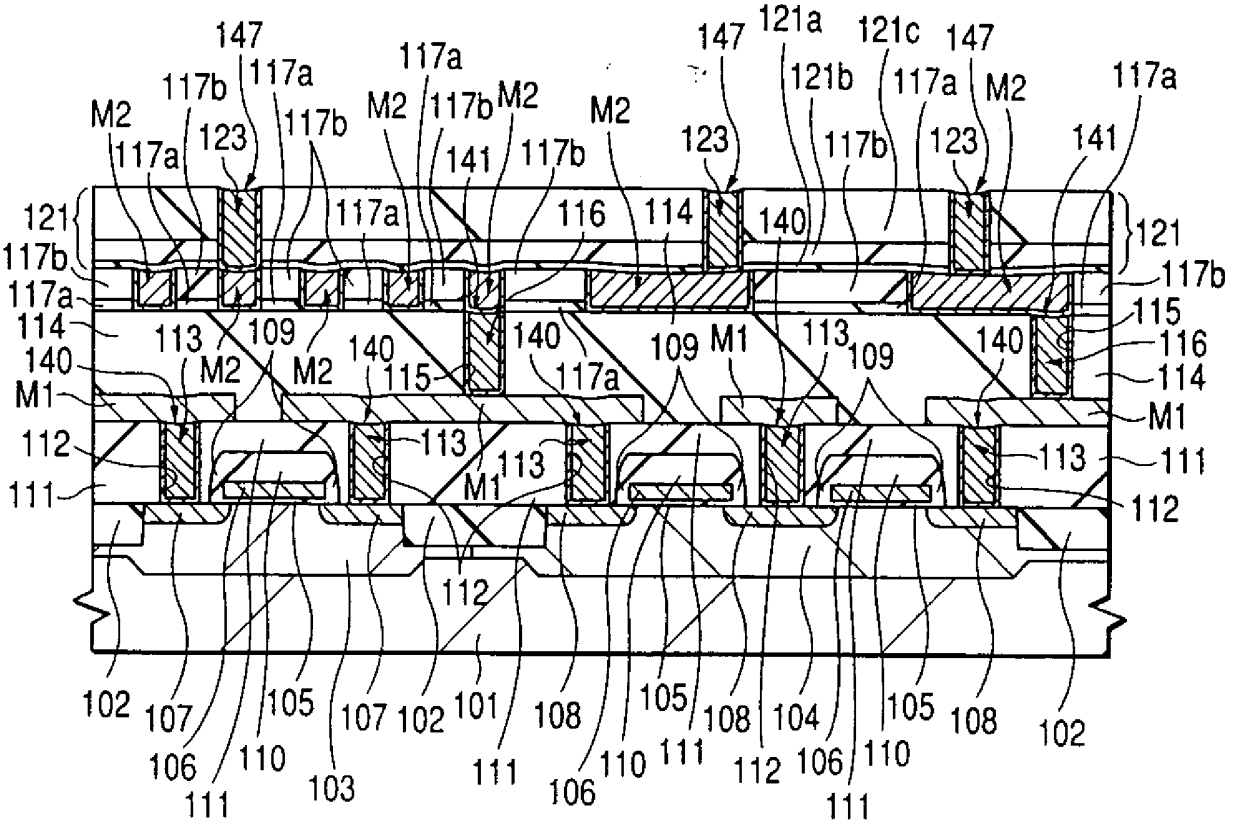

117b
117b
117a
118
117b
118
117a
117b
118
117a
117b
118
117a
141
117b
117a
140
114
140
141
116
117b
113
117a
113
140
113
118
113
113
117a
117a
114
140
109
109
140
115
M1
109
109
109
109
115
114
M1
M1
112
112
112
112
111
116
111
102
107
105
107 102
101
108
105
108
104
105
108
102
106
110
103
111
106
110
111
112
106
110
111
111

第 57 圖

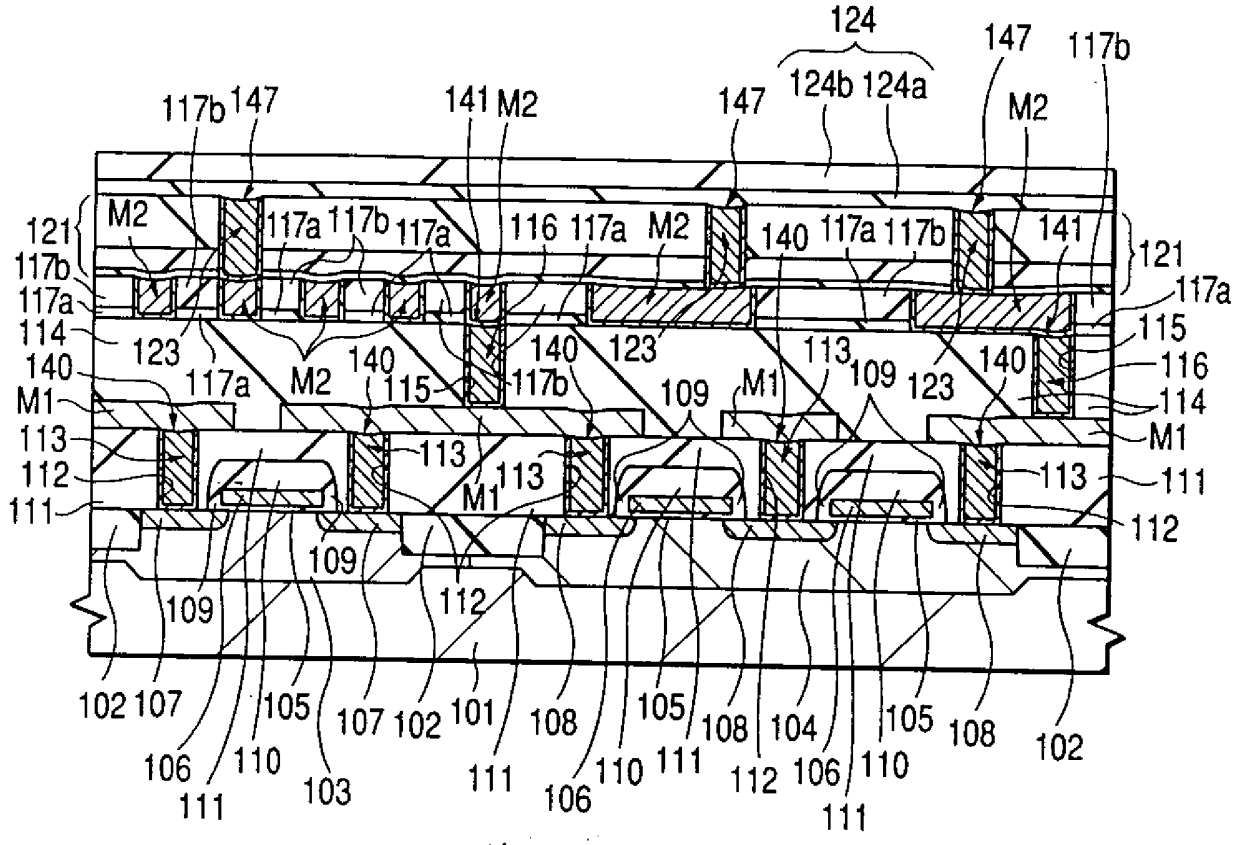
424284



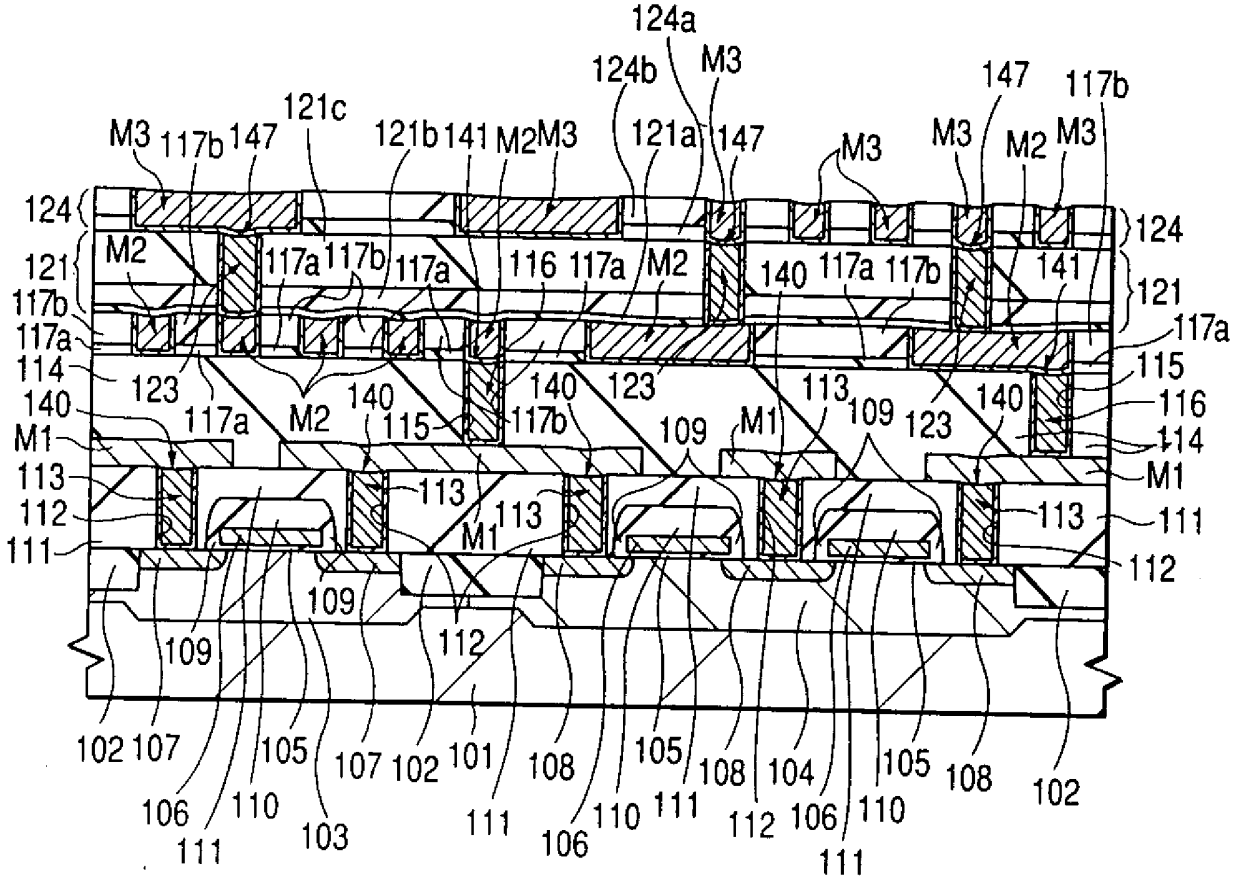
第 58 圖



第 59 圖

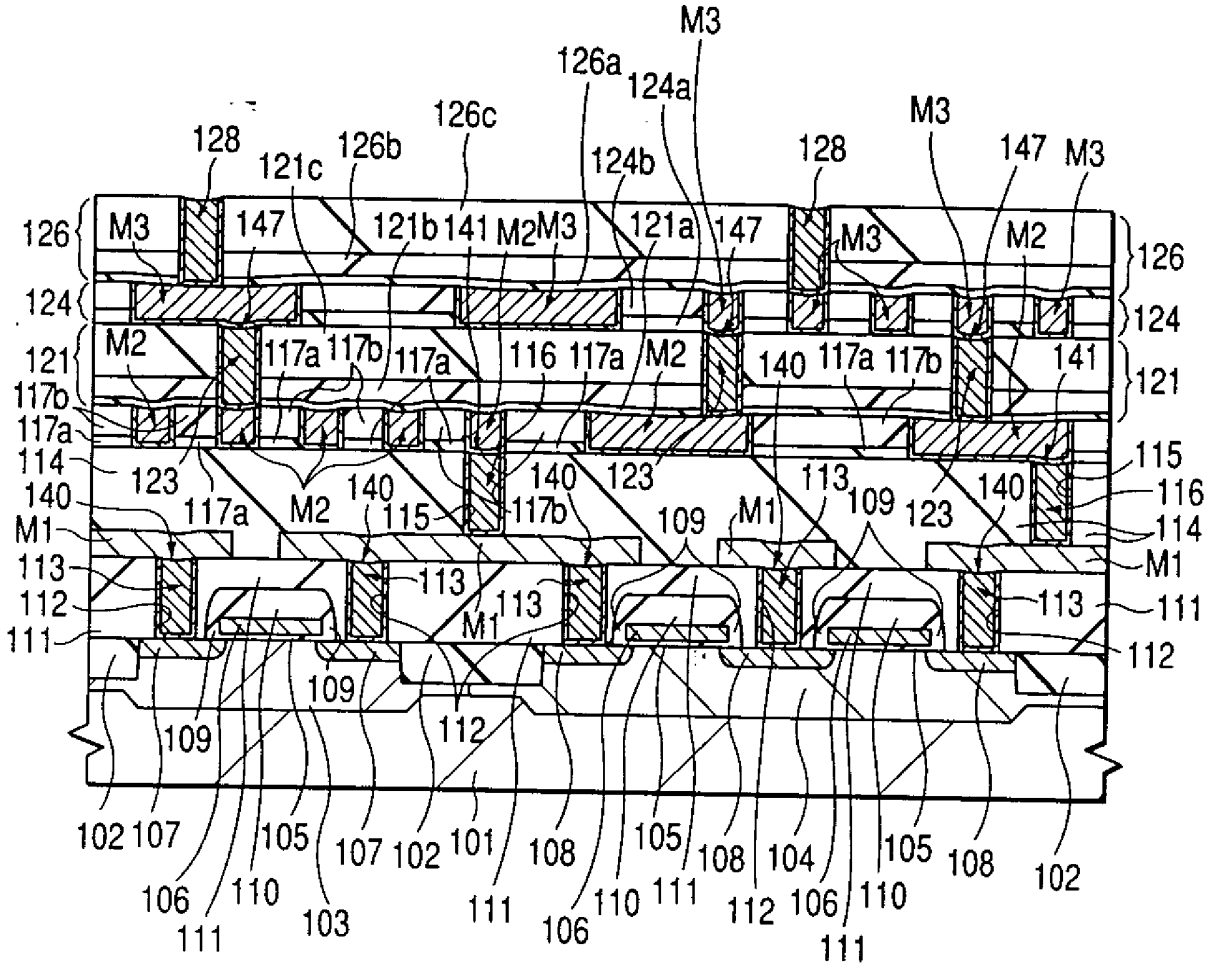

124
124b 124a
147
117b
M2
141
121
117a
115
116
114
M1
113
112
111
140
123
109
117a
117b
M2
115
M1
102 107 105 107 102 101 108 105 108 104 105 108 102
106 111 110 103 111 106 110 111 112 106 110 111

第 60 圖


124a
124b
M3
121c
121b
121a
147
117b
M2
141
124
121
117a
115
116
114
M1
113
112
111
140
123
109
117a
117b
M2
115
M1
102 107 105 107 102 101 108 105 108 104 105 108 102
106 111 110 103 111 106 110 111 112 106 110 111

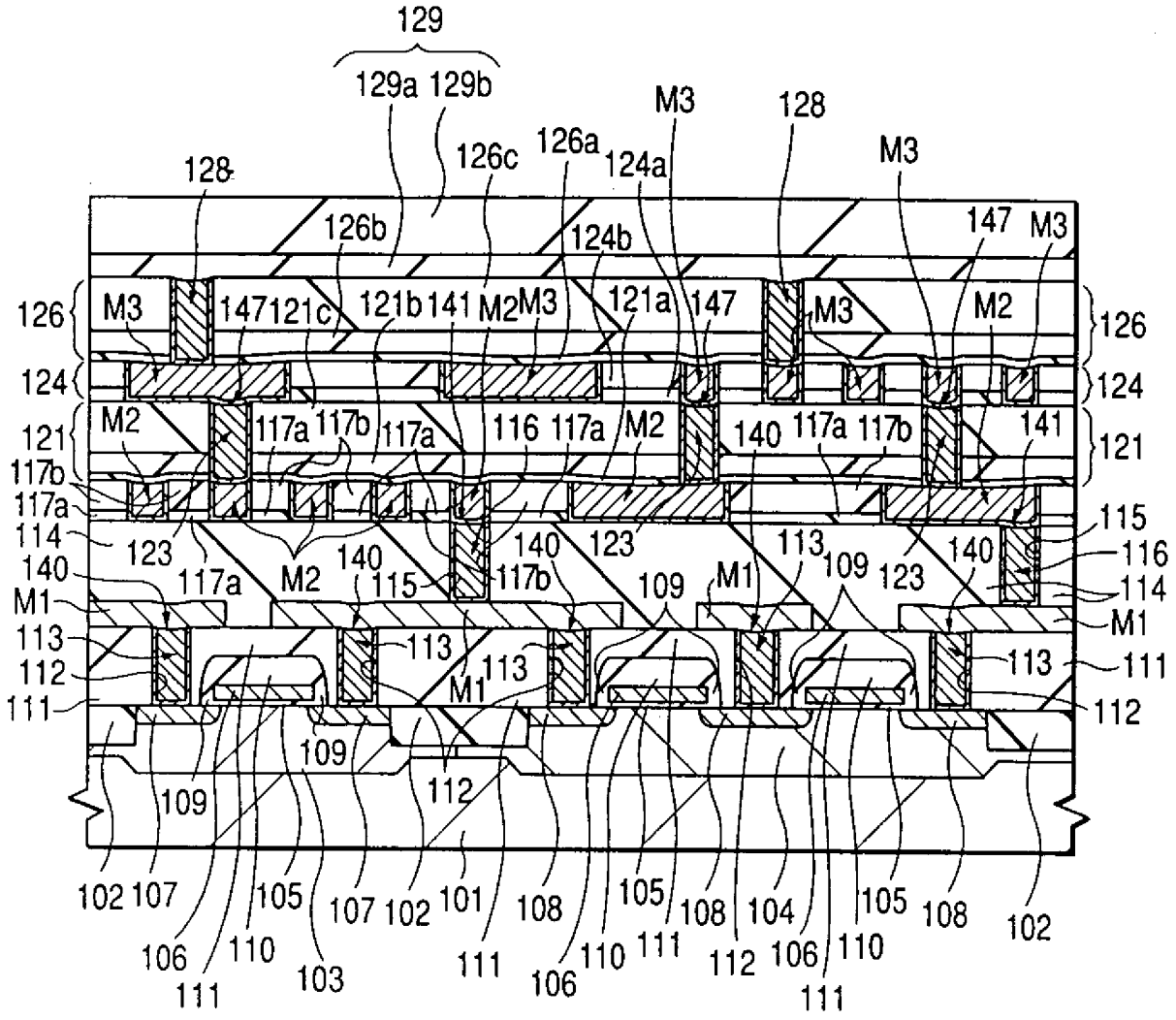
第 61 圖

424294


M3
126a
124a
126c
128
121c
126b
124b
128
M3
147
M3
126
M3
147
121b
141
M2
M3
121a
147
M3
M2
126
124
124
121
M2
117a
117b
117a
116
117a
M2
140
117a
117b
141
121
117b
117a
114
123
140
123
113
115
140
117a
M2
140
115
117b
109
M1
109
123
140
116
114
M1
113
113
M1
113
113
M1
112
111
111
112
109
109
112
102
107
105
107
102
101
108
105
108
104
105
108
102
106
110
103
111
106
110
111
112
106
110
111

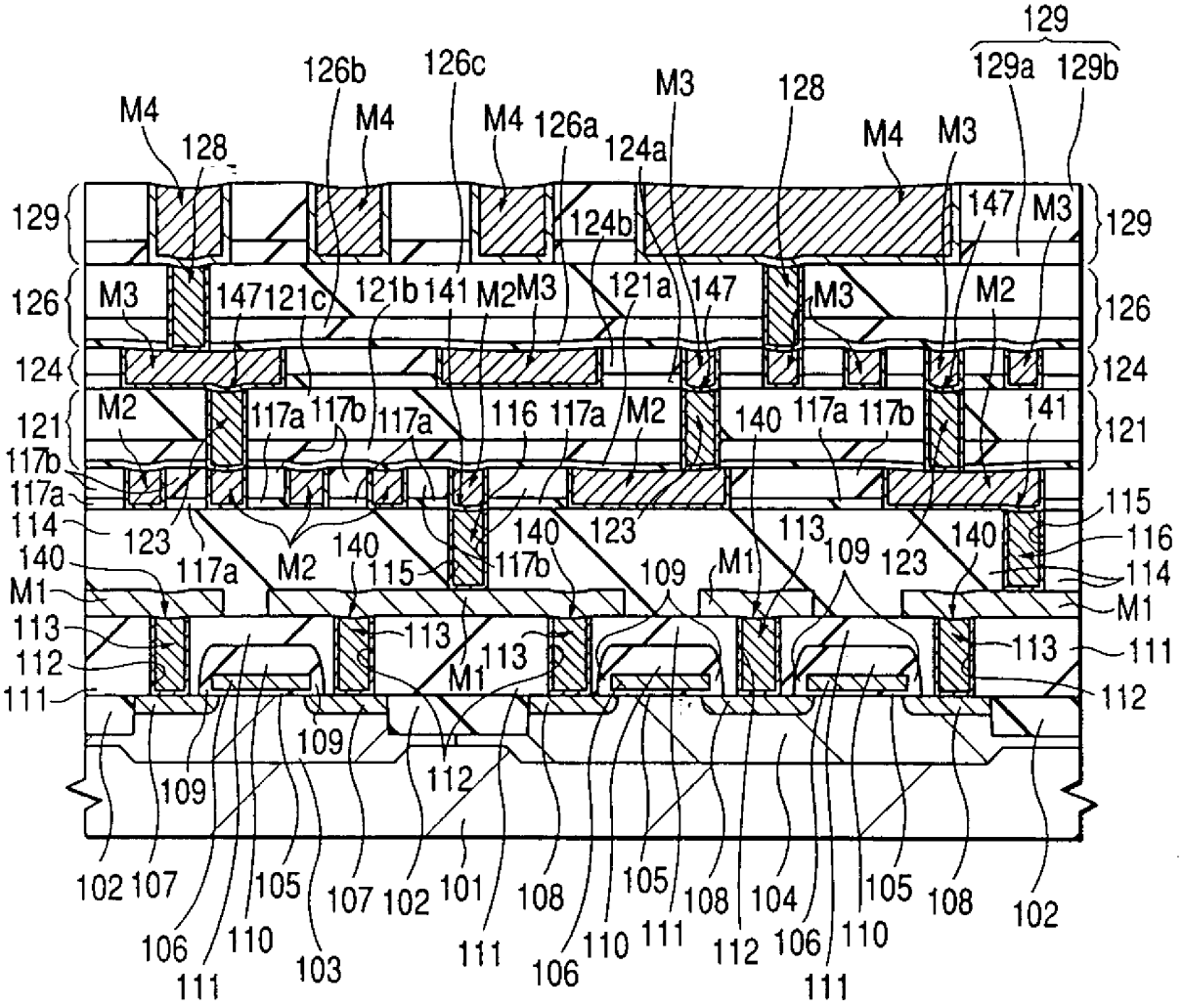
第 62 圖

424294


129
129a 129b
M3
128
126c
126a
124a
128
M3
126b
124b
147
M3
126
M3
147
121c
121b
141
M2
M3
121a
147
M3
M2
126
124
124
121
M2
117a
117b
117a
116
117a
M2
140
117a
117b
141
121
117b
117a
114
123
140
123
113
115
116
140
117a
M2
140
115
117b
109
M1
109
123
140
114
M1
M1
113
113
113
113
111
112
M1
111
112
109
109
112
102
107
105
107
102
101
108
105
108
104
105
108
102
106
110
103
111
106
110
111
112
106
110
111
111

第 63 圖

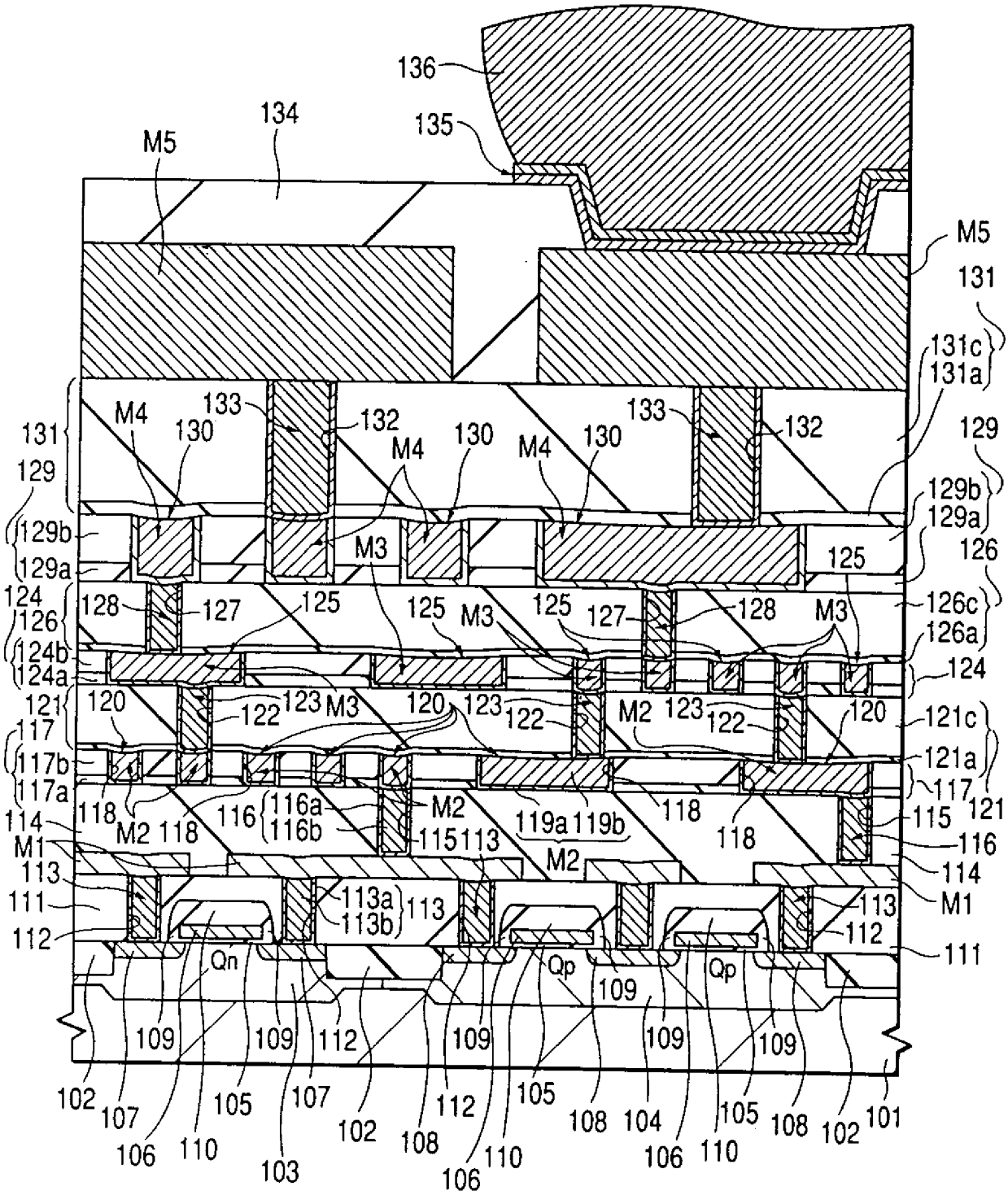
424294



129
129a
129b
126b
126c
M4
M3
128
126a
124a
124b
147
121c
121b
141
M2
121a
117a
117b
116
140
123
113
109
M1
115
114
112
111
102
107
106
110
105
103
101
108
104

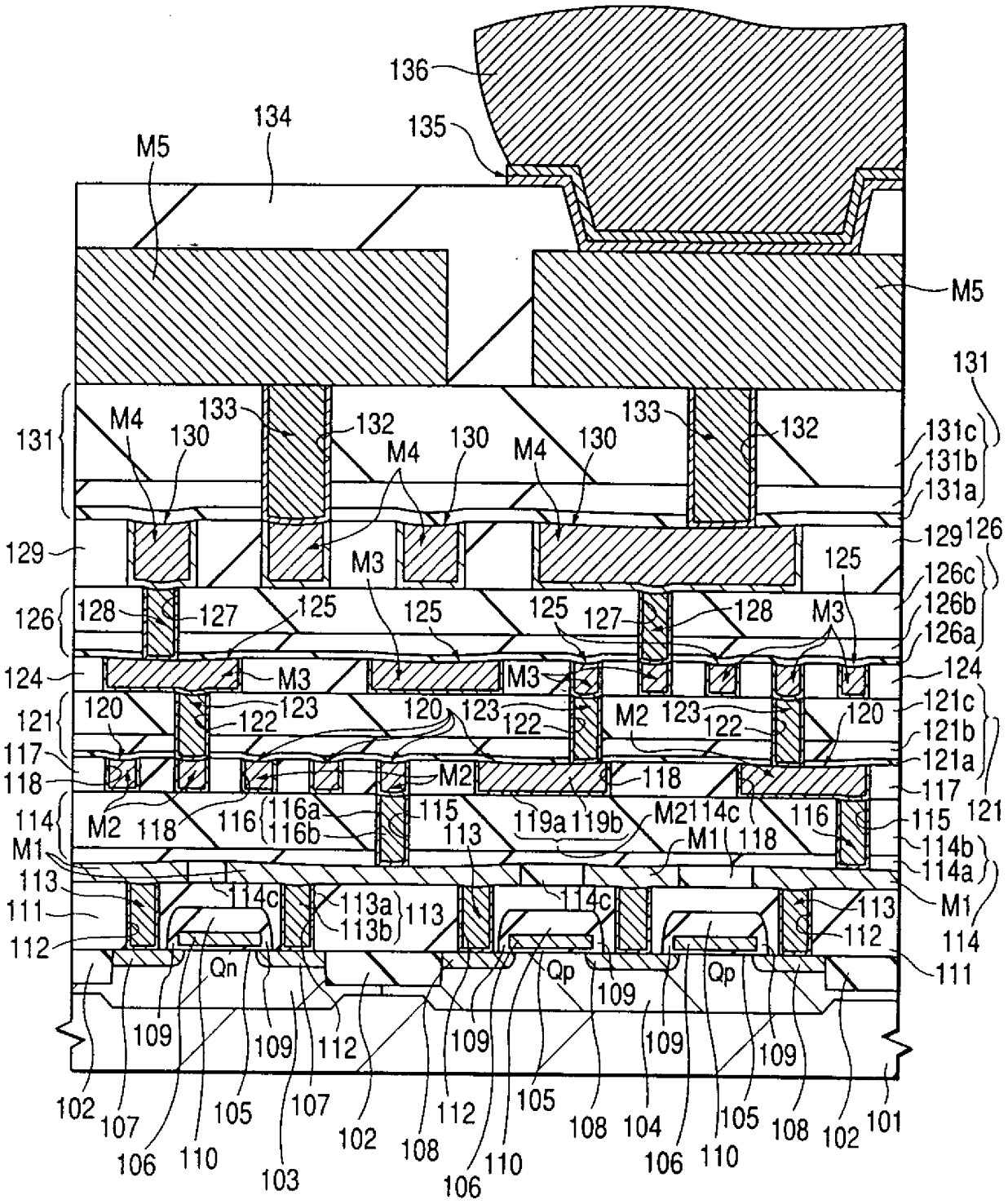
第 64 圖

424294

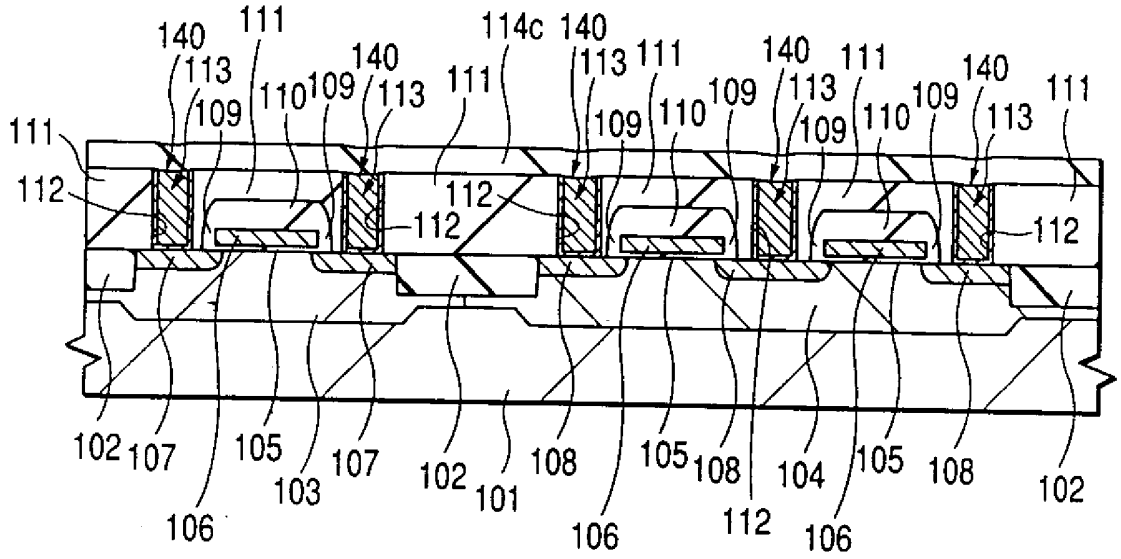


136
135
134
M5
M5
131
131c
131a
131
129
129
129b
129a
129b
129a
126
126c
126a
124
124b
124a
124
121
121c
121a
117
117b
117a
117
121
114
M1
113
111
112
M1
M2
M3
M4
130
133
132
128
127
125
120
122
123
116
116a
116b
115
113
113a
113b
119a
119b
Qn
Qp
109
102
107
106
110
105
103
108
104
101

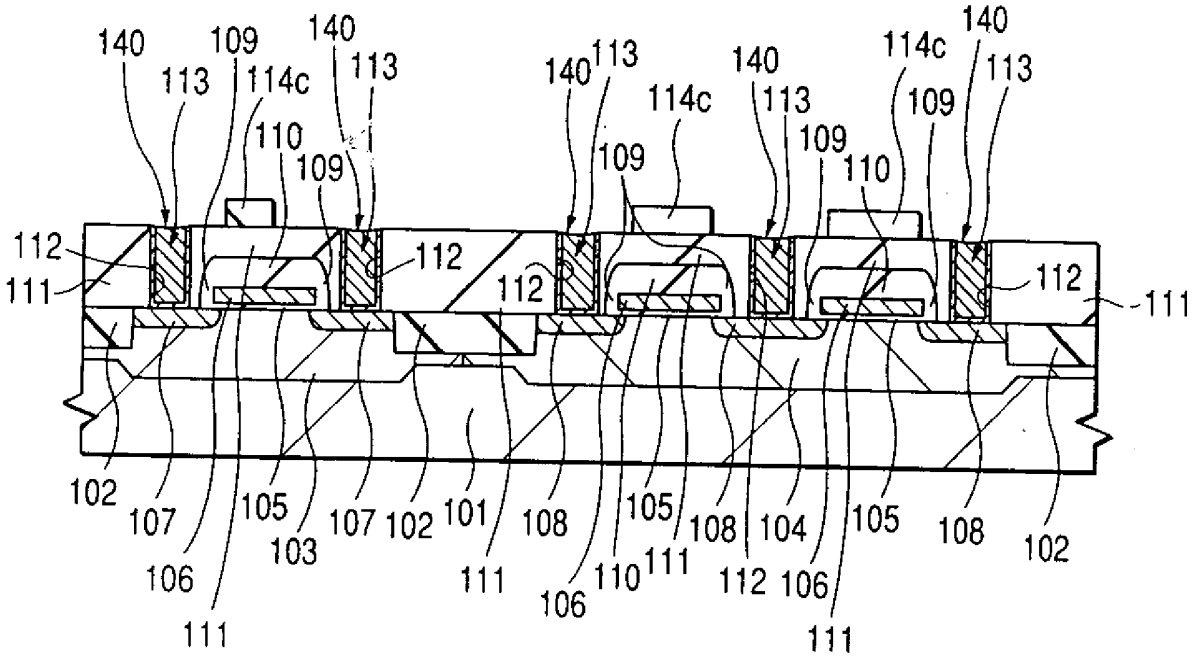
第 65 圖


136
135
134
M5
M5
131
131c
131b
131a
129
126
126c
126b
126a
124
121c
121b
121a
121
117
118
114
M1
113
111
112
114b
114a
M1
114
111
M4
130
133
132
M3
125
128
127
120
122
123
M2
116
116a
116b
115
119a
119b
114c
113a
113b
Qn
Qp
109
102
107
106
110
105
103
108
104
101

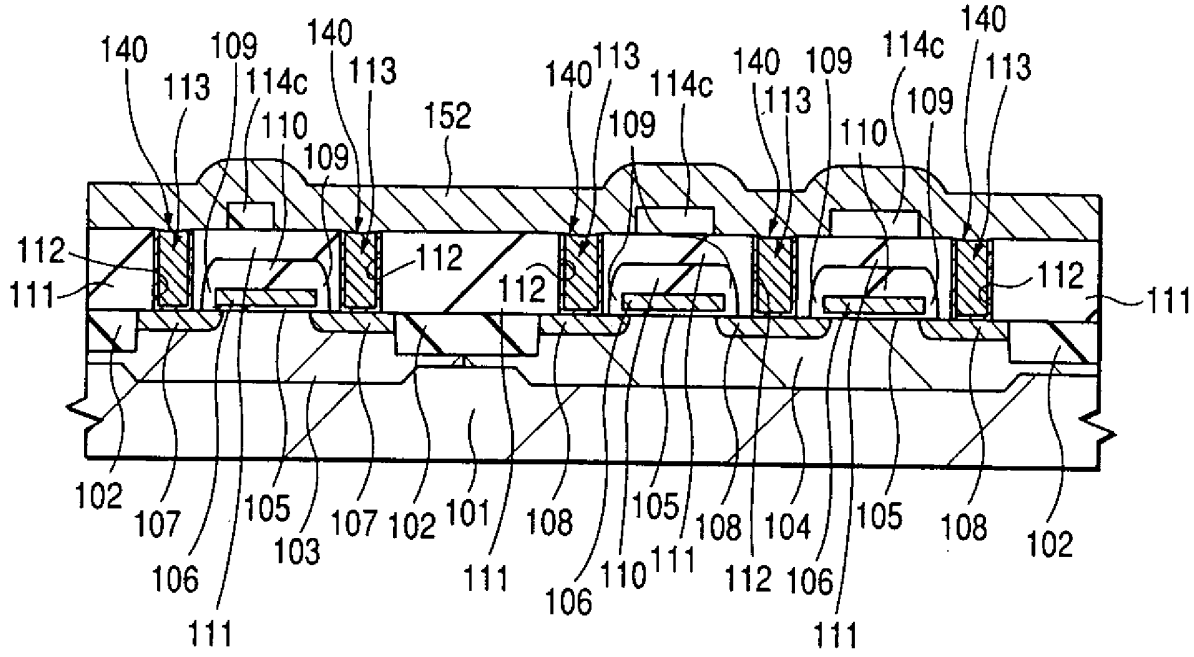
第 66 圖


140
111
113
109
110
109
140
113
111
114c
140
113
111
109
110
109
140
113
111
109
110
109
140
113
111
111
112
112
112
112
102
107
106
105
103
107
102
101
108
106
105
108
112
104
106
105
108
102

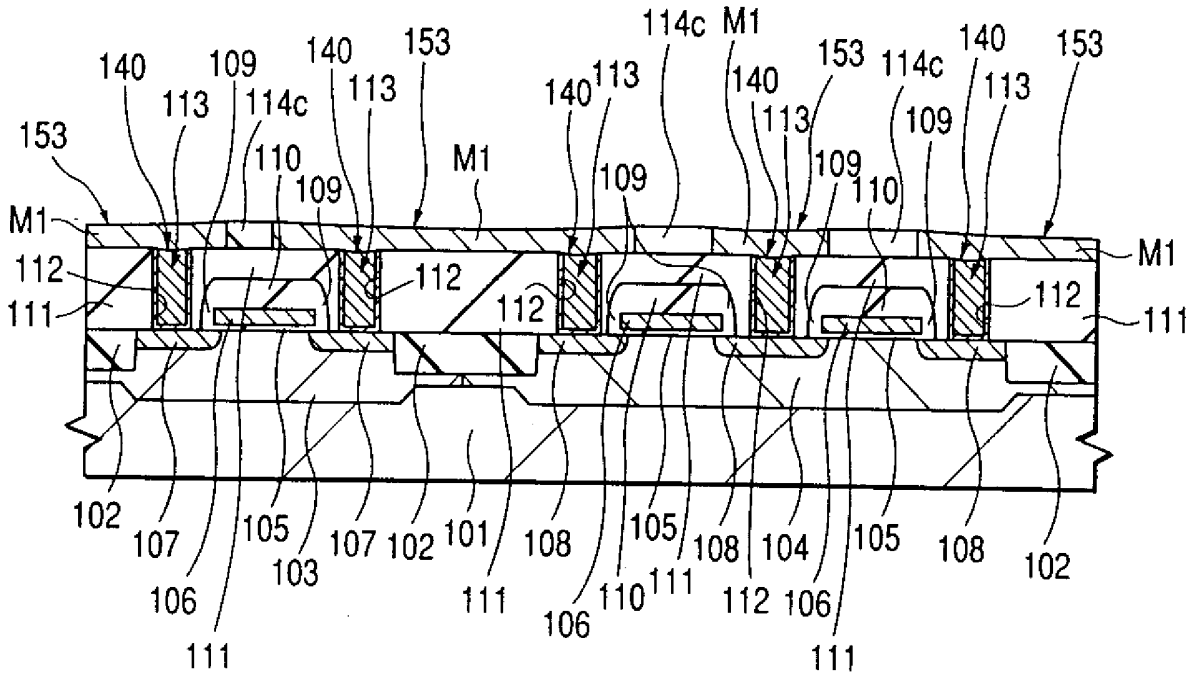
第 67 圖


140
113
109
114c
110
109
140
113
140
113
114c
109
140
113
109
110
114c
109
140
113
112
111
112
112
112
111
102
107
106
111
105
103
107
102
101
111
108
106
110
105
111
108
112
104
106
111
105
108
102

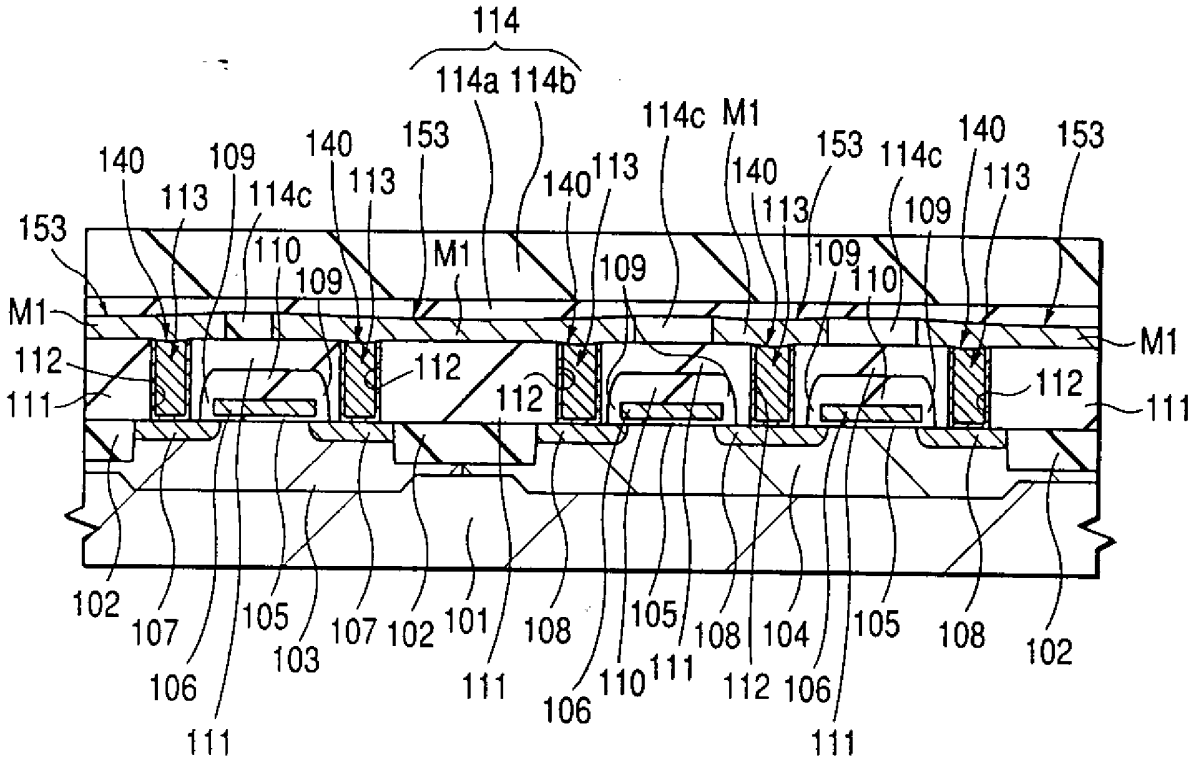
第 68 圖


140
109
140
113
114c
113
110
109
152
140
113
114c
109
140
113
109
114c
110
109
140
113
112
111
112
112
112
111
102
107
106
111
105
103
107
102
101
111
108
106
110
105
111
108
112
104
106
111
105
108
102

第 69 圖

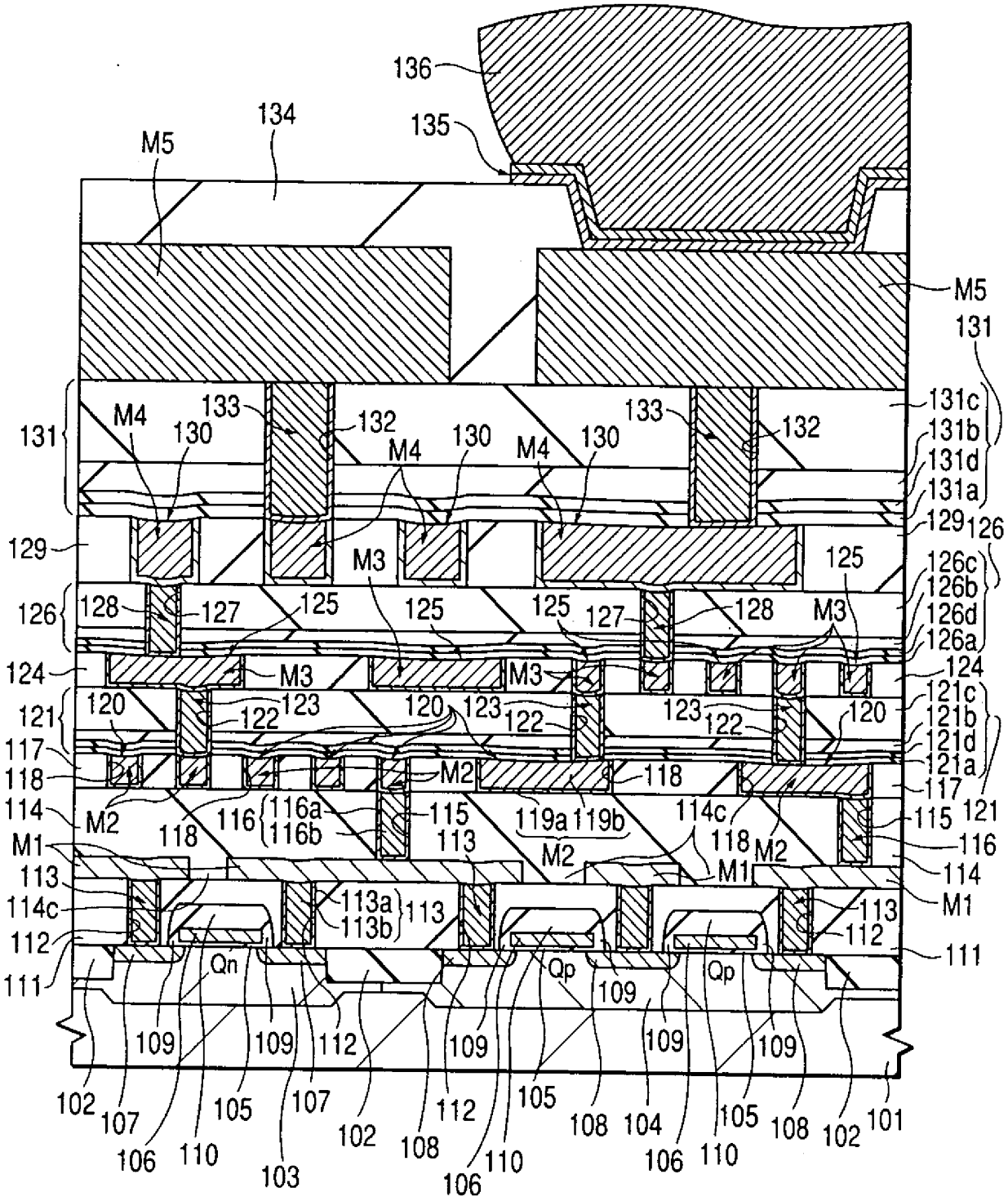

153
M1
140
109
140
153
113
114c
113
110
109
M1
140
113
114c
M1
140
153
113
109
114c
140
153
113
109
110
M1
112
111
112
112
112
111
102
107
106
111
105
103
107
102
101
111
108
106
110
105
111
108
112
104
106
111
105
108
102

第 70 圖


114
114a
114b
114c
M1
153
140
109
113
110
112
111
102
107
105
103
106
101
108
104

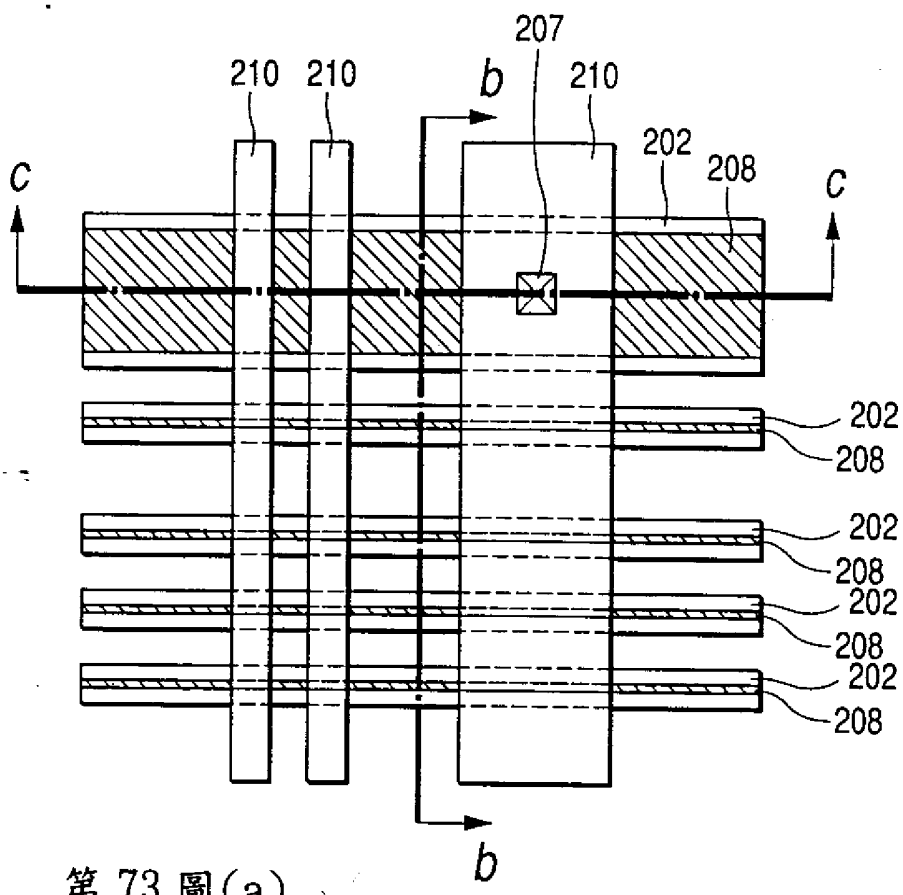
第 71 圖

"24294"

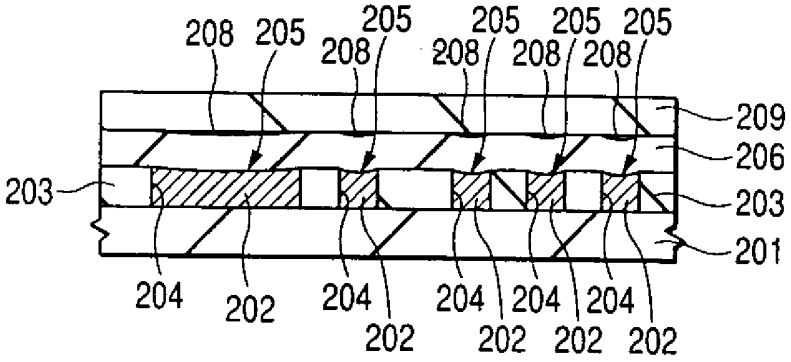


136
135
134
M5
M5
131
131c
131b
131d
131a
129
126
126c
126b
126d
126a
124
121c
121b
121d
121a
121
117
118
114
M1
113
114c
112
111
M4
130
133
132
M3
125
128
127
120
123
122
M2
116
116a
116b
115
119a
119b
113a
113b
Qn
Qp
109
102
107
106
110
105
103
108
104
101

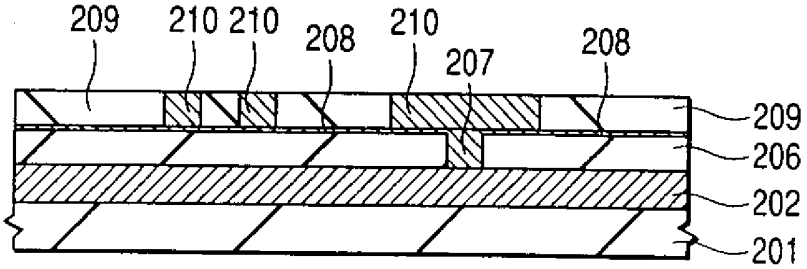
第 72 圖



第 73 圖(a)

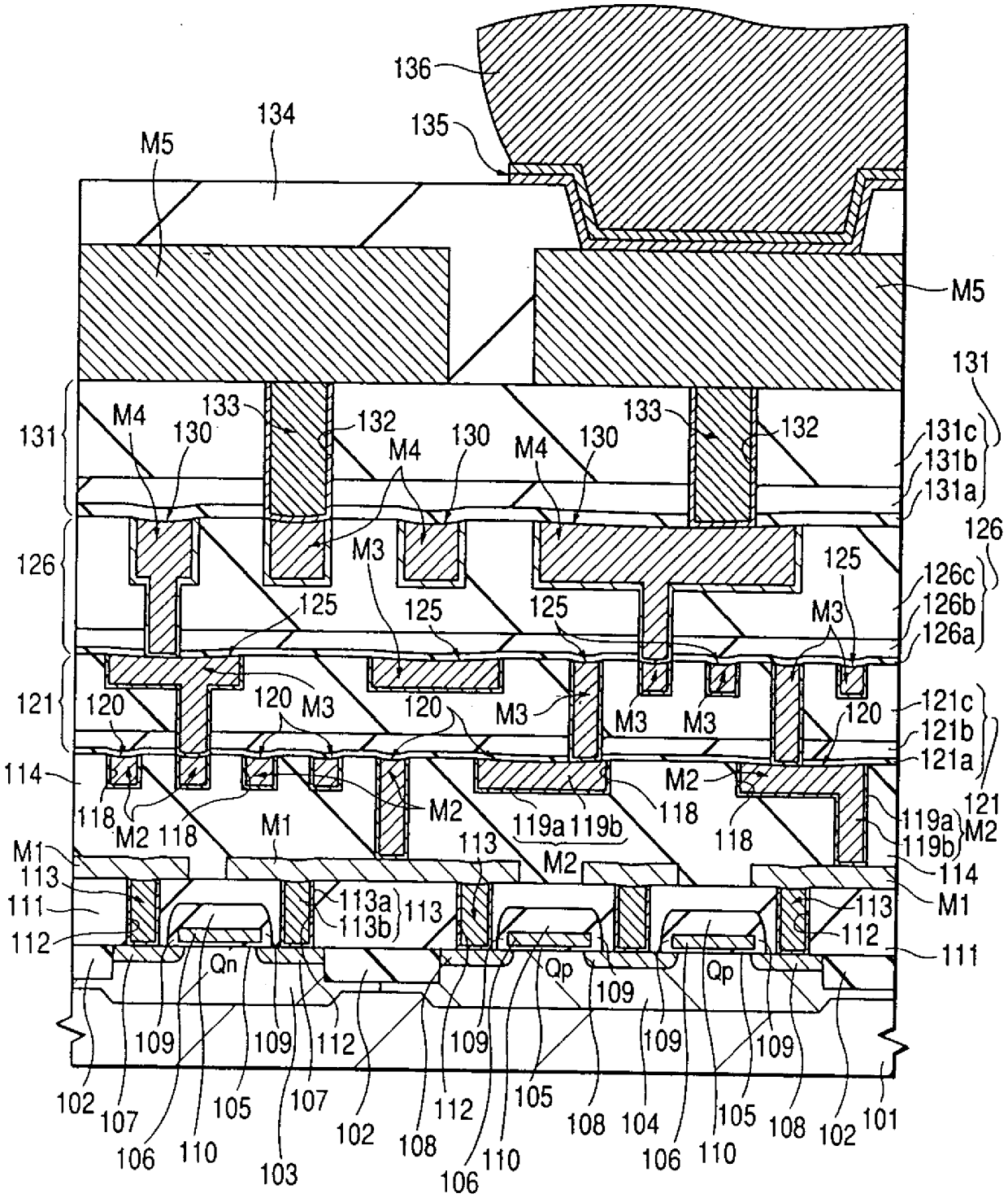


第 73 圖(b)



第 73 圖(c)

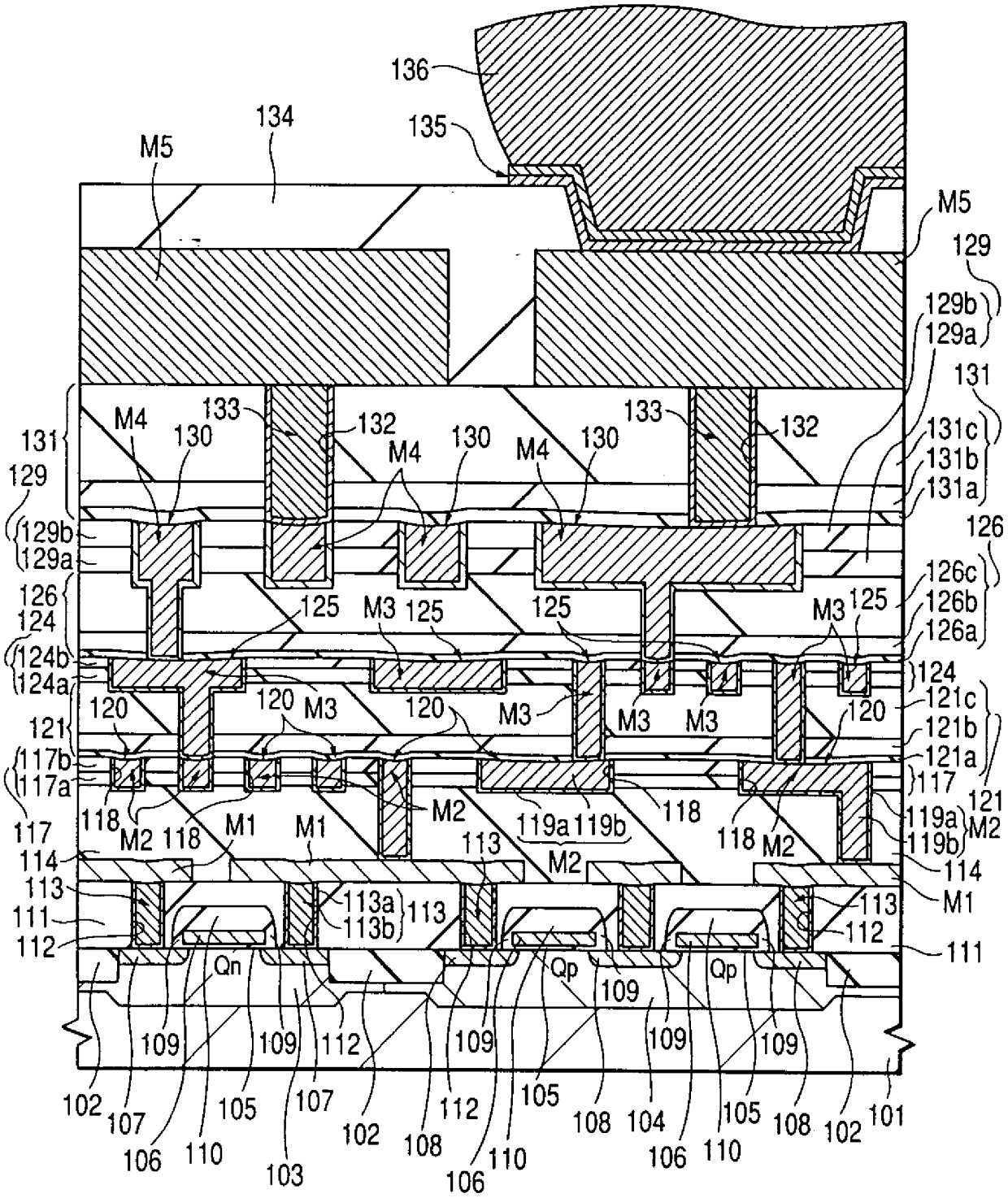
424294



136
135
134
M5
M5
131
131c
131b
131a
126
126c
126b
126a
121
121c
121b
121a
114
M1
113
111
112
M4
130
133
132
M3
125
120
118
M2
119a
119b
113a
113b
Qn
Qp
109
102
107
106
110
105
103
108
104
101

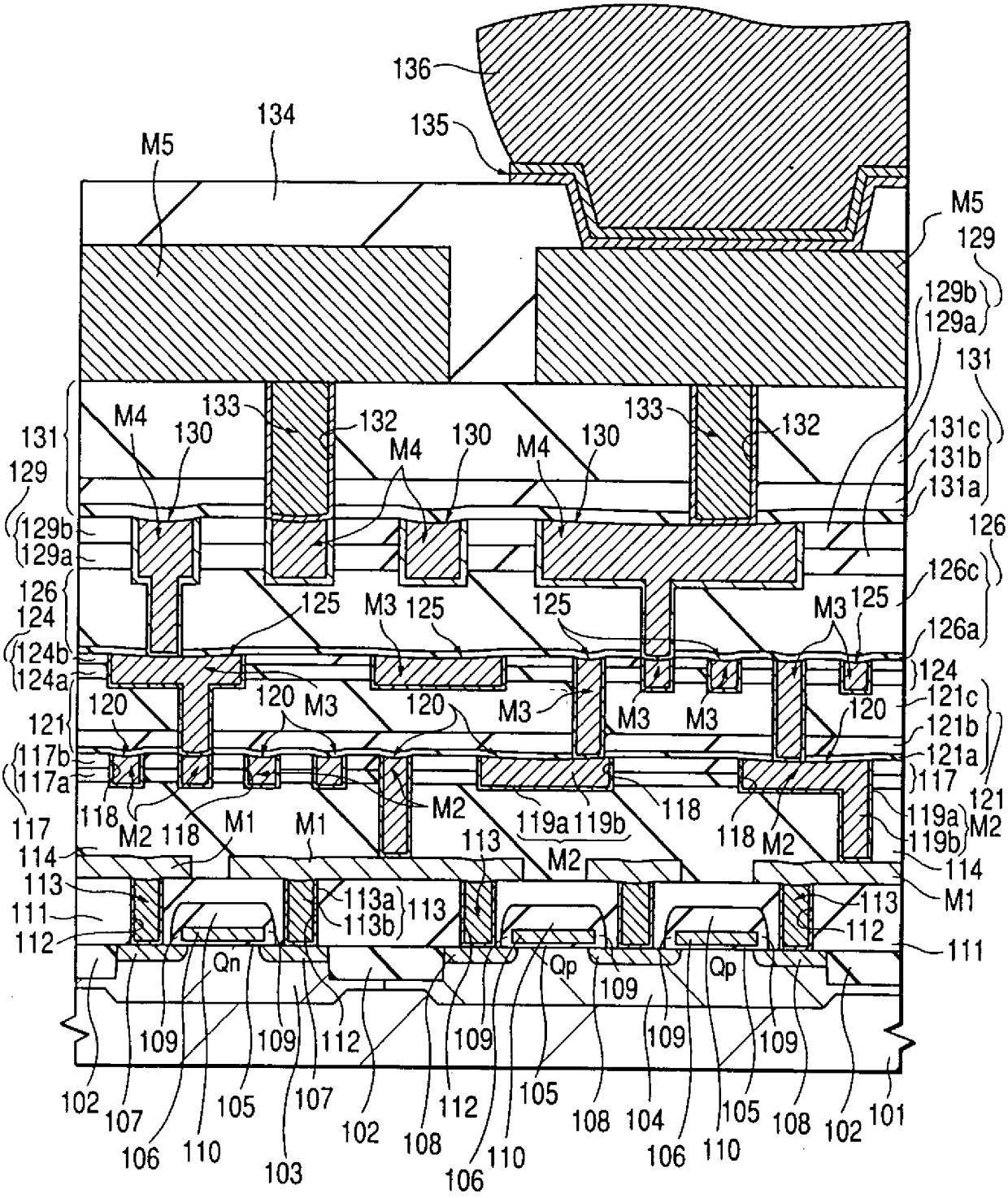
第 74 圖

424234



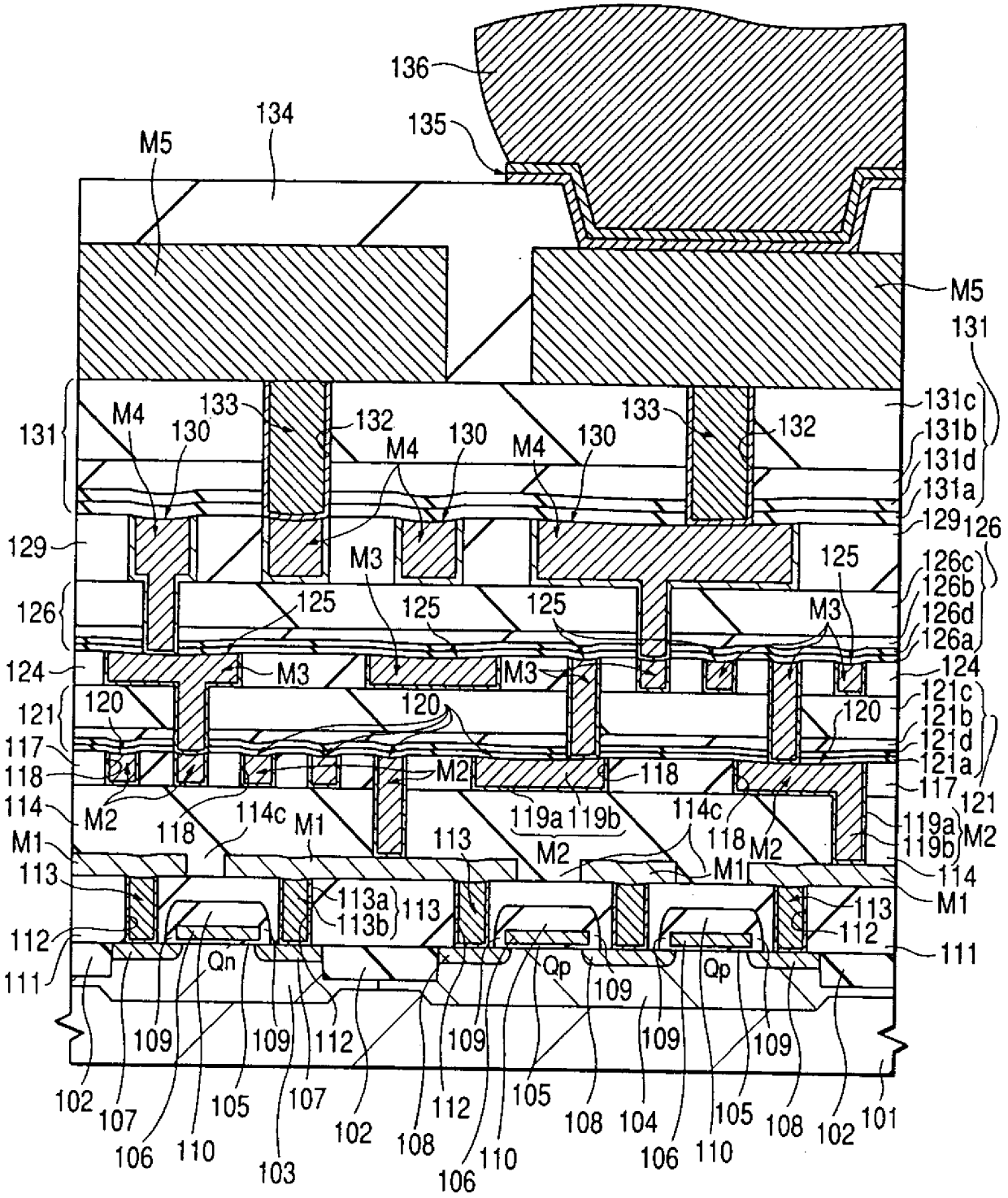
136
135
134
M5
M5
129
129b
129a
131
131c
131b
131a
126
126c
126b
126a
124
121c
121b
121a
121
117
119a
119b
M2
114
M1
113
112
111
M4
130
133
132
125
M3
120
117b
117a
118
M2
M1
119a
119b
113a
113b
Qn
Qp
109
102
107
106
110
105
103
108
104
101

第 75 圖


136
135
134
M5
M5
129
129b
129a
131
131c
131b
131a
126
126c
126a
124
124b
124a
121
121c
121b
121a
117
117b
117a
119a
119b
M2
M1
M3
M4
133
132
130
125
120
118
113
113a
113b
114
111
112
Qn
Qp
109
102
107
106
110
105
103

第 76 圖

424294



136
135
134
M5
M5
131
131c
131b
131d
131a
129
126
126c
126b
126d
126a
124
121c
121b
121d
121a
121
117
119a
119b
M2
114
M1
113
112
111
133
132
130
M4
M3
125
120
118
114c
113a
113b
Qn
Qp
109
102
107
106
110
105
103
108
104
101

第 77 圖

年 月 日 修正 補充
89. 6. 26

A7
B7

五、發明說明 (56)

製造方法之一例依該工程順序的截面圖。

圖21係顯示本發明之另一其他實施形態之半導體積體電路裝置之一例的截面圖。

圖22係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖23係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖24係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖25係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖26係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖27係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖28係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖29係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖30係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖31係顯示將實施形態3之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖32係顯示將實施形態3之半導體積體電路裝置之

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部智慧財產局員工消費合作社印製

修正補充
年 月 日
89.6.26

五、發明說明 (59)

圖５８係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖５９係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６０係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６１係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６２係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６３係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６４係顯示將實施形態４之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６５係顯示本發明之另一其他實施形態之半導體積體電路裝置之一例的截面圖。

圖６６係顯示本發明之另一其他實施形態之半導體積體電路裝置之一例的截面圖。

圖６７係顯示將實施形態６之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６８係顯示將實施形態６之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

圖６９係顯示將實施形態６之半導體積體電路裝置之製造方法之一例依該工程順序的截面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

修正補充

四、中文發明摘要（發明之名稱：半導體積體電路裝置及其製造方法）

本發明係一種半導體積體電路裝置及其製造方法，於形成半導體元件之半導體基板之上層，形成層間絕緣膜，埋入形成於層間絕緣膜之配線溝的配線，經由銅等之金屬膜之堆積和ＣＭＰ法之研磨所形成之半導體積體電路裝置中，令形成於配線及層間絕緣膜上之層間絕緣膜，以防護層、平坦化層及絕緣膜所構成。做爲平坦化層爲具有自我流動性之被膜，例如使用ＳＯＧ膜。

英文發明摘要（發明之名稱：）

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND FABRICATION PROCESS THEREOF

In a semiconductor integrated circuit wherein an interlayer insulating film is formed over a semiconductor substrate having a semiconductor device formed thereover; and an interconnection embedded in an interconnection groove in the interlayer insulating film is formed by the deposition of a metal film such as copper and polishing by the CMP method, another interlayer insulating film over the interconnection and interlayer insulating film is formed to have a blocking film, a planarizing film and an insulating film. As the planarizing film, a film having fluidity such as SOG is employed.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

第 87110273 號專利申請案

中文申請專利範圍修正本

民國 89 年 6 月修正

1．一種半導體積體電路裝置，針對具有形成於半導體基板之主面的半體元件，和形成於前述半導體元件之上部，在形成於該一部的凹部，埋入使用研磨法所形成之導電性構件的第 1 絕緣膜，和形成於前述第 1 絕緣膜之上部，在形成於該一部的凹部，埋入使用研磨法所形成之導電性構件的第 2 絕緣膜的半導體積體電路裝置中，其特徵係前述第 2 絕緣膜中，包含具有自我流動性之流動性絕緣膜者。

2．如申請專利範圍第 1 項之半導體積體電路裝置，其中，前述流動性絕緣膜係平坦化前述第 2 絕緣膜之表面者。

3．如申請專利範圍第 1 或第 2 項之半導體積體電路裝置，其中，前述第 2 絕緣膜之凹部係構成配線溝，前述第 2 絕緣膜之導電性構件係構成形成於前述配線溝之配線，於前述流動性絕緣膜之上部，形成前述配線溝者。

4．如申請專利範圍第 1 或第 2 項之半導體積體電路裝置，其中，前述第 2 絕緣膜之凹部係構成配線溝和連接孔，前述第 2 絕緣膜之導電性構件係構成形成於前述配線溝之配線，和形成於前述連接孔之柱塞，前述流動性絕緣膜係形成於前述配線溝間者。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製