



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0023729
(43) 공개일자 2025년02월18일

(51) 국제특허분류(Int. Cl.)
H10B 41/30 (2023.01) G11C 16/06 (2021.01)
H10B 41/70 (2023.01)
(52) CPC특허분류
H10B 41/30 (2023.02)
G11C 16/06 (2013.01)
(21) 출원번호 10-2023-0104807
(22) 출원일자 2023년08월10일
심사청구일자 2023년08월10일

(71) 출원인
국립창원대학교 산학협력단
경상남도 창원시 의창구 창원대학교 20(퇴촌동)
(72) 발명자
김영희
경남 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트)
김도훈
경상남도 창원시 마산회원구 내서읍 삼계1길 48, 106동 1304호(한우리아파트)
권순우
경기도 용인시 기흥구 덕영대로2077번길 33, 111동 1403호(영덕동, 용인기흥효성해링턴플레이스)
(74) 대리인
이철희, 고윤호

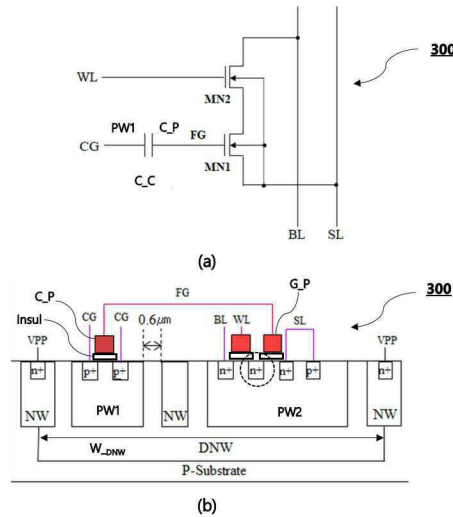
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 MTP 셀 및 MTP 셀 어레이

(57) 요약

본 발명은 -8V ~ +8V 사이의 동작 모드 별 바이어스 전압을 사용할 수 있도록 함으로써 HV 소자를 사용하지 않도록 하는 MTP 셀 및 MTP 셀을 복수 개 포함하는 MTP 셀 어레이를 제안한다. 상기 MTP 셀은, 커패시터, 센스 트랜지스터 및 선택트랜지스터를 포함한다.

대표도 - 도3



(52) CPC특허분류

H10B 41/70 (2023.02)

명세서

청구범위

청구항 1

일 단자가 게이트 구동회로의 출력단자와 연결되는 커플링 커패시터;

일 단자가 센싱라인에 연결되고 게이트 단자는 상기 커플링 커패시터의 다른 일 단자에 연결되는 센스 트랜지스터; 및

일 단자가 비트라인에 연결되고, 다른 일 단자는 상기 센스 트랜지스터의 다른 일 단자와 연결되며, 게이트 단자는 워드라인이 연결되는 선택 트랜지스터;를 포함하며,

상기 커플링 커패시터는, 일 단자인 제1웰, 상기 제1웰의 상부에 형성되는 절연층 및 다른 일 단자인 상기 절연층의 상부에 형성되는 게이트 폴리실리콘을 포함하며,

상기 센스 트랜지스터 및 상기 선택 트랜지스터는 상기 제1웰과 격리된 제2웰에 형성되는 MTP 셀.

청구항 2

제1항에 있어서,

상기 센스 트랜지스터의 일 단자 및 상기 선택 트랜지스터의 다른 일 단자는 동일한 확산 영역을 공유하는 MTP 셀.

청구항 3

제1항에 있어서,

상기 제1웰 및 상기 제2웰은, 제3웰 내부에 형성되며,

상기 제1웰과 상기 제2웰 사이에는 웰 정션 브레이크다운 방지용 제4웰이 더 형성되는 MTP 셀.

청구항 4

제3항에 있어서,

상기 제1웰과 상기 제4웰 사이의 간격은 최소 $0.6\mu\text{m}$ 인 MTP 셀.

청구항 5

제3항에 있어서,

상기 제1웰 및 상기 제2웰은 동일한 타입의 불순물이 주입되어 있고,

상기 제4웰은 상기 제1웰 및 상기 제2웰에 주입된 불순물과 반대의 전기적 특성의 불순물이 주입되는 MTP 셀.

청구항 6

제1항에 있어서,

상기 게이트 구동회로의 출력단자의 전압준위와 상기 센싱라인의 전압준위의 범위는 $-7.75\text{V} \sim +7.75\text{V}$ 인 MTP 셀.

청구항 7

일 단자가 게이트 구동회로의 출력단자와 연결되는 커플링 커패시터;

일 단자가 센싱라인에 연결되고 게이트 단자는 상기 커플링 커패시터의 다른 일 단자에 연결되는 센스 트랜지스터; 및

일 단자가 비트라인에 연결되고, 다른 일 단자는 상기 센스 트랜지스터의 다른 일 단자와 연결되며, 게이트 단

자는 워드라인이 연결되는 선택 트랜지스터를 포함하며,

상기 커플링 커패시터는, 일 단자인 제1웰, 상기 제1웰의 상부에 형성되는 절연층 및 다른 일 단자인 상기 절연층의 상부에 형성되는 게이트 폴리실리콘을 포함하며, 상기 센스 트랜지스터 및 상기 선택 트랜지스터는 상기 제1웰과 격리된 제2웰에 형성되는 MTP 셀을 복수 개 포함하는 MTP 셀 어레이.

청구항 8

제7항에 있어서, 상기 MPT 셀 각각은,

해당 게이트 구동회로의 출력단자, 해당 워드라인, 해당 비트라인 및 해당 센싱라인과 각각 전기적으로 연결되는 MTP 셀 어레이.

청구항 9

제7항에 있어서,

상기 게이트 구동회로의 출력단자의 전압준위와 상기 센싱라인의 전압준위의 범위는 $-7.75V \sim +7.75V$ 인 MTP 셀 어레이.

청구항 10

제1항 또는 제7항에 있어서,

상기 워드라인에 인가되는 전압에 의해 상기 선택 트랜지스터가 상기 비트라인을 상기 센스 트랜지스터의 일 단자와 연결하는 MTP 셀 어레이.

청구항 11

제1항 또는 제7항에 있어서,

상기 제1웰 내부에는 상기 제1웰의 깊이를 초과하지 않으면서 상기 제1웰과 동일한 타입의 불순물로 형성된 확산 영역을 포함하는 MTP 셀 어레이.

발명의 설명

기술 분야

[0001] 본 발명은 MPT 셀에 관한 것으로, 특히, $-8V \sim +8V$ 사이의 동작 모드 별 바이어스 전압을 사용할 수 있도록 함으로써 HV 소자를 사용하지 않도록 하는 MTP 셀 및 상기 MTP 셀을 복수 개 포함하는 MPT 셀 어레이에 관한 것이다.

배경 기술

[0002] PMIC (Power Management IC)는 외부로부터 전원을 수신하여 시스템에서 요구하는 안정적이고 효율적인 전원으로 변환하여 해당 시스템에 공급하는 기능을 수행한다. 여기서 시스템으로는 휴대전화기, 노트북 PC, TV 및 모니터 등의 정보기기가 그 예이다.

[0003] PMIC는 생성하고자 하는 전원의 전압 준위 변환에 필요한 다양한 변환회로 및 변환회로의 동작 신뢰성 향상을 위하여 소프트스타트세팅(Soft Start Time Setting)용 EEPROM (Electrically Erasable Programmable Read-Only Memory) IP(Intellectual Property)를 포함한다.

[0004] EEPROM IP는 읽기/쓰기가 가능하고 전원이 공급되지 않는 경우에도 저장한 정보를 일정시간 유지할 수 있는 비휘발성(non-volatile) 기억장치이며, 시스템의 원가 감소를 위해 저면적의 싱글 폴리(single poly silicon) EEPROM 셀을 이용한다.

[0005] 도 1은 종래의 싱글 폴리 EEPROM의 예를 도시한다.

[0006] 도 1a는 종래의 싱글 폴리 EEPROM을 구성하는 단위 셀인 MTP (Multi-Time Programmable) 셀의 회로도이고, 도 1b는 MTP 셀의 공정 단면도이다.

[0007] 도 1을 참조하면, 종래의 MTP(1)는 FN 터널링(Fowler-Nordheim tunneling) 방식으로 플로팅게이트(Floating

Gate: FG)에 전자를 주입하거나 플로팅게이트(FG)에 저장된 전자를 터널링게이트(TG)로 방출하는 센스 트랜지스터(M1), 과소거(over-erase) 되었을 때 비트라인 (BL)에서의 off-누설전류(leakage current)를 감소시키는 선택 트랜지스터(M2) 및 게이트 구동회로(미도시)의 출력단자(CG)와 센스 트랜지스터(M1)에 사이에 설치되는 커플링 커패시터(C_C)를 포함한다.

[0008] 센스 트랜지스터(M1)는 소거 모드 (Erase mode)와 프로그램 모드(Program mode)에서는 터널 게이트 트랜지스터 (Tunnel Gate Transistor)의 기능을 사용하고 읽기 모드 (Read mode)에서는 센스 트랜지스터(Sense Transistor)의 기능을 수행한다. 이러한 기능을 달성하기 위하여 센스 트랜지스터(M1)는 게이트 단자가 커플링 커패시터(C_C)를 경유한 게이트 구동회로의 출력단자(CG)와 연결되고, 일 단자는 터널 게이트(TG)에 연결된다.

[0009] MTP 셀의 소거 모드 때에는, 게이트 구동회로의 출력단자(CG)와 터널 게이트 단자(TG)가 각각 -4.75V(Volts)와 +4.75V의 전압 준위를 가지게 되어, 플로팅게이트(FG)에 저장된 전자를 FN 터널링 방식으로 터널 게이트 단자 (TG)로 방출한다. 반대로, 프로그램 모드 일 때에는 플로팅게이트(FG)에 전자를 주입한다.

[0010] 도 2는 최근에 발표된 MTP 셀의 특성의 비교를 나타낸다.

[0011] 도 2를 참조하면, 로직 프로세스(Logic process)를 사용한 MTP 셀은 주변 회로(peripheral circuit)를 5V 또는 3.3V 트랜지스터로 구현할 수 있다. PMIC 설계에 사용 가능한 MTP 셀(Ref. No. 3~6)은 MV(Medium Voltage) 소자로 5V 트랜지스터를 사용하며, 알에프아이디 태그 칩(RFID Tag Chip) 설계에 사용 가능한 MTP 셀(Ref. No. 7)은 MV 소자로 3.3V의 트랜지스터를 사용한다.

[0012] 그런데 PMIC 애플리케이션 (application)으로 사용 가능한 기존의 MTP 셀은 소거 전압(erase voltage)이나 프로그램 전압(program voltage)이 9V 이상이므로 5V 소자의 신뢰성을 확보해 주기 위해서는 HV(High-Voltage) 트랜지스터, 기생(parasitic) HV 트랜지스터, LDMOS(Laterally Diffused MOS) 트랜지스터 중 하나의 소자를 부가적으로 사용하여야 한다.

선행기술문헌

특허문헌

[0013] (특허문헌 0001) 대한민국 등록특허: 10-1357847호 (2014년 1월 24일)

발명의 내용

해결하려는 과제

[0014] 본 발명이 해결하고자 하는 기술적 과제는, -8V ~ +8V 사이의 동작 모드 별 바이어스 전압을 사용할 수 있도록 함으로써 HV 소자를 사용하지 않도록 하는 MTP 셀을 제안하는 것에 있다.

[0015] 본 발명이 해결하고자 하는 다른 기술적 과제는, -8V ~ +8V 사이의 동작 모드 별 바이어스 전압을 사용할 수 있도록 함으로써 HV 소자를 사용하지 않도록 하는 MTP 셀을 복수 개 포함하는 MTP 셀 어레이를 제공하는 것에 있다.

[0016] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0017] 상기 기술적 과제를 달성하기 위한 본 발명에 따른 MTP 셀은, 커플링 커패시터, 센스 트랜지스터 및 선택트랜지스터를 포함한다.

[0018] 상기 커플링커패시터는 일 단자가 게이트 구동회로의 출력단자와 연결된다. 상기 센스 트랜지스터는 일 단자가 센싱라인에 연결되고 게이트 단자는 상기 커플링 커패시터의 다른 일 단자에 연결된다. 상기 선택 트랜지스터는 일 단자가 비트라인에 연결되고, 다른 일 단자는 상기 센스 트랜지스터의 다른 일 단자와 연결되며, 게이트 단자는 워드라인이 연결된다. 상기 커플링 커패시터는, 일 단자인 제1웰, 상기 제1웰의 상부에 형성되는 절연층 및 다른 일 단자인 상기 절연층에 형성되는 커패시터용 게이트 폴리를 포함하며, 상기 센스 트랜지스터 및 상기

선택 트랜지스터는 상기 제1웰과 격리된 제2웰에 형성된다.

[0019] 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 MTP 셀 어레이는, 일 단자가 게이트 구동회로의 출력단자와 연결되는 커플링 커패시터, 일 단자가 센싱라인에 연결되고 게이트 단자는 상기 커플링 커패시터의 다른 일 단자에 연결되는 센스 트랜지스터 및 일 단자가 비트라인에 연결되고, 다른 일 단자는 상기 센스 트랜지스터의 다른 일 단자와 연결되며, 게이트 단자는 워드라인이 연결되는 선택 트랜지스터를 포함하며, 상기 커플링 커패시터는, 일 단자인 제1웰, 상기 제1웰의 상부에 형성되는 절연층 및 다른 일 단자인 상기 절연층에 형성되는 커패시터용 게이트 폴리를 포함하며, 상기 센스 트랜지스터 및 상기 선택 트랜지스터는 상기 제1웰과 격리된 제2웰에 형성되는 MTP 셀을 복수 개 포함한다.

[0020] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

발명의 효과

[0021] 상술한 바와 같은 본 발명에 따른 MTP 셀 및 MTP 셀 어레이는, 별도의 마스크나 공정을 추가하지 않으면서도 -8V ~ +8V 사이의 동작 모드 별 바이어스 전압을 사용할 수 있도록 함으로써 HV 소자를 사용하지 않도록 하는 장점이 있다.

[0022] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0023] 도 1은 종래의 싱글 폴리 EEPROM의 예를 도시한다.

도 2는 최근에 발표된 MTP 셀의 특성의 비교를 나타낸다.

도 3은 본 발명에 따른 MTP 셀의 일 실시 예를 나타낸다.

도 4는 본 발명에 따른 MPT 어레이의 실시 예를 나타낸다.

도 5는 본 발명에 따른 MTP 셀의 동작 모드별 바이어스 전압의 전압 준위를 테이블로 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0024] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시 예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야 한다.

[0025] 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

[0026] 도 3은 본 발명에 따른 MTP 셀의 일 실시 예를 나타낸다.

[0027] 도 3a는 본 발명에 따른 MTP 셀의 회로도이고, 도 3b는 MTP 셀의 공정 단면도이다.

[0028] 본 발명에 따른 MTP 셀은 1비트를 저장하는 단위 저장장치로 복수의 MTP 셀을 결합한 MPT 어레이의 형태로 사용되지만, 동작 및 공정상의 단면도의 설명을 이해하기 쉽게 하기 위해 MPT 어레이를 구성하는 복수의 MTP 셀 중 하나의 MTP 셀에 대해서 설명하고, 이를 MTP 셀 어레이에 대해 적용할 것이다.

[0029] 도 3a를 참조하면, 본 발명에 따른 MTP 셀(300)은 커플링 커패시터(C_C), 센스 트랜지스터(MN1) 및 선택 트랜지스터(MN2)를 포함한다.

[0030] 커플링 커패시터(C_C)는 일 단자가 게이트 구동회로(미도시)의 출력단자(CG)와 연결된다.

[0031] 센스 트랜지스터(MN1)는 일 단자가 센싱라인(SL)에 연결되고 게이트 단자는 커플링 커패시터(C_C)의 다른 일 단자에 연결된다.

[0032] 선택 트랜지스터(MN2)는 일 단자가 비트라인(BL)에 연결되고, 다른 일 단자는 센스 트랜지스터(MN1)의 다른 일 단자와 연결되며, 게이트 단자는 워드라인(WL)이 연결된다.

- [0033] 여기서 플로팅게이트(FG)는 센스 트랜지스터(MN1)의 게이트 영역에 연결된 노드를 의미한다.
- [0034] 도 3a에 도시된 센스 트랜지스터(MN1) 및 선택 트랜지스터(MN2)의 벌크(Bulk) 영역이 서로 연결되어 있으므로, 도 3b를 참조하면, 센스 트랜지스터(MN1) 및 선택 트랜지스터(MN2)가 제2P 타입 웰(PW2)에 공통으로 구현되었다는 것을 의미한다.
- [0035] 도 3b를 참조하면, 커패시터(C_C)는 제1P 타입 웰(PW1)과 제1P 타입 웰(PW1)의 상부에 위치하는 커패시터용 게이트 폴리실리콘(C_P) 및 제1P 타입 웰(PW1)의 상부와 커패시터용 게이트 폴리실리콘(C_P)의 하부 즉 제1P 타입 웰(PW1)과 커패시터용 게이트 폴리실리콘(C_P) 사이에 형성되는 절연체(Insulator)를 이용하여 구현할 수 있다. 커패시터(C_G)의 일 단자에 전압을 가하기 위해 제1P타입 웰(PW1) 내부에 동일한 타입의 불순물로 형성한 확산 영역(P+)이 형성될 수 있다.
- [0036] 폴리 실리콘 게이트 단자(C_P)는 센스 트랜지스터(MN1)의 게이트 단자와 연결된다.
- [0037] 본 발명에서 제안하는 도 3에 도시된 MTP 셀은 양극성 CMOS, DMOS 기술(Bipolarity Complementary Metal Oxide Semiconductor, Double Diffused Metal Oxide Semiconductor, 이하 BCD)을 기반으로 한다.
- [0038] 도 3b를 참조하면, 본 발명에 따른 MTP 셀(300)은 커패시터(C_C)가 구현되는 제1P 타입 웰(PW1)과 센스 트랜지스터(MN1) 및 선택 트랜지스터(MN2)가 구현되는 제2P 타입 웰(PW2)을 사용하며, 제1P 타입 웰(PW1)과 제2P 타입 웰(PW2) 사이에 웰 정션 브레이크다운 (Well Junction Breakdown) 방지용 N 타입 웰(NW)을 추가로 형성할 것을 제안한다. 제1P 타입 웰(PW1)과 제2P 타입 웰(PW2)은 DNW(Deep N type Well) 내부에 공통으로 형성된다.
- [0039] BCD 공정에서 MTP 셀 어레이(cell array) 안에 위치한 P 타입 웰(PW)과 N 타입 웰(NW)이 직접 접촉(direct butting)하게 하면 소거 모드 및 프로그램 모드 시 P 타입 웰(PW)과 N 타입 웰(NW) 사이의 웰 정션 브레이크 다운(well junction breakdown)으로 인해 웰 정션(well junction)이 파괴될 수 있다. 상기와 같은 이유로, DNW 내의 P 타입 웰(PW)과 N 타입 웰(NW) 사이의 웰 정션 브레이크 다운 전압(BV)을 증가시키기 위해 P 타입 웰(PW)과 N 타입 웰(NW) 사이의 웰 간격(well space)을 $0.6\mu\text{m}$ 로 유지하도록 함으로써, 도 3에서 DNW의 폭(W_{DNW})을 증가시키지 않도록 하였다.
- [0040] 본 발명의 효과를 실험하는 과정에서, 소거 모드에서 게이트 구동회로(CG)의 출력단자의 전압 준위 및 센싱라인(SL)의 전압 준위를 각각 -7.75V 및 +7.75V를 인가한 상태로 FN 터널링 방식으로 플로팅게이트(FG)에 저장된 전자를 소거할 때, 제1P 타입 웰(PW1)과 웰 정션 브레이크다운 방지용 N 타입 웰(NW) 사이가 $0.6\mu\text{m}$ 일 때 효과가 최대라는 것을 확인하였다.
- [0041] 도 3b를 참조하면, 커패시터(C_C)는 게이트 폴리(C_P)의 양단에 2개의 확산 영역(P+)이 존재하는 형태를 가진다는 점에서, 본 발명에서 제안하는 커패시터(C_C)의 구조가, 게이트 폴리(G_P) 양단에 2개의 확산 영역(N+)이 존재하는 일반적인 트랜지스터의 구조와 동일하다는 것을 알 수 있다. 따라서, 커패시터(C_C)는 별도의 마스크(MASK)나 추가 공정 없이 기존에 사용하던 공정을 그대로 활용하여 구현할 수 있다.
- [0042] 즉, 제1P 타입 웰(PW1)과 커패시터용 게이트 폴리(C_P) 사이에 절연체를 형성하는 별도의 공정이 요구되지 않으며, 전자(electron)와 정공(hole)의 이동도(mobility)의 차이에 의해 P 타입 웰(P+)과 커패시터용 게이트 폴리(C_P)의 중첩 영역의 면적이 N 타입 웰(N+)과 게이트 폴리(G_P)의 중첩 영역의 면적보다 적으므로, 동일한 면적의 게이트 폴리 실리콘을 이용하여 정전용량을 구현하고자 할 때 MTP 셀의 사이즈를 최소로 할 수 있는 장점이 있다.
- [0043] 또한, 센스 트랜지스터(MN1)는 소거 모드와 프로그램 모드에서 MV 트랜지스터의 게이트 산화막(gate oxide)인 터널 산화막(tunnel oxide)을 통해 FN 터널링 기능을 수행하는 반면, 읽기 모드에서는 저장된 정보를 읽는 기능을 수행한다.
- [0044] MTP 셀의 사이즈를 줄이기 위해, 터널링 산화막과 센스 기능을 하나의 센스 트랜지스터(MN1)에서 수행할 수 있도록 하였다.
- [0045] 또한, 센스 트랜지스터(MN1)의 일 단자와 선택 트랜지스터(MN2)의 다른 일 단자가 전기적으로 연결되는 부분은 하나의 확산영역(접선 원)을 이용하여 구현함으로써, 단위 MPT 셀이 소비하는 면적을 최소로 하였다.
- [0046] 후술하겠지만, 복수의 MTP 셀을 포함하는 MTP 셀 어레이는 하나의 DNW(Deep N-Well)을 이용하여 구현할 수 있다. 즉, 하나의 DNW에 복수의 MTP 셀을 구현하였고, 각각의 MTP 셀은 2개의 P 타입 웰을 이용하여 구현할 수

있다.

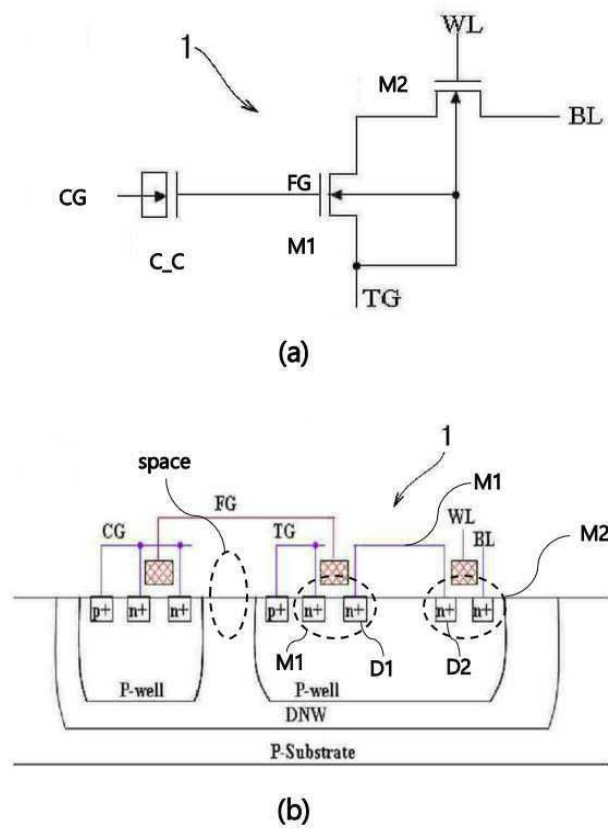
- [0047] 도 4는 본 발명에 따른 MPT 어레이의 실시 예를 나타낸다.
- [0048] 도 4를 참조하면, MTP 셀 어레이(400)는 복수의 MTP 셀([0,0] ~ [63, 63])을 포함하며, 각각의 MTP 셀들은 해당 게이트 구동회로의 출력단자(CG[0] ~ CG[63]), 해당 워드라인(WL[0] ~ WL[63]), 해당 비트라인(BL[0] ~ BL[63]) 및 해당 센싱라인(SL[0] ~ SL[63])에 연결된다.
- [0049] 도 5는 본 발명에 따른 MTP 셀의 동작 모드별 바이어스 전압의 전압 준위를 테이블로 나타낸다.
- [0050] 도 5에 도시된 테이블에서 CG, WL, SL, BL 및 DNW는 게이트 구동회로의 출력단자, 워드라인, 센싱라인, 비트라인 및 DNW를 각각 나타내며, PGM은 프로그램, ERS는 삭제, Read는 읽기를 각각 의미한다. SCG는 선택된 CG, UCG는 선택되지 않은 CG, SWL은 선택된 워드라인 UWL은 선택되지 않은 워드라인을 각각 의미한다.
- [0051] 도 5를 참조하면, 본 발명에 따른 프로그램 모드(PGM)에서는 선택된 MTP 셀(SCG & Programmed Cell)의 CG와 SL에 각각 +7.75V, -7.75V를 인가하여 소거 모드와 동일한 FN 터널링 방식으로 플로팅게이트(FG)에 전자(electron)를 주입(injection)한다.
- [0052] 본 발명에 따른 MTP 셀의 소거 모드(ERS)에서는 선택된 MTP 셀(Selected Page)의 CG와 SL에 각각 -7.75V, +7.75V를 인가하여 FN 터널링 방식으로 플로팅게이트에 주입된 전자를 외부로 되출시킨다.
- [0053] 읽기 모드(Read)에서, 전자가 소거된 셀은 BL에 0V를 출력하는 반면, 프로그램된 셀은 BL 선택 트랜지스터(MN2)의 문턱 전압(threshold voltage; V_T) 만큼 강화된 $0.8V (=VRD - V_T)$ 만큼 풀 업(pull-up) 된다. 선택된 MTP 셀의 CG와 SL의 전압으로 인해 선택되지 않은 MTP 셀의 플로팅게이트(FG)에 영향이 미치는 것을 방지하기 위해 선택되지 않은 CG와 선택되지 않은 SL은 억제 전압(inhibit voltage)인 $VPPL(=VPP/3)$ 와 $VNNL(=VNN/3)$ 로 바이어싱되어야 한다.
- [0054] 소거 모드에서 선택되지 않은 페이지의 CG는 $VPPL$ 전압으로 바이어싱 하며, 프로그램 모드에서 선택되지 않은 CG와 선택되지 않은 SL은 각각 $VNNL$ 전압과 $VPPL$ 전압으로 바이어싱 한다. 그리고 읽기 방해(read disturb)를 방지하기 위해 읽기모드 시 BL 전압은 $1.5V$ 이하인 $VRD - V_T$ 전압으로 된다.
- [0055] 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 기술자라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방 가능함은 명백한 사실이다.

부호의 설명

- [0056] C_C: 커플링 커패시터
- MN1: 센스 트랜지스터
- MN2: 선택 트랜지스터
- SL: 센싱 라인
- BL: 비트 라인
- WL: 워드라인

도면

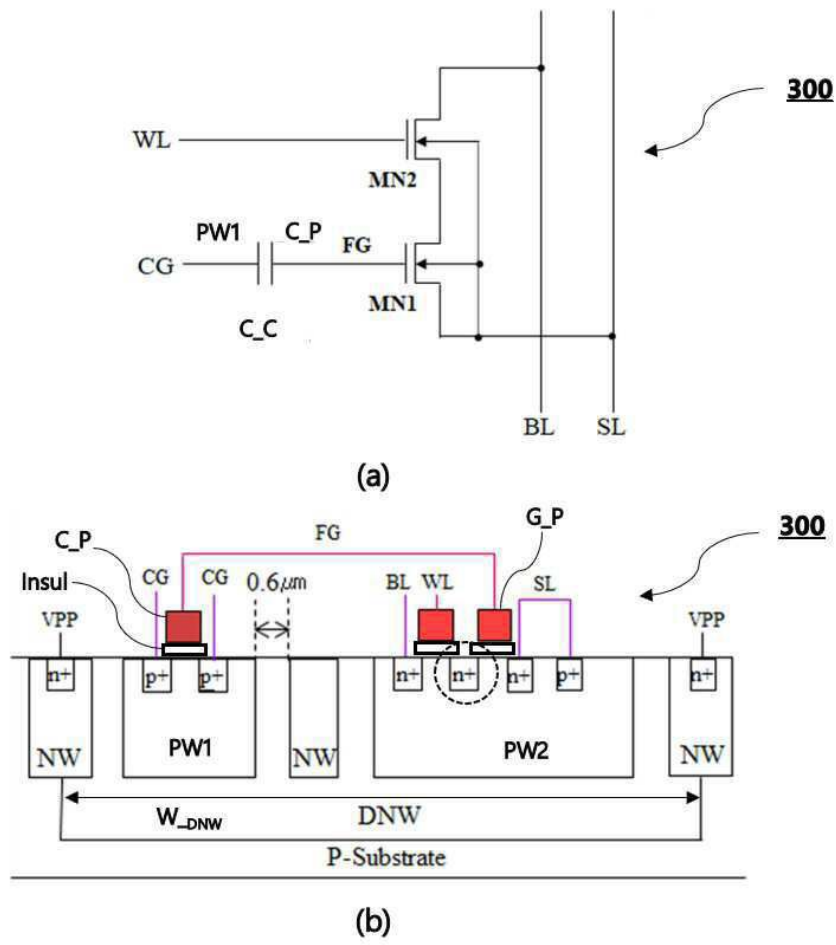
도면1



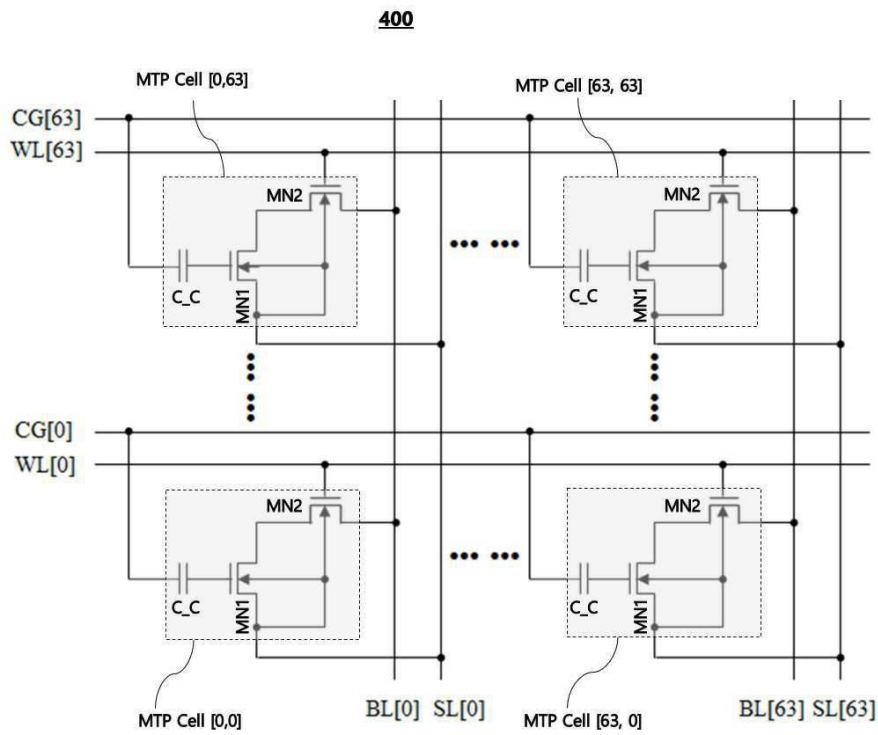
도면2

Ref. No.	Memory Process	Cell Size [μm^2]	Tunnel Oxide Thickness	Erase Voltage	PGM Voltage
[3]	0.35 μm BCD	37.7	125Å	15V	18.5V
[4]	0.13 μm Logic	12.1	85Å	12V	12V
[5]	0.18 μm BCD	2	110Å	9V	5.5V
[6]	0.25 μm Logic	62.5	85Å	9V	5.5V
[7]	0.13 μm Logic	-	70Å	7V	7V

도면3



도면4



도면5

Operation	Mode	CG	WL	SL	BL	DNW
PGM (FN@5ms)	SCG & Programmed Cell	7.75V	0V	-7.75V	Floating	7.75V
	SCG & Unprogrammed Cell	7.75V	0V	2.58V	Floating	7.75V
	UCG & Programmed Cell	-2.58V	0V	-7.75V	Floating	7.75V
	UCG & Unprogrammed Cell	-2.58V	0V	2.58V	Floating	7.75V
ERS (FN@5ms)	Selected Page	-7.75V	0V	7.75V	Floating	7.75V
	Unselected Page	2.58V	0V	7.75V	Floating	7.75V
Read	SWL & Programmed Cell	1.5V	VDD	0V	0.8V	VDD
	SWL & Erased Cell	1.5V	VDD	0V	0V	VDD
	UWL & Programmed Cell	1.5V	0V	0V	0.8V	VDD
	UWL & Erased Cell	1.5V	0V	0V	0V	VDD