



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월19일
(11) 등록번호 10-1057439
(24) 등록일자 2011년08월10일

(51) Int. Cl.

H01L 29/778 (2006.01)

(21) 출원번호 10-2006-7025916

(22) 출원일자(국제출원일자) 2005년04월14일

심사청구일자 2010년03월02일

(85) 번역문제출일자 2006년12월08일

(65) 공개번호 10-2007-0009737

(43) 공개일자 2007년01월18일

(86) 국제출원번호 PCT/US2005/012821

(87) 국제공개번호 WO 2005/114743

국제공개일자 2005년12월01일

(30) 우선권주장

10/976,422 2004년10월29일 미국(US)

60/570,518 2004년05월11일 미국(US)

(56) 선행기술조사문헌

US04947232 A

US06127703 A

US06445038 B1

전체 청구항 수 : 총 18 항

(73) 특허권자

크리, 인코포레이티드

미국 노스 캘로라이나 27703 더럼 실리콘 드라이브 4600

(72) 발명자

유 위팽

미국 캘리포니아주 93117 고레타 파이어사이드 레인 528

파리크 프리밋

미국 캘리포니아주 93117 쉐도우브룩 드라이브 6832

(뒷면에 계속)

(74) 대리인

신정건, 김태홍

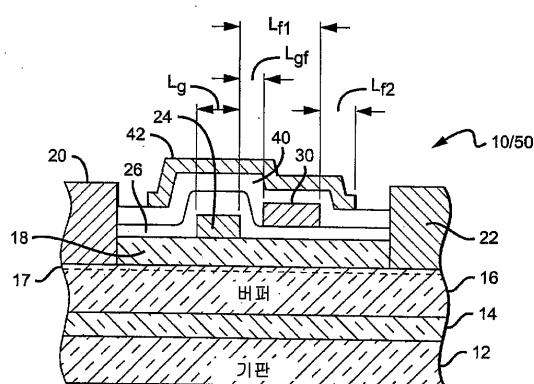
심사관 : 이상호

(54) 복수의 필드 플레이트를 갖는 광대역캡 트랜지스터

(57) 요 약

본 발명은 기판 위에 복수의 능동 반도체층을 포함하고, 소스와 드레인 전극이 반도체층과 접촉되어 있는 트랜지스터를 제공한다. 소스와 드레인 전극 사이 및 복수의 반도체층 위에 게이트가 형성된다. 복수의 필드 플레이트는 반도체층 위에 배치되고, 이를 각각은 게이트의 에지로부터 드레인 전극 쪽으로 연장되고, 또한 이를 각각은 상기 반도체층 및 나머지 필드 플레이트와 절연된다. 필드 플레이트의 최상부는 소스 전극에 전기적으로 접속되고 나머지 필드 플레이트는 게이트 또는 소스 전극에 전기적으로 접속된다.

대 표 도 - 도2



(72) 발명자

미쉬라 우메쉬

미국 캘리포니아주 93108 몬테시토 크릭사이드 드
라이브 2040

무어 마시아

미국 캘리포니아주 93101 산타 바바라 웨스트 발레
리오 스트리트1438

특허청구의 범위

청구항 1

채널을 갖는 활성 영역과,
상기 활성 영역과 접촉하여 형성된 소스 및 드레인 전극들과,
상기 소스 및 드레인 전극들 사이에서 상기 활성 영역 상에 형성된 게이트와,
복수의 스페이서층과,
복수의 필드 플레이트

를 포함하고, 상기 스페이서층들 중 제 1 스페이서층은 상기 게이트와 상기 드레인 및 소스 전극들 사이의 상기 활성 영역의 표면 중 적어도 일부 상에 존재하고, 상기 필드 플레이트들 중 제 1 필드 플레이트는 상기 제 1 스페이서층 상에 존재하며, 상기 스페이서층과 필드 플레이트의 나머지는 상기 제 1 스페이서층과 상기 제 1 필드 플레이트 위에서 교대로 배치되고, 상기 필드 플레이트의 최상부는 상기 소스 전극에 전기적으로 접속되고, 상기 필드 플레이트의 최상부 아래의 상기 필드 플레이트들 각각은 상기 게이트 또는 소스 전극에 전기적으로 접속되는 것인, 트랜지스터.

청구항 2

제 1 항에 있어서, 상기 제 1 필드 플레이트 위의 상기 필드 플레이트 각각은, 상기 스페이서층들 중 하나에 의해 하부의 필드 플레이트로부터 분리되는 것인, 트랜지스터.

청구항 3

제 1 항에 있어서, 상기 필드 플레이트들 각각은, 적어도 하나의 전기 접속 도전로(conductive path)에 의해 상기 소스 전극 또는 게이트에 접속되는 것인, 트랜지스터.

청구항 4

제 1 항에 있어서, 상기 제 1 필드 플레이트는, 상기 제 1 스페이서층 상에서 상기 게이트의 에지로부터 상기 드레인 전극 쪽으로 연장되는 것인, 트랜지스터.

청구항 5

제 4 항에 있어서, 상기 필드 플레이트들 중 제 2 필드 플레이트는 상기 스페이서층들 중 제 2 스페이서층 상에서 상기 제 1 필드 플레이트의 에지로부터 상기 드레인 전극 쪽으로 연장되는 것인, 트랜지스터.

청구항 6

제 1 항에 있어서, 상기 제 1 스페이서층은 적어도 부분적으로 상기 게이트를 덮고, 상기 제 1 필드 플레이트는 적어도 부분적으로 상기 게이트와 중첩하며, 상기 제 1 스페이서층 상에서 상기 게이트의 에지로부터 상기 드레인 전극 쪽으로 거리(L_f)만큼 연장되는 것인, 트랜지스터.

청구항 7

제 1 항에 있어서, 적어도 하나의 도전로를 더 포함하고, 상기 필드 플레이트들 중 적어도 하나는, 상기 적어도 하나의 도전로에 의해 상기 소스 전극에 전기적으로 접속되고, 상기 도전로 각각은 상기 활성 영역의 외부로 이어지는 것인, 트랜지스터.

청구항 8

제 1 항에 있어서, 적어도 하나의 도전로를 더 포함하고, 상기 스페이서층들 중 하나는 상기 게이트와 소스 전극 사이의 상기 활성 영역의 표면 및 상기 게이트를 덮고, 상기 필드 플레이트들 중 적어도 하나는 상기 적어도 하나의 도전로에 의해 상기 소스 전극에 전기적으로 접속되며, 상기 도전로는 상기 스페이서층들 중 상기 하나의 위로 이어지는 것인, 트랜지스터.

청구항 9

제 1 항에 있어서, 상기 게이트는 감마 형상(gamma shaped)인 것인, 트랜지스터.

청구항 10

제 1 항에 있어서, 상기 게이트는 상기 활성 영역에서 적어도 부분적으로 오목한(recessed) 형상인 것인, 트랜지스터.

청구항 11

제 1 항에 있어서, 상기 필드 플레이트들은 상기 트랜지스터 내의 피크 동작 전계를 감소시키는 것인, 트랜지스터.

청구항 12

제 11 항에 있어서, 상기 피크 동작 전계의 감소는 상기 트랜지스터의 항복 전압(breakdown voltage)을 증가시키는 것인, 트랜지스터.

청구항 13

제 11 항에 있어서, 상기 피크 동작 전계의 감소는 상기 트랜지스터 내의 트래핑(trapping)을 감소시키는 것인, 트랜지스터.

청구항 14

제 11 항에 있어서, 상기 피크 동작 전계의 감소는 상기 트랜지스터 내의 누설 전류를 감소시키는 것인, 트랜지스터.

청구항 15

제 1 항에 있어서, 상기 스페이서층은 상기 게이트를 완전히 덮지 않고, 상기 제 1 필드 플레이트는 상기 게이트와 일체로 형성되어 상기 스페이서층 상에서 상기 드레인 전극 쪽으로 거리(L_f)만큼 연장되는 것인, 트랜지스터.

청구항 16

제 1 항에 있어서, 상기 스페이서층들 중 적어도 하나는 유전체 재료를 포함하는 것인, 트랜지스터.

청구항 17

제 1 항에 있어서, 상기 스페이서층들 중 적어도 하나는 에피택셜 재료를 포함하는 것인, 트랜지스터.

청구항 18

채널을 갖는 활성 영역과,

상기 활성 영역과 접촉하여 형성된 소스 및 드레인 전극들과,

상기 소스와 드레인 전극들 사이에서 상기 활성 영역 상에 형성된 게이트와,

상기 활성 영역 위에 배치된 복수의 필드 플레이트

를 포함하며, 상기 복수의 필드 플레이트들 각각은 게이트의 에지로부터 드레인 전극 쪽으로 연장되고, 또한 상기 복수의 필드 플레이트들 각각은 상기 활성 영역 및 다른 필드 플레이트들과 절연되어 있고, 상기 필드 플레이트의 최상부는 상기 소스 전극에 전기적으로 접속되고, 상기 다른 필드 플레이트들 각각은 상기 게이트 또는 상기 소스 전극에 전기적으로 접속되는 것인, 트랜지스터.

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

명세서

기술분야

[0001] 본 발명은 트랜지스터에 관한 것으로, 특히 필드 플레이트(field plate)를 이용한 트랜지스터에 관한 것이다.

배경기술

- [0002] AlGaN/GaN 반도체 재료의 제조 향상은 고주파, 고온 및 고전력 용도의 고전자 이동도 트랜지스터(high electron mobility transistor: HEMT)와 같은 AlGaN/GaN 트랜지스터의 개발을 진전시키는데 도움을 주어왔다. AlGaN/GaN은 큰 밴드갭(bandgap), 하이 피크 및 포화 전자 속도값을 갖는다[B. Gelmont, K. Kim and M. Shur, *Monte Carlo Simulation of Electron Transport in Gallium Nitride*, J. Appl. Phys. 74, (1993), pp. 1818-1821]. AlGaN/GaN HEMT는 또한 10^{13} cm^{-2} 를 초과하는 2DEG 시트 밀도(sheet density)와 비교적 높은 전자 이동도를 가질 수 있다($2019 \text{ cm}^2/\text{Vs}$ 까지)[R. Gaska, et al., *Electron Transport in AlGaN-GaN Heterostructures Grown on 6H-SiC Substrates*, Appl. Phys. Lett. 72, (1998), pp. 707-709]. 이러한 특징들은 AlGaN/GaN HEMT가 RF, 마이크로파 및 밀리미터파 주파수에서 매우 높은 전압 및 전력 동작을 제공하는 것을 허용한다.
- [0003] AlGaN/GaN HEMT는 사파이어 기판 위에서 성장되어 4.6 W/mm 의 전력 밀도와 7.6 W 의 총 전력을 나타내었다[Y.F. Wu et al., *GaN-Based FETs for Microwave Power Amplification*, IEICE Trans. Electron. E-82-C, (1999), pp. 1895-1905]. 좀더 최근에는, SiC 상에서 성장된 AlGaN/GaN HEMT는 8 GHz에서 9.8 W/mm 의 전력 밀도를 나타내었고[Y.F. Wu, et al., *Very-High Power Density AlGaN/GaN HEMTs*, IEEE Trans. Electron. Dev. 48, (2001), pp. 586-590], 9 GHz에서 22.9 W 의 총 출력 전력을 나타내었다[M. Micovic, et al., *AlGaN/GaN Heterojunction Field Effect Transistors Grown by Nitrogen Plasma Assisted Molecular Beam Epitaxy*, IEEE Trans. Electron. Dev. 48, (2001), pp. 591-596].
- [0004] Khan 등에게 허여된 미국특허 제5,192,987호에는 베퍼와 기판 상에서 성장된 GaN/AlGaN계 HEMT가 개시되어 있다. 기타 다른 AlGaN/GaN HEMT 및 전계 효과 트랜지스터(FET)는 Gaska 등의 *High-Temperature Performance of AlGaN/GaN HEMT's on SiC Substrates*, IEEE Electron Device Letters, 18, (1997), pp. 492-494; 및 Wu 등의 "High Al-content AlGaN/GaN HEMTs With Very High Performance", IEDM-1999 Digest, pp. 925-927, Washington DC, Dec. 1999에 의해 기술되어 있다. 이러한 장치들의 일부는 100 기가헤르츠만큼 높은 이득-대역 폭 f_T (Lu 등의 "AlGaN/GaN HEMTs on SiC With Over 100 GHz ft and Low Microwave Noise", IEEE Transactions on Electron Devices, Vol. 48, No. 3, March 2001, pp. 581-585)과, X-대역에서 100 W/mm 까지의 고 전력 밀도[(Wu 등의 "Bias-dependent Performance of High-Power AlGaN/GaN HEMTs", IEDM-2001, Washington DC, Dec. 2-6, 2001) 및 Wu 등의 High Al-Content AlGaN/GaN MODFETs for Ultrahigh Performance, IEEE Electron Device Letters 19, (1998), pp. 50-53]를 나타내었다.
- [0005] 전자 트래핑 및 결과적인 DC와 RF 특성간의 차는 이를 장치의 성능에 제한 요소가 되었다. 질화 규소(SiN) 패시베이션은 이러한 트래핑 문제점을 완화시키는데 성공적으로 이용되어 10 Ghz에서 10 W/mm 이상의 고밀도를 갖는 고성능 장치가 얻어진다. 예를 들면, 미국특허 제6,586,781호(전체적으로 본원에 참고로 반영됨)에는 GaN계 트랜지스터 내의 트래핑 효과를 감소시키는 방법 및 구조가 개시되어 있다. 그렇지만, 이 구조에 존재하는 높은 전계로 인해, 전하 트래핑이 여전히 문제이다.
- [0006] 필드 플레이트는 마이크로파 주파수에서 GaN계 HEMT의 성능을 향상시키는데 사용되어 왔다[S. Kamalkar와 U.K. Mishra의 Very High Voltage AlGaN/GaN High Electron Mobility Transistors Using a Field Plate Deposited on a Stepped Insulator, Solid State Electronics 45, (2001), pp. 1645-1662 참조]. 그렇지만, 이러한 접근은 필드 플레이트가 채널의 드레인 측의 상부에 배치된 트랜지스터의 게이트에 접속되는 필드 플레이트를 수반하였다. 이는 상당한 필드 플레이트-드레인 커패시턴스를 초래할 수 있고 게이트에 접속되어 있는 필드 플레이트는 부가적인 게이트-드레인 커패시턴스(G_{gd})를 장치에 부가한다. 이는 이득을 감소시킬 수 있을 뿐만 아니라, 더욱 불량한 입력-출력 절연으로 인한 불안정성을 초래할 수 있다.
- 발명의 상세한 설명**
- [0007] 본 발명은 복수의 필드 플레이트를 갖는 트랜지스터를 제공하는 것으로, 그 최상부가 소스 전극에 전기적으로 접속되어 있고 중간 전극은 소스 또는 게이트 전극에 접속되어 있다. 본 발명에 따른 트랜지스터의 일 실시예는 활성 영역을 포함한다. 소스 및 드레인 전극은 활성 영역과 접촉하여 형성되고 게이트는 활성 영역 위의 소스와 드레인 전극 사이에 형성된다. 복수의 스페이서층과 필드 플레이트가 포함되어 있고, 제 1 스페이서 층은 게이트와 드레인 및 소스 전극 사이의 활성 영역의 표면 중 적어도 일부 위에 존재하고, 제 1 필드 플레이트는 제 1 스페이서 층 위에 존재한다. 나머지 스페이서 층과 필드 플레이트는 제 1 스페이서 층과 제 1 필드 플레이트 위에 교대로 배치되고, 필드 플레이트의 최상부는 소스 전극에 전기적으로 접속되고 그 아래의 필드 플레이트 각각은 게이트 또는 소스 전극에 전기적으로 접속된다.

[0008] 본 발명에 따른 트랜지스터의 또 다른 실시에는 활성 영역을 포함하며, 소스 및 드레인 전극이 이 활성 영역과 접촉되어 있다. 게이트는 소스와 드레인 전극 사이 및 활성 영역 위에 존재한다. 복수의 필드 플레이트는 활성 영역 위에 배치되며, 이들 각각은 게이트의 에지로부터 드레인 전극 쪽으로 연장되고, 또한 이들 각각은 활성 영역 및 나머지 필드 플레이트와 절연되어 있다. 필드 플레이트의 최상부는 소스 전극에 전기적으로 접속되고 나머지 필드 플레이트 각각은 게이트 또는 소스 전극에 전기적으로 접속된다.

[0009] 본 발명의 상기 및 기타 다른 특징 및 이점들은 첨부된 도면과 함께 다음의 상세한 설명으로부터 당업자에게는 자명할 것이다.

실시예

[0022] 본 발명에 따른 복수의 필드 플레이트 구조는 광대역캡 재료로 제조된 트랜지스터 구조와 같은 여러 다른 트랜지스터 구조에 사용될 수 있다. 트랜지스터는 반도체층으로 이루어진 활성 영역을 포함하며, 금속 소스 및 드레인 전극이 그 활성 영역과 전기적으로 접촉하여 형성되며, 게이트가 그 활성 영역 내의 전계를 조정하기 위해 소스 전극과 드레인 전극 사이에 형성된다. 게이트와 드레인 사이의 활성 영역의 표면의 적어도 일부 위에서 제 1 스페이서층이 그 활성 영역 위에 형성된다. 제 1 스페이서층은 하나의 유전층, 또는 복수의 유전층의 조합을 포함할 수 있다. 제 1 스페이서층은, 후술하는 바와 같이 덜 덮을 수도 있지만, 게이트와 소스 및 드레인 전극 사이의 활성 영역의 최상면과 게이트를 덮는 것이 바람직하다.

[0023] 도전성 제 1 필드 플레이트는 제 1 스페이서층 위에 형성되며, 그 제 1 스페이서층은 필드 플레이트와, 그 하부의 게이트 및 활성 영역 사이의 절연을 제공한다. 제 1 필드 플레이트는 게이트의 에지로부터 드레인 전극 쪽으로 거리(L_{f1})만큼 연장된다. 제 1 필드 플레이트는 소스 전극 또는 게이트에 전기적으로 접속된다.

[0024] 제 2 스페이서층은 제 1 필드 플레이트의 적어도 일부, 및 게이트와 드레인 전극 사이의 제 1 스페이서층의 표면의 일부 위에 형성된다. 하지만, 바람직한 실시예에서, 제 2 스페이서는, 통상적으로 제 1 스페이서층인 트랜지스터 구조의 상부 노출면과 제 1 필드 플레이트를 덮는다. 제 2 필드 플레이트는 제 2 스페이서층 위에 형성되며, 제 2 스페이서층은 제 1 및 제 2 필드 플레이트 사이의 절연과, 제 1 스페이서층의 커버리지(coverage)에 따라서 게이트와 활성 영역 사이의 절연을 제공한다.

[0025] 본 발명에 따른 다른 트랜지스터 구조는 2 이상의 필드 플레이트를 가질 수 있다. 최상위 필드 플레이트는 통상적으로 소스 전극에 전기적으로 접속되며, 중간 필드 플레이트는 게이트 또는 소스 전극에 전기적으로 접속된다.

[0026] 이러한 필드 플레이트 구조는 장치 내의 피크(peak) 전계를 저감시킬 수 있어서, 항복 전압(breakdown voltage)이 높아지고, 트래핑(trapping)이 감소한다. 전계의 저감은 누설 전류의 감소 및 신뢰성의 향상과 같은 다른 이점을 이끈다. 필드 플레이트를 소스 전극에 전기적으로 접속시킴으로써, 필드 플레이트에 접속된 게이트로부터 기인하는 이득 감소 및 비안정성이 저감한다. 본 발명에 따라 구성될 때, 소스-접속 필드 플레이트의 차폐 효과는 C_{gd} 를 저감시키고, 이는 입력-출력 절연을 향상시킨다.

[0027] 본 발명에 따른 복수의 필드 플레이트 구성을 이용할 수 있는 트랜지스터의 일 유형은 통상적으로 베퍼층과 그 베퍼층 위의 배리어층을 포함하는 고전자 이동도 트랜지스터(HEMT)이다. 2차원 전자 가스(2DEG)층/채널은 베퍼층과 배리어층 사이의 헤테로 인터페이스(heterointerface)에 형성된다. 게이트 전극은 소스 및 드레인 전극 사이의 배리어층 위에 형성된다. HEMT는 또한 전술한 복수의 스페이서층 및 필드 플레이트 구성을 포함한다.

[0028] 본 발명에 따른 복수의 필드 플레이트 구성을 이용할 수 있는 트랜지스터의 다른 유형은 통상적으로 베퍼층과 그 베퍼층 위의 채널층을 포함하는 필드 효과 트랜지스터, 특히 금속 반도체 필드 효과 트랜지스터(MESFET)이다. 게이트는 소스 및 드레인 전극 사이의 채널층 위에 형성되며, MESFET은 또한 전술한 복수의 스페이서층 및 필드 플레이트 구성을 포함한다.

[0029] 소자 또는 층이 다른 소자 또는 층 "위에", "에 접속되는", "에 결합되는", 또는 "에 접촉하는"이라고 칭해지는 경우, 그것은 다른 소자 또는 층의 위에 있거나, 접속 또는 결합되거나, 접촉되거나, 개재된 소자 또는 층이 존재할 수 있음을 의미한다는 것을 이해해야 한다. 대조적으로, 다른 소자 또는 층 "바로 위에", "에 직접 접속되는", "에 직접 결합되는", 또는 "에 직접 접촉하는"이라고 칭해지는 경우, 그것은 개재된 소자 또는 층이 존재할 수 없음을 의미한다는 것을 이해해야 한다. 마찬가지로, 제 1 소자 또는 층이 제 2 소자 또는 층에 "전기적으로 접촉하여" 또는 "전기적으로 결합되어"라고 칭해지면, 제 1 소자 또는 층과 제 2 소자 또는 층 사이에 전류가 흐르게 허용하는 전기 경로가 있다. 전기 경로는 커패시터, 결합된 인덕터, 및/또는 도전 소자 사이의

직접적인 접촉이 없더라도 전류가 흐르게 허용하는 다른 소자를 포함할 수 있다.

[0030] 도 1 및 도 2는, 다른 재료 시스템(material system)이 사용될 수도 있지만 바람직하게는 III족 질화물계인 본 발명에 따른 HEMT(10)의 일 실시예를 나타낸다. HEMT(10)는 III족 질화물 재료의 성장을 지원할 수 있는 실리콘 탄화물, 사파이어, 스피넷(spinet), ZnO, 실리콘, 갈륨 질화물, 알루미늄 질화물, 또는 임의의 다른 재료 또는 재료 조합을 포함할 수 있다. 핵생성층(14)은 기판(12)과 HEMT(10) 내의 다음 층 사이의 격자 부정합(mismatch)을 저감시키기 위해서 기판(12) 위에 형성될 수 있다. 핵생성층(14)은 다른 두께가 사용될 수도 있지만 약 1000 옹스트롬(Å)의 두께를 가져야 한다. 핵생성층(14)은 여러 다른 재료로 이루어질 수 있지만, 적합한 재료는 Al_xGa_{1-x} ($0 \leq x \leq 1$)이며, 층(14)은 금속 산화물 화학 기상 증착(MOCVD), 하이브리드 기상 에피택시(HVPE), 또는 분자 베م 에피택시(MBE)와 같은 공지된 반도체 성장 기술을 사용하여 기판(12) 위에 형성된다.

[0031] 핵생성층(14)의 형성은 기판(12)에 사용되는 재료에 의존할 수 있다. 예컨대, 각종 기판 위에 핵생성층(14)을 형성하는 방법은 미국 특허 제5,290,393호 및 제5,686,738호에 교시되며, 그것의 각각은 여기에 그 전체가 참고자료로 포함된다. 실리콘 탄화물 기판 위에 핵생성층을 형성하는 방법은 미국특허 제5,393,993호, 제5,523,589호, 및 제5,739,554호에 개시되어 있고, 본원에서 상세히 설명한 바와 같이 본원에 참고로 반영되어 있다.

[0032] HEMT(10)는 핵생성층(14) 위에 형성된 고저항 베퍼층(16)을 더 포함한다. 베퍼층(16)은 III족 질화물 재료의 도프(doped) 또는 언도프(undoped) 층으로 이루어질 수 있고, 바람직한 베퍼층(16)은 $Al_xGa_yIn_{(1-x-y)}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$)과 같은 III족 질화물 재료로 이루어진다. 약 $2\mu m$ 두께의 GaN과 같은 다른 재료가 베퍼층(16)에 사용될 수 있으며, 베퍼층의 일부는 Fe로 도프된다.

[0033] 배리어층(18)은 베퍼층(16)이 배리어층(18)과 핵생성층(14) 사이에 삽입되도록 베퍼층(16) 위에 형성된다. 베퍼층(16)과 같이, 배리어층(18)은 III족 질화물 재료의 도프드 또는 언도프드 층으로 이루어질 수 있다. 예시적인 HEMT 구조는 미국 특허 제316,793호, 제6,586,781호, 제6,548,333호와, 미국공개특허 제 2002/0167023호 및 제2003/00020092호에 개시되어 있고, 이들 각각은 본원에서 상세히 설명한 바와 같이 본원에 참고로 반영되어 있다. 베퍼 및 배리어층(16, 18)은 핵생성층(14)을 성장시키는데 사용된 것과 동일한 방법을 사용하여 형성될 수 있다. 장치간의 전기적 절연은 능동 HEMT의 외측에서 메사 에치(mesa etch) 또는 이온 주입(ion implementation)에 의해 행해진다.

[0034] 금속 소스 및 드레인 전극(20, 22)은 배리어층(18)을 통하여 옴 접촉(ohmic contact)하며, 게이트는 소스 및 드레인 전극(20, 22) 사이의 배리어층(18) 위에 형성된다. 전류는 게이트(24)가 적절한 레벨로 바이어스된 때, 베퍼층(16)과 배리어층(18) 사이의 헤테로 인터페이스에서 유도된 2DEG(17)를 통하여 소스 및 드레인 전극(20, 22) 사이에 흐를 수 있다. 소스 및 드레인 전극(20, 22)의 형성은 전술한 특허 및 공보에 상세히 기술된다.

[0035] 소스 및 드레인 전극(20, 22)은 티타늄, 알루미늄, 금 또는 니켈을 포함하는 다른 재료로 이루어질 수 있지만, 그것에 한정되지는 않는다. 게이트(24) 또한 금, 니켈, 백금, 티타늄, 크롬, 티타늄과 텅스텐 합금, 또는 백금 실리사이드를 포함하는 다른 재료로 이루어질 수 있지만, 그것에 한정되지는 않는다. 게이트(24)는 여러 다른 길이(L_g)를 가질 수 있고, 다른 게이트 길이도 사용될 수 있지만, 적절한 게이트 길이는 0.1 내지 2 미크론이다. 본 발명에 따른 일 실시예에서, 바람직한 게이트 길이(L_g)는 약 0.5미크론이다.

[0036] 제 1 비-도전 스페이서층(26)은 게이트와 드레인 전극 사이의 배리어층의 표면의 적어도 일부 위에 형성될 수 있으며, 제 1 스페이서층은 게이트(24)와 소스 및 드레인 전극(20, 22) 사이의 배리어층(18)의 표면의 위 및 게이트(24)의 위에 형성되는 것이 바람직하다. 제 1 스페이서층(26)은 유전층, 또는 복수의 유전층의 조합을 포함할 수 있다. SiN, SiO₂, Si, Ge, MgOx, MgNx, ZnO, SiNx, SiOx, 합금, 또는 그것의 층 시퀀스(layer sequence)와 같은 다른 유전체 재료가 사용될 수 있다. 스페이서층은 여러 다른 두께로 형성될 수 있으며, 그 두께의 적절한 범위는 약 0.05 내지 2 미크론이다. 도 1에 잘 도시된 바와 같이, 게이트(24)는 게이트 접점(28)과 접촉된다.

[0037] 장치 금속화(device metallization) 이전에 제 1 스페이서층(26)이 형성되는 경우, 스페이서층은 Al, Ga 또는 In의 합금과 같은 다른 III족 원소를 갖는 III족 질화물 재료와 같은 에피택셜 재료를 포함할 수 있으며, 적합한 스페이서층 재료는 $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$)이다. 배리어층(18)의 에피택셜 성장 후에, 제 1 스페이서층(26)은 동일한 에피택셜 성장법을 이용하여 성장될 수 있다. 그 후, 게이트(24), 소스 전극(20) 및 드레인 전극(22)이 2DEG(17)와 접촉하여 적절히 형성될 수 있도록 제 1 스페이서층(26)이 에칭된다. 이러한 배치는, 도 9에 도시되고 후술하는 바와 같이 일체적인 제 1 필드 플레이트가 있는 게이트를 갖는 HEMT(및 MESFET)에 특히 적용될

수 있다.

[0038] 제 1 필드 플레이트(30)는 게이트(24)와 드레인 접점(22) 사이의 스페이서층 위에 형성되며, 필드 플레이트(30)는 게이트(24)와 중첩하지는 않고 그것에 근접하여 있다. 스페이서층(26)은 제 1 필드 플레이트(30)와 그것의 하부층 사이의 절연을 제공하도록 배치된다. 게이트(24)와 필드 플레이트 사이의 스페이스(L_{gf})는 제 1 필드 플레이트(30)로부터 추가로 절연시키는데 충분하도록 넓어야 하며, 제 1 필드 플레이트(30)에 의해서 제공되는 필드 효과를 최대화시키는데 충분하도록 작다. L_{gf} 가 너무 넓으면, 필드 효과가 감소될 것이다. 본 발명의 일 실시예에 따르면, 크거나 작은 스페이스가 사용될 수도 있지만, L_{gf} 는 0.5미크론 이하여야 된다.

[0039] 제 1 필드 플레이트(30)는, 다른 거리가 사용될 수도 있지만, 0.1 내지 1.0 미크론의 적합한 범위 내에서 게이트(24)의 에지로부터 배리어층 위로 다른 거리(L_{f1})만큼 연장된다. 필드 플레이트(30)는 여러 다른 도전 재료를 포함할 수 있지만, 적합한 재료는 표준 금속화 방법을 사용하여 퇴적되는 금속이다. 본 발명에 따른 일 실시예에서, 필드 플레이트(30)는 후술하는 것과 관련된 특징과 동일한 금속을 포함한다.

[0040] 제 1 필드 플레이트(30)는 소스 접점(20) 또는 게이트(24)에 전기적으로 접속될 수 있다. 도 1은 본 발명에 따른 일 실시예를 나타내며, 제 1 필드 플레이트(30)는 소스 접점에 접속되고, 다른 접속 구조가 사용될 수도 있지만, 두개의 변형적인 접속 구조가 도시된다. 제 1 도전성 버스(32)(환영(幻影)으로 도시됨)가 제 1 필드 플레이트(30)와 소스 접점(20) 사이에서 연장되도록 스페이서층(26) 위에 형성될 수 있다. 사용되는 버스(32)가 많을수록, 버스에 의해 도입될 수 있는 불필요한 커패시턴스가 더 커질지라도, 다른 수의 버스(32)가 사용될 수 있다. 가능한 한 적은 HEMT 활성 영역을 덮으면서, 전류가 소스 접점(20)으로부터 제 1 필드 플레이트(30)로 효과적으로 퍼지도록 하기 위해 버스(32)는 충분한 개수를 가져야 하며, 버스(32)의 적합한 개수는 2이다.

[0041] 제 1 필드 플레이트(30)는 HEMT(10)의 외부로 이어져 소스 접점(20)에 접속되는 도전로(34)를 통하여 소스 접점(20)에 전기적으로 접속될 수도 있다. 도 1에 도시된 바와 같이, 도전로는 게이트 접점(28)의 반대측 에지에서 HEMT의 활성 영역 외부로 이어진다. 본 발명에 따른 다른 실시예에서, 도전로는 게이트 접점(28) 측에서 HEMT(10)의 활성 영역 외부로 이어질 수 있거나, HEMT(10)는 HEMT(10)의 한쪽 또는 양쪽으로 이어지는 2 이상의 도전로를 포함할 수 있다.

[0042] 도 3은 도 1에서의 HEMT(10)와 유사하고 도 2에 도시된 것과 동일한 단면도를 갖는 본 발명에 따른 HEMT(50)의 또 다른 실시예를 나타낸다. 도 3(및 후술하는 도면)에서의 HEMT(50)와 동일하거나 유사한 특징에 대하여, 전술한 특징의 설명이 HEMT(50)에 대하여 동일하게 적용된다는 상정하에, 도 1 및 도 2에서와 동일한 참조 부호가 사용된다.

[0043] 도 2 및 도 3을 참조하면, HEMT(50)는 기판(12), 핵생성층(14), 베퍼층(16), 2DEG(17), 배리어층(18), 소스 전극(20), 드레인 전극(22), 게이트(24), 제 1 스페이서층(26), 게이트 접점(28) 및 제 1 필드 플레이트(30)를 구비한다. 하지만, 제 1 필드 플레이트가 소스 전극(20)에 접속되는 대신에, 게이트(24)에 접속되며, 도 3은 다른 접속 구조가 사용될 수도 있지만, 본 발명에 따라 사용될 수 있는 두개의 변형적인 게이트 접속 구조를 나타낸다. 하나의 접속 구조는 제 1 스페이서층(26)을 통하여 제 1 필드 플레이트(30)로부터 게이트(24)까지 이어질 수 있는 도전성 비어(52)(환영으로 도시됨)의 형태인 도전로일 수 있다. 비어(52)는 게이트(24)와 제 1 필드 플레이트(30) 사이의 전기 접속을 제공한다. 비어(52)는 예컨대, 에칭에 의해 제 1 스페이서층(26)에 홀을 형성하고, 제 1 필드 플레이트(30)의 형성 단계와 별도의 단계 또는 그 단계 동안에 도전 재료를 그 홀에 충전함으로써 형성될 수 있다. 비어(52)는 게이트(24)로부터 필드 플레이트(30)로의 효율적인 전류 퍼짐을 제공하기 위해서 제 1 필드 플레이트(30) 아래에 주기적으로 배치될 수 있다. 게이트(24)에 접속됨으로써, 게이트 컨덕턴스가 증가하는데, 이는 각 단위 셀에 대하여 더 큰 장치를 허용할 수 있게 한다.

[0044] 제 1 필드 플레이트(30)는 HEMT(50)의 활성 영역 외부로 이어지는 제 2 도전로(54)(도 3에 도시됨)에 의해서 게이트(24)에 접속될 수도 있다. 도전로(54)는 게이트 접점(28) 또는 게이트 접점(28)의 반대 측에 있는 게이트(24)의 부분과 같은, HEMT 활성 영역 외부의 게이트(24)의 일부에 접속될 수 있다.

[0045] HEMT(10 및 50)는 제 1 필드 플레이트(30)의 위 및 제 1 필드 플레이트와 드레인 사이의 HEMT의 상면의 적어도 일부 위에 형성되는 제 2 비-도전성 스페이서층(40)(도 2에 도시됨)을 포함할 수도 있으며, 스페이서층(40)은 제 1 필드 플레이트 및 제 1 스페이서층(26)의 노출면을 덮도록 형성되는 것이 바람직하다. 제 2 스페이서층(40)은 제 1 스페이서층(26)과 동일한 재료 또는 층 재료로 형성될 수 있고, 0.05 내지 2 미크론 범위의 전체 두께를 가질 수 있다.

- [0046] HEMT(10 및 50)에서, 제 2 필드 플레이트(42)는 제 2 스페이서층(40) 위에 퇴적될 수 있다. 본 발명에 따른 다른 제 2 필드 플레이트는 다른 커버리지(coverage)를 제공할 수 있으며, 제 2 필드 플레이트(42)는 도시된 바와 같이 게이트(24)를 덮는다. 다른 부위는 드레인 전극(22) 쪽으로 제 1 필드 플레이트(30)의 에지를 지나 0.2 내지 5 미크론 범위일 수 있는 거리(L_{f2})만큼 연장될 수 있다.
- [0047] 제 2 필드 플레이트(42)는 소스 전극(20)에 접속되며, 여러 다른 접속 구조가 사용될 수 있다. 제 2 도전성 버스(44)는 제 2 필드 플레이트(42)와 소스 전극(20) 사이에서 연장되도록 제 2 스페이서 위에 형성될 수 있다. 활성 영역을 너무 많이 덮어서 불필요한 커패시턴스가 도입되지 않으면서, 전류가 소스 전극(20)으로부터 제 2 필드 플레이트(42)로 효과적으로 퍼지도록 다른 개수의 버스(44)가 사용될 수 있다. 제 1 필드 플레이트(30)는 HEMT(10 및 50)의 활성 영역 외부로 이어져 소스 전극(20)에 결합되는 제 3 도전로(도시되지 않음)를 통하여 소스 전극(20)에 전기적으로 접속될 수도 있다.
- [0048] 제 2 필드 플레이트(42)의 퇴적 및 소스 전극(20)에의 그것의 접속 후에, 활성 구조는 실리콘 질화물과 같은 유전 패시베이션층(dielectric passivation layer)(도시되지 않음)에 의해서 덮일 수 있다. 유전 패시베이션층의 형성 방법은 전술한 특허 및 공보에 상세히 기재된다.
- [0049] 도 4 및 도 5는 HEMT(10 및 50)에서의 특징과 유사한 여러 특징을 갖는 본 발명에 따른 HEMT(60)의 다른 실시예를 나타낸다. HEMT(60)는 기판(12), 핵생성층(14), 베퍼층(16), 2DEG(17), 배리어층(18), 소스 전극(20), 드레인 전극(22), 게이트(24), 스페이서층(26) 및 게이트 접점(28)을 포함한다. HEMT(60)는 게이트(24)와 드레인 전극(22) 사이를 우선으로 하여 스페이서층(26) 위에 형성되며, 게이트(24)의 일부와 중첩하는 제 1 필드 플레이트(62)를 또한 포함한다. 도 1 내지 도 3의 HEMT(10 및 50)에서, L_{gf} (도 2에 잘 도시됨)는 비교적 작고, 이는 제조 동안에 일부 어려움을 나타낼 수 있다. 필드 플레이트(62)가 게이트(24)와 중첩하도록 함으로서, HEMT(60)는 L_{gf} 의 공차를 충족시킬 필요 없이 제조될 수 있다. 그렇지만, 필드 플레이트(62)의 중첩 부위는 부가적인 불필요한 커패시턴스를 도입할 수 있다. 중첩 필드 플레이트 또는 비-중첩 필드 플레이트의 어느 것을 사용하지를 결정시, 제조 용이는 커패시턴스 저감과 균형을 조화를 이루어야 한다. HEMT(60)는 또한 필드 플레이트(62)를 소스 전극(20)에 전기적으로 접속하기 위해 버스(64) 또는 도전로(66)를 포함한다.
- [0050] 도 6은 도 4에 도시된 HEMT(50)과 유사한 구조이며, 도 5에 도시된 것과 동일한 단면도를 가질 수 있는 HEMT(70)의 다른 실시예를 나타낸다. 하지만, HEMT(70) 내의 필드 플레이트(62)는 스페이서층(26)을 통하여 필드 플레이트(62)와 게이트 사이에 이어진 게이트 비어(도시되지 않음), 또는 제 2 도전로(72)에 의해서 게이트(24)에 접속된다.
- [0051] 도 1 내지 도 3에 도시된 HEMT(10 및 50)와 유사하게, HEMT(60 및 70) 또한 제 2 도전성 스페이서층(63) 및 제 2 필드 플레이트(65)를 포함한다. 제 2 도전성 버스(58) 또는 제 3 도전로(도시되지 않음)가 제 2 필드 플레이트(56)를 소스 전극(20)에 접속하기 위해 사용될 수 있다.
- [0052] 전술한 바와 같은 각각의 HEMT(10, 50, 60, 70)(뿐만 아니라 후술하는 바와 같은 HEMT 및 MESFET)는 또한 2 이상의 스페이서층과 필드 플레이트를 포함할 수 있고, 최상위 필드 플레이트는 소스에 접속되고, 중간 필드 플레이트는 소스 또는 게이트에 접속된다. 예컨대, 도 5는 제 3 스페이서층(68) 및 제 3 필드 플레이트(69)(환영으로 도시됨)를 도시하며, 제 2 필드 플레이트(65)의 에지로부터 드레인 전극(22) 쪽으로 연장될 수 있고, 소스 전극(24)에 접속된다. 제 1 및 제 2 필드 플레이트(62, 65)는 소스 전극(20) 또는 게이트(24)에 접속된다.
- [0053] 본 발명의 구조는 다른 재료 시스템으로 제조된 다른 유형의 트랜지스터에서 또한 사용될 수 있다. 도 7은 실리콘 탄화물계인 본 발명에 따른 MESFET(80)의 일 실시예를 나타낸다. MESFET(80)은 실리콘 탄화물 베퍼(84) 및 실리콘 탄화물 채널층(86)이 그 베퍼(84)를 채널층(86)과 기판(82) 사이에 삽입하여 형성된다. 소스 및 드레인 전극(88, 90)은 채널층(86)에 접촉하여 형성되고, 게이트(92)는 소스 전극과 드레인 전극(88, 90) 사이의 채널층(86) 위에 형성된다.
- [0054] 비-도전성 스페이서층(94)은 게이트(92)의 위 및 게이트(92)와 소스 및 드레인 전극(88, 90) 사이의 채널층(86)의 표면 위에 형성된다. 전술하고, 도 1 내지 도 3에 도시된 스페이서층(26)과 유사하게, 스페이서층(94)은 유전체와 같은 비-도전 재료의 층, 또는 다른 유전체와 같은 비-도전 재료의 다수의 다른 층을 포함할 수 있다.
- [0055] 제 1 필드 플레이트(96)는 게이트(92)와 드레인 접점(90) 사이에서 스페이서층(94) 위에 형성되며, 필드 플레이트(96)는 도 1 내지 도 3에서의 필드 플레이트(30)와 유사한 형태로 배치되고, 유사한 L_{gf} 및 L_{f1} 를 갖는다. 필드 플레이트(96)는 필드 플레이트(30)를 접속하기 위한 구조와 동일한 구조를 사용하여 소스 접점(88) 또는 게

이트(90)에 또한 접속될 수 있다.

[0056] 제 2 비-도전성 스페이서층(98)은 게이트(96) 및 제 1 스페이서층(94)의 위에 형성되고, 도 1 내지 도 3에 도시하고 전술한 제 2 스페이서층(40)과 유사하다. 유사하게, 제 2 필드 플레이트(42)와 유사하고, 소스 전극(88)에 유사하게 접속되는 제 2 필드 플레이트(100)가 제 2 스페이서층(98) 위에 제공된다.

[0057] 도 8은 기판(82), 베피(84), 채널층(86), 소스 전극(88), 드레인 전극(90), 게이트(92) 및 스페이서층(94)을 포함하는 MESFET(80)과 유사한 특징을 갖는 본 발명에 따른 실리콘 탄화물 MESFET(110)의 다른 실시예를 나타낸다. MESFET(110)은 또한 게이트(92)와 중첩하는 필드 플레이트(112)를 포함하며, 비-중첩 필드 플레이트를 갖는 MESFET보다 제조가 용이하나, 부가적인 커파시턴스을 도입할 수 있는 일 실시예를 제공한다. 필드 플레이트(112)는 도 3 내지 도 5의 필드 플레이트(62)에서와 동일한 방식으로 배치되고, 소스 전극(88) 또는 게이트(90)에 유사하게 접속된다. MESFET(110)은 또한 소스 전극(88)에 접속된 제 2 필드 플레이트(100)와 제 2 스프레더층(98)을 포함한다.

[0058] 도 9는 도 1 및 도 2에서의 HEMT(10)와 유사하며, 기판(12), 핵생성층(14), 베피층(16), 2DEG(17), 배리어층(18), 소스 전극(20), 드레인 전극(22) 및 게이트(24)를 포함하는 HEMT(120)의 다른 실시예를 나타낸다. HEMT(120)는 스페이서층(122)을 포함하지만, 전술한 스페이서층과는 달리, 스페이서층(122)은 게이트(24)를 덮지 않는다. 대신에, 게이트(24)와 소스 및 드레인 전극(20, 22) 사이의 배리어층(18)의 표면만을 덮는다. 하지만, 스페이서층은 표면층의 전부 보다는 적게 덮지만, 배리어층(18)으로부터 절연하여 필드 플레이트를 지지하는데 충분한 커버리지에서, 게이트(24)와 드레인 전극(22) 사이의 표면의 적어도 일부를 덮어야 한다는 것은 이해해야 한다.

[0059] 필드 플레이트(124)는 스페이서층(122) 위에 형성될 수 있으며, 필드 플레이트(124)는 게이트(24)와 일체적으로 형성되어 게이트(24)의 길이에 걸쳐 하향 접촉한다. 필드 플레이트(124)는 스페이서층(122) 위에서 드레인 접점(22) 쪽으로 거리(L_{f1})만큼 연장된다. 이러한 구조에서, 스페이서층(122)은 전술한 바와 같이 에피택셜될 수 있으며, 스페이서층은 배리어층(18) 위에 퇴적된 후, 소스 및 드레인 전극(20, 22) 및 게이트(24)가 배리어층(18)과 접촉하여 퇴적될 수 있도록 애칭된다. 그 후, 필드 플레이트(124)는 스페이서층(122) 위에 게이트(24)와 일체적이 되도록 퇴적되거나, 필드 플레이트(124)는 게이트(24)가 퇴적되는 단계와 동일한 단계 동안에 퇴적될 수 있다.

[0060] 도 9의 일체적인 필드 플레이트 구조는 MESFET와 같은 다른 트랜지스터에 사용될 수 있다는 것을 이해해야 한다. 이러한 필드 플레이트가 배치된 트랜지스터는 2 이상의 스페이서층과 필드 플레이트를 또한 가질 수 있다는 것을 이해해야 한다.

[0061] 제 2 스페이서층(124) 및 제 2 필드 플레이트(126) 또한, 도 1 내지 도 3에 도시하고 전술한 제 2 스페이서층(40) 및 필드 플레이트(42)와 유사하게 포함된다. HEMT(120)는 중간 필드 플레이트가 게이트 또는 소스 전극에 전기적으로 접속되고, 상위 필드 플레이트가 소스 전극에 전기적으로 접속되는, 2 이상의 필드 플레이트를 가질 수 있다는 것을 이해해야 한다. 이러한 복수의 필드 플레이트 구조는 SiC로 제조된 MESFET와 같이 다른 재료 시스템으로 제조된 다른 트랜지스터에 사용될 수 있다는 것을 이해해야 한다.

[0062] 도 10은 필드 플레이트가 없는 경우와, 게이트에 접속된 필드 플레이트가 있는 경우와, 소스 전극에 접속된 필드 플레이트가 있는 경우의 GaN계 HEMT의 동작 특성을 비교한 테이블(130)을 나타낸다. 테스트는 0.5 미크론의 게이트 길이(L_g)와, 1.1 미크론의 제 1 필드 플레이트의 FP 길이(L_f)와, 500 미크론의 장치의 폭(w)을 갖는 HEMT에 대하여 수행하였다. 테스트는, 소스 전극에 접속된 필드 플레이트를 갖는 장치가 향상된 최대 안정 이득(MSG)과 감소된 리버스 전송(reverse transmission)(S12)을 나타낸다는 것을 보여준다.

[0063] 본 발명에 따른 소스 접속 필드 플레이트 구조는 전술한 것 이외의 여러 다른 HEMT에 사용될 수 있다. 예컨대, 도 11은 기판(12), 핵생성층(14), 베피층(16), 2DEG(17), 배리어층(18), 소스 전극(20), 드레인 전극(22)을 포함하는, 전술한 HEMT(10, 50, 60)에서의 특징과 유사한 여러 특징을 갖는 본 발명에 따른 HEMT(140)의 다른 실시예를 나타낸다. 하지만, HEMT(140)는 고주파 동작에 특별히 채택되는 감마(Γ) 형상 게이트(142)를 갖는다. 게이트 길이(L_g)는 장치의 속도를 결정하는데 중요한 장치 치수의 하나이고, 고주파 장치일수록 게이트 길이는 짧다. 짧은 게이트 길이는 고주파 동작에 부정적인 영향을 미칠 수 있는 고 저항을 이끈다. T-게이트는 고주파 동작에 공통적으로 사용될 수 있지만, 필드 플레이트와 T-게이트의 잘 결합된 배치를 달성하기는 어려울 수 있다.

[0064]

감마 게이트(142)는 낮은 게이트 저항을 제공하고, 게이트 풋프린트(footprint)의 제어된 한정을 허용한다. 스페이서층(144)이 전술한 것보다는 덜 덮을지라도, 감마 게이트(142)와 소스 및 드레인 전극(20, 22) 사이의 배리어층(18)의 표면과 감마 게이트(142)를 덮는 스페이서층(144)이 포함된다. 스페이스는 감마 게이트(82)의 수평 부분과 스페이서층(144)의 상부 사이에 유지될 수 있다. HEMT(140)는 또한 감마 게이트(142)와 중첩하는 스페이서층(144) 위에 제 1 필드 플레이트(146)를 포함한다. 제 1 필드 플레이트(146)는 수평 중첩 부분이 없이 감마 게이트(142)의 측부에 퇴적되는 것이 바람직하다. 이러한 구조는 필드 플레이트(146)와 그 하부의 활성층 사이의 효과적인 결합 및 밀접한 배치를 허용한다. 다른 감마 게이트 실시예에서, 필드 플레이트는 필드 플레이트(86)와 유사하게 배치될 수 있지만, 게이트와 중첩하는 대신에, 게이트 에지와 필드 플레이트 사이에, 도 2에 도시하고 전술한 스페이스(L_{g1})와 유사한 스페이스가 존재할 수 있다.

[0065]

필드 플레이트(146)는 전술한 바와 같이 여러 다른 방식으로 게이트(24) 또는 소스 전극(20)에 전기적으로 접속될 수 있다. 소스 전극(20)에 접속되는 경우, 게이트(142)의 수평 부분의 저면과 스페이서층(144) 사이의 스페이스는 필드 플레이트(146)와 소스 전극(20) 사이에 직접적으로 도전로를 제공하는데 어려움을 줄 수 있다. 대신에, HEMT(140)의 활성 영역 외부로 이어지는 1 이상의 도전로가 필드 플레이트(146)와 소스 전극(20) 사이에 포함될 수 있다. 다르게는, 감마 게이트(142)는 게이트의 수평 부분 하부의 스페이스가 채워진 상태에서 스페이서층(144)에 의해서 완전히 덮일 수 있다. 도전로는 필드 플레이트(146)로부터 스페이서층(144) 위의 소스 전극까지 직접적으로 이어질 수 있다. 다르게는, 필드 플레이트(146)는 전술한 바와 같이 비어 또는 도전로를 사용하여 게이트에 접속될 수 있다.

[0066]

HEMT(140)는 또한 제 2 스페이서층(148)과 그 위에 형성되어 소스 전극(20)에 접속되는 제 2 필드 플레이트(150)를 포함한다. 제 1 필드 플레이트(146)에서와 같이, 게이트(142)의 수평 부분의 저면과 스페이서층(144) 사이의 스페이스는 필드 플레이트(146)와 소스 전극(20) 사이에 도전로를 직접 제공하는데 어려움을 준다. HEMT(140)의 활성 영역 외부로 이어지는 1 이상의 도전로가 포함될 수 있다. 다르게는, 감마 게이트(142)는, 게이트의 수평 부분 하부의 스페이스가 채워진 상태에서, 제 1 또는 제 2 스페이서층(144 또는 148)에 의해서 완전히 덮일 수 있다. 그 후, 도전로는 필드 플레이트(146)로부터 스페이서층(144) 위의 소스 전극까지 직접적으로 이어질 수 있다. 활성 구조는 유전 패시베이션층(도시되지 않음)에 의해서 덮일 수 있다.

[0067]

도 12는 전술하고 도시한 바와 같은 복수의 필드 플레이트를 구비하여 구성될 수 있는 본 발명에 따른 또 다른 HEMT(160)를 나타낸다. HEMT(160)는 기판(12), 핵생성층(14), 베퍼층(16), 2DEG(17), 배리어층(18), 소스 전극(20), 및 드레인 전극(22)을 포함한다. 하지만, 게이트(162)는 배리어층(18) 내로 오목하게 형성되고 스페이서층(164)에 의해서 덮인다. 필드 플레이트(166)는 스페이서층(164) 위에 배치되고 소스 전극(20) 또는 게이트(162)에 접속된다. 제 2 스페이서층(168)은 제 1 필드 플레이트(166) 및 제 1 스페이서층(164) 위에 포함되며, 제 2 필드 플레이트(170)가 제 2 스페이서층(168) 위에 포함되어 소스 전극(20)에 전기적으로 접속된다. 상면은 패시베이션층(도시되지 않음)에 의해서 덮일 수 있다. 도시된 바와 같이, 게이트(162)의 저부는 단지 일부분에서만 오목하게 되고, 다른 실시예에서는 게이트의 저면이 전체적으로 오목하게 되거나, 게이트의 다른 부위가 배리어층(18)에서 다른 깊이까지 오목하게 될 수 있다.

[0068]

도 11 및 도 12에서의 전술한 감마 및 오목한 게이트 구성은 MESFET와 같은 다른 트랜지스터에 사용될 수 있으며, 각각은 2 이상의 스페이서층과 필드 플레이트를 포함할 수 있다. 하부의 중간 필드 플레이트가 소스 전극 또는 게이트에 접속될 수 있는 한편, 상부 필드 플레이트는 소스 전극에 접속되어야 한다. 예컨대, 본 발명에 따른 트랜지스터는 최상위의 하나가 소스 전극에 접속되고, 그 하부의 하나가 소스 전극 또는 게이트에 접속되는 3개의 필드 플레이트를 가질 수 있다.

[0069]

전술한 실시예는 마이크로파 및 밀리미터파 주파수에서 향상된 전력을 갖는 넓은 밴드갭 트랜지스터를 제공한다. 트랜지스터는 높은 입력-출력 절연에 기인한 동시적인 높은 이득, 높은 전력, 및 더욱 안정된 동작을 나타낸다. 구조는 저주파에서의 고전압 애플리케이션을 위해 큰 치수로 확장될 수 있다.

[0070]

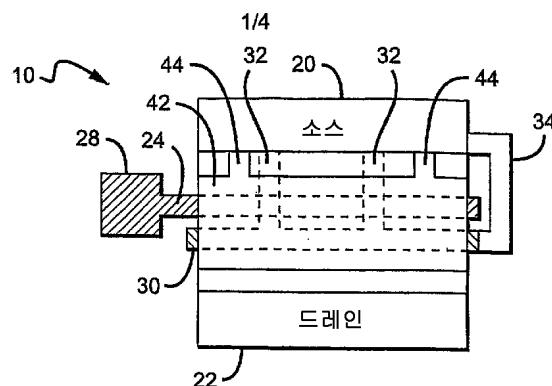
본 발명을 특정 바람직한 구성을 참조하여 매우 상세히 기술하였지만, 다른 버전이 가능하다. 필드 플레이트 구성은 여러 다른 장치에 사용될 수 있다. 필드 플레이트는 또한 여러 다른 형태를 가질 수 있고, 여러 다른 방식으로 소스 접점에 접속될 수 있다. 예를 들면, 필드 플레이트는 스루 버스(through bus) 또는 도전로 대신에 필드 플레이트와 소스 접점 사이의 접속이 연속적이도록 HEMT의 활성 영역 위로부터 연장될 수 있다. 그렇지만, 이러한 배열은 구조 내로 상당한 커패시턴스를 도입할 수 있다. 따라서, 본 발명의 사상 및 범위는 전술한 본 발명의 바람직한 버전으로 제한되지 않아야 한다.

도면의 간단한 설명

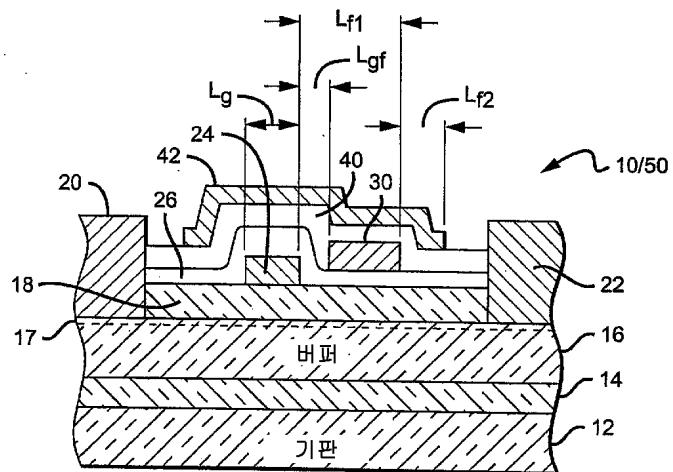
- [0010] 도 1은 본 발명에 따른 HEMT의 일 실시예의 평면도.
- [0011] 도 2는 본 발명에 따른 HEMT의 일 실시예의 단면도.
- [0012] 도 3은 본 발명에 따른 HEMT의 또 다른 실시예의 평면도.
- [0013] 도 4는 본 발명에 따른 HEMT의 또 다른 실시예의 평면도.
- [0014] 도 5는 본 발명에 따른 HEMT의 또 다른 실시예의 단면도.
- [0015] 도 6은 본 발명에 따른 HEMT의 또 다른 실시예의 평면도.
- [0016] 도 7은 본 발명에 따른 MESFET의 일 실시예의 단면도.
- [0017] 도 8은 본 발명에 따른 MESFET의 또 다른 실시예의 단면도.
- [0018] 도 9는 본 발명에 따른 HEMT의 또 다른 실시예의 단면도.
- [0019] 도 10은 필드 플레이트가 없는 HEMT, 게이트 접속 필드 플레이트가 있는 HEMT 및 소스 접속 필드 플레이트가 있는 HEMT와 비교하여 본 발명에 따른 HEMT의 동작 특성을 비교한 표.
- [0020] 도 11은 감마 게이트를 갖는 본 발명에 따른 HEMT의 또 다른 실시예의 단면도.
- [0021] 도 12는 오목한 게이트를 갖는 본 발명에 따른 HEMT의 또 다른 실시예의 단면도.

도면

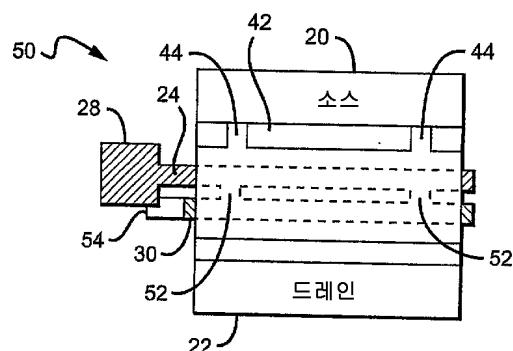
도면1



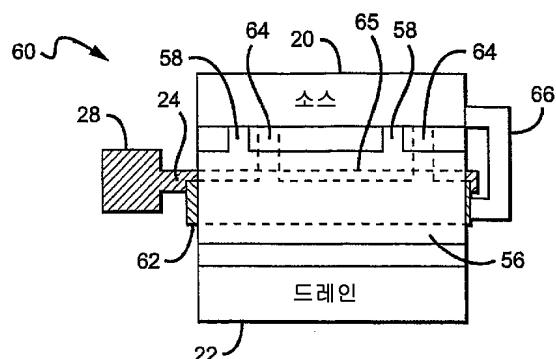
도면2



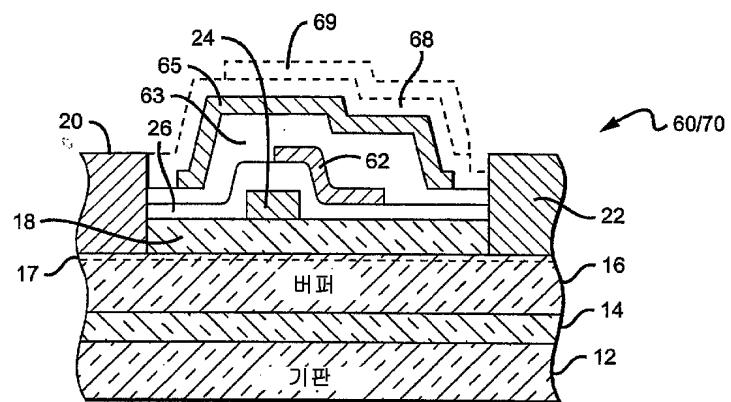
도면3



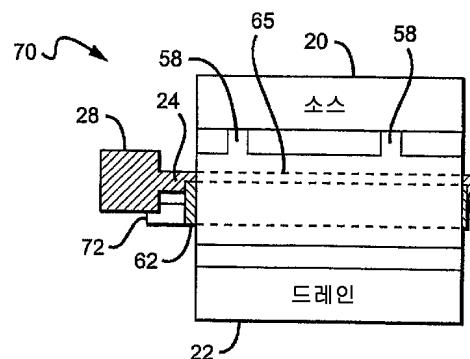
도면4



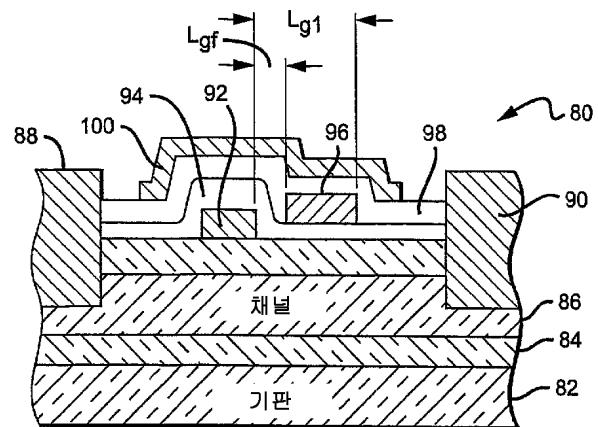
도면5



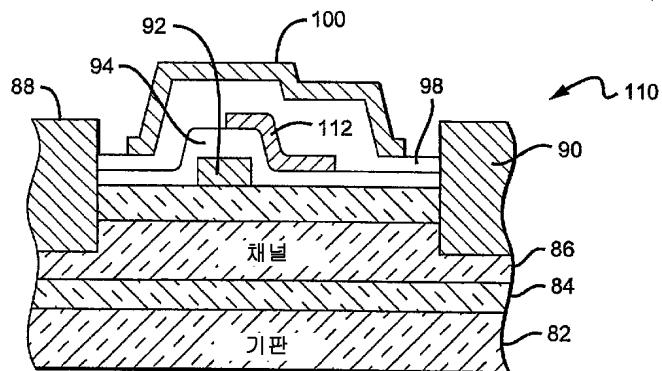
도면6



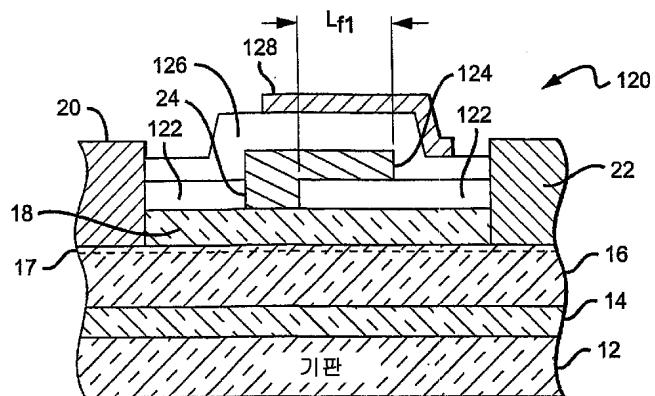
도면7



도면8



도면9

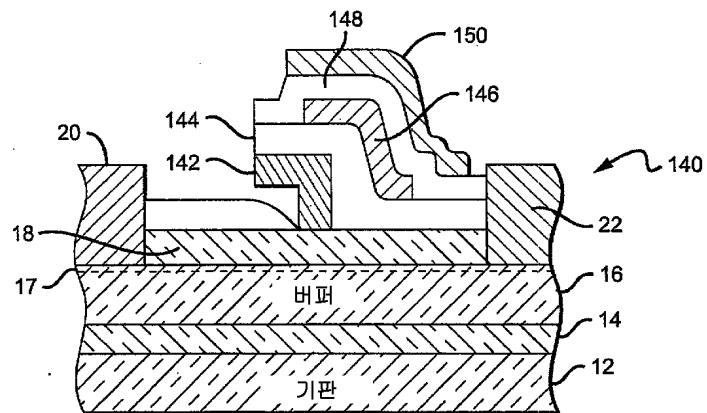


도면10

130 ↗

	FP 없음	게이트에 접속된 FP 없음	소스에 접속된 FP
4 GHz에서의 MSG (dB)	18.6	14.7	19.9
4 GHz에서의 S12	0.0795	0.136	0.0572
FP 없는 장치와 비교한 S12 (%)	100%	171%	72%

도면11



도면12

