

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
COURBEVOIE

①1 N° de publication : **3 127 049**

(à n'utiliser que pour les  
commandes de reproduction)

②1 N° d'enregistrement national : **21 09593**

⑤1 Int Cl<sup>8</sup> : **G 02 B 6/10 (2020.12), H 01 L 21/98, 21/76**

①2 **DEMANDE DE BREVET D'INVENTION**

**A1**

②2 **Date de dépôt** : 14.09.21.

③0 **Priorité** :

④3 **Date de mise à la disposition du public de la demande** : 17.03.23 Bulletin 23/11.

⑤6 **Liste des documents cités dans le rapport de recherche préliminaire** : *Se reporter à la fin du présent fascicule*

⑥0 **Références à d'autres documents nationaux apparentés** :

**Demande(s) d'extension** :

⑦1 **Demandeur(s)** : *Commissariat à l'Energie Atomique et aux Energies Alternatives Etablissement public à caractère industriel et commercial — FR.*

⑦2 **Inventeur(s)** : SZELAG Bertrand, HASSAN Karim et WILMART Quentin.

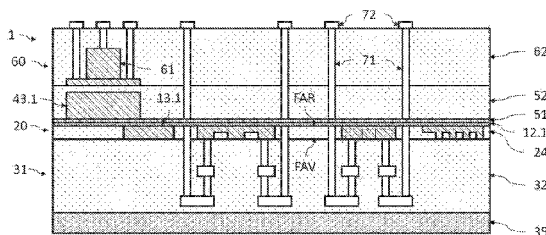
⑦3 **Titulaire(s)** : Commissariat à l'Energie Atomique et aux Energies Alternatives Etablissement public à caractère industriel et commercial.

⑦4 **Mandataire(s)** : BREVALEX.

⑤4 **procédé de fabrication d'un système optoélectronique en photonique sur silicium comportant un dispositif optique couplé à un circuit photonique intégré.**

⑤7 L'invention porte sur un procédé de fabrication d'un système optoélectronique (1) comportant un dispositif optique (60) couplé à un circuit photonique intégré (20), comportant la réalisation d'un guide d'onde inférieur (13.1) à partir de la couche mince (13) de silicium monocristallin d'un premier substrat SOI (10), puis l'assemblage d'un deuxième substrat SOI (40) et la réalisation d'un guide d'onde intermédiaire (43.1) à partir de la couche mince (43) de silicium monocristallin du deuxième substrat SOI (40).

Figure pour l'abrégé : Fig.11



FR 3 127 049 - A1



## Description

### **Titre de l'invention : procede de fabrication d'un systeme optoelectronique en photonique sur silicium comportant un dispositif optique couplé à un circuit photonique intégré**

#### **Domaine technique**

[0001] Le domaine de l'invention est celui des systèmes optoélectroniques en photonique sur silicium comportant un dispositif optique, tel qu'une source laser hybride à semi-conducteur, couplé optiquement à un circuit photonique intégré.

#### **ÉTAT DE LA TECHNIQUE ANTÉRIEURE**

[0002] D'une manière générale, un système optoélectronique en photonique sur silicium peut comporter un dispositif optique, tel qu'une source laser, couplé optiquement à un circuit photonique intégré. La source laser est réalisée à base d'un composé semi-conducteur, par exemple un composé III-V tel que de l'InP, et le circuit photonique intégré est réalisé à partir d'un substrat de type silicium sur isolant (SOI pour *Silicon On Insulator*, en anglais). Le circuit photonique intégré comporte des composants optiques passifs (guides d'onde, multiplexeurs, coupleurs...) et/ou actifs (modulateurs, photodétecteurs...), dont un guide d'onde couplé optiquement à la source laser.

[0003] La source laser est dite hybride dans la mesure où la cavité optique est définie par des réflecteurs situés dans le circuit photonique intégré. Plus précisément, la source laser est formée d'un guide d'onde actif réalisé à base du composé semi-conducteur qui forme le milieu à gain. Dans le cas d'un laser de type à réflecteur de Bragg distribué (DBR pour *Distributed Bragg Reflector*, en anglais), la cavité optique est délimitée par deux réseaux de Bragg situés dans le guide d'onde intégré, qui forment des miroirs sélectifs en longueur d'onde. Dans le cas d'un laser de type à rétroaction distribuée (DFB pour *Distributed FeedBack*, en anglais), un même réseau de Bragg s'étend dans le guide d'onde intégré sur toute la longueur de la cavité optique.

[0004] Cependant, il peut être avantageux de réaliser un élément additionnel couplé d'une part au guide d'onde actif et d'autre part au guide d'onde dit inférieur du circuit photonique intégré. A ce titre, le document US10488587B2 décrit un exemple d'un tel système optoélectronique comportant une source laser hybride III-V/Si couplé au circuit photonique intégré par le biais d'un élément additionnel séparé du guide d'onde inférieur par une couche mince d'oxyde. Le guide d'onde inférieur et les composants optiques passifs et actifs sont réalisés à partir de la couche mince de silicium monocristallin d'un substrat SOI. Le guide d'onde inférieur présente ainsi une épaisseur peu importante, typiquement inférieure ou égale à 300nm environ, propice au bon fonctionnement des différents composants optiques du circuit photonique intégré. Il peut

alors être préférable, comme le décrit ce document, de prévoir un élément additionnel en silicium, d'une épaisseur différente de celle du guide d'onde inférieur. Aussi, alors que l'épaisseur du guide d'onde inférieur dépend des contraintes de fonctionnement des composants optiques du circuit photonique intégré, l'épaisseur de cet élément additionnel est choisie pour optimiser le couplage optique avec le guide d'onde actif.

[0005] Le procédé de fabrication d'un tel système optoélectronique comporte alors une étape de réalisation du circuit photonique intégré à partir de la couche mince de silicium monocristallin d'un substrat SOI ; une étape de réalisation du guide d'onde intermédiaire par dépôt pleine plaque de silicium amorphe puis gravure localisée ; et une étape de réalisation du guide d'onde actif de la source laser hybride par collage moléculaire d'un empilement formant une hétérostructure semiconductrice.

[0006] Cependant, la réalisation de cet élément additionnel comporte donc des opérations de dépôt de silicium et de planarisation par polissage mécano-chimique (CMP), ce qui peut rendre complexe l'obtention d'un élément additionnel ayant les dimensions voulues et en particulier une épaisseur homogène. En effet, l'opération de polissage mécano-chimique peut conduire à la formation d'une dépression dans l'élément additionnel en silicium amorphe : une concavité peut se former dans le silicium amorphe à partir de sa face supérieure, se traduisant par une inhomogénéité de l'épaisseur de l'élément additionnel. Ainsi, il existe un besoin de disposer d'un procédé de fabrication d'un tel système optoélectronique qui permette d'obtenir un élément additionnel ayant les dimensions voulues, en particulier une épaisseur homogène.

### **Exposé de l'invention**

[0007] L'invention a pour objectif de remédier au moins en partie aux inconvénients de l'art antérieur, et plus particulièrement de proposer un procédé de fabrication d'un système optoélectronique comportant un dispositif optique couplé par un guide d'onde intermédiaire à un circuit photonique intégré, dont le guide d'onde intermédiaire présente les dimensions voulues, et dont les risques de dégradation des performances attendues du système optoélectronique sont réduits.

[0008] Pour cela, l'objet de l'invention est un procédé de fabrication d'un système optoélectronique en photonique sur silicium comportant un dispositif optique et un circuit photonique intégré, le dispositif optique comportant un guide d'onde dit supérieur, le circuit photonique intégré comportant un guide d'onde dit inférieur en silicium monocristallin, le guide d'onde supérieur étant couplé optiquement au guide d'onde inférieur par un guide d'onde dit intermédiaire en silicium.

[0009] Le procédé comporte les étapes suivantes : fourniture d'un premier substrat SOI de type silicium sur isolant et comportant une première couche mince de silicium monocristallin d'une première épaisseur  $e_1$  et présentant une première face dite face arrière

orientée vers une couche d'oxyde enterré du premier substrat SOI et une deuxième face opposée dite face avant ; réalisation du guide d'onde inférieur par gravure localisée de la première couche mince de silicium ; puis réalisation du guide d'onde intermédiaire ; puis réalisation du guide d'onde supérieur du dispositif optique.

- [0010] Selon l'invention, l'étape de réalisation du guide d'onde intermédiaire comporte les opérations suivantes : assemblage au premier substrat SOI d'un deuxième substrat SOI de type silicium sur isolant et comportant une deuxième couche mince de silicium monocristallin d'une deuxième épaisseur  $e_2$  différente de  $e_1$ , la deuxième couche mince de silicium étant située en regard du circuit photonique intégré ; retrait d'un substrat support et d'une couche d'oxyde enterré du deuxième substrat SOI, de manière à libérer une face de la deuxième couche mince de silicium ; réalisation du guide d'onde intermédiaire par gravure localisée de la deuxième couche mince de silicium.
- [0011] Certains aspects préférés mais non limitatifs de ce procédé de fabrication sont les suivants.
- [0012] Le guide d'onde inférieur peut présenter une épaisseur homogène égale à la valeur  $e_1$ , et le guide d'onde intermédiaire peut présenter une épaisseur homogène égale à la valeur  $e_2$ .
- [0013] Le deuxième substrat SOI peut être assemblé par collage moléculaire oxyde/oxyde au premier substrat SOI, une couche mince de collage à base d'un oxyde étant déposée sur la deuxième couche mince de silicium, et une couche mince d'oxyde recouvrant le circuit photonique intégré, l'assemblage étant effectué par mise au contact de la couche mince de collage avec la couche mince d'oxyde.
- [0014] La couche mince d'oxyde peut être réalisée par amincissement de la couche d'oxyde enterré du premier substrat SOI.
- [0015] Le procédé peut comporter, à la suite de la réalisation du circuit photonique intégré comportant des composants optiques actifs, une étape de réalisation, du côté de la face avant, d'une partie d'interconnexion comportant des niveaux de métallisation connectés aux composants optiques actifs par des vias conducteurs s'étendant au travers d'une couche isolante inter-métal.
- [0016] Le procédé peut comporter, à la suite de la réalisation de la partie d'interconnexion, des étapes d'assemblage d'une poignée à une face libre de la partie d'interconnexion, puis de retrait d'un substrat support du premier substrat SOI, puis d'amincissement de la couche d'oxyde enterré pour obtenir une couche amincie d'oxyde enterré.
- [0017] La couche mince d'oxyde peut être réalisée par dépôt d'un oxyde sur le circuit photonique intégré du côté de la face avant
- [0018] Le procédé peut comporter une étape de réalisation d'au moins un miroir de Bragg par formation d'échancrures traversantes dans la première couche mince de silicium remplies ensuite d'un matériau électriquement isolant, les échancrures traversantes

étant réalisées de manière simultanée à la réalisation d'au moins un guide d'onde du circuit photonique intégré par une même étape de gravure localisée.

- [0019] Le miroir de Bragg peut être au contact de la couche d'oxyde enterré du premier substrat SOI.
- [0020] L'invention porte également sur un système optoélectronique en photonique sur silicium comportant un dispositif optique et un circuit photonique intégré : le dispositif optique comportant un guide d'onde dit supérieur ; le circuit photonique intégré comportant un guide d'onde dit inférieur en silicium monocristallin ; le guide d'onde supérieur étant couplé optiquement au guide d'onde inférieur par un guide d'onde dit intermédiaire en silicium ; le guide d'onde intermédiaire étant réalisé en silicium monocristallin.
- [0021] Le dispositif optique peut être choisi parmi un modulateur, une photodiode, un amplificateur optique à semiconducteur, ou une source laser où le guide d'onde supérieur est un guide d'onde actif contenant un milieu à gain.
- [0022] Le guide d'onde inférieur peut présenter une épaisseur  $e_1$  homogène inférieure à 350nm et le guide d'onde intermédiaire peut présenter une épaisseur  $e_2$  homogène comprise entre 400nm et 600nm.
- [0023] Le système optoélectronique peut comporter au moins un miroir de Bragg réalisé à partir de silicium monocristallin et situé de manière coplanaire avec le guide d'onde inférieur.
- [0024] Le miroir de Bragg peut s'étendre sous et le long du guide d'onde intermédiaire et être couplé de manière évanescente à celui-ci, le dispositif optique étant une source laser à rétroaction distribuée. En variante, le système optoélectronique peut comporter deux miroirs de Bragg situés sous le guide d'onde intermédiaire, le dispositif optique étant une source laser à réflecteur de Bragg distribué.
- [0025] Le système optoélectronique peut comporter au moins une chaufferette, située du côté d'une face avant du circuit photonique intégré, en regard du miroir de Bragg, la chaufferette étant l'un des niveaux de métallisation d'une partie d'interconnexion comportant des niveaux de métallisation connectés à des composants optiques actifs du circuit photonique intégré par des vias conducteurs s'étendant au travers d'une couche isolante inter-métal.

### **Brève description des dessins**

- [0026] D'autres aspects, buts, avantages et caractéristiques de l'invention apparaîtront mieux à la lecture de la description détaillée suivante de formes de réalisation préférées de celle-ci, donnée à titre d'exemple non limitatif, et faite en référence aux dessins annexés sur lesquels :
- les figures 1A à 1I sont des vues en coupe, schématiques et partielles, illustrant dif-

férentes étapes d'un procédé de fabrication d'un système optoélectronique selon un premier mode de réalisation où le dispositif optique est une source laser, dans lequel le guide d'onde actif de la source laser est situé du côté de la face arrière FAR du circuit photonique intégré ;

les figures 2A à 2F sont des vues en coupe, schématiques et partielles, illustrant différentes étapes d'un procédé de fabrication d'un système optoélectronique selon un deuxième mode de réalisation, dans lequel le guide d'onde actif de la source laser est situé du côté de la face avant FAV du circuit photonique intégré ;

les figures 3A et 3B sont des vues en coupe, schématiques et partielles, de différents systèmes optoélectroniques selon des variantes de réalisation comportant au moins un guide d'onde à base d'un nitrure de silicium et au moins une chaufferette, dans des configurations du guide d'onde actif situé en face arrière FAR ([Fig.3A]) et en face avant FAV ([Fig.3B]) ;

les figures 4A à 4C sont des vues en coupe, schématiques et partielles, de différents systèmes optoélectroniques selon des variantes de réalisation où la source laser est de type DFB en configuration 'guide d'onde actif en face arrière FAR' ([Fig.4A]) et en configuration 'en face avant FAV' ([Fig.4B]), et où la source laser est de type DBR en configuration 'face arrière FAR' ([Fig.4C]).

### **EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS**

[0027] Sur les figures et dans la suite de la description, les mêmes références représentent les éléments identiques ou similaires. De plus, les différents éléments ne sont pas représentés à l'échelle de manière à privilégier la clarté des figures. Par ailleurs, les différents modes de réalisation et variantes ne sont pas exclusifs les uns des autres et peuvent être combinés entre eux. Sauf indication contraire, les termes « sensiblement », « environ », « de l'ordre de » signifient à 10% près, et de préférence à 5% près. Par ailleurs, les termes « compris entre ... et ... » et équivalents signifient que les bornes sont incluses, sauf mention contraire.

[0028] L'invention porte sur un système optoélectronique et son procédé de fabrication, le système optoélectronique comportant un dispositif optique et un circuit photonique intégré couplés optiquement l'un à l'autre par un guide d'onde intermédiaire en silicium monocristallin. Le dispositif optique comporte un guide d'onde dit supérieur contenant le milieu à gain, et le circuit photonique intégré comporte un guide d'onde inférieur en silicium monocristallin et au moins un composant optique actif ou passif (guide d'onde, modulateur, photodiode, coupleur...). Selon l'invention, les guides d'onde supérieur et inférieur sont couplés l'un à l'autre par un guide d'onde intermédiaire en silicium monocristallin. Le dispositif optique peut notamment être une source laser hybride, un modulateur, une photodiode, un amplificateur optique à semi-conducteur.

- [0029] De plus, le circuit photonique intégré et son guide d'onde inférieur sont réalisés à partir de la couche mince de silicium monocristallin d'un premier substrat SOI. Le guide d'onde intermédiaire est réalisé à partir de la couche mince de silicium monocristallin d'un deuxième substrat SOI, lequel a été assemblé au premier substrat SOI. Ainsi, le guide d'onde inférieur présente une épaisseur  $e_1$  qui dépend du bon fonctionnement et des performances du ou des composants optiques du circuit photonique intégré, et le guide d'onde intermédiaire présente une épaisseur  $e_2$ , différente de  $e_1$ , choisie pour optimiser le couplage optique avec le guide d'onde supérieur. De préférence, l'épaisseur  $e_2$  est supérieure strictement à l'épaisseur  $e_1$ , en particulier lorsque le dispositif optique est une source laser. Ce guide d'onde intermédiaire a ainsi été réalisé sans avoir recours à des opérations de dépôt de silicium amorphe et de planarisation par polissage mécano-chimique. Il présente ainsi les dimensions voulues, en particulier une épaisseur homogène, ce qui permet de réduire les risques de dégradation des performances du système optoélectronique.
- [0030] Les figures 1A à 1I illustrent, de manière schématique, des étapes d'un procédé de fabrication d'un système optoélectronique 1 selon un premier mode de réalisation. Dans la suite de la description, le dispositif optique est une source laser hybride. Le guide d'onde supérieur est appelé guide d'onde actif et comporte un milieu à gain. Dans cet exemple, le guide d'onde actif 61 de la source laser 60 est situé du côté de la face arrière FAR du circuit photonique intégré 20. Par ailleurs, à titre illustratif, la source laser 60 est de type III-V/Si dans le sens où le guide d'onde actif 61 est réalisé à base d'un composé III-V, et que le circuit photonique intégré 20 est réalisé à base de silicium.
- [0031] On définit ici et pour la suite de la description un repère direct tridimensionnel orthogonal XYZ, où le plan XY est un plan parallèle au plan principal du circuit photonique intégré 20, et où l'axe Z est orienté du circuit photonique intégré 20 vers le guide d'onde actif 61 de la source laser 60.
- [0032] En référence à la [Fig.1A], on fournit un premier substrat 10 de type silicium sur isolant SOI (pour *Silicon On Insulator*, en anglais), formé d'un empilement suivant l'axe Z d'un substrat support 11 en silicium, d'une couche 12 d'oxyde enterré (BOX pour Buried Oxide) en un oxyde de silicium, et d'une couche mince 13 de silicium monocristallin. Cette couche mince de silicium 13 présente une première face dite face avant FAV et une deuxième face opposée dite face arrière FAR orientée vers la couche d'oxyde enterré. L'épaisseur  $e_1$  de la couche mince de silicium 13 est homogène et sa valeur est choisie pour assurer un bon fonctionnement des composants optiques passifs et actifs du circuit photonique intégré 20. A titre d'exemple, l'épaisseur  $e_1$  est inférieure ou égale à 350nm environ, par exemple comprise entre 170nm et 310nm environ, et est ici égale à 220nm environ.

- [0033] En référence à la [Fig.1B], on réalise le circuit photonique intégré 20 à partir de la couche mince 13 de silicium monocristallin, par structuration (gravure localisée partielle ou totale) et éventuellement dopage par implantation ionique. Celui-ci comporte des composants optiques, dont le guide d'onde inférieur 13.1 ainsi qu'au moins un composant optique passif ou actif. A titre d'illustration, le circuit photonique intégré 20 comporte ici, outre le guide d'onde inférieur 13.1, un modulateur optique 21, une photodiode 22 (comportant par exemple du germanium épitaxié), et un coupleur à réseau 23.
- [0034] Le guide d'onde inférieur 13.1 est réalisé par gravure localisée de toute l'épaisseur de la couche mince de silicium 13. Il présente donc une épaisseur homogène égale à la valeur  $e_1$ . Aucune opération d'augmentation locale de son épaisseur n'est effectuée (dépôt, planarisation par polissage mécano-chimique...). Ainsi, on est assuré que le guide d'onde inférieur 13.1 présente effectivement les dimensions souhaitées. Enfin, on dépose une couche isolante 24 en un matériau électriquement isolant tel qu'un diélectrique, par exemple en un oxyde, de manière à remplir les espacements dans le plan XY entre les différents composants du circuit photonique intégré 20.
- [0035] En référence à la [Fig.1C], on réalise une partie d'interconnexion 31 du circuit photonique intégré 20 formée de plusieurs niveaux de métallisation 33 et de vias conducteurs 34 s'étendant au travers d'une couche isolante 32. Cette partie d'interconnexion 31 est habituellement appelée BEOL (pour *Back End Of Line*, en anglais), et la couche isolante 32 est appelée diélectrique inter-métal (IMD, pour *Inter-Metal Dielectric*, en anglais).
- [0036] Cette étape est effectuée par des opérations de dépôt et de planarisation par polissage mécano-chimique de métal (par exemple cuivre) et de diélectrique (par exemple oxyde de silicium). Les niveaux de métallisation 33 et les vias conducteurs 34 permettent de connecter les composants optiques à des plots de contact 72 (cf. [Fig.1I]) et peuvent également connecter les composants optiques entre eux.
- [0037] Notons que l'un des niveaux de métallisation 33 peut être situé en regard du coupleur à réseau pour former un miroir métallique (non représenté) et ainsi améliorer l'extraction du faisceau lumineux. Par ailleurs, des niveaux de métallisation 33 peuvent être situés en regard des miroirs de Bragg pour former des chaufferettes permettant d'accorder la source laser 60 en longueur d'onde (cf. [Fig.4A] et 4C).
- [0038] En référence à la [Fig.1D], on assemble une poignée 35 temporaire ou permanente à la face libre de la partie d'interconnexion 31. Cette poignée 35 peut être un substrat en silicium assemblé par collage. On retourne ensuite l'empilement, puis on retire le substrat support 11 du substrat SOI, par exemple par gravure chimique du silicium sélective à l'oxyde éventuellement précédée par un amincissement mécanique (*grinding* en anglais). Puis, on amincit la couche 12 d'oxyde enterré pour ne garder

qu'une partie d'épaisseur par exemple de l'ordre de 50nm à 150nm. Cet amincissement peut être effectué par gravure chimique, gravure sèche ou encore par polissage mécano-chimique (CMP). Ainsi, la couche amincie 12.1 d'oxyde enterré assure une protection des composants optiques du circuit photonique intégré 20 et permettra le collage moléculaire de type oxyde-oxyde du deuxième substrat SOI 40. Notons que la couche amincie 12.1 d'oxyde enterré présente une épaisseur homogène dans le plan XY dans la mesure où, d'une part le substrat support 11 présentait initialement une épaisseur homogène, et d'autre part le retrait du substrat support 11 a été effectué par une gravure du silicium sélective à l'oxyde.

- [0039] En référence à la [Fig.1E], on assemble un deuxième substrat SOI 40 sur l'empilement préalablement obtenu, et ici sur la face libre de la couche amincie 12.1 d'oxyde enterré. Le substrat SOI 40 est orienté de sorte que la couche mince 43 de silicium monocristallin est située en regard du circuit photonique intégré 20. L'assemblage peut être effectué par exemple par collage moléculaire de type oxyde-oxyde, une couche mince 51 de collage en un oxyde ayant été déposée sur le substrat SOI 40.
- [0040] Le deuxième substrat 40 est donc également de type silicium sur isolant, et est formé d'un empilement d'un substrat support 41 en silicium, d'une couche 42 d'oxyde enterré en un oxyde de silicium, et d'une couche mince 43 de silicium monocristallin. Cette couche mince de silicium 43 présente une épaisseur  $e_2$  dont la valeur est différente de la valeur  $e_1$  et de préférence supérieure à  $e_1$  pour optimiser le couplage optique entre le guide d'onde intermédiaire 43.1 et le guide d'onde actif 61, et est adaptée à optimiser le couplage optique avec le guide d'onde actif 61. A titre d'exemple, l'épaisseur  $e_2$  est supérieure à 350nm, par exemple comprise entre 400 à 600nm environ, et est ici égale à 500nm environ. La couche mince de collage 51 est déposée sur la face libre de la couche mince de silicium 43, et le substrat SOI 40 est assemblé à l'empilement préalablement obtenu en mettant en contact la couche mince de collage 51 avec la couche amincie 12.1 d'oxyde enterré. Ainsi, la couche mince de silicium 43 est orientée vers le circuit photonique intégré 20.
- [0041] La couche mince de collage 51 et la couche amincie 12.1 d'oxyde enterré présentent une épaisseur cumulée adaptée à optimiser le couplage optique entre le guide d'onde inférieur 13.1 et le guide d'onde intermédiaire 43.1, et est par exemple comprise entre 50nm et 300nm environ. Cette épaisseur est homogène dans le plan XY puisqu'elle est définie par les deux couches minces 51, 12.1 réalisées de manière contrôlée. Par ailleurs, on est en mesure d'ajuster l'épaisseur locale de la couche mince de collage 51 pour compenser une éventuelle variation spatiale de l'épaisseur locale de la couche amincie 12.1 d'oxyde enterré. Notons que la couche mince de collage 51 peut également être formée par oxydation d'une partie de l'épaisseur de la couche mince de

silicium 43, bien qu'il reste préférable qu'il s'agisse d'une couche mince déposée.

- [0042] Par ailleurs que le substrat SOI 40 peut être une plaque (*wafer* en anglais) par exemple de diamètre supérieur à quelques dizaines voire centaines de millimètres. En variante, et de préférence, il peut être une vignette, c'est-à-dire une partie d'une plaque, pour ainsi réduire les coûts et également limiter les contraintes mécaniques subies par l'empilement des deux substrats SOI 10, 40 assemblés l'un à l'autre.
- [0043] En référence à la [Fig.1F], on retire le substrat support 41 ainsi que la couche 42 d'oxyde enterré, comme décrit précédemment, pour déboucher sur la couche mince de silicium 43 et ainsi rendre libre sa surface. A ce stade, la couche mince de silicium 43 recouvre au moins en partie le circuit photonique intégré 20, et au moins le guide d'onde inférieur 13.1. Elle présente une épaisseur  $e_2$  dont la valeur sera celle du guide d'onde intermédiaire 43.1 (cf. [Fig.1G]), cette épaisseur permettant d'optimiser le couplage optique de celui-ci avec le guide d'onde actif 61.
- [0044] Notons que, dans le cas du report d'une vignette SOI 40, pour retirer le substrat support 41 et la couche d'oxyde enterré 42, il importe de ne pas dégrader les couches d'oxyde sous-jacentes. Pour cela, on peut déposer, après le report de la vignette 40, un film de SiN de manière peu conforme (par exemple par dépôt physique en phase vapeur par pulvérisation – *sputtering deposition* en anglais) pour protéger l'oxyde sous-jacent ainsi que la base de la vignette 40. On pourra alors procéder par exemple à un amincissement mécanique suivi d'une gravure chimique du substrat support 41 et de la couche d'oxyde enterré 42. La couche de SiN pourra ensuite être retirée chimiquement par une gravure sélective à l'oxyde.
- [0045] En référence à la [Fig.1G], on réalise le guide d'onde intermédiaire 43.1 par photolithographie et gravure localisée de la couche mince de silicium 43. Pour cela, l'opération de photolithographie peut utiliser des mires d'alignement réalisées au préalable dans la couche mince de silicium 13 du substrat SOI 10. Ensuite, on grave localement la couche mince de silicium 43 sur toute son épaisseur pour déboucher sur la couche mince de collage 51. La gravure localisée peut utiliser un masque dur ou un masque résine.
- [0046] Enfin, on dépose une couche d'encapsulation 52 en un matériau isolant, par exemple un matériau diélectrique tel qu'un oxyde, de manière à recouvrir le guide d'onde intermédiaire 43.1 et la couche mince de collage 51. Une planarisation de la couche d'encapsulation 52 permet d'obtenir une face libre plane. L'épaisseur locale de la couche d'encapsulation 52 au-dessus du guide d'onde intermédiaire 43.1 est choisie pour optimiser le couplage optique entre ce dernier et le guide d'onde actif 61. Elle peut être par exemple de l'ordre de 100nm.
- [0047] En référence à la [Fig.1H], on réalise le guide d'onde actif 61 de la source laser 60. Cette étape peut être réalisée de manière identique ou similaire à celle décrite dans le

document US10488587B2 mentionné précédemment. Ainsi, on peut coller sur la couche d'encapsulation 52 un empilement formant une hétérostructure à base du composé III-V, de préférence par report d'une vignette III-V. Le guide d'onde actif 61 est ensuite réalisé par des opérations classiques de photolithographie et de gravure localisée. Le guide d'onde actif 61 est positionné dans le plan XY de manière à autoriser un couplage optique avec le guide d'onde intermédiaire 43.1.

[0048] En référence à la [Fig. 1I], on dépose une couche d'encapsulation 62 en un matériau isolant tel qu'un matériau diélectrique, par exemple un oxyde, de manière à recouvrir le guide d'onde actif 61. Puis, on réalise des vias conducteurs 71 et des plots de contact 72. Les vias conducteurs 71 traversent les couches d'oxyde et relient les plots de contact aux lignes de métallisation de la partie d'interconnexion 31. Ils assurent ainsi la connexion électrique avec le guide d'onde actif 61 d'une part, et avec le circuit photonique intégré 20 par l'intermédiaire de la partie d'interconnexion 31 d'autre part.

[0049] On obtient ainsi un système optoélectronique 1 en photonique sur silicium comportant une source laser hybride 60 et un circuit photonique intégré 20 couplés optiquement l'un à l'autre par un guide d'onde intermédiaire 43.1. Le guide d'onde inférieur 13.1 et le guide d'onde intermédiaire 43.1 sont tous deux réalisés en silicium monocristallin à partir de substrats SOI 10, 40 différents, et présentent des épaisseurs homogènes et différentes l'une de l'autre. Ainsi, le guide d'onde inférieur 13.1 présente donc une épaisseur  $e_1$  par exemple inférieure ou égale à 350nm environ, par exemple comprise entre 170nm et 310nm environ, et adaptée au bon fonctionnement des composants optiques du circuit photonique intégré 20. Et le guide d'onde intermédiaire 43.1 présente une épaisseur  $e_2$  par exemple comprise entre 400 et 600nm environ permettant un bon couplage optique avec le guide d'onde actif 61 de la source laser 60.

[0050] Le circuit photonique intégré 20 (avec son guide d'onde inférieur 13.1) a été réalisé à partir de la couche mince 13 de silicium monocristallin du premier substrat SOI 10, et le guide d'onde intermédiaire 43.1 a été réalisé à partir de la couche mince 43 de silicium monocristallin du deuxième substrat SOI 40 alors assemblé au premier substrat 10. Ce guide d'onde intermédiaire 43.1 n'a donc pas été réalisé au moyen d'opérations de dépôt de silicium amorphe et de planarisation par polissage mécano-chimique, de sorte qu'il présente effectivement les dimensions voulues (notamment une épaisseur  $e_2$  homogène). Ainsi, le procédé de fabrication ne présente pas une complexité accrue et permet d'obtenir un système optoélectronique 1 dont les performances n'ont pas été dégradées lors du procédé de fabrication.

[0051] Notons par ailleurs que ce mode de réalisation permet de ne pas modifier la filière technologique utilisée pour réaliser le circuit photonique intégré 20 et la partie d'interconnexion 31. En effet, l'étape de réalisation du guide d'onde intermédiaire 43.1

est effectuée une fois que la partie d'interconnexion 31 a été réalisée.

- [0052] Dans cet exemple, les plots de contact de la source laser 60 ainsi que ceux du circuit photonique intégré 20 sont situés du côté de la face arrière FAR. En variante, les plots de contact du circuit photonique intégré 20 peuvent être placés du côté de la face avant FAV. Pour cela, on assemble une poignée à la couche d'encapsulation 62 et on retire la poignée 35, pour ensuite réaliser les plots de contact en question.
- [0053] Par ailleurs, par souci de clarté on n'a pas représenté les miroirs de Bragg. Cependant, la source laser 60 peut être de type DBR comme de type DFB (cf. [Fig.4A] à 4C), et le ou les miroirs de Bragg peuvent être réalisés à base de silicium monocristallin et être situés de manière coplanaire avec le guide d'onde inférieur 13.1, comme l'illustrent les [Fig.4A] à 4C.
- [0054] Les figures 2A à 2F illustrent, de manière schématique, des étapes d'un procédé de fabrication d'un système optoélectronique 1 selon un deuxième mode de réalisation. Dans cet exemple, le guide d'onde actif 61 de la source laser 60 est situé du côté de la face avant FAV du circuit photonique intégré 20. Ce procédé permet d'éviter d'avoir recours à la poignée 35 et aux opérations de retournement de l'empilement réalisé. Il se distingue également de celui des [Fig.1A] à 1I essentiellement en ce que le circuit photonique intégré 20 ne comporte pas de partie d'interconnexion 31 de type BEOL.
- [0055] En référence à la [Fig.2A], on fournit le premier substrat SOI 10 et on réalise le circuit photonique intégré 20 à partir de la couche mince 13 de silicium monocristallin (cf. [Fig.1A]). On dépose ensuite la couche isolante 24 pour remplir l'espace entre les composants optiques 13.1, 21, 22, 23. Ces opérations sont identiques ou similaires à celles décrites en référence à la [Fig.1A], et ne sont pas détaillées à nouveau ici.
- [0056] En référence à la [Fig.2B], on assemble le deuxième substrat SOI 40 à l'empilement obtenu de sorte que la couche mince 43 de silicium monocristallin soit orientée vers le circuit photonique intégré 20. Autrement dit, le substrat SOI 40 est orienté de sorte que la couche mince 43 est située en regard du circuit photonique intégré 20. L'assemblage peut être effectué par collage moléculaire ici de type oxyde-oxyde. Pour cela, une couche mince 36 de collage en oxyde est déposée sur le circuit photonique intégré 20, et une autre couche mince 51 de collage en oxyde est déposée sur la couche mince de silicium 43. Puis les deux couches minces 36, 51 de collage sont mises au contact l'une de l'autre. L'épaisseur cumulée des deux couches minces 36, 51 est homogène dans le plan XY, et est adaptée pour optimiser le couplage optique entre le guide d'onde intermédiaire 43.1 et le guide d'onde inférieur 13.1.
- [0057] En référence aux [Fig.2C], [Fig.2D] et [Fig.2E], on retire le substrat support 41 ainsi que la couche 42 d'oxyde enterré pour déboucher sur la couche mince de silicium 43 et ainsi rendre libre sa surface. Puis, on réalise le guide d'onde intermédiaire 43.1 par photolithographie et gravure localisée de la couche mince de silicium 43. On dépose

ensuite la couche d'encapsulation 52. On réalise ensuite le guide d'onde actif 61 à base d'un composé III-V. Ces étapes sont identiques ou similaires à celles décrites en référence aux [Fig.1E] à 1G.

[0058] En référence à la [Fig.2F], on dépose la couche d'encapsulation 62 de manière à recouvrir le guide d'onde actif 61. Puis, on réalise des vias conducteurs 71 et des plots de contact 72. Les vias conducteurs 71 assurent la connexion électrique du guide d'onde actif 61 d'une part, et des composants optiques du circuit photonique intégré 20 d'autre part. Ici, le système optoélectronique 1 ne comporte pas la partie d'interconnexion 31 de type BEOL qui assure, comme dans la [Fig.1I], la connexion électrique des composants optiques.

[0059] On obtient ainsi un système optoélectronique 1 comportant une source laser hybride 60 et un circuit photonique intégré 20 couplés optiquement l'un à l'autre par un guide d'onde intermédiaire 43.1, où le guide d'onde actif 61 est situé du côté de la face avant FAV du circuit photonique intégré 20. Ici également, le couplage optique entre le guide d'onde actif 61 et le guide d'onde inférieur 13.1 a lieu au moyen du guide d'onde intermédiaire 43.1 réalisé en silicium monocristallin, lequel est issu de la couche mince de silicium 43 du deuxième substrat SOI 40. Le guide d'onde intermédiaire 43.1 n'est donc pas réalisé à partir d'opérations de dépôt de silicium amorphe puis de planarisation par polissage mécano-chimique (sans que le procédé de fabrication ne soit complexifié), et présente donc les dimensions voulues, en particulier une épaisseur homogène dans le plan XY. Le système optoélectronique 1 présente donc les performances attendues, puisque le guide d'onde inférieur 13.1 présente l'épaisseur adaptée au bon fonctionnement des composants optiques, et que le guide d'onde intermédiaire 43.1 présente l'épaisseur optimisant le couplage optique avec le guide d'onde actif 61. Notons que ce mode de réalisation permet d'effectuer les différentes étapes toujours du même côté du circuit photonique intégré 20, à savoir du côté de sa face avant FAV. Il n'est pas nécessaire d'utiliser une poignée ni d'effectuer un retournement de l'empilement réalisé.

[0060] Les figures 3A et 3B sont des vues schématiques et partielles, en coupe, de deux systèmes optoélectroniques 1 selon des variantes de réalisation qui intègrent au moins un guide d'onde 37 à base d'un nitrure de silicium SiN ainsi qu'une chaufferette 39. Ces exemples sont donnés à titre illustratif et d'autres agencements sont bien entendu possibles.

[0061] En référence à la [Fig.3A], le système optoélectronique 1 est une variante de celui de la [Fig.1I], en ce sens que le guide d'onde actif 61 est situé du côté de la face arrière FAR du circuit photonique intégré 20. Dans cet exemple, un guide d'onde 37 à base de SiN est réalisé au niveau de la face avant FAV du circuit photonique intégré 20, avant la réalisation de la partie d'interconnexion 31. Ce guide d'onde 37 est ici situé dans

une couche isolante 38, et est ici espacé d'un guide d'onde 25 en silicium suivant l'axe Z d'une distance autorisant ici le couplage optique entre ces guides d'onde 25, 37. Par ailleurs, une chaufferette 39 est réalisée ici en regard d'un autre guide d'onde en silicium, et est connectée à la partie d'interconnexion 31. Cette chaufferette est ici l'un des niveaux de métallisation 33. Le guide d'onde 37 peut notamment être réalisé après le dépôt de la couche isolante 38, par remplissage d'une échancrure réalisée de celle-ci.

[0062] En référence à la [Fig.3B], le système optoélectronique 1 est une variante de celui de la [Fig.2F], en ce sens que le guide d'onde actif 61 est situé du côté de la face avant FAV du circuit photonique intégré 20. Dans cet exemple, un guide d'onde 37 à base de SiN est réalisé au niveau de la face avant FAV du circuit photonique intégré 20, dans la couche isolante 52 encapsulant le guide d'onde intermédiaire 43.1. Il est ici espacé du guide d'onde en silicium 25 de l'épaisseur cumulée des deux couches minces 36, 51 de collage, mais peut en variante être espacé en plus d'une portion de la couche d'encapsulation 52. Par ailleurs, une chaufferette 39 est réalisée ici en regard d'un autre guide d'onde en silicium, et en est espacée par au moins une partie de la couche d'encapsulation 52. Notons que le guide d'onde 37 peut être réalisé après le dépôt de la couche d'encapsulation 52, par remplissage d'une échancrure réalisée de celle-ci. Cependant, l'espacement suivant l'axe Z entre le guide d'onde 37 et le guide d'onde en silicium 25 sous-jacent peut ne pas être contrôlé de manière précise. En variante, le guide d'onde 37 peut être réalisé par un procédé soustractif : lorsque le guide d'onde intermédiaire 43.1 est réalisé et avant le dépôt de la couche d'encapsulation 52, on effectue un dépôt pleine plaque de SiN que l'on grave ensuite localement pour former le guide d'onde 37. On dépose ensuite la couche d'encapsulation 52. A noter que des espaceurs en SiN peuvent être formés sur les flancs du guide d'onde intermédiaire 43.1, ces espaceurs pourront être retirés chimiquement (en veillant à bien protéger le guide d'onde 37).

[0063] Les figures 4A à 4C sont des vues schématiques et partielles, en coupe, de systèmes optoélectroniques 1 selon des variantes de réalisation qui intègrent au moins un miroir de Bragg, qui peuvent être similaires aux exemples des [Fig.3A] et 3B.

[0064] Dans l'exemple de la [Fig.4A], le système optoélectronique 1 est similaire à celui de la [Fig.1I] en ce qu'il comporte une partie d'interconnexion 31 réalisée en face avant FAV et que le guide d'onde actif 61 est situé en face arrière FAR du circuit photonique intégré 20. La source laser 60 est ici de type DFB, et comporte un miroir de Bragg 73 qui s'étend sous le guide d'onde intermédiaire 43.1 (et donc également sous le guide d'onde actif 61) et définit la cavité optique. Le miroir de Bragg 73 n'est donc pas situé dans un plan situé entre le guide d'onde actif 61 et le guide d'onde inférieur 13.1.

[0065] Le miroir de Bragg 73 est réalisé à partir de la couche mince 13 de silicium monocristallin du premier substrat SOI, et est donc coplanaire avec le guide d'onde inférieur

13.1. Il est en particulier réalisé en effectuant une série d'échancrures par exemple traversantes dans la couche mince 13 de silicium monocristallin, ces échancrures étant ensuite remplies par le matériau diélectrique de la couche isolante 24. La réalisation des échancrures du miroir de Bragg 73 peut être effectuée en même temps que la réalisation d'au moins un guide d'onde du circuit photonique intégré 20, lors d'une seule étape de gravure localisée.

[0066] Par ailleurs, le fait que les échancrures soient traversantes (et donc que le matériau isolant s'étende sur toute l'épaisseur de la couche mince 13) permet de rendre le procédé plus robuste. En effet, on se distingue d'une situation de l'art antérieur où le miroir de Bragg serait situé à proximité du guide d'onde actif. Les dents du miroir de Bragg sont alors réalisées par gravure partielle de la couche mince de silicium, par exemple sur une profondeur de l'ordre de 10nm voire de quelques dizaines de nanomètres. En revanche, dans l'exemple des [Fig.4A] à 4C, les dents du miroir de Bragg 73 (comme celles des miroirs 74) s'étendent sur toute l'épaisseur de la couche mince 13 (dans les échancrures traversantes) dans la mesure où le miroir de Bragg 73 (et les miroirs 74) est plus éloigné du guide d'onde actif 61, ceci à force du miroir de Bragg équivalente.

[0067] Par ailleurs, dans cet exemple, une chaufferette 39 est réalisée en regard du miroir de Bragg 33 (du côté de la face FAV), et est connectée à la partie d'interconnexion 31 (elle correspond ici à l'un des niveaux de métallisation 33). Elle permet d'accorder en longueur d'onde la source laser 60.

[0068] Dans l'exemple de la [Fig.4B], le système optoélectronique 1 est similaire à celui de la [Fig.4A] en ce sens que la source laser 60 est de type DFB, mais le guide d'onde actif 61 est situé du côté de la face avant FAV du circuit photonique intégré 20. Il peut être réalisé par un procédé similaire à celui décrit en référence aux [Fig.2A] à 2F. Comme sur la [Fig.4A], le miroir de Bragg 73 est réalisé à partir de la couche mince 13 de silicium monocristallin du premier substrat 10, et est donc coplanaire avec le guide d'onde inférieur 13.1. Il est donc en contact avec la couche 12 d'oxyde enterré du premier substrat SOI 10. Dans cet exemple, le système optoélectronique 1 ne comporte donc pas de chaufferette d'accordabilité situé en regard du miroir de Bragg 73.

[0069] Dans l'exemple de la [Fig.4C], le système optoélectronique 1 est similaire à celui de la [Fig.4A] en ce sens que le guide d'onde actif 61 est situé du côté de la face arrière FAR du circuit photonique intégré 20. En revanche, la source laser 60 est de type DBR. Ainsi, la source laser 60 comporte deux miroirs de Bragg 74 qui s'étendent sous le guide d'onde intermédiaire 43.1 et définissent la cavité optique. Le mode optique est guidé dans le guide d'onde intermédiaire 43.1 et est couplé optiquement par évanescente aux miroirs de Bragg 74. Les miroirs de Bragg 74 sont réalisés à partir de la couche mince 13 de silicium monocristallin du premier substrat SOI 10, et sont donc

coplanaires entre eux et avec le guide d'onde inférieur 13.1.

- [0070] Bien entendu, en variante, le système optoélectronique 1 peut également comporter une source laser 60 de type DBR avec une configuration où le guide d'onde actif 61 est situé du côté de la face avant FAV du circuit photonique intégré 20.
- [0071] Des modes de réalisation particuliers viennent d'être décrits. Différentes variantes et modifications apparaîtront à l'homme du métier.

## Revendications

[Revendication 1]

Procédé de fabrication d'un système optoélectronique (1) en photonique sur silicium comportant un dispositif optique (60) et un circuit photonique intégré (20), le dispositif optique (60) comportant un guide d'onde (61) dit supérieur, le circuit photonique intégré (20) comportant un guide d'onde (13.1) dit inférieur en silicium monocristallin, le guide d'onde supérieur (61) étant couplé optiquement au guide d'onde inférieur (13.1) par un guide d'onde (43.1) dit intermédiaire en silicium, le procédé comportant les étapes suivantes :

- fourniture d'un premier substrat SOI (10) de type silicium sur isolant et comportant une première couche mince (13) de silicium monocristallin d'une première épaisseur  $e_1$  et présentant une première face dite face arrière orientée vers une couche (12) d'oxyde enterré du premier substrat SOI (10) et une deuxième face opposée dite face avant ;
- réalisation du guide d'onde inférieur (13.1) par gravure localisée de la première couche mince (13) de silicium ; puis
- réalisation du guide d'onde intermédiaire (43.1) ; puis
- réalisation du guide d'onde supérieur (61) du dispositif optique (60) ;
- caractérisé en ce que l'étape de réalisation du guide d'onde intermédiaire (43.1) comporte les opérations suivantes :
  - assemblage au premier substrat SOI (10) d'un deuxième substrat SOI (40) de type silicium sur isolant et comportant une deuxième couche mince (43) de silicium monocristallin d'une deuxième épaisseur  $e_2$  différente de  $e_1$ , la deuxième couche mince (43) de silicium étant située en regard du circuit photonique intégré (20) ;
  - retrait d'un substrat support (41) et d'une couche (42) d'oxyde enterré du deuxième substrat SOI (40), de manière à libérer une face de la deuxième couche mince (43) de silicium ;
  - réalisation du guide d'onde intermédiaire (43.1) par gravure localisée de la deuxième couche mince (43) de silicium.

- [Revendication 2] Procédé de fabrication selon la revendication 1, dans lequel le guide d'onde inférieur (13.1) présente une épaisseur homogène égale à la valeur  $e_1$ , et le guide d'onde intermédiaire (43.1) présente une épaisseur homogène égale à la valeur  $e_2$ .
- [Revendication 3] Procédé de fabrication selon la revendication 1 ou 2, dans lequel le deuxième substrat SOI (40) est assemblé par collage moléculaire oxyde/oxyde au premier substrat SOI (10), une couche mince de collage (51) à base d'un oxyde étant déposée sur la deuxième couche mince (43) de silicium, et une couche mince d'oxyde (12.1 ; 36) recouvrant le circuit photonique intégré (20), l'assemblage étant effectué par mise au contact de la couche mince de collage (51) avec la couche mince d'oxyde (12.1 ; 36).
- [Revendication 4] Procédé de fabrication selon la revendication 3, dans lequel la couche mince d'oxyde (12.1) est réalisée par amincissement de la couche (12) d'oxyde enterré du premier substrat SOI (10).
- [Revendication 5] Procédé de fabrication selon la revendication 4, comportant, à la suite de la réalisation du circuit photonique intégré (20) comportant des composants optiques actifs (21, 22), une étape de réalisation, du côté de la face avant, d'une partie d'interconnexion (31) comportant des niveaux de métallisation (33) connectés aux composants optiques actifs (21, 22) par des vias conducteurs (34) s'étendant au travers d'une couche isolante inter-métal (32).
- [Revendication 6] Procédé de fabrication selon la revendication 5, comportant, à la suite de la réalisation de la partie d'interconnexion (31), des étapes d'assemblage d'une poignée (35) à une face libre de la partie d'interconnexion (31), puis de retrait d'un substrat support (11) du premier substrat SOI (10), puis d'amincissement de la couche (12) d'oxyde enterré pour obtenir une couche amincie (12.1) d'oxyde enterré.
- [Revendication 7] Procédé de fabrication selon la revendication 3, dans lequel la couche mince d'oxyde (36) est réalisée par dépôt d'un oxyde sur le circuit photonique intégré (20) du côté de la face avant.
- [Revendication 8] Procédé de fabrication selon l'une quelconque des revendications 1 à 7, comportant une étape de réalisation d'au moins un miroir de Bragg (73 ; 74) par formation d'échancrures traversantes dans la première couche mince (13) de silicium remplies ensuite d'un matériau électriquement isolant, les échancrures traversantes étant réalisées de manière simultanée à la réalisation d'au moins un guide d'onde du circuit photonique intégré (20) par une même étape de gravure localisée.

- [Revendication 9] Procédé de fabrication selon la revendication 8, dans lequel le miroir de Bragg (73) est au contact de la couche d'oxyde enterré (12) du premier substrat SOI (10).
- [Revendication 10] Système optoélectronique (1) en photonique sur silicium comportant un dispositif optique (60) et un circuit photonique intégré (20) :
- le dispositif optique (60) comportant un guide d'onde (61) dit supérieur ;
  - le circuit photonique intégré (20) comportant un guide d'onde (13.1) dit inférieur en silicium monocristallin ;
  - le guide d'onde supérieur (61) étant couplé optiquement au guide d'onde inférieur (13.1) par un guide d'onde (43.1) dit intermédiaire en silicium ;
  - caractérisé en ce que le guide d'onde intermédiaire (43.1) est réalisé en silicium monocristallin.
- [Revendication 11] Système optoélectronique selon la revendication 10, le dispositif optique (60) étant choisi parmi un modulateur, une photodiode, un amplificateur optique à semiconducteur, ou une source laser où le guide d'onde supérieur (61) est un guide d'onde actif contenant un milieu à gain.
- [Revendication 12] Système optoélectronique selon la revendication 10 ou 11, dans lequel le guide d'onde inférieur (13.1) présente une épaisseur  $e_1$  homogène inférieure à 350nm et le guide d'onde intermédiaire (43.1) présente une épaisseur  $e_2$  homogène comprise entre 400nm et 600nm.
- [Revendication 13] Système optoélectronique selon l'une quelconque des revendications 10 à 12, comportant au moins un miroir de Bragg réalisé à partir de silicium monocristallin et situé de manière coplanaire avec le guide d'onde inférieur (13.1).
- [Revendication 14] Système optoélectronique selon la revendication 13, dans lequel le miroir de Bragg (73) s'étend sous et le long du guide d'onde intermédiaire (43.1) et est couplé de manière évanescente à celui-ci, le dispositif optique (60) étant une source laser à rétroaction distribuée ; ou comportant deux miroirs de Bragg (74) situés sous le guide d'onde intermédiaire (43.1), le dispositif optique (60) étant une source laser à réflecteur de Bragg distribué.
- [Revendication 15] Système optoélectronique selon la revendication 14, comportant au moins une chaufferette (39), située du côté d'une face avant du circuit photonique intégré (20), en regard du miroir de Bragg (73 ; 74), la

chaufferette étant l'un des niveaux de métallisation (33) d'une partie d'interconnexion (31) comportant des niveaux de métallisation (33) connectés à des composants optiques actifs (21, 22) du circuit photonique intégré (20) par des vias conducteurs (34) s'étendant au travers d'une couche isolante inter-métal (32).

[Fig. 1A]

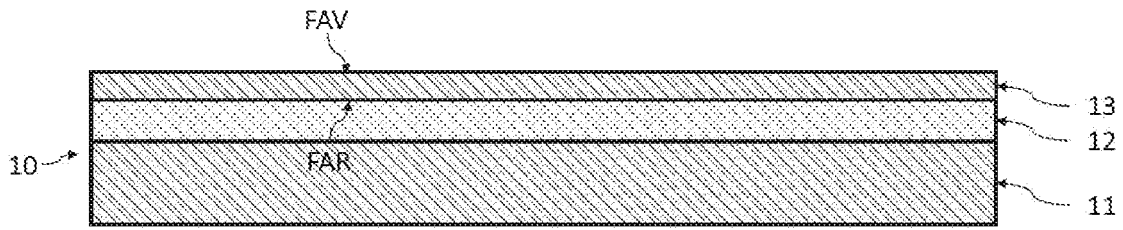


Fig.1A

[Fig. 1B]

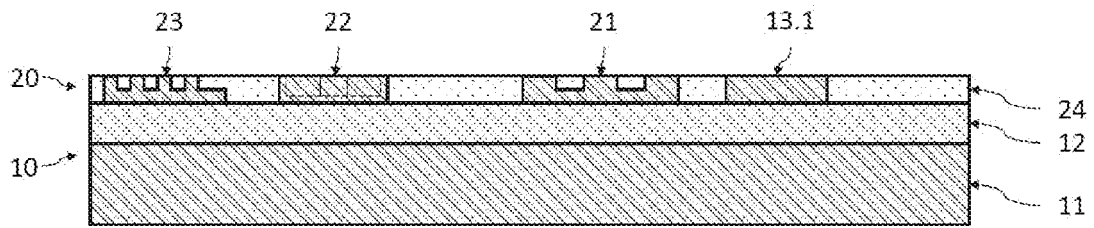


Fig.1B

[Fig. 1C]

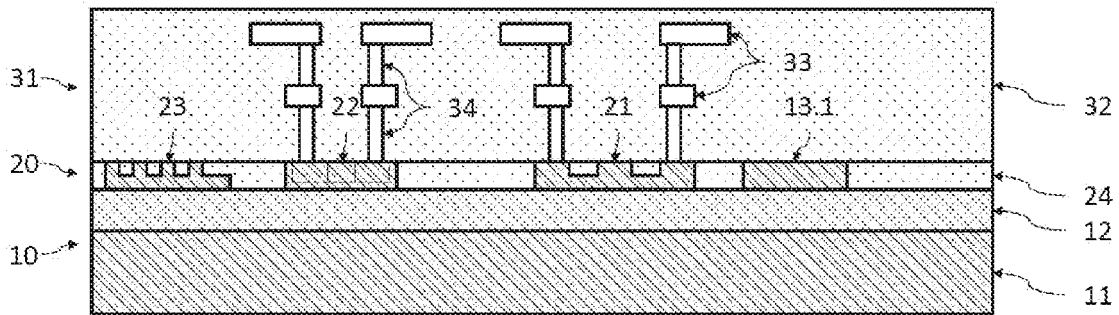
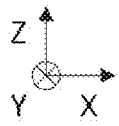


Fig.1C



[Fig. 1D]

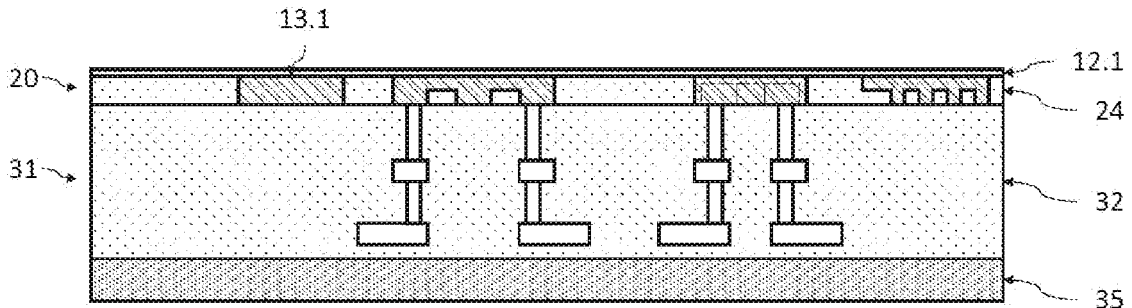


Fig.1D

[Fig. 1E]

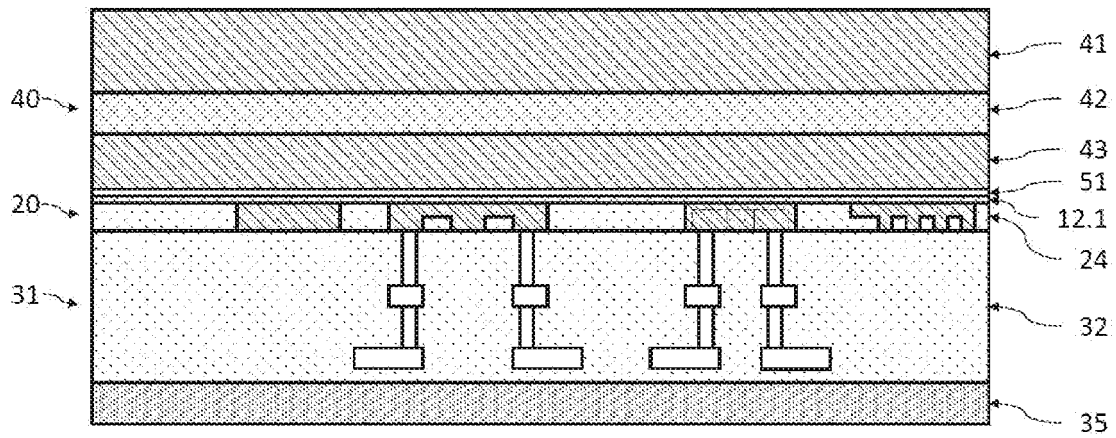


Fig.1E

[Fig. 1F]

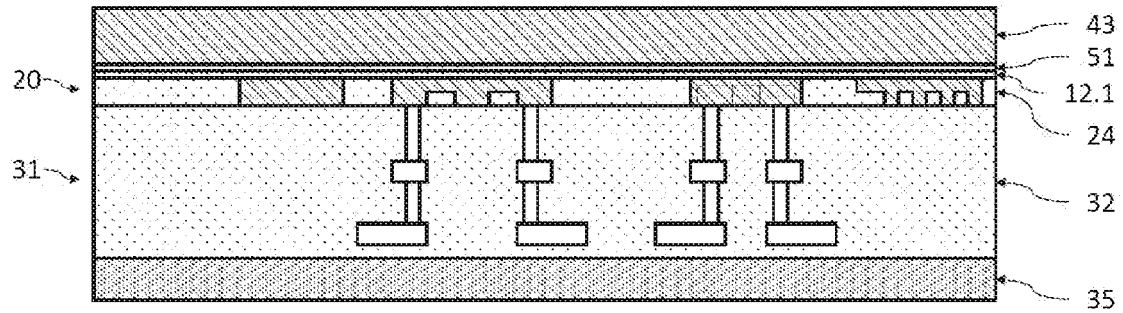


Fig.1F

[Fig. 1G]

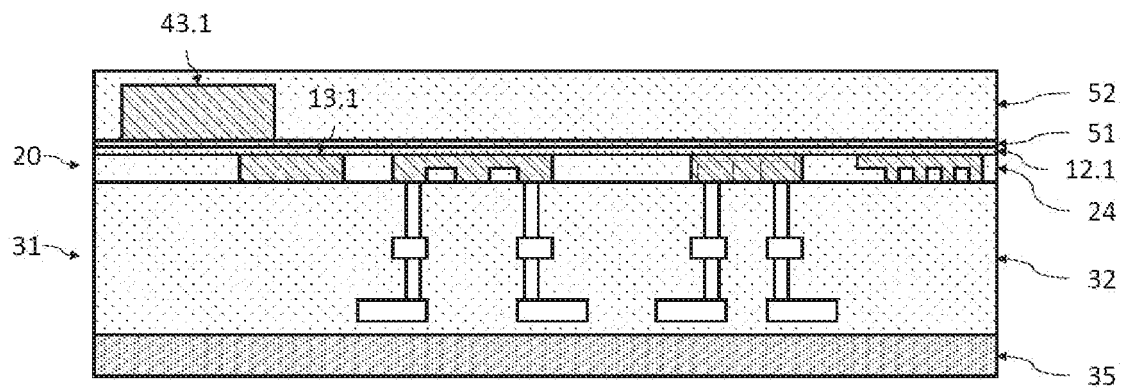


Fig.1G

[Fig. 1H]

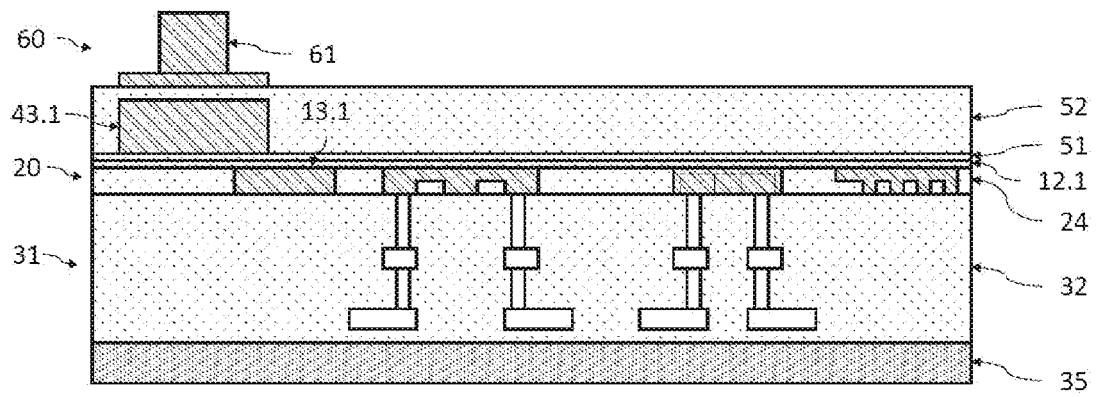


Fig.1H

[Fig. 1I]

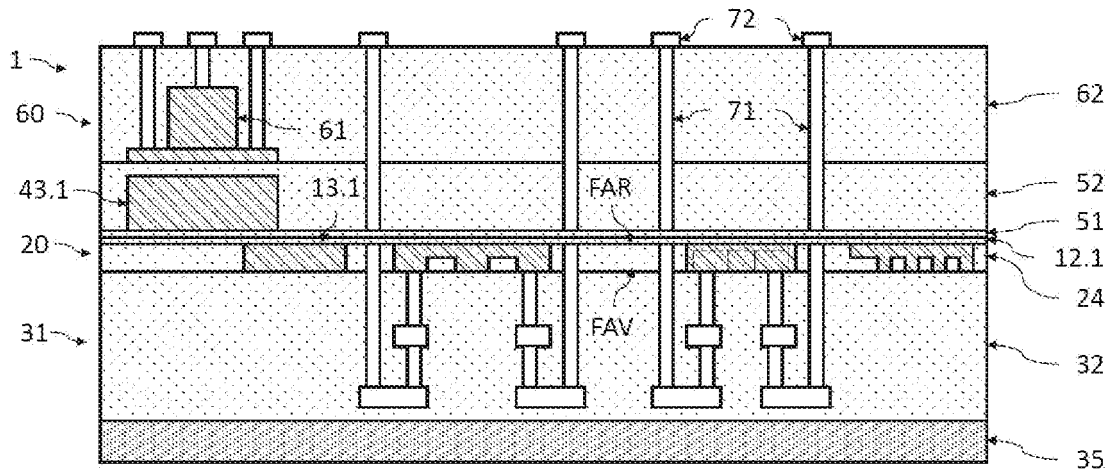


Fig.1I

[Fig. 2A]

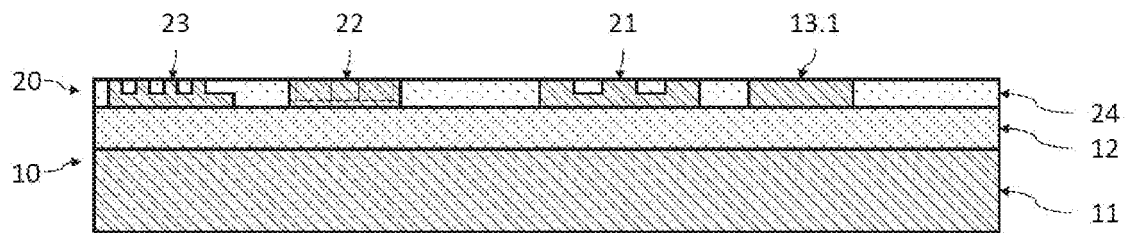


Fig.2A

[Fig. 2B]

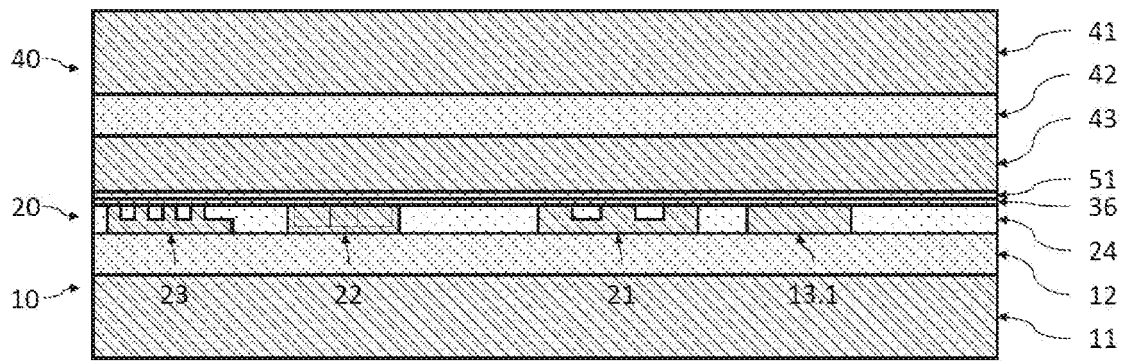


Fig.2B

[Fig. 2C]

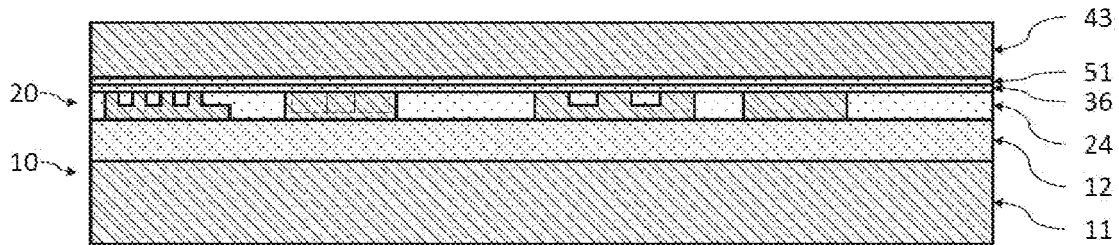


Fig.2C

[Fig. 2D]

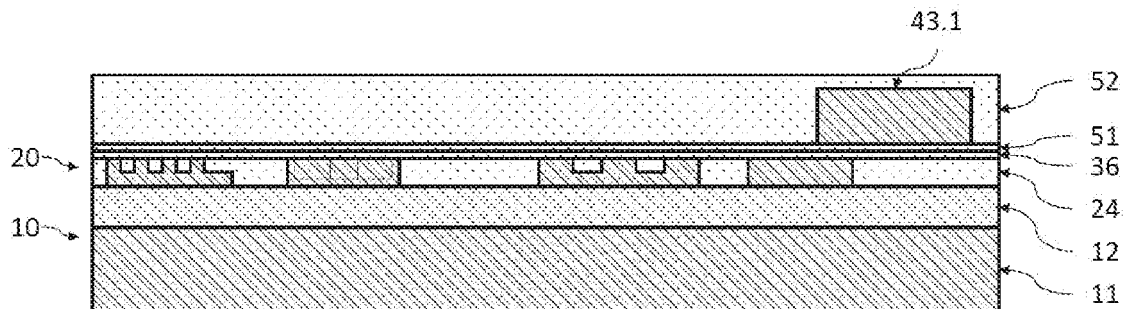


Fig.2D

[Fig. 2E]

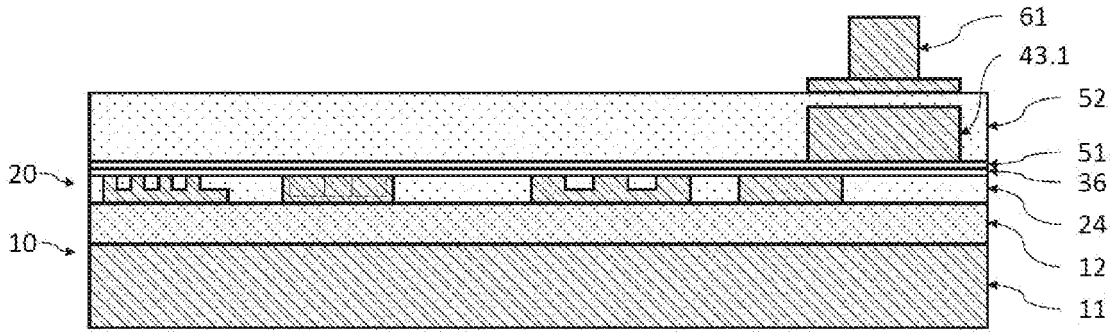


Fig.2E

[Fig. 2F]

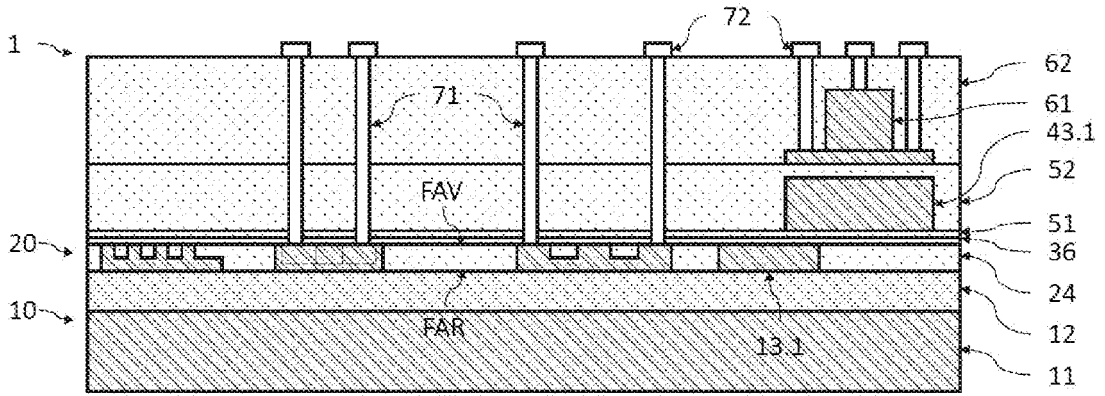


Fig.2F

[Fig. 3A]

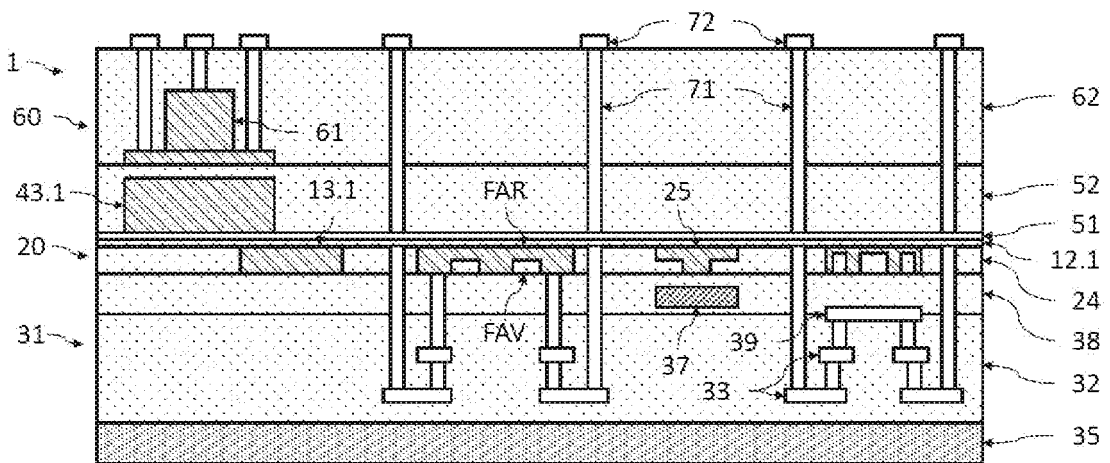


Fig.3A



[Fig. 4C]

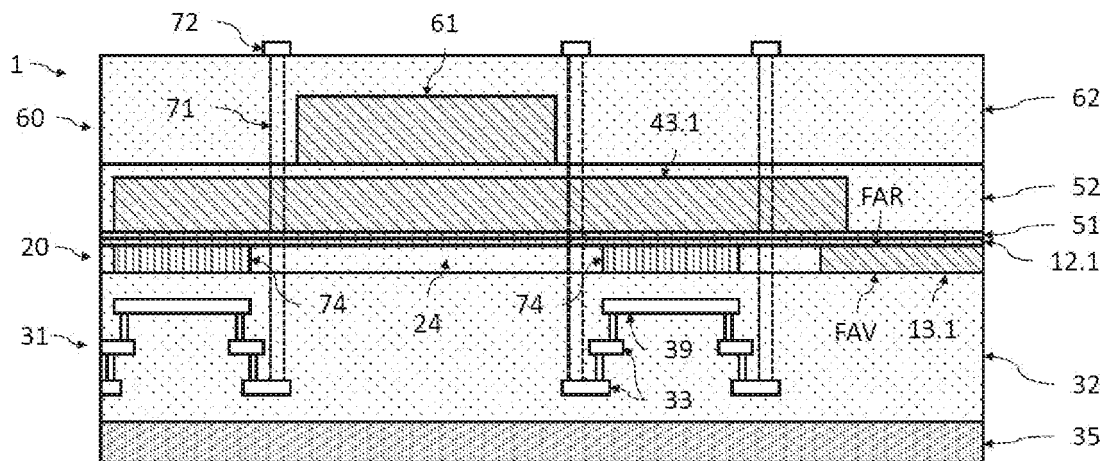


Fig.4C

**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**

N° d'enregistrement  
national

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

**FA 897653**  
**FR 2109593**

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
<b>X</b>	US 2016/377806 A1 (ELLIS-MONAGHAN JOHN J [US] ET AL) 29 décembre 2016 (2016-12-29) * figures 7, 11 * * alinéas [0002], [0003], [0015], [0039], [0040], [0042], [0043], [0046]-[0050], [0052], [0055]-[0060], [0070], [0072] * -----	1-15	G02B6/10 H01L21/98 H01L21/76
<b>A</b>	US 2015/140720 A1 (COLLINS TOM [BE]) 21 mai 2015 (2015-05-21) * figures 1A-4 * * alinéas [0043] - [0057] * -----	1-15	
<b>A</b>	US 2021/239903 A1 (BIAN YUSHENG [US] ET AL) 5 août 2021 (2021-08-05) * figure 18 * * alinéas [0030], [0051] * -----	1-15	
			<b>DOMAINES TECHNIQUES RECHERCHÉS (IPC)</b>
			<b>G02B</b>
Date d'achèvement de la recherche		Examineur	
<b>11 mai 2022</b>		<b>Zakynthinos, P</b>	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		.....	
P : document intercalaire		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 2109593 FA 897653**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.  
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **11-05-2022**  
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
<b>US 2016377806 A1</b>	<b>29-12-2016</b>	<b>AUCUN</b>	
-----			
<b>US 2015140720 A1</b>	<b>21-05-2015</b>	<b>CN 104335088 A</b>	<b>04-02-2015</b>
		<b>EP 2685297 A1</b>	<b>15-01-2014</b>
		<b>JP 6154465 B2</b>	<b>28-06-2017</b>
		<b>JP 2015527608 A</b>	<b>17-09-2015</b>
		<b>US 2015140720 A1</b>	<b>21-05-2015</b>
		<b>WO 2014009029 A1</b>	<b>16-01-2014</b>
-----			
<b>US 2021239903 A1</b>	<b>05-08-2021</b>	<b>AUCUN</b>	
-----			