

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年1月11日(11.01.2024)



(10) 国際公開番号
WO 2024/009343 A1

(51) 国際特許分類:
G01J 11/00 (2006.01) H04N 5/235 (2006.01)
G01J 1/42 (2006.01) H04N 5/3745 (2011.01)

(21) 国際出願番号: PCT/JP2022/026565

(22) 国際出願日: 2022年7月4日(04.07.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

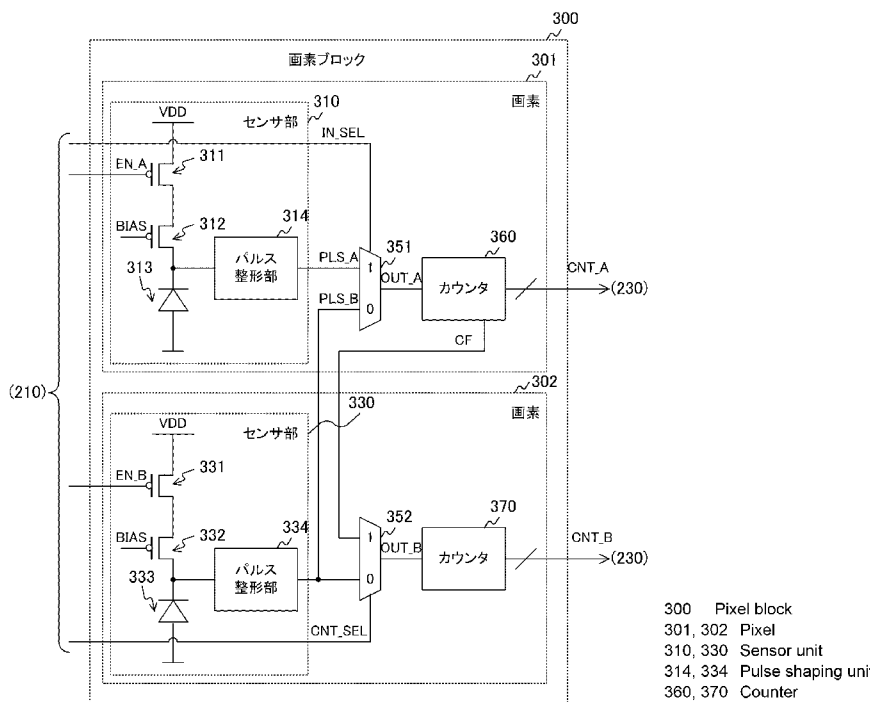
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 池田 泰二(IKEDA, Yasuji); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). ディン チン(DING, Qing); 70327 シュツットガルト ヘデルフィンガーシュトラッセ61 ソニーヨーロッパビー・ブイ ツヴァイイクニエーダーラッスン ドイチュランド シュツットガルト テクノロジーセンター内 Stuttgart (DE). エシエル ノアム(ESHEL, Noam); 07652 ニュージャージー州 パラマス ウェストカントリーロード115 ソニーエレクトロニクスインク内 New Jersey (US).

(74) 代理人: 丸島 敏一(MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2

(54) Title: OPTICAL DETECTION DEVICE

(54) 発明の名称: 光検出装置



(57) Abstract: Provided is an optical detection device that counts the number of pulses with a counter, wherein picture quality is improved. A first sensor unit generates first pulse signals in accordance with the incidence of photons. A second sensor unit generates second pulse signals in accordance with the incidence of photons. A first counter synchronizes with any of a plurality of signals including the first and second pulse signals to count a count value, and outputs a first digital signal indicating the count value and a first carry flag indicating whether an overflow has occurred. A second counter



京王新宿三丁目第二ビル 5 F クラフト
国際特許事務所 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

synchronizes with either the first carry flag or the second pulse signal to count a count value, and outputs a second digital signal indicating the count value.

(57) 要約: カウンタでパルス数を計数する光検出装置において、画質を向上させる。第1のセンサ部は、光子の入射に応じて第1のパルス信号を生成する。第2のセンサ部は、光子の入射に応じて第2のパルス信号を生成する。第1のカウンタは、第1および第2のパルス信号を含む複数の信号のいずれかに同期して計数値を計数し、当該計数値を示す第1のデジタル信号とオーバーフローが生じたか否かを示す第1のキャリーフラグとを出力する。第2のカウンタは、第1のキャリーフラグと第2のパルス信号とのいずれかに同期して計数値を計数し、当該計数値を示す第2のデジタル信号を出力する。

明 細 書

発明の名称：光検出装置

技術分野

[0001] 本技術は、光検出装置に関する。詳しくは、光子数を計数する光検出装置に関する。

背景技術

[0002] 従来より、撮像装置などにおいて、画像データを撮像するために複数の画素を配列した固体撮像素子が用いられている。例えば、SPAD (Single-Photon Avalanche Diode) と、パルス信号を生成する波形整形部とパルス数を計数するカウンタとを画素ごとに設けた光検出装置が提案されている（例えば、特許文献1 参照。）。この光検出装置では、2 画素の一方のカウンタが飽和した際に、2 画素のそれぞれのパルス信号の合成信号を他方のカウンタで計数している。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-140537号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、2 画素の一方のカウンタが飽和した際に画素加算することにより、合成信号の線形性の確保を図っている。しかしながら、上述の光検出装置では、画素のそれぞれの最大カウント値を増大することができず、ダイナミックレンジを拡大することができない。画素のそれぞれのカウンタの分解能を高くすれば、ダイナミックレンジを拡大し、画質を向上させることができるが、カウンタの回路規模が大きくなるため、好ましくない。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、カウンタでパルス数を計数する光検出装置において、画質を向上させることを目的とする。

課題を解決するための手段

- [0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、光子の入射に応じて第1のパルス信号を生成する第1のセンサ部と、光子の入射に応じて第2のパルス信号を生成する第2のセンサ部と、上記第1および第2のパルス信号を含む複数の信号のいずれかに同期して計数値を計数し、当該計数値を示す第1のデジタル信号とオーバーフローが生じたか否かを示す第1のキャリーフラグとを出力する第1のカウンタと、上記第1のキャリーフラグと上記第2のパルス信号とのいずれかに同期して計数値を計数し、当該計数値を示す第2のデジタル信号を出力する第2のカウンタとを具備する光検出装置である。これにより、カウンタの分解能が拡張されるという作用をもたらす。
- [0007] また、この第1の側面において、上記第1および第2のパルス信号のいずれかを選択して上記第1のカウンタに第1の出力信号として出力する第1のマルチプレクサと、上記第1のキャリーフラグと上記第2のパルス信号とのいずれかを選択して上記第2のカウンタに第2の出力信号として出力する第2のマルチプレクサとをさらに具備し、上記第1のカウンタは、上記第1の出力信号に同期して計数し、上記第2のカウンタは、上記第2の出力信号に同期して計数してもよい。これにより、マルチプレクサの出力信号に同期してパルス数が計数されるという作用をもたらす。
- [0008] また、この第1の側面において、上記第1のマルチプレクサは、照度が所定値を超えない低照度モードが設定された場合には上記第1のパルス信号を選択し、照度が上記所定値より高い高照度モードが設定された場合には上記第1および第2のパルス信号を交互に選択し、上記第2のマルチプレクサは、上記低照度モードが設定された場合には上記第2のパルス信号を選択し、上記高照度モードが設定された場合には上記第1のキャリーフラグを選択してもよい。これにより、高照度時にカウンタの分解能が拡張されるという作用をもたらす。
- [0009] また、この第1の側面において、上記第1および第2のデジタル信号に基

づいて照度が上記所定値より高いか否かを判定して上記高照度モードおよび上記低照度モードのいずれかを設定する判定器をさらに具備してもよい。これにより、画素内で照度が判定されるという作用をもたらす。

[0010] また、この第1の側面において、上記第1および第2のカウンタの少なくとも一方は、デジタル信号のうち特定のビットを上記判定器に出力し、上記判定器は、上記特定のビットに基づいて上記高照度モードおよび上記低照度モードのいずれかを設定してもよい。これにより、判定器が簡素化されるという作用をもたらす。

[0011] また、この第1の側面において、画素アレイ部に配列された複数の画素のうち同色の第1および第2の画素の一方に上記第1のセンサ部が配置され、他方に上記第2のセンサ部が配置されてもよい。これにより、画素ごとの計数値の差分が抑制されるという作用をもたらす。

[0012] また、この第1の側面において、上記第1および第2の画素を含む同色の複数の画素に入射光を導くマイクロレンズをさらに具備してもよい。これにより、位相差の検出が容易になるという作用をもたらす。

[0013] また、この第1の側面において、上記第1および第2のセンサ部を制御する制御回路をさらに具備し、上記第1および第2のセンサ部のそれぞれは、アバランシェフォトダイオードと、上記アバランシェフォトダイオードのカソード電位を所定電位まで戻すリチャージを行うリチャージトランジスタとを備え、上記制御回路は、上記リチャージを行う間隔であるカウント周期を複数の周期のいずれかに制御し、上記第1のマルチプレクサは、上記カウント周期が所定周期より長い長周期である場合には上記第1のパルス信号を選択し、上記カウント周期が上記所定周期より短い短周期である場合には上記第1および第2のパルス信号を交互に選択し、上記第2のマルチプレクサは、上記カウント周期が上記長周期である場合には上記第2のパルス信号を選択し、上記カウント周期が上記短周期である場合には上記第1のキャリアフラグを選択してもよい。これにより、消費電力が削減されるという作用をもたらす。

- [0014] また、この第1の側面において、カウント周期が上記長周期および上記短周期の一方の期間内に上記第1および第2のカウンタのそれぞれの計数を有効にするか否かを上記第1および第2のデジタル信号に基づいて判定する判定器をさらに具備し、上記第1および第2のセンサ部のそれぞれは、計数を無効にすると判定された場合には上記リチャージトランジスタをオフ状態にする論理ゲートをさらに備えてもよい。これにより、照度に応じて計数が有効または無効に制御されるという作用をもたらす。
- [0015] また、この第1の側面において、画素アレイ部に配列された複数の画素のうち第1および第2の画素の一方に上記第1のセンサ部が配置され、他方に上記第2のセンサ部が配置され、上記制御回路は、1フレームを撮像するためのフレーム期間内に上記カウント周期の切り替えを複数回に亘って行い、上記第1および第2のマルチプレクサは、上記フレーム期間内に選択先の切り替えを複数回に亘って行ってもよい。これにより、消費電力が削減されるという作用をもたらす。
- [0016] また、この第1の側面において、上記制御回路は、上記画素アレイ部の複数の行を順に選択して露光を開始させてもよい。これにより、フレームレートが向上するという作用をもたらす。
- [0017] また、この第1の側面において、上記制御回路は、上記フレーム期間の開始時に上記画素アレイ部の全画素を選択して同時に露光を開始させ、上記フレーム期間の終了直前に全画素を選択して同時に露光を終了させてもよい。これにより、ローリングシャッター歪みが抑制されるという作用をもたらす。
- [0018] また、この第1の側面において、上記制御回路は、上記フレーム期間中に上記画素アレイ部の複数の行を順に選択して露光を開始させてもよい。これにより、フレームレートが向上するという作用をもたらす。
- [0019] また、この第1の側面において、上記制御回路は、上記フレーム期間中に上記全画素を選択して同時に露光を終了させ、上記全画素の読出し完了後に上記カウント周期を切り替えてから上記全画素を選択して同時に露光を開始

させてもよい。これにより、ローリングシャッター歪みが抑制されるという作用をもたらす。

[0020] また、この第1の側面において、上記制御回路は、デジタル信号を伝送する信号線を共有する第1および第2の行の一方を同時に選択して露光させ、上記一方のデジタル信号の読出し中に上記第1および第2の行の他方を同時に選択して露光させてもよい。これにより、フレームレートが向上するという作用をもたらす。

[0021] また、この第1の側面において、上記第1および第2のパルス信号に対する論理演算の結果を第1の演算結果として出力する第1の論理ゲートと、上記第1のパルス信号と上記第1の演算結果とを含む複数の信号のいずれかを選択して上記第1のカウantaに第1の出力信号として出力する第1のマルチプレクサと、上記第1のキャリーフラグと上記第2のパルス信号とのいずれかを選択して上記第2のカウantaに第2の出力信号として出力する第2のマルチプレクサとをさらに具備し、上記第1のカウantaは、上記第1の出力信号に同期して計数し、上記第2のカウantaは、上記第2の出力信号に同期して計数してもよい。これにより、画素加算が可能になるという作用をもたらす。

[0022] また、この第1の側面において、上記第1および第2のセンサ部を制御する制御回路をさらに具備し、上記第1および第2のセンサ部のそれぞれは、アバランシェフォトダイオードと、上記アバランシェフォトダイオードのカソード電位を所定電位まで戻すリチャージを行うリチャージトランジスタとを備え、上記制御回路は、上記リチャージを行う間隔であるカウanta周期を複数の周期のいずれかに制御し、上記第1のマルチプレクサは、上記カウanta周期が所定周期より長い長周期である場合には上記第1のパルス信号を選択し、上記カウanta周期が上記所定周期より短い短周期である場合には上記第1および第2のパルス信号を交互に選択し、上記第2のマルチプレクサは、上記カウanta周期が上記長周期である場合には上記第2のパルス信号を選択し、上記カウanta周期が上記短周期である場合には上記第1のキャリーフ

ラグを選択してもよい。これにより、消費電力が削減されるという作用をもたらす。

[0023] また、この第1の側面において、光子の入射に応じて第3のパルス信号を生成する第3のセンサ部と、光子の入射に応じて第4のパルス信号を生成する第4のセンサ部と、上記第3および第4のパルス信号に対する論理演算の結果を第2の演算結果として出力する第2の論理ゲートと、上記第1および第2の論理ゲートのそれぞれの出力に対する論理演算の結果を第3の演算結果として出力する第3の論理ゲートと、オーバーフローが生じたか否かを示す第2のキャリーフラグと上記第3のパルス信号と上記第2の演算結果とのいずれかを第3の出力信号として出力する第3のマルチプレクサと、上記第3の出力信号に同期して計数値を計数し、当該計数値を示す第3のデジタル信号とオーバーフローが生じたか否かを示す第3のキャリーフラグとを出力する第3のカウンタと、上記第3のキャリーフラグと上記第4のパルス信号とのいずれかを第4の出力信号として出力する第4のマルチプレクサと、上記第4の出力信号に同期して計数値を計数し、当該計数値を示す第4のデジタル信号を出力する第4のカウンタとをさらに具備し、上記第1のマルチプレクサは、上記第1のパルス信号と上記第1の演算結果と上記第3の演算結果とのいずれかを選択し、上記第2のカウンタは、上記第2のキャリーフラグをさらに生成してもよい。これにより、4画素または2画素の加算が可能になるという作用をもたらす。

[0024] また、この第1の側面において、上記第1のマルチプレクサは、照度が所定値を超えない非加算低照度モードが設定された場合には上記第1のパルス信号を選択し、照度が上記所定値より高い非加算高照度モードが設定された場合には上記第1のパルス信号と上記第1の演算結果とを交互に選択し、加算モードが設定された場合には上記第1の演算結果を選択し、上記第2のマルチプレクサは、上記非加算低照度モードが設定された場合には上記第2のパルス信号を選択し、上記非加算高照度モードが設定された場合には上記第1のキャリーフラグを選択し、上記加算モードが設定された場合には上記第1

のキャリーフラグを選択してもよい。これにより、高照度時または画素加算時にカウンタの分解能が拡張されるという作用をもたらす。

[0025] また、この第1の側面において、上記第1のセンサ部の一部と上記第2のセンサ部の一部とは、所定の画素チップに配置され、上記第1のセンサ部の残りとは上記第2のセンサ部の残りとは上記第1および第2のカウンタは、所定の回路チップに配置されてもよい。これにより、多画素化が容易になるという作用をもたらす。

[0026] また、この第1の側面において、複数の画素を制御する制御回路をさらに具備し、上記複数の画素のうち第1および第2の画素の一方に上記第1のセンサ部が配置され、他方に上記第2のセンサ部が配置され、上記制御回路は、上記複数の画素の一部を制御してパルス信号を生成させてもよい。これにより、読出し時間やデータ量が削減されるという作用をもたらす。

図面の簡単な説明

[0027] [図1]本技術の第1の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]本技術の第1の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図3]本技術の第1の実施の形態における画素ブロックの一構成例を示す回路図である。

[図4]本技術の第1の実施の形態におけるカウンタの一構成例を示す回路図である。

[図5]本技術の第1の実施の形態における制御回路の動作の一例を示す図である。

[図6]本技術の第1の実施の形態における低照度モードの画素ブロックの状態の一例を示す図である。

[図7]本技術の第1の実施の形態における高照度モードで画素Aを露光時の画素ブロックの状態の一例を示す図である。

[図8]本技術の第1の実施の形態における高照度モードで画素Bを露光時の画

素ブロックの状態の一例を示す図である。

[図9]本技術の第1の実施の形態における低照度モードの固体撮像素子の動作の一例を示すタイミングチャートである。

[図10]本技術の第1の実施の形態における高照度モードの固体撮像素子の動作の一例を示すタイミングチャートである。

[図11]本技術の第1の実施の形態における固体撮像素子の動作の一例を示すフローチャートである。

[図12]本技術の第2の実施の形態における画素ブロックの一構成例を示す回路図である。

[図13]本技術の第2の実施の形態における低照度モードから高照度モードに切り替わる際のタイミングチャートの一例である。

[図14]本技術の第2の実施の形態における高照度モードから低照度モードに切り替わる際のタイミングチャートの一例である。

[図15]本技術の第3の実施の形態における画素ブロックの一構成例を示す回路図である。

[図16]本技術の第3の実施の形態における低照度モードから高照度モードに切り替わる際のタイミングチャートの一例である。

[図17]本技術の第3の実施の形態における高照度モードから低照度モードに切り替わる際のタイミングチャートの一例である。

[図18]本技術の第4の実施の形態における画素ブロック内の各画素の配置例を示す図である。

[図19]本技術の第4の実施の形態におけるクアドベイヤ配列の各画素の配置例を示す図である。

[図20]本技術の第5の実施の形態における画素ブロック内の各画素の配置例を示す図である。

[図21]本技術の第6の実施の形態における画素ブロックの一構成例を示す回路図である。

[図22]本技術の第6の実施の形態における制御回路の動作の一例を示す図で

ある。

[図23]本技術の第6の実施の形態における長周期カウント期間の固体撮像素子の動作の一例を示すタイミングチャートである。

[図24]本技術の第6の実施の形態における短周期カウント期間のうち画素Aの露光期間の固体撮像素子の動作の一例を示すタイミングチャートである。

[図25]本技術の第6の実施の形態における短周期カウント期間のうち画素Bの露光期間の固体撮像素子の動作の一例を示すタイミングチャートである。

[図26]本技術の第6の実施の形態の変形例における制御回路の動作の一例を示す図である。

[図27]本技術の第7の実施の形態における画素ブロックの一構成例を示す回路図である。

[図28]本技術の第7の実施の形態における短周期カウント期間のうち画素Aの露光期間の固体撮像素子の動作の一例を示すタイミングチャートである。

[図29]本技術の第7の実施の形態における短周期カウント期間のうち画素Bの露光期間の固体撮像素子の動作の一例を示すタイミングチャートである。

[図30]本技術の第7の実施の形態における長周期カウント期間の固体撮像素子の動作の一例を示すタイミングチャートである。

[図31]本技術の第8の実施の形態における所定行の1V期間内のカウント周期の一例を示す図である。

[図32]本技術の第9の実施の形態における固体撮像素子の露光、読出し動作の一例を示すタイミングチャートである。

[図33]本技術の第10の実施の形態における固体撮像素子の露光、読出し動作の一例を示すタイミングチャートである。

[図34]本技術の第11の実施の形態における固体撮像素子の露光、読出し動作の一例を示すタイミングチャートである。

[図35]本技術の第12の実施の形態における固体撮像素子の露光、読出し動作の一例を示すタイミングチャートである。

[図36]本技術の第13の実施の形態における画素ブロックの一構成例を示す

回路図である。

[図37]本技術の第13の実施の形態における制御回路の動作の一例を示す図である。

[図38]本技術の第14の実施の形態における画素ブロックの一構成例を示す回路図である。

[図39]本技術の第14の実施の形態における加算モード時の固体撮像素子の動作の一例を示すタイミングチャートである。

[図40]本技術の第15の実施の形態における画素ブロック内の各画素の配置例を示す図である。

[図41]本技術の第15の実施の形態における画素ブロックの一構成例を示す回路図である。

[図42]本技術の第15の実施の形態における制御回路の動作の一例を示す図である。

[図43]本技術の第16の実施の形態における制御回路の動作の一例を示す図である。

[図44]本技術の第17の実施の形態における画素ブロックの一構成例を示す回路図である。

[図45]本技術の第17の実施の形態における画素ブロックの別の例を示す回路図である。

[図46]本技術の第18の実施の形態における制御対象の領域の一例を示す図である。

[図47]車両制御システムの概略的な構成例を示すブロック図である。

[図48]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0028] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（高照度時にカウンタを拡張する例）
2. 第2の実施の形態（照度を判定してカウンタを拡張する例）

3. 第3の実施の形態（特定のビットに基づいてカウンタを拡張する例）
4. 第4の実施の形態（同色の2画素が高照度時にカウンタを拡張する例）
5. 第5の実施の形態（マイクロレンズ下の2画素が高照度時にカウンタを拡張する例）
6. 第6の実施の形態（カウント周期が短周期の際にカウンタを拡張する例）
7. 第7の実施の形態（短周期の際にカウンタを拡張し、計数を有効または無効にする例）
8. 第8の実施の形態（1フレーム内でカウント周期を切り替え、短周期の際にカウンタを拡張する例）
9. 第9の実施の形態（ローリングシャッター方式を用い、短周期の際にカウンタを拡張する例）
10. 第10の実施の形態（フレームの開始、終了時にグローバルシャッター方式を用い、短周期の際にカウンタを拡張する例）
11. 第11の実施の形態（グローバルシャッター方式を用い、短周期の際にカウンタを拡張する例）
12. 第12の実施の形態（グローバルシャッター方式を用いて露光中に読み出し、短周期の際にカウンタを拡張する例）
13. 第13の実施の形態（画素加算時にカウンタを拡張する例）
14. 第14の実施の形態（画素加算時、または、カウンタ周期が短周期のときにカウンタを拡張する例）
15. 第15の実施の形態（4画素の画素加算時にカウンタを拡張する例）
16. 第16の実施の形態（画素加算時、または、高照度時にカウンタを拡張する例）
17. 第17の実施の形態（積層構造を用い、高照度時にカウンタを拡張する例）

１８．第１８の実施の形態（一部の画素を制御し、高照度時にカウンタを拡張する例）

１９．移動体への応用例

[0029] <１．第１の実施の形態>

[撮像装置の構成例]

図１は、本技術の実施の形態における撮像装置１００の一構成例を示すブロック図である。この撮像装置１００は、画像データを撮像するものであり、撮像レンズ１１０、固体撮像素子２００、記録部１２０および撮像制御部１３０を備える。撮像装置１００としては、例えば、スマートフォン、デジタルカメラ、パーソナルコンピュータや車載カメラが想定される。なお、撮像装置１００は、特許請求の範囲に記載の光検出装置の一例である。

[0030] 撮像レンズ１１０は、入射光を集光して固体撮像素子２００に導くものである。固体撮像素子２００は、撮像制御部１３０の制御に従って画像データを撮像するものである。この固体撮像素子２００は、撮像した画像データを記録部１２０に信号線２０９を介して供給する。記録部１２０は、画像データを記録するものである。

[0031] 撮像制御部１３０は、固体撮像素子２００を制御して画像データを撮像させるものである。この撮像制御部１３０は、例えば、垂直同期信号などの同期信号を固体撮像素子２００に信号線１３９を介して供給する。

[0032] なお、撮像装置１００は、インターフェースをさらに備え、そのインターフェースにより画像データを外部に送信してもよいし、表示部をさらに備え、表示部に画像データを表示してもよい。

[0033] [固体撮像素子の構成例]

図２は、本技術の第１の実施の形態における固体撮像素子２００の一構成例を示すブロック図である。この固体撮像素子２００は、制御回路２１０、画素アレイ部２２０および信号処理部２３０を備える。これらの回路は、単一の半導体チップに配置される。

[0034] 画素アレイ部２２０には、複数の画素が二次元格子状に配列される。以下

、所定方向（水平方向など）に配列された画素の集合を「行」と称し、行に垂直な方向に配列された画素の集合を列と称する。

[0035] また、画素アレイ部 220 は、複数の画素ブロック 300 に分割される。それぞれの画素ブロック 300 には、複数の画素が配列される。例えば、画素ブロック 300 には、列方向に 2 画素が配列されるものとする。なお、画素ブロック 300 内の各画素を、行方向や斜め方向に配列することもできる。

[0036] 制御回路 210 は、垂直同期信号に同期して行を順に選択するものである。画素は、露光期間内に光子が入射された回数を計数して、その計数値を示すデジタル信号を画素信号として信号処理部 230 に出力するものである。

[0037] また、制御回路 210 には、高照度モードおよび低照度モードを含む複数のモードのいずれかを指定するモード信号 MODE が入力される。高照度モードは、照度が所定値よりも高い高照度時に設定されるモードであり、低照度モードは、照度が所定値以下の低照度時に設定されるモードである。測光して照度が所定値よりも高いか否かを判定し、モードを設定する判定回路は、固体撮像素子 200 の内部のうち画素アレイ部 220 の後段（信号処理部 230 など）や、固体撮像素子 200 の外部に配置される。

[0038] なお、高照度モードや低照度モードをユーザが手動操作により設定することもできる。この場合には、判定回路が不要になる。

[0039] 信号処理部 230 は、画素信号を配列した画像データ（フレーム）に対して、各種の信号処理を実行するものである。この信号処理部 230 は、処理後のフレームを記録部 120 に出力する。

[0040] [画素の構成例]

図 3 は、本技術の第 1 の実施の形態における画素ブロック 300 の一構成例を示す回路図である。この画素ブロック 300 には、画素 301 および 302 が配列される。画素 301 は、センサ部 310、マルチプレクサ 351 およびカウンタ 360 を備える。画素 302 は、センサ部 330、マルチプレクサ 352 およびカウンタ 370 を備える。

- [0041] センサ部310は、pMOSトランジスタ311および312と、SPAD313およびパルス整形部314を備える。pMOSトランジスタ311および312は、pMOSトランジスタ311を電源側として、SPAD313のカソードと、電源電圧VDDとの間において直列に接続される。pMOSトランジスタ311のゲートには、制御回路210からのイネーブル信号EN__Aが入力され、pMOSトランジスタ312のゲートには、所定のバイアス電圧BIASが印加される。
- [0042] イネーブル信号EN__Aがローレベルの場合に画素301はイネーブルとなり、光子の入射に応じてSPAD313のカソード電位が降下する。一方、イネーブル信号EN__Aがハイレベルの場合に画素301はディセーブルとなり、光子が入射されてもカソード電位は降下しない。
- [0043] パルス整形部314は、SPAD313のカソード電位の降下を検出し、波形を整形してパルス信号PLS__Aを生成するものである。このパルス整形部314は、パルス信号PLS__Aをマルチプレクサ351に供給する。
- [0044] センサ部330は、pMOSトランジスタ331および332と、SPAD333およびパルス整形部334を備え、その回路構成は、センサ部310と同様である。ただし、pMOSトランジスタ331のゲートには制御回路210からのイネーブル信号EN__Bが入力され、パルス整形部334は、パルス信号PLS__Bを生成してマルチプレクサ351および352に供給する。
- [0045] マルチプレクサ351は、制御回路210からの選択信号IN__SELに従って、パルス信号PLS__AおよびPLS__Bのいずれかを選択し、出力信号OUT__Aとしてカウンタ360に出力するものである。例えば、選択信号IN__SELが「1」の場合にパルス信号PLS__Aが選択され、選択信号IN__SELが「0」の場合にパルス信号PLS__Bが選択される。
- [0046] カウンタ360は、出力信号OUT__Aに同期して計数値を計数し、その計数値を示すデジタル信号CNT__Aを信号処理部230に出力するものである。また、このカウンタ360は、デジタル信号CNT__Aで表現可能な

範囲を計数結果が超えた（すなわち、オーバーフローが生じた）か否かを示すキャリーフラグCFを生成し、マルチプレクサ352に出力する。

[0047] マルチプレクサ352は、制御回路210からの選択信号CNT__SELに従って、パルス信号PLS__BおよびキャリーフラグCFのいずれかを選択し、出力信号OUT__Bとしてカウンタ370に出力するものである。例えば、選択信号CNT__SELが「1」の場合にキャリーフラグCFが選択され、選択信号CNT__SELが「0」の場合にパルス信号PLS__Bが選択される。

[0048] カウンタ370は、出力信号OUT__Bに同期して計数値を計数し、その計数値を示すデジタル信号CNT__Bを信号処理部230に出力するものである。

[0049] まとめると、センサ部310は、光子の入射に応じてパルス信号PLS__Aを生成する。センサ部330は、光子の入射に応じてパルス信号PLS__Bを生成する。マルチプレクサ351は、パルス信号PLS__AおよびPLS__Bのいずれかを選択し、出力信号OUT__Aとしてカウンタ360に出力する。カウンタ360は、出力信号OUT__Aに同期して計数値を計数し、その計数値を示すデジタル信号CNT__Aと、オーバーフローしたか否かを示すキャリーフラグCFを出力する。

[0050] また、マルチプレクサ352は、パルス信号PLS__BおよびキャリーフラグCFのいずれかを選択し、出力信号OUT__Bとしてカウンタ370に出力する。カウンタ370は、出力信号OUT__Bに同期して計数値を計数し、その計数値を示すデジタル信号CNT__Bを出力する。

[0051] なお、センサ部310および330は、特許請求の範囲に記載の第1および第2のセンサ部の一例である。マルチプレクサ351および352は、特許請求の範囲に記載の第1および第2のマルチプレクサの一例である。カウンタ360および370は、特許請求の範囲に記載の第1および第2のカウンタの一例である。

[0052] また、画素ブロック300内に2画素を配列しているが、3画素以上を配

列することもできる。この場合、画素数に応じて、センサ部、マルチプレクサおよびカウンタが追加される。また、画素数を M (M は整数)個とすると、 m (m は、 0 乃至 $M-1$ の整数)個目のカウンタのキャリーフラグが、 $m+1$ 個目のマルチプレクサを介して $m+1$ 個目のカウンタに入力される。

[0053] [カウンタの構成例]

図4は、本技術の第1の実施の形態におけるカウンタ360および370の一構成例を示す回路図である。カウンタ360は、フリップフロップ361乃至364を備え、カウンタ370は、フリップフロップ371乃至374を備える。

[0054] フリップフロップ361乃至364のそれぞれは、クロック端子に入力された信号に同期して、入力端子Dに入力された入力信号を保持し、出力端子Qから出力する。

[0055] フリップフロップ361のクロック端子には、マルチプレクサ351からの出力信号OUT__Aが入力される。また、フリップフロップ361の反転出力端子 $\times Q$ は、その入力端子Dとフリップフロップ362のクロック端子とに接続される。フリップフロップ362の反転出力端子 $\times Q$ は、その入力端子Dとフリップフロップ363のクロック端子とに接続される。フリップフロップ363の反転出力端子 $\times Q$ は、その入力端子Dとフリップフロップ364のクロック端子とに接続される。フリップフロップ364の反転出力端子 $\times Q$ は、その入力端子Dに接続される。また、フリップフロップ364の反転出力端子 $\times Q$ からマルチプレクサ352へ、キャリーフラグCFが出力される。

[0056] フリップフロップ361乃至364のそれぞれの出力端子Qからのビットは、デジタル信号CNT__Aの第1桁から第4桁までのビットとして出力される。

[0057] カウンタ370の回路構成は、キャリーフラグCFが出力されない点以外は、カウンタ360と同様である。

[0058] なお、カウンタ360および370の分解能を4ビットとしているが、こ

これらのカウンタの分解能は、4ビットに限定されない。また、カウンタ360および370のそれぞれの回路構成は、マルチプレクサ351や352からの信号に同期して計数することができるものであれば、同図に例示した回路構成に限定されない。

[0059] 〔固体撮像素子の動作例〕

図5は、本技術の第1の実施の形態における制御回路210の動作の一例を示す図である。画素ブロック300内の2画素（画素301および302）の一方を画素Aとし、他方を画素Bとする。

[0060] 低照度モードが設定された場合に制御回路210は、選択信号IN__SELを「1」にし、選択信号CNT__SELを「0」にする。これにより、画素Aではパルス信号PLS__Aが選択され、画素Bではパルス信号PLS__Bが選択される。また、制御回路210はイネーブル信号EN__AおよびEN__Bの両方を「0」（すなわち、イネーブル）にする。これらの制御により、画素AおよびBの両方が露光される。

[0061] 一方、高照度モードが設定された場合には、画素AおよびBの一方のみが露光され、露光対象は一定時間ごとに切り替えられる。画素Aの露光期間内に制御回路210は、選択信号IN__SELを「1」にし、選択信号CNT__SELを「1」にする。これにより、画素Aではパルス信号PLS__Aが選択され、画素BではキャリーフラグCFが選択される。また、制御回路210はイネーブル信号EN__Aを「0」（イネーブル）にし、イネーブル信号EN__Bを「1」（すなわち、ディセーブル）にする。

[0062] また、画素Bの露光期間内に制御回路210は、選択信号IN__SELを「0」にし、選択信号CNT__SELを「1」にする。これにより、画素Aではパルス信号PLS__Bが選択され、画素BではキャリーフラグCFが選択される。また、制御回路210はイネーブル信号EN__Aを「1」（ディセーブル）にし、イネーブル信号EN__Bを「0」（イネーブル）にする。

[0063] 図6は、本技術の第1の実施の形態における低照度モードの画素ブロック300の状態の一例を示す図である。低照度モードが設定された場合には、

マルチプレクサ351がパルス信号PLS__Aを選択し、マルチプレクサ352がパルス信号PLS__Bを選択する。また、カウンタ360は、出力信号OUT__A（すなわち、パルス信号PLS__A）に同期して計数し、カウンタ370は、出力信号OUT__B（すなわち、パルス信号PLS__B）に同期して計数する。このように、低照度モードにおいては、画素ごとに、その画素のパルス数が計数される。画素ごとのカウンタの分解能をN（Nは、整数）ビットとすると、それぞれの計数値の最大値は、 2^N となる。

[0064] 図7は、本技術の第1の実施の形態における高照度モードで画素Aを露光時の画素ブロックの状態の一例を示す図である。高照度モードにおいて画素Aの露光期間内にマルチプレクサ351がパルス信号PLS__Aを選択し、マルチプレクサ352がカウンタ360からのキャリーフラグCFを選択する。また、カウンタ360は、出力信号OUT__A（パルス信号PLS__A）に同期して計数し、カウンタ370は、出力信号OUT__B（すなわち、キャリーフラグCF）に同期して計数する。

[0065] 図8は、本技術の第1の実施の形態における高照度モードで画素Bを露光時の画素ブロックの状態の一例を示す図である。高照度モードにおいて画素Bの露光期間内にマルチプレクサ351がパルス信号PLS__Bを選択し、マルチプレクサ352がカウンタ360からのキャリーフラグCFを選択する。また、カウンタ360は、出力信号OUT__A（パルス信号PLS__B）に同期して計数し、カウンタ370は、出力信号OUT__B（すなわち、キャリーフラグCF）に同期して計数する。

[0066] 図6および図7に例示したように、高照度モードが設定されると、カウンタ360および370が直列に接続され、前段のカウンタ360でオーバーフローが生じた際に、後段のカウンタ370が計数する。このように、高照度時は、画素ブロック300内の2画素によりカウンタ360および370が共有されることになる。

[0067] 高照度時に信号処理部230は、カウンタ360の出力（デジタル信号CNT__A）を上位ビット列とし、カウンタ370の出力（デジタル信号CNT__B）を低位ビット列とし、カウンタ360および370の出力を合成して、デジタル信号CNT__Cを生成する。

T__B)を下位ビット列とした 2^N ビットのデジタル信号を画素AおよびBのそれぞれについて取得する。カウント頻度の高くなる高照度時に、画素ごとのカウンタの分解能は 2^N ビットに拡張され、それぞれの計数値の最大値は、 2^{2N} に拡張される。これにより、高照度時にダイナミックレンジを拡大して、画像データの画質を向上させることができる。

[0068] 図9は、本技術の第1の実施の形態における低照度モードの固体撮像素子200の動作の一例を示すタイミングチャートである。タイミングT0において、低照度モードが設定されたものとする。

[0069] 制御回路210は、イネーブル信号EN__AおよびEN__Bをハイレベルにし、選択信号IN__SELをハイレベルにし、選択信号CNT__SELをローレベルにする。タイミングT1などにおいてパルス信号PLS__Aが生成され、そのパルス信号に同期してカウンタ360がデジタル信号CNT__Aをカウントアップする。タイミングT2などにおいてパルス信号PLS__Bが生成され、そのパルス信号に同期してカウンタ370がデジタル信号CNT__Bをカウントアップする。同図に例示するように、低照度モードにおいては、2画素が同時に露光され、各画素で並列にパルス数が計数される。

[0070] 図10は、本技術の第1の実施の形態における高照度モードの固体撮像素子の動作の一例を示すタイミングチャートである。タイミングT10において、高照度モードが設定されたものとする。タイミングT10からT12までの期間内に画素Aが露光されるものとし、タイミングT12からT14までの期間内に画素Bが露光されるものとする。タイミングT14以降も同様に、画素AおよびBが交互に露光される。

[0071] タイミングT10からT12までの期間内に制御回路210は、イネーブル信号EN__Aをハイレベルにし、イネーブル信号EN__Bをローレベルにする。また、制御回路210は、選択信号IN__SELおよびCNT__SELをハイレベルにする。タイミングT10以降にパルス信号PLS__Aが生成され、そのパルス信号に同期してカウンタ360がデジタル信号CNT__Aをカウントアップする。

- [0072] そして、タイミングT 1 1 でデジタル信号C N T __ Aがオーバーフローすると、キャリーフラグに同期してカウンタ3 7 0がデジタル信号C N T __ Bをカウントアップする。
- [0073] そして、タイミングT 1 2 からT 1 4 までの期間内に制御回路2 1 0は、イネーブル信号E N __ Aをローレベルにし、イネーブル信号E N __ Bをハイレベルにする。また、制御回路2 1 0は、選択信号I N __ S E Lをローレベルにし、選択信号C N T __ S E Lをハイレベルにする。タイミングT 1 2以降にパルス信号P L S __ Bが生成され、そのパルス信号に同期してカウンタ3 6 0がデジタル信号C N T __ Aをカウントアップする。
- [0074] そして、タイミングT 1 3 でデジタル信号C N T __ Aがオーバーフローすると、キャリーフラグに同期してカウンタ3 7 0がデジタル信号C N T __ Bをカウントアップする。
- [0075] 図1 1 は、本技術の第1の実施の形態における固体撮像素子2 0 0の動作の一例を示すフローチャートである。この動作は、例えば、低照度モードが設定されたときに開始される。
- [0076] 全画素で、画素内のカウンタがパルス数を計数する（ステップS 9 0 1）。信号処理部2 3 0は、信号処理を行ってフレームを生成する（ステップS 9 0 2）。
- [0077] 画素の外部の回路（信号処理部2 3 0など）は、フレームに基づいて高照度であるか否かを判断する（ステップS 9 0 3）。例えば、全画素の計数値の合計値や平均値が、閾値以上の場合に高照度と判断される。
- [0078] 高照度でない場合（ステップS 9 0 3：N o）、固体撮像素子2 0 0は、低照度モードを設定し、ステップS 9 0 1以降を実行する。
- [0079] 一方、高照度である場合（ステップS 9 0 3：Y e s）、固体撮像素子2 0 0は、高照度モードを設定し、画素Aで、その画素内のカウンタがパルス数を計数する（ステップS 9 0 4）。次に画素Bで、その画素内のカウンタがパルス数を計数する（ステップS 9 0 5）。信号処理部2 3 0は、信号処理を行ってフレームを生成する（ステップS 9 0 6）。ステップS 9 0 6の

後に固体撮像素子200は、ステップS903以降を繰り返す。

[0080] なお、固体撮像素子200は、フレームごとに高照度であるか否かを判定しているが、この構成に限定されず、モードを切り替えてから2フレーム以上を撮像した際に高照度であるか否かを判定することもできる。

[0081] このように、本技術の第1の実施の形態によれば、高照度モードにおいてカウンタ360からのキャリーフラグに同期してカウンタ370が計数するため、高照度時にダイナミックレンジを拡大することができる。

[0082] <2. 第2の実施の形態>

上述の第1の実施の形態では、画素の外部の回路が高照度であるか否かを判定していたが、その判定を画素内で行うこともできる。この第2の実施の形態における固体撮像素子200は、高照度であるか否かを判定する判定器を画素ブロック300内に配置した点において第1の実施の形態と異なる。

[0083] 図12は、本技術の第2の実施の形態における画素ブロック300の一構成例を示す回路図である。この第2の実施の形態の画素ブロック300は、判定器380をさらに備える点において第1の実施の形態と異なる。判定器380は、画素ブロック300内の2画素で共有される。

[0084] 判定器380には、カウンタ360および370からのデジタル信号CNT_AおよびCNT_Bが入力される。この判定器380は、それらのデジタル信号に基づいて、高照度であるか否かを判定する。

[0085] (1) 例えば、判定器380は、画素ブロック300内の全画素、または、一部の代表画素（中央付近の画素など）の計数値の合計値や平均値を算出し、その値が閾値以上の場合に高照度と判定し、閾値未満の場合に低照度と判定する。

[0086] (2) あるいは、判定器380は、画素ごとに、計数値が閾値以上である否かを判断し、それらの結果に基づいて照度を判定する。

[0087] (2-1) 判定方法(2)において例えば、判定器380は、計数値が閾値以上の画素数が、計数値が閾値未満の画素数以上であれば、高照度と判定する。

- [0088] (2-2) または、判定器 380 は、計数値が閾値未満の画素数が、計数値が閾値以上の画素数以上であれば、低照度と判定する。
- [0089] (2-3) もしくは、判定器 380 は、計数値が閾値以上の画素が 1 つ以上の際に、高照度と判定する。
- [0090] (2-4) または、判定器 380 は、計数値が閾値未満の画素が 1 つ以上の際に、低照度と判定する。
- [0091] 判定器 380 は、判定結果に基づいて、イネーブル信号 EN_A および EN_B と、選択信号 IN_SEL および CNT_SEL とを制御する。これらの信号の制御方法は、第 1 の実施の形態と同様である。
- [0092] 同図に例示するように、画素ブロック 300 のそれぞれが高照度であるかを判定するため、画素ごとの照度に応じた適切な制御を行うことができる。
- [0093] 図 13 は、本技術の第 2 の実施の形態における低照度モードから高照度モードに切り替わる際のタイミングチャートの一例である。高照度であるか否かの判定方法として、前述の (2-3) が用いられるものとする。着目した画素ブロック 300 について低照度モードが設定され、画素 B の計数値 (CNT_B) がタイミング T_0 で閾値以上になったものとする。
- [0094] 判定器 380 は、高照度であると判断し、計数値の読出しの後のタイミング T_1 で、高照度モードに切り替える。高照度モードにおいては、タイミング T_1 から T_2 までに画素 A が露光され、タイミング T_2 以降に画素 B が露光される。なお、着目した画素ブロック以外の画素ブロックのそれぞれにおいても、個別に照度が判定される。
- [0095] 図 14 は、本技術の第 2 の実施の形態における高照度モードから低照度モードに切り替わる際のタイミングチャートの一例である。着目した画素ブロック 300 について高照度モードが設定され、画素 A および B の各計数値 (CNT_A および CNT_B) がいずれも閾値未満であったものとする。判定器 380 は、低照度であると判断し、タイミング T_{10} で、低照度モードに切り替える。

[0096] このように、本技術の第2の実施の形態によれば、画素ブロック300内の判定器380が高照度であるか否かを判定するため、画素ブロック300ごとの照度に応じた適切な制御を行うことができる。

[0097] <3. 第3の実施の形態>

上述の第2の実施の形態では、判定器380が、計数値と閾値とを比較していたが、この構成では、カウンタ360および370の分解能が高いほど、判定器380の回路規模が増大するおそれがある。この第3の実施の形態における固体撮像素子200は、デジタル信号の特定のビットに基づいて判定器380が高照度か否かを判定する点において第2の実施の形態と異なる。

[0098] 図15は、本技術の第3の実施の形態における画素ブロック300の一構成例を示す回路図である。この第3の実施の形態の画素ブロック300は、カウンタ360および370がデジタル信号の特定のビットを判定器380に供給する点において第2の実施の形態と異なる。

[0099] 計数値と比較する閾値を 2^n （ n は、整数）とし、カウンタ360および370をバイナリカウンタとすると、 n 桁目のビット QA_n および QB_n が出力される。判定器380は、それらのビットに基づいて高照度であるか否かを判定する。 QA_n および QB_n のそれぞれが「1」であるか否かにより、計数値が閾値 2^n 以上であるか否かが判断される。

[0100] ビット QA_n および QB_n が「1」であるか否かを判定すればよいため、第1の実施の形態と比較して判定器380の回路規模を削減することができる。また、カウンタ360および370から判定器380への配線数を第2の実施の形態よりも削減することができる。

[0101] なお、カウンタ360および370が、特定のビットでなく、上位ビット（4ビットのうち上位2ビットなど）を判定器380に供給し、判定器380が、それらのビットに基づいて判定を行うこともできる。

[0102] 図16は、本技術の第3の実施の形態における低照度モードから高照度モードに切り替わる際のタイミングチャートの一例である。高照度であるか否

かの判定方法として、前述の（２－３）が用いられるものとする。着目した画素ブロック３００について低照度モードが設定され、画素Ｂの計数値（ＣＮＴ＿Ｂ）がタイミングＴ０でＱＡ_nが「１」になったものとする。

[0103] 計数値が閾値 2^n 以上になったため、判定器３８０は、高照度であると判断し、計数値の読出しの後のタイミングＴ１で、高照度モードに切り替える。高照度モードにおいては、タイミングＴ１からＴ２までに画素Ａが露光され、タイミングＴ２以降に画素Ｂが露光される。

[0104] 図１７は、本技術の第３の実施の形態における高照度モードから低照度モードに切り替わる際のタイミングチャートの一例である。着目した画素ブロック３００について高照度モードが設定され、ＱＡ_nおよびＱＢ_nのいずれも「０」であったものとする。計数値がいずれも閾値 2^n 未満であるため、判定器３８０は、低照度であると判断し、タイミングＴ１０で、低照度モードに切り替える。

[0105] このように、本技術の第３の実施の形態によれば、カウンタ３６０および３７０からの特定のビットに基づいて判定器３８０が高照度であるか否かを判定するため、第２の実施の形態よりも判定器３８０の回路規模を削減することができる。

[0106] ＜４．第４の実施の形態＞

上述の第１の実施の形態では、カウンタ３６０および３７０を共有する２画素を列方向に隣接して配列していたが、ベイヤー配列で配列する場合、列方向に隣接する２画素は互いにカラーフィルタの色が異なる。しかしながら、カラーフィルタの色ごとに透過率が異なるため、カウンタ３６０および３７０を共有する場合、画素ブロック３００内の２画素は同色であることが好ましい。この第４の実施の形態における固体撮像素子２００は、画素ブロック３００内に同色の画素を配列した点において第１の実施の形態と異なる。

[0107] 図１８は、本技術の第４の実施の形態における画素ブロック３００内の各画素の配置例を示す図である。画素アレイ部２２０において、複数の画素はベイヤー配列される。また、画素ごとに、カラーフィルタ（不図示）および

マイクロレンズ（不図示）が配置される。カラーフィルタは、red、greenおよびblueのいずれかの色を透過する。各色のカラーフィルタを配置した画素をそれぞれ、r画素、g画素およびb画素とする。ベイヤー配列では、2行×2列において、斜め方向に2つのg画素が配置され、残りにr画素およびb画素が配置される。

[0108] 例えば、r画素303、g画素、r画素304、g画素が列方向に配列される。r画素303には、センサ部310、マルチプレクサ351およびカウンタ360が配置され、r画素304には、センサ部330、マルチプレクサ352およびカウンタ370が配置される。

[0109] 同図に例示するように、同色の2画素を画素ブロック300内に配列したため、各画素の計数値を同程度にすることができる。

[0110] なお、図19に例示するように、クアドベイヤー配列において、同色の2画素を画素ブロック300内に配列することもできる。

[0111] なお、第4の実施の形態に第2または第3の実施の形態を適用することができる。この場合、各画素の計数値を同程度にすることができるため、判定器380は、照度を正確に判断することができる。

[0112] このように、本技術の第4の実施の形態によれば、画素ブロック300内に2画素を同色にしたため、各画素の計数値を同程度にすることができる。

[0113] <5. 第5の実施の形態>

上述の第4の実施の形態では、画素ごとにマイクロレンズを配置していたが、この構成において像面位相差AF（Auto Focus）を実現するには、r画素、g画素およびb画素の他に、位相差検出用の画素をさらに配置する必要がある。この第5の実施の形態における固体撮像素子200は、マイクロレンズの直下に複数の画素を配置した点において第4の実施の形態と異なる。

[0114] 図20は、本技術の第5の実施の形態における画素ブロック300内の各画素の配置例を示す図である。この第5の実施の形態では、クアドベイヤー配列により画素が配列される。また、同色の隣接する4画素ごとに、それらの画素に入射光を導くマイクロレンズ221が配置される。マイクロレン

ズ 2 2 1 の下部の複数の画素（r 画素 3 0 3 および 3 0 4 など）は、カウンタ 3 6 0 および 3 7 0 を共有する。

[0115] 画素の後段の回路（信号処理部 2 3 0 など）は、マイクロレンズ 2 2 1 のそれぞれの左側（または上側）の画素信号を配列した像と、右側（または下側）を配列した像とのそれぞれのピーク間の距離を位相差として検出する。その位相差に応じてフォーカスレンズ（不図示）が駆動される。これにより、位相差検出用の画素を配置しなくとも、像面位相差 A F を実現することができる。

[0116] なお、第 5 の実施の形態に第 2 または第 3 の実施の形態を適用することができる。

[0117] このように、本技術の第 5 の実施の形態によれば、カウンタ 3 6 0 および 3 7 0 を共有する 2 画素をマイクロレンズ 2 2 1 の下部に配置したため、像面位相差 A F を容易に実現することができる。

[0118] < 6. 第 6 の実施の形態 >

上述の第 1 の実施の形態では、パルス信号のカウント周期を一定としていたが、このカウント周期を撮像中に切り替えることもできる。この第 6 の実施の形態における固体撮像素子 2 0 0 は、撮像中にカウント周期を切り替える点において第 1 の実施の形態と異なる。

[0119] 図 2 1 は、本技術の第 6 の実施の形態における画素ブロック 3 0 0 の一構成例を示す回路図である。この第 6 の実施の形態においてセンサ部 3 1 0 は、リチャージトランジスタ 3 2 1、クリップトランジスタ 3 2 2 および S P A D 3 1 3 と、p M O S トランジスタ 3 2 3 および 3 2 4 と n M O S トランジスタ 3 2 5 とバッファ 3 2 6 とを備える。

[0120] また、センサ部 3 3 0 は、リチャージトランジスタ 3 4 1、クリップトランジスタ 3 4 2 および S P A D 3 3 3 と、p M O S トランジスタ 3 4 3 および 3 4 4 と n M O S トランジスタ 3 4 5 とバッファ 3 4 6 とを備える。

[0121] リチャージトランジスタ 3 2 1 およびクリップトランジスタ 3 2 2 は、リチャージトランジスタ 3 2 1 を電源側として、S P A D 3 1 3 のカソードと

電源電圧VDDとの間において直列に接続される。

- [0122] リチャージトランジスタ321は、制御回路210からの制御信号XRE__Aに従って、SPAD313のカソード電位を、電源電圧VDDまで戻すリチャージを行うものである。リチャージを行う間隔であるカウント周期は、制御回路210により制御される。このカウント周期内に、1回以上の光子の入射があった場合に、1パルスが生成される。
- [0123] クリップトランジスタ322は、制御回路210からの制御信号CLP__Aに従って、リチャージトランジスタ321およびクリップトランジスタ322の接続ノードから、SPAD313を切り離すものである。リチャージ開始前の直前に接続ノードからSPAD313が切り離され、リチャージ期間内に、そのノードにSPAD313が接続される。このクリップトランジスタ322により、カソード容量を削減することができる。
- [0124] pMOSトランジスタ323および324と、nMOSトランジスタ325とは、pMOSトランジスタ323を電源側とし、nMOSトランジスタ325を接地側として、電源電圧VDDと接地ノードとの間において直列に接続される。pMOSトランジスタ323およびnMOSトランジスタ325のゲートには、制御回路210からの制御信号INI__Aが入力される。また、pMOSトランジスタ324のゲートは、リチャージトランジスタ321およびクリップトランジスタ322の接続ノードに接続される。
- [0125] バッファ326は、pMOSトランジスタ324およびnMOSトランジスタ325の接続ノードの電位の信号をパルス信号PLS__Aとしてマルチプレクサ351に出力するものである。なお、バッファ326の代わりに、2段のインバータを挿入することもできる。
- [0126] センサ部330の回路構成は、センサ部310と同様である。ただし、制御信号XRE__B、CLP__BおよびINI__Bが入力される。
- [0127] 制御回路210は、所定時間より長い長周期と、その所定時間以下の短周期とのいずれかにカウント周期を制御する。撮像中にカウント周期を切り替えることにより、光の周波数が第1の実施の形態よりも高い場合であっても

パルス数を計数することができる。また、周波数が同一であれば、第1の実施の形態よりも計数値を小さくすることができる。このため、デジタル信号のビット数や消費電力を削減することができる。

[0128] 図22は、本技術の第6の実施の形態における制御回路210の動作の一例を示す図である。カウント周期を長周期にする場合、制御回路210は、選択信号IN__SELを「1」にし、選択信号CNT__SELを「0」にする。これにより、画素Aではパルス信号PLS__Aが選択され、画素Bではパルス信号PLS__Bが選択される。また、制御回路210はイネーブル信号EN__AおよびEN__Bの両方を「0」（イネーブル）にする。これらの制御により、画素AおよびBの両方が露光される。

[0129] 一方、カウント周期を短周期にする場合、画素AおよびBの一方のみが露光され、露光対象は一定時間ごとに切り替えられる。画素Aの露光期間内に制御回路210は、選択信号IN__SELを「1」にし、選択信号CNT__SELを「1」にする。これにより、画素Aではパルス信号PLS__Aが選択され、画素BではキャリーフラグCFが選択される。また、制御回路210はイネーブル信号EN__Aを「0」（イネーブル）にし、イネーブル信号EN__Bを「1」（ディセーブル）にする。

[0130] また、画素Bの露光期間内に制御回路210は、選択信号IN__SELを「0」にし、選択信号CNT__SELを「1」にする。これにより、画素Aではパルス信号PLS__Bが選択され、画素BではキャリーフラグCFが選択される。また、制御回路210はイネーブル信号EN__Aを「1」（ディセーブル）にし、イネーブル信号EN__Bを「0」（イネーブル）にする。

[0131] 図23は、本技術の第6の実施の形態における長周期カウント期間の固体撮像素子200の動作の一例を示すタイミングチャートである。タイミングT0からT1までの期間内に、カウント周期が長周期に制御される。タイミングT0から所定期間内において、制御信号XRE__Aがローレベルに制御され、最初のリチャージが行われる。また、タイミングT11やT12において、2回目、3回目のリチャージが行われる。以降も周期的にリチャージ

が繰り返される。これらのリチャージの間隔（すなわち、カウント周期）は、長周期に制御される。

[0132] タイミングT0からT1までの期間内に制御回路210は、選択信号IN__SELをハイレベルにし、選択信号CNT__SELをローレベルにする。これにより、カウント周期ごとに、光子が入射された際にデジタル信号CNT__AやCNT__Bがカウントアップする。

[0133] 図24は、本技術の第6の実施の形態における短周期カウント期間のうち画素Aの露光期間の固体撮像素子の動作の一例を示すタイミングチャートである。タイミングT1以降に、カウント周期が短周期に制御される。なお、短周期カウント期間は、例えば、全期間の10%以下となるように制御される。

[0134] タイミングT1からT2までの期間内に制御回路210は、選択信号IN__SELをハイレベルにし、選択信号CNT__SELをハイレベルにし、イネーブル信号により画素Aのみをイネーブルにする。これにより、カウント周期ごとに、光子が入射された際にデジタル信号CNT__Aがカウントアップする。

[0135] 図25は、本技術の第6の実施の形態における短周期カウント期間のうち画素Bの露光期間の固体撮像素子の動作の一例を示すタイミングチャートである。タイミングT2以降に制御回路210は、選択信号IN__SELをローレベルにし、選択信号CNT__SELをハイレベルにし、イネーブル信号により画素Bのみをイネーブルにする。これにより、カウント周期ごとに、光子が入射された際にデジタル信号CNT__Bがカウントアップする。

[0136] なお、第6の実施の形態に、第4または第5の実施の形態を適用することができる。

[0137] このように、本技術の第6の実施の形態によれば、カウント周期を切り替えるため、カウント周期を切り替えない場合と比較してデジタル信号のビット数と消費電力とを削減することができる。

[0138] [変形例]

上述の第6の実施の形態では、固体撮像素子200は、カウント周期を、2つの周期のいずれかに切り替えていたが、3つ以上の周期のいずれかに切り替えることもできる。この第6の実施の形態の変形例における固体撮像素子200は、3つ以上の周期のいずれかにカウント周期を切り替える点において第6の実施の形態と異なる。

[0139] 図26は、本技術の第6の実施の形態の変形例における制御回路210の動作の一例を示す図である。第6の実施の形態の変形例では、カウント周期が3つ以上の周期のいずれかに切り替えられる。例えば、カウント周期は、周期P1、P2、P3およびP4のいずれかに切り替えられる。P1が最も長く、P2はP1よりも短く、P3はP2より短く、P4は最も短いものとする。

[0140] これらの4つは、所定周期より長い長周期群のグループと、その所定周期より短い短周期群のグループとに区分される。各グループ内の周期の数は、1つ以上である。例えば、P1およびP2を長周期群とし、P3およびP4を短周期群とする。なお、P1を長周期群とし、P2、P3およびP4を短周期群とすることもできる。

[0141] カウント周期を長周期群のいずれかに切り替えた場合に制御回路210は、選択信号IN_SELを「1」にし、選択信号CNT_SELを「0」にする。また、制御回路210は、画素AおよびBの両方を露光させる。一方、カウント周期を短周期群のいずれかに切り替えた場合に制御回路210は、選択信号IN_SELを「1」にし、選択信号CNT_SELを「1」にする。また、制御回路210は、画素AおよびBの一方のみを露光させ、露光対象を一定時間ごとに切り替える。

[0142] このように、本技術の第6の実施の形態の変形例によれば、カウント周期を3つ以上の周期のいずれかに切り替えることができる。

[0143] <7. 第7の実施の形態>

上述の第6の実施の形態では、制御回路210がカウント周期を長周期と短周期とのいずれかに制御していたが、照度が高い場合に長周期でパルス数

を計数すると計数値が飽和するおそれがある。この第7の実施の形態における固体撮像素子200は、画素AおよびBのデジタル信号に基づいて、カウント周期が長周期の際の計数を有効または無効にする点において第6の実施の形態と異なる。

[0144] 図27は、本技術の第7の実施の形態における画素ブロック300の一構成例を示す回路図である。この第7の実施の形態の画素ブロック300は、抵抗素子328および348と、OR（論理和）ゲート327および347と、判定器381とをさらに備える点において第6の実施の形態と異なる。

[0145] 抵抗素子328は、SPAD313およびクリップトランジスタ322の間に挿入され、抵抗素子348は、SPAD333およびクリップトランジスタ342の間に挿入される。これらの抵抗素子は、必要に応じて挿入される。

[0146] 判定器381は、カウント周期が長周期の期間内にカウンタ360および370のそれぞれの計数を有効にするか否かを、カウント周期が短周期の期間内のデジタル信号CNT__AおよびCNT__Bに基づいて判定するものである。

[0147] 判定器381には、制御回路210からの選択信号CNT__SELと、カウンタ360および370からのデジタル信号CNT__AおよびCNT__Bとが入力される。この判定器381は、選択信号CNT__SELがハイレベル（すなわち、カウント周期が短周期）の期間内に生成されたデジタル信号CNT__AおよびCNT__Bを取得する。そして、判定器381は、それらのデジタル信号に基づいて高照度であるか否かを判定する。

[0148] 例えば、判定器381は、前述の（1）、（2-1）、（2-3）のいずれかの判定方法により照度を判定する。

[0149] （3）あるいは、判定器381は、デジタル信号の上位ビットの値が閾値以上の画素が1つ以上である場合に高照度であると判定する。

[0150] （4）もしくは、判定器381は、デジタル信号の最上位ビット（MSB: Most Significant Bit）の値がハイレベルになった画素が1つ以上である場

合に高照度であると判定する。

[0151] また、判定器 381 は、OR ゲート 327 および 347 へ、イネーブル信号 D1S を供給する。カウント周期が短周期の期間内は、イネーブル信号 D1S がローレベル（イネーブル）に制御される。これにより、カウンタ 360 および 370 の計数が有効になる。

[0152] 高照度であると判定した場合に判定器 381 は、選択信号 CNT__SEL がハイレベル（すなわち、カウント周期が短周期）の期間内に、イネーブル信号 D1S をハイレベル（ディセーブル）にする。これにより、カウント周期が長周期の期間内のカウンタ 360 および 370 の計数が無効になる。一方、低照度であると判定した場合に判定器 381 は、イネーブル信号 D1S をローレベルのままにし、カウンタ 360 および 370 の計数を有効にする。

[0153] 図 28 は、本技術の第 7 の実施の形態における短周期カウント期間のうち画素 A の露光期間の固体撮像素子 200 の動作の一例を示すタイミングチャートである。

[0154] 図 29 は、本技術の第 7 の実施の形態における短周期カウント期間のうち画素 B の露光期間の固体撮像素子 200 の動作の一例を示すタイミングチャートである。

[0155] 図 28 および図 29 に例示したように、第 7 の実施の形態では、第 6 の実施の形態と同様の制御が行われる。また、カウント周期が短周期の間では、ローレベル（イネーブル）のイネーブル信号 D1S により、カウンタ 360 および 370 の計数が有効に制御される。

[0156] 図 30 は、本技術の第 7 の実施の形態における長周期カウント期間の固体撮像素子の動作の一例を示すタイミングチャートである。判定器 381 は、短周期の期間内のデジタル信号に基づいて高照度であると判定したものとする。この場合に判定器 381 は、イネーブル信号 D1S をハイレベル（ディセーブル）にする。これにより、同図に例示するように、カウント周期が長周期の期間内のカウンタ 360 および 370 の計数が無効になる。

[0157] 同図に例示したように、高照度の際に、長周期での計数を無効にすることにより、分解能が拡張されないときの計数値の飽和を防止することができる。

[0158] なお、判定器 381 は、カウント周期が短周期の期間内にカウンタ 360 および 370 のそれぞれの計数を有効にするか否かを、カウント周期が長周期の期間内のデジタル信号 CNT__A および CNT__B に基づいて判定することもできる。この場合、低照度の際に短周期の期間内の計数が無効に制御される。低照度であるか否は、前述の (1)、(2-2)、(2-4) のいずれかの判定方法により判定される。

[0159] (5) あるいは、判定器 381 は、カウント周期が長周期の期間内のデジタル信号の上位ビットの値が閾値未満の画素が 1 つ以上である場合に低照度であると判定する。

[0160] (6) もしくは、判定器 381 は、カウント周期が長周期の期間内のデジタル信号の MSB の値がローレベルになった画素が 1 つ以上である場合に低照度であると判定する。

[0161] また、第 7 の実施の形態に第 4 または第 5 の実施の形態を適用することができる。また、第 7 の実施の形態に第 6 の実施の形態の変形例を適用することができる。

[0162] このように、本技術の第 7 の実施の形態によれば、判定器 381 が、デジタル信号 CNT__A および CNT__B に基づいて、カウント周期が長周期の期間内の計数を有効または無効にするため、計数値の飽和を防止することができる。

[0163] < 8. 第 8 の実施の形態 >

上述の第 6 の実施の形態では、制御回路 210 がカウント周期を長周期と短周期とのいずれかに制御していたが、カウント周期の切り替えは 1 フレームを撮像するための 1 V 期間内であってもよい。この第 8 の実施の形態における固体撮像素子 200 は、1 V 期間内にカウント周期を切り替える点において第 6 の実施の形態と異なる。なお、1 V 期間は、特許請求の範囲に記載

のフレーム期間の一例である。

[0164] 図31は、本技術の第8の実施の形態における所定行の1V期間内のカウント周期の一例を示す図である。この第8の実施の形態において、制御回路210は、タイミングT0からT4までの1V期間内にカウント周期を切り替える。

[0165] 例えば、タイミングT0からT1までの期間内に、カウント周期は長周期に制御される。そして、制御回路210は、タイミングT1でカウント周期を短周期に切り替える。タイミングT1からT2までの期間内に画素Aが露光され、タイミングT2からT3までの期間内に画素Bが露光される。制御回路210は、タイミングT3でカウント周期を長周期に切り替える。以下、タイミングT4まで、同様の制御が繰り返し実行される。

[0166] 信号処理部230は、1V期間内の長周期、短周期のそれぞれのデジタル信号を画素ごとに取得する。信号処理部230は、各期間のそれぞれのデジタル信号の統計量（平均値や合計値）を画素ごとに画素信号として演算し、それらの画素信号を配列したフレームを出力する。

[0167] 同図に例示するように、1V期間内にカウント周期を切り替えることにより、動被写体を撮像する際にブラーの発生を抑制することができる。

[0168] なお、第8の実施の形態に第4、第5、第7の実施の形態のそれぞれを適用することができる。また、第8の実施の形態に第6の実施の形態の変形例を適用することができる。

[0169] このように、本技術の第8の実施の形態によれば、制御回路210が1V期間内にカウント周期を切り替えるため、ブラーを抑制することができる。

[0170] <9. 第9の実施の形態>

上述の第8の実施の形態では、制御回路210が1V期間内にカウント周期を切り替えていたが、その際にローリングシャッター方式により露光制御することができる。この第9の実施の形態における固体撮像素子200は、ローリングシャッター方式により露光制御する点において第8の実施の形態と異なる。

- [0171] 図32は、本技術の第9の実施の形態における固体撮像素子200の露光、読出し動作の一例を示すタイミングチャートである。カウンタ360および370を共有する2画素は、例えば、列方向に配列されるものとする。
- [0172] 制御回路210は、画素アレイ部220内の複数の行を順に選択し、カウンタをリセットすることにより露光を開始させる。露光中において、信号処理部230は、所定回数に亘って選択行のデジタル信号の最上位ビット（MSB:Most Significant Bit）のみを露光中に読み出す。
- [0173] そして、制御回路210は、画素アレイ部220内の複数の行を順に選択し、カウンタを停止させることにより露光を終了させる。信号処理部230は、複数の行のそれぞれのデジタル信号を順に読み出す。また、制御回路210は、1V期間内にカウント周期を切り替える。
- [0174] 例えば、同図において、タイミングT1からT8までの期間内に1行目のカウント周期が長周期に制御され、タイミングT1直後のタイミングT2からT9までの期間内に2行目のカウント周期が長周期に制御される。タイミングT1からT7に亘って1行目が露光される。次にタイミングT2からT8に亘って2行目が露光される。このように、行単位で順に露光するローリングシャッター方式が用いられる。
- [0175] 露光中のタイミングT3からT4までと、タイミングT5からT6までとにおいて1行目のMSBが読み出される。タイミングT4から所定期間と、タイミングT6から所定期間とにおいて2行目のMSBが読み出される。タイミングT7からT8までの期間内に1行目のデジタル信号の全ビットが読み出され、タイミングT8からT9までの期間内に2行目のデジタル信号の全ビットが読み出される。
- [0176] そして、タイミングT9で制御回路210は、1行目および2行目のカウンタ周期を短周期に切り替える。タイミングT9からT10までの期間内に画素A（言い換えれば、1行目）が露光され、タイミングT10からT11までの期間内にその行の全ビットが読み出される。また、露光中に、1行目のMSBが読み出される。タイミングT11からT12までの期間内に画素

B（言い換えれば、2行目）が露光され、タイミングT12からT13までの期間内にその行の全ビットが読み出される。また、露光中に、所定回数に亘って2行目のMSBが読み出される。

[0177] 信号処理部230は、読み出した各MSBに基づいてMSBが「1」から「0」になった回数（すなわち、オーバーフローの回数）を示すビット列を上位ビットとして取得する。そして、信号処理部230は、全ビットの読出しで取得したビット列を下位ビットとして、上位ビットおよび下位ビットからなるデジタル信号を画素ごとに取得する。これにより、デジタル信号のビット数を拡張することができる。

[0178] 同図に例示するように、ローリングシャッター方式で露光制御することにより、後述するグローバルシャッター方式の場合よりもフレームレートを向上させることができる。

[0179] なお、第9の実施の形態に、第4、第5、第7の実施の形態のそれぞれを適用することができる。また、第9の実施の形態に第6の実施の形態の変形例を適用することができる。

[0180] このように、本技術の第9の実施の形態によれば、制御回路210がローリングシャッター方式で露光制御するため、グローバルシャッター方式の場合よりもフレームレートを向上させることができる。

[0181] <10. 第10の実施の形態>

上述の第9の実施の形態では、制御回路210がローリングシャッター方式により露光制御していたが、この制御では、ローリングシャッター歪みが生じるおそれがある。この第10の実施の形態における固体撮像素子200は、グローバルシャッター方式により露光制御する点において第9の実施の形態と異なる。

[0182] 図33は、本技術の第10の実施の形態における固体撮像素子200の露光、読出し動作の一例を示すタイミングチャートである。

[0183] 1V期間の開始のタイミングT0で、制御回路210は、全行（すなわち、全画素）を同時に選択して露光開始させる。そして、1V期間の終了直前

のタイミングT3で、制御回路210は、全行を同時に選択して露光終了させる。タイミングT3から1V期間の終了までの間に、信号処理部230は、複数の行のそれぞれのデジタル信号の全ビットを順に読み出す。

[0184] また、1V期間内に制御回路210は、カウント周期を切り替える。切り替えた際に制御回路210は、ローリングシャッター方式で露光制御する。例えば、タイミングT1でカウント周期が短周期に切り替えられ、画素Aを含む行が順に露光される。タイミングT2以降に画素Bを含む行が順に露光される。

[0185] また、露光中に信号処理部230は、所定回数に亘って各行のMSBを順に読み出す。露光終了時に信号処理部230は、各行のデジタル信号を順に読み出す。

[0186] 同図に例示するように、1V期間の開始、終了時にグローバルシャッター方式により露光制御するため、ローリングシャッター歪みが抑制される。

[0187] なお、第10の実施の形態に、第4、第5、第7の実施の形態のそれぞれを適用することができる。また、第10の実施の形態に第6の実施の形態の変形例を適用することができる。

[0188] このように、本技術の第10の実施の形態によれば、制御回路210が1V期間の開始、終了時にグローバルシャッター方式で露光制御するため、ローリングシャッター歪みを抑制することができる。

[0189] <11. 第11の実施の形態>

上述の第10の実施の形態では、制御回路210が1V期間の途中でローリングシャッター方式により露光制御していたが、この制御では、ローリングシャッター歪みが生じるおそれがある。この第11の実施の形態における固体撮像素子200は、1V期間内においてもグローバルシャッター方式により露光制御する点において第10の実施の形態と異なる。

[0190] 図34は、本技術の第11の実施の形態における固体撮像素子200の露光、読出し動作の一例を示すタイミングチャートである。

[0191] 1V期間の開始のタイミングT0で、制御回路210は、全行（全画素）

を同時に選択して露光開始させ、1 V期間内のタイミングT 1で全画素を同時に選択して露光終了させる。この露光中に信号処理部230は、所定回数に亘って各行のMSBを順に読み出す。そして、タイミングT 1からT 2までの間に信号処理部230は、各行のデジタル信号を順に読み出す。

[0192] 制御回路210は、タイミングT 2でカウント周期を短周期に切り替え、画素Aを含む行（すなわち、奇数行）の全てを選択して同時に露光を開始させ、タイミングT 3で、それらの行を同時に選択して露光終了させる。この露光中に信号処理部230は、所定回数に亘って各行のMSBを順に読み出す。そして、タイミングT 3からT 4までの間に信号処理部230は、各行のデジタル信号を順に読み出す。

[0193] 次に制御回路210は、タイミングT 4で画素Bを含む行（すなわち、偶数行）の全てを選択して同時に露光を開始させ、タイミングT 5で、それらの行を同時に選択して露光終了させる。この露光中に信号処理部230は、所定回数に亘って各行のMSBを順に読み出す。そして、タイミングT 5からT 6までの間に信号処理部230は、各行のデジタル信号を順に読み出す。タイミングT 6以降は、同様の制御が繰り返し実行される。

[0194] 同図に例示するように、1 V期間の途中においてもグローバルシャッター方式により露光制御するため、ローリングシャッター歪みがさらに抑制される。

[0195] なお、第11の実施の形態に、第4、第5、第7の実施の形態のそれぞれを適用することができる。また、第11の実施の形態に第6の実施の形態の変形例を適用することができる。

[0196] このように、本技術の第11の実施の形態によれば、制御回路210が1 V期間の途中においてもグローバルシャッター方式で露光制御するため、ローリングシャッター歪みをさらに抑制することができる。

[0197] <12. 第12の実施の形態>

上述の第11の実施の形態では、制御回路210は、全行の読出しが完了してから次の露光を開始させていたが、この構成では、フレームレートをさ

らに向上させることが困難である。この第12の実施の形態における固体撮像素子200は、短周期カウント期間の露光と読出しとを相補的に行う点において第11の実施の形態と異なる。

[0198] 図35は、本技術の第12の実施の形態における固体撮像素子200の露光、読出し動作の一例を示すタイミングチャートである。

[0199] 第12の実施の形態において、カウント期間が短周期に切り替わるタイミングT2までの制御は、第11の実施の形態と同様である。ここで、デジタル信号を信号処理部230へ伝送する信号線（不図示）は、列方向に配線される。この信号線を共有する、列内の各画素A（または画素B）は、半分ずつ露光される。

[0200] 例えば、タイミングT2からT3までの期間内に、制御回路210は、画素Aの半分を同時に露光させる。画素Aは奇数行に配置されるため、奇数行の半分（1行目や5行目など）が同時に露光される。そして、タイミングT4からT5までの期間内に、制御回路210は、画素Aの残り半分（3行目や7行目など）を同時に露光させる。

[0201] 次いで、タイミングT6からT7までの期間内に、制御回路210は、画素Bの半分を同時に露光させる。画素Bは偶数行に配置されるため、偶数行の半分（2行目や6行目など）が露光される。そして、タイミングT8からT9までの期間内に、制御回路210は、画素Bの残り半分（4行目や8行目など）を露光させる。

[0202] これらの露光中に信号処理部230は、所定回数に亘って各行のMSBを順に読み出す。また、タイミングT3からT5までの期間内に信号処理部230は、画素Aの半分を行単位で順に読み出す。これらの読出しの期間内に、画素Aの残り半分の露光を行うことができる。

[0203] また、タイミングT5からT7までの期間内に信号処理部230は、画素Aの残り半分を行単位で順に読み出す。これらの読出しの期間内に、画素Bの半分の露光を行うことができる。

[0204] そして、タイミングT7からT9までの期間内に信号処理部230は、画

素Bの半分を行単位で順に読み出す。これらの読出しの期間内に、画素Bの残り半分の露光を行うことができる。タイミングT₉以降に信号処理部230は、画素Bの残り半分行単位で順に読み出す。

[0205] 同図に例示したように、画素A（または画素B）の半分の読出し中に、残り半分行を露光させることにより、フレームレートをさらに向上させることができる。

[0206] なお、第12の実施の形態に、第4、第5、第7の実施の形態のそれぞれを適用することができる。また、第12の実施の形態に第6の実施の形態の変形例を適用することができる。

[0207] このように、本技術の第12の実施の形態によれば、画素A（または画素B）の半分の読出し中に、制御回路210が残り半分行を露光させるため、フレームレートをさらに向上させることができる。

[0208] <13. 第13の実施の形態>

上述の第1の実施の形態では、画素ごとにデジタル信号を生成していたが、この構成では、感度をさらに向上させることが困難である。この第13の実施の形態における固体撮像素子200は、画素加算を行う点において第1の実施の形態と異なる。

[0209] 図36は、本技術の第13の実施の形態における画素ブロック300の一構成例を示す回路図である。この第13の実施の形態の画素ブロック300は、画素加算のための論理演算を行う論理ゲートをさらに備える点において第1の実施の形態と異なる。光子の入射に応じてパルス信号が立ち上がる場合、論理ゲートとして、ORゲート391が用いられる。

[0210] ORゲート391は、パルス信号PLS__AおよびPLS__Bの論理和をマルチプレクサ351に出力するものである。なお、2つのパルス信号に対する論理演算は、論理和に限定されない。光子の入射に応じてパルス信号が立ち下がる場合は、ORゲート391の代わりに、AND（論理積）ゲートが挿入される。あるいは、ORゲート391の代わりにNOT（否定）ゲートを用いて論理差を演算することもできる。

- [0211] なお、ORゲート391は、特許請求の範囲に記載の第1の論理ゲートの一例である。
- [0212] 図37は、本技術の第13の実施の形態における制御回路210の動作の一例を示す図である。この第13の実施の形態において、加算モードおよび非加算モードを含む複数のモードのいずれかが設定される。加算モードは、画素ブロック300内の2画素のそれぞれのパルス信号を加算するモードであり、非加算モードは、それらの信号を加算しないモードである。
- [0213] 非加算モードが設定された場合、制御回路210は、選択信号IN__SELを「1」にし、選択信号CNT__SELを「0」にする。これにより、画素Aではパルス信号PLS__Aが選択され、画素Bではパルス信号PLS__Bが選択される。また、制御回路210はイネーブル信号EN__AおよびEN__Bを「0」（イネーブル）にする。
- [0214] 一方、加算モードが設定された場合、制御回路210は、選択信号IN__SELを「0」にし、選択信号CNT__SELを「1」にする。これにより、画素Aではパルス信号PLS__AおよびPLS__Bの論理和が選択され、画素Bではキャリーフラグが選択される。また、制御回路210はイネーブル信号EN__AおよびEN__Bを「0」（イネーブル）にする。
- [0215] 同図に例示したように、加算モードでパルス信号PLS__AおよびPLS__Bを加算することにより、非加算の場合と比較して画素数が低減するものの、感度を向上させることができる。
- [0216] なお、2画素を加算しているが、後述するように画素ブロック300内に3画素以上を配列し、3画素以上を加算することもできる。
- [0217] また、第13の実施の形態に、第4、第5の実施の形態のそれぞれを適用することができる。また、第13の実施の形態に第6の実施の形態の変形例を適用することができる。
- [0218] このように、本技術の第13の実施の形態によれば、加算モードで画素ブロック300がパルス信号PLS__AおよびPLS__Bを加算するため、非加算の場合と比較して感度を向上させることができる。

[0219] < 1 4 . 第 1 4 の実施の形態 >

上述の第 1 3 の実施の形態では、パルス信号のカウント周期を一定としていたが、このカウント周期を撮像中に切り替えることもできる。この第 1 4 の実施の形態における固体撮像素子 2 0 0 は、撮像中にカウント周期を切り替える点において第 1 3 の実施の形態と異なる。

[0220] 図 3 8 は、本技術の第 1 4 の実施の形態における画素ブロック 3 0 0 の一構成例を示す回路図である。この第 1 4 の実施の形態においてセンサ部 3 1 0 は、リチャージトランジスタ 3 2 1、クリップトランジスタ 3 2 2 および SPAD 3 1 3 と、pMOS トランジスタ 3 2 3 および 3 2 4 と nMOS トランジスタ 3 2 5 とバッファ 3 2 6 とを備える。

[0221] また、センサ部 3 3 0 は、リチャージトランジスタ 3 4 1、クリップトランジスタ 3 4 2 および SPAD 3 3 3 と、pMOS トランジスタ 3 4 3 および 3 4 4 と nMOS トランジスタ 3 4 5 とバッファ 3 4 6 とを備える。

[0222] これらのセンサ部 3 1 0 および 3 3 0 の回路構成は、図 2 1 に例示視した第 6 の実施の形態と同様である。

[0223] また、第 1 4 の実施の形態において、制御回路 2 1 0 は、非加算モードの際に、カウント周期を切り替えることができる。非加算モードにおいてカウント周期が短周期の場合には、第 6 の実施の形態と同様にカウンタが直列に接続され、カウンタの分解能が拡張される。

[0224] 図 3 9 は、本技術の第 1 4 の実施の形態における加算モード時の固体撮像素子 2 0 0 の動作の一例を示すタイミングチャートである。

[0225] タイミング T 0 で加算モードが設定されると、制御回路 2 1 0 は、選択信号 I N _ S E L をローレベルにし、選択信号 C N T _ S E L をハイレベルにする。これにより、画素 A では論理和が選択され、画素 B ではキャリーフラグが選択される。

[0226] タイミング T 1 や T 2 でパルス信号 P L S _ A や P L S _ B が生成された際にデジタル信号 C N T _ A がカウントアップし、タイミング T 3 でデジタル信号 C N T _ A が飽和すると、デジタル信号 C N T _ B がカウントアップ

する。

[0227] なお、第14の実施の形態に第4、第5、第7から第12までの実施の形態のそれぞれを適用することができる。また、第14の実施の形態に第6の実施の形態の変形例を適用することができる。

[0228] このように、本技術の第14の実施の形態によれば、非加算モードにおいてカウント周期を切り替えるため、カウント周期を切り替えない場合と比較してデジタル信号のビット数と消費電力とを削減することができる。

[0229] <15. 第15の実施の形態>

上述の第13の実施の形態では、固体撮像素子200は、2画素を加算していたが、3画素以上を加算することもできる。この第15の実施の形態における固体撮像素子200は、4画素を加算する点において第13の実施の形態と異なる。

[0230] 図40は、本技術の第15の実施の形態における画素ブロック300内の各画素の配置例を示す図である。この第15の実施の形態では、クアドペイヤー配列により画素が配列される。また、同色の隣接する4画素ごとに、それらの画素に入射光を導くマイクロレンズ221が配置される。マイクロレンズ221の下部の4画素（r画素303、304、305および306など）は、カウンタを共有する。

[0231] 図41は、本技術の第15の実施の形態における画素ブロック300の一構成例を示す回路図である。この第15の実施の形態の画素ブロック300は、マルチプレクサ351および352の代わりに、マルチプレクサ353乃至356を備え、センサ部315および335とORゲート392および393とカウンタ365および375とをさらに備える。

[0232] センサ部315は、光子の入射に応じてパルス信号PLS__Cを生成するものである。センサ部335は、光子の入射に応じてパルス信号PLS__Dを生成するものである。これらのセンサ部の回路構成は、センサ部310と同様である。なお、センサ部315および335は、特許請求の範囲に記載の第3および第4のセンサ部の一例である。

- [0233] ORゲート392は、パルス信号PLS__CおよびPLC__Dの論理和を、マルチプレクサ355とORゲート393とに出力するものである。ORゲート393は、ORゲート391および392のそれぞれの出力の論理和をマルチプレクサ353に出力するものである。なお、2つのパルス信号に対する論理演算は、論理和に限定されない。光子の入射に応じてパルス信号が立ち下がる場合は、ORゲート391乃至393の代わりに、ANDゲートが挿入される。あるいは、ORゲートの代わりにNOT（否定）ゲートを用いて論理差を演算することもできる。
- [0234] なお、ORゲート392および393は、特許請求の範囲に記載の第2および第3の論理ゲートの一例である。
- [0235] マルチプレクサ353は、制御回路210からの選択信号IN__SEL1に従って、ORゲート393の論理和と、パルス信号PLS__Aと、ORゲート391の論理和とのいずれかを選択し、出力信号OUT__Aとしてカウンタ360に出力するものである。例えば、選択信号IN__SEL1が「2」の場合にORゲート393の論理和が選択され、「1」の場合にパルス信号PLS__Aが選択され、「0」の場合にORゲート391の論理和が選択される。なお、マルチプレクサ353は、特許請求の範囲に記載の第1のマルチプレクサの一例である。
- [0236] また、第15の実施の形態のカウンタ360は、キャリーフラグをCF__Aとしてマルチプレクサ354に供給する。
- [0237] マルチプレクサ354は、制御回路210からの選択信号CNT__SEL1に従って、キャリーフラグCF__Aと、パルス信号PLS__Bとのいずれかを選択し、出力信号OUT__Bとしてカウンタ370に出力するものである。例えば、選択信号CNT__SEL1が「1」の場合、キャリーフラグCF__Aが選択され、「0」の場合にパルス信号PLS__Bが選択される。なお、マルチプレクサ354は、特許請求の範囲に記載の第2のマルチプレクサの一例である。
- [0238] また、第15の実施の形態のカウンタ370は、キャリーフラグをさらに

生成し、CF__Bとしてマルチプレクサ355に供給する。

[0239] マルチプレクサ355は、制御回路210からの選択信号IN__SEL2に従って、キャリーフラグCF__Bと、パルス信号PLS__Cと、ORゲート392の論理和とのいずれかを選択し、出力信号OUT__Cとしてカウンタ365に出力するものである。例えば、選択信号IN__SEL2が「2」の場合にキャリーフラグCF__Bが選択され、「1」の場合にパルス信号PLS__Cが選択され、「0」の場合にORゲート392の論理和が選択される。なお、マルチプレクサ355は、特許請求の範囲に記載の第3のマルチプレクサの一例である。

[0240] カウンタ365は、出力信号OUT__Cに同期して計数値を計数し、その計数値を示すデジタル信号CNT__Cを信号処理部230に出力するものである。また、このカウンタ365は、オーバーフローが生じたか否かを示すキャリーフラグCF__Cを生成し、マルチプレクサ356に出力する。なお、カウンタ365は、特許請求の範囲に記載の第3のカウンタの一例である。

[0241] マルチプレクサ356は、制御回路210からの選択信号CNT__SEL2に従って、キャリーフラグCF__Cと、パルス信号PLS__Dとのいずれかを選択し、出力信号OUT__Dとしてカウンタ375に出力するものである。例えば、選択信号CNT__SEL2が「1」の場合、キャリーフラグCF__Cが選択され、「0」の場合にパルス信号PLS__Dが選択される。なお、マルチプレクサ356は、特許請求の範囲に記載の第4のマルチプレクサの一例である。

[0242] カウンタ375は、出力信号OUT__Dに同期して計数値を計数し、その計数値を示すデジタル信号CNT__Dを信号処理部230に出力するものである。なお、カウンタ375は、特許請求の範囲に記載の第4のカウンタの一例である。

[0243] 同図の画素ブロック300は、図40に例示したr画素303乃至306として機能する。

[0244] 図42は、本技術の第15の実施の形態における制御回路210の動作の一例を示す図である。この第15の実施の形態において、非加算モード、2画素加算モードおよび4画素加算モードを含む複数のモードのいずれかが設定される。2画素加算モードは、画素ブロック300内の4画素のうち、2画素ずつを加算するモードであり、4画素加算モードは、4画素の全てを加算するモードである。非加算モードは、各画素を加算しないモードである。なお、2画素加算モードおよび4画素加算モードの一方と、加算モードとが切り替えられる構成であってもよい。

[0245] 非加算モードが設定された場合に制御回路210は、選択信号IN__SEL1を「1」にし、選択信号CNT__SEL1を「0」にし、選択信号IN__SEL2を「1」にし、選択信号CNT__SEL2を「0」にする。これにより、マルチプレクサ353ではパルス信号PLS__Aが選択され、マルチプレクサ354ではパルス信号PLS__Bが選択され、マルチプレクサ355ではパルス信号PLS__Cが選択され、マルチプレクサ356ではパルス信号PLS__Dが選択される。また、制御回路210は、全画素のイネーブル信号を「0」（イネーブル）にする。

[0246] また、2画素加算モードが設定された場合に制御回路210は、選択信号IN__SEL1を「0」にし、選択信号CNT__SEL1を「1」にし、選択信号IN__SEL2を「0」にし、選択信号CNT__SEL2を「1」にする。これにより、マルチプレクサ353ではパルス信号PLS__AおよびPLS__Bの論理和が選択され、マルチプレクサ354ではキャリーフラグCF__Aが選択される。マルチプレクサ355ではパルス信号PLS__CおよびPLS__Dの論理和が選択され、マルチプレクサ356ではキャリーフラグCF__Cが選択される。また、制御回路210は、全画素のイネーブル信号を「0」（イネーブル）にする。

[0247] また、4画素加算モードが設定された場合に制御回路210は、選択信号IN__SEL1を「2」にし、選択信号CNT__SEL1を「1」にし、選択信号IN__SEL2を「2」にし、選択信号CNT__SEL2を「1」に

する。これにより、マルチプレクサ353ではパルス信号PLS__A、PLS__B、PLS__CおよびPLS__Dの論理和が選択され、マルチプレクサ354ではキャリーフラグCF__Aが選択される。マルチプレクサ355ではキャリーフラグCF__Bが選択され、マルチプレクサ356ではキャリーフラグCF__Cが選択される。また、制御回路210は、全画素のイネーブル信号を「0」（イネーブル）にする。

[0248] 2画素加算モードにおいて、画素の後段の回路（信号処理部230など）は、マイクロレンズ221のそれぞれの左側（または上側）の画素信号を配列した像と、右側（または下側）を配列した像とのそれぞれのピーク間の距離を位相差として検出する。その位相差に応じてフォーカスレンズ（不図示）が駆動される。これにより、像面位相差AFを実現することができる。

[0249] このように、本技術の第15の実施の形態によれば、4画素加算モードで画素ブロック300がパルス信号PLS__A、PLS__B、PLS__CおよびPLS__Dを加算するため、感度をさらに向上させることができる。

[0250] <16. 第16の実施の形態>

上述の第13の実施の形態では、非加算モードにおいてカウンタの分解能を一定にしていたが、この構成では、高照度の場合にカウンタの分解能が不足することがある。この第16の実施の形態における固体撮像素子200は、非加算モードにおいて高照度時にカウンタの分解能を拡張する点において第13の実施の形態と異なる。

[0251] 第16の実施の形態における画素ブロック300の回路構成は、図36に例示した第13の実施の形態と同様である。

[0252] 図43は、本技術の第13の実施の形態における制御回路210の動作の一例を示す図である。この第13の実施の形態において、非加算低照度モード、非加算高照度モードおよび加算モードを含む複数のモードのいずれかが設定される。加算モードは、画素ブロック300内の2画素のそれぞれのパルス信号を加算するモードであり、非加算低照度モードおよび非加算高照度モードは、それらの信号を加算しないモードである。また、非加算低照度モ

ードは、照度が所定値以下の低照度時に設定されるモードであり、非加算高照度モードは、照度が所定値より高い高照度時に設定されるモードである。

[0253] 第16の実施の形態の非加算低照度モードの制御内容は、図5に例示した第1の実施の形態の低照度モードの制御内容と同様である。第16の実施の形態の非加算高照度モードの制御内容は、図5に例示した第1の実施の形態の高照度モードの制御内容と同様である。第16の実施の形態の加算モードの制御内容は、図36に例示した第13の実施の形態の加算モードの制御内容と同様である。

[0254] このように、本技術の第16の実施の形態によれば、非加算モードにおいて高照度時にカウンタの分解能を拡張するため、高照度時にダイナミックレンジを拡大することができる。

[0255] <17. 第17の実施の形態>

上述の第1の実施の形態では、単一の半導体チップに固体撮像素子200内の回路を配置していたが、この構成では、チップごとの回路規模を削減することが困難である。この第17の実施の形態における固体撮像素子200は、積層した2つのチップに分散して回路を配置した点において第1の実施の形態と異なる。

[0256] 図44は、本技術の第17の実施の形態における画素ブロック300の一構成例を示す回路図である。この第17の実施の形態における固体撮像素子200は、積層された画素チップ201および回路チップ202を備える。これらのチップは、ビアなどの接続部を介して電氣的に接続される。なお、ビアの他、Cu-Cu接合やバンプにより接続することもできる。これらの他の方式（磁気結合など）により接続することもできる。また、2つのチップを積層しているが、3層以上を積層することもできる。

[0257] 画素チップ201には、SPAD313および333が配置され、残りの回路や素子は、回路チップ202に配置される。

[0258] 同図に例示したように、積層構造にすることにより、チップごとの回路規模を削減し、容易に多画素化することができる。

[0259] なお、第 17 の実施の形態に第 2 から第 16 までの実施の形態のそれぞれを適用することができる。

[0260] 図 21 に例示した回路を積層構造にする場合、図 45 に例示するようにクリップトランジスタ 322 および 342 は、画素チップ 201 に配置される。

[0261] このように、本技術の第 17 の実施の形態によれば、積層構造にしたため、容易に多画素化することができる。

[0262] <18. 第 18 の実施の形態>

上述の第 1 の実施の形態では、制御回路 210 は、画素アレイ部 220 内の全画素にパルス信号を出力させていたが、この構成では、読出し時間やデータ量を削減することが困難である。この第 18 の実施の形態における固体撮像素子 200 は、制御回路 210 が画素アレイ部 220 内の一部の画素にパルス信号を出力させる点において第 1 の実施の形態と異なる。

[0263] 図 46 は、本技術の第 18 の実施の形態における制御対象の領域の一例を示す図である。画素アレイ部 220 において、ROI (Region of Interest) などの領域 225 が制御対象として設定される。例えば、ユーザによる操作や、各種のアプリケーションの実行により、領域 225 が設定される。

[0264] 制御回路 210 は、全画素のうち、領域 225 内の画素をイネーブル信号により有効にしてパルス信号を出力させる。これにより、全画素を制御する場合と比較して、読出しに要する時間や、読み出すデータ量を削減することができる。

[0265] なお、第 18 の実施の形態に、第 2 から第 17 までの実施の形態のそれぞれを適用することができる。

[0266] このように、本技術の第 18 の実施の形態によれば、制御回路 210 が、一部の画素にパルス信号を出力させるため、読出し時間やデータ量を削減することができる。

[0267] <19. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例

例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0268] 図47は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0269] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図47に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

[0270] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0271] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック

装置、パワーウィンドウ装置、ランプ等を制御する。

[0272] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0273] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0274] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0275] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0276] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0277] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0278] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図４７の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0279] 図４８は、撮像部１２０３１の設置位置の例を示す図である。

[0280] 図４８では、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0281] 撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックド

アに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0282] なお、図47には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0283] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0284] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0285] 例えば、マイクロコンピュータ12051は、撮像部12101ないし1

2104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0286] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0287] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部12031に適用され得る。具体的には、図1の撮像装置100は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、より見やすい撮影画像を得ることができるため、ド

ライバの疲労を軽減することが可能になる。

[0288] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0289] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0290] なお、本技術は以下のような構成もとることができる。

(1) 光子の入射に応じて第1のパルス信号を生成する第1のセンサ部と、
光子の入射に応じて第2のパルス信号を生成する第2のセンサ部と、
前記第1および第2のパルス信号を含む複数の信号のいずれかに同期して計数値を計数し、当該計数値を示す第1のデジタル信号とオーバーフローが生じたか否かを示す第1のキャリーフラグとを出力する第1のカウントと、
前記第1のキャリーフラグと前記第2のパルス信号とのいずれかに同期して計数値を計数し、当該計数値を示す第2のデジタル信号を出力する第2のカウントと
を具備する光検出装置。

(2) 前記第1および第2のパルス信号のいずれかを選択して前記第1のカウントに第1の出力信号として出力する第1のマルチプレクサと、
前記第1のキャリーフラグと前記第2のパルス信号とのいずれかを選択して前記第2のカウントに第2の出力信号として出力する第2のマルチプレクサと
をさらに具備し、

前記第1のカウントは、前記第1の出力信号に同期して計数し、
前記第2のカウントは、前記第2の出力信号に同期して計数する

前記（１）記載の光検出装置。

（３）前記第１のマルチプレクサは、照度が所定値を超えない低照度モードが設定された場合には前記第１のパルス信号を選択し、照度が前記所定値より高い高照度モードが設定された場合には前記第１および第２のパルス信号を交互に選択し、

前記第２のマルチプレクサは、前記低照度モードが設定された場合には前記第２のパルス信号を選択し、前記高照度モードが設定された場合には前記第１のキャリアフラグを選択する

前記（２）記載の光検出装置。

（４）前記第１および第２のデジタル信号に基づいて照度が前記所定値より高いか否かを判定して前記高照度モードおよび前記低照度モードのいずれかを設定する判定器をさらに具備する

前記（３）記載の光検出装置。

（５）前記第１および第２のカウンタの少なくとも一方は、デジタル信号のうち特定のビットを前記判定器に出力し、

前記判定器は、前記特定のビットに基づいて前記高照度モードおよび前記低照度モードのいずれかを設定する

前記（４）記載の光検出装置。

（６）画素アレイ部に配列された複数の画素のうち同色の第１および第２の画素の一方に前記第１のセンサ部が配置され、他方に前記第２のセンサ部が配置される

前記（１）から（５）のいずれかに記載の光検出装置。

（７）前記第１および第２の画素を含む同色の複数の画素に入射光を導くマイクロレンズをさらに具備する

前記（６）記載の光検出装置。

（８）前記第１および第２のセンサ部を制御する制御回路をさらに具備し、
前記第１および第２のセンサ部のそれぞれは、
アバランシェフォトダイオードと、

前記アバランシェフォトダイオードのカソード電位を所定電位まで戻すリチャージを行うリチャージトランジスタとを備え、

前記制御回路は、前記リチャージを行う間隔であるカウント周期を複数の周期のいずれかに制御し、

前記第 1 のマルチプレクサは、前記カウント周期が所定周期より長い長周期である場合には前記第 1 のパルス信号を選択し、前記カウント周期が前記所定周期より短い短周期である場合には前記第 1 および第 2 のパルス信号を交互に選択し、

前記第 2 のマルチプレクサは、前記カウント周期が前記長周期である場合には前記第 2 のパルス信号を選択し、前記カウント周期が前記短周期である場合には前記第 1 のキャリーフラグを選択する

前記（２）記載の光検出装置。

（９）カウント周期が前記長周期および前記短周期の一方の期間内に前記第 1 および第 2 のカウンタのそれぞれの計数を有効にするか否かを前記第 1 および第 2 のデジタル信号に基づいて判定する判定器をさらに具備し、

前記第 1 および第 2 のセンサ部のそれぞれは、計数を無効にすると判定された場合には前記リチャージトランジスタをオフ状態にする論理ゲートをさらに備える

前記（８）記載の光検出装置。

（１０）画素アレイ部に配列された複数の画素のうち第 1 および第 2 の画素の一方に前記第 1 のセンサ部が配置され、他方に前記第 2 のセンサ部が配置され、

前記制御回路は、１フレームを撮像するためのフレーム期間内に前記カウント周期の切り替えを複数回に亘って行い、

前記第 1 および第 2 のマルチプレクサは、前記フレーム期間内に選択先の切り替えを複数回に亘って行う

前記（８）または（９）に記載の光検出装置。

(11) 前記制御回路は、前記画素アレイ部の複数の行を順に選択して露光を開始させる

前記(10)記載の光検出装置。

(12) 前記制御回路は、前記フレーム期間の開始時に前記画素アレイ部の全画素を選択して同時に露光を開始させ、前記フレーム期間の終了直前に全画素を選択して同時に露光を終了させる

前記(10)記載の光検出装置。

(13) 前記制御回路は、前記フレーム期間中に前記画素アレイ部の複数の行を順に選択して露光を開始させる

前記(12)記載の光検出装置。

(14) 前記制御回路は、前記フレーム期間中に前記全画素を選択して同時に露光を終了させ、前記全画素の読出し完了後に前記カウント周期を切り替えてから前記全画素を選択して同時に露光を開始させる

前記(12)記載の光検出装置。

(15) 前記制御回路は、デジタル信号を伝送する信号線を共有する第1および第2の行の一方を同時に選択して露光させ、前記一方のデジタル信号の読出し中に前記第1および第2の行の他方を同時に選択して露光させる

前記(14)記載の光検出装置。

(16) 前記第1および第2のパルス信号に対する論理演算の結果を第1の演算結果として出力する第1の論理ゲートと、

前記第1のパルス信号と前記第1の演算結果とを含む複数の信号のいずれかを選択して前記第1のカウantaに第1の出力信号として出力する第1のマルチプレクサと、

前記第1のキャリーフラグと前記第2のパルス信号とのいずれかを選択して前記第2のカウantaに第2の出力信号として出力する第2のマルチプレクサと

をさらに具備し、

前記第1のカウantaは、前記第1の出力信号に同期して計数し、

前記第2のカウantaは、前記第2の出力信号に同期して計数する
前記(1)記載の光検出装置。

(17) 前記第1および第2のセンサ部を制御する制御回路をさらに具備し、

前記第1および第2のセンサ部のそれぞれは、
アバランシェフォトダイオードと、
前記アバランシェフォトダイオードのカソード電位を所定電位まで戻すリ
チャージを行うリチャージトランジスタと
を備え、

前記制御回路は、前記リチャージを行う間隔であるカウント周期を複数の
周期のいずれかに制御し、

前記第1のマルチプレクサは、前記カウント周期が所定周期より長い長周
期である場合には前記第1のパルス信号を選択し、前記カウント周期が前記
所定周期より短い短周期である場合には前記第1および第2のパルス信号を
交互に選択し、

前記第2のマルチプレクサは、前記カウント周期が前記長周期である場合
には前記第2のパルス信号を選択し、前記カウント周期が前記短周期である
場合には前記第1のキャリーフラグを選択する
前記(16)記載の光検出装置。

(18) 光子の入射に応じて第3のパルス信号を生成する第3のセンサ部と、

光子の入射に応じて第4のパルス信号を生成する第4のセンサ部と、
前記第3および第4のパルス信号に対する論理演算の結果を第2の演算結
果として出力する第2の論理ゲートと、

前記第1および第2の論理ゲートのそれぞれの出力に対する論理演算の結
果を第3の演算結果として出力する第3の論理ゲートと、

オーバーフローが生じたか否かを示す第2のキャリーフラグと前記第3の
パルス信号と前記第2の演算結果とのいずれかを第3の出力信号として出力

する第3のマルチプレクサと、

前記第3の出力信号に同期して計数値を計数し、当該計数値を示す第3のデジタル信号とオーバーフローが生じたか否かを示す第3のキャリーフラグとを出力する第3のカウントと、

前記第3のキャリーフラグと前記第4のパルス信号とのいずれかを第4の出力信号として出力する第4のマルチプレクサと、

前記第4の出力信号に同期して計数値を計数し、当該計数値を示す第4のデジタル信号を出力する第4のカウントと
をさらに具備し、

前記第1のマルチプレクサは、前記第1のパルス信号と前記第1の演算結果と前記第3の演算結果とのいずれかを選択し、

前記第2のカウントは、前記第2のキャリーフラグをさらに生成する
前記（16）記載の光検出装置。

（19）前記第1のマルチプレクサは、照度が所定値を超えない非加算低照度モードが設定された場合には前記第1のパルス信号を選択し、照度が前記所定値より高い非加算高照度モードが設定された場合には前記第1のパルス信号と前記第1の演算結果とを交互に選択し、加算モードが設定された場合には前記第1の演算結果を選択し、

前記第2のマルチプレクサは、前記非加算低照度モードが設定された場合には前記第2のパルス信号を選択し、前記非加算高照度モードが設定された場合には前記第1のキャリーフラグを選択し、前記加算モードが設定された場合には前記第1のキャリーフラグを選択する
前記（16）記載の光検出装置。

（20）前記第1のセンサ部の一部と前記第2のセンサ部の一部とは、所定の画素チップに配置され、

前記第1のセンサ部の残りとは前記第2のセンサ部の残りとは前記第1および第2のカウントは、所定の回路チップに配置される
前記（1）から（19）のいずれかに記載の光検出装置。

(21) 複数の画素を制御する制御回路をさらに具備し、
前記複数の画素のうち第1および第2の画素の一方に前記第1のセンサ部が配置され、他方に前記第2のセンサ部が配置され、
前記制御回路は、前記複数の画素の一部を制御してパルス信号を生成させる
前記(1)から(20)のいずれかに記載の光検出装置。

符号の説明

[0291]	100	撮像装置
	110	撮像レンズ
	120	記録部
	130	撮像制御部
	200	固体撮像素子
	201	画素チップ
	202	回路チップ
	210	制御回路
	220	画素アレイ部
	221	マイクロレンズ
	230	信号処理部
	300	画素ブロック
	301、302	画素
	303、304、305、306	r画素
	310、330、315、335	センサ部
	311、312、323、324、331、332、343、344	p

MOSトランジスタ

313、333	SPAD
314、334	パルス整形部
321、341	リチャージトランジスタ
322、342	クリップトランジスタ

325、345 nMOSトランジスタ
326、346 バッファ
327、347、391～393 OR（論理和）ゲート
328、348 抵抗素子
351～356 マルチプレクサ
360、365、370、375 カウンタ
361～364、371～374 フリップフロップ
380、381 判定器
12031 撮像部

請求の範囲

- [請求項1] 光子の入射に応じて第1のパルス信号を生成する第1のセンサ部と、
、
 光子の入射に応じて第2のパルス信号を生成する第2のセンサ部と、
、
 前記第1および第2のパルス信号を含む複数の信号のいずれかに同期して計数値を計数し、当該計数値を示す第1のデジタル信号とオーバーフローが生じたか否かを示す第1のキャリーフラグとを出力する第1のカウントと、
 前記第1のキャリーフラグと前記第2のパルス信号とのいずれかに同期して計数値を計数し、当該計数値を示す第2のデジタル信号を出力する第2のカウントと
 を具備する光検出装置。
- [請求項2] 前記第1および第2のパルス信号のいずれかを選択して前記第1のカウントに第1の出力信号として出力する第1のマルチプレクサと、
 前記第1のキャリーフラグと前記第2のパルス信号とのいずれかを選択して前記第2のカウントに第2の出力信号として出力する第2のマルチプレクサと
 をさらに具備し、
 前記第1のカウントは、前記第1の出力信号に同期して計数し、
 前記第2のカウントは、前記第2の出力信号に同期して計数する
 請求項1記載の光検出装置。
- [請求項3] 前記第1のマルチプレクサは、照度が所定値を超えない低照度モードが設定された場合には前記第1のパルス信号を選択し、照度が前記所定値より高い高照度モードが設定された場合には前記第1および第2のパルス信号を交互に選択し、
 前記第2のマルチプレクサは、前記低照度モードが設定された場合には前記第2のパルス信号を選択し、前記高照度モードが設定された

場合には前記第1のキャリーフラグを選択する
請求項2記載の光検出装置。

[請求項4] 前記第1および第2のデジタル信号に基づいて照度が前記所定値より高いか否かを判定して前記高照度モードおよび前記低照度モードのいずれかを設定する判定器をさらに具備する
請求項3記載の光検出装置。

[請求項5] 前記第1および第2のカウンタの少なくとも一方は、デジタル信号のうち特定のビットを前記判定器に出力し、
前記判定器は、前記特定のビットに基づいて前記高照度モードおよび前記低照度モードのいずれかを設定する
請求項4記載の光検出装置。

[請求項6] 画素アレイ部に配列された複数の画素のうち同色の第1および第2の画素の一方に前記第1のセンサ部が配置され、他方に前記第2のセンサ部が配置される
請求項1記載の光検出装置。

[請求項7] 前記第1および第2の画素を含む同色の複数の画素に入射光を導くマイクロレンズをさらに具備する
請求項6記載の光検出装置。

[請求項8] 前記第1および第2のセンサ部を制御する制御回路をさらに具備し、
前記第1および第2のセンサ部のそれぞれは、
アバランシェフォトダイオードと、
前記アバランシェフォトダイオードのカソード電位を所定電位まで戻すリチャージを行うリチャージトランジスタと
を備え、
前記制御回路は、前記リチャージを行う間隔であるカウント周期を複数の周期のいずれかに制御し、
前記第1のマルチプレクサは、前記カウント周期が所定周期より長

い長周期である場合には前記第 1 のパルス信号を選択し、前記カウント周期が前記所定周期より短い短周期である場合には前記第 1 および第 2 のパルス信号を交互に選択し、

前記第 2 のマルチプレクサは、前記カウント周期が前記長周期である場合には前記第 2 のパルス信号を選択し、前記カウント周期が前記短周期である場合には前記第 1 のキャリーフラグを選択する請求項 2 記載の光検出装置。

[請求項9] カウント周期が前記長周期および前記短周期の一方の期間内に前記第 1 および第 2 のカウンタのそれぞれの計数を有効にするか否かを前記第 1 および第 2 のデジタル信号に基づいて判定する判定器をさらに具備し、

前記第 1 および第 2 のセンサ部のそれぞれは、計数を無効にすると判定された場合には前記リチャージトランジスタをオフ状態にする論理ゲートをさらに備える請求項 8 記載の光検出装置。

[請求項10] 画素アレイ部に配列された複数の画素のうち第 1 および第 2 の画素の一方に前記第 1 のセンサ部が配置され、他方に前記第 2 のセンサ部が配置され、

前記制御回路は、1 フレームを撮像するためのフレーム期間内に前記カウント周期の切り替えを複数回に亘って行い、

前記第 1 および第 2 のマルチプレクサは、前記フレーム期間内に選択先の切り替えを複数回に亘って行う請求項 8 記載の光検出装置。

[請求項11] 前記制御回路は、前記画素アレイ部の複数の行を順に選択して露光を開始させる請求項 10 記載の光検出装置。

[請求項12] 前記制御回路は、前記フレーム期間の開始時に前記画素アレイ部の全画素を選択して同時に露光を開始させ、前記フレーム期間の終了直

前に全画素を選択して同時に露光を終了させる

請求項 10 記載の光検出装置。

[請求項13] 前記制御回路は、前記フレーム期間中に前記画素アレイ部の複数の行を順に選択して露光を開始させる
請求項 12 記載の光検出装置。

[請求項14] 前記制御回路は、前記フレーム期間中に前記全画素を選択して同時に露光を終了させ、前記全画素の読出し完了後に前記カウント周期を切り替えてから前記全画素を選択して同時に露光を開始させる
請求項 12 記載の光検出装置。

[請求項15] 前記制御回路は、デジタル信号を伝送する信号線を共有する第1および第2の行の一方を同時に選択して露光させ、前記一方のデジタル信号の読出し中に前記第1および第2の行の他方を同時に選択して露光させる
請求項 14 記載の光検出装置。

[請求項16] 前記第1および第2のパルス信号に対する論理演算の結果を第1の演算結果として出力する第1の論理ゲートと、

前記第1のパルス信号と前記第1の演算結果とを含む複数の信号のいずれかを選択して前記第1のカウantaに第1の出力信号として出力する第1のマルチプレクサと、

前記第1のキャリーフラグと前記第2のパルス信号とのいずれかを選択して前記第2のカウantaに第2の出力信号として出力する第2のマルチプレクサと

をさらに具備し、

前記第1のカウantaは、前記第1の出力信号に同期して計数し、

前記第2のカウantaは、前記第2の出力信号に同期して計数する

請求項 1 記載の光検出装置。

[請求項17] 前記第1および第2のセンサ部を制御する制御回路をさらに具備し、

前記第 1 および第 2 のセンサ部のそれぞれは、
アバランシェフォトダイオードと、
前記アバランシェフォトダイオードのカソード電位を所定電位まで
戻すリチャージを行うリチャージトランジスタと
を備え、
前記制御回路は、前記リチャージを行う間隔であるカウント周期を
複数の周期のいずれかに制御し、
前記第 1 のマルチプレクサは、前記カウント周期が所定周期より長
い長周期である場合には前記第 1 のパルス信号を選択し、前記カウ
ント周期が前記所定周期より短い短周期である場合には前記第 1 およ
び第 2 のパルス信号を交互に選択し、
前記第 2 のマルチプレクサは、前記カウント周期が前記長周期であ
る場合には前記第 2 のパルス信号を選択し、前記カウント周期が前記
短周期である場合には前記第 1 のキャリーフラグを選択する
請求項 1 6 記載の光検出装置。

[請求項18] 光子の入射に応じて第 3 のパルス信号を生成する第 3 のセンサ部と
、
光子の入射に応じて第 4 のパルス信号を生成する第 4 のセンサ部と
、
前記第 3 および第 4 のパルス信号に対する論理演算の結果を第 2 の
演算結果として出力する第 2 の論理ゲートと、
前記第 1 および第 2 の論理ゲートのそれぞれの出力に対する論理演
算の結果を第 3 の演算結果として出力する第 3 の論理ゲートと、
オーバーフローが生じたか否かを示す第 2 のキャリーフラグと前記
第 3 のパルス信号と前記第 2 の演算結果とのいずれかを第 3 の出力信
号として出力する第 3 のマルチプレクサと、
前記第 3 の出力信号に同期して計数値を計数し、当該計数値を示す
第 3 のデジタル信号とオーバーフローが生じたか否かを示す第 3 のキ

キャリアフラグとを出力する第3のカウンタと、

前記第3のキャリアフラグと前記第4のパルス信号とのいずれかを第4の出力信号として出力する第4のマルチプレクサと、

前記第4の出力信号に同期して計数値を計数し、当該計数値を示す第4のデジタル信号を出力する第4のカウンタと
をさらに具備し、

前記第1のマルチプレクサは、前記第1のパルス信号と前記第1の演算結果と前記第3の演算結果とのいずれかを選択し、

前記第2のカウンタは、前記第2のキャリアフラグをさらに生成する

請求項16記載の光検出装置。

[請求項19]

前記第1のマルチプレクサは、照度が所定値を超えない非加算低照度モードが設定された場合には前記第1のパルス信号を選択し、照度が前記所定値より高い非加算高照度モードが設定された場合には前記第1のパルス信号と前記第1の演算結果とを交互に選択し、加算モードが設定された場合には前記第1の演算結果を選択し、

前記第2のマルチプレクサは、前記非加算低照度モードが設定された場合には前記第2のパルス信号を選択し、前記非加算高照度モードが設定された場合には前記第1のキャリアフラグを選択し、前記加算モードが設定された場合には前記第1のキャリアフラグを選択する
請求項16記載の光検出装置。

[請求項20]

前記第1のセンサ部の一部と前記第2のセンサ部の一部とは、所定の画素チップに配置され、

前記第1のセンサ部の残りと前記第2のセンサ部の残りと前記第1および第2のカウンタは、所定の回路チップに配置される
請求項1記載の光検出装置。

[請求項21]

複数の画素を制御する制御回路をさらに具備し、

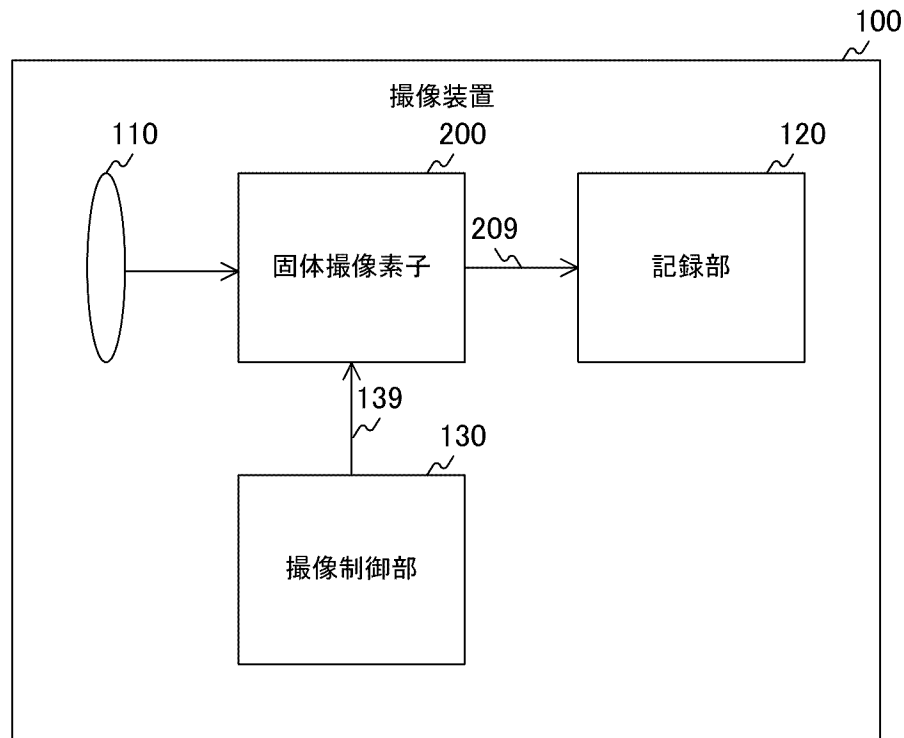
前記複数の画素のうち第1および第2の画素の一方に前記第1のセ

ンサ部が配置され、他方に前記第 2 のセンサ部が配置され、

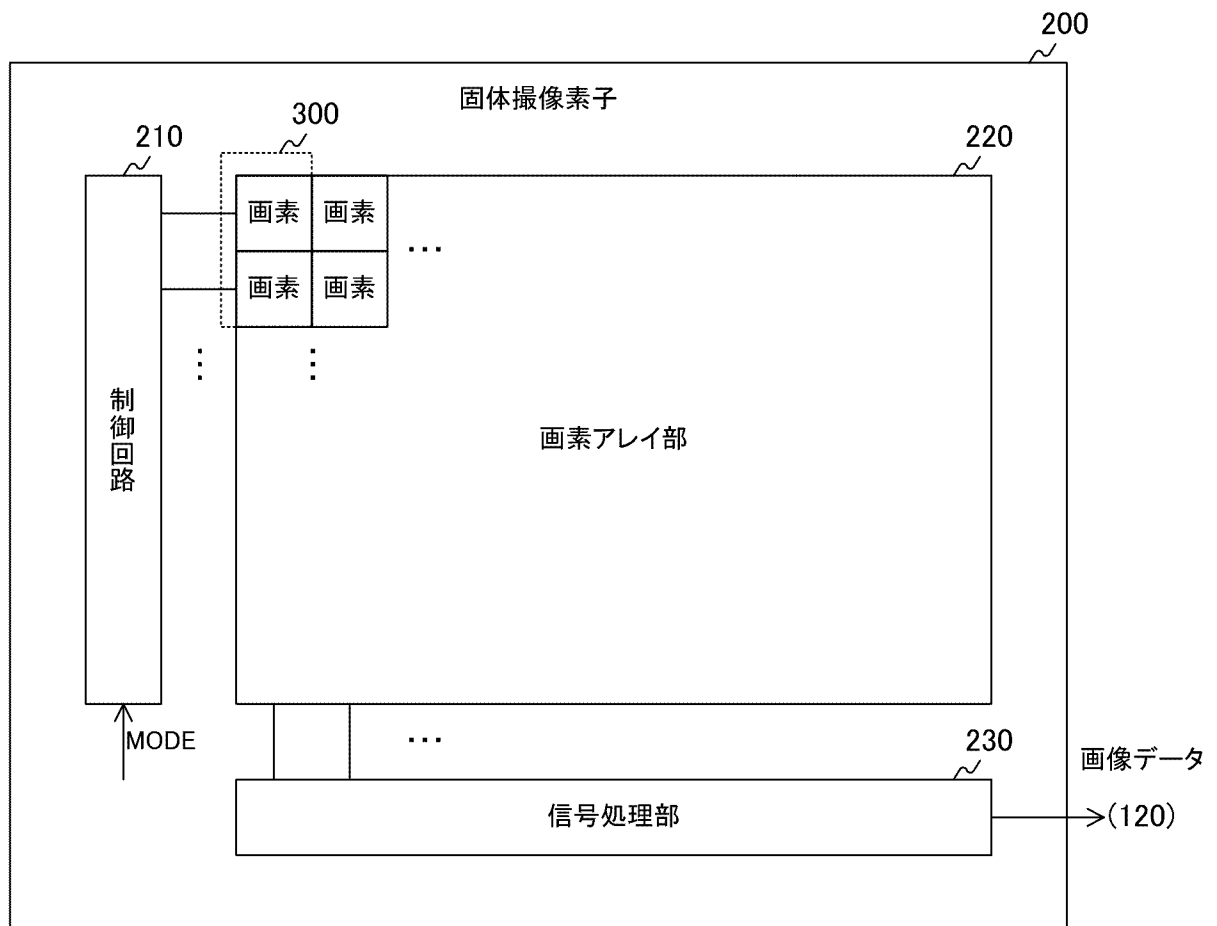
前記制御回路は、前記複数の画素の一部を制御してパルス信号を生成させる

請求項 1 記載の光検出装置。

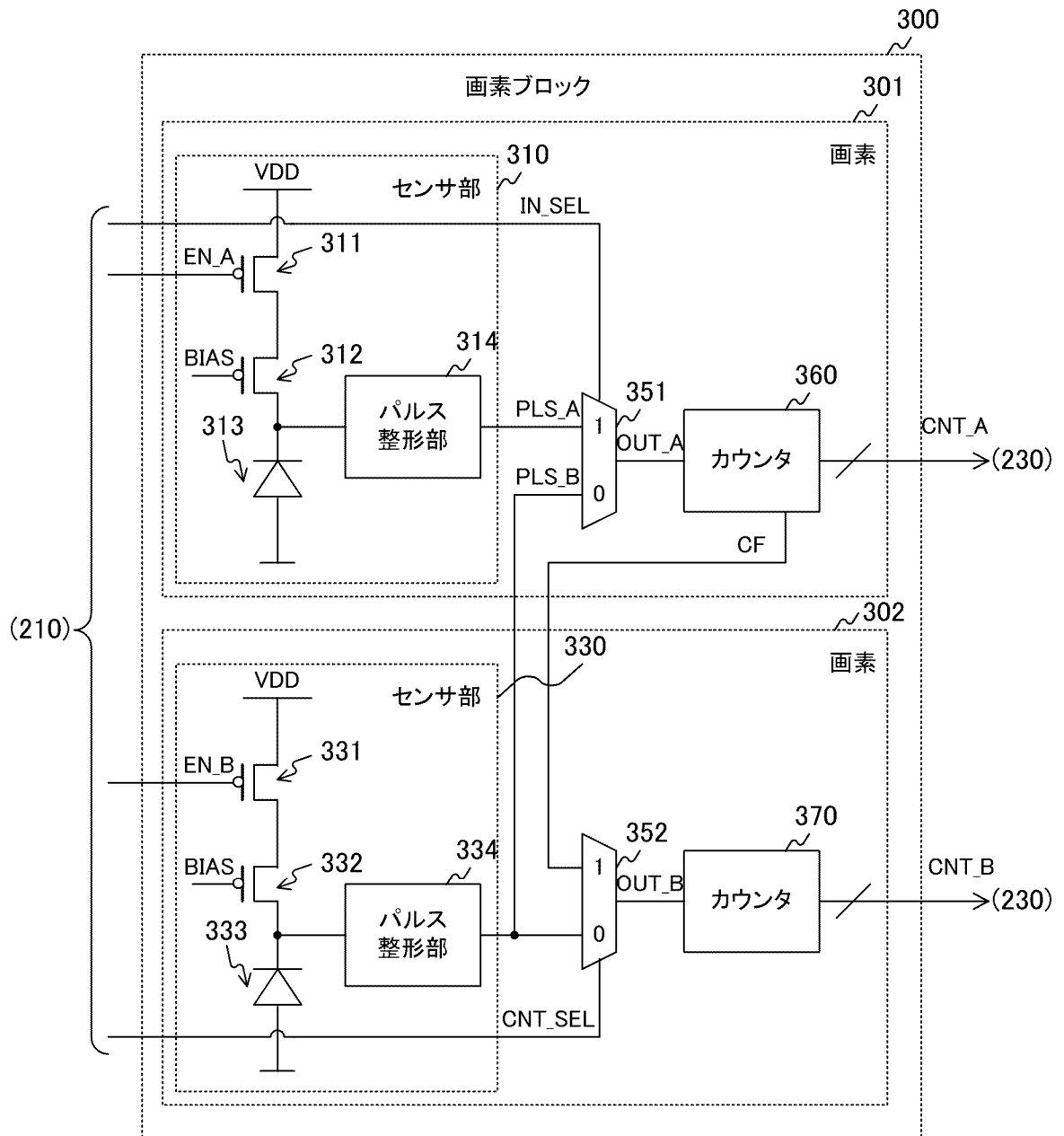
[図1]



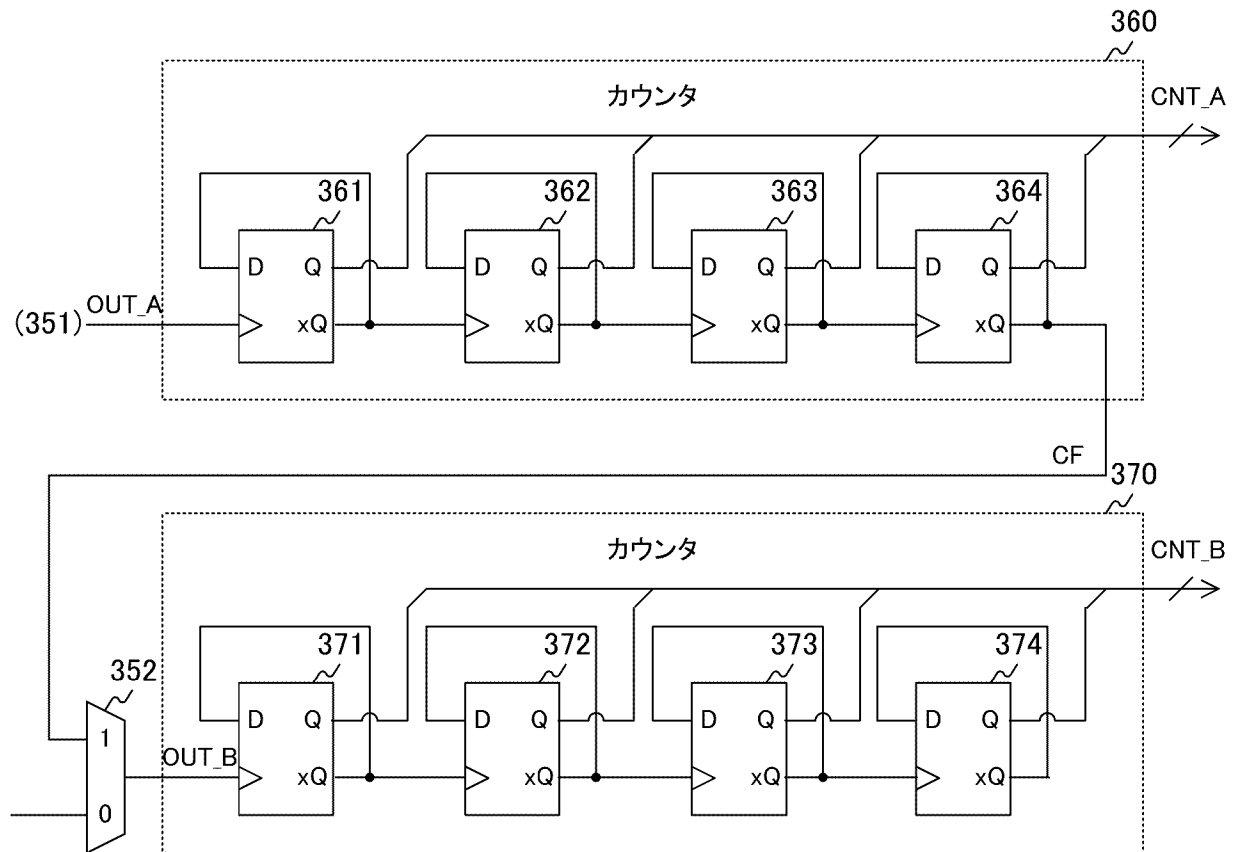
[図2]



[図3]



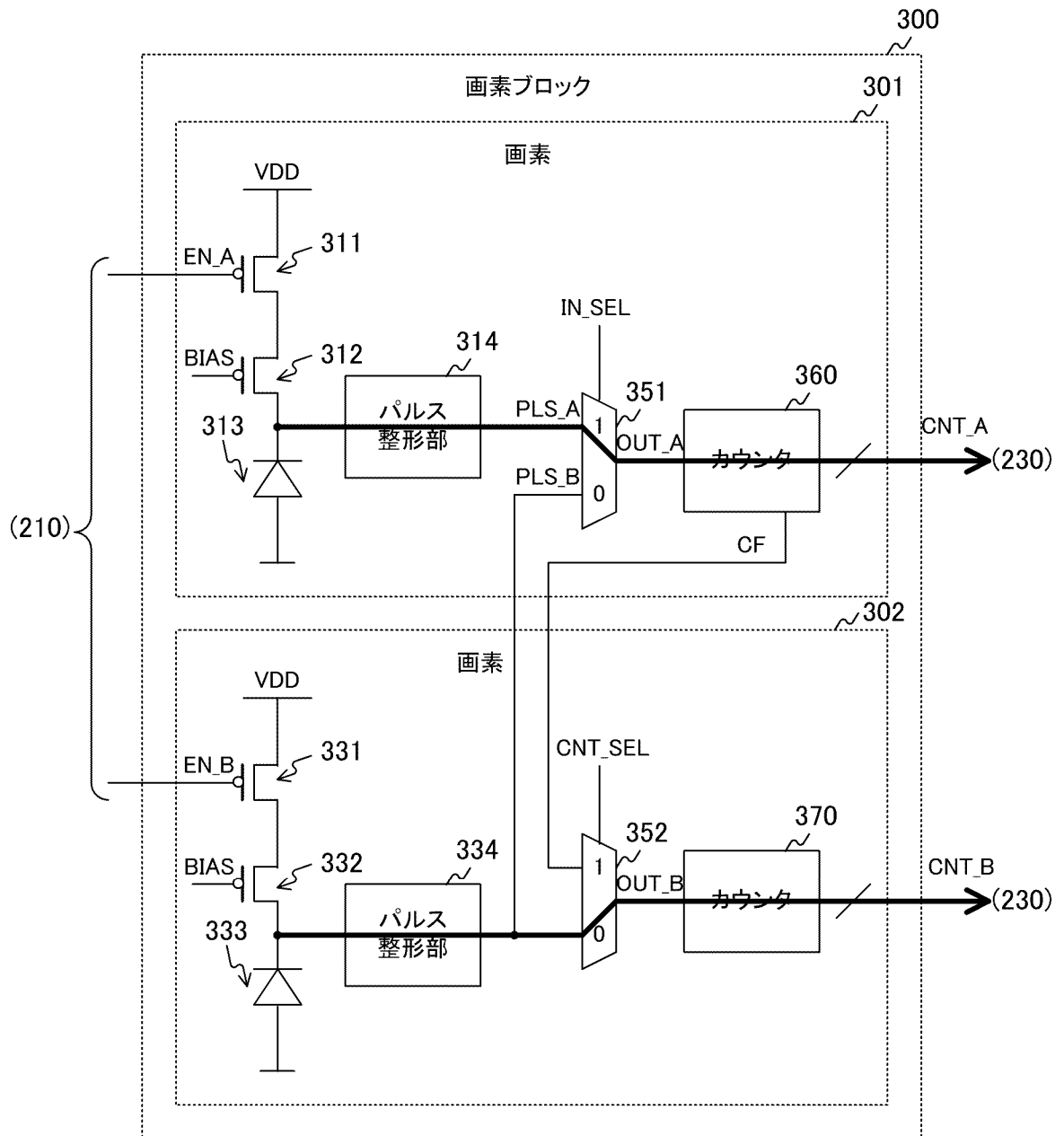
[図4]



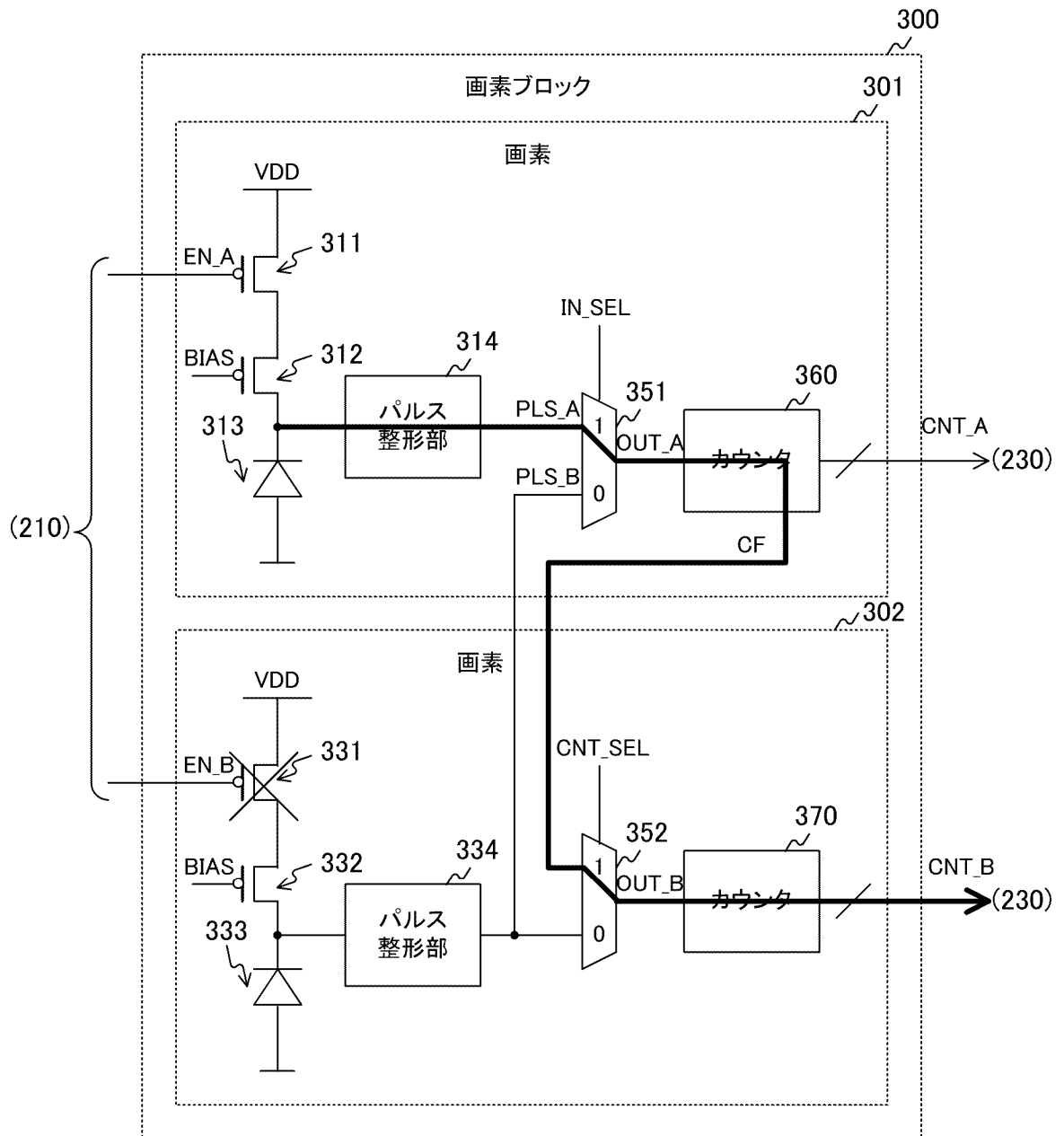
[図5]

モード	露光対象	IN_SEL	CNT_SEL	EN_A	EN_B
低照度モード	AおよびB	1 (PLS_A)	0 (PLS_B)	0 (イネーブル)	0 (イネーブル)
高照度モード	Aのみ	1 (PLS_A)	1 (CF)	0 (イネーブル)	1 (ディセーブル)
	Bのみ	0 (PLS_B)	1 (CF)	1 (ディセーブル)	0 (イネーブル)

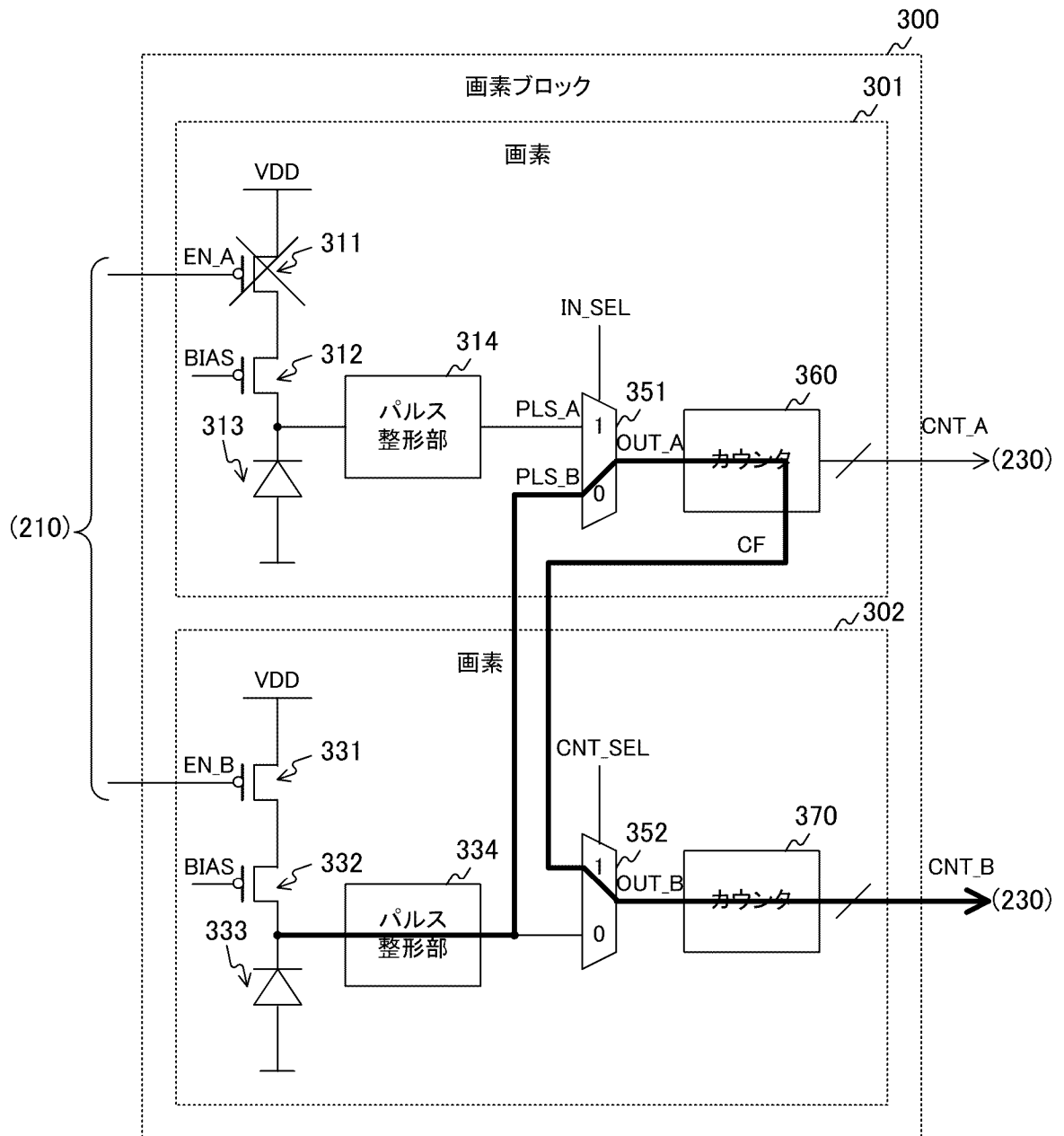
[図6]



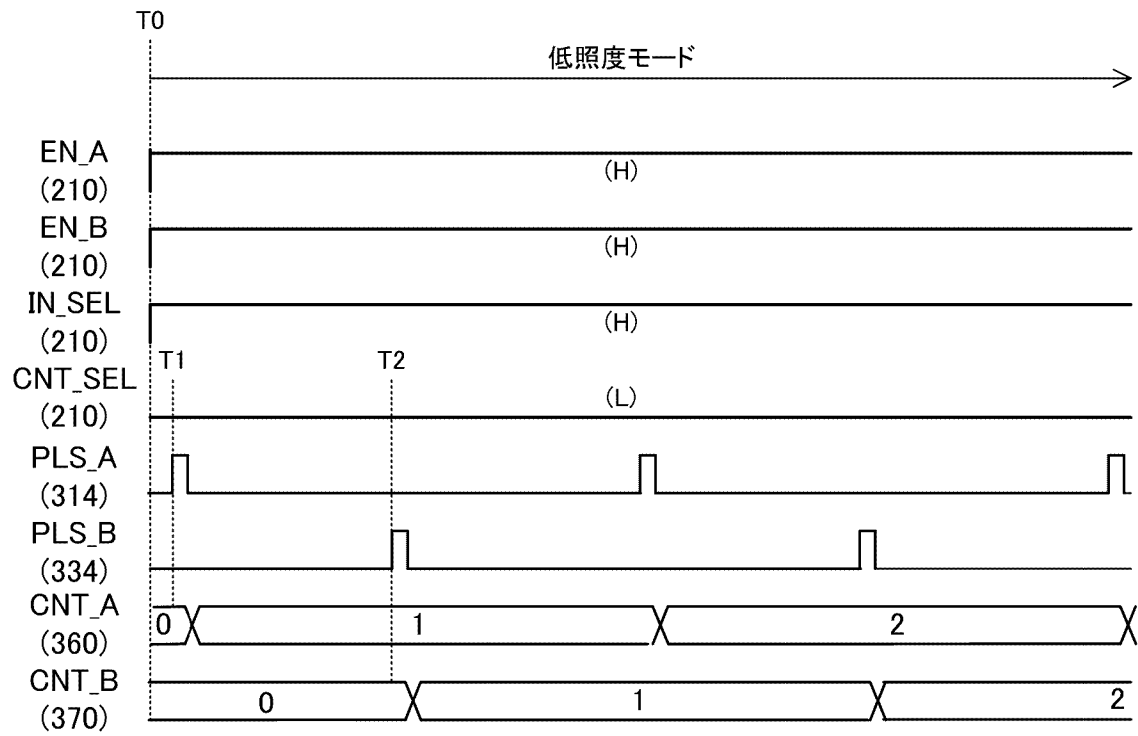
[図7]



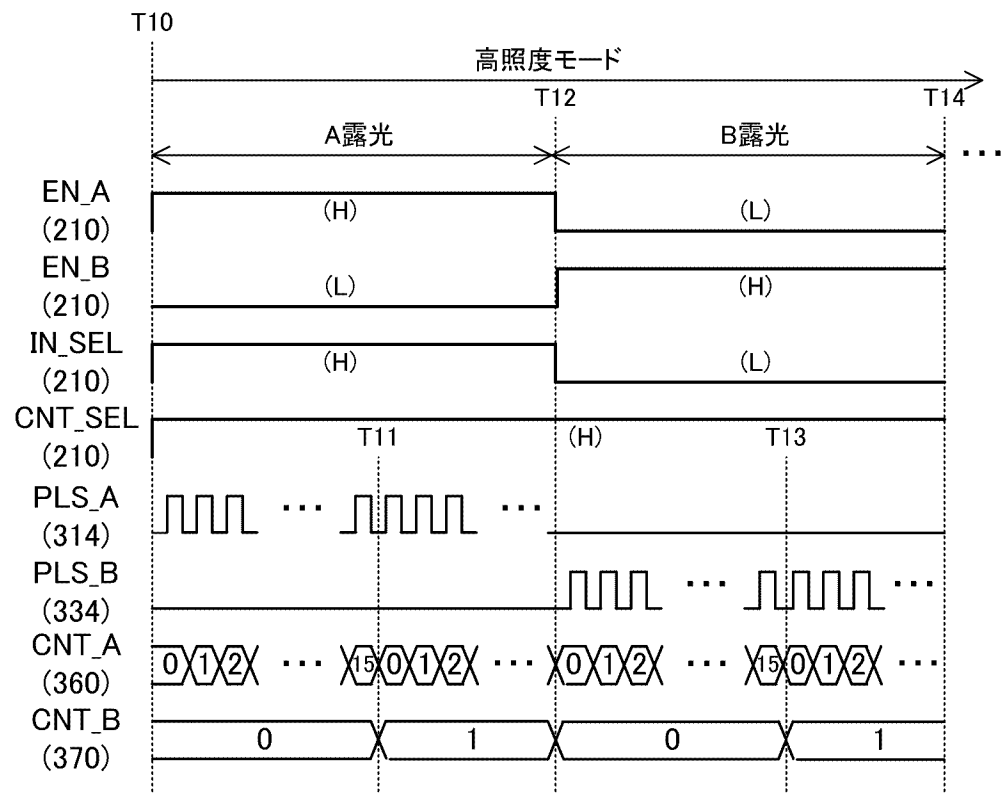
[図8]



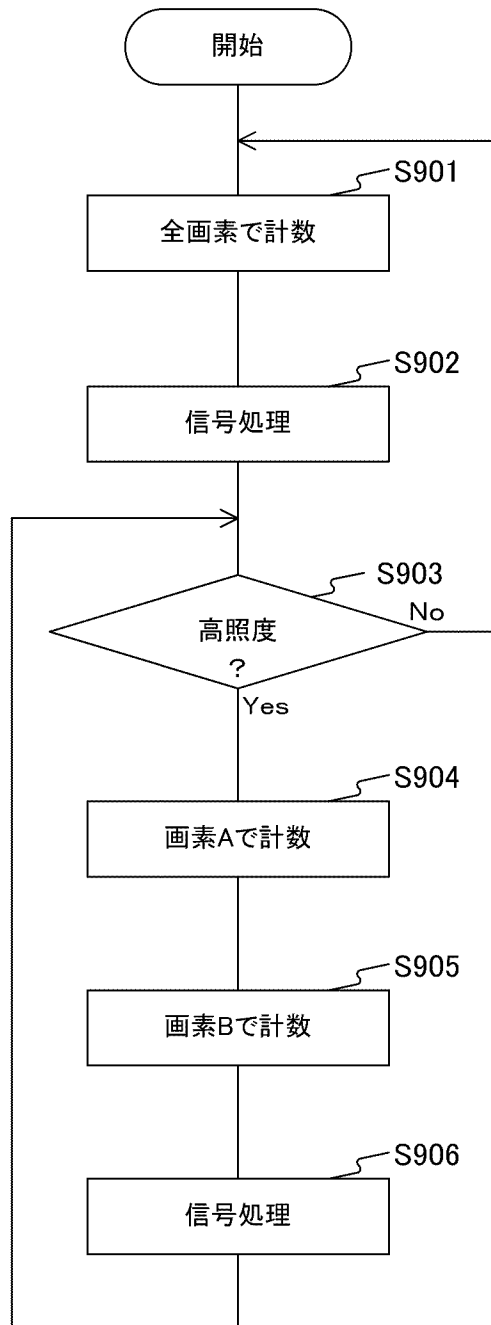
[図9]



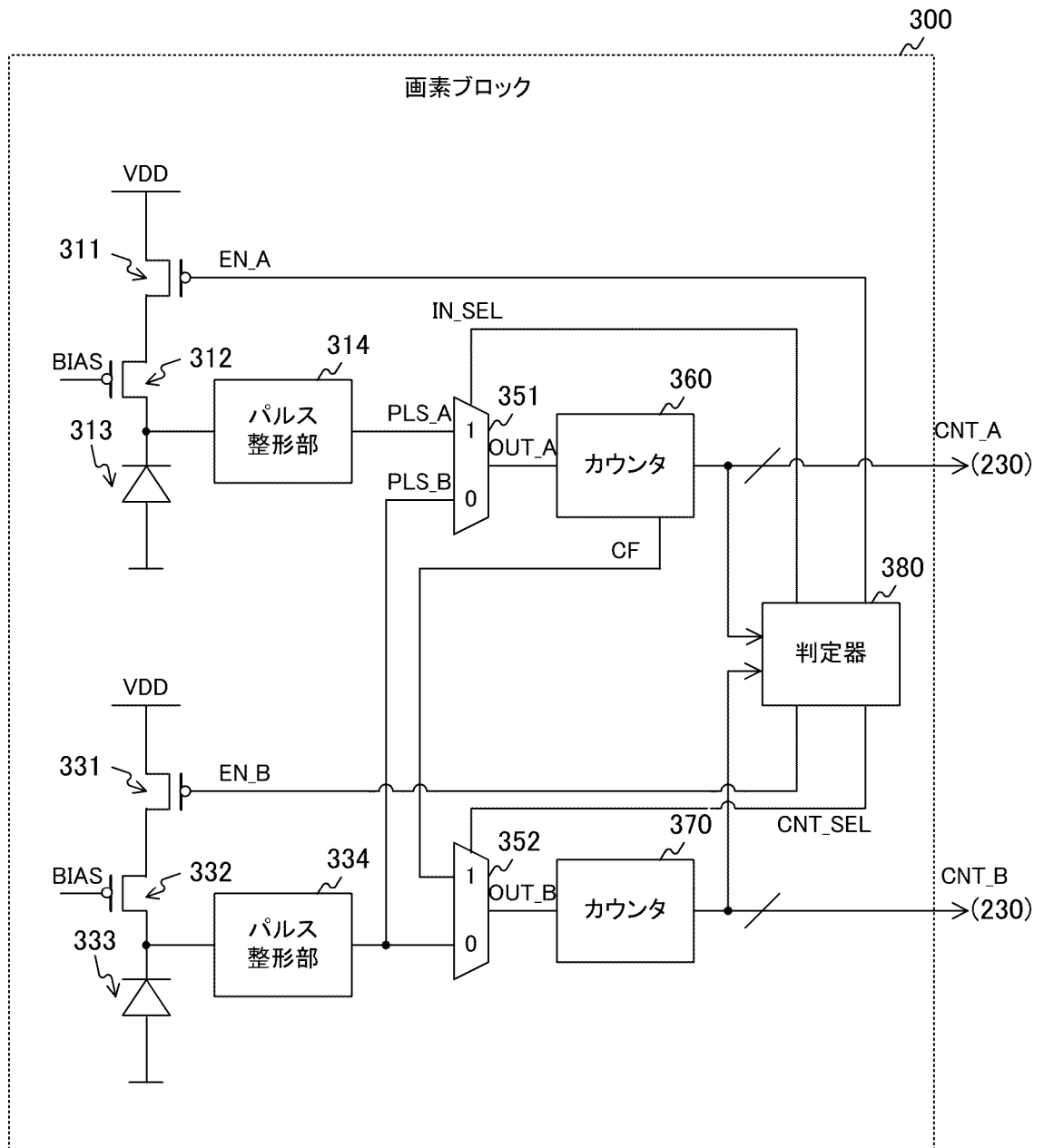
[図10]



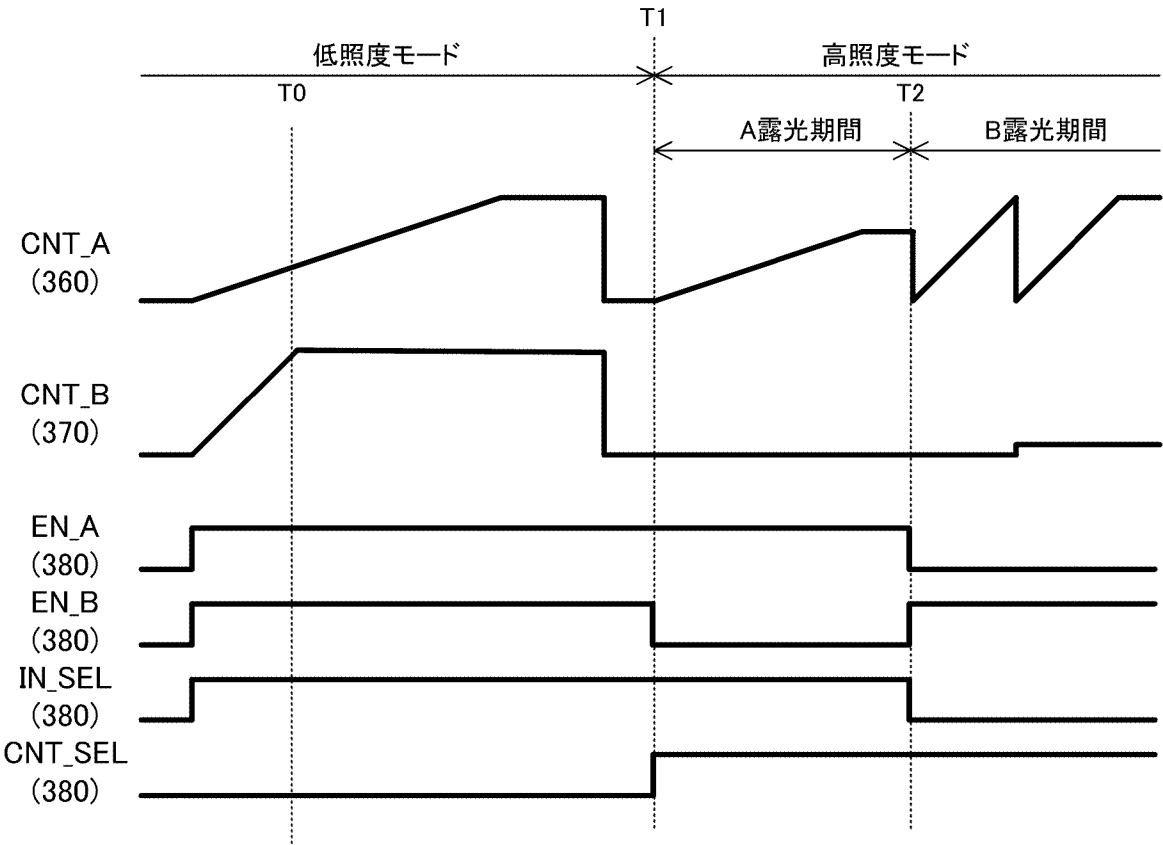
[図11]



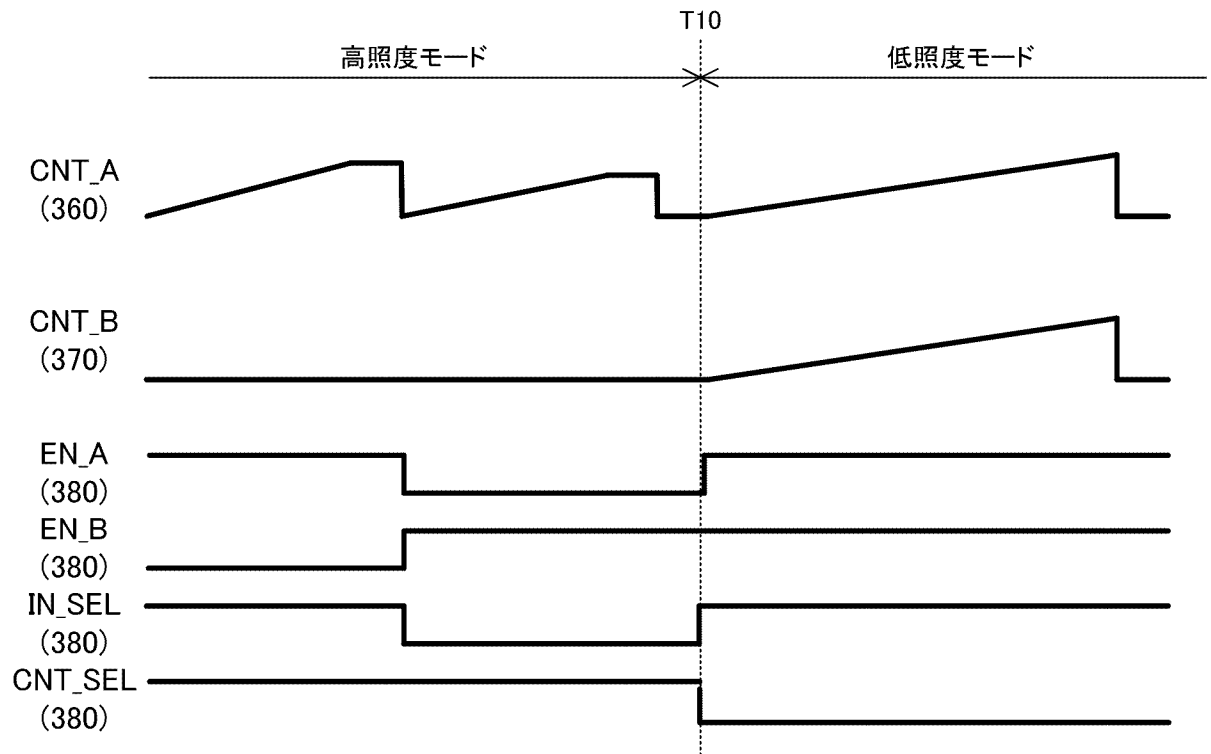
[図12]



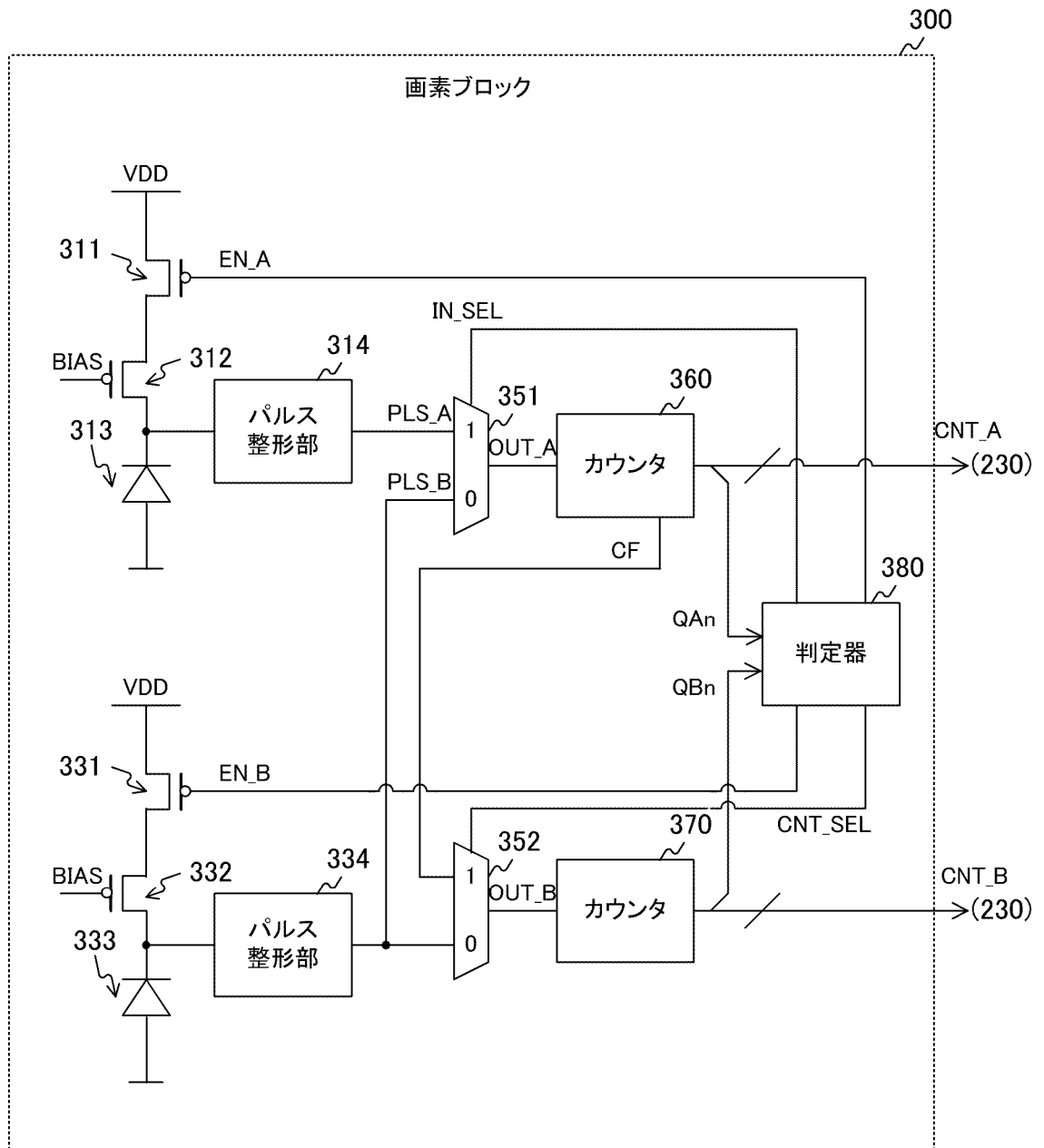
[図13]



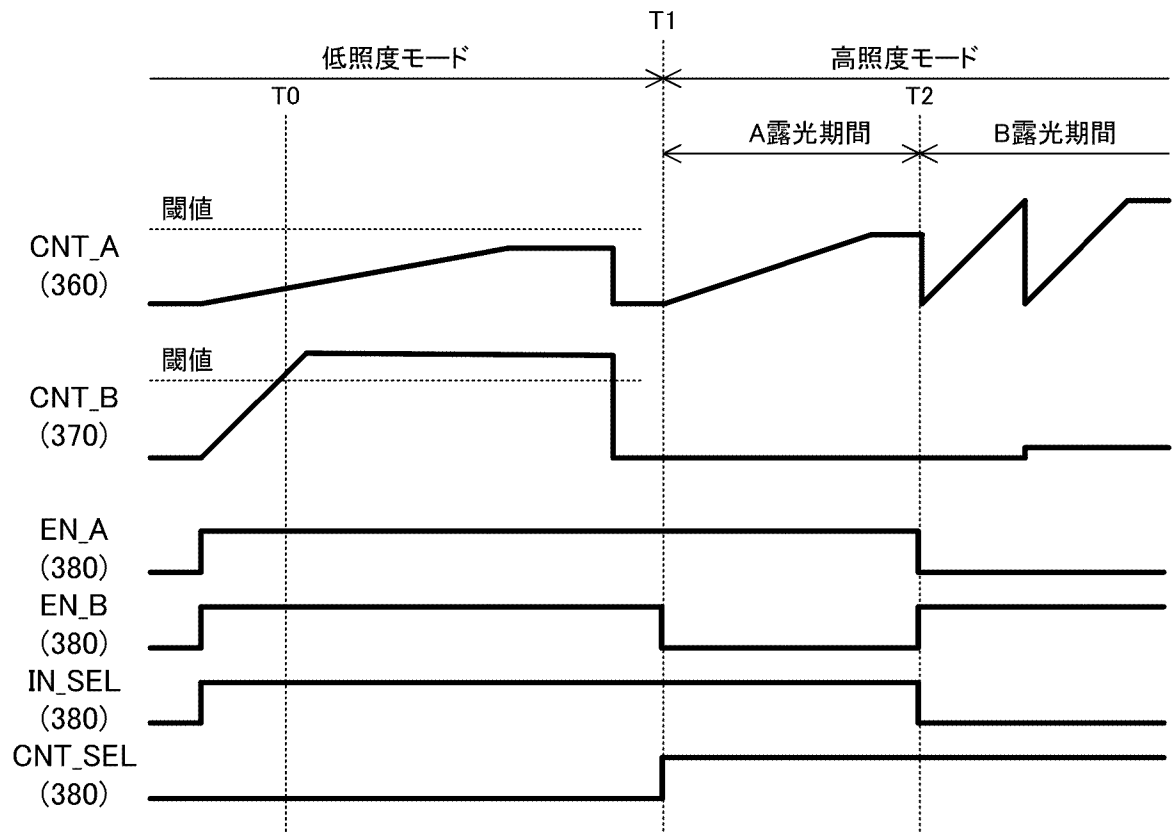
[図14]



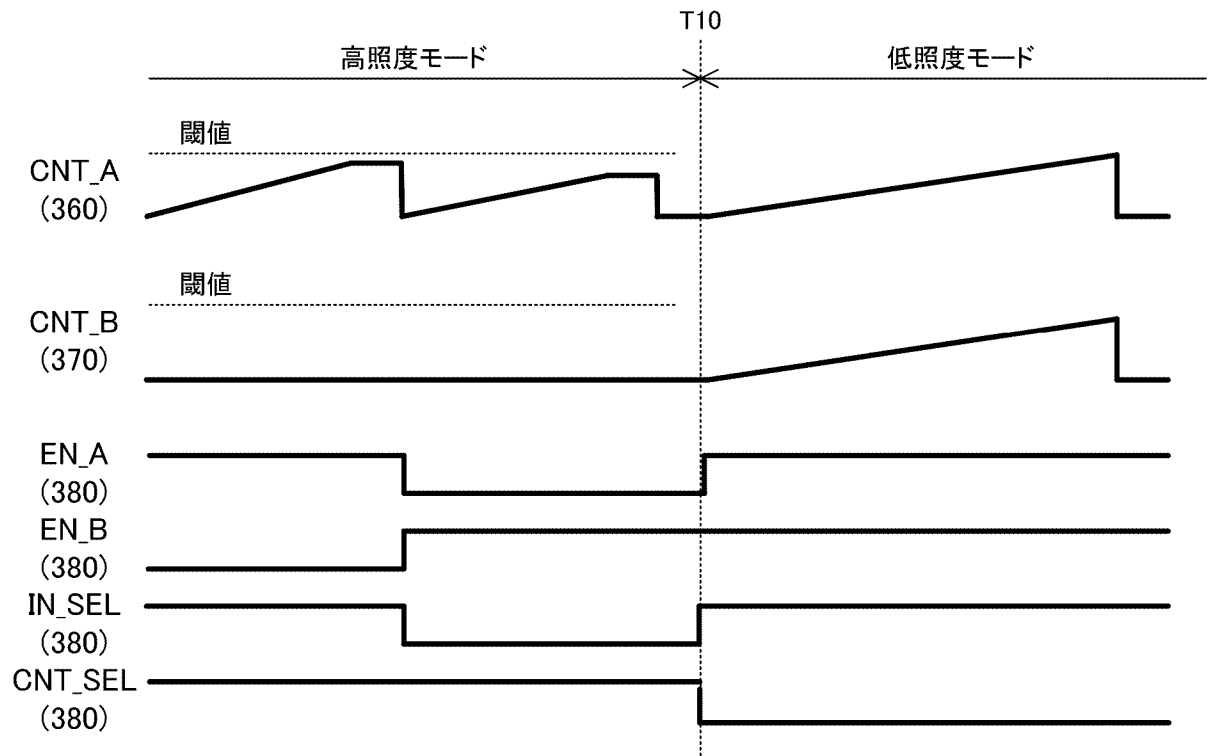
[図15]



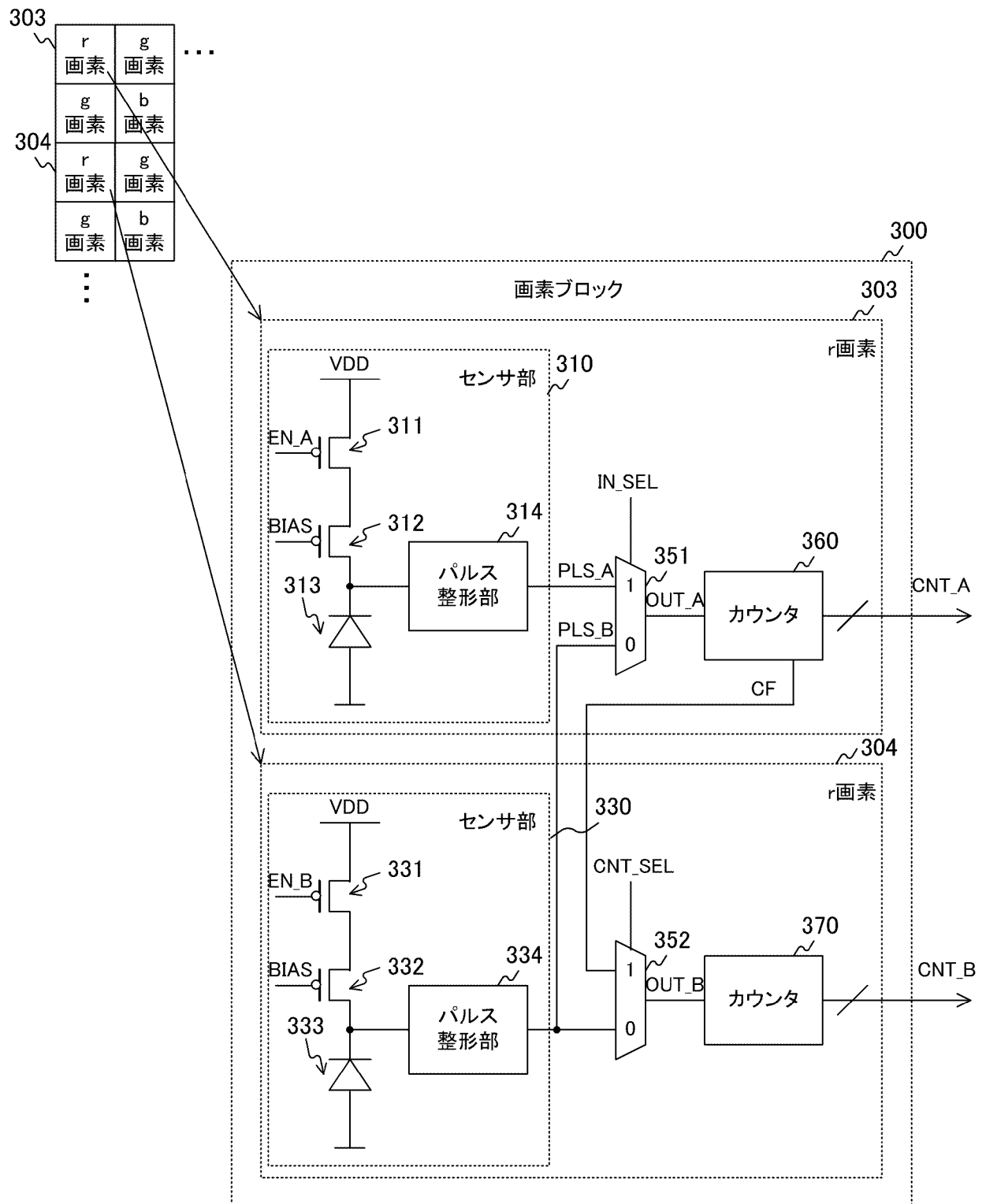
[図16]



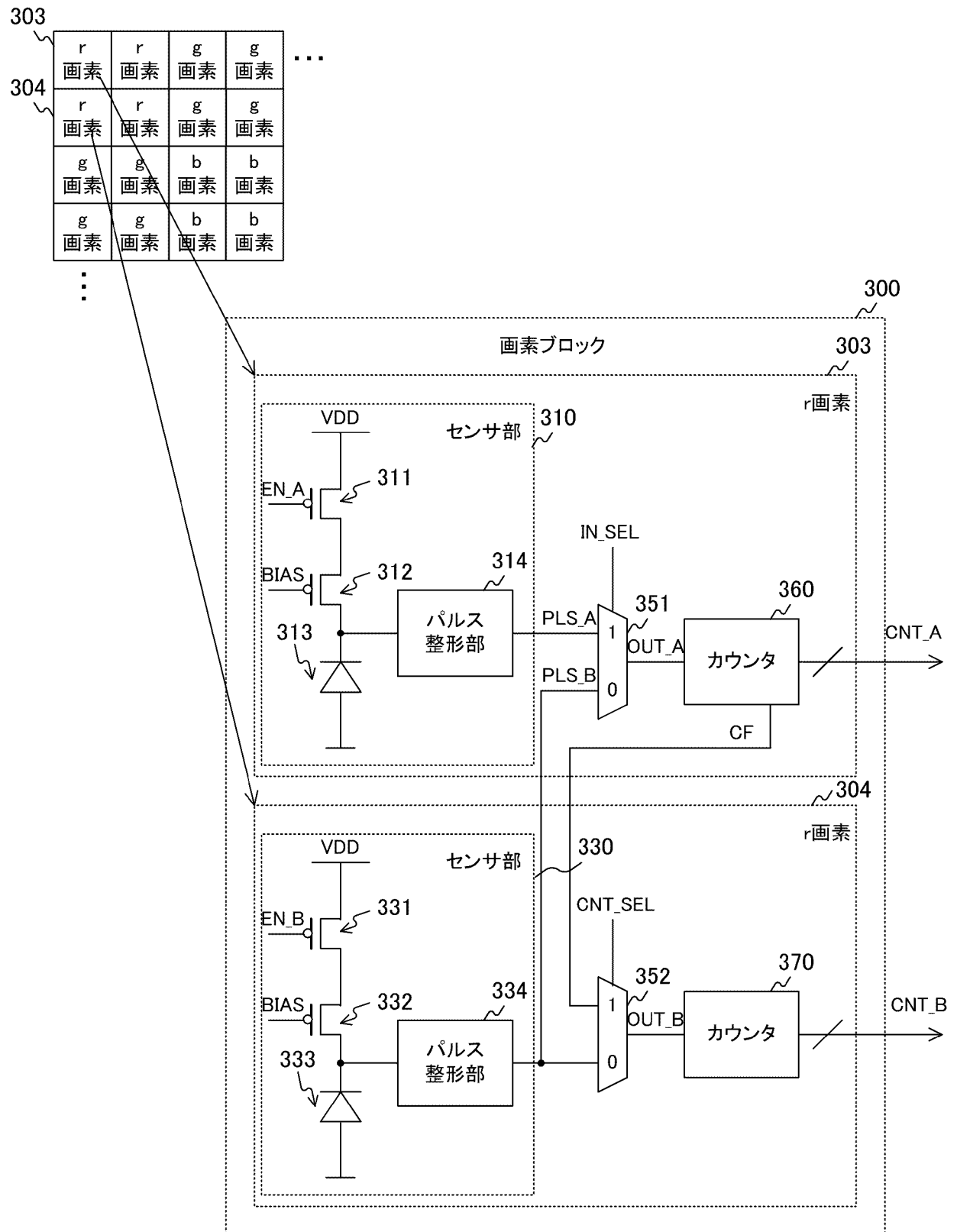
[図17]



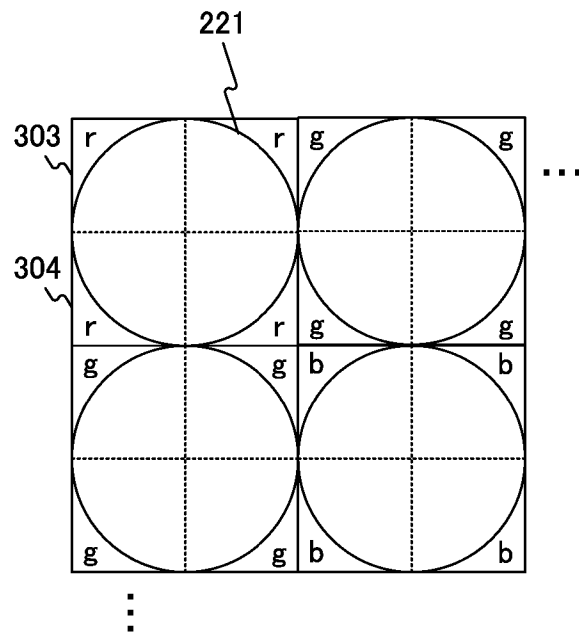
[図18]



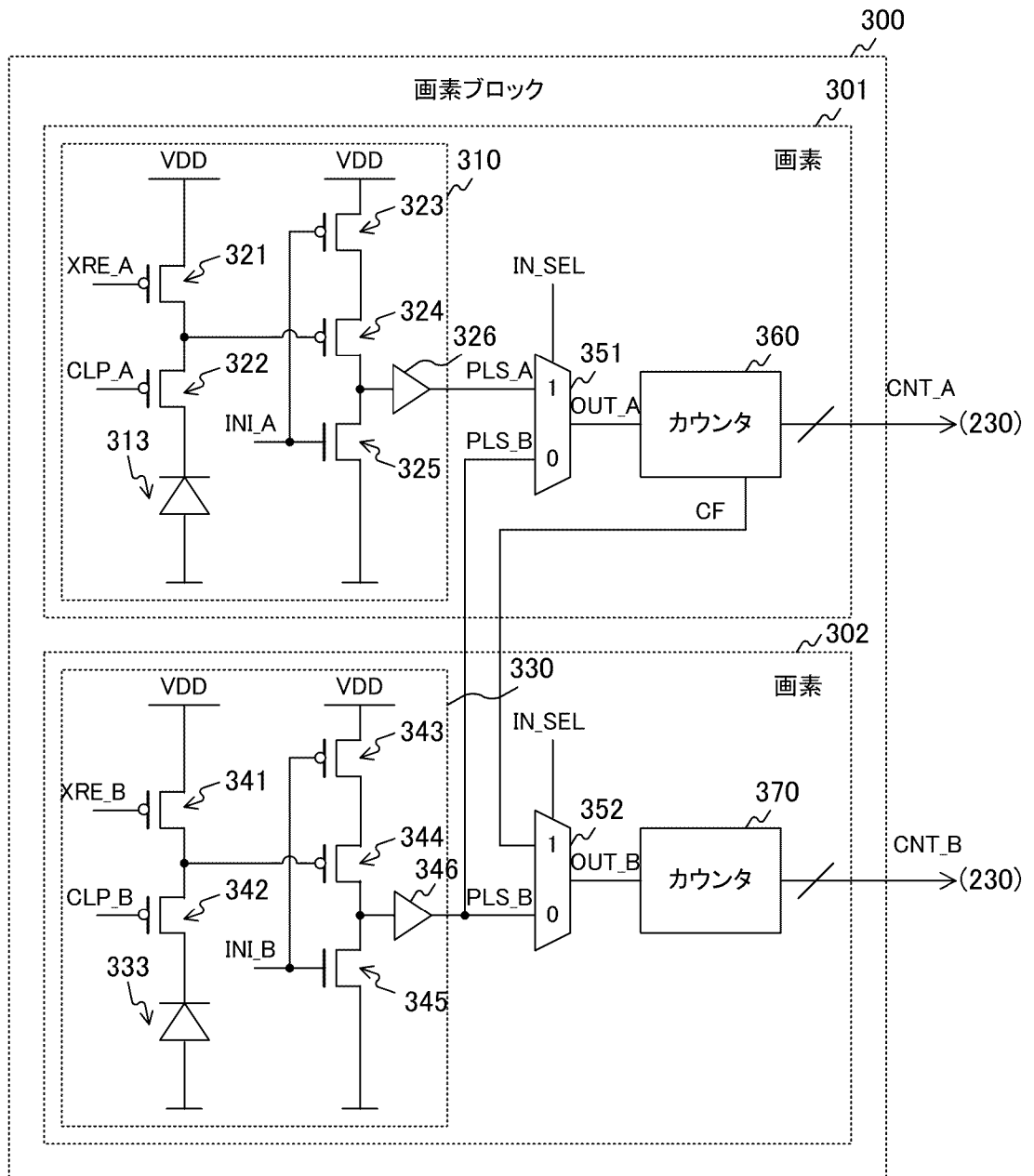
[図19]



[図20]



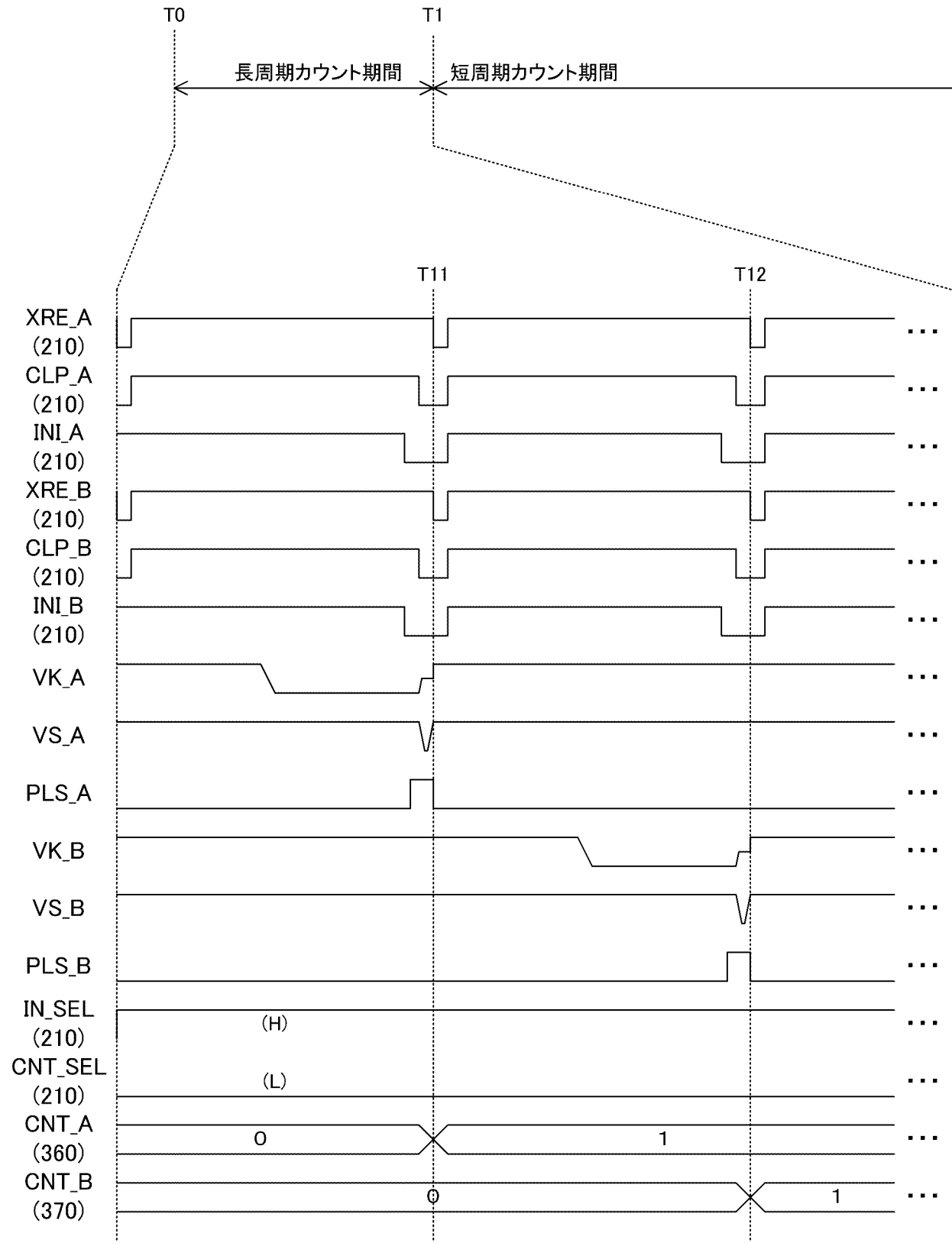
[図21]



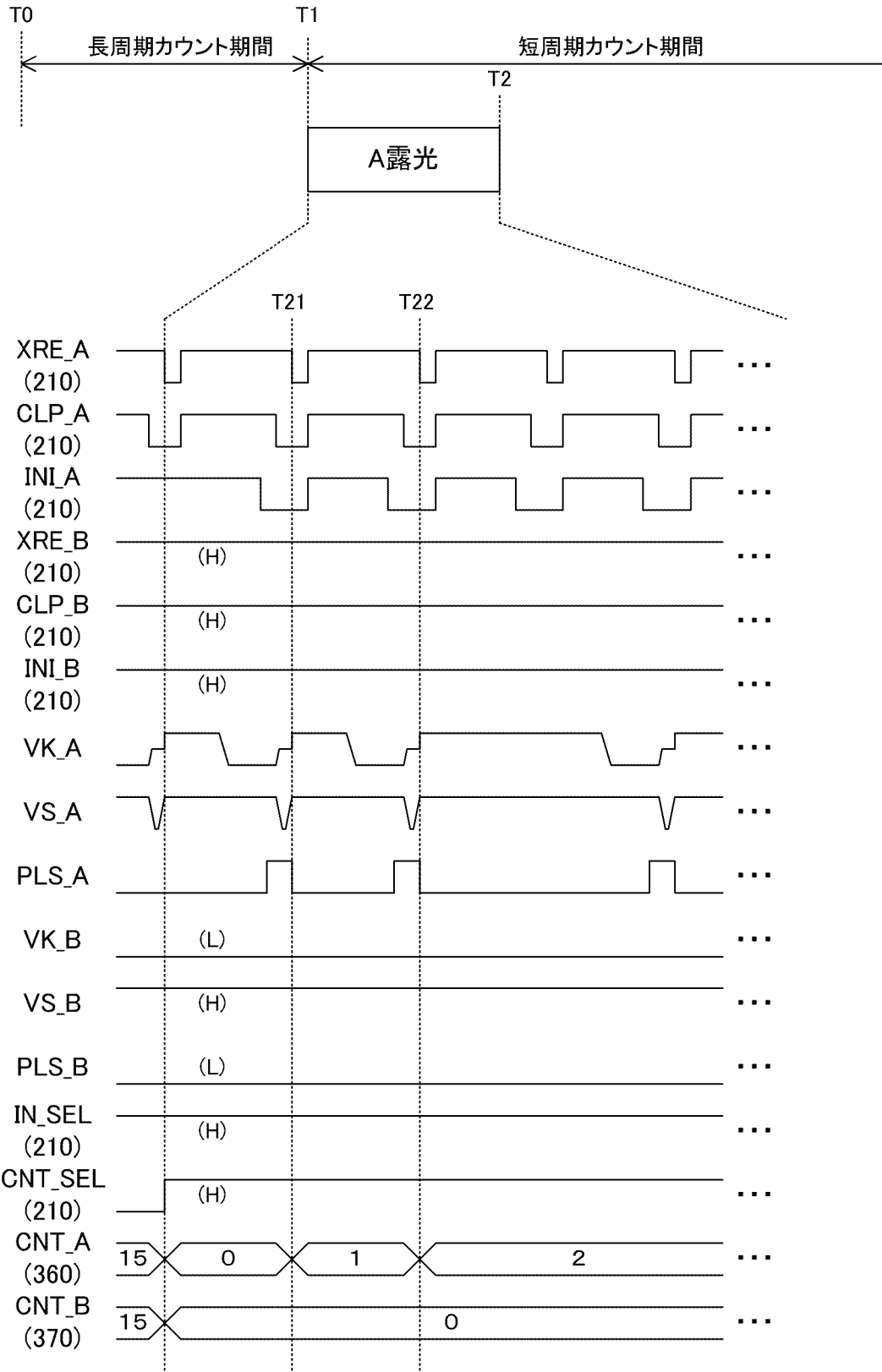
[図22]

カウント周期	露光対象	IN_SEL	CNT_SEL	EN_A	EN_B
長周期	AおよびB	1 (PLS_A)	0 (PLS_B)	0 (イネーブル)	0 (イネーブル)
短周期	Aのみ	1 (PLS_A)	1 (CF)	0 (イネーブル)	1 (ディセーブル)
	Bのみ	0 (PLS_B)	1 (CF)	1 (ディセーブル)	0 (イネーブル)

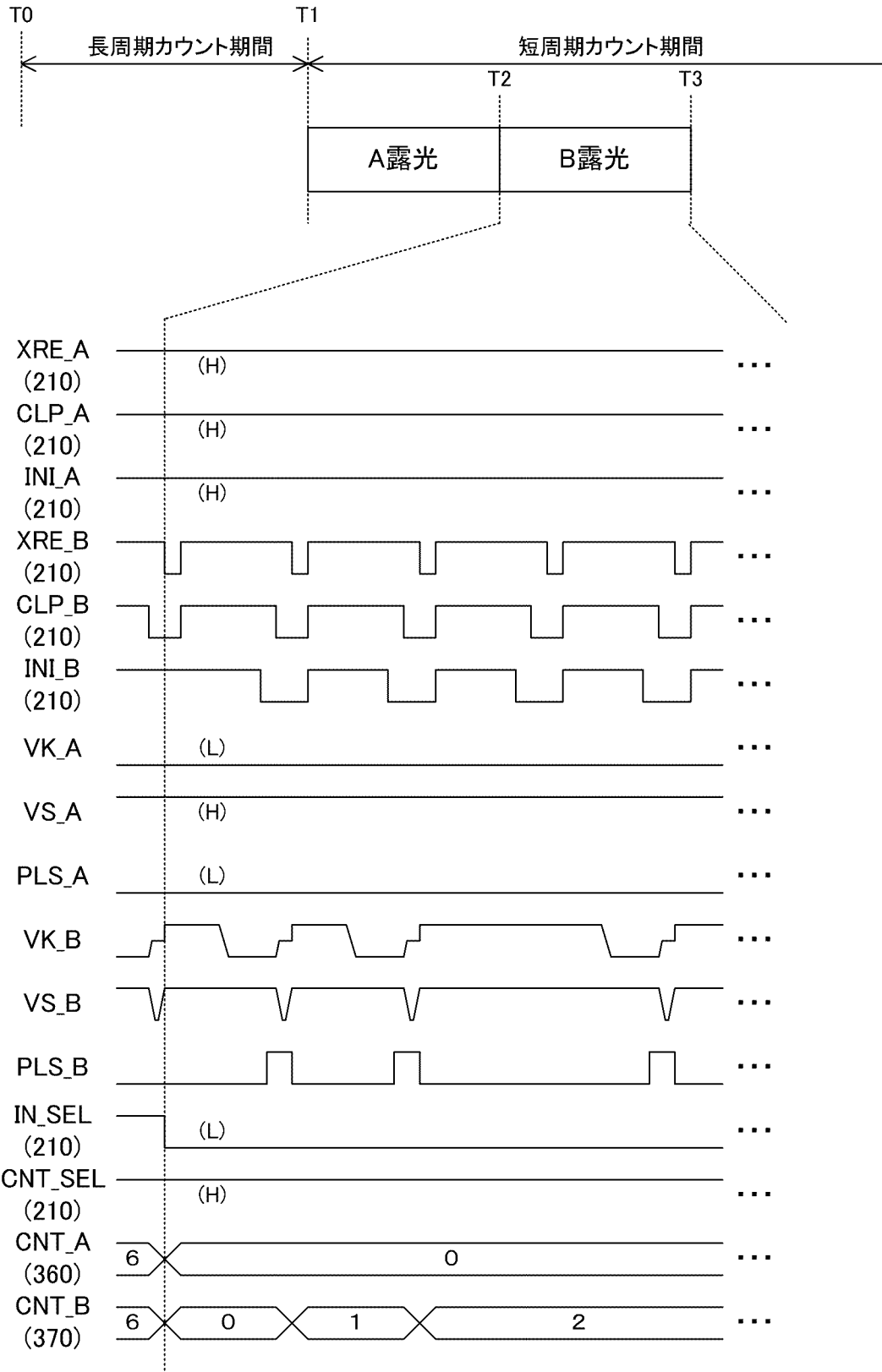
[図23]



[図24]

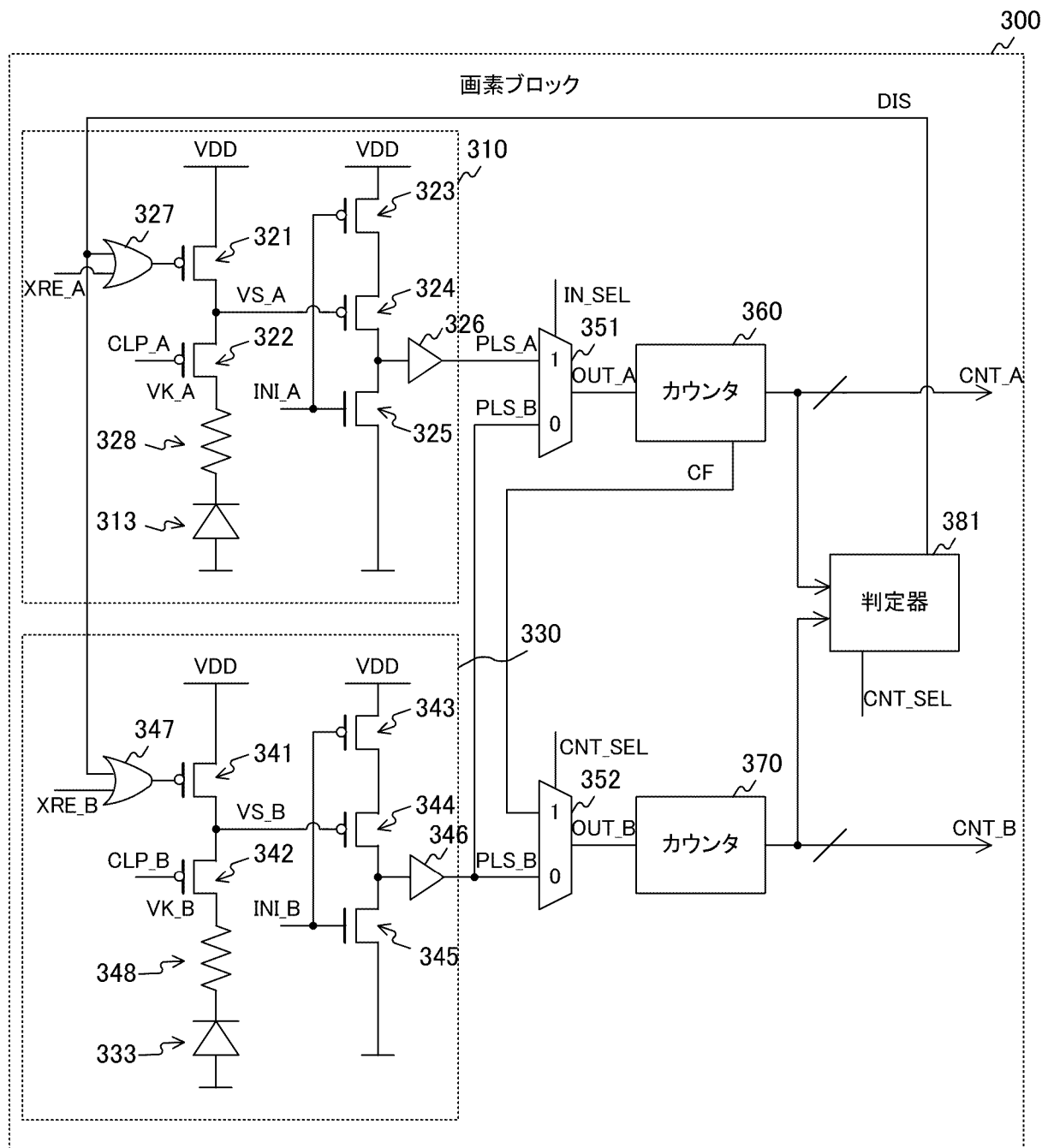


[図25]

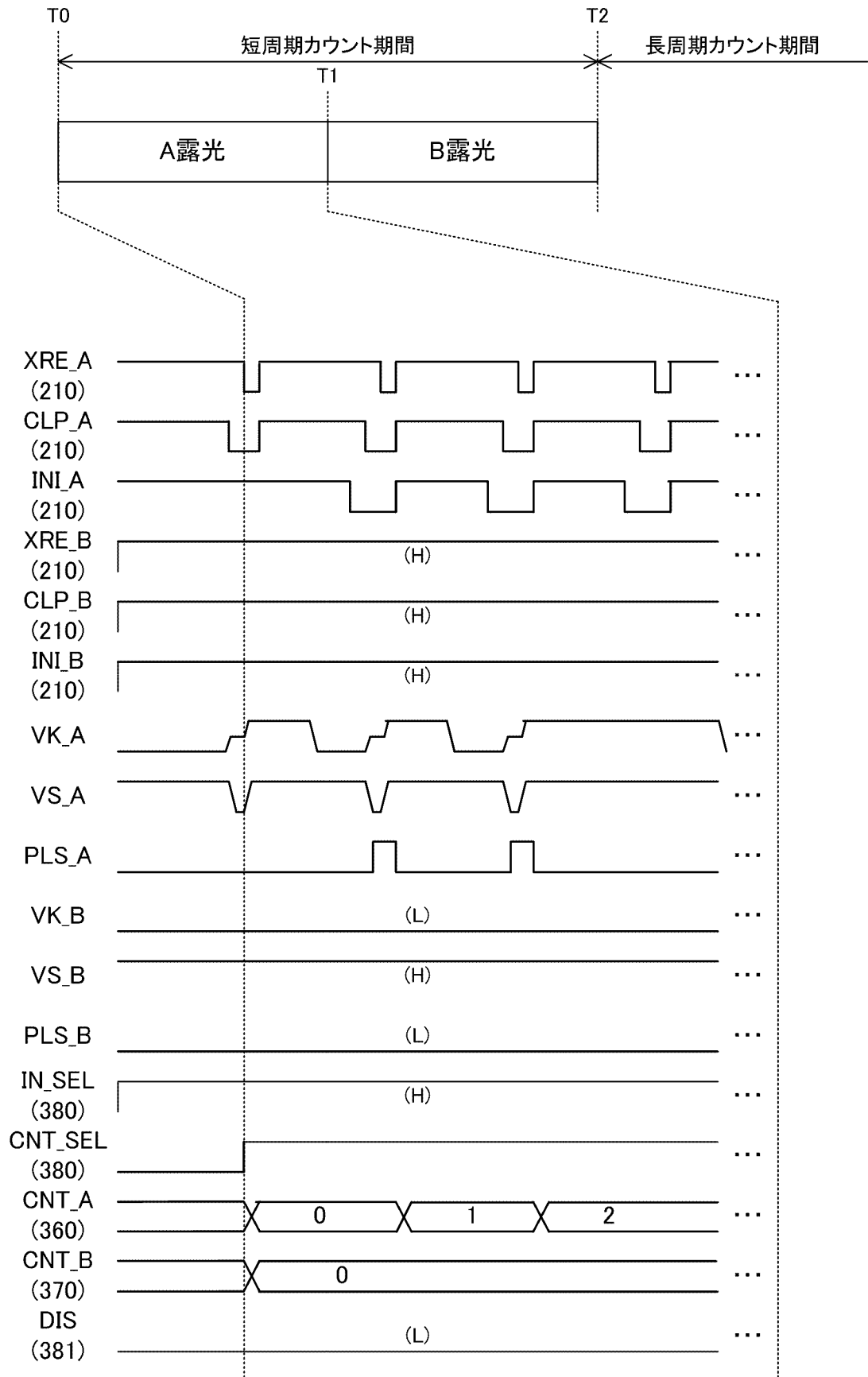


[図26]

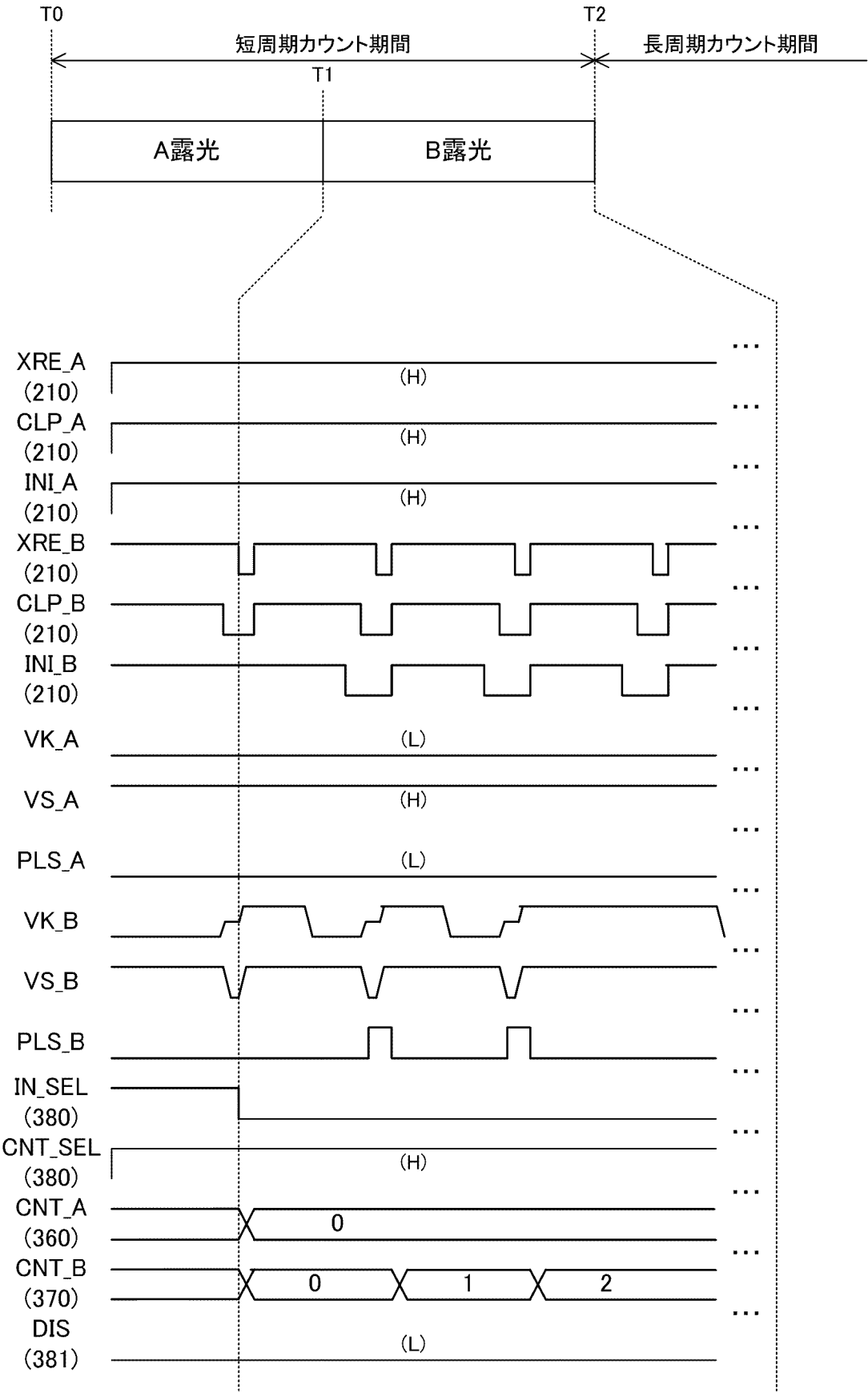
グループ	カウント周期	露光対象	IN_SEL	CNT_SEL	EN_A	EN_B
長周期群	P1 (最長)	AおよびB	1 (PLS_A)	0 (PLS_B)	0 (イネーブル)	0 (イネーブル)
	P2(<P1)	AおよびB	1 (PLS_A)	0 (PLS_B)	0 (イネーブル)	0 (イネーブル)
短周期群	P3(<P2)	Aのみ	1 (PLS_A)	1 (CF)	0 (イネーブル)	1 (ディセーブル)
		Bのみ	0 (PLS_B)	1 (CF)	1 (ディセーブル)	0 (イネーブル)
	P4(<P3)	Aのみ	1 (PLS_A)	1 (CF)	0 (イネーブル)	1 (ディセーブル)
		Bのみ	0 (PLS_B)	1 (CF)	1 (ディセーブル)	0 (イネーブル)



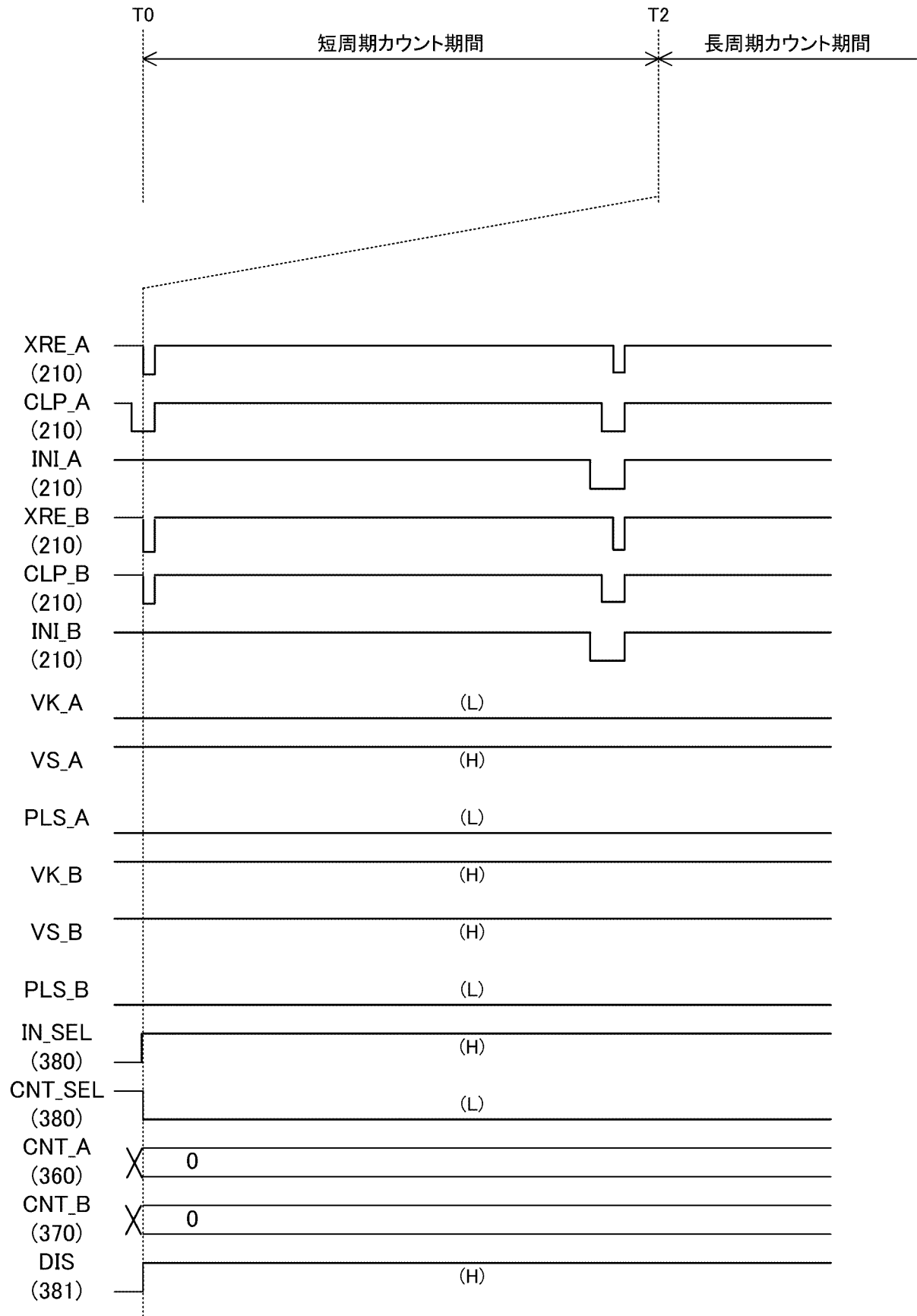
[図28]



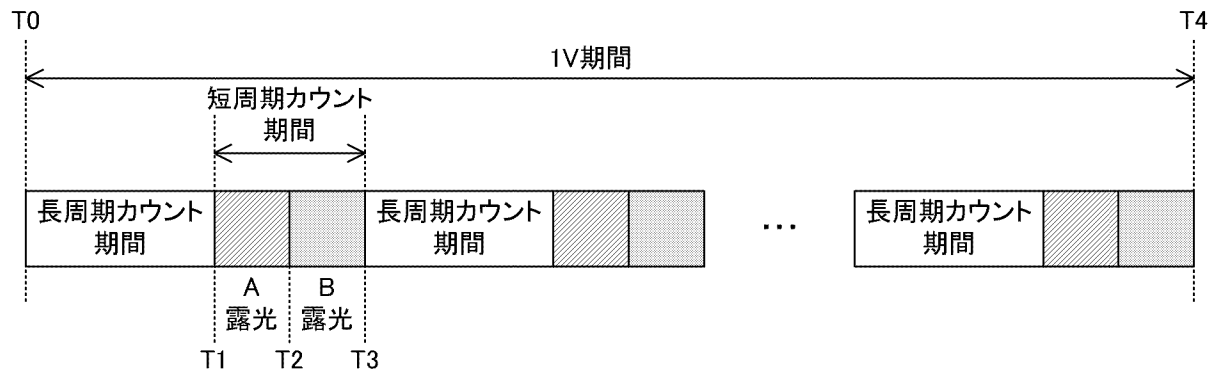
[図29]



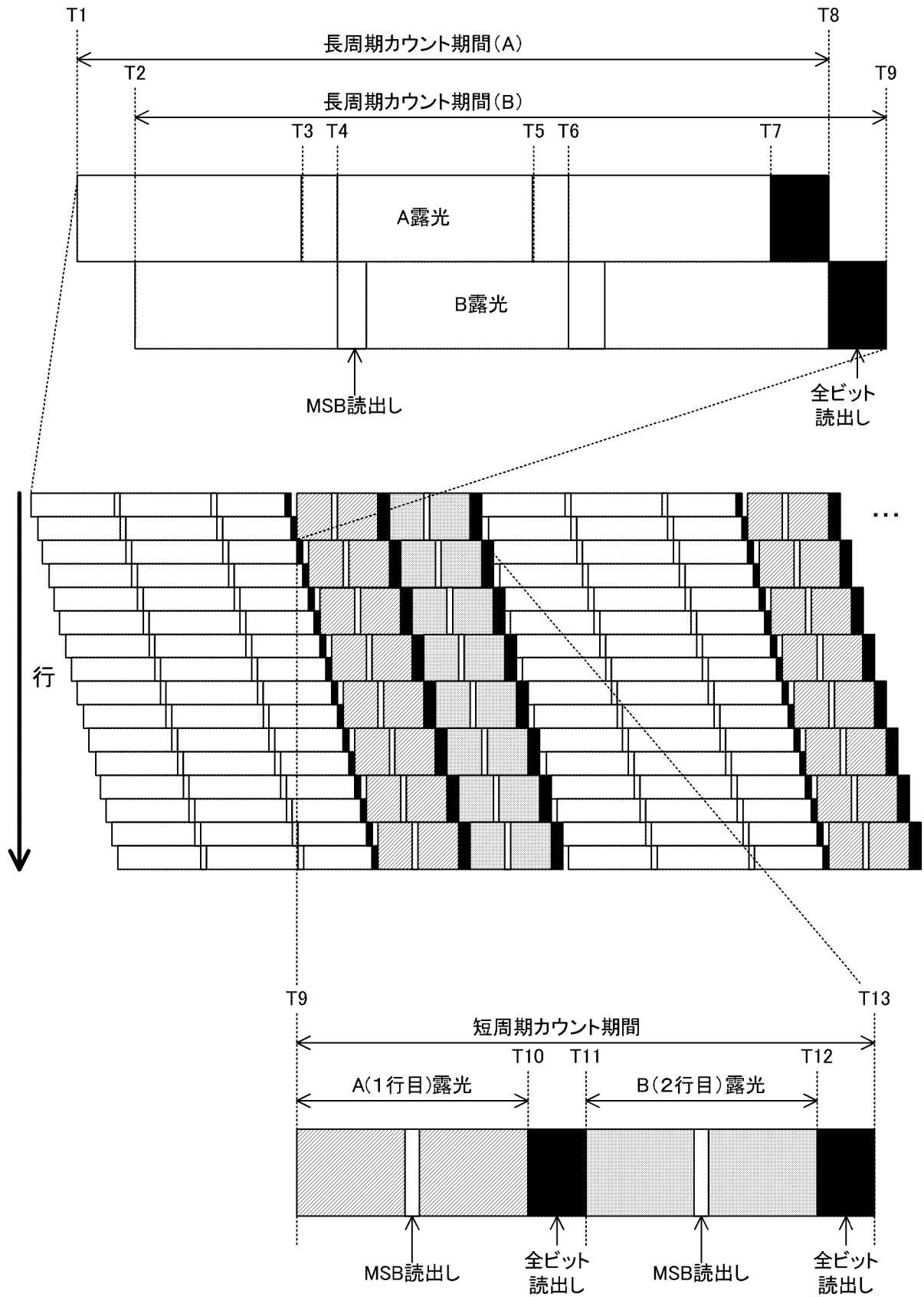
[図30]



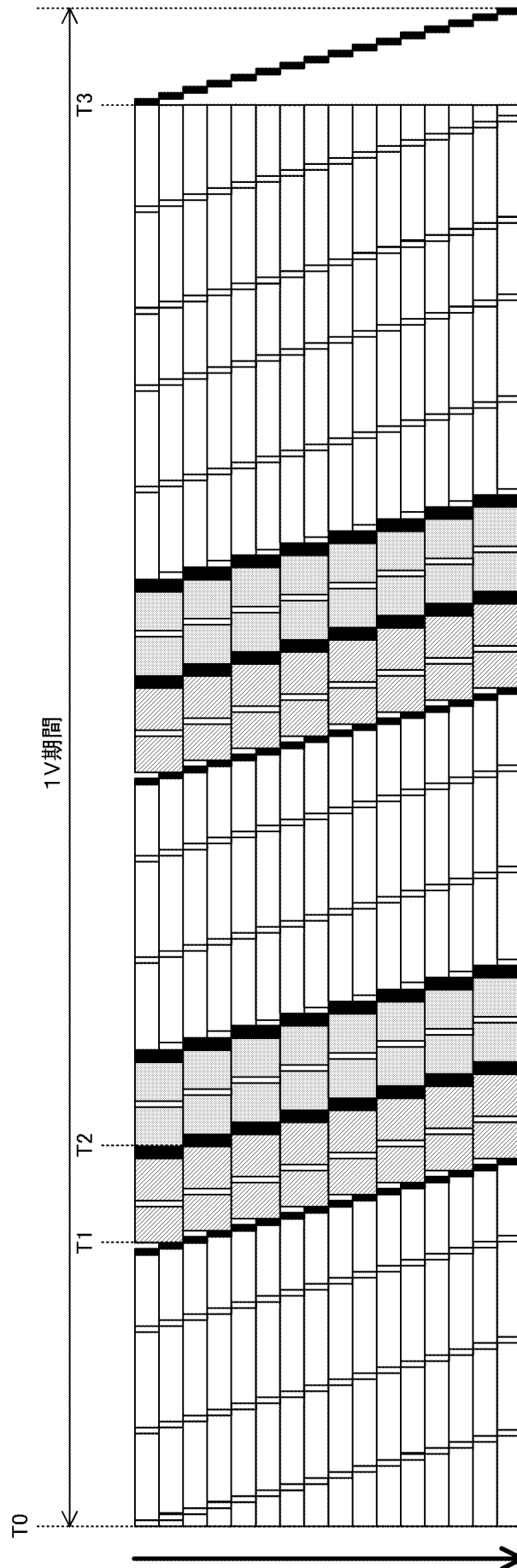
[図31]



[図32]

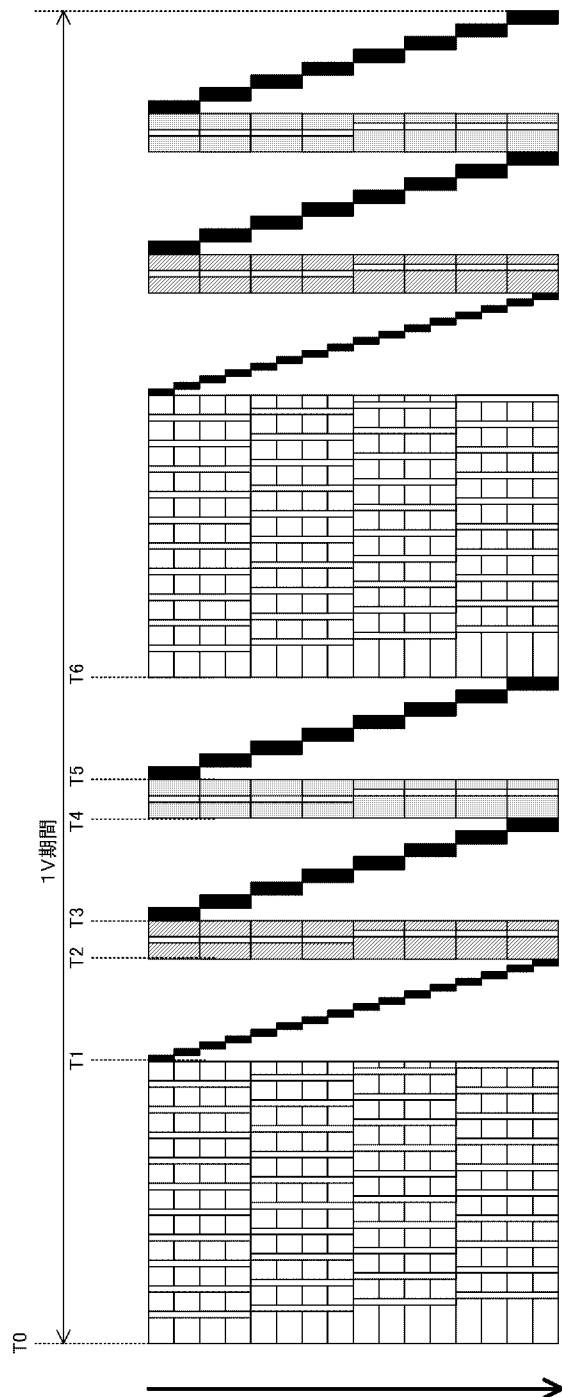


[図33]

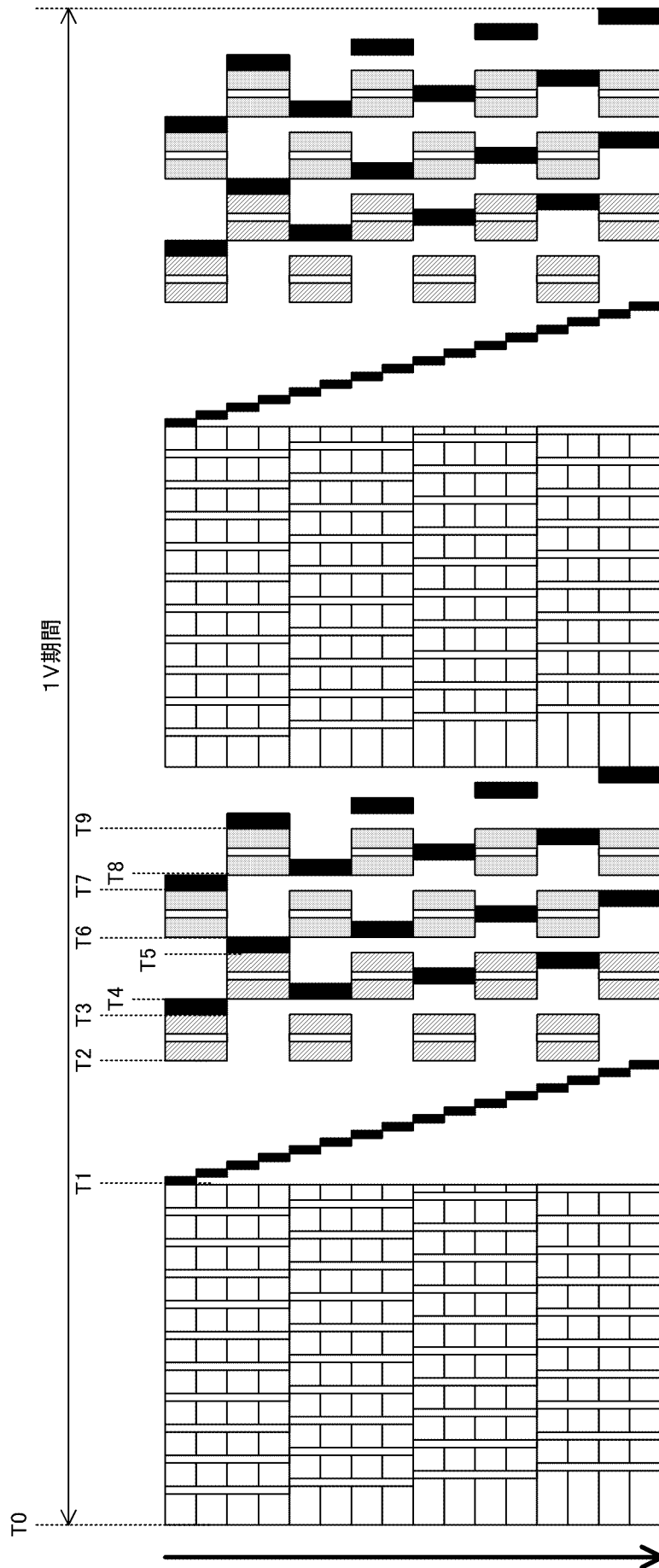


[図34]

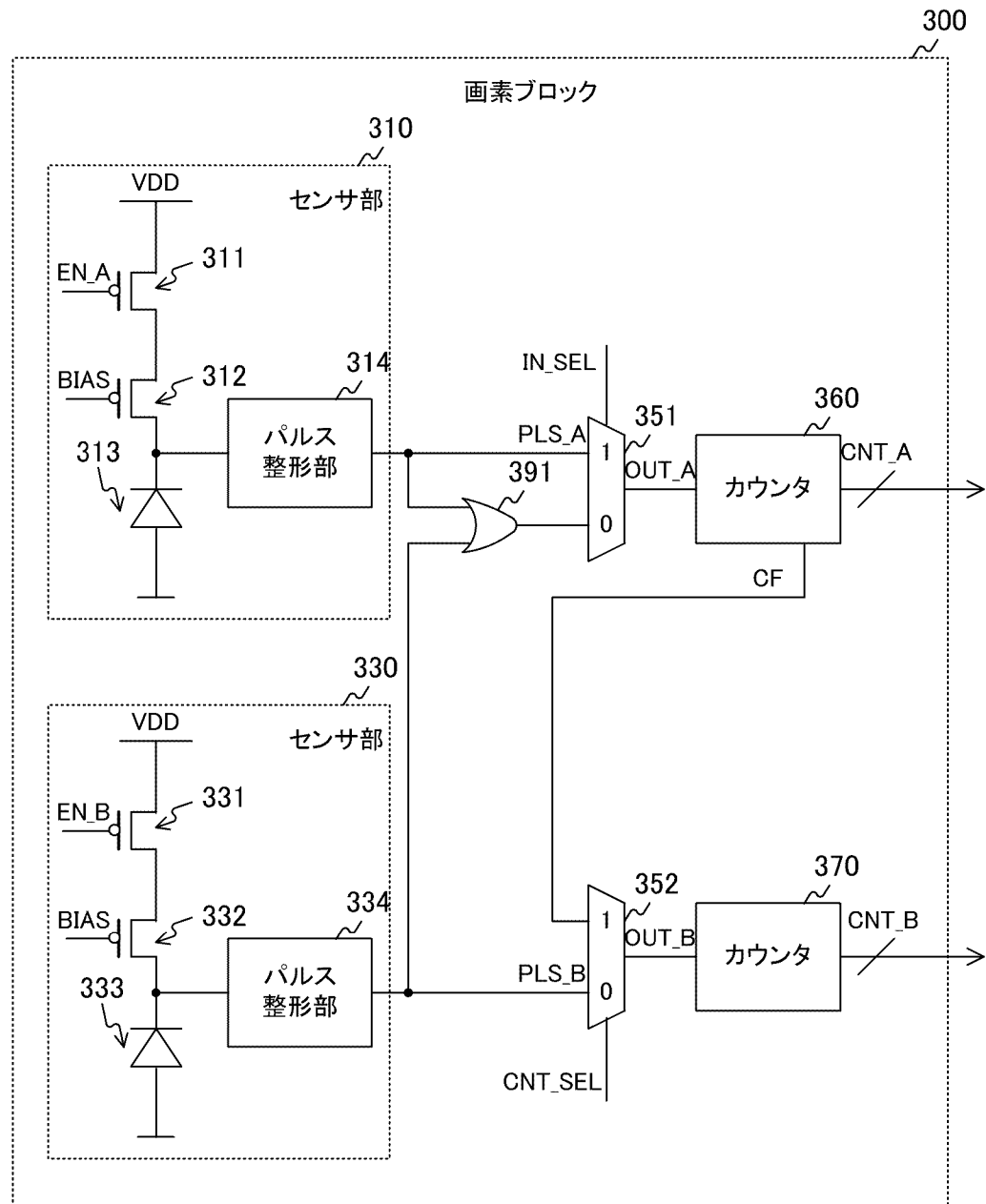
T3



[図35]



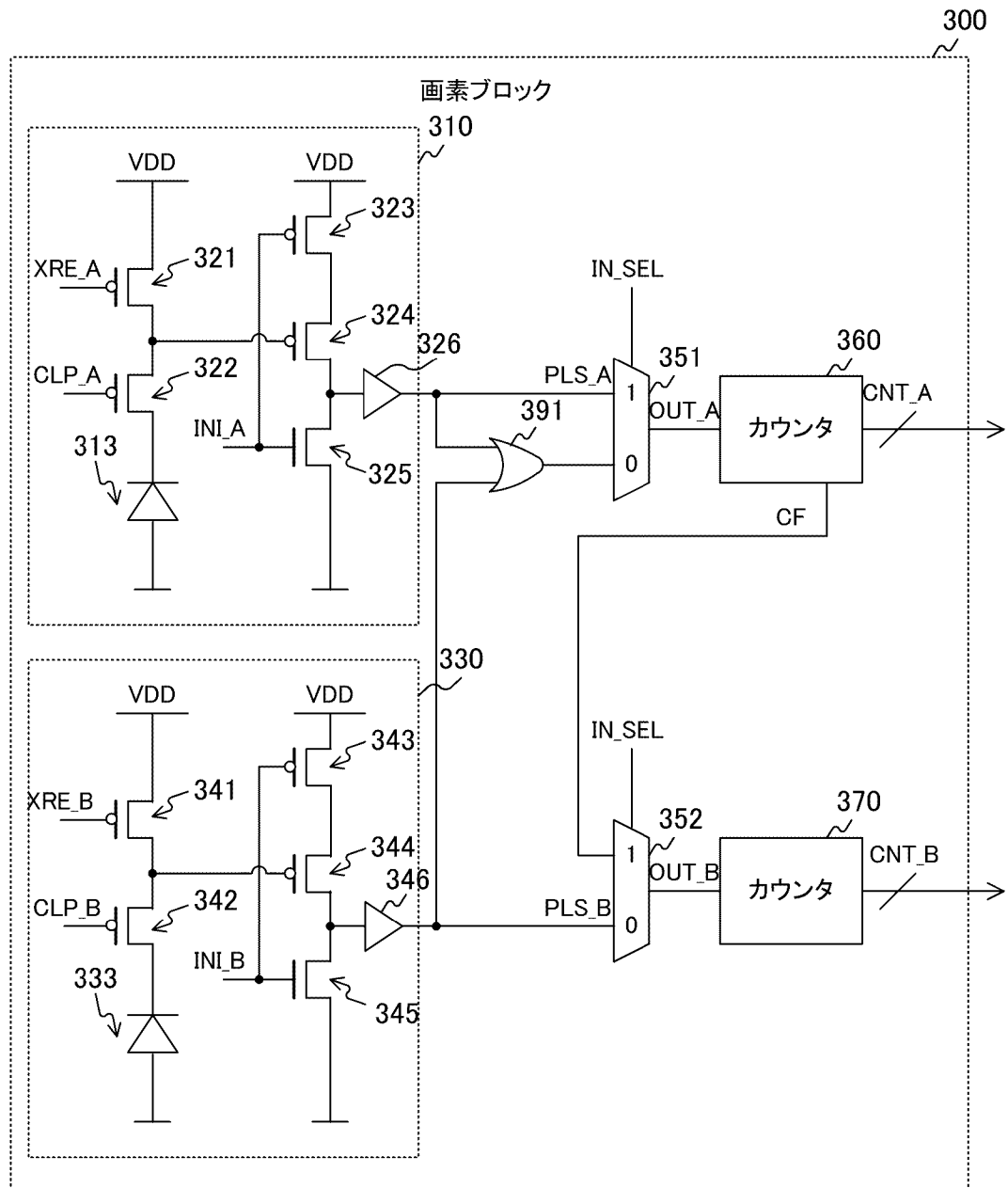
[図36]



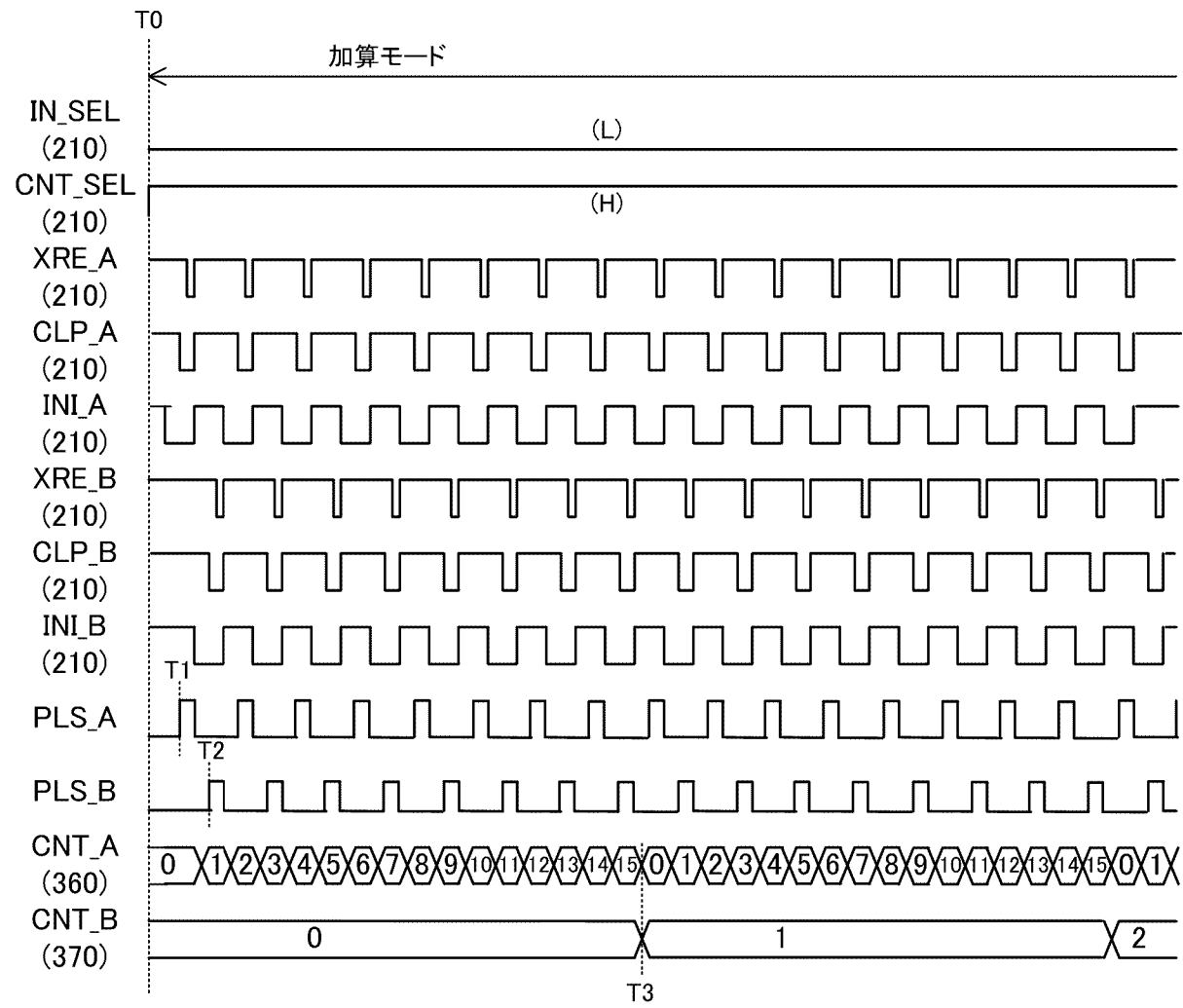
[図37]

モード	露光対象	IN_SEL	CNT_SEL	EN_A	EN_B
非加算モード	AおよびB	1 (PLS_A)	0 (PLS_B)	0 (イネーブル)	0 (イネーブル)
加算モード		0 (論理和)	1 (CF)	0 (イネーブル)	0 (イネーブル)

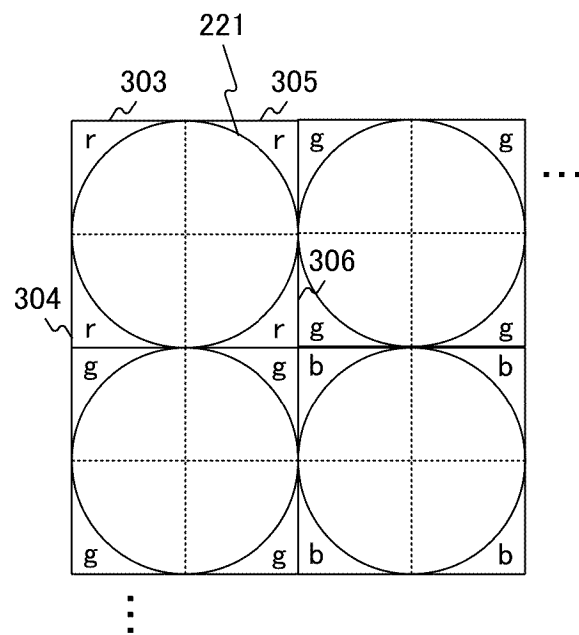
[図38]



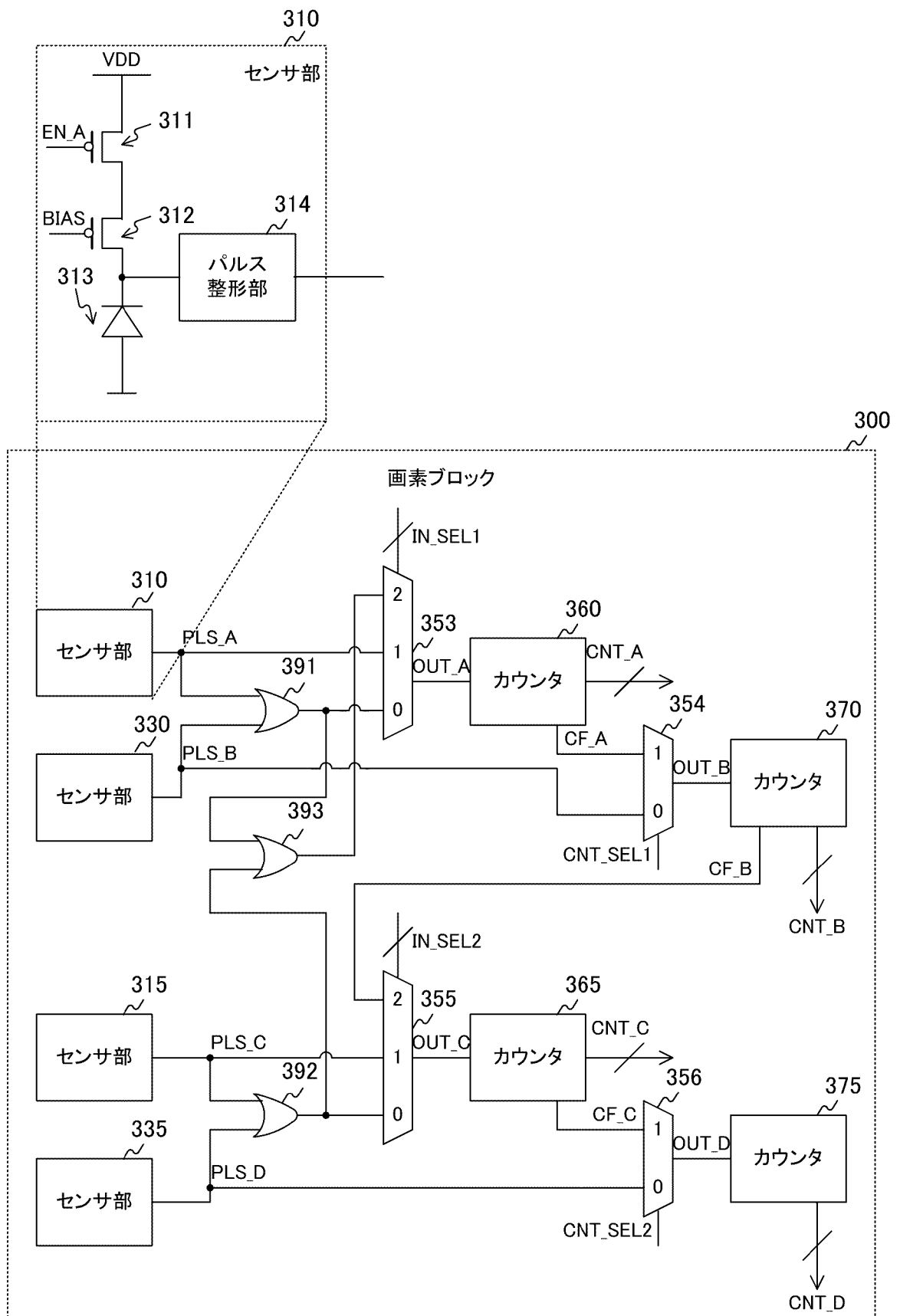
[図39]



[図40]



[図41]



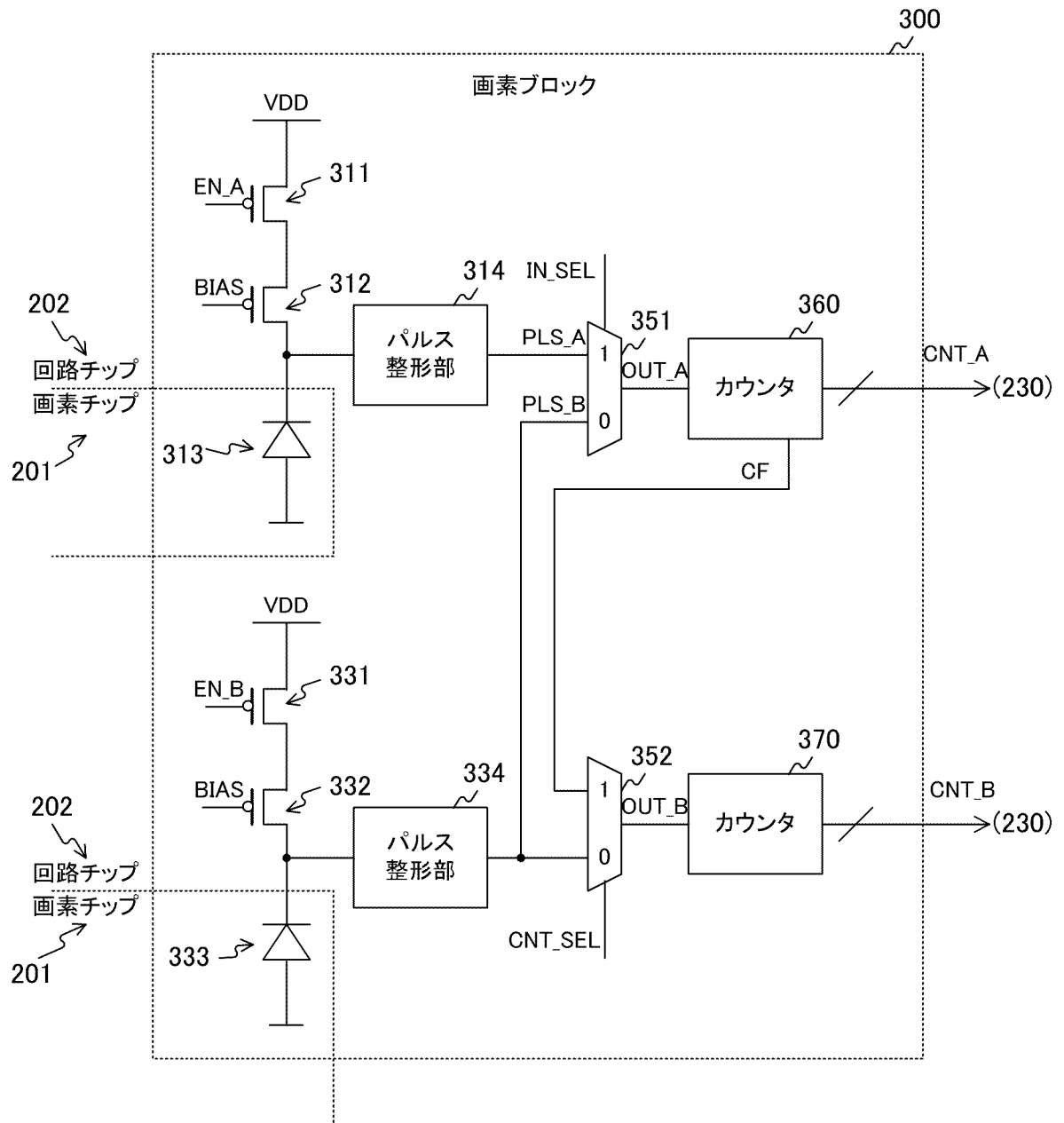
[図42]

モード	IN_SEL1	CNT_SEL1	IN_SEL2	CNT_SEL2
非加算モード	1 (PLS_A)	0 (PLS_B)	1 (PLS_C)	0 (PLS_D)
2画素 加算モード	0 (A,Bの論理和)	1 (CF_A)	0 (C,Dの論理和)	1 (CF_C)
4画素 加算モード	2 (A-Dの論理和)	1 (CF_A)	2 (CF_B)	1 (CF_C)

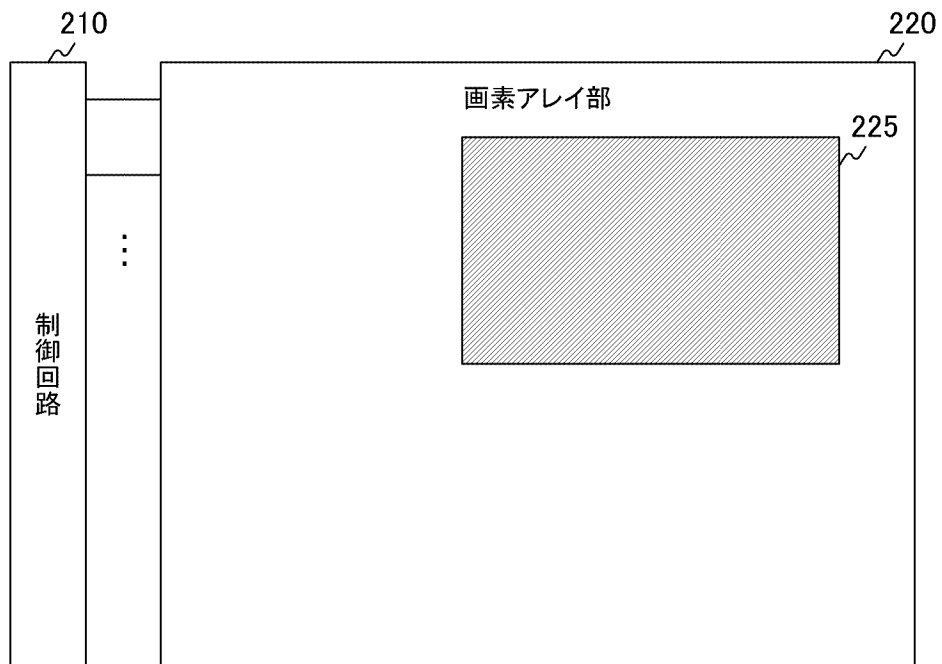
[図43]

モード	露光対象	IN_SEL	CNT_SEL	EN_A	EN_B
非加算 低照度モード	AおよびB	1 (PLS_A)	0 (PLS_B)	0 (イネーブル)	0 (イネーブル)
非加算 高照度モード	Aのみ	1 (PLS_A)	1 (CF)	0 (イネーブル)	1 (ディセーブル)
	Bのみ	0 (PLS_B)	1 (CF)	1 (ディセーブル)	0 (イネーブル)
加算モード	AおよびB	1 (論理和)	1 (CF)	0 (イネーブル)	0 (イネーブル)

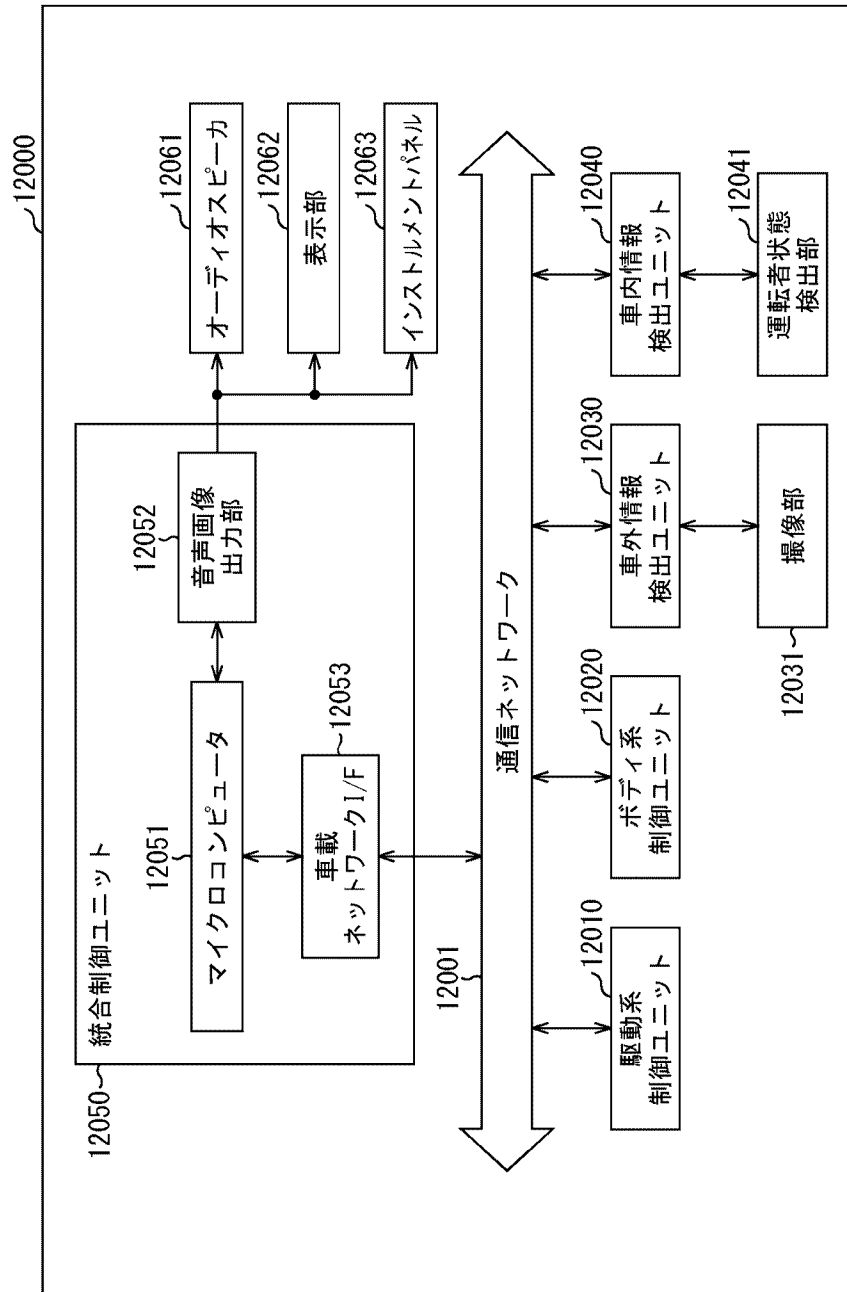
[図44]



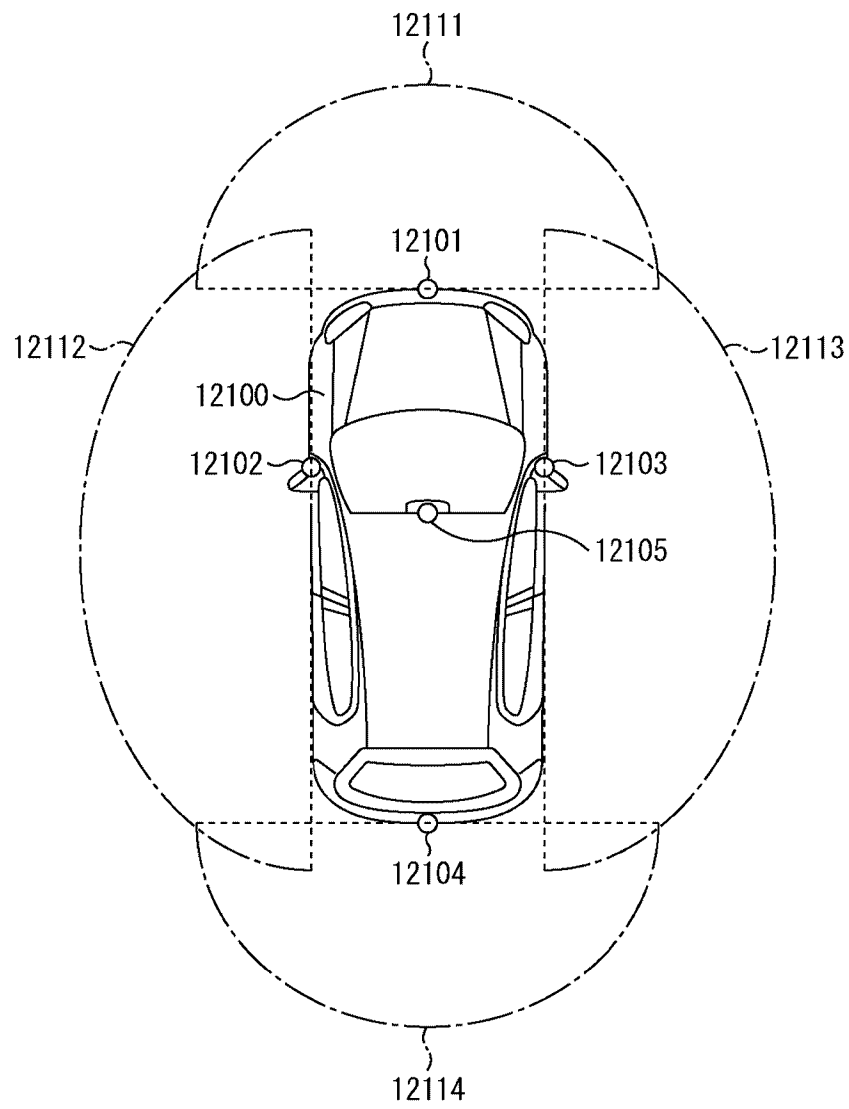
[図46]



[図47]



[図48]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/026565

A. CLASSIFICATION OF SUBJECT MATTER**G01J 11/00**(2006.01)i; **G01J 1/42**(2006.01)i; **H04N 5/235**(2006.01)i; **H04N 5/3745**(2011.01)i

FI: G01J11/00; G01J1/42 H; H04N5/235 100; H04N5/3745 500

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01J11/00; G01J1/42; H04N5/235; H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2020-145502 A (CANON KK) 10 September 2020 (2020-09-10) paragraphs [0010]-[0030], fig. 1-5	1-2, 6-7, 20-21
A		3-5, 8-19
A	JP 2019-140537 A (CANON KK) 22 August 2019 (2019-08-22) entire text, fig. 1-13	1-21
A	JP 2021-044782 A (CANON KK) 18 March 2021 (2021-03-18) entire text, fig. 1-9	1-21
A	JP 2022-070170 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 12 May 2022 (2022-05-12) entire text, fig. 1-23	1-21
A	JP 2021-093583 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 17 June 2021 (2021-06-17) entire text, fig. 1-38	1-21
A	JP 2021-022921 A (CANON KK) 18 February 2021 (2021-02-18) entire text, fig. 1-28	1-21

☒ Further documents are listed in the continuation of Box C.
 ☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 September 2022

Date of mailing of the international search report

27 September 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/026565

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2022/091856 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 05 May 2022 (2022-05-05) entire text, fig. 1-26	1-21

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/026565

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-145502	A	10 September 2020	(Family: none)	
JP	2019-140537	A	22 August 2019	(Family: none)	
JP	2021-044782	A	18 March 2021	(Family: none)	
JP	2022-070170	A	12 May 2022	WO 2022/091573 A1	
JP	2021-093583	A	17 June 2021	WO 2021/117307 A1	
JP	2021-022921	A	18 February 2021	(Family: none)	
WO	2022/091856	A1	05 May 2022	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G01J 11/00(2006.01)i; G01J 1/42(2006.01)i; H04N 5/235(2006.01)i; H04N 5/3745(2011.01)i FI: G01J11/00; G01J1/42 H; H04N5/235 100; H04N5/3745 500		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G01J11/00; G01J1/42; H04N5/235; H04N5/3745		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2020-145502 A（キヤノン株式会社）10.09.2020（2020-09-10） 段落番号【0010】-【0030】，第1-5図	1-2，6-7，20-21 3-5，8-19
A	JP 2019-140537 A（キヤノン株式会社）22.08.2019（2019-08-22） 全文，第1-13図	1-21
A	JP 2021-044782 A（キヤノン株式会社）18.03.2021（2021-03-18） 全文，第1-9図	1-21
A	JP 2022-070170 A（ソニーセミコンダクタソリューションズ株式会社）12.05.2022（2022-05-12） 全文，第1-23図	1-21
A	JP 2021-093583 A（ソニーセミコンダクタソリューションズ株式会社）17.06.2021（2021-06-17） 全文，第1-38図	1-21
A	JP 2021-022921 A（キヤノン株式会社）18.02.2021（2021-02-18） 全文，第1-28図	1-21
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 19.09.2022		国際調査報告の発送日 27.09.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 平田 佳規 2W 9807 電話番号 03-3581-1101 内線 3258

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	W0 2022/091856 A1 (ソニーセミコンダクタソリューションズ株式会社) 05.05.2022 (2022 - 05 - 05) 全文, 第 1 - 2 6 図	1 - 2 1

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2022/026565

引用文献			公表日	パテントファミリー文献	公表日
JP	2020-145502	A	10.09.2020	(ファミリーなし)	
JP	2019-140537	A	22.08.2019	(ファミリーなし)	
JP	2021-044782	A	18.03.2021	(ファミリーなし)	
JP	2022-070170	A	12.05.2022	WO	2022/091573 A1
JP	2021-093583	A	17.06.2021	WO	2021/117307 A1
JP	2021-022921	A	18.02.2021	(ファミリーなし)	
WO	2022/091856	A1	05.05.2022	(ファミリーなし)	