

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年3月7日(07.03.2019)



(10) 国際公開番号

WO 2019/044225 A1

(51) 国際特許分類:
H04N 5/3745 (2011.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号 : PCT/JP2018/026808

(22) 国際出願日 : 2018年7月18日(18.07.2018)

(25) 国際出願の言語 : 日本語

(26) 国際公開の言語 : 日本語

(30) 優先権データ :
特願 2017-169768 2017年9月4日(04.09.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

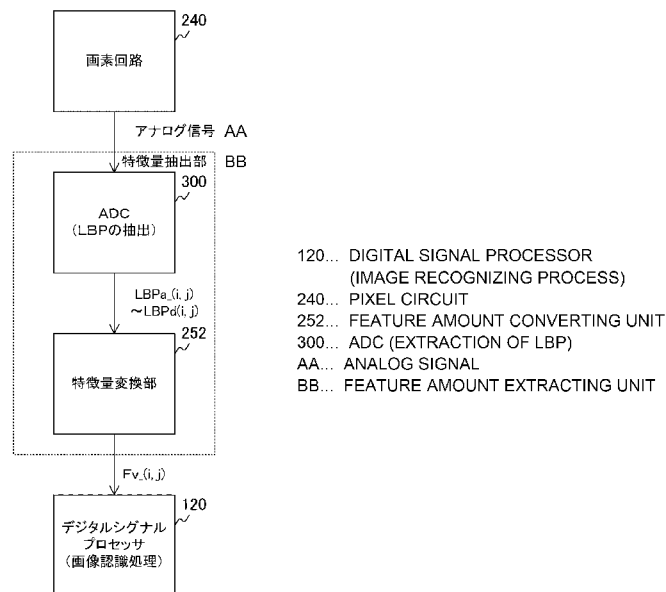
(72) 発明者: 田浦 忠行 (TAURA, Tadayuki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 小野 俊明(ONO, Toshiaki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(54) Title: IMAGING DEVICE AND IMAGING DEVICE CONTROL METHOD

(54) 発明の名称 : 撮像装置、および、撮像装置の制御方法

【図19】



(57) Abstract: The purpose of the present invention is to provide an imaging device for imaging feature amount images wherein the image quality of the feature amount images is improved. The imaging device comprises a plurality of pixel circuits, and a feature amount extracting unit. In this imaging device, each of the plurality of pixel circuits generates an analog signal corresponding to the amount of received light and outputs the analog signal as a pixel signal. Furthermore, the feature amount extracting unit in the imaging device extracts, for each neighboring pixel circuit near a pixel circuit

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

of interest among the plurality of pixel circuits, a feature amount representing, by multiple values, the magnitude of the difference between the pixel signal from the neighbor pixel circuit and from the pixel circuit of interest.

(57) 要約: 特徴量画像を撮像する撮像装置において、特徴量画像の画質を向上させる。撮像装置は、複数の画素回路と、特徴量抽出部とを具備する。この撮像装置において複数の画素回路のそれぞれは、受光量に応じたアナログ信号を生成して画素信号として出力する。また、撮像装置において特徴量抽出部は、複数の画素回路のうち注目した注目画素回路の近傍の近傍画素回路と注目画素回路とのそれぞれからの画素信号の差の大きさを近傍画素回路ごとに多値により表す特徴量を抽出する。

明 細 書

発明の名称：撮像装置、および、撮像装置の制御方法

技術分野

[0001] 本技術は、撮像装置、および、撮像装置の制御方法に関する。詳しくは、画像の特徴量を抽出する撮像装置、および、撮像装置の制御方法に関する。

背景技術

[0002] 従来より、画像認識、テクスチャ分割やリアルタイム動画解析などの画像処理を行うシステムなどにおいて、L B P (Local Binary Pattern) が用いられている。L B Pは、注目画素の近傍の近傍画素毎に、その近傍画素と注目画素との画素値の大小関係を2値(1ビット)で表した特徴量である。このL B Pは、画像全体の明るさの変化に対して頑健(ロバスト)であるという特性を有している。例えば、近傍画素を8画素として、画素ごとに8ビットのL B Pを算出し、それらのL B Pを二次元格子状に配列した画像を用いて画像認識を行う認識システムが提案されている(例えば、非特許文献1参照)。以下、L B Pなどの特徴量を二次元格子状に配列した画像を「特徴量画像」と称する。また、受光量に応じた値の画素データを二次元格子状に配列した一般的な画像を「通常画像」と称する。

先行技術文献

非特許文献

[0003] 非特許文献1: Timo Ojala, et al., Multiresolution Gray-Scale and Rotation invariant Texture Classification with Local Binary Patterns, IEEE Transactions on Pattern Analysis and Machine Intelligence, vol. 24, no. 7, July 2002

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、画像全体の明るさの変化に対して頑健なL B Pからなる特徴量画像を用いて画像認識を行うため、その明るさの変化に起因する

画像認識の認識結果の変動を抑制することができる。しかしながら、L B P からなる特徴量画像は、一般に通常画像と比較して画質が低いという問題がある。画質が低いと画像認識の精度が低下するため、特徴量画像の画質を向上することが望ましい。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、特徴量画像を撮像する撮像装置において、特徴量画像の画質を向上させることを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、それぞれが受光量に応じたアナログ信号を生成して画素信号として出力する複数の画素回路と、上記複数の画素回路のうち注目した注目画素回路の近傍の近傍画素回路と上記注目画素回路とのそれぞれからの上記画素信号の差の大きさを上記近傍画素回路ごとに多値により表す特徴量を抽出する特徴量抽出部とを具備する撮像装置、および、その制御方法である。これにより、近傍画素回路と注目画素回路とのそれぞれからの画素信号の差の大きさを近傍画素回路ごとに多値により表す特徴量が抽出されるという作用をもたらす。

[0007] また、この第1の側面において、オフセット電圧が互いに異なる複数の参照信号を順に供給する参照信号供給部をさらに具備し、上記特徴量抽出部は、上記画素信号と上記複数の参照信号のそれぞれとを比較した比較結果に基づいて上記特徴量を抽出することもできる。これにより、画素信号と複数の参照信号のそれぞれとを比較した比較結果から特徴量が抽出されるという作用をもたらす。

[0008] また、この第1の側面において、上記特徴量抽出部は、上記画素信号と上記複数の参照信号のそれぞれとを比較して上記比較結果を出力する比較部と、上記比較結果に基づいて複数のローカルビットパターンを順に生成して記憶する記憶部と、上記複数のローカルビットパターンからなるデータを上記特徴量に変換する特徴量変換部とを備えてもよい。これにより、複数のロー

カルビットパターンからなるデータが特徴量に変換されるという作用をもたらす。

[0009] また、この第1の側面において、上記記憶部は、互いに異なるローカルビットパターンを生成して記憶する複数のデータ記憶部を備え、上記特徴量変換部は、上記複数のデータ記憶部の全てに上記ローカルビットパターンが記憶された後に上記ローカルビットパターンのそれぞれを読み出して上記特徴量に変換することもできる。これにより、複数のデータ記憶部の全てにローカルビットパターンが記憶された後にローカルビットパターンのそれぞれを読み出されるという作用をもたらす。

[0010] また、この第1の側面において、上記記憶部は、上記比較結果が反転したときの時刻を示す時刻コードをさらに記憶することもできる。これにより、時刻コードから通常画像が生成されるという作用をもたらす。

[0011] また、この第1の側面において、上記比較部は、上記注目画素回路からの上記画素信号と上記複数の参照信号のそれぞれとの上記比較結果を注目画素比較結果として出力するとともに上記近傍画素回路からの上記画素信号と上記複数の参照信号のそれぞれとの上記比較結果を近傍画素比較結果として出力し、上記データ記憶部は、上記近傍画素比較結果を保持するラッチ回路と、上記注目画素比較結果が反転したときに上記近傍画素比較結果を上記ラッチ回路に保持させるラッチ制御回路と、上記注目画素比較結果および上記近傍画素比較結果の一方を所定時間に亘って遅延させて上記ラッチ回路および上記ラッチ制御回路のいずれかに出力する遅延回路とを備えてもよい。これにより、注目画素比較結果および近傍画素比較結果との一方が遅延するという作用をもたらす。

[0012] また、この第1の側面において、上記遅延回路は、上記注目画素比較結果を遅延させて上記ラッチ制御回路に出力することもできる。これにより、注目画素比較結果が遅延するという作用をもたらす。

[0013] また、この第1の側面において、上記遅延回路は、上記近傍画素比較結果を遅延させて上記ラッチ回路に出力することもできる。これにより、近傍画

素比較結果が遅延するという作用をもたらす。

[0014] また、この第1の側面において、上記画素信号のそれぞれと所定の参照信号とを比較して比較結果として出力する比較部と、上記注目画素回路に対応する上記比較結果が反転する時刻と上記近傍画素回路に対応する上記比較結果が反転する時刻との間の期間に亘って計数値を計数して上記特徴量として出力する計数部とを具備することもできる。これにより、注目画素回路に対応する比較結果が反転する時刻と近傍画素回路に対応する比較結果が反転する時刻との間の期間に亘って計数値が計数されるという作用をもたらす。

[0015] また、この第1の側面において、上記計数部は、上記注目画素回路に対応する上記比較結果と上記近傍画素回路に対応する上記比較結果との一方が他方よりも先に反転した場合には上記計数値を増分し、上記他方が上記一方よりも先に反転した場合には上記計数値を減分することもできる。これにより、注目画素回路に対応する比較結果と近傍画素回路に対応する比較結果とのいずれが先に反転するかにより計数値が増分または減分されるという作用をもたらす。

[0016] また、この第1の側面において、上記複数の画素回路は、複数のエリアブロックのそれぞれに配置され、上記複数のエリアブロックのそれぞれは、上記複数の画素回路と上記複数の画素回路により供給される浮遊拡散層とを備えてもよい。これにより、浮遊拡散層を共有する複数の画素回路のそれぞれからの画素信号の差の大きさを表す特徴量が抽出されるという作用をもたらす。

[0017] また、この第1の側面において、上記近傍画素回路は、上記注目画素回路に対して点对称の位置の一对の近傍画素回路を含み、上記特徴量抽出部は、上記一对の近傍画素回路の一方と上記注目画素回路とのそれぞれからの上記画素信号の差の大きさを多値により表す上記特徴量を抽出することもできる。これにより、一对の近傍画素回路の一方と注目画素回路とのそれぞれからの画素信号の差の大きさを多値により表す上記特徴量が抽出されるという作用をもたらす。

[0018] また、この第１の側面において、上記特徴量に基づいて所定の物体を認識する処理を行う画像処理部をさらに具備してもよい。これにより、所定の物体が認識されるという作用をもたらす。

発明の効果

[0019] 本技術によれば、特徴量画像を撮像する撮像装置において、特徴量画像の画質を向上させることができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0020] [図1]本技術の第１の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]本技術の第１の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図3]本技術の第１の実施の形態における画素の一構成例を示すブロック図である。

[図4]本技術の第１の実施の形態におけるＡＤＣ（Analog to Digital Converter）の一構成例を示すブロック図である。

[図5]本技術の第１の実施の形態における画素間の接続形態の一例を示す図である。

[図6]本技術の第１の実施の形態における比較回路の一構成例を示す回路図である。

[図7]本技術の第１の実施の形態における比較回路の動作の一例を示すタイミングチャートである。

[図8]本技術の第１の実施の形態における画素回路の一構成例を示す回路図である。

[図9]本技術の第１の実施の形態におけるデータ記憶部の一構成例を示す回路図である。

[図10]本技術の第１の実施の形態におけるバッファ回路の一構成例を示す回

路図である。

[図11]本技術の第1の実施の形態におけるリセットレベルのサンプリング動作の一例を示すタイミングチャートである。

[図12]本技術の第1の実施の形態における信号レベルのサンプリング動作の一例を示すタイミングチャートである。

[図13]本技術の第1の実施の形態におけるL B P抽出モードでローレベルをラッチする際の固体撮像素子の動作の一例を示すタイミングチャートである。

[図14]本技術の第1の実施の形態におけるL B P抽出モードでハイレベルをラッチする際の固体撮像素子の動作の一例を示すタイミングチャートである。

[図15]本技術の第1の実施の形態におけるL B Pを説明するための図である。

[図16]本技術の第1の実施の形態における参照信号ごとのL B Pの一例を示す図である。

[図17]本技術の第1の実施の形態における出力部の一構成例を示すブロック図である。

[図18]本技術の第1の実施の形態における特徴量変換部による変換処理を説明するための図である。

[図19]本技術の第1の実施の形態における撮像装置内の処理フローをまとめた図である。

[図20]本技術の第1の実施の形態における撮像装置の動作の一例を示すフローチャートである。

[図21]本技術の第1の実施の形態におけるL B P生成処理の一例を示すフローチャートである。

[図22]本技術の第2の実施の形態におけるA D Cの一構成例を示すブロック図である。

[図23]本技術の第2の実施の形態における計数回路の一構成例を示す回路図

である。

[図24]本技術の第2の実施の形態におけるアップダウンカウンタの一構成例を示す回路図である。

[図25]本技術の第2の実施の形態におけるアップカウントを行う動作の一例を示すタイミングチャートである。

[図26]本技術の第2の実施の形態におけるダウンカウントを行う動作の一例を示すタイミングチャートである。

[図27]本技術の第2の実施の形態における撮像装置内の処理フローをまとめた図である。

[図28]本技術の第3の実施の形態におけるADCの一構成例を示すブロック図である。

[図29]本技術の第4の実施の形態におけるデータ記憶部の一構成例を示す回路図である。

[図30]本技術の第5の実施の形態におけるADCの一構成例を示すブロック図である。

[図31]本技術の第6の実施の形態における画素アレイ部の一構成例を示す平面図である。

[図32]本技術の第6の実施の形態におけるエリアブロックの一構成例を示す回路図である。

[図33]本技術の第7の実施の形態におけるデータ記憶部の一構成例を示す回路図である。

[図34]本技術の第7の実施の形態におけるLBPラッチ回路の一構成例を示す回路図である。

[図35]本技術の第7の実施の形態における時刻コードラッチ回路の一構成例を示す回路図である。

[図36]本技術の第8の実施の形態における信号線の配線接続について説明するための図である。

[図37]本技術の第8の実施の形態におけるデータ記憶部の一構成例を示す回

路図である。

[図38]本技術の第8の実施の形態における出力部の一構成例を示すブロック図である。

[図39]車両制御システムの概略的な構成例を示すブロック図である。

[図40]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0021] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（画素信号の差を多値により表す特徴量を抽出する例）

2. 第2の実施の形態（画素信号の差を多値により表す特徴量を、カウンタを用いて抽出する例）

3. 第3の実施の形態（複数のLBPを保持し、画素信号の差を多値により表す特徴量を、それらのLBPから抽出する例）

4. 第4の実施の形態（注目画素の比較結果を遅延させて特徴量を抽出する例）

5. 第5の実施の形態（近傍画素の比較結果を遅延させて特徴量を抽出する例）

6. 第6の実施の形態（画素共有型の素子において、画素信号の差を多値により表す特徴量を抽出する例）

7. 第7の実施の形態（時刻コードおよびLBPを保持し、画素信号の差を多値により表す特徴量をLBPから抽出し、時刻コードから通常画像を生成する例）

8. 第8の実施の形態（配線数を削減した固体撮像素子において画素信号の差を多値により表す特徴量を抽出する例）

9. 移動体への応用例

[0022] <1. 第1の実施の形態>

[撮像装置の構成例]

図１は、本技術の第１の実施の形態における撮像装置１００の一構成例を示すブロック図である。撮像装置１００は、画像データを撮像するものであり、光学部１１０、固体撮像素子２００、デジタルシグナルプロセッサ１２０、表示部１３０、操作部１４０、バス１５０、フレームメモリ１６０、記録部１７０および電源部１８０を備える。撮像装置１００としては、デジタルスチルカメラやデジタルビデオカメラ等のデジタルカメラや、携帯電話機等の撮像機能を有する電子機器が想定される。

[0023] 光学部１１０は、被写体からの入射光（像光）を取り込んで固体撮像素子２００の撮像面上に結像するものである。

[0024] 固体撮像素子２００は、画像データを撮像するものである。この固体撮像素子２００は、所定周波数（例えば、３０ヘルツ）の垂直同期信号ＶＳＹＮＣに同期して画像データを撮像し、その画像データをデジタルシグナルプロセッサ１２０に信号線２０９を介して供給する。

[0025] また、固体撮像素子２００には、信号線２０８を介してイネーブル信号ＬＢＰ＿ＥＮが入力される。このイネーブル信号ＬＢＰ＿ＥＮは、特徴量を抽出して特徴量画像を生成する機能を有効にするか否かを指示する信号である。イネーブル信号ＬＢＰ＿ＥＮがイネーブルに設定された場合に固体撮像素子２００は、特徴量画像を生成して、その画像データをデジタルシグナルプロセッサ１２０に出力する。一方、イネーブル信号ＬＢＰ＿ＥＮがディセーブルに設定された場合に固体撮像素子２００は、受光量に応じた画素データからなる通常画像を生成して、その画像データをデジタルシグナルプロセッサ１２０に出力する。以下、イネーブル信号ＬＢＰ＿ＥＮがイネーブルのときの撮像装置１００の状態を「特徴量抽出モード」と称し、イネーブル信号ＬＢＰ＿ＥＮがディセーブルのときの撮像装置１００の状態を「撮像モード」と称する。

[0026] デジタルシグナルプロセッサ１２０は、画像データに対して所定の信号処理を行うものである。このデジタルシグナルプロセッサ１２０は、信号処理において、必要に応じてフレームメモリ１６０に画像データを保持させる。

また、デジタルシグナルプロセッサ１２０は、実行する信号処理の種類に基づいてイネーブル信号ＬＢＰ＿ＥＮを設定する。例えば、画像認識を行う場合にデジタルシグナルプロセッサ１２０は、イネーブル信号ＬＢＰ＿ＥＮをイネーブルに設定する。一方、デモザイク処理やホワイトバランス処理などの通常画像に対する信号処理を行う場合にデジタルシグナルプロセッサ１２０は、イネーブル信号ＬＢＰ＿ＥＮをディセーブルに設定する。デジタルシグナルプロセッサ１２０は、イネーブル信号ＬＢＰ＿ＥＮを固体撮像素子２００に信号線２０８を介して供給する。

[0027] 表示部１３０は、画像データを表示するものである。表示部１３０として、例えば、液晶パネルや有機ＥＬ（Electro Luminescence）パネルが用いられる。

[0028] 操作部１４０は、ユーザによる操作に従って、撮像装置１００が持つ様々な機能について操作指令を発するものである。バス１５０は、固体撮像素子２００、デジタルシグナルプロセッサ１２０、表示部１３０、操作部１４０、フレームメモリ１６０、記録部１７０および電源部１８０が互いに情報をやりとりするための共通の経路である。

[0029] フレームメモリ１６０は、画像データを一時的に保持するものである。記録部１７０は、画像データを記録するものである。記録部１７０として、ハードディスクや半導体メモリ等の記録媒体が用いられる。電源部１８０は、撮像装置１００内の各部に電源を供給するものである。

[0030] [固体撮像素子の構成例]

図２は、本技術の第１の実施の形態における固体撮像素子２００の一構成例を示すブロック図である。この固体撮像素子２００は、ＤＡＣ（Digital to Analog Converter）２１１と、複数の時刻コード発生部２１２と、垂直駆動回路２１３と、画素アレイ部２２０とを備える。また、固体撮像素子２００は、画素駆動回路２１４、タイミング生成回路２１５および出力部２５０を備える。これらの回路は、単一の半導体基板に設けられる。

[0031] ＤＡＣ２１１は、ＤＡ（Digital to Analog）変換により参照信号を生成し

て画素アレイ部 220 に供給するものである。参照信号として、例えば、時間の経過に伴ってレベルが単調に減少するランプ信号が用いられる。なお、DAC 211 は、特許請求の範囲に記載の参照信号供給部の一例である。

[0032] また、画素アレイ部 220 は、二次元格子状に配列された複数の画素 230 と、複数の時刻コード転送部 221 とを備える。以下、所定方向（水平方向など）に配列された画素 230 の集合を「行」と称し、行に垂直な方向に配列された画素 230 の集合を「列」と称する。

[0033] タイミング生成回路 215 は、垂直同期信号 VSYNC に同期して DAC 211、垂直駆動回路 213 および画素駆動回路 214 の動作タイミングを制御するものである。このタイミング生成回路 215 は、例えば、タイミングジェネレータにより構成される。また、タイミング生成回路 215 にはイネーブル信号 LBP_EN が入力される。イネーブル信号 LBP_EN がイネーブルの場合に、タイミング生成回路 215 は、DAC 211 への制御信号により、参照信号のオフセット電圧を制御する。

[0034] 時刻コード発生部 212 は、垂直同期信号 VSYNC の周期内の相対時刻を示す時刻コードを生成するものである。時刻コード発生部 212 は、時刻コード転送部 221 ごとに配置され、生成した時刻コードを対応する時刻コード転送部 221 へ供給する。時刻コード転送部 221 は、時刻コードを転送するものである。

[0035] 画素駆動回路 214 は、画素 230 を所定の順序で駆動してアナログの画素信号を生成させるものである。垂直駆動回路 213 は、画素 230 を所定の順序で駆動して、画素信号をデジタル信号に変換して出力させるものである。

[0036] 画素 230 は、受光量に応じたアナログの画素信号を生成するものである。そして、画素 230 は、画素信号をデジタル信号に変換し、時刻コード転送部 221 を介してデジタル信号を出力部 250 に供給する。

[0037] なお、DAC 211、時刻コード発生部 212、垂直駆動回路 213、画素アレイ部 220、画素駆動回路 214、タイミング生成回路 215 および

出力部 250 を単一の半導体基板に設けているが、この構成に限定されない。例えば、それらの回路を積層された複数の半導体基板に分散して配置することもできる。

[0038] [画素の構成例]

図 3 は、本技術の第 1 の実施の形態における画素 230 の一構成例を示すブロック図である。この画素 230 は、画素回路 240 および ADC 300 を備える。

[0039] 画素回路 240 は、画素駆動回路 214 の制御に従って、受光量に応じたアナログ信号を画素信号 SIG_{ij} (i, j) として生成するものである。ここで、i は、画素 230 の垂直座標を示す整数であり、j は水平座標を示す整数である。画素回路 240 は、画素信号 SIG_{ij} (i, j) を ADC 300 に供給する。

[0040] ADC 300 は、垂直駆動回路 213 の制御に従って画素信号 SIG_{ij} (i, j) をデジタル信号に変換するものである。この ADC 300 は、DAC 211 からの参照信号 REF と画素信号 SIG_{ij} (i, j) とを比較し、その比較結果 VCO_{ij} (i, j) に基づいてデジタル信号を生成する。そして、ADC 300 は、生成したデジタル信号を時刻コード転送部 221 へ供給する。

[0041] また、ADC 300 は、近傍の画素 230 (以下、「近傍画素」と称する。) へ比較結果 VCO_{ij} (i, j) を出力する。また、ADC 300 には、近傍画素のそれぞれの比較結果からなる VCO_{IN} が入力される。

[0042] ここで、「近傍」は、ある画素の座標から、それ以外の画素の座標までのユークリッド距離が一定距離内であることを意味する。画素アレイ部 220 においては、例えば、注目した注目画素からのユークリッド距離が「2」未満の画素を近傍画素とする。この場合に、近傍画素は、注目画素の上下左右、左上、右上、左下および右下の 8 画素となる。すなわち、座標 (i, j) の画素は、座標 (i-1, j-1)、(i-1, j)、(i-1, j+1)、(i, j-1)、(i, j+1)、(i+1, j-1)、(i+1, j) お

よび $(i+1, j+1)$ の近傍画素へ比較結果 $VCO_ (i, j)$ を出力する。また、座標 (i, j) の画素には、8個の近傍画素のそれぞれの比較結果からなる8ビットの $VCO_ IN$ が入力される。

[0043] なお、近傍画素の画素数は8個に限定されず、例えば、上下左右の4画素を近傍画素としてもよい。

[0044] また、注目画素の画素回路240は、特許請求の範囲に記載の注目画素回路の一例であり、近傍画素の画素回路240は、特許請求の範囲に記載の近傍画素回路の一例である。

[0045] [ADCの構成例]

図4は、本技術の第1の実施の形態におけるADC300の一構成例を示すブロック図である。このADC300は、比較回路310、データ記憶部350およびバッファ回路360を備える。比較回路310は、差動入力回路320、電圧変換回路330および正帰還回路340を備える。なお、全画素のそれぞれの比較回路310からなる回路は、特許請求の範囲に記載の比較部の一例である。

[0046] 差動入力回路320は、DAC211からの参照信号REFと、画素回路240からの画素信号 $SIG_ (i, j)$ とを比較するものである。この差動入力回路320は、画素信号 $SIG_ (i, j)$ が参照信号REFよりも高いときに所定の差動出力信号HVOを電圧変換回路330に出力する。

[0047] 電圧変換回路330は、差動出力信号HVOの電圧を、正帰還回路340が動作可能な低電位に変換し、変換信号LVIとして正帰還回路340に供給するものである。

[0048] 正帰還回路340は、変換信号LVIに基づいて、画素信号 $SIG_ (i, j)$ が参照信号REFよりも高いときに反転する比較結果 $VCO_ (i, j)$ をデータ記憶部350と近傍の画素230とに出力するものである。また、正帰還回路340は、垂直駆動回路213からの初期化信号INIにより、初期化される。

[0049] データ記憶部350は、イネーブル信号LBP_ENがイネーブルの場合

に比較結果 $VCO_ (i, j)$ および VCO_IN に基づいて $LBP_ (i, j)$ を生成し、記憶するものである。一方、イネーブル信号 LBP_EN がディセーブルの場合にデータ記憶部 350 は、比較結果 $VCO_ (i, j)$ が反転したときの時刻コードを画素データとして記憶する。データ記憶部 350 は、それらのデジタル信号 ($LBP_ (i, j)$ または画素データ) をローカルビット線 LBL を介して、バッファ回路 360 に供給する。なお、データ記憶部 350 は、特許請求の範囲に記載の記憶部の一例である。

[0050] バッファ回路 360 は、時刻コード転送部 221 からデータ記憶部 350 へ時刻コードを転送し、データ記憶部 350 から時刻コード転送部 221 へ $LBP_ (i, j)$ または画素データを転送するものである。

[0051] なお、バッファ回路 360 を画素 230 内に配置しているが、この回路を時刻コード転送部 221 内に配置することもできる。

[0052] 図 5 は、本技術の第 1 の実施の形態における画素間の接続形態の一例を示す図である。同図において太枠で囲った画素を注目画素とし、その座標を (i, j) とする。また、例えば、座標 $(i-1, j-1)$ 、 $(i-1, j)$ 、 $(i-1, j+1)$ 、 $(i, j-1)$ 、 $(i, j+1)$ 、 $(i+1, j-1)$ 、 $(i+1, j)$ および $(i+1, j+1)$ の 8 画素を近傍画素とする。

[0053] 注目画素は、8 本の入力信号線を介して 8 個の近傍画素のそれぞれと接続される。それらの入力信号線を介して注目画素には、8 ビットの比較結果 VCO_IN が入力される。また、注目画素は、8 つに分岐する 1 本の出力信号線を介して近傍画素のそれぞれと接続される。注目画素は、その出力信号線を介して 1 ビットの比較結果 $VCO_ (i, j)$ を近傍画素のそれぞれに出力する。

[0054] [比較回路の構成例]

図 6 は、本技術の第 1 の実施の形態における比較回路 310 の一構成例を示す回路図である。比較回路 310 内の差動入力回路 320 は、pMOS (p-channel Metal-Oxide-Semiconductor) トランジスタ 321 乃至 323 と、nMOS (n-channel MOS) トランジスタ 324 乃至 326 とを備える。

- [0055] pMOSトランジスタ321および322は、カレントミラー回路を構成する。pMOSトランジスタ321、322および323のソースには、電源電圧VDD1が印加される。pMOSトランジスタ321のドレインは、pMOSトランジスタ321および322のゲートと、nMOSトランジスタ324のドレインとに共通に接続される。pMOSトランジスタ322のドレインは、nMOSトランジスタ325のドレインと、pMOSトランジスタ323のゲートとに共通に接続される。この接続点の電位をVOとする。また、pMOSトランジスタ323のドレインは、電圧変換回路330に接続される。
- [0056] nMOSトランジスタ324および325は、差動対を構成し、これらのトランジスタのソースは、nMOSトランジスタ326のドレインに共通に接続される。nMOSトランジスタ326のソースは、所定の基準電位VSSに接続される。また、nMOSトランジスタ324のゲートにはDAC211からの参照信号REFが入力され、nMOSトランジスタ325のゲートには、画素回路240からの画素信号SIG_{__}(i, j)が入力される。
- [0057] nMOSトランジスタ326のゲートには、所定のバイアス電圧Vbが印加され、nMOSトランジスタ326のソースには、所定の基準電位VSSが印加される。
- [0058] 電圧変換回路330は、nMOSトランジスタ331を備える。このnMOSトランジスタ331のゲートには所定のバイアス電圧VBIASが印加される。また、nMOSトランジスタ331のドレインは、pMOSトランジスタ323のドレインに接続され、ソースは、正帰還回路340に接続される。
- [0059] ここで、バイアス電圧VBIASは、定電圧で動作する正帰還回路340内のトランジスタを破壊しない電圧に変換することができる値であればよい。例えば、バイアス電圧VBIASは、正帰還回路340の電源電圧と同じ電圧とすることができる。
- [0060] 正帰還回路340はpMOSトランジスタ341、342、343と、n

MOSトランジスタ344および345とを備える。pMOSトランジスタ341および342とnMOSトランジスタ344とは、電源電圧VDD2に直列に接続される。また、pMOSトランジスタ342およびnMOSトランジスタ345は、電源電圧VDD2に直列に接続される。

[0061] ここで、基準電位VSSと、電源電圧VDD1およびVDD2との大小関係は、次の式により表される。なお、バイアス電圧VBIASは、前述したように、例えば、電源電圧VDD2と同じ値に設定される。

$$VSS < VDD2 < VDD1$$

[0062] また、pMOSトランジスタ341およびnMOSトランジスタ344のゲートには、垂直駆動回路213からの初期化信号INIが入力される。pMOSトランジスタ343のゲートは、pMOSトランジスタ342およびnMOSトランジスタ345の接続点に接続される。また、pMOSトランジスタ342およびnMOSトランジスタ345のゲートは、電圧変換回路330と、pMOSトランジスタ343およびnMOSトランジスタ344の接続ノードとに共通に接続される。pMOSトランジスタ342およびnMOSトランジスタ345の接続点の電位は、比較結果VCO__(i, j)として、データ記憶部350などに出力される。

[0063] なお、差動入力回路320、電圧変換回路330および正帰還回路340のそれぞれは、図5で説明した機能を持つのであれば、図6に例示した回路に限定されない。

[0064] 図7は、本技術の第1の実施の形態における比較回路310の動作の一例を示すタイミングチャートである。同図におけるaは、比較回路310内の差動入力回路320の動作の一例を示すタイミングチャートである。同図におけるbは、電圧変換回路330の動作の一例を示すタイミングチャートである。同図におけるcは、正帰還回路340の動作の一例を示すタイミングチャートである。同図における縦軸は電圧であり、横軸は時間である。

[0065] まず、DAC211により参照信号REFが、全ての画素230の画素信号SIGよりも高い電圧に設定されるとともに、ハイレベルの初期化信号I

N I により比較回路 310 が初期化される。

[0066] また、差動対の nMOS トランジスタ 324 および 325 の一方のゲートに、参照信号 REF が入力され、他方のゲートに画素信号 S I G_{__}(i, j) が入力される。参照信号 REF の電圧が、画素信号 S I G_{__}(i, j) の電圧よりも高い電圧であるときを考える。このときには電流源の nMOS トランジスタ 326 が出力した電流のほとんどが、参照信号 REF 側の nMOS トランジスタ 324 を経由してダイオード接続された pMOS トランジスタ 321 に流れる。その pMOS トランジスタ 321 と共通のゲートを持つ pMOS トランジスタ 322 のチャネル抵抗は十分低くなり pMOS トランジスタ 323 のゲートをほぼ電源電圧 VDD1 に保ち、pMOS トランジスタ 323 は遮断される。

[0067] したがって、電圧変換回路 330 内の nMOS トランジスタ 331 が導通していたとしても、充電回路としての正帰還回路 340 が変換信号 L V I を充電することは無い。一方、ハイレベルの初期化信号 I N I が供給されていることから、基準電位 VSS 側の nMOS トランジスタ 344 は導通し、正帰還回路 340 は変換信号 L V I を放電する。また、電源側の pMOS トランジスタ 341 は遮断するため、正帰還回路 340 が pMOS トランジスタ 343 を介して変換信号 L V I を充電することもない。その結果、変換信号 L V I は、基準電位 VSS まで放電される。正帰還回路 340 は、インバータを構成する出力段の pMOS トランジスタ 342 および nMOS トランジスタ 345 によりハイレベルの比較結果 V C O_{__}(i, j) を出力し、比較回路 310 が初期化される。

[0068] 初期化終了時のタイミング T s において垂直駆動回路 213 は、初期化信号 I N I をローレベルにする。タイミング T s の後に参照信号 REF の掃引が開始される。

[0069] 参照信号 REF が画素信号 S I G_{__}(i, j) よりも高い電圧の期間では、pMOS トランジスタ 323 はオフとなるため遮断され、比較結果 V C O はハイレベルの信号となるので、pMOS トランジスタ 343 もオフとなり

遮断される。nMOSトランジスタ344も、初期化信号INがローレベルとなっているため遮断される。変換信号LVは、高インピーダンス状態のまま基準電位VSSを保ち、ハイレベルの比較結果VCOが出力される。

[0070] タイミングTvにおいて参照信号REFが画素信号SIG_{__}(i, j)よりも低くなると、電流源のnMOSトランジスタ326の出力電流は参照信号REF側のnMOSトランジスタ324を流れなくなる。これにより、カレントミラー回路を構成するpMOSトランジスタ321および322のゲート電位が上昇して、pMOSトランジスタ322のチャネル抵抗は高くなる。そして、画素側のnMOSトランジスタ325を介して流れ込む電流に起因する電圧降下により、pMOSトランジスタ323のゲート電位が低下し、電圧変換回路330内のnMOSトランジスタ331が導通する。pMOSトランジスタ323から出力された差動出力信号HVOは、電圧変換回路330内のnMOSトランジスタ331によって変換信号LVに変換され、正帰還回路340に供給される。充電回路としての正帰還回路340は、変換信号LVを充電し、電位を基準電位VSSから電源電圧VDD2へと徐々に上昇させる。

[0071] そして、変換信号LVの電圧が、pMOSトランジスタ342およびnMOSトランジスタ345で構成されるインバータの閾値電圧を超えると、比較結果VCOはローレベルとなり、帰還先のpMOSトランジスタ343が導通する。pMOSトランジスタ341も、ローレベルの初期化信号INにより導通している。このため、正帰還回路340は、pMOSトランジスタ342およびnMOSトランジスタ345を介して、変換信号LVを急速に充電し、電位を電源電圧VDD2まで一気に持ち上げる。

[0072] 電圧変換回路330内のnMOSトランジスタ331は、ゲートにバイアス電圧VBASが印加されているので、変換信号LVの電圧が、バイアス電圧VBASからトランジスタの閾値分、下がった電圧値に到達すれば遮断する。pMOSトランジスタ323が導通したままとしても、それ以上に変換信号LVを充電することは無く、電圧変換回路330は、電圧ク

ランプ回路としても機能する。

[0073] pMOSトランジスタ343の導通による変換信号LV1の充電は、そもそも変換信号LV1がインバータの閾値まで上昇してきたことを発端とし、その動きを加速する正帰還動作である。差動入力回路320内の電流源のnMOSトランジスタ326は、固体撮像素子200内で並列同時に動作する回路数が膨大であることから1回路あたりの電流がきわめて僅かな電流に設定される。さらに、参照信号REFは、時刻コードが切り替わる単位時間に変化する電圧がAD変換のLSB (Least Significant Bit) ステップとなるために極めて緩慢に掃引される。従って、pMOSトランジスタ323のゲート電位の変化も緩慢であり、それによって駆動されるpMOSトランジスタ323の出力電流の変化も緩慢である。しかし、その出力電流で充電される変換信号LV1に、後段から正帰還をかけることで、比較結果VCOは十分急速に遷移することができる。望ましくは、比較結果VCOの遷移時間は、時刻コードの単位時間の数分の1であり、典型例としては1ナノ秒(ns)以下である。比較回路310では、電流源のnMOSトランジスタ326に、例えば、0.1マイクロアンペア(μ A)の僅かな電流を設定しただけで、この出力遷移時間を達成することができる。

[0074] [画素回路の構成例]

図8は、本技術の第1の実施の形態における画素回路240の一構成例を示す回路図である。この画素回路240は、リセットトランジスタ241、転送トランジスタ242、浮遊拡散層243、フォトダイオード244および排出トランジスタ245を備える。例えば、nMOSトランジスタが、リセットトランジスタ241、転送トランジスタ242、フォトダイオード244および排出トランジスタ245として用いられる。

[0075] フォトダイオード244は、入射光を光電変換して電荷を生成するものである。排出トランジスタ245は、画素駆動回路214からの排出制御信号OFGに従ってフォトダイオード244の電荷を排出するものである。

[0076] 転送トランジスタ242は、画素駆動回路214からの転送信号TXに従

って、フォトダイオード244から浮遊拡散層243へ電荷を転送するものである。

[0077] 浮遊拡散層243は、転送された電荷を蓄積し、蓄積した電荷の量に応じた電圧を生成するものである。この電圧の信号が画素信号 SIG_{ij} として差動入力回路320へ出力される。

[0078] リセットトランジスタ241は、画素駆動回路214からのリセット信号 RST に従って、浮遊拡散層243の電荷量を初期化するものである。

[0079] [データ記憶部の構成例]

図9は、本技術の第1の実施の形態におけるデータ記憶部350の一構成例を示す回路図である。このデータ記憶部350は、マルチプレクサ351と、ラッチ制御回路352と、複数のスイッチ355と、複数のラッチ回路356とを備える。スイッチ355およびラッチ回路356は、近傍画素ごとに設けられる。近傍画素が8個である場合には、スイッチ355およびラッチ回路356のそれぞれは8個ずつ設けられる。

[0080] マルチプレクサ351は、イネーブル信号 $LBPE_N$ に従って、比較結果 VCO_{ij} の出力先を切り替えるものである。このマルチプレクサ351は、イネーブル信号 $LBPE_N$ がイネーブルである場合に、比較結果 VCO_{ij} を全てのスイッチ355へ出力する。一方、イネーブル信号 $LBPE_N$ がディセーブルである場合にマルチプレクサ351は、ラッチ制御回路352に比較結果 VCO_{ij} を出力する。

[0081] ラッチ制御回路352は、ラッチ回路356のそれぞれの動作を制御するものである。このラッチ制御回路352は、OR（論理和）ゲート353およびインバータ354を備える。

[0082] ORゲート353は、画素データの読出しタイミングを制御するためのWORD信号と比較結果 VCO_{ij} との論理和を演算するものである。WORD信号は、垂直駆動回路213から供給される。また、ORゲート353は、論理和の信号を制御信号 T として全てのラッチ回路356に供給する。

- [0083] インバータ354は、比較結果 $VCO_ (i, j)$ を反転ものである。このインバータ354、反転した信号を制御信号Lとして全てのラッチ回路356に供給する。
- [0084] スイッチ355は、マルチプレクサ351からの比較結果 $VCO_ (i, j)$ が反転するまでの期間に亘って、対応する近傍画素からの比較結果 VCO を、対応するラッチ回路356に入力するものである。
- [0085] ラッチ回路356は、1ビットのデータを保持するものである。このラッチ回路356は、インバータ357および358とスイッチ359とを備える。撮像モードにおいて n (n は0乃至7の整数)個目のラッチ回路356には、時刻コードのうち第 n ビットが保持される。一方、LBP抽出モードにおいて、 n 個目のラッチ回路356には、ローカルビットパターンのうち第 n ビットが保持される。
- [0086] インバータ357は、制御信号Lがハイレベルである場合にインバータ358からの信号を反転してインバータ358の入力端子およびスイッチ359に出力するものである。
- [0087] インバータ358は、対応する近傍画素の比較結果 VCO と、インバータ357からの信号と、スイッチ359からの信号とのいずれかを反転してインバータ357の入力端子に出力するものである。これらのループ状のインバータ357および358により、1ビットの信号が保持(ラッチ)される。
- [0088] スイッチ359は、制御信号Tに従って、バッファ回路360と、インバータ357および358からなるループ回路との間の経路を開閉するものである。制御信号Tがハイレベルの場合に、スイッチ359は閉状態に制御され、ローレベルの場合に開状態に制御される。
- [0089] イネーブル信号 LBP_EN がディセーブル(撮像モード)の場合、時刻コードのデータ記憶部350への書込みと、読出しとが順に実行される。ラッチ制御回路352は、書き込み動作において、ハイレベルの比較結果 $VCO_ (i, j)$ が入力されている間、時刻コード転送部221からの、単位

時間ごとに更新される時刻コードを8個のラッチ回路356に記憶させる。そして、参照信号REFと画素信号SIG_{__}(i, j)とが同一の電圧になり、比較結果VCOがローレベルに反転したときにラッチ制御回路352は、時刻コードの書き込み（更新）を中止させる。ラッチ制御回路352は、最後にラッチ回路356に記憶された時刻コードをラッチ回路356に保持させる。8個のラッチ回路356に記憶された時刻コードは、画素信号SIG_{__}(i, j)と参照信号REFとが等しくなった時刻を表しており、画素信号SIG_{__}(i, j)がその時刻の基準電圧であったことを示す画素データ、即ち、デジタル化された光量値を表す。

[0090] 参照信号REFの掃引が終了し、画素アレイ部220内の全ての画素230に時刻コードが記憶された後、その時刻コード（すなわち、画素データ）の読出しが開始される。

[0091] ラッチ制御回路352は、読み出し動作において、読み出しタイミングを制御するWORD信号に基づいて、読み出しタイミングとなったときに、記憶されている時刻コードを、時刻コード転送部221に出力させる。時刻コード転送部221は、供給された時刻コードを、列方向（垂直方向）に順次転送し、出力部250に供給する。

[0092] また、イネーブル信号LBP_{__}ENがイネーブル（LBP抽出モード）である場合、比較結果VCO_{__}(i, j)が反転したときのVCO_{__}INが8個のラッチ回路356に書き込まれる。書き込まれたデータは、LBPに該当する。そして、このLBPは、WORD信号に従って読み出される。

[0093] また、DAC211は、オフセット電圧の異なる複数の参照信号REFを順に供給し、参照信号REFが供給されるたびに、データ記憶部350は、LBPの書き込み、読出しを順に実行する。例えば、4つの参照信号REFが供給される場合、LBPの書き込み、読出しは、4回ずつ行われる。

[0094] なお、画素データのビット数とLBPのビット数とを同一としているが、これらのビット数が異なる構成であってもよい。この場合、画素データのビット数とLBPのビット数とのうち多い方と同じ個数のラッチ回路356が

設けられ、LBPのビット数以上の個数のスイッチ355が設けられる。例えば、画素データを16ビットとし、LBPを8ビットとする場合、16個のラッチ回路356と8個以上のスイッチ355とが設けられる。

[0095] [バッファ回路の構成例]

図10は、バッファ回路360の一構成例を示す回路図である。このバッファ回路360は、ラッチ回路356ごとに双方向バッファ361を備える。ラッチ回路356が8個の場合には、8個の双方向バッファ361が設けられる。

[0096] 双方向バッファ361は、垂直駆動回路213からの、書込みを指示するWR信号と読出しを指示するRD信号とに従って双方向にデータを転送するものである。この双方向バッファ361は、バッファ362およびインバータ363を備える。

[0097] バッファ362は、WR信号に従って、時刻コードの第nビットをローカルビット線LBLを介してデータ記憶部350に出力するものである。

[0098] インバータ363は、RD信号に従ってデータ記憶部350からのデジタル信号（画素データまたはLBL）の第nビットを反転して時刻コード転送部221に供給するものである。

[0099] 図11は、本技術の第1の実施の形態におけるリセットレベルのサンプリング動作の一例を示すタイミングチャートである。この動作は、イネーブル信号LBP_ENがディセーブル（すなわち、撮像モード）に設定され、撮像が指示されたときに開始される。

[0100] まず、露光が終了する直前の時刻t1において、参照信号REFが、それまでのスタンバイ電圧V_{stb}から、リセット電圧V_{rst}に設定される。これにより、浮遊拡散層243がリセットされる。また、時刻t1では、正帰還回路340への初期化信号INIがハイレベルに設定され、これにより、正帰還回路340が初期化される。

[0101] 次に時刻t2において、参照信号REFが所定の電圧V_uまで持ち上げられ、参照信号REFと画素信号SIG_(i, j)との比較が開始される。

この時点では、参照信号REFが画素信号SIG_{__}(i, j)よりも大きい
ため比較結果VCO_{__}(i, j)はハイレベルである。

[0102] 参照信号REFと画素信号SIG_{__}(i, j)とが同一となった時刻t₃
において、比較結果VCO_{__}(i, j)がハイレベルからローレベルに反転
する。比較結果VCO_{__}(i, j)が反転するとデータ記憶部350におい
て、その反転した時点の時刻コード（すなわち、画素データ）が記憶される
。

[0103] 時刻コードの書込みが完了した後の時刻t₄において、参照信号REFの
電圧が、比較回路310内のnMOSトランジスタ324がオフする程度の
スタンバイ電圧V_{stb}まで引き下げられる。これにより、読み出し期間中
の比較回路310の消費電流が抑制される。

[0104] そして、時刻t₅において、読み出しタイミングを制御するWORD信号
がハイレベルとなり、例えば、8ビットの画素データが、データ記憶部35
0から出力される。ここで取得されるデータは、CDS（Correlated Double
Sampling）処理を行う際のリセットレベルのP相データとなる。

[0105] 図12は、本技術の第1の実施の形態における信号レベルのサンプリング
動作の一例を示すタイミングチャートである。

[0106] リセットレベルが読み出された後の時刻t₆において、参照信号REFが
所定の電圧V_uまで持ち上げられるとともに、初期化信号INIがハイレベル
に設定され、正帰還回路340が再び初期化される。

[0107] そして、時刻t₇において、ハイレベルの転送信号TXによりフォトダイ
オード244で生成された電荷が浮遊拡散層243へ転送される。

[0108] 初期化信号INIがローレベルに戻された後、参照信号REFと画素信号
SIG_{__}(i, j)の比較が開始される。そして、参照信号REFと画素信
号SIG_{__}(i, j)とが同一となった時刻t₈において、比較結果VCO
_{__}(i, j)が反転し、データ記憶部350に、その時点の時刻コード（す
なわち、画素データ）が記憶される。

[0109] 時刻コードの書込みが完了した後の時刻t₉において、参照信号REFの

電圧が、比較回路310内のnMOSトランジスタ324がオフする程度のスタンバイ電圧 V_{stb} まで引き下げられる。

[0110] 時刻 t_{10} において、読み出しタイミングを制御するWORD信号がハイレベルとなり、例えば、8ビットの画素データが、データ記憶部350から出力される。ここで取得されるデータは、CDS処理を行う際の信号レベルのD相データとなる。

[0111] 上述のリセットレベルおよび信号レベルのサンプリングが、垂直同期信号VSYNCの周期毎に実行される。また、固体撮像素子200内の各画素230は、全画素同時にリセットし、かつ、全画素同時に露光するグローバルシャッタ動作が可能である。全画素が同時に露光及び読み出しを行うことができるため、通常、画素内に設けられる、電荷が読み出されるまでの間に亘って電荷を保持する保持部が不要である。また、画素230では、カラム並列読み出し型の固体撮像装置で必要であった、駆動する画素を選択するための選択トランジスタ等も不要である。

[0112] 図13は、本技術の第1の実施の形態におけるLBP抽出モードでローレベルをラッチする際の固体撮像素子200の動作の一例を示すタイミングチャートである。この動作は、イネーブル信号LBP_ENがイネーブル（すなわち、LBP抽出モード）に設定され、撮像が指示されたときに開始される。同図における縦軸は、電圧であり、横軸は時間である。

[0113] DAC211は、垂直同期信号VSYNCの周期ごとに、オフセット電圧の異なる複数の参照信号REFを順に供給する。ここで、オフセット電圧は、参照信号REF全体に印加される固定電圧である。オフセット電圧の異なる2つの参照信号REFは、スロープの傾きは同一であるが、スロープの所定の位相（例えば、掃引開始時点）の電位に差が生じる。例えば、DAC211が垂直同期信号VSYNCの周期内において4つの参照信号を順に生成するものとし、それぞれREFa、REFb、REFcおよびREFdとする。また、これらの参照信号の形状は、階段状であるものとする。

[0114] 例えば、参照信号REFaのオフセット電圧は「0」ボルト（V）であり

、参照信号 R E F b のオフセット電圧は負電圧 o f s 1 である。参照信号 R E F c のオフセット電圧は、o f s 1 より絶対値の大きな負電圧 o f s 2 であり、参照信号 R E F d のオフセット電圧は、o f s 2 より絶対値の大きな負電圧 o f s 3 である。

[0115] D A C 2 1 1 は、時刻 T L 1 に参照信号 R E F a を供給し、時刻 T L 2 に参照信号 R E F b を供給する。そして、D A C 2 1 1 は、時刻 T L 3 に参照信号 R E F c を供給し、時刻 T L 4 に参照信号 R E F d を供給する。

[0116] 参照信号 R E F a の掃引開始直前の時刻 T 1 1 において画素駆動回路 2 1 4 は、転送信号 T X により、それぞれの画素に画素信号を出力させる。ここで、注目画素の画素信号 S I G _ (i , j) の電位は、その左上の近傍画素の画素信号 S I G _ (i - 1 , j - 1) の電位以下であるものとする。

[0117] この場合、近傍画素の比較結果 V C O _ (i - 1 , j - 1) が時刻 T 1 2 で反転してローレベルになり、その時刻以降、例えば、時刻 T 1 3 に注目画素の比較結果 V C O _ (i , j) が反転する。

[0118] 注目画素の比較結果 V C O _ (i , j) が反転する時刻 T 1 3 までは、スイッチ 3 5 5 は閉状態となり、対応するラッチ回路 3 5 6 には、比較結果 V C O _ (i - 1 , j - 1) が書き込まれる。このビットを、例えば、ラッチ L 7 とする。ラッチ L 7 は、L B P における近傍画素に対応するビットに該当する。

[0119] そして、比較結果 V C O _ (i , j) が反転した時刻 T 1 3 において、既に比較結果 V C O _ (i - 1 , j - 1) が反転しているため、ラッチ回路 3 5 6 に、ローレベルのラッチ L 7 が保持される。このように、注目画素の画素信号の電位が、近傍画素以下の場合には、対応するラッチ回路 3 5 6 にローレベルのビットが保持される。

[0120] また、蓄積する電荷を電子とすると、画素の受光量が多いほど電子の蓄積量が多くなり、画素信号の電位が低下するため、画素信号の電位が低いほど、画素値は大きくなる。したがって、注目画素の画素値が、近傍画素以上の場合には、対応するラッチ回路 3 5 6 にローレベルのビットが保持される。

- [0121] 図14は、本技術の第1の実施の形態におけるLBP抽出モードでハイレベルをラッチする際の固体撮像素子200の動作の一例を示すタイミングチャートである。同図における縦軸は、電圧であり、横軸は時間である。
- [0122] ここで、注目画素の画素信号 $SIG(i, j)$ の電位は、その右下の近傍画素の画素信号 $SIG(i+1, j+1)$ より高いものとする。
- [0123] この場合、注目画素の比較結果 $VCO(i, j)$ が時刻 $T12$ で先に反転してローレベルになり、次に近傍画素の比較結果 $VCO(i+1, j+1)$ が時刻 $T13$ で反転する。
- [0124] 注目画素の比較結果 $VCO(i, j)$ が反転する時刻 $T12$ までは、スイッチ355は閉状態となり、対応するラッチ回路356には、比較結果 $VCO(i+1, j+1)$ が書き込まれる。このビットを、例えば、ラッチ $L3$ とする。
- [0125] そして、比較結果 $VCO(i, j)$ が反転した時刻 $T12$ において、比較結果 $VCO(i+1, j+1)$ は反転していないため、ラッチ回路356に、ハイレベルのラッチ $L3$ が保持される。このように、注目画素の画素信号の電位が、近傍画素より高い場合には、対応するラッチ回路356にハイレベルのビットが保持される。すなわち、注目画素の画素値が、近傍画素より小さい場合には、対応するラッチ回路356にハイレベルのビットが保持される。
- [0126] 図15は、本技術の第1の実施の形態におけるLBPを説明するための図である。同図におけるaは、アナログの画素信号の画素値を画素ごとに示す図である。同図におけるbは、近傍画素および注目画素のそれぞれの画素信号の大小関係を2値により表した図である。
- [0127] 3行×3列の画素において、中央を注目画素とし、残り8画素を近傍画素とする。注目画素のデータ記憶部350は、注目画素の画素値が近傍画素以上の場合に、ローレベルのLBP値を保持し、そうでない場合にハイレベルのビットを保持する。例えば、注目画素の左上、上下および右の位置の近傍画素の画素値は、注目画素以下であるため、これらの画素について「0」の

ビットが保持される。それら以外の近傍画素について、「1」のビットが保持される。

[0128] 注目画素は、保持した8ビットを例えば、左の近傍画素に対応するビットから時計回りに並べて出力する。このように、近傍画素と注目画素との画素値の比較結果を2進数で表した特徴量はLBPと呼ばれる。

[0129] なお、LBP抽出モードでは、撮像モードで行うCDS処理によるノイズの低減を原理的に行うことができないため、CDS処理によらない方法でノイズを低減することが有効である。例えば、画素駆動回路214がリセットを行う際にリセットトランジスタ241へのリセット信号RSTのパルスを撮像モードよりもゆっくりと、ローレベルに遷移させる方法を適用することができる。また、ローパスフィルタなどの挿入により帯域制限を掛ける方法も適用することができる。

[0130] 図16は、本技術の第1の実施の形態における参照信号ごとのLBPの一例を示す図である。前述したように、LBP抽出モードにおいて、DAC211は、オフセット電圧の異なる4つの参照信号を順に、全画素へ供給する。同図における縦軸は、電圧であり、横軸は時間である。また、実線の直線は、注目画素の画素信号を示し、点線の直線は、近傍画素の画素信号を示す。

[0131] 時刻TL5において注目画素の画素信号の電位が参照信号REFaより低くなると、注目画素の比較結果 $VCO_ (i, j)$ が反転する。この時刻TL5において近傍画素の電位が参照信号REFaより高いと、その近傍画素について「0」のLBP値が保持される。この例では、6つの近傍画素の電位が、注目画素の電位 $-dV_{var}$ より高いため、それらについて「0」のビットが保持され、残りの2ビットは「1」となる。この結果、最初の $LBP_a_ (i, j)$ として、「00000011」が生成される。

[0132] 次に、DAC211は、負のオフセット電圧を加えた参照信号REFbを供給する。このオフセット電圧により、それぞれの画素について比較結果 VCO が反転するタイミングが変化する。例えば、時刻TL6において注目画

素の画素信号の電位が参照信号REFbより低くなると、注目画素の比較結果 $VCO_ (i, j)$ が反転する。この時刻TL6において、3つの近傍画素の電位が参照信号REFbより高く、それらの近傍画素について「0」のLBP値が保持される。この結果、 $LBPb_ (i, j)$ として、「0001111」が生成される。

[0133] 続いてDAC211は、参照信号REFbより絶対値の大きなオフセット電圧を加えた参照信号REFcを供給する。このオフセット電圧により、それぞれの画素について比較結果VCOが反転するタイミングが変化する。例えば、時刻TL7において注目画素の画素信号の電位が参照信号REFcより低くなると、注目画素の比較結果 $VCO_ (i, j)$ が反転する。この時刻TL7において、4つの近傍画素の電位が参照信号REFbより高く、それらの近傍画素について「0」のLBP値が保持される。この結果、 $LBPc_ (i, j)$ として、「00001111」が生成される。

[0134] そして、DAC211は、参照信号REFcより絶対値の大きなオフセット電圧を加えた参照信号REFdを供給する。このオフセット電圧により、それぞれの画素について比較結果VCOが反転するタイミングが変化する。例えば、時刻TL8において注目画素の画素信号の電位が参照信号REFdより低くなると、注目画素の比較結果 $VCO_ (i, j)$ が反転する。この時刻TL8において、5つの近傍画素の電位が参照信号REFbより高く、それらの近傍画素について「0」のLBP値が保持される。この結果、 $LBPd_ (i, j)$ として、「00000111」が生成される。

[0135] 上述したように、参照信号REFのオフセット電圧を変更すると、注目画素の比較結果 $VCO_ (i, j)$ が反転するタイミング、すなわち近傍画素の比較結果VCOをラッチするタイミングが変わる。このタイミングの変更により、注目画素との電位差が小さい近傍画素では、比較結果VCOが変化しやすくなる。例えば、座標 $(i+1, j+1)$ の近傍画素は、注目画素との電位差が最も小さい。この近傍画素では、時刻TL5において、比較結果 $VCO_ (i+1, j+1)$ がローレベルであったが、時刻TL6において

、比較結果 $VCO_ (i+1, j+1)$ はハイレベルに変化する。

[0136] 一方、注目画素との電位差が大きな近傍画素では、オフセット電圧が変更されても比較結果 VCO がほとんど変化しない。例えば、座標 $(i-1, j-1)$ の近傍画素は、注目画素との電位差が最も大きい。この近傍画素では、時刻 $TL5$ 乃至 $TL8$ において、比較結果 $VCO_ (i-1, j-1)$ はハイレベルのままである。また、電位が注目画素の電位以上の近傍画素については、電位差に関わらず、比較結果 VCO が変化しない。例えば、座標 $(i+1, j)$ の近傍画素は、その電位が注目画素の電位以上である。この近傍画素では、時刻 $TL5$ 乃至 $TL8$ において、比較結果 $VCO_ (i+1, j)$ はローレベルのままである。

[0137] したがって、電位が注目画素より低い近傍画素については、注目画素との電位差が大きいほど、 $LBP a$ 乃至 $LBP d$ の対応するビットにおいて「1」のビット数が多くなる。

[0138] なお、 $DAC211$ は、オフセット電圧の異なる4つの参照信号を供給しているが、4つ以外の個数の参照信号を供給することもできる。また、 $DAC211$ は、負のオフセット電圧を加えているが、正のオフセット電圧を加えてもよい。この場合には、電位が注目画素以上の近傍画素について、電位差の大きさを「1」のビットの個数により表すことができる。また、 $DAC211$ は、負のオフセット電圧を加えた参照信号と、正のオフセット電圧を加えた参照信号とを順に供給することもできる。

[0139] [出力部の構成例]

図17は、本技術の第1の実施の形態における出力部250の一構成例を示すブロック図である。この出力部250は、スイッチ251、特徴量変換部252、信号処理部253および出力回路254を備える。

[0140] スイッチ251は、イネーブル信号 LBP_EN に応じて、画素アレイ部220からのデータの出力先を切り替えるものである。イネーブル信号 LBP_EN がイネーブルの場合にスイッチ251は、画素アレイ部220からの $LBP a_ (i, j)$ 乃至 $LBP d_ (i, j)$ を特徴量変換部252に

出力する。一方、イネーブル信号 LBP_EN がディセーブルの場合にスイッチ251は、画素アレイ部220からの画素データ $PIX_ (i, j)$ を信号処理部253に出力する。

[0141] 特徴量変換部252は、 $LBP_a_ (i, j)$ 乃至 $LBP_d_ (i, j)$ を、近傍画素毎に注目画素との画素信号の差を多値により表す特徴量 $Fv_ (i, j)$ に変換するものである。この特徴量変換部252は、 $LBP_a_ (i, j)$ 乃至 $LBP_d_ (i, j)$ のそれぞれの桁ごとに、「1」の個数を計数する。そして、特徴量変換部252は、それらの計数値を並べたデータを特徴量 $Fv_ (i, j)$ として出力回路254に出力する。

[0142] LBP は4つあるため、ある桁の「1」の個数の計数値の範囲は、「0」乃至「4」となる。前述したように、近傍画素と注目画素との電位差が大きいほど、 LBP_a 乃至 LBP_d の対応するビットにおいて「1」のビット数が多くなるため、計数値は、電位差の大きさを表す。「0」乃至「4」の計数値に3ビットを割り当てる場合、それぞれ8ビットの $LBP_a_ (i, j)$ 乃至 $LBP_d_ (i, j)$ は、24ビットの特徴量 $Fv_ (i, j)$ に変換される。

[0143] 信号処理部253は、画素データ $PIX_ (i, j)$ に対して、黒レベルを補正する黒レベル補正処理やCDS処理などの所定の信号処理を実行するものである。CDS処理において、信号処理部253がP相データからD相データを差し引くことにより、比較回路310のばらつき、リセット動作のチャージインジェクションやフィードスルーなどをキャンセルすることができる。信号処理部253は、信号処理後の画素データを出力回路254に供給する。

[0144] 出力回路254は、特徴量変換部252または信号処理部253からのデータをタイミング生成回路215の制御に従ってデジタルシグナルプロセッサ120へ出力するものである。

[0145] なお、出力部250が、特徴量 $Fv_ (i, j)$ への変換を行っているが、出力部250の代わりに、後段の回路（デジタルシグナルプロセッサ12

0 などが、特徴量 $F_v(i, j)$ への変換を行う構成とすることもできる。

[0146] 図 18 は、本技術の第 1 の実施の形態における特徴量変換部 252 による変換処理を説明するための図である。同図における a は、 $LBP_a(i, j)$ の一例を示し、同図における b は、 $LBP_b(i, j)$ の一例を示す。同図における c は、 $LBP_c(i, j)$ の一例を示し、同図における d は、 $LBP_d(i, j)$ の一例を示す。同図における e は、特徴量 $F_v(i, j)$ の一例を示す。

[0147] 特徴量変換部 252 は、 $LBP_a(i, j)$ 乃至 $LBP_d(i, j)$ のそれぞれの桁ごとに、「1」の個数を計数する。例えば、左上の近傍画素に対応する桁は、 $LBP_a(i, j)$ 乃至 $LBP_d(i, j)$ において全て「1」である。したがって、特徴量 $F_v(i, j)$ の左上の近傍画素に対応する桁に「4」が設定される。また、左下の近傍画素に対応する桁は、 $LBP_a(i, j)$ 乃至 $LBP_d(i, j)$ において全て「0」である。したがって、特徴量 $F_v(i, j)$ の左下の近傍画素に対応する桁に「0」が設定される。

[0148] この特徴量 $F_v(i, j)$ は、近傍画素ごとに、注目画素との画素信号の差を多値で表している。したがって、近傍画素毎に注目画素との画素信号の大小関係を 2 値で表す LBP と比較して、特徴量 $F_v(i, j)$ の情報量は多く、特徴量画像の画質が向上する。このため、デジタルシグナルプロセッサ 120 が、特徴量 $F_v(i, j)$ からなる特徴量画像を用いて画像認識を行うことにより、 LBP からなる特徴量画像を用いる場合と比較して、認識精度を向上させることができる。

[0149] 図 19 は、本技術の第 1 の実施の形態における撮像装置 100 内の処理フローをまとめた図である。画素回路 240 は、受光量に応じたアナログ信号を画素信号として生成し、ADC 300 に供給する。

[0150] ADC 300 は、オフセット電圧の異なる 4 つの参照信号 REF を用いて $LBP_a(i, j)$ 乃至 $LBP_d(i, j)$ を生成し、特徴量変換部 2

52に供給する。特徴量変換部252は、画素毎に $LBP_a(i, j)$ 乃至 $LBP_d(i, j)$ を、近傍画素毎に注目画素との画素信号の差を多値により表す特徴量 $F_v(i, j)$ に変換し、デジタルシグナルプロセッサ120に供給する。言い換えれば、画素毎に特徴量 $F_v(i, j)$ が抽出される。なお、ADC300および特徴量変換部252からなる回路は、特許請求の範囲に記載の特徴量抽出部の一例である。

[0151] そして、デジタルシグナルプロセッサ120は、特徴量 $F_v(i, j)$ からなる特徴量画像に対して画像認識処理などを行う。

[0152] 一般的な撮像装置では、固体撮像素子が画素信号をAD変換して通常画像を生成し、外部のプロセッサが通常画像からLBPを抽出する。これに対して、固体撮像素子200では、その外部のプロセッサではなく、固体撮像素子200の内部で画素信号から直接にLBPを抽出している。このため、画素信号のAD変換を行う必要が無くなり、その分、撮像装置100の消費電力を削減することができる。

[0153] [撮像装置の動作例]

図20は、本技術の第1の実施の形態における撮像装置100の動作の一例を示すフローチャートである。この動作は、例えば、撮像装置100において、画像データを撮像するための所定のアプリケーションが実行されたときに開始される。

[0154] 撮像装置100は、特徴量抽出モードが設定されたか否かを判断する（ステップS901）。特徴量抽出モードが設定された場合に（ステップS901：Yes）、撮像装置100は、LBPを生成するためのLBP生成処理を実行する（ステップS910）。そして、撮像装置100は、画素毎にLBPを特徴量 $F_v(i, j)$ に変換し（ステップS902）、特徴量画像に対して画像認識を行う（ステップS903）。

[0155] 特徴量抽出モードが設定されていない場合に（ステップS901：No）、撮像装置100は、画素毎に画素信号をAD変換して通常画像を生成し（ステップS904）、通常画像に対して様々な画像処理を実行する（ステッ

プS905)。ステップS903またはS905の後に撮像装置100は、ステップS901以降を繰り返し実行する。

[0156] 図21は、本技術の第1の実施の形態におけるLBP生成処理の一例を示すフローチャートである。撮像装置100内の固体撮像素子200は、参照信号REFaを用いて画素毎にLBP_a__(i, j)を生成する(ステップS911)。そして、固体撮像素子200は、参照信号のオフセット電圧を変更し(ステップS912)、変更後の参照信号REFbを用いて画素毎にLBP_b__(i, j)を生成する(ステップS913)。

[0157] 続いて固体撮像素子200は、参照信号のオフセット電圧を変更し(ステップS914)、変更後の参照信号REFcを用いて画素毎にLBP_c__(i, j)を生成する(ステップS915)。そして、固体撮像素子200は、参照信号のオフセット電圧を変更し(ステップS916)、変更後の参照信号REFdを用いて画素毎にLBP_d__(i, j)を生成する(ステップS917)。ステップS917の後に、固体撮像素子200は、LBP生成処理を終了する。

[0158] このように、本技術の第1の実施の形態では、固体撮像素子200が、近傍画素と注目画素とのそれぞれの画素信号の差を多値で表す特徴量F_v__(i, j)を抽出するため、その差を2値で表すLBPと比較して、特徴量の情報量を多くすることができる。これにより、特徴量画像の画質を向上させて、画像認識の認識精度を高くすることができる。

[0159] <2. 第2の実施の形態>

上述の第1の実施の形態では、固体撮像素子200は、順に生成した複数の参照信号を用いて特徴量F_v__(i, j)を抽出していたが、参照信号の個数が多いほど、ADC300の変換時間が長くなる。変換時間が長くなると、画素回路240がアナログの画素信号SIG__(i, j)を保持する時間が長くなり、リーク電流の影響などにより、信号レベルが変動するおそれが高くなる。この結果、AD変換の精度が低下してしまう。AD変換時間を短くするには、参照信号を1つのみとし、カウンタを用いてAD変換を行え

ばよい。この第2の実施の形態の固体撮像素子200は、カウンタを用いてAD変換を行う点において第1の実施の形態と異なる。

[0160] 図22は、本技術の第2の実施の形態におけるADC300の一構成例を示すブロック図である。この第2の実施の形態のADC300は、データ記憶部350の代わりに計数部370を備える点において第1の実施の形態と異なる。

[0161] 計数部370は、近傍画素ごとに計数回路371を備える。計数回路371は、注目画素の比較結果 $VCO_ (i, j)$ が反転する時刻と、対応する近傍画素の比較結果 VCO が反転する時刻との間の期間に亘って計数値を計数するものである。計数部370は、これらの計数値からなるデータを特徴量 $Fv_ (i, j)$ としてローカルビット線LBLを介してバッファ回路360に出力する。

[0162] また、ADC300が特徴量 $Fv_ (i, j)$ を抽出するため、第2の実施形態の出力部250には、特徴量変換部252が設けられない。

[0163] 図23は、本技術の第2の実施の形態における計数回路371の一構成例を示す回路図である。この計数回路371は、NAND（否定論理積）ゲート372、NOR（否定論理和）ゲート373およびアップダウンカウンタ380を備える。

[0164] NANDゲート372は、対応する近傍画素の比較結果（ $VCO_ (i, j-1)$ など）と、注目画素の比較結果 $VCO_ (i, j)$ との否定論理積をスタートフラグSTAとしてアップダウンカウンタ380に出力するものである。否定論理積演算により、注目画素と、対応する近傍画素とのいずれかの比較結果が反転した際にスタートフラグSTAがハイレベルに設定され、アップダウンカウンタ380の計数が開始される。

[0165] NORゲート373は、対応する近傍画素の比較結果と、注目画素の比較結果 $VCO_ (i, j)$ との否定論理和をストップフラグSTPとしてアップダウンカウンタ380に出力するものである。否定論理和演算により、注目画素と、対応する近傍画素との両方の比較結果が反転した際にストップフ

ラグS T Pがハイレベルに設定され、アップダウンカウンタ380の計数が終了する。

[0166] アップダウンカウンタ380は、対応する近傍画素の比較結果に応じた符号の計数値を計数するものである。このアップダウンカウンタ380には、対応する近傍画素の比較結果がアップダウンフラグUDとして入力される。また、アップダウンカウンタ380には、垂直駆動回路213からのクロック信号CLKが入力される。

[0167] アップダウンカウンタ380は、スタートフラグS T Aがハイレベルになると、アップダウンフラグUDがハイレベルであれば、クロック信号CLKに同期して計数値を増分（すなわち、アップカウント）する。一方、アップダウンフラグUDがローレベルであれば、アップダウンカウンタ380は、クロック信号CLKに同期して計数値を減分（すなわち、ダウンカウント）する。そして、ストップフラグS T Pがハイレベルになるとアップダウンカウンタ380は計数を停止する。そして、アップダウンカウンタ380は計数値をバッファ回路360に出力する。ここで、計数値は、多値であり、2ビット以上のビット列により表される。ただし、そのビット数は、撮像モードの画素データのビット数（10ビット以上など）より小さくてよい。例えば、計数値の範囲が「-3」乃至「+3」の範囲である場合には、符号を示す1ビットと、絶対値を示す2ビットとからなる3ビットが計数値として出力される。

[0168] また、L B P抽出モードにおけるクロック信号CLKの周波数は、撮像モードにおける当該クロック信号の周波数よりも低くてよい。例えば、撮像モードでは数十から数百メガヘルツ（MHz）に設定されるのに対し、L B P抽出モードでは数キロヘルツ（kHz）乃至数十ヘルツ（Hz）に設定される。

[0169] 図24は、本技術の第2の実施の形態におけるアップダウンカウンタ380の一構成例を示す回路図である。このアップダウンカウンタ380は、インバータ381、NANDゲート382、NORゲート383、JKフリッ

プフロップ 384 を備える。また、アップダウンカウンタ 380 は、XOR（排他的論理和）ゲート 385 および 387 と、JK フリップフロップ 386 および 389 と、AND（論理積）ゲート 388 とを備える。

[0170] インバータ 381 は、アップダウンフラグ UD を反転するものである。このインバータ 381 は、反転した反転信号を XOR ゲート 385 および 387 に供給する。

[0171] NAND ゲート 382 は、クロック信号 CLK とスタートフラグ STA との否定論理積を NOR ゲート 383 に出力するものである。

[0172] NOR ゲート 383 は、NAND ゲート 382 からの信号とストップフラグ STP との否定論理和を JK フリップフロップ 384、386 および 389 に出力するものである。

[0173] JK フリップフロップ 384 は、計数値の第 0 ビットを保持するものである。この JK フリップフロップ 384 の入力端子 J および K には、ハイレベルが入力され、クロック端子には、NOR ゲート 383 からの信号の反転値が入力される。また、JK フリップフロップ 384 は、出力端子 Q から、保持値を XOR ゲート 385 とバッファ回路 360 とに出力する。

[0174] XOR ゲート 385 は、インバータ 381 からの信号とフリップフロップ 384 からの信号との排他的論理和を JK フリップフロップ 386 および AND ゲート 388 に出力するものである。

[0175] JK フリップフロップ 386 は、計数値の第 1 ビットを保持するものである。この JK フリップフロップ 386 の入力端子 J および K には、XOR ゲート 385 からの信号が入力され、クロック端子には、NOR ゲート 383 からの信号の反転値が入力される。また、JK フリップフロップ 386 は、出力端子 Q から、保持値を XOR ゲート 387 とバッファ回路 360 とに出力する。

[0176] XOR ゲート 387 は、インバータ 381 からの信号とフリップフロップ 386 からの信号との排他的論理和を AND ゲート 388 に出力するものである。

[0177] ANDゲート388は、XORゲート385および387のそれぞれからの信号の論理積をJKフリップフロップ389に出力するものである。

[0178] JKフリップフロップ389は、計数値の第2ビットを保持するものである。このJKフリップフロップ389の入力端子JおよびKには、ANDゲート388からの信号が入力され、クロック端子には、NORゲート383からの信号の反転値が入力される。また、JKフリップフロップ389は、保持値をバッファ回路360に出力する。

[0179] なお、アップダウンカウンタ380内の回路は、図23で説明した機能を実現することができるのであれば、図24に例示した構成に限定されない。

[0180] 図25は、本技術の第2の実施の形態におけるアップカウントを行う動作の一例を示すタイミングチャートである。同図に例示するように第2の実施の形態のDAC211は、スロープ状の参照信号REFを1回のみ供給する。

[0181] ここで、座標 $(i-1, j-1)$ の近傍画素の画素信号 $SIG_{-}(i-1, j-1)$ の電位が、注目画素の画素信号 $SIG_{-}(i, j)$ の電位より高いものとする。この場合には、時刻T51において近傍画素の比較結果 $VCO_{-}(i-1, j-1)$ が先に反転し、その後時刻T52において注目画素の比較結果 $VCO_{-}(i, j)$ が反転する。

[0182] アップダウンカウンタ380は、時刻T51から時刻T52に亘ってアップカウントを行い、例えば、「+1」の計数値を取得する。このように、近傍画素の画素信号の電位が、注目画素の画素信号の電位より高い場合には、アップカウントが行われる。そして、注目画素と近傍画素との電位差が大きいほど、計数期間が長くなり、計数値が大きくなる。このため、計数値は、注目画素と近傍画素とのそれぞれの画素信号の電位差の大きさを示す。

[0183] 図26は、本技術の第2の実施の形態におけるダウンカウントを行う動作の一例を示すタイミングチャートである。

[0184] ここで、座標 $(i+1, j+1)$ の近傍画素の画素信号 $SIG_{-}(i+1, j+1)$ の電位が、注目画素の画素信号 $SIG_{-}(i, j)$ の電位より低

いものとする。この場合には、時刻 $T53$ において注目画素の比較結果 $VCO_ (i, j)$ が先に反転し、その後に時刻 $T54$ において注目画素の比較結果 $VCO_ (i+1, j+1)$ が反転する。

[0185] アップダウンカウンタ 380 は、時刻 $T53$ から時刻 $T54$ に亘ってダウンカウントを行い、例えば、「 -3 」の計数値を取得する。このように、近傍画素の画素信号の電位が、注目画素の画素信号の電位より低い場合には、ダウンカウントが行われる。

[0186] 図 25 および図 26 に例示したように、計数値の符号は、注目画素の画素信号と近傍画素の画素信号とのいずれが大きいかを示す。これらの画素信号の値が略一致する場合には、計数値は「0」となる。

[0187] また、上述したように、第 2 の実施の形態では、DAC 211 は、複数の参照信号を供給する必要が無い。このため、第 1 の実施の形態と比較して ADC 300 の変換時間を短くすることができる。

[0188] 図 27 は、本技術の第 2 の実施の形態における撮像装置 100 内の処理フローをまとめた図である。画素回路 240 は、第 1 の実施の形態と同様に受光量に応じたアナログ信号を画素信号として生成し、ADC 300 に供給する。

[0189] ADC 300 は、画素信号と参照信号との比較結果に基づいて計数値を計数し、画素毎に第 1 の実施の形態と同様の特徴量 $Fv_ (i, j)$ を抽出する。なお、ADC 300 は、特許請求の範囲に記載の特徴量抽出部の一例である。

[0190] そして、デジタルシグナルプロセッサ 120 は、特徴量 $Fv_ (i, j)$ からなる特徴量画像に対して画像認識処理などを行う。特徴量 $Fv_ (i, j)$ は、注目画素と近傍画素とのそれぞれの画素信号の大小関係のみを示す LBP と異なり、それらの画素信号の差の大きさを示す。このため、特徴量 $Fv_ (i, j)$ を用いることにより、画素信号の差は、kTC ノイズや、比較回路 310 のオフセットなどの各種のノイズに埋もれるほどの値であったのか、それとも有意な値であったのかを判別することができる。したがっ

て、画像認識の認識精度を向上させることができる。

[0191] このように、本技術の第2の実施の形態では、ADC300は、画素信号と参照信号との比較結果に基づいて計数値を計数して特徴量を抽出するため、複数の参照信号を順に供給する第1の実施の形態と比較してADC300の変換時間を短くすることができる。これにより、AD変換の精度を向上させることができる。

[0192] <3. 第3の実施の形態>

上述の第1の実施の形態では、ADC300は、参照信号が供給されるたびにLBPの書込みと、読出しとを行っていたが、参照信号の個数が増大するに伴って、読出しの回数が増大してしまう。読出しの回数が増大すると、ADC300の変換時間が長くなってAD変換の精度が低下するおそれがある。この第3の実施の形態の固体撮像素子200は、複数のデータをまとめて読み出すことにより、データの読出しの回数を削減する点において第1の実施の形態と異なる。

[0193] 図28は、本技術の第3の実施の形態におけるADC300の一構成例を示すブロック図である。この第3の実施の形態のADC300は、複数のデータ記憶部350を備える点において第1の実施の形態と異なる。データ記憶部350の個数は、例えば、参照信号の個数（4個）と同じである。また、バッファ回路360の個数は、データ記憶部350と同じである。

[0194] 垂直駆動回路213は、参照信号REFaの供給時に、イネーブル信号LBP a__ENを、参照信号REFaに対応するデータ記憶部350に供給する。そのデータ記憶部350は、LBP aを保持する。

[0195] 次に垂直駆動回路213は、参照信号REFbの供給時に、イネーブル信号LBP b__ENを、参照信号REFbに対応するデータ記憶部350に供給する。そのデータ記憶部350は、LBP bを保持する。

[0196] 同様に、垂直駆動回路213は、イネーブル信号LBP c__ENおよびLBP d__ENを順に供給し、対応するデータ記憶部350は、LBP cおよびLBP dを保持する。

[0197] 全てのデータ記憶部350にLBPが保持されると、垂直駆動回路213は、WORD信号を全てのデータ記憶部350に供給して、LBP a乃至LBP dの読出し動作を実行させる。これにより、データ記憶部350がLBP a乃至LBP dを全て保持した際に、垂直駆動回路213は、それらのデータをまとめて読み出すことができる。

[0198] このように、本技術の第3の実施の形態では、固体撮像素子200は、複数のデータ記憶部350に複数のLBPを全て書き込んだ後に読み出すため、書込みのたびにLBPを読み出す場合と比較してADC300の変換時間を短くすることができる。これにより、アップダウンカウンタ380を用いることなく、AD変換の精度を向上させることができる。

[0199] <4. 第4の実施の形態>

上述の第1の実施の形態では、固体撮像素子200は、画素信号の電位が近傍画素より高い場合にハイレベルのビットを保持していた。しかし、画素230内でノイズが生じた場合には、その関係性が満たされない場合にもハイレベルのビットが保持されてしまうおそれがある。例えば、注目画素および近傍画素のそれぞれの画素信号の電位差が一定以下の際は、ノイズにより生じた電位差と判断して、電位差が一定値より大きい場合に画素230がハイレベルのビットを保持すれば、ノイズの影響を軽減することができる。この第4の実施の形態のADC300は、電位差が一定値より大きい場合に画素230がハイレベルのビットを保持する点において第1の実施の形態と異なる。

[0200] 図29は、本技術の第4の実施の形態におけるデータ記憶部350の一構成例を示す回路図である。この第4の実施の形態のデータ記憶部350は、遅延回路390をさらに備える点において第1の実施の形態と異なる。

[0201] 遅延回路390は、注目画素の比較結果 $VCO_ (i, j)$ を一定の遅延時間 dT に亘って遅延させるものである。この遅延回路390は、遅延させた比較結果 $VCO_ (i, j)$ をラッチ制御回路352に供給する。

[0202] 遅延時間 dT の間の参照信号の変動量は固定であり、その変動量を dV_{fix}

とすると、注目画素および近傍画素のそれぞれの画素信号の電位差が dV_{fix} より大きい場合にハイレベルのビットが保持される。

[0203] このように、本技術の第4の実施の形態では、遅延回路390が注目画素の比較結果 $VCO_ (i, j)$ を遅延させるため、その遅延時間に応じた固定値 dV_{fix} よりも、注目画素および近傍画素の電位差が大きい場合に「1」を確実に保持することができる。これにより、ノイズの影響を軽減することができる。

[0204] <5. 第5の実施の形態>

上述の第1の実施の形態では、ADC300は、画素信号の電位が近傍画素より高い場合にハイレベルのビットを保持していた。しかし、画素230内でノイズが生じた場合には、その関係性が満たされない場合にもハイレベルのビットが保持されてしまうおそれがある。例えば、注目画素および近傍画素のそれぞれの画素信号の電位差が一定以下の際は、ノイズにより生じた電位差と判断して、電位差が一定値より大きい場合に画素230がハイレベルのビットを保持すれば、ノイズの影響を軽減することができる。この第5の実施の形態のADC300は、電位差が一定値より大きい場合に画素230がハイレベルのビットを保持する第1の実施の形態と異なる。

[0205] 図30は、本技術の第5の実施の形態におけるADC300の一構成例を示すブロック図である。この第5の実施の形態のADC300は、遅延回路390をさらに備える点において第1の実施の形態と異なる。

[0206] 遅延回路390は、近傍画素の比較結果 VCO を一定の遅延時間 dT に亘って遅延させるものである。この遅延回路390は、遅延させた比較結果 VCO を近傍画素のそれぞれのデータ記憶部350に供給する。

[0207] このように、本技術の第5の実施の形態では、遅延回路390が近傍画素の比較結果 VCO を遅延させるため、その遅延時間に応じた固定値 dV_{fix} よりも、注目画素および近傍画素の電位差が大きい場合に「1」を確実に保持することができる。これにより、注目画素の比較結果 $VCO_ (i, j)$ を遅延させることなく、ノイズの影響を軽減することができる。

[0208] <6. 第6の実施の形態>

上述の第1の実施の形態では、画素アレイ部220内に画素ごとにADC300を配置していたが、微細化の進展に伴って、画素当たりの回路規模が増大するおそれがある。例えば、浮遊拡散層やトランジスタを複数の画素が共有する画素共有型の構成とすれば、画素当たりの回路規模を削減することができる。この第6の実施の形態の画素アレイ部220は、複数の画素が浮遊拡散層を共有する点において第1の実施の形態と異なる。

[0209] 図31は、本技術の第6の実施の形態における画素アレイ部220の一構成例を示す平面図である。この第6の実施の形態の画素アレイ部220には、複数のエリアブロック400が二次元格子状に配列される。それぞれのエリアブロック400には、複数の画素が配置される。例えば、エリアブロック400には、4つの画素が2行×2列に配列される。エリアブロック400内の画素は、浮遊拡散層とADC300とを共有する。

[0210] 図32は、本技術の第6の実施の形態におけるエリアブロック400の一構成例を示す回路図である。このエリアブロック400は、画素回路410、420、430および440と、浮遊拡散層450と、ADC300とを備える。

[0211] 画素回路410は、排出トランジスタ411、転送トランジスタ412およびフォトダイオード413を備える。画素回路420は、排出トランジスタ421、転送トランジスタ422およびフォトダイオード423を備える。画素回路430は、排出トランジスタ431、転送トランジスタ432およびフォトダイオード433を備える。画素回路440は、排出トランジスタ441、転送トランジスタ442およびフォトダイオード443を備える。

[0212] フォトダイオード413は、入射光を光電変換して電荷を生成するものである。排出トランジスタ411は、排出制御信号OFGに従ってフォトダイオード413の電荷を排出するものである。転送トランジスタ412は、転送信号TXOに従って、フォトダイオード413から浮遊拡散層450へ電

荷を転送するものである。

[0213] 画素回路420、430および440内の素子の機能は、画素回路410内の同名の素子と同一である。ただし、画素回路420、430および440には、転送信号TX1、TX2およびTX3が供給される。画素駆動回路214は、転送信号TX0、TX1、TX2およびTX3を順に供給して、電荷を順に転送させる。

[0214] なお、4画素が浮遊拡散層450およびADC300を共有しているが、共有する画素数は4画素に限定されない。例えば、8画素が浮遊拡散層450等を共有する構成であってもよい。

[0215] このように、本技術の第6の実施の形態では、4画素が浮遊拡散層450およびADC300を共有するため、浮遊拡散層450等を画素毎に配置する構成と比較して、画素当たりの回路の規模を削減することができる。

[0216] <7. 第7の実施の形態>

上述の第1の実施の形態では、固体撮像素子200は、通常画像と特徴量画像との両方を撮像する場合に、画像毎に露光を行っていた。すなわち、少なくとも2回の露光を行う必要があった。しかし、露光により通常画像および特徴量画像の一方を生成して保持した際に続けて他方も生成して保持すれば、露光を再度行う必要がなくなる。この第7の実施の形態の固体撮像素子200は、一度の露光により、通常画像と特徴量画像との両方を生成する点において第1の実施の形態と異なる。

[0217] 図33は、本技術の第7の実施の形態におけるデータ記憶部350の一構成例を示す回路図である。この第7の実施の形態のデータ記憶部350は、ラッチ制御回路352と、複数のLBPラッチ回路460と、複数の時刻コードラッチ回路470とを備える。LBPラッチ回路460は、近傍画素ごとに配置される。また、時刻コードラッチ回路470の個数は、時刻コードのビット数と同じである。例えば、近傍画素が8画素で、時刻コードが8ビットである場合には、LBPラッチ回路460および時刻コードラッチ回路470は、それぞれ8個ずつ配置される。

[0218] LBPラッチ回路460は、ラッチ制御回路352の制御に従って対応する近傍画素の比較結果VCOを保持するものである。また、時刻コードラッチ回路470は、ラッチ制御回路352の制御に従って、時刻コードのうち対応するビットを保持するものである。

[0219] 図34は、本技術の第7の実施の形態におけるLBPラッチ回路460の一構成例を示す回路図である。このLBPラッチ回路460は、スイッチ355とラッチ回路356とを備える。これらの機能は、第1の実施の形態の同名の回路と同一である。

[0220] 図35は、本技術の第7の実施の形態における時刻コードラッチ回路470の一構成例を示す回路図である。この時刻コードラッチ回路470は、インバータ461および462とスイッチ463とを備える。

[0221] インバータ461は、制御信号Lに従って、インバータ462からの信号を反転してインバータ462の入力端子とスイッチ463とに出力するものである。

[0222] インバータ462は、スイッチ463またはインバータ461からの信号を反転してインバータ461の入力端子に出力するものである。

[0223] スwitch463は、制御信号Tに従って、インバータ461および462からなるループ回路と、バッファ回路360との間の経路を開閉するものである。

[0224] 垂直駆動回路213は、露光終了時に、8個のLBPラッチ回路460にLBPを保持させ、次に8個の時刻コードラッチ回路470に時刻コードを画素データとして保持させる。そして垂直駆動回路213は、LBP a乃至LBP dと、画素データからなる通常画像とを順に出力させる。

[0225] このように、本技術の第7の実施の形態では、データ記憶部350がLBPに加えて時刻コードをさらに保持するため、一度の露光により、特徴量画像および通常画像の両方を生成することができる。

[0226] <8. 第8の実施の形態>

上述の第1の実施の形態では、画素アレイ部220において、注目画素は

、8個の近傍画素の全てに比較結果 $VCO_ (i, j)$ を出力していたが、微細化に伴って比較結果を伝送する配線数が増大してしまうため、配線数を削減することが望ましい。ただし、配線数を削減するには、配線数の削減に伴いビット数が減少したLBPを元のビット数に復元する処理を行う必要がある。この第8の実施の形態の固体撮像素子200は、比較結果を伝送する配線の数削減し、LBPを復元する点において第1の実施の形態と異なる。

[0227] 図36は、本技術の第8の実施の形態における信号線の配線接続について説明するための図である。同図におけるaは、第1の実施の形態における注目画素と近傍画素との接続関係を示す図である。同図におけるbは、第8の実施の形態における注目画素と近傍画素との接続関係を示す図である。同図において、太線の矢印は、注目画素のラッチに接続される近傍画素の配線を表し、細い実線の矢印は近傍画素のラッチに接続される配線を表している。また、矢印の向きは接続方向を表す。

[0228] 第1の実施の形態では、互いに反対方向を向いて重なる矢印の組みが複数存在する。これは、すなわち、注目画素の画素値と近傍画素の画素値の相対関係を重複して取得していることを示している。互いに反対方向を向いて重なる矢印の組みで関連付けられる画素で互いに取得したLBP値は、情報（＝2つの画素の大小関係）としては等価で、LBP値自体は他方のビット反転値となる関係である。

[0229] したがって、図36におけるbに例示するように、近傍画素間の配線接続を半分に減らすことができる。この例では、注目画素に対して点対称の位置の一对の近傍画素の一方と、注目画素とが接続される。例えば、注目画素の左上の近傍画素と、右下の近傍画素とが、注目画素に対して点対称であるため、それらのうち左上の近傍画素が接続され、右下の近傍画素は接続されない。これにより、各画素で取得されるLBPのビット数は半分（4ビットなど）となるが、後述する演算処理により所望のLBPを完全に復元できる。

[0230] 図37は、本技術の第8の実施の形態におけるデータ記憶部350の一構

成例を示す回路図である。このデータ記憶部 350 では、スイッチ 355 およびラッチ回路 356 のそれぞれの個数が、第 1 の実施の形態と比べて半分（例えば、4 個）に削減されている。

[0231] 図 38 は、本技術の第 8 の実施の形態における出力部 250 の一構成例を示す回路図である。この第 8 の実施の形態の出力部 250 は、補間処理部 255 をさらに備える点において第 1 の実施の形態と異なる。

[0232] 補間処理部 255 は、注目画素に対して点対称の位置の一对の近傍画素の一方に対応するビットからなる LBP において、他方に対応するビットを補間するものである。この補間処理部 255 は、例えば、次の処理により補間を行う。

[0233] まず、注目画素で得られた LBP 値の 0 ビット目をそのまま注目画素の 0 ビット目の値とする。注目画素で得られた LBP 値の 1 ビット目もそのまま注目画素の 1 ビット目の値とする。同様に、注目画素で得られた LBP 値の 2 ビット目をそのまま注目画素の 2 ビット目の値とし、注目画素で得られた LBP 値の 3 ビット目をそのまま注目画素の 3 ビット目の値とする。

[0234] また、座標 $(i + 1, j + 1)$ の近傍画素で得られた LBP 値の 0 ビット目を反転し、注目画素の 4 ビット目の値とする。座標 $(i + 1, j)$ の近傍画素で得られた LBP 値の 1 ビット目を反転し、注目画素の 5 ビット目の値とする。さらに、注目画素の $(i - 1, j + 1)$ に近傍画素で得られた LBP 値の 2 ビット目を反転し、注目画素の 6 ビット目の値とする。座標 $(i, j - 1)$ の近傍画素で得られた LBP 値の 3 ビット目を反転し、注目画素の 7 ビット目の値とする。

[0235] なお、撮像装置 100 は、補間処理を固体撮像素子 200 内で行っているが、固体撮像素子 200 の外部（デジタルシグナルプロセッサ 120 など）で行ってもよい。

[0236] このように、本技術の第 8 の実施の形態では、注目画素に対して点対称な一对の近傍画素の一方と注目画素とを接続して LBP を復元するため、近傍画素全てと接続する場合と比較して、画素アレイ部 220 の配線数を削減す

ることができる。また、データ記憶部 350 の回路規模を削減することができる。

[0237] < 9. 移動体への応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0238] 図 39 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0239] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 39 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F（interface）12053 が図示されている。

[0240] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0241] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウ

インカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0242] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0243] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0244] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0245] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例

例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0246] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0247] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0248] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図39の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0249] 図40は、撮像部12031の設置位置の例を示す図である。

[0250] 図40では、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0251] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、

バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102, 12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0252] なお、図 40 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0253] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0254] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保

すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0255] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0256] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0257] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 12031 に適用され得る。具体的には、図 1 に記載の撮像装置 100 は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、障害物などの画像認識の精度を向上させることができるため、車両制御システムの安全性を向上させることができる。

[0258] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0259] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、CD (Compact Disc)、MD (MiniDisc)、DVD (Digital Versatile Disc)、メモリカード、ブルーレイディスク (Blu-ray (登録商標) Disc) 等を用いることができる。

[0260] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0261] なお、本技術は以下のような構成もとることができる。

(1) それぞれが受光量に応じたアナログ信号を生成して画素信号として出力する複数の画素回路と、

前記複数の画素回路のうち注目した注目画素回路の近傍の近傍画素回路と前記注目画素回路とのそれぞれからの前記画素信号の差の大きさを前記近傍画素回路ごとに多値により表す特徴量を抽出する特徴量抽出部とを具備する撮像装置。

(2) オフセット電圧が互いに異なる複数の参照信号を順に供給する参照信号供給部をさらに具備し、

前記特徴量抽出部は、前記画素信号と前記複数の参照信号のそれぞれとを比較した比較結果に基づいて前記特徴量を抽出する
前記(1)記載の撮像装置。

(3) 前記特徴量抽出部は、

前記画素信号と前記複数の参照信号のそれぞれとを比較して前記比較結果を出力する比較部と、

前記比較結果に基づいて複数のローカルビットパターンを順に生成して記憶する記憶部と、

前記複数のローカルビットパターンからなるデータを前記特徴量に変換する特徴量変換部と
を備える前記(2)記載の撮像装置。

(4) 前記記憶部は、互いに異なるローカルビットパターンを生成して記憶する複数のデータ記憶部を備え、

前記特徴量変換部は、前記複数のデータ記憶部の全てに前記ローカルビットパターンが記憶された後に前記ローカルビットパターンのそれぞれを読み出して前記特徴量に変換する
前記(3)記載の撮像装置。

(5) 前記記憶部は、前記比較結果が反転したときの時刻を示す時刻コードをさらに記憶する前記(3)または(4)に記載の撮像装置。

(6) 前記比較部は、前記注目画素回路からの前記画素信号と前記複数の参照信号のそれぞれとの前記比較結果を注目画素比較結果として出力するとともに前記近傍画素回路からの前記画素信号と前記複数の参照信号のそれぞれとの前記比較結果を近傍画素比較結果として出力し、

前記データ記憶部は、

前記近傍画素比較結果を保持するラッチ回路と、

前記注目画素比較結果が反転したときに前記近傍画素比較結果を前記ラッ

チ回路に保持させるラッチ制御回路と、

前記注目画素比較結果および前記近傍画素比較結果の一方を所定時間に亘って遅延させて前記ラッチ回路および前記ラッチ制御回路のいずれかに出力する遅延回路と

を備える前記（３）から（５）のいずれかに記載の撮像装置。

（７）前記遅延回路は、前記注目画素比較結果を遅延させて前記ラッチ制御回路に出力する前記（６）記載の撮像装置。

（８）前記遅延回路は、前記近傍画素比較結果を遅延させて前記ラッチ回路に出力する前記（６）記載の撮像装置。

（９）前記特微量抽出部は、

前記画素信号のそれぞれと所定の参照信号とを比較して比較結果として出力する比較部と、

前記注目画素回路に対応する前記比較結果が反転する時刻と前記近傍画素回路に対応する前記比較結果が反転する時刻との間の期間に亘って計数値を計数して前記特微量として出力する計数部と

を具備する前記（１）記載の撮像装置。

（１０）前記計数部は、前記注目画素回路に対応する前記比較結果と前記近傍画素回路に対応する前記比較結果との一方が他方よりも先に反転した場合には前記計数値を増分し、前記他方が前記一方よりも先に反転した場合には前記計数値を減分する

前記（９）記載の撮像装置。

（１１）前記複数の画素回路は、複数のエリアブロックのそれぞれに配置され、

前記複数のエリアブロックのそれぞれは、

前記複数の画素回路と

前記複数の画素回路により供給される浮遊拡散層と

を備える前記（１）から（１０）のいずれかに記載の撮像装置。

（１２）前記近傍画素回路は、前記注目画素回路に対して点対称の位置の一

対の近傍画素回路を含み、

前記特微量抽出部は、前記一对の近傍画素回路の一方と前記注目画素回路とのそれぞれからの前記画素信号の差の大きさを多値により表す前記特微量を抽出する

前記（１）から（１１）のいずれかに記載の撮像装置。

（１３）前記特微量に基づいて所定の物体を認識する処理を行う画像処理部をさらに具備する

前記（１）から（１２）のいずれかに記載の撮像装置。

（１４）複数の画素回路のそれぞれが受光量に応じたアナログ信号を生成して画素信号として出力する出力手順と、

前記複数の画素回路のうち注目した注目画素回路の近傍の近傍画素回路と前記注目画素回路とのそれぞれからの前記画素信号の差の大きさを前記近傍画素回路ごとに多値により表す特微量を抽出する特微量抽出手順とを具備する撮像装置の制御方法。

符号の説明

[0262]	１００	撮像装置
	１１０	光学部
	１２０	デジタルシグナルプロセッサ
	１３０	表示部
	１４０	操作部
	１５０	バス
	１６０	フレームメモリ
	１７０	記録部
	１８０	電源部
	２００	固体撮像素子
	２１１	DAC
	２１２	時刻コード発生部
	２１３	垂直駆動回路

- 2 1 4 画素駆動回路
- 2 1 5 タイミング生成回路
- 2 2 0 画素アレイ部
- 2 2 1 時刻コード転送部
- 2 3 0 画素
- 2 4 0、4 1 0、4 2 0、4 3 0、4 4 0 画素回路
- 2 4 1 リセットトランジスタ
- 2 4 2、4 1 2、4 2 2、4 3 2、4 4 2 転送トランジスタ
- 2 4 3、4 5 0 浮遊拡散層
- 2 4 4、4 1 3、4 2 3、4 3 3、4 4 3 フォトダイオード
- 2 4 5、4 1 1、4 2 1、4 3 1、4 4 1 排出トランジスタ
- 2 5 0 出力部
- 2 5 1、3 5 5、3 5 9、4 6 3 スイッチ
- 2 5 2 特徴量変換部
- 2 5 3 信号処理部
- 2 5 4 出力回路
- 2 5 5 補間処理部
- 3 0 0 A D C
- 3 1 0 比較回路
- 3 2 0 差動入力回路
- 3 2 1、3 2 2、3 2 3、3 4 1、3 4 2、3 4 3 p M O S トランジスタ
- 3 2 4、3 2 5、3 2 6、3 3 1、3 4 4、3 4 5 n M O S トランジスタ
- 3 3 0 電圧変換回路
- 3 4 0 正帰還回路
- 3 5 0 データ記憶部
- 3 5 1 マルチプレクサ

- 3 5 2 ラッチ制御回路
- 3 5 3 O R (論理和) ゲート
- 3 5 4、3 5 7、3 5 8、3 6 3、3 8 1、4 6 1、4 6 2 インバータ
- 3 5 6 ラッチ回路
- 3 6 0 バッファ回路
- 3 6 1 双方向バッファ
- 3 6 2 バッファ
- 3 7 0 計数部
- 3 7 1 計数回路
- 3 7 2、3 8 2 N A N D (否定論理積) ゲート
- 3 7 3、3 8 3 N O R (否定論理和) ゲート
- 3 8 0 アップダウンカウンタ
- 3 8 4、3 8 6、3 8 9 J K フリップフロップ
- 3 8 5、3 8 7 X O R (排他的論理和) ゲート
- 3 8 8 A N D (論理積) ゲート
- 3 9 0 遅延回路
- 4 0 0 エリアブロック
- 4 6 0 L B P ラッチ回路
- 4 7 0 時刻コードラッチ回路
- 1 2 0 3 1 撮像部

請求の範囲

- [請求項1] それぞれが受光量に応じたアナログ信号を生成して画素信号として出力する複数の画素回路と、
- 前記複数の画素回路のうち注目した注目画素回路の近傍の近傍画素回路と前記注目画素回路とのそれぞれからの前記画素信号の差の大きさを前記近傍画素回路ごとに多値により表す特徴量を抽出する特徴量抽出部と
- を具備する撮像装置。
- [請求項2] オフセット電圧が互いに異なる複数の参照信号を順に供給する参照信号供給部をさらに具備し、
- 前記特徴量抽出部は、前記画素信号と前記複数の参照信号のそれぞれとを比較した比較結果に基づいて前記特徴量を抽出する
- 請求項1記載の撮像装置。
- [請求項3] 前記特徴量抽出部は、
- 前記画素信号と前記複数の参照信号のそれぞれとを比較して前記比較結果を出力する比較部と、
- 前記比較結果に基づいて複数のローカルビットパターンを順に生成して記憶する記憶部と、
- 前記複数のローカルビットパターンからなるデータを前記特徴量に変換する特徴量変換部と
- を備える請求項2記載の撮像装置。
- [請求項4] 前記記憶部は、互いに異なるローカルビットパターンを生成して記憶する複数のデータ記憶部を備え、
- 前記特徴量変換部は、前記複数のデータ記憶部の全てに前記ローカルビットパターンが記憶された後に前記ローカルビットパターンのそれぞれを読み出して前記特徴量に変換する
- 請求項3記載の撮像装置。
- [請求項5] 前記記憶部は、前記比較結果が反転したときの時刻を示す時刻コー

ドをさらに記憶する請求項3記載の撮像装置。

[請求項6] 前記比較部は、前記注目画素回路からの前記画素信号と前記複数の参照信号のそれぞれとの前記比較結果を注目画素比較結果として出力するとともに前記近傍画素回路からの前記画素信号と前記複数の参照信号のそれぞれとの前記比較結果を近傍画素比較結果として出力し、
前記データ記憶部は、
前記近傍画素比較結果を保持するラッチ回路と、
前記注目画素比較結果が反転したときに前記近傍画素比較結果を前記ラッチ回路に保持させるラッチ制御回路と、
前記注目画素比較結果および前記近傍画素比較結果の一方を所定時間に亘って遅延させて前記ラッチ回路および前記ラッチ制御回路のいずれかに出力する遅延回路と
を備える請求項3記載の撮像装置。

[請求項7] 前記遅延回路は、前記注目画素比較結果を遅延させて前記ラッチ制御回路に出力する請求項6記載の撮像装置。

[請求項8] 前記遅延回路は、前記近傍画素比較結果を遅延させて前記ラッチ回路に出力する請求項6記載の撮像装置。

[請求項9] 前記特徴量抽出部は、
前記画素信号のそれぞれと所定の参照信号とを比較して比較結果として出力する比較部と、
前記注目画素回路に対応する前記比較結果が反転する時刻と前記近傍画素回路に対応する前記比較結果が反転する時刻との間の期間に亘って計数値を計数して前記特徴量として出力する計数部と
を具備する請求項1記載の撮像装置。

[請求項10] 前記計数部は、前記注目画素回路に対応する前記比較結果と前記近傍画素回路に対応する前記比較結果との一方が他方よりも先に反転した場合には前記計数値を増分し、前記他方が前記一方よりも先に反転した場合には前記計数値を減分する

請求項 9 記載の撮像装置。

[請求項11] 前記複数の画素回路は、複数のエリアブロックのそれぞれに配置され、

前記複数のエリアブロックのそれぞれは、

前記複数の画素回路と

前記複数の画素回路により供給される浮遊拡散層と
を備える請求項 1 記載の撮像装置。

[請求項12] 前記近傍画素回路は、前記注目画素回路に対して点対称の位置の一对の近傍画素回路を含み、

前記特徴量抽出部は、前記一对の近傍画素回路の一方と前記注目画素回路とのそれぞれからの前記画素信号の差の大きさを多値により表す前記特徴量を抽出する

請求項 1 記載の撮像装置。

[請求項13] 前記特徴量に基づいて所定の物体を認識する処理を行う画像処理部をさらに具備する

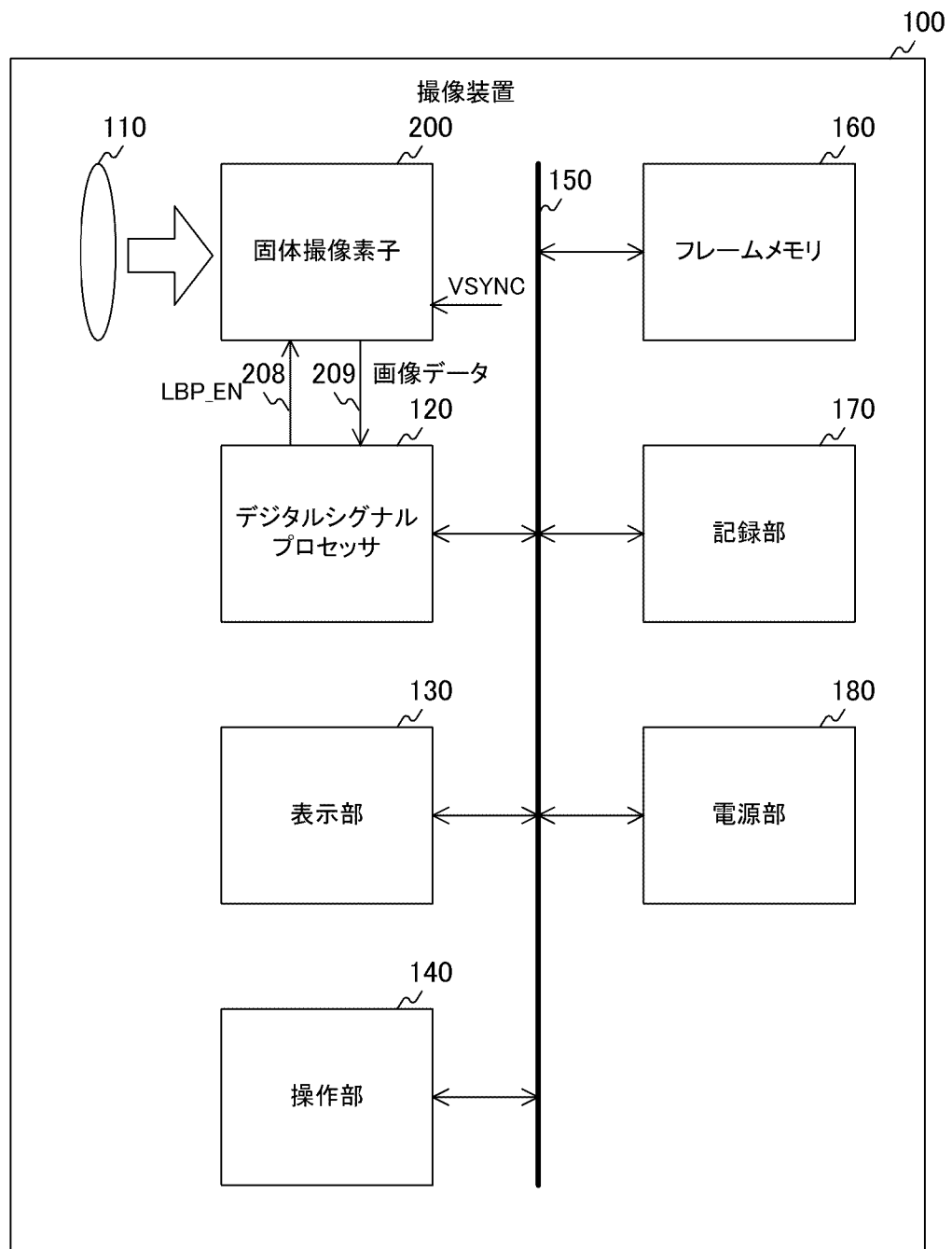
請求項 1 記載の撮像装置。

[請求項14] 複数の画素回路のそれぞれが受光量に応じたアナログ信号を生成して画素信号として出力する出力手順と、

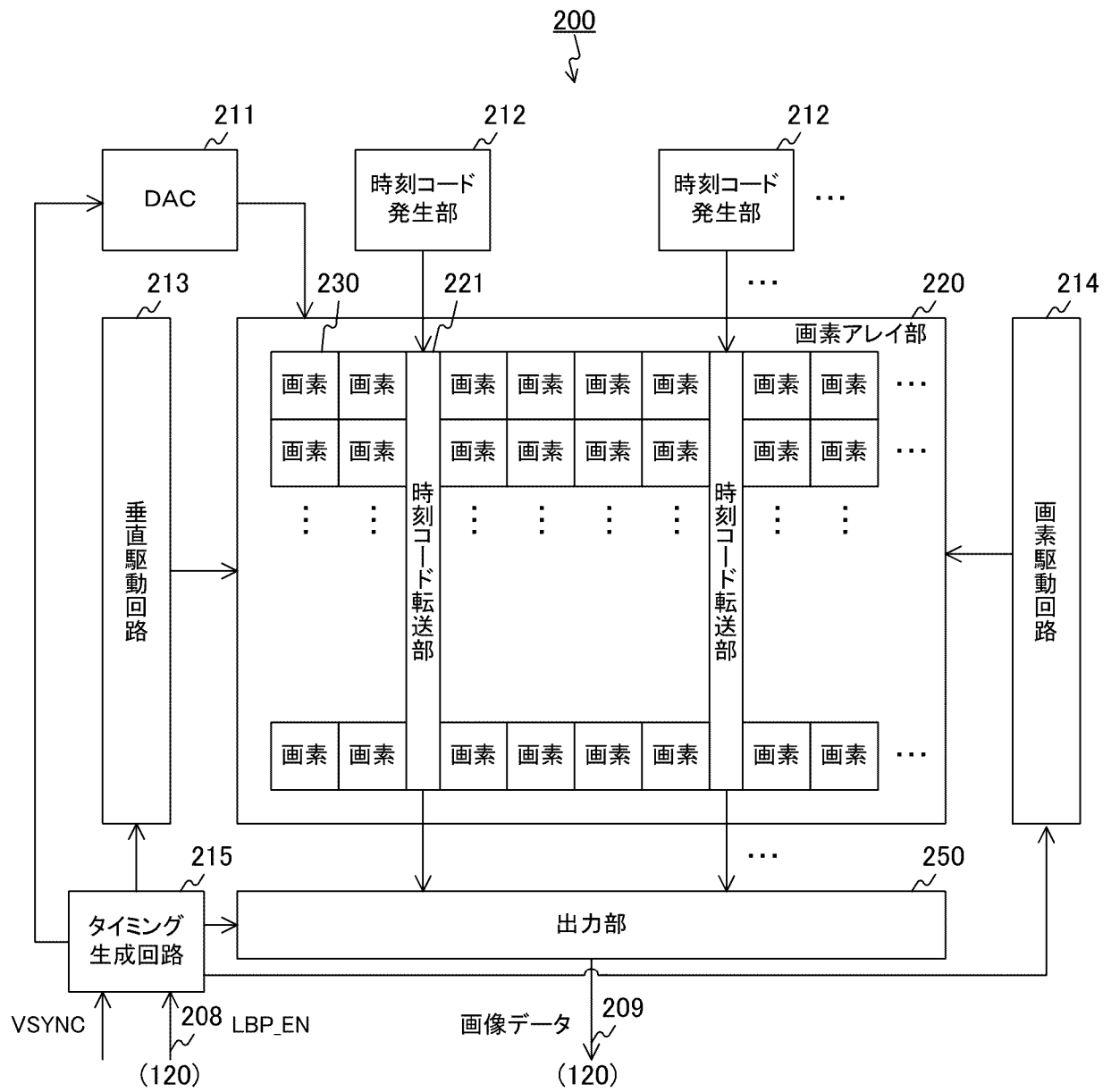
前記複数の画素回路のうち注目した注目画素回路の近傍の近傍画素回路と前記注目画素回路とのそれぞれからの前記画素信号の差の大きさを前記近傍画素回路ごとに多値により表す特徴量を抽出する特徴量抽出手順と

を具備する撮像装置の制御方法。

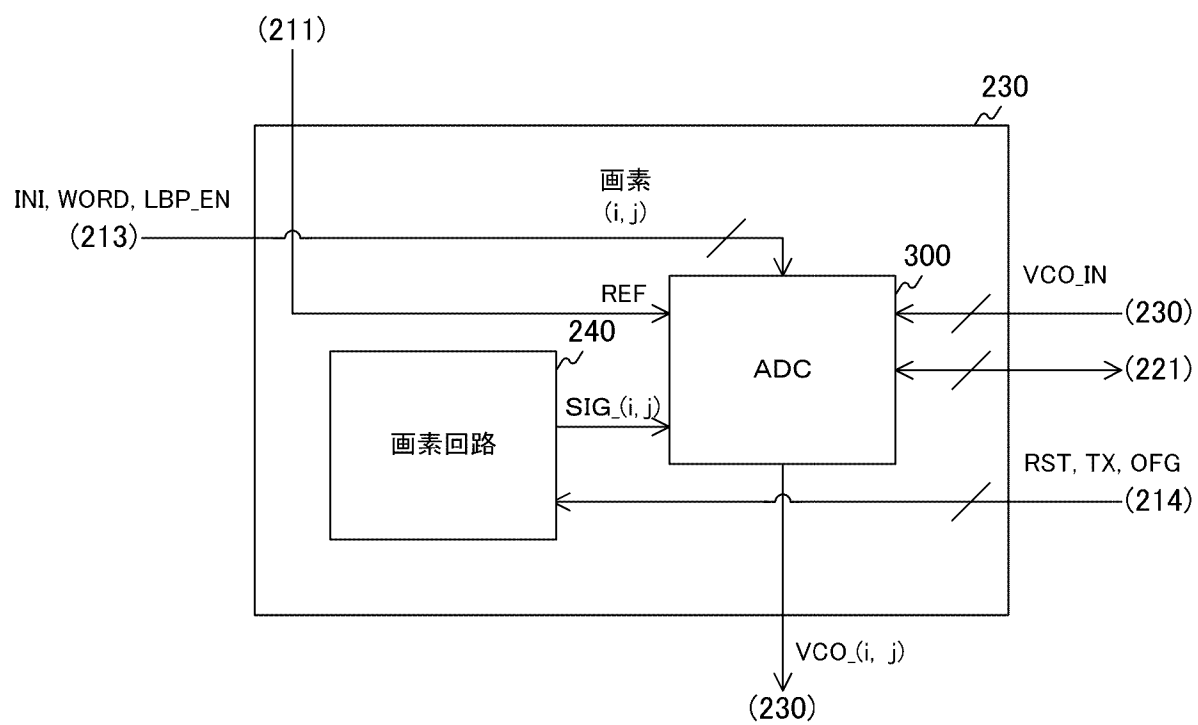
[図1]



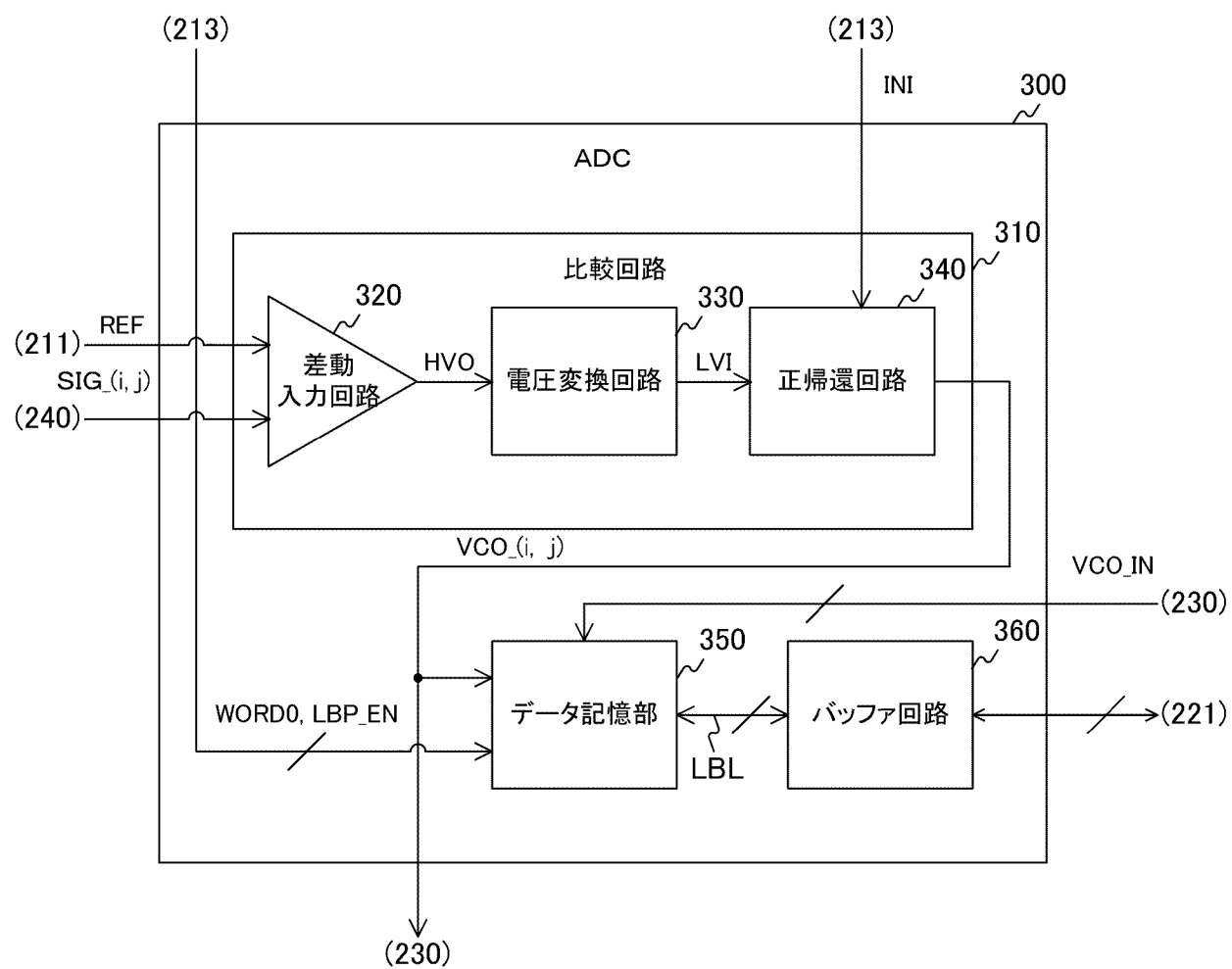
[図2]



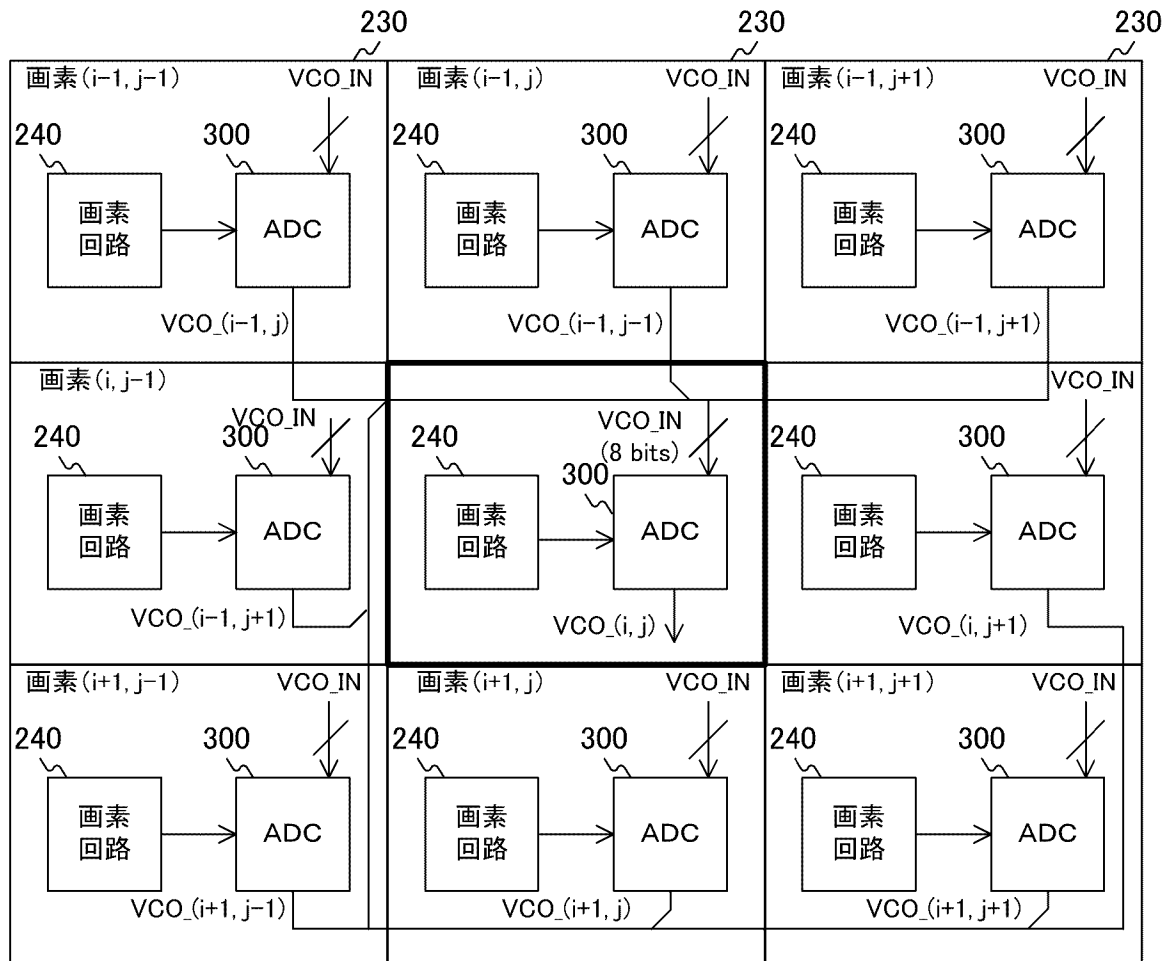
[図3]



[図4]



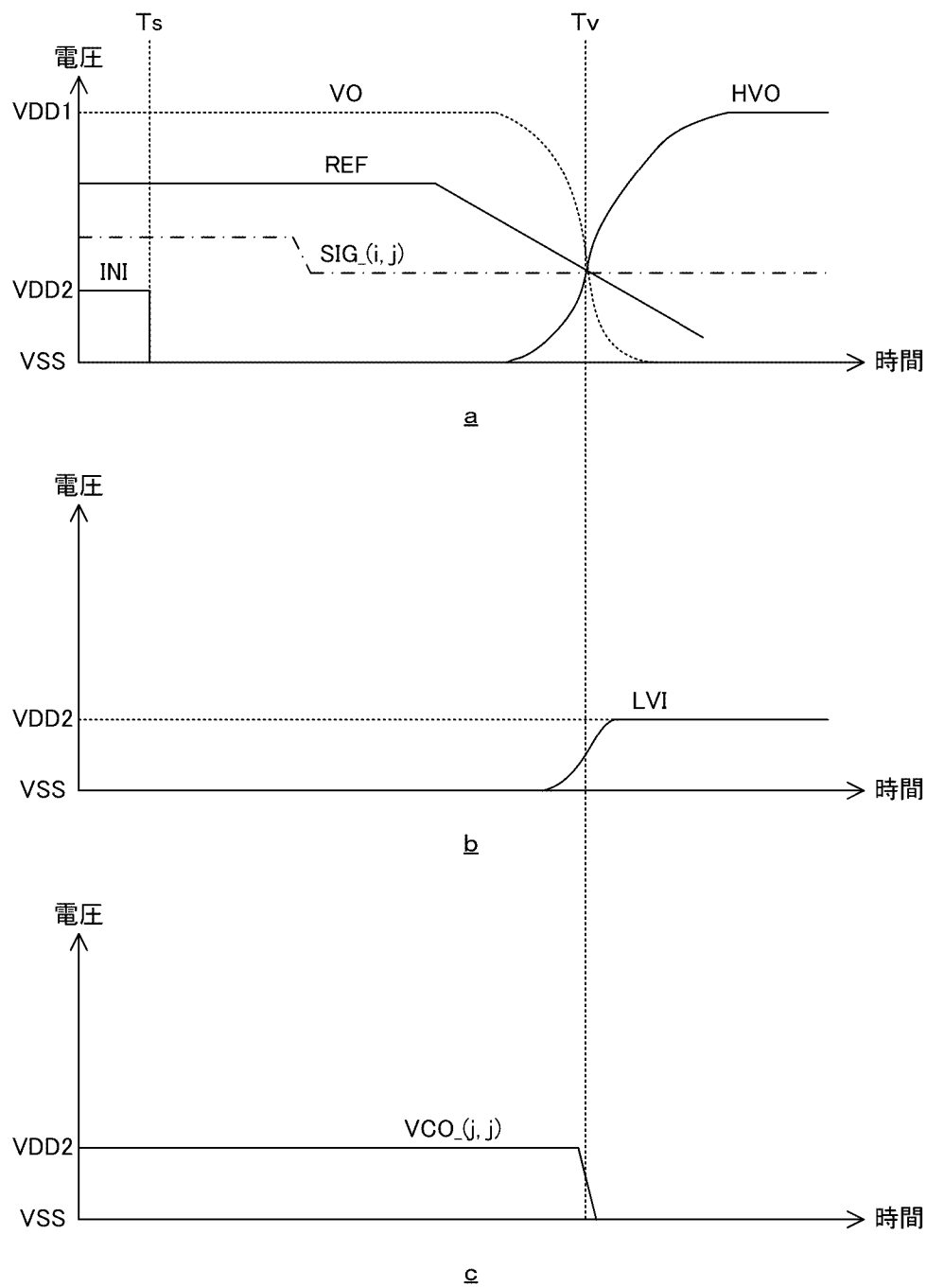
[図5]

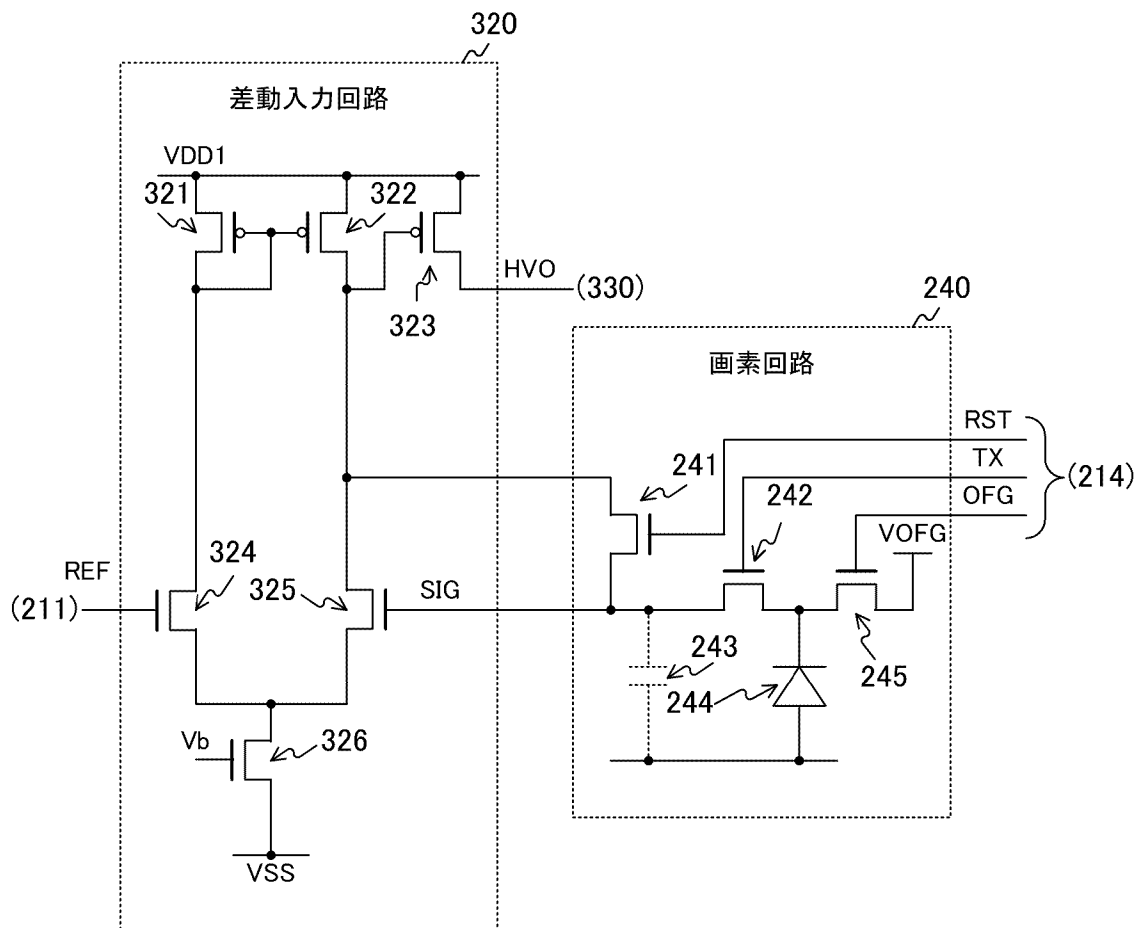


The schematic diagram illustrates the internal structure of the circuit, divided into three main functional blocks:

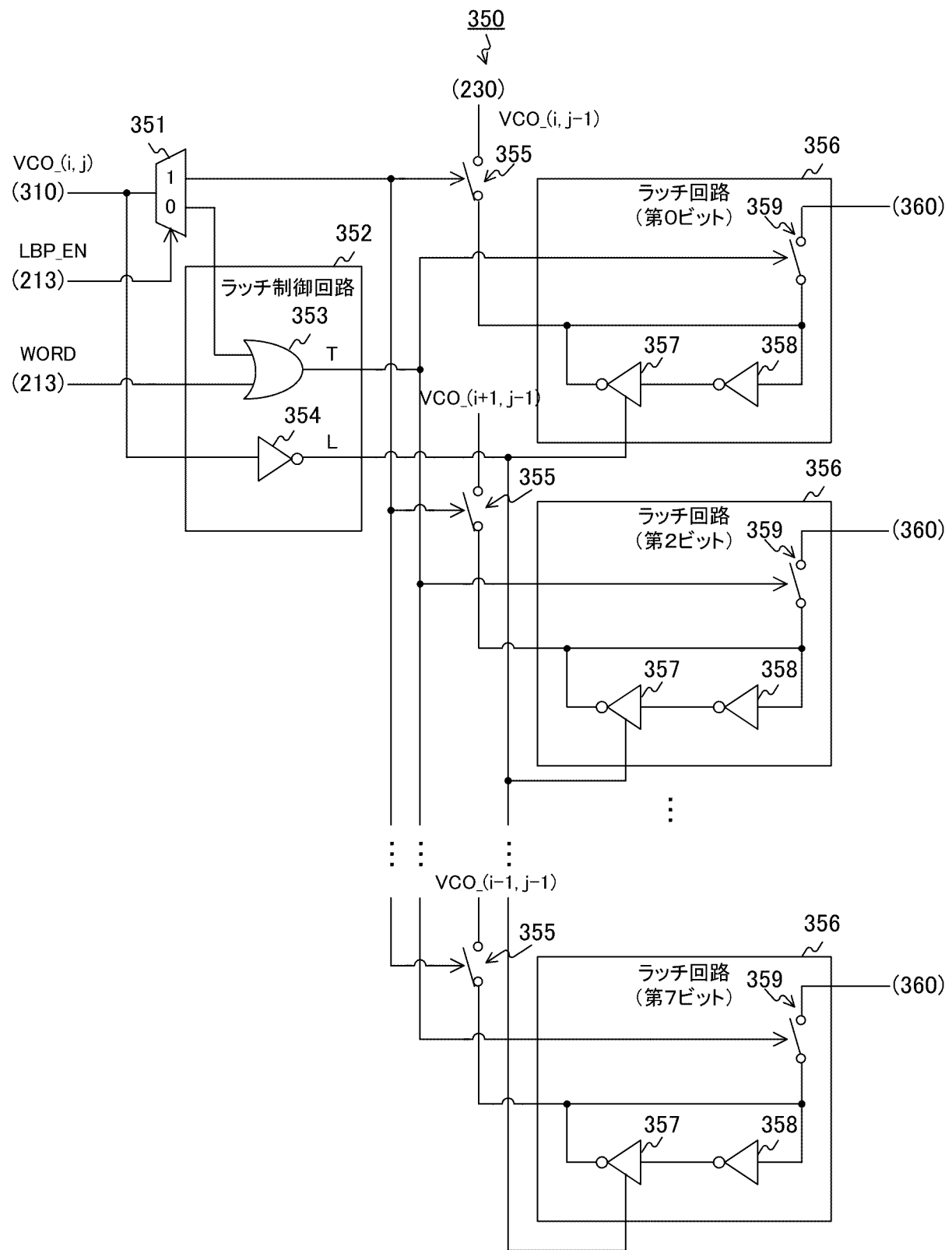
- 差動入力回路 (Differential Input Circuit) 320:** This block receives a differential input signal $SIG_{(i,j)}$ (240) and a reference signal REF (211). It consists of a differential pair of NMOS transistors 324 and 325, a PMOS current source 326, and a PMOS load 321. The output of this stage is VO (323).
- 電圧変換回路 (Voltage Conversion Circuit) 330:** This block converts the output voltage VO (323) into a voltage Vb (326) using a PMOS transistor 331. The output of this stage is Vb (326).
- 正帰還回路 (Positive Feedback Circuit) 340:** This block provides positive feedback to the differential input circuit. It consists of a differential pair of NMOS transistors 343 and 344, a PMOS current source 341, and a PMOS load 342. The output of this stage is $VCO_{(i,j)}$ (350).

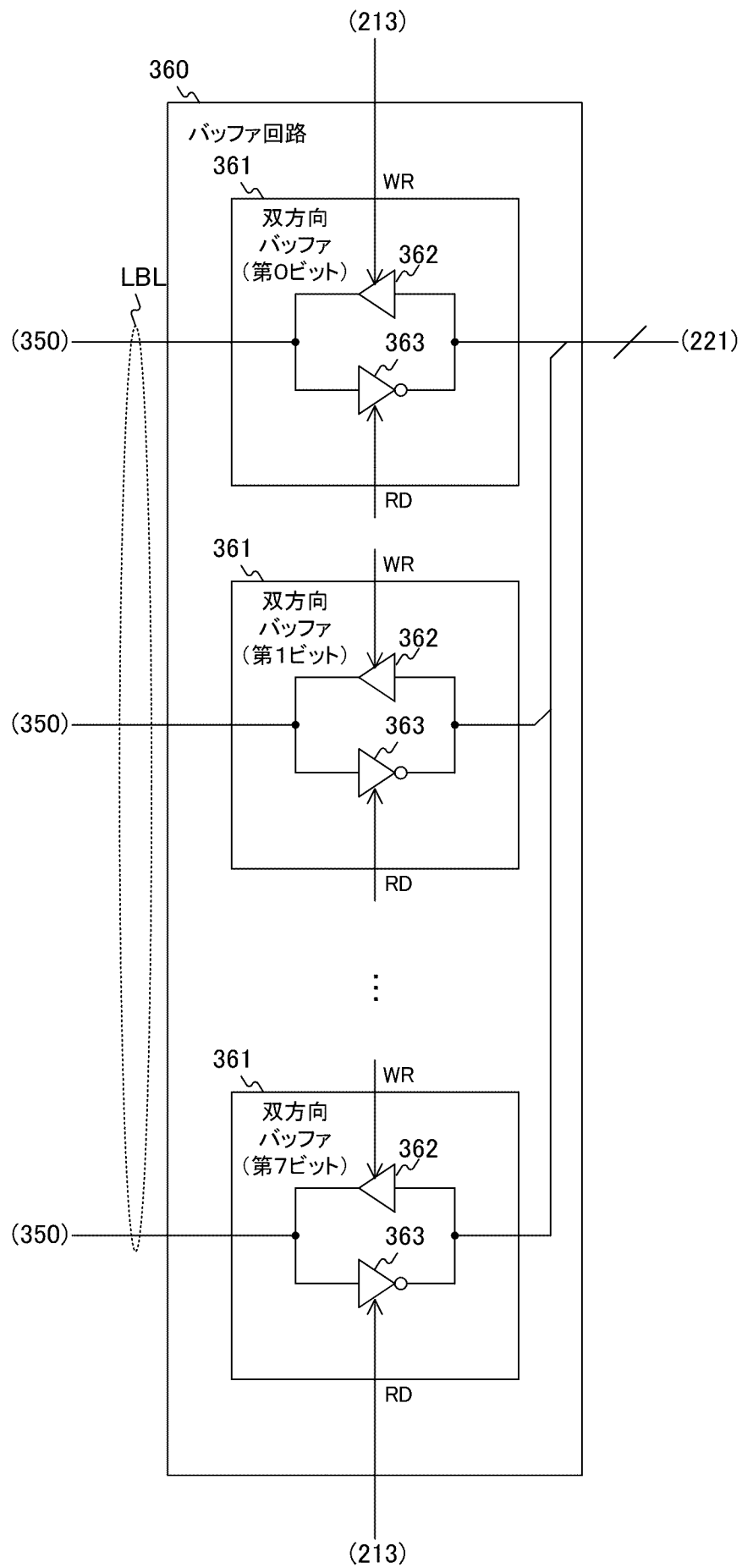
[図7]



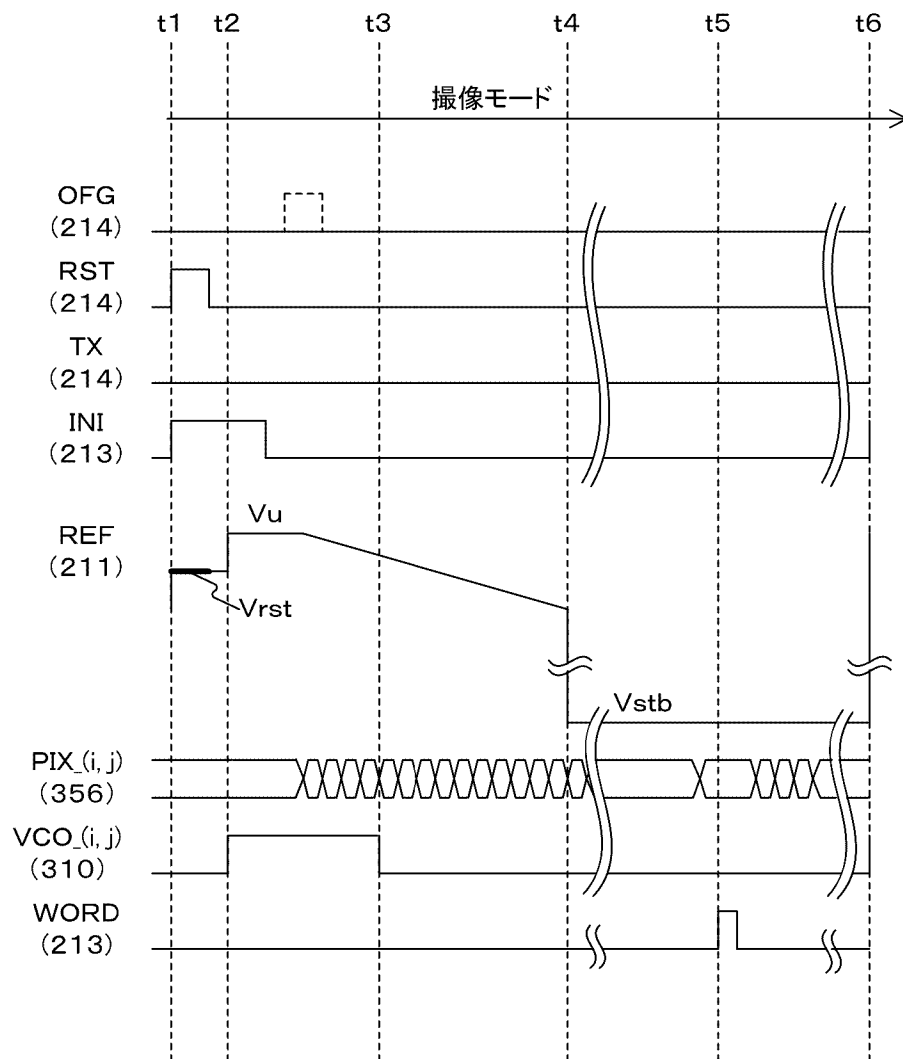


[図9]

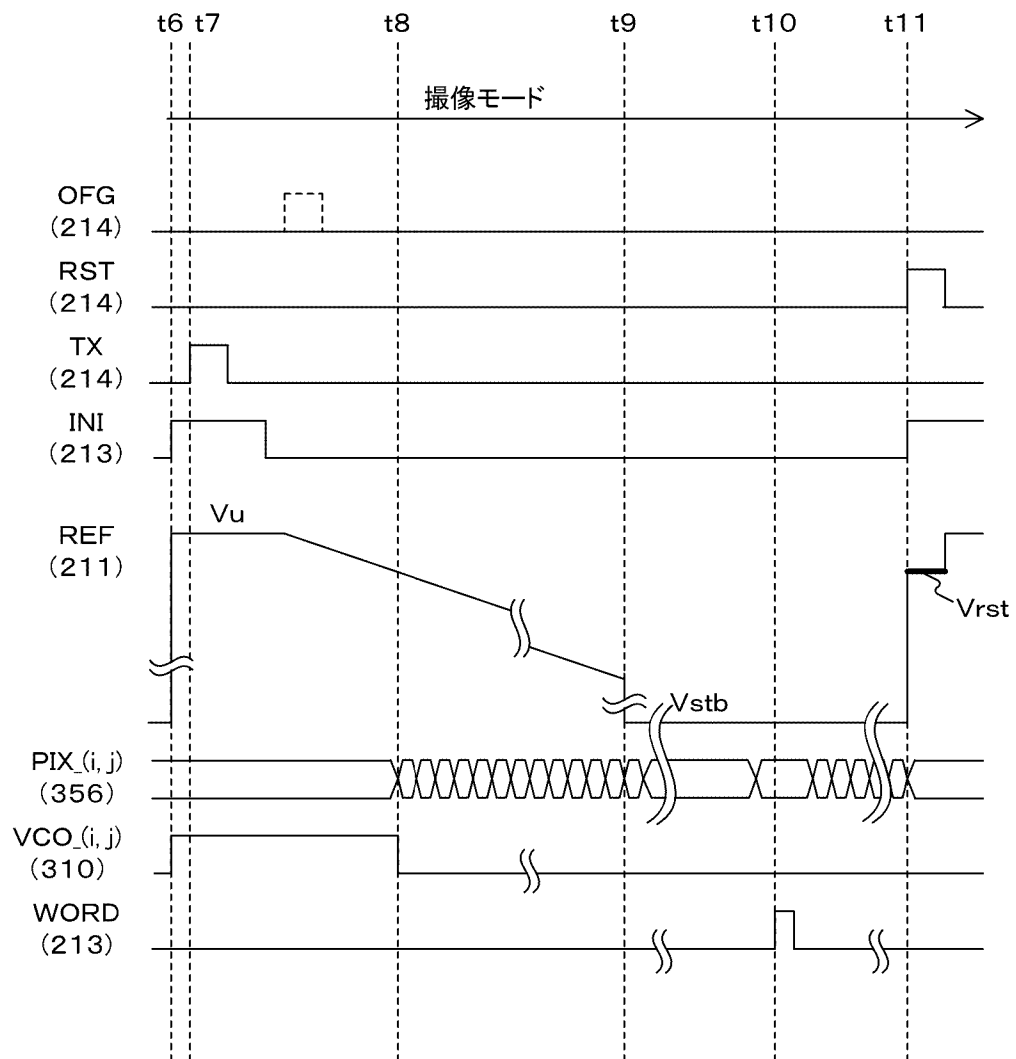




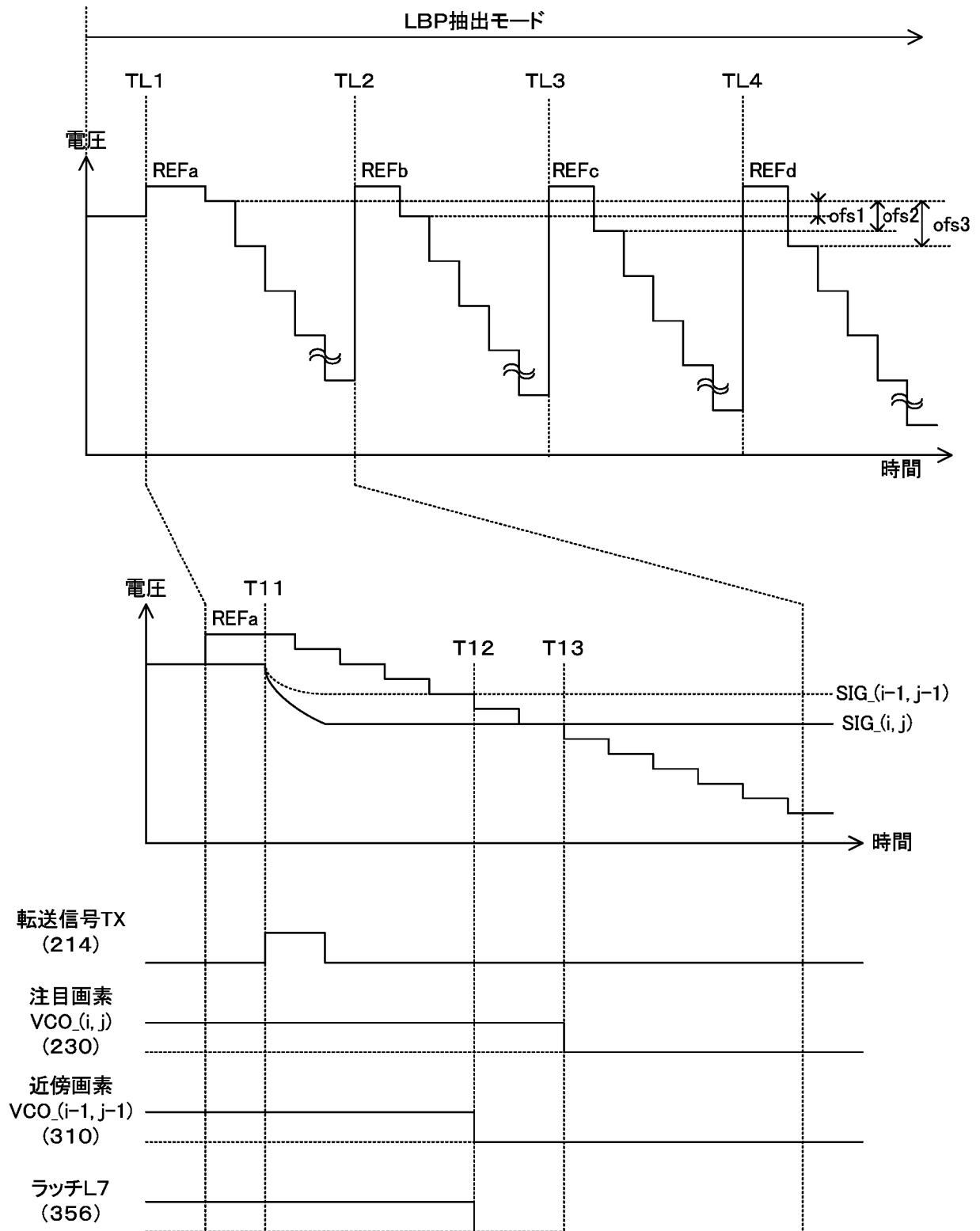
[図11]



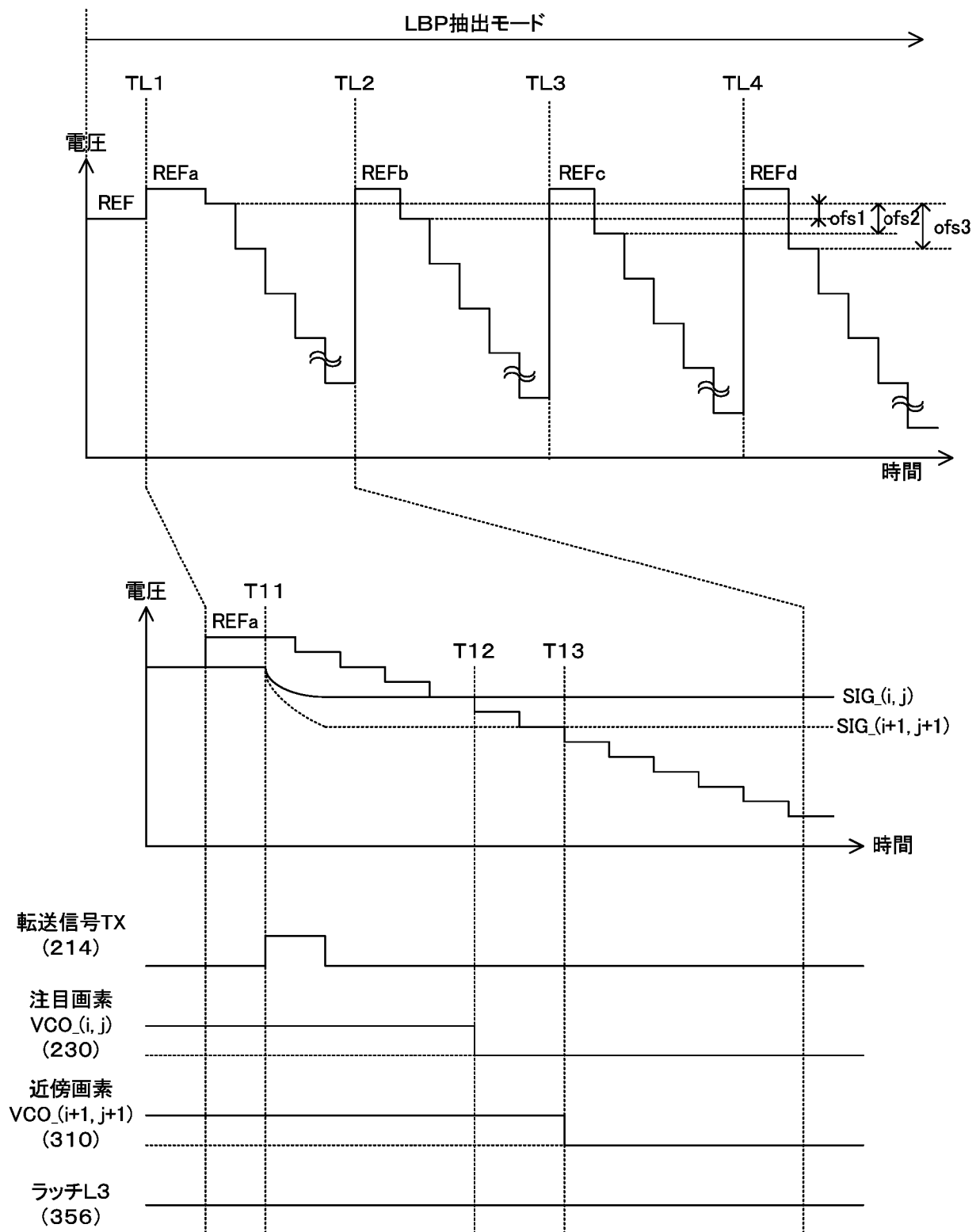
[図12]



[図13]



[図14]



[図15]

24	85	243
186	125	63
202	7	175

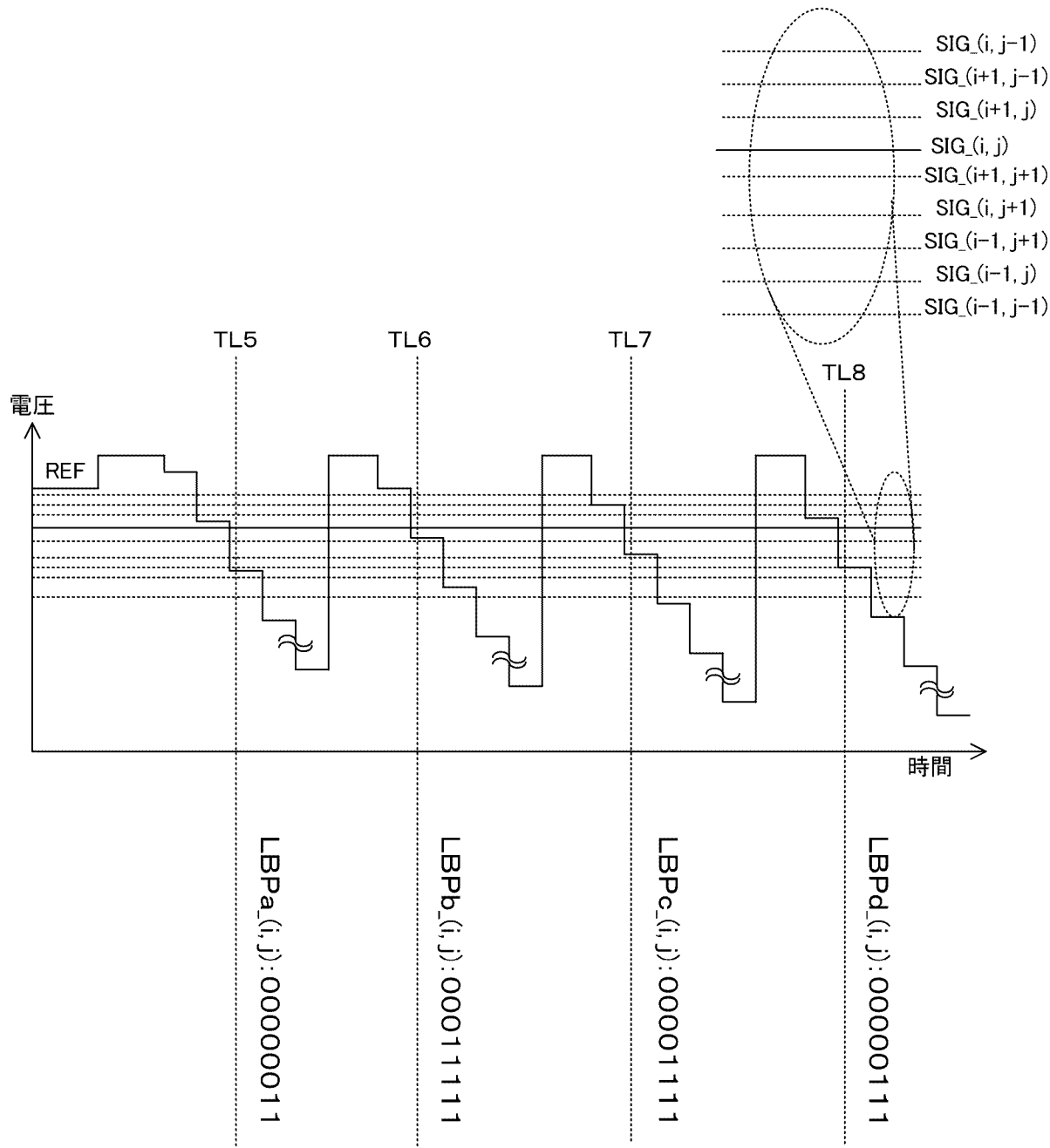
a

0	0	1
1	注目 画素	0
1	0	1

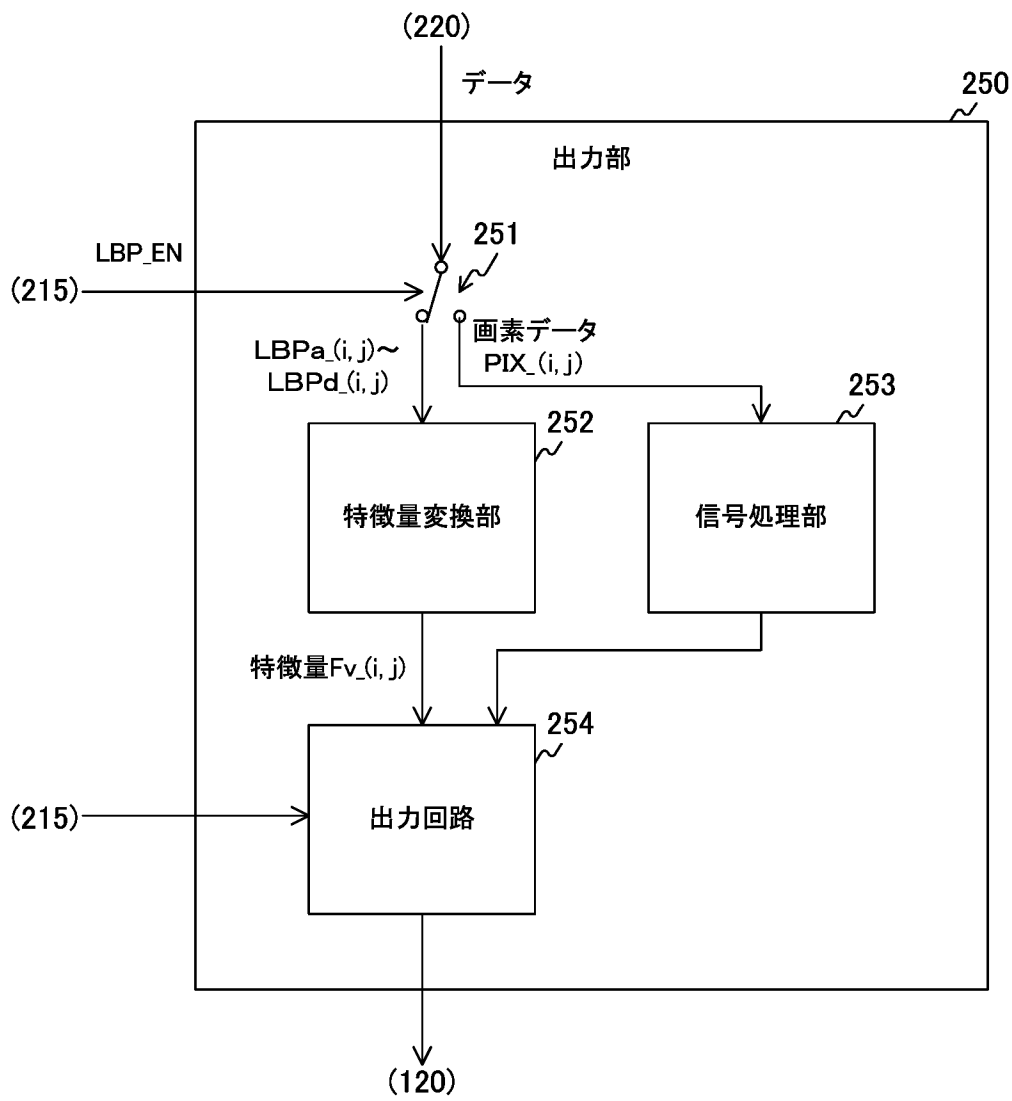
LBP(Local Binary Pattern): 11010100

b

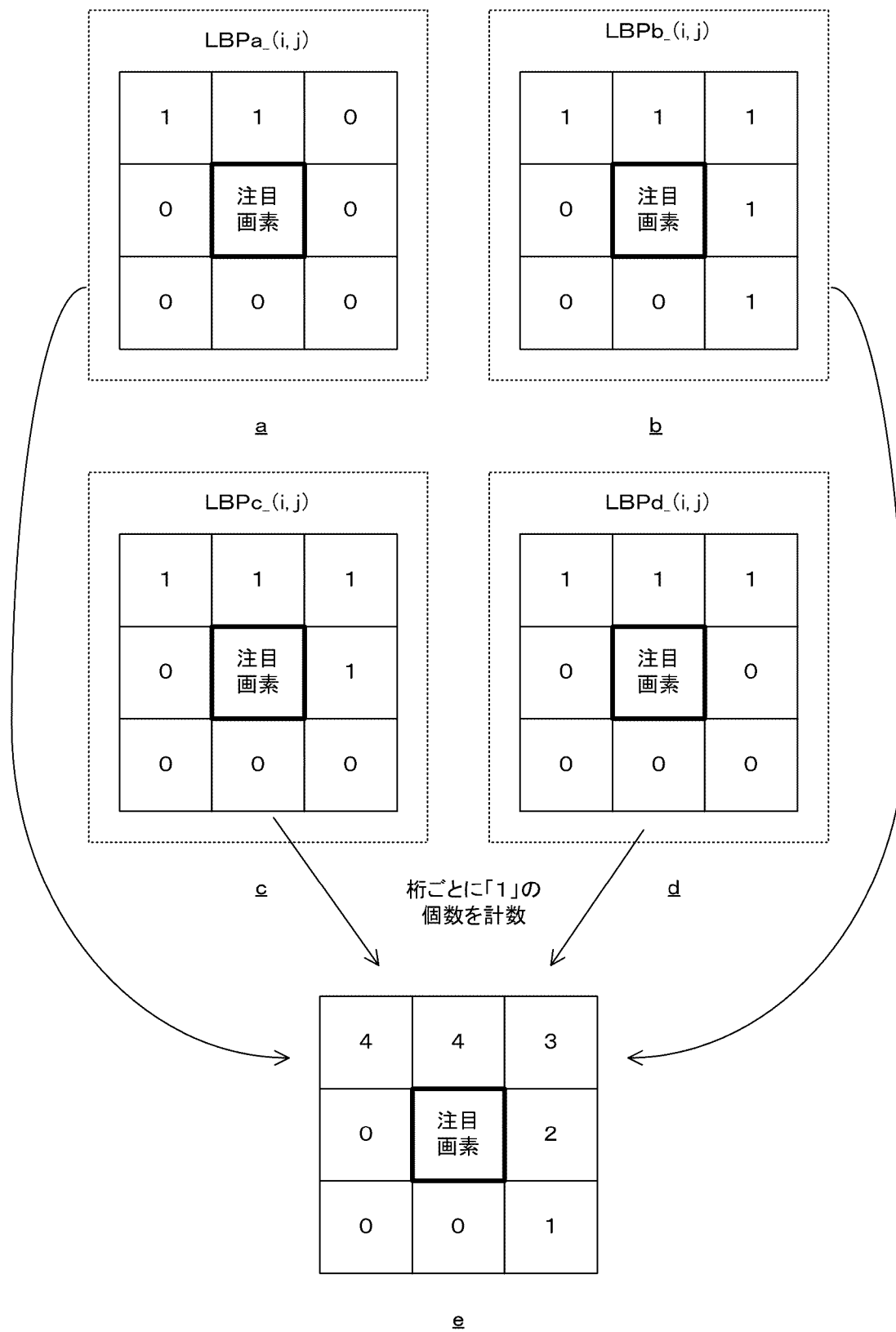
[図16]



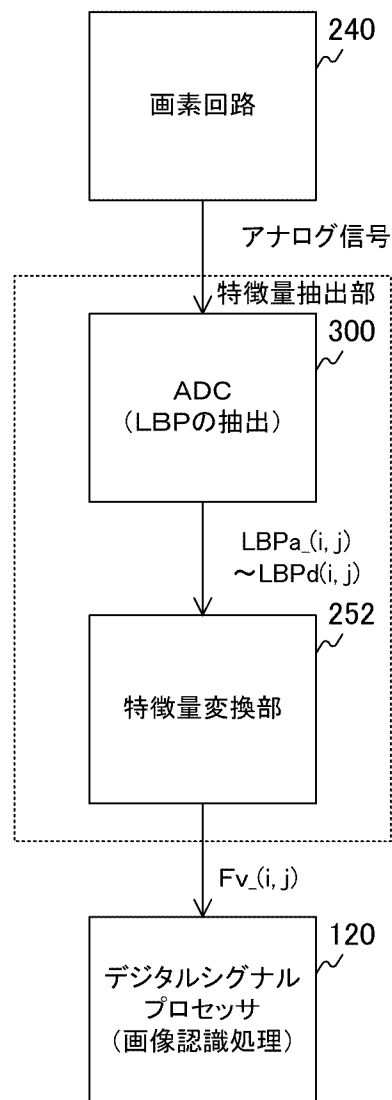
[図17]



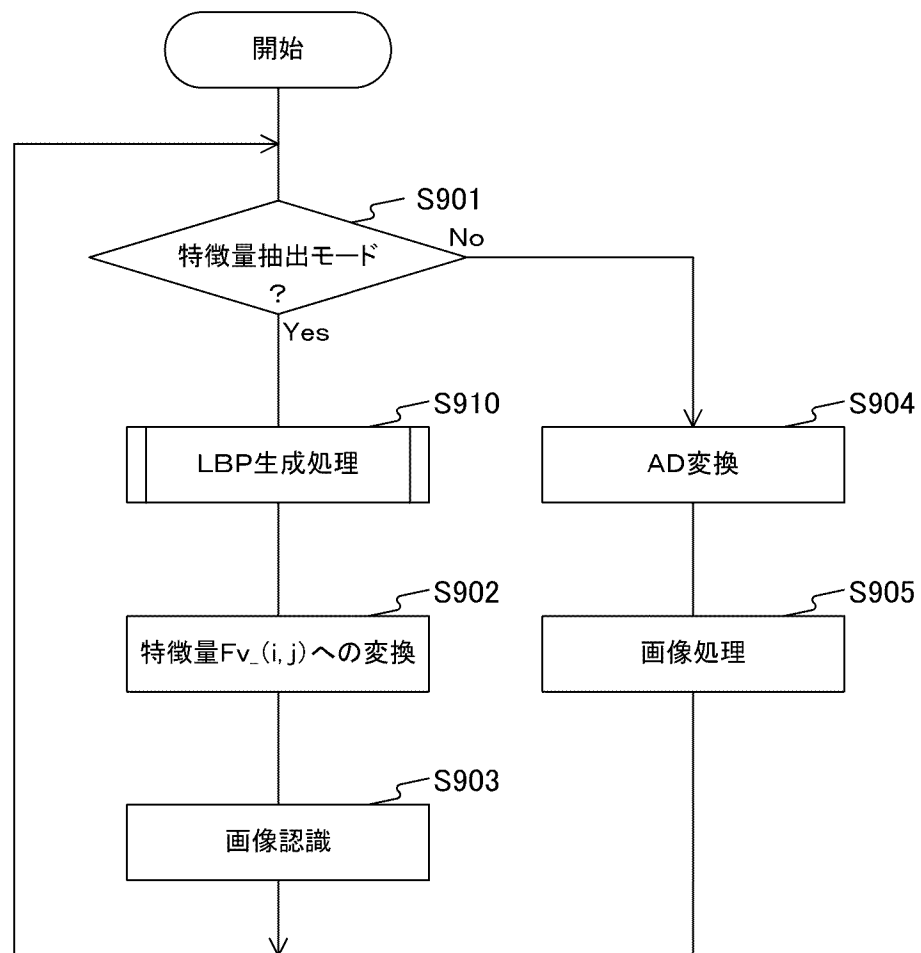
[図18]



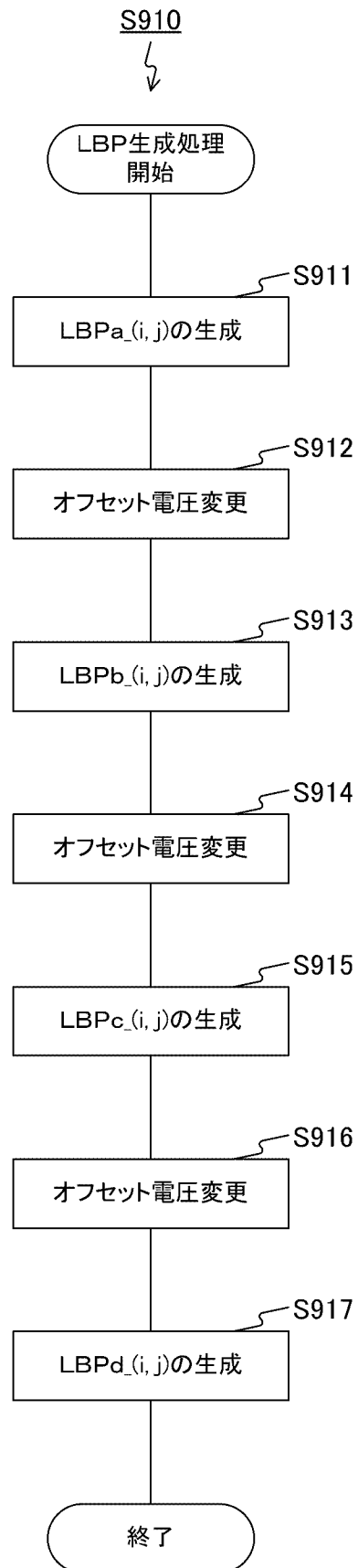
[図19]



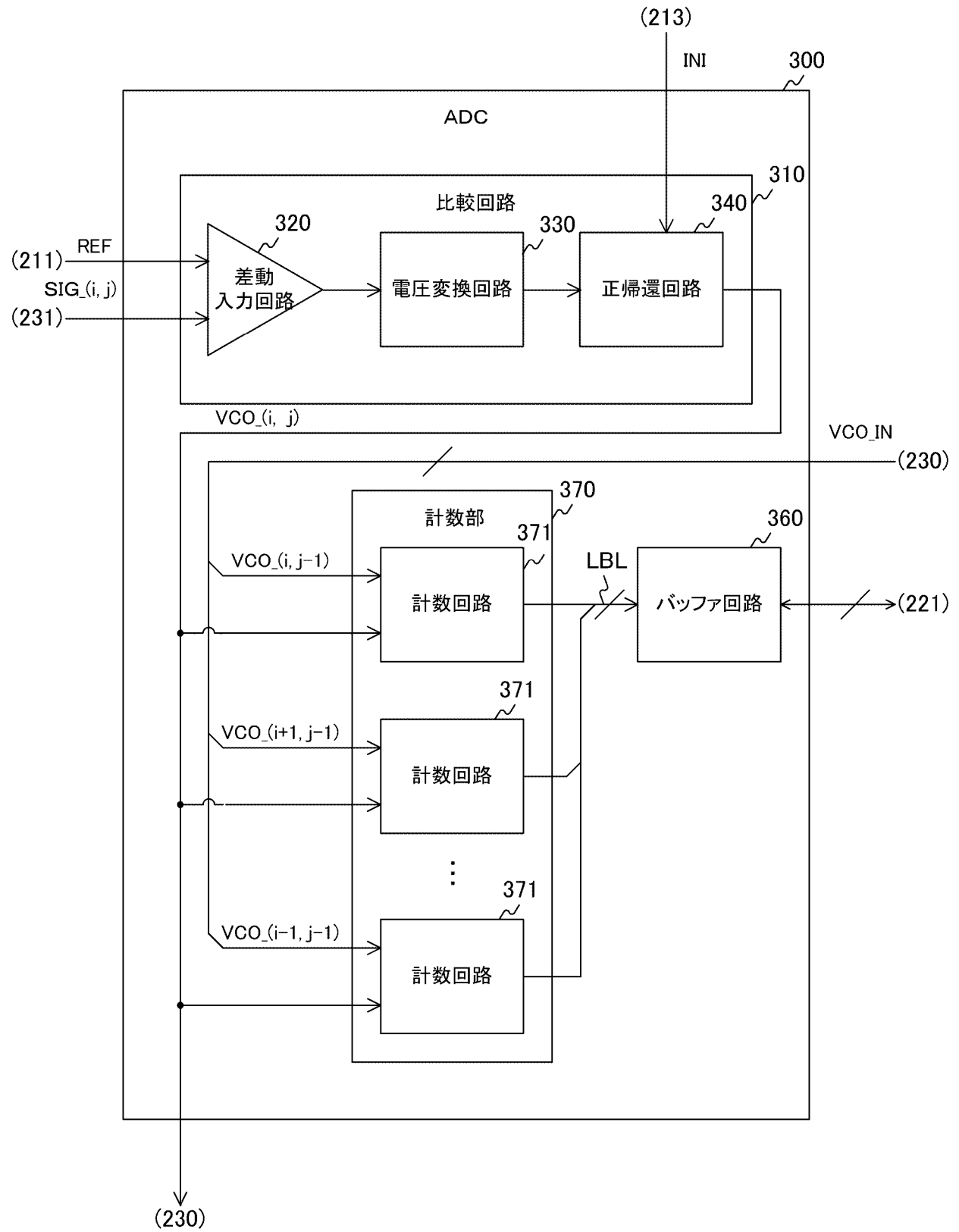
[図20]



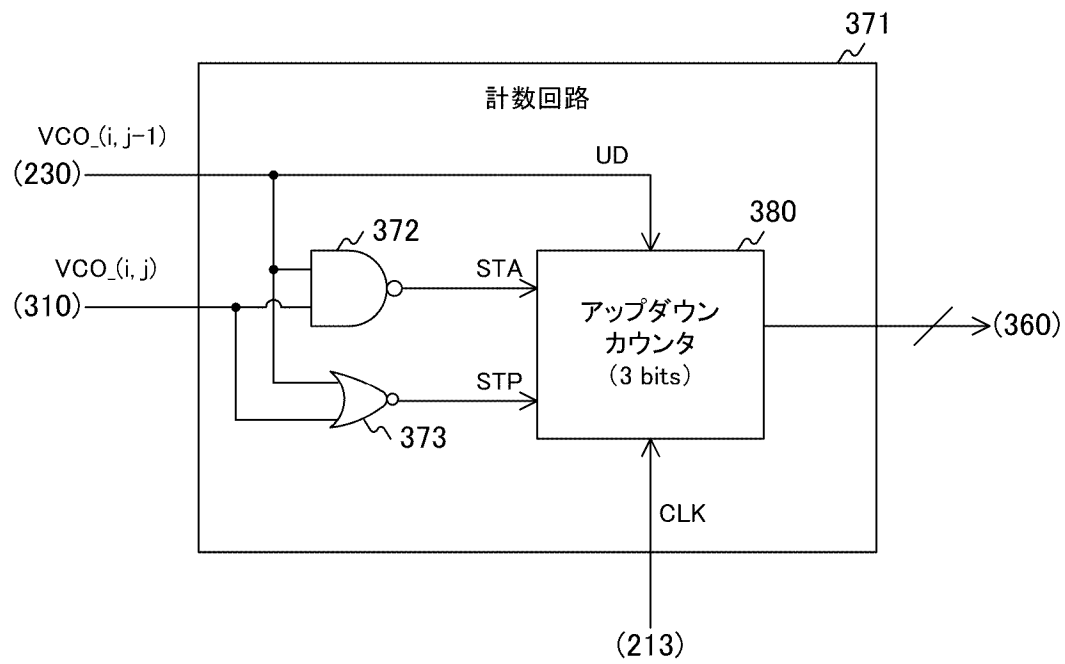
[図21]



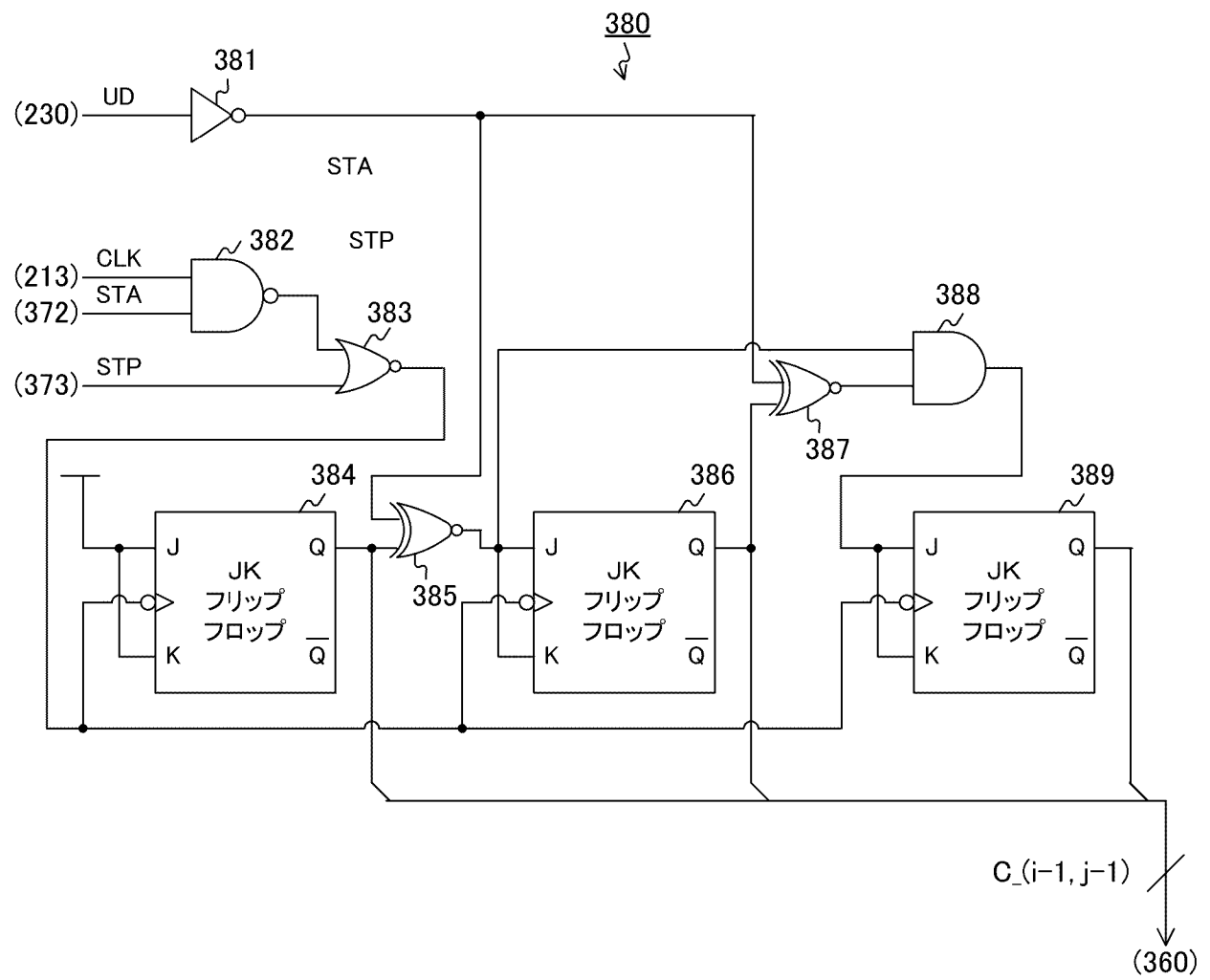
[図22]



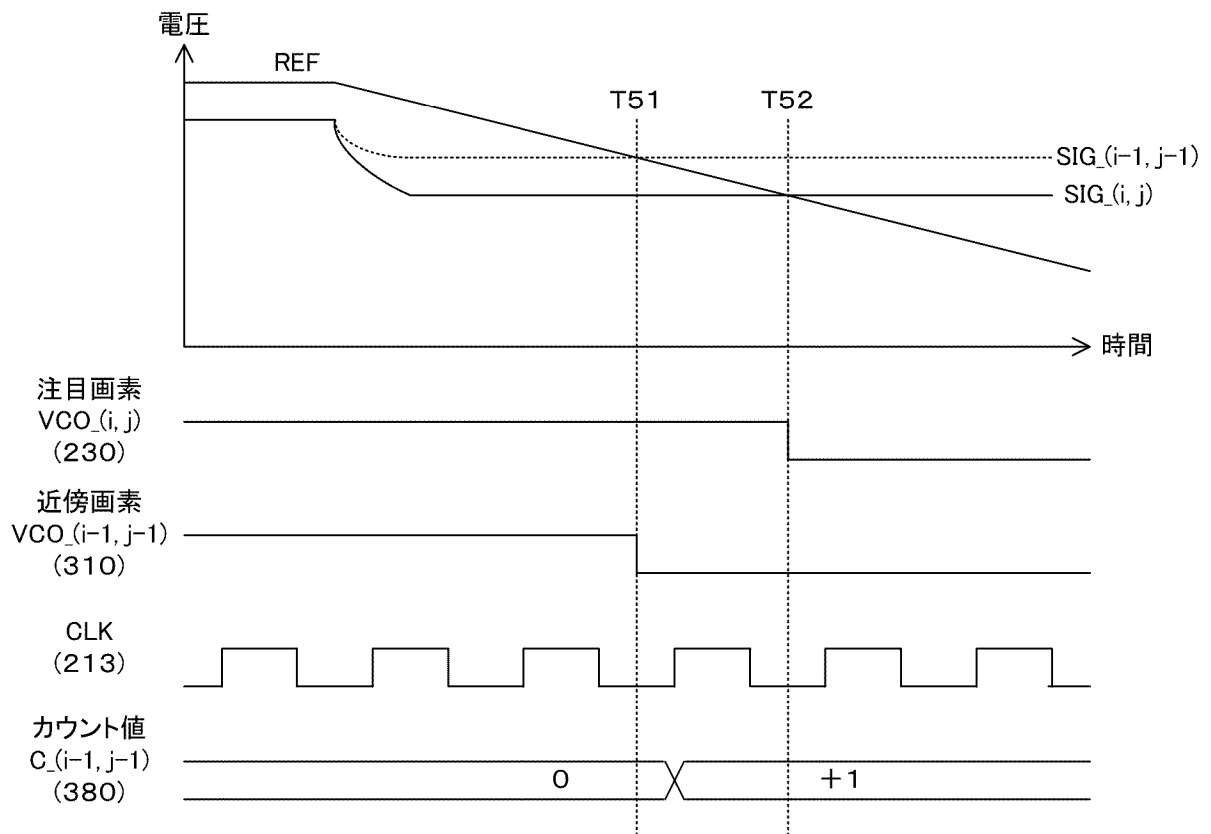
[図23]



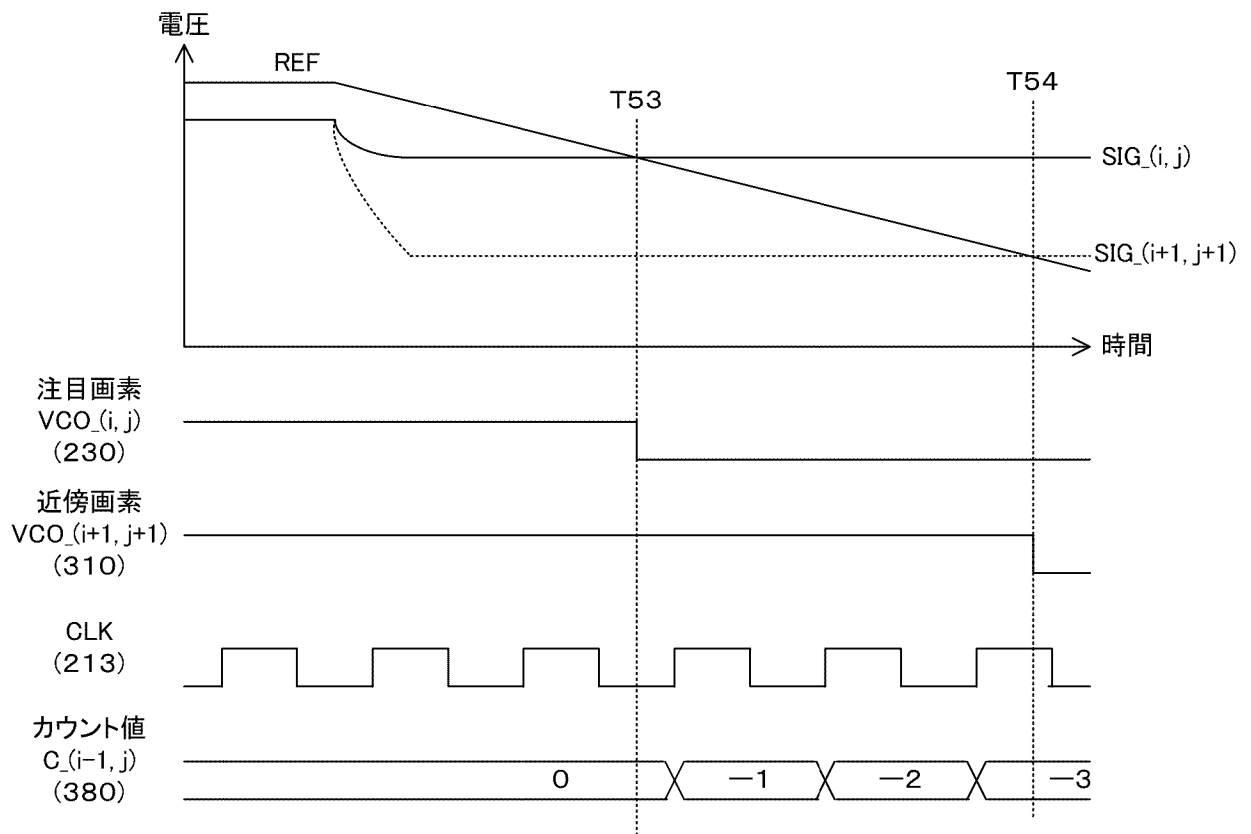
[図24]



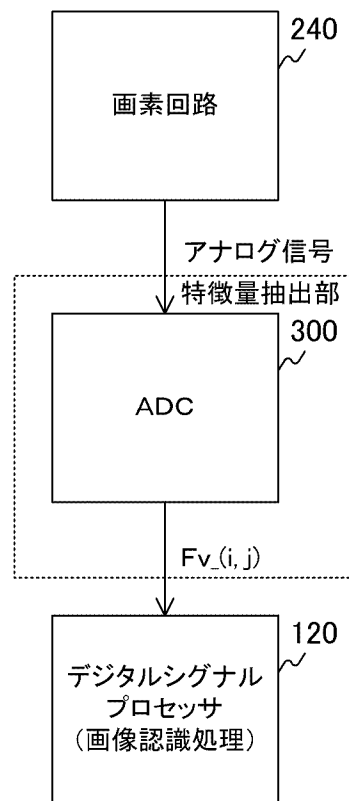
[図25]



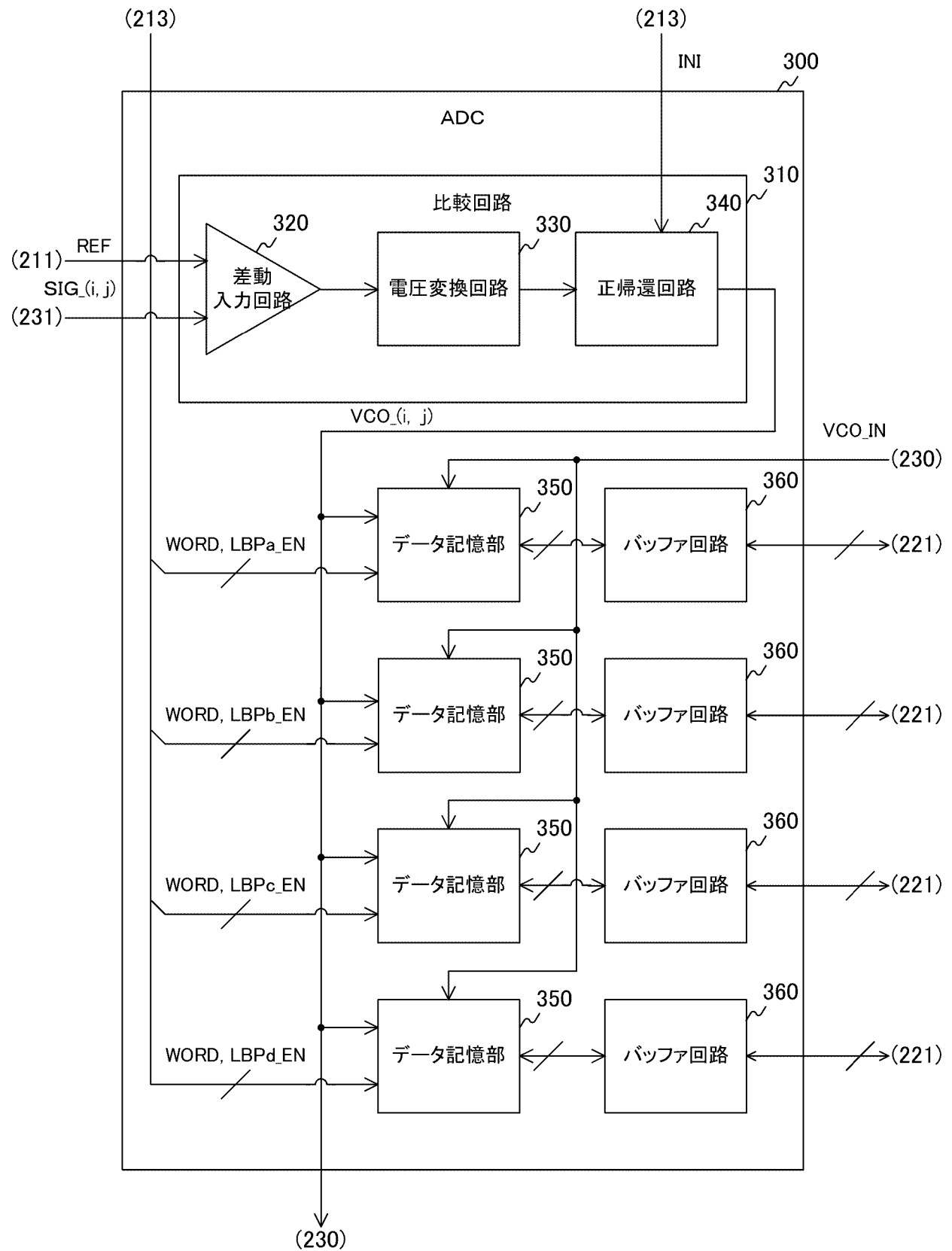
[図26]



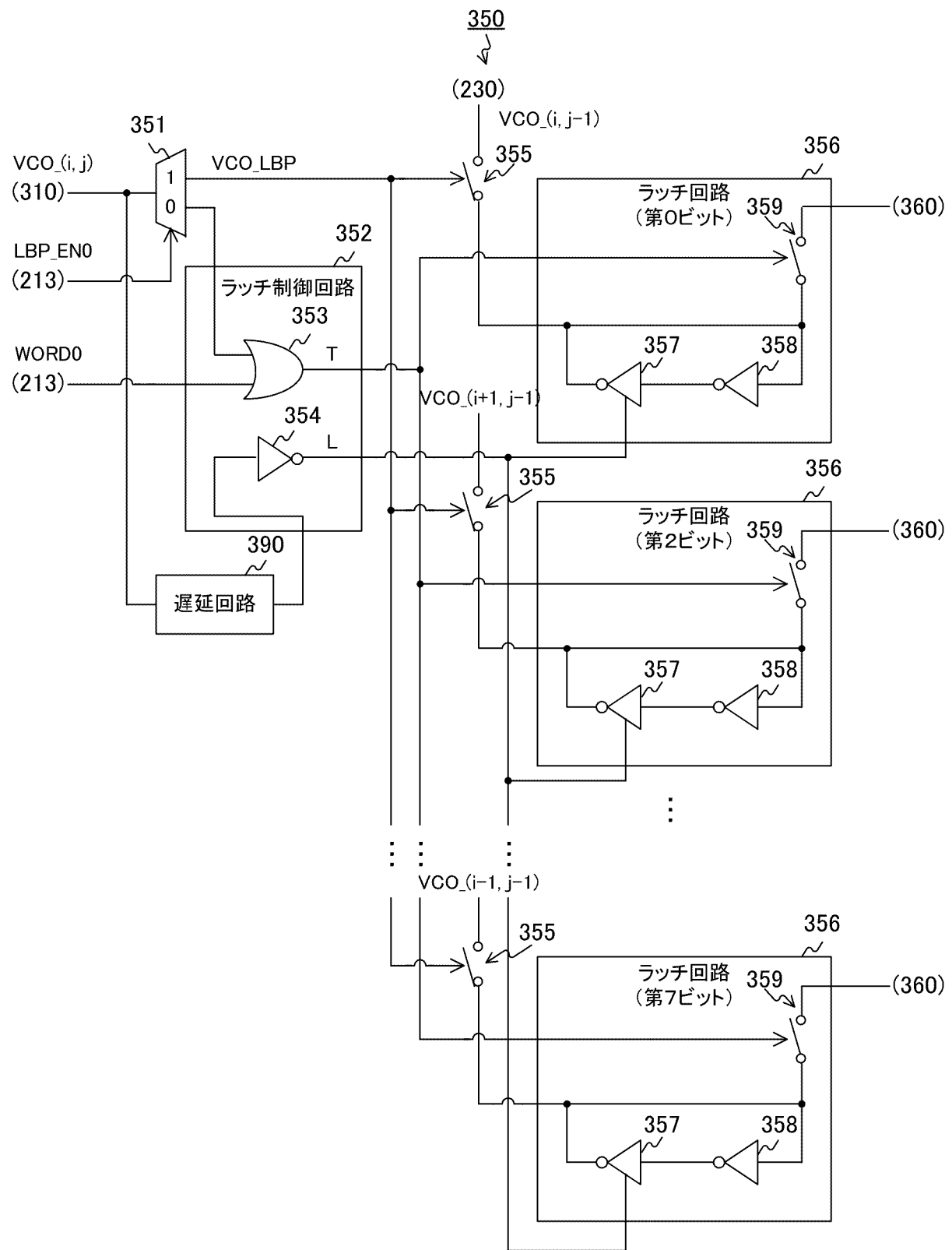
[図27]



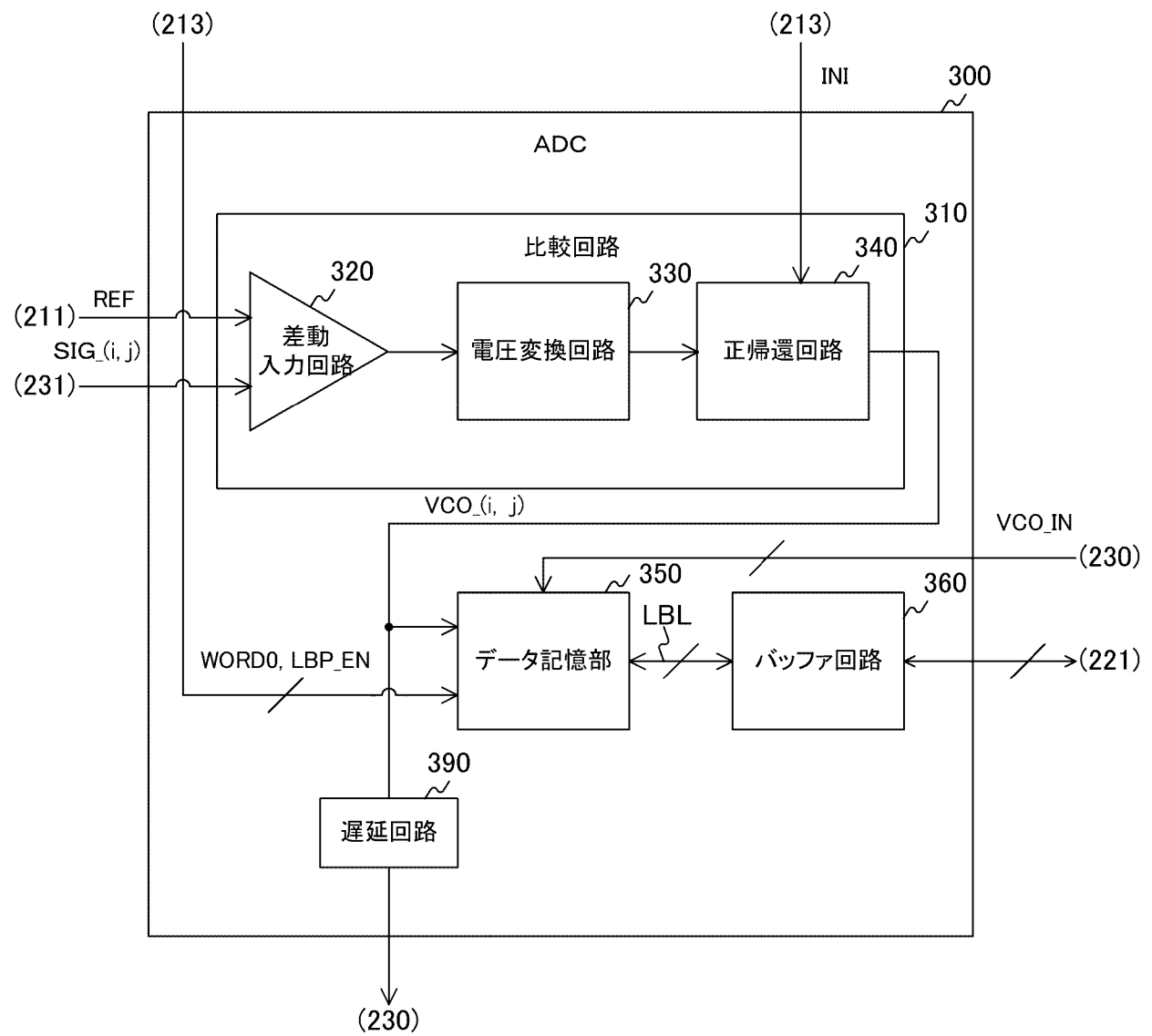
[図28]



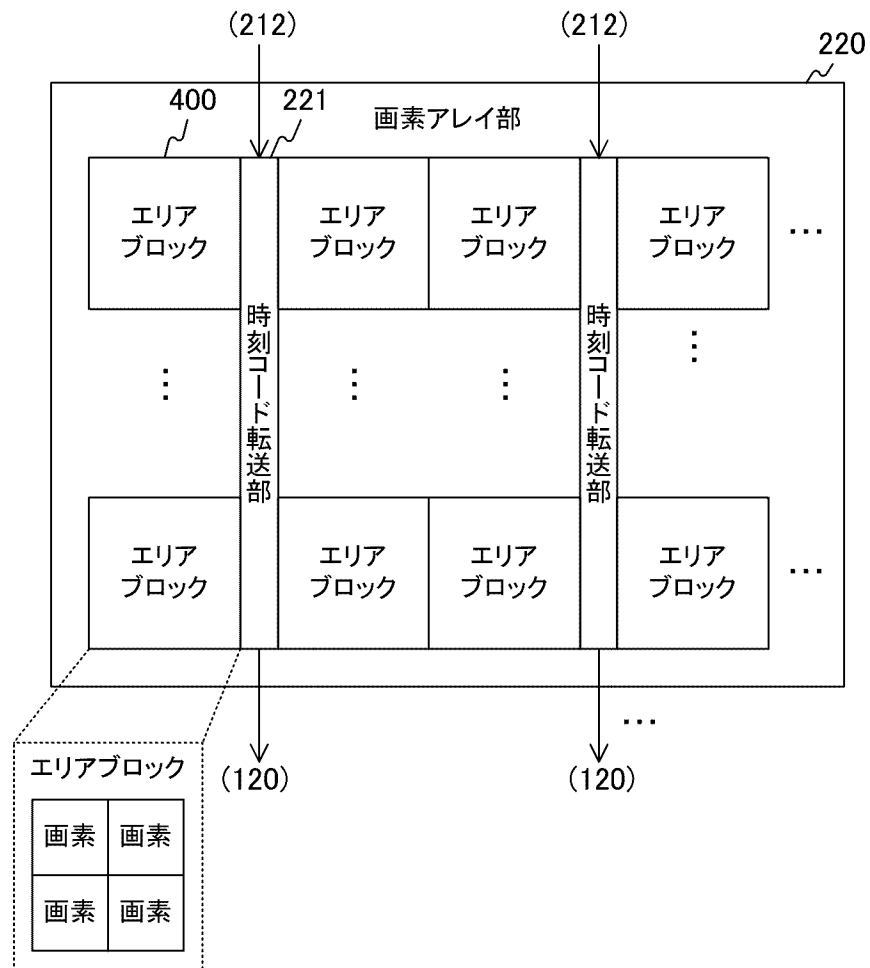
[図29]



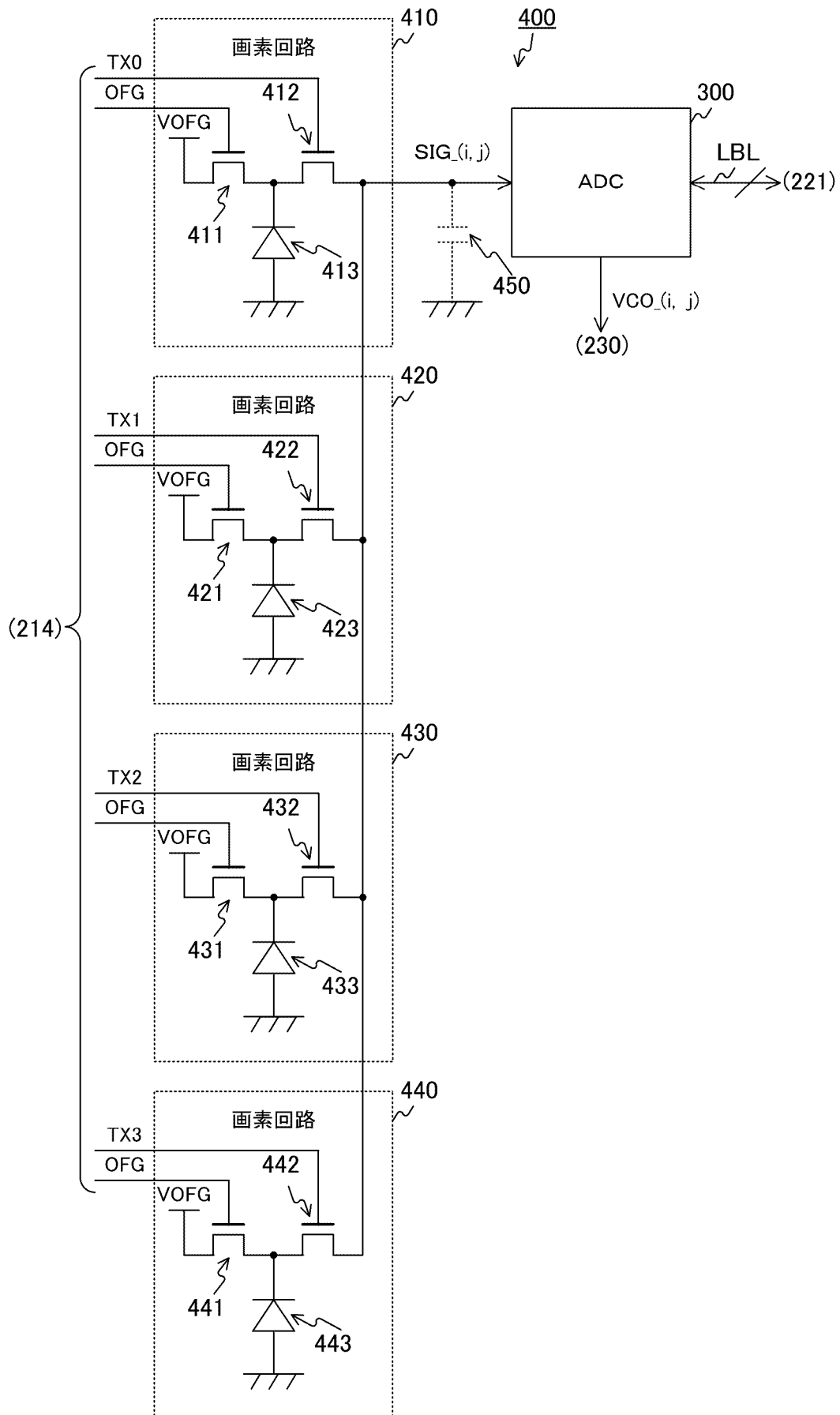
[図30]



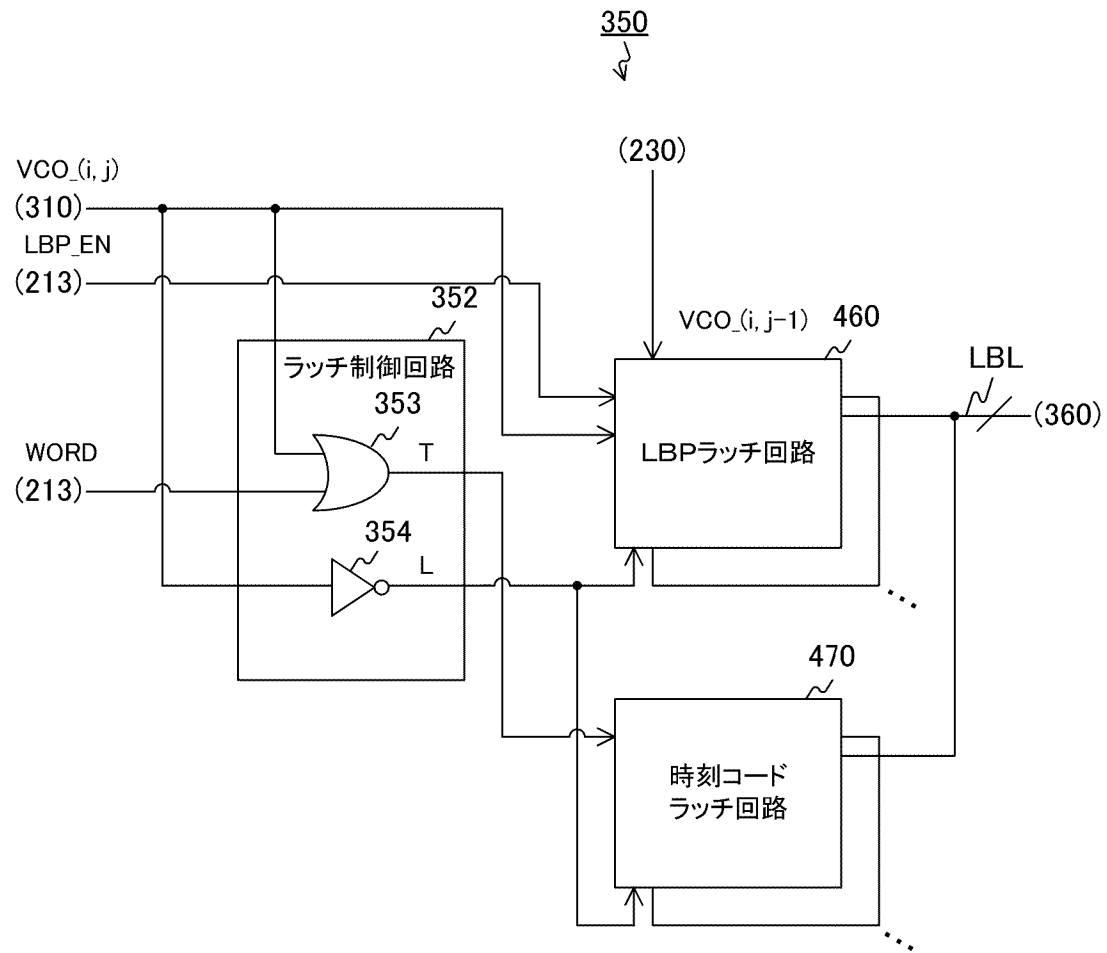
[図31]



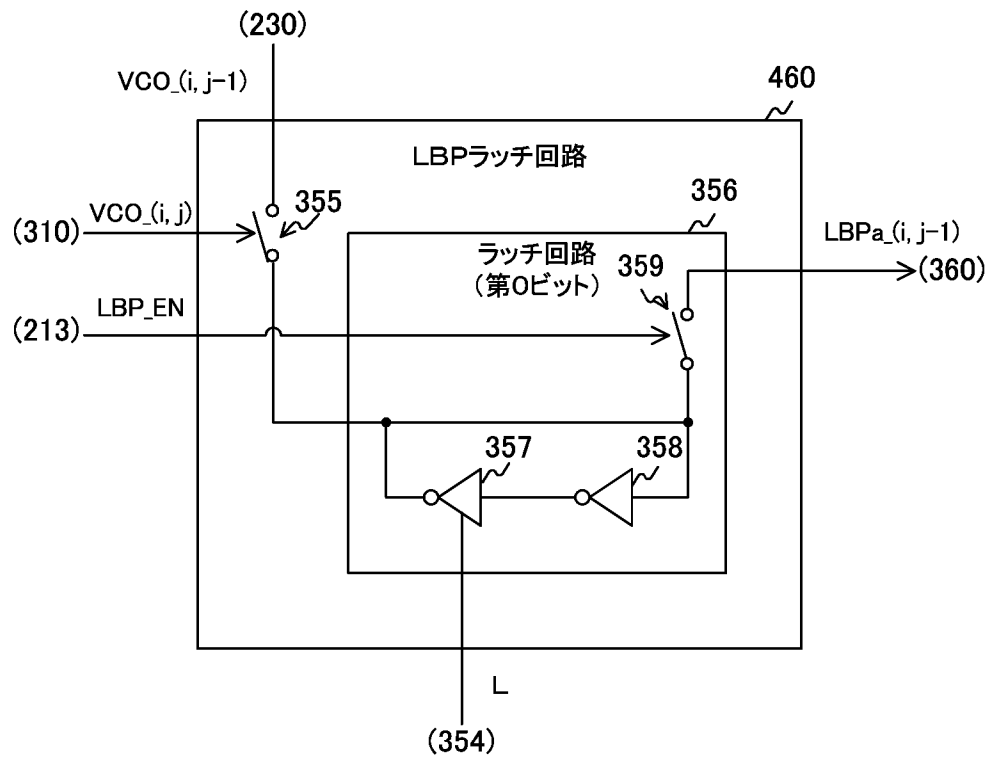
[図32]



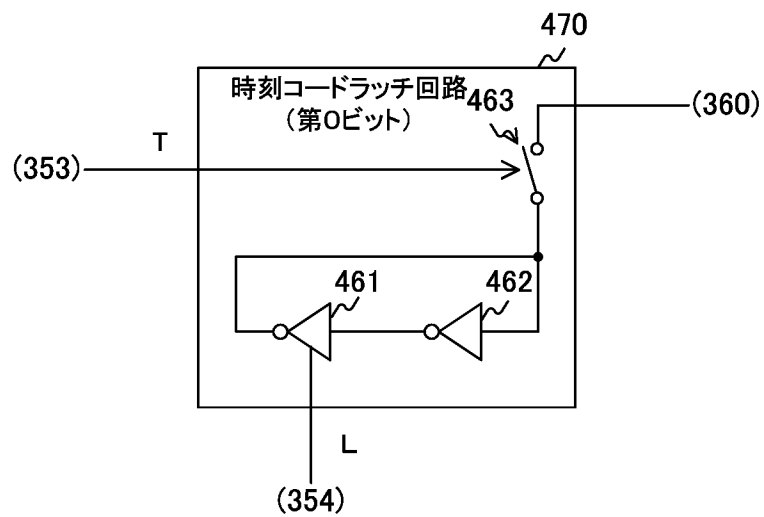
[図33]



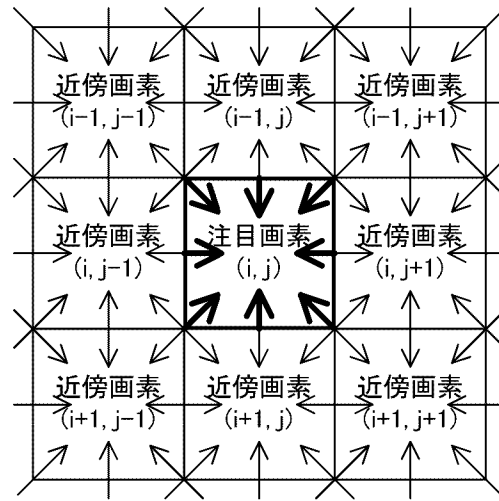
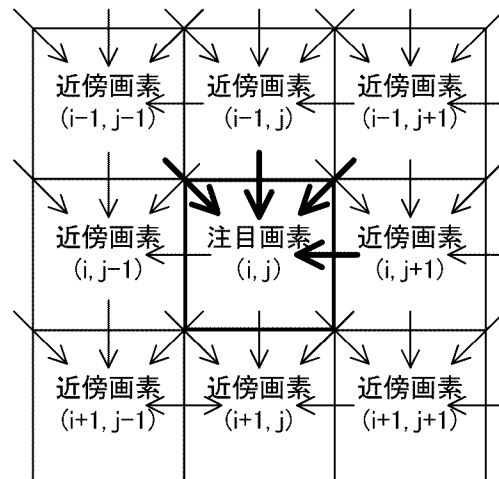
[図34]



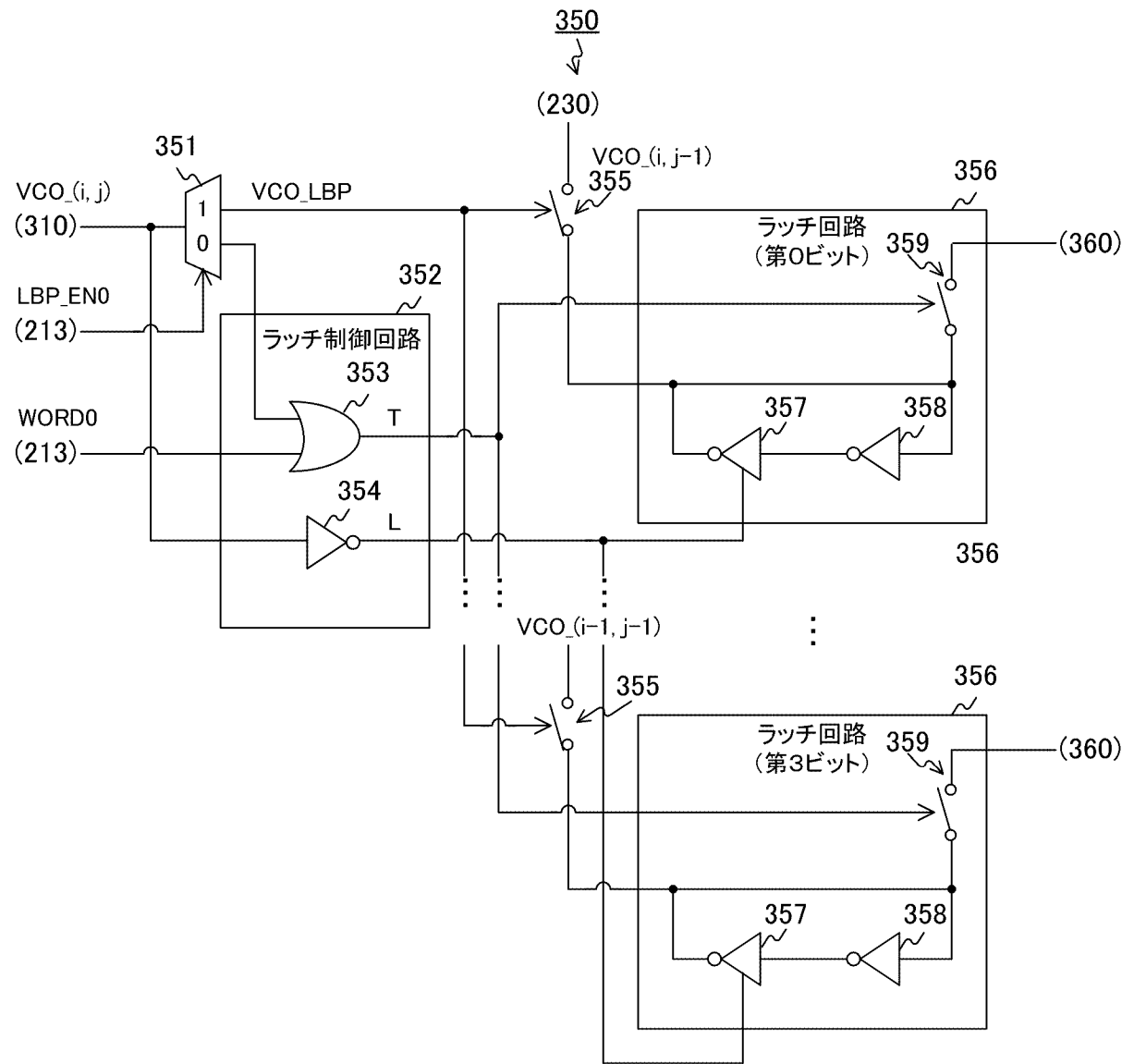
[図35]



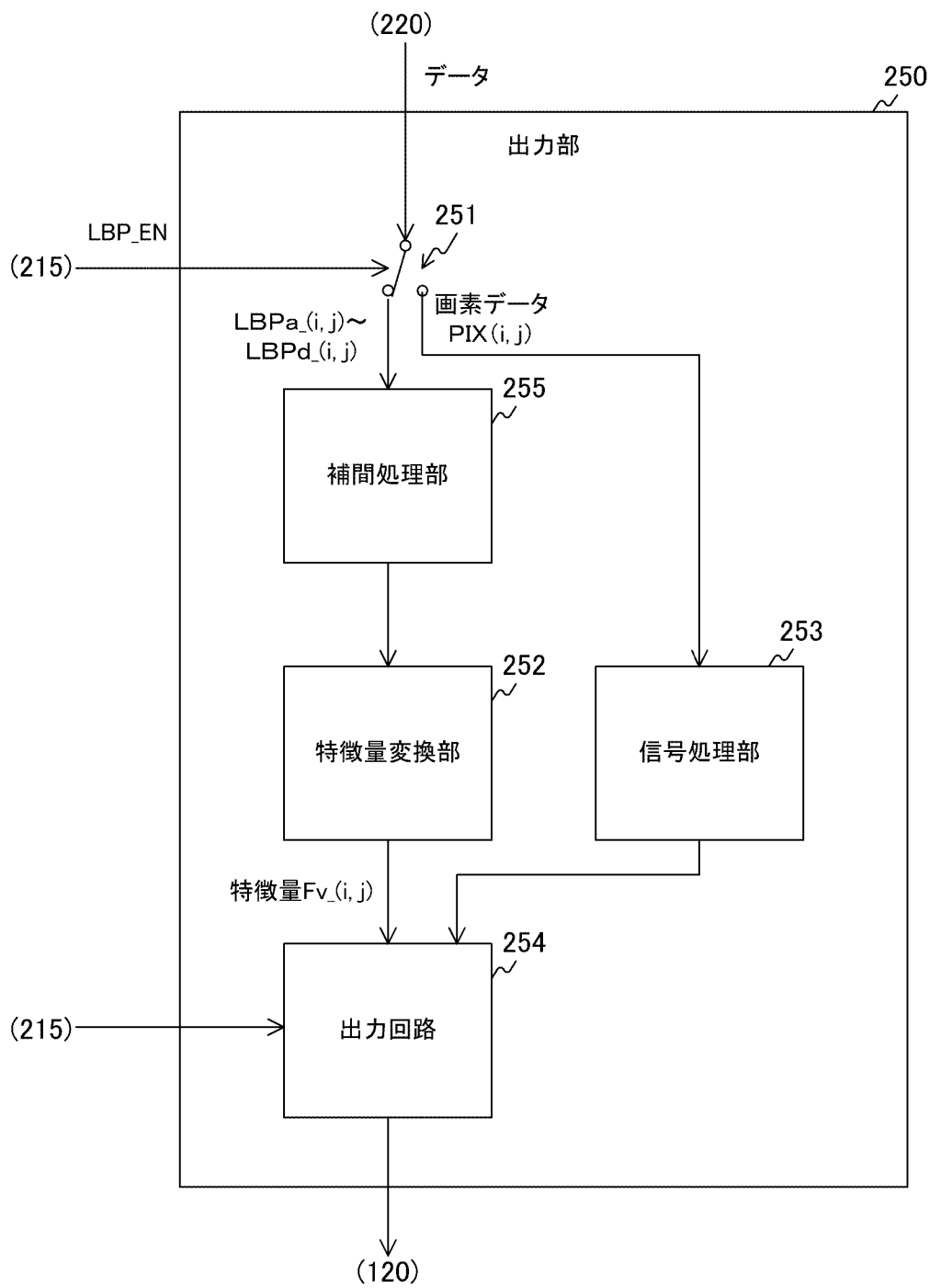
[図36]

ab

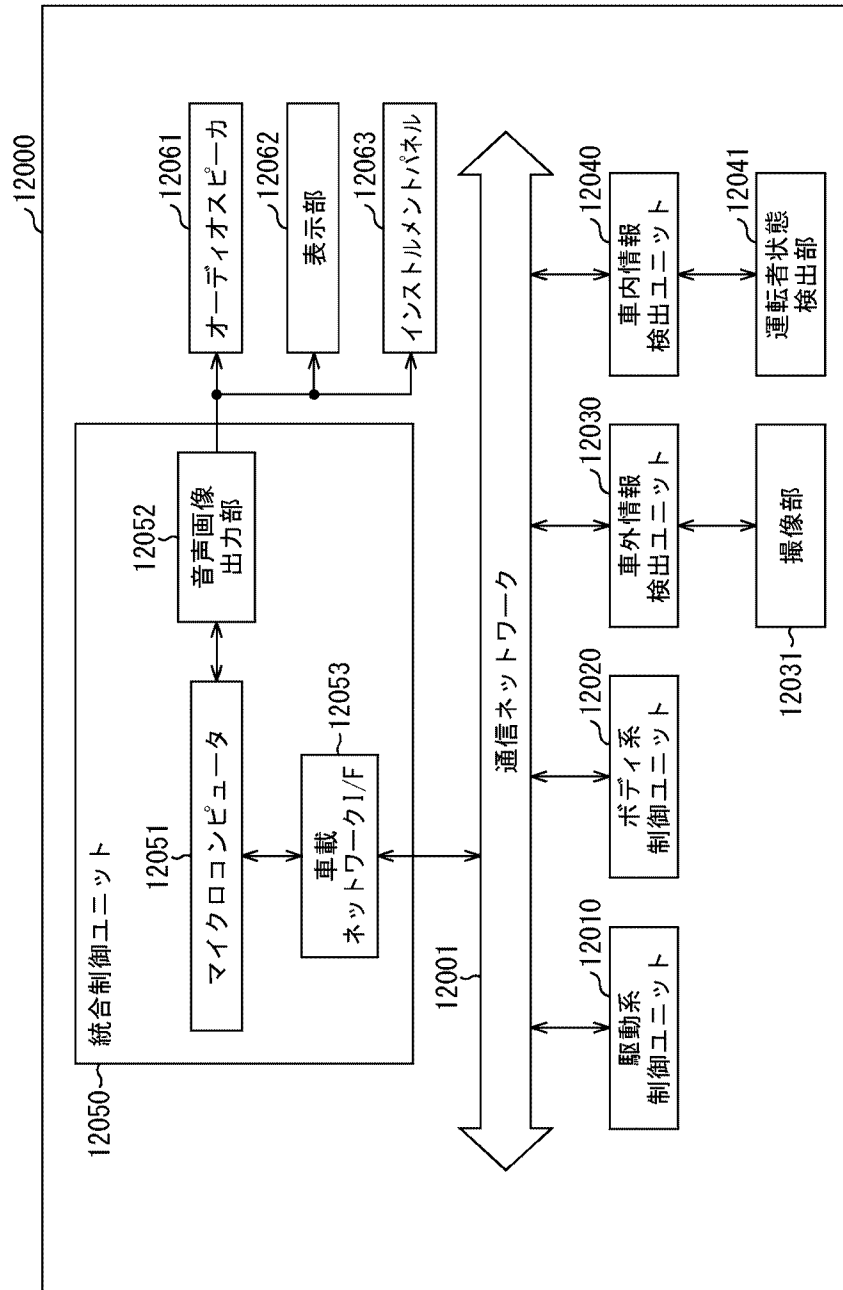
[図37]



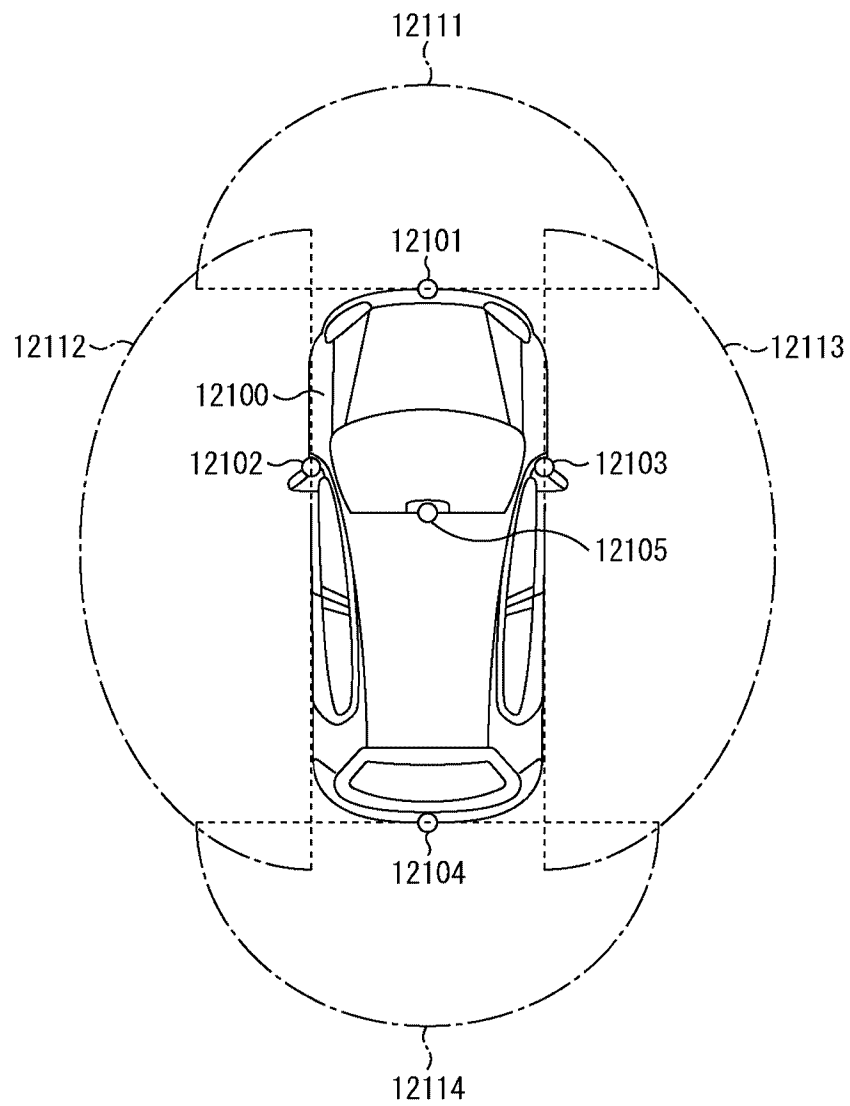
[図38]



[図39]



[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/026808

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/3745 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2013/105513 A1 (PANASONIC CORP.) 18 July 2013, paragraphs [0010], [0068]-[0069], [0073]-[0074], [0137] & US 2015/0016679 A1, paragraphs [0001], [0083]-[0084], [0088]-[0089], [0152] & JP 2013-143100 A	1, 11-14
Y	WO 2016/053764 A1 (QUALCOMM INCORPORATED) 07 April 2016, paragraphs [0039], [0100] & JP 2018-501675 A & US 2016/0094800 A1 & EP 3201830 A1 & CN 106716443 A & TW 201618543 A & CA 2959549 A & AR 102128 A & KR 10-2017-0063643 A & BR 112017006399 A	1, 11-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 September 2018 (25.09.2018)

Date of mailing of the international search report
09 October 2018 (09.10.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/026808

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-128990 A (CANON INC.) 30 June 2011, paragraphs [0012]-[0013] & US 2011/0150341 A1, paragraphs [0013]-[0014] & CN 102103698 A	12
A	JP 2006-33452 A (SONY CORP.) 02 February 2006, paragraphs [0159]-[0163] & US 2006/0013485 A1, paragraph [0166] & KR 10-2006-0050215 A & CN 1770831 A & TW 200627939 A & KR 10-1195327 B1 & CN 104202543 A	2-8
A	JP 2015-104021 A (CANON INC.) 04 June 2015, paragraph [0055] & US 2015/0146063 A1, paragraph [0070] & CN 104683712 A & KR 10-2015-0060544 A	2-8
A	JP 2010-28624 A (SONY CORP.) 04 February 2010, paragraphs [0139]-[0140], fig. 3 (Family: none)	9-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/3745(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/3745

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2013/105513 A1 (パナソニック株式会社) 2013.07.18, 段落 [0010], [0068]-[0069], [0073]-[0074], [0137] & US 2015/0016679 A1, 段落[0001], [0083]-[0084], [0088]-[0089], [0152] & JP 2013-143100 A	1, 11-14
Y	WO 2016/053764 A1 (QUALCOMM INCORPORATED) 2016.04.07, 段落 [0039], [00100] & JP 2018-501675 A & US 2016/0094800 A1 & EP 3201830 A1 & CN 106716443 A & TW 201618543 A & CA 2959549 A & AR 102128 A & KR 10-2017-0063643 A & BR 112017006399 A	1, 11-14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

25.09.2018

国際調査報告の発送日

09.10.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

粕谷 満成

5 V

5587

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-128990 A (キヤノン株式会社) 2011.06.30, 段落 [0012]-[0013] & US 2011/0150341 A1, 段落[0013]-[0014] & CN 102103698 A	12
A	JP 2006-33452 A (ソニー株式会社) 2006.02.02, 段落[0159]-[0163] & US 2006/0013485 A1, 段落[0166] & KR 10-2006-0050215 A & CN 1770831 A & TW 200627939 A & KR 10-1195327 B1 & CN 104202543 A	2-8
A	JP 2015-104021 A (キヤノン株式会社) 2015.06.04, 段落[0055] & US 2015/0146063 A1, 段落[0070] & CN 104683712 A & KR 10-2015-0060544 A	2-8
A	JP 2010-28624 A (ソニー株式会社) 2010.02.04, 段落 [0139]-[0140], 図3 (ファミリーなし)	9-10