

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97132691

※申請日期：97.8.27

※IPC 分類：G06F13/10 (2006.01)

一、發明名稱：(中文/英文)

協同運作電路

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

聚積科技股份有限公司

Macroblock, Inc.

代表人：(中文/英文) 楊立昌

住居所或營業所地址：(中文/英文)

新竹市埔頂路 18 號 6 樓之 4

6F-4, NO. 18, PU-TING RD., HSINCHU TAIWAN, 30072, R.O.C.

國籍：(中文/英文) 中華民國 ROC

三、發明人：(共 1 人)

姓名：(中文/英文)

1. 史富洋

SHIH, FU-YANG

2. 吳肯唐

WU, KEN-TANG

國籍：(中文/英文) 1-2：中華民國/R.O.C.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種協同運作電路，尤指一種該級控制模組控制訊號的相位相較於前一級控制訊號的相位產生一相位延遲者。

### 【先前技術】

現今應用於控制大電流裝置的協同運作電路，一般係利用電路內部的開關來加以控制，例如利用串列週邊介面(SPI)、I2C、系統管理匯流排(SM BUS)或 PM BUS 做為通訊介面。

但串列週邊介面(SPI)、I2C、系統管理匯流排(SM BUS)或 PM BUS 有以下幾點缺點：

- 一、 首先除串列週邊介面(SPI)外，其餘均需要另外定址，在高頻率的切換時，時脈頻率太低，以 7-位元解析度、500kHz 的脈寬調變，其時脈頻率需要 60MHz。
- 二、 串列週邊介面(SPI)雖可使用環狀拓樸且不需定址，但低頻的情形無法趕上其運作，而高頻時又會非常耗能且需解決電磁干擾及雜訊的問題。
- 三、 如果主控制電路(master)需送出設定資料，如數量、解析度或相位移等至從電路(slave)，這些從電路需具有時脈以傳遞資料。如果採用外部時脈則有耗能及電磁干擾問題；如果採用各電路各自內建時脈產生

器，則都會增加成本及功率消耗；且更糟的各種體電路的時脈均不相同，進而造成各種體電路的脈寬調變頻率的差異。

因此，如何研發出一種協同運作電路，其不需定址且不論在何種頻率操作，仍可達到低耗能、低電磁干擾及使各級電路脈寬調變頻率相同的效果，將是本發明所欲積極探討之處。

### 【發明內容】

本發明提出一種協同運作電路，其主要目的為解決協同運作電路，其於高頻率運作時所造成的高耗能、電磁干擾及各級電路脈寬調變頻率不同的問題。

本發明之為一種協同運作電路，其包括：一第一控制模組，其產生一第一控制訊號以及一第二控制訊號，且該第一控制訊號的脈寬係由該第二控制訊號的脈寬決定；以及一第二控制模組，耦接於該第一控制模組，其接收該第一控制訊號與該第二控制訊號，並根據該第一控制訊號及第二控制訊號產生一第三控制訊號；其中該第二控制模組根據該第一控制訊號以及該第二控制訊號使該第三控制訊號的頻率與責任週期與該第二控制訊號的頻率與責任週期相同，但相位相較於該第二控制訊號的相位產生一相位延遲。

藉此，可以大幅降低訊號傳輸的頻率，當協同運作電路不論在何種頻率操作時，仍可達到低耗能、低電磁干擾及各級電路運作頻率相同的效果。

**【實施方式】**

圖一為本發明之協同運作電路的較佳實施例之系統方塊圖，請參考圖一，本發明之協同運作電路 1，包含有：一第一控制模組 2，其產生一第一控制訊號 CLK 以及一第二控制訊號 DOUT0，且該第一控制訊號 CLK 的脈寬係由該第二控制訊號 DOUT0 的脈寬及協同運作電路模組的數量與運作頻率決定；以及一第二控制模組 3，耦接於該第一控制模組 2，其接收該第一控制訊號 CLK 與該第二控制訊號 DOUT0，並根據該第一控制訊號 CLK 及第二控制訊號 DOUT0 產生一第三控制訊號 DOUT1；其中該第二控制模組 3 根據該第一控制訊號 CLK 以及該第二控制訊號 DOUT0 使該第三控制訊號 DOUT1 的頻率與責任週期與該第二控制訊號 DOUT0 的頻率與責任週期相同，但相位相較於該第二控制訊號 DOUT0 的相位產生一相位延遲，其中該第二控制訊號 DOUT0 以及該第三控制訊號 DOUT1 係為一狀態控制訊號，一種較佳的實施方式為依使用者的需要將該第三控制訊號 DOUT1 回授至該第一控制模組 2。另一種較佳的實施方式為該第一控制模組 2 產生一第四控制訊號 MODE，當該第四控制訊號 MODE 為一狀態時，該第一控制模組 2 傳送該第一控制訊號 CLK 以及該第二控制訊號 DOUT0 至該第二控制模組 3，並根據該第二控制模組 3 回授至該第一控制模組 2 的第三控制訊號 DOUT1 判定該第二控制模組 3 的數量且當該第四控制訊號 MODE 為該狀態時，該第一控制模組 2 傳送該第一控制訊號 CLK 以及該第二控制訊號 DOUT0 至該第二控制

模組 3，以致能該第二控制模組 3。而當該第四控制訊號 MODE 為另一狀態時，該第二控制模組 3 根據該第一控制訊號 CLK 以及該第二控制訊號 DOUT0 使該第三控制訊號 DOUT1 的相位相較於該第二控制訊號 DOUT0 的相位產生一相位延遲，此時該第一控制訊號 CLK、該第二控制訊號 DOUT0 以及該第三控制訊號 DOUT1 分別具有各自的頻率、脈寬及相位構成，使用者可依實際需求做適當調整。至於頻率及脈寬的計算方式，前述之第一控制訊號 CLK 的頻率值較佳係等於(該第二控制訊號 DOUT0 的頻率)乘以(該第一控制模組 2 及已致能的第二控制模組 3 之數量總和)，而第一控制訊號 CLK 的脈寬較佳係等於該第二控制訊號 DOUT0 脈寬除以該第一控制訊號 CLK 週期的餘數。實做上在觸發第一控制模組 2 及第二控制模組 3 的機制，較佳係當該第二控制訊號 DOUT0 之訊號上緣觸發為高位準後，該第三控制訊號 DOUT1 會於該第一控制訊號 CLK 下一次之訊號上緣觸發為高位準或是當該第一控制訊號 CLK 下緣觸發且該第二控制訊號 DOUT0 為高位準時，該第三控制訊號 DOUT1 會於該第一控制訊號 CLK 下一次之訊號上緣觸發為高位準，而當該第二控制訊號 DOUT0 之訊號下緣觸發為低位準後，該第三控制訊號 DOUT1 會於該第一控制訊號 CLK 下一次之訊號下緣觸發為低位準或是當該第一控制訊號 CLK 下緣觸發且該第二控制訊號 DOUT0 為低位準時，該第三控制訊號 DOUT1 會於該第一控制訊號下一次之下緣觸發為低位準，而這段時間即為該控制模組的責任週期 D，詳細的觸發波形圖將配合後續複數個第三控制模組之實施例做更詳細的說明。

以上所述僅是其中可能的運作方式，熟知此領域知識者當可理解亦可藉由其他觸發方式可達到類似效果，在此不多贅述。

圖二為本發明之協同運作電路另一較佳實施例之系統方塊圖以及圖三為根據圖二之較佳實施例之觸發波形圖，其係說明除前述實施例之第一控制模組 2 及第二控制模組 3 外，又接著串接第三控制模組 4 及第三控制模組 5 的情形(本例以兩個第三控制模組做為說明)，實做上較佳係該第二控制模組 3 與第三控制模組 4 及第三控制模組 5 之架構係為相同，請同時參考圖二及圖三，當本發明之協同運作電路 1 除第一控制模組 2 及第二控制模組 3 外，可更包含複數個第三控制模組(第三控制模組 4 及第三控制模組 5)，該些第三控制模組亦將與第二控制模組 3 相同接收該第一控制訊號 CLK，其中第三控制模組 4 耦接於該第二控制模組 3 並接收該第一控制訊號 CLK 及該第三控制訊號 DOUT1，藉此產生該級控制模組的控制訊號 DOUT2，第三控制模組 5 與前一級之第三控制模組 4 耦接，並接收前一級的控制訊號 DOUT2 及該第一控制訊號 CLK 進而產生該級控制模組的控制訊號 DOUT3，該第二控制模組 3 根據該第一控制訊號 CLK 以及該第二控制訊號 DOUT0 使該第三控制訊號 DOUT1 的相位相較於該第二控制訊號 DOUT0 的相位產生一相位延遲，該些第三控制模組(第三控制模組 4 及第三控制模組 5)則根據該第一控制訊號 CLK 以及前一級之控制訊號使該級控制模組控制訊號的相位相較於前一級控制訊號的相位分別產生一相位延遲，其中該第二控制訊號 DOUT0、

該第三控制訊號 DOUT1 以及控制訊號 DOUT2 及控制訊號 DOUT3 均係為一狀態控制訊號。一種較佳的實施方式為依使用者的需要將最後一級控制模組之控制訊號 DOUT3 回授至該第一控制模組 2，以判斷電路運作是否正常。一種較佳的判斷控制模組總數量及致能第二或第三控制模組的實施方式為該第一控制模組 2 產生一第四控制訊號 MODE，當該第四控制訊號 MODE 為一狀態時，該狀態係為判斷各控制模組總數量及致能第二控制模組 3 或第三控制模組的狀態。於此模式下，第一控制模組 2 僅需藉由傳送該第二控制訊號 DOUT0 之接腳送出一組參數(其可包含於該第二控制訊號 DOUT0 中)，並送出任一頻率之第一控制訊號 CLK 以觸發後級(第二控制模組 3 或第三控制模組)讀取並依序通過該些第三控制模組傳送該組參數，第一控制模組 2 即可藉由回授之控制訊號 DOUT3 判斷第二控制模組 3 及第三控制模組的數量，並透過送出該參數以致能或關閉第二控制模組 3 或該些第三控制模組(第三控制模組 4 或第三控制模組 5)。

而當該第四控制訊號 MODE 為另一狀態時，該第二控制模組 3 根據該第一控制訊號 CLK 以及該第二控制訊號 DOUT0 使該第三控制訊號 DOUT1 的相位相較於該第二控制訊號 DOUT0 的相位產生一相位延遲，該些第三控制模組(第三控制模組 4 或第三控制模組 5)根據該第一控制訊號 CLK 以及前一級之控制訊號使該級控制模組控制訊號的相位相較於前一級控制訊號的相位分別產生一相位延遲，此時該第一控制訊號 CLK、該第二控制訊號 DOUT0 以及該第三控制訊



號 DOUT1 分別具有各自的頻率、脈寬及相位構成，使用者可依實際需求做適當調整，且使用者可依實際需要使第一控制模組 2 決定第二控制模組 3 及該些第三控制模組(第三控制模組 4 或第三控制模組 5)被致能的數量。至於頻率及脈寬的計算方式，前述之第一控制訊號 CLK 的頻率值較佳係等於(該第二控制訊號 DOUT0 的頻率值)除以(該第一控制模組 2、該已致能的第二控制模組 3 及該些已致能的第三控制模組(第三控制模組 4 或第三控制模組 5)之數量總和)，而第一控制訊號 CLK 的脈寬較佳係等於該第二控制訊號 DOUT0 脈寬除以該第一控制訊號 CLK 週期的餘數。實做上在觸發第一控制模組 2、第二控制模組 3 以及該些第三控制模組(第三控制模組 4 或第三控制模組 5)的機制，較佳係如圖三所示，當前一級控制訊號之訊號上緣觸發為高位準後，該級控制模組控制訊號會於該第一控制訊號下一次之訊號上緣觸發高位準，而當前一級控制訊號之訊號下緣觸發為低位準後，該級控制模組控制訊號會於該第一控制訊號下一次之訊號下緣觸發為低位準，而這段時間即為各控制模組的責任週期 D，此即等同各級控制模組之控制訊號，或可藉由責任週期 D 以產生各級控制模組之控制訊號。

圖四為根據圖二之較佳實施例之另一觸發波形圖，請參考圖四並配合圖二，當該第四控制訊號 MODE 為另一狀態時，該第二控制模組 3 根據該第一控制訊號 CLK 以及該第二控制訊號 DOUT0 使該第三控制訊號 DOUT1 的相位相較於該第二控制訊號 DOUT0 的相位產生一相位延遲，該些第三

控制模組(第三控制模組 4 或第三控制模組 5)根據該第一控制訊號 CLK 以及前一級之控制訊號使該級控制模組控制訊號的相位相較於前一級控制訊號的相位分別產生一相位延遲，此時該第一控制訊號 CLK、該第二控制訊號 DOUT0 以及該第三控制訊號 DOUT1 分別具有各自的頻率、脈寬及相位構成，使用者可依實際需求做適當調整，且使用者可依實際需要使第一控制模組 2 決定第二控制模組 3 及該些第三控制模組(第三控制模組 4 或第三控制模組 5)被致能的數量。至於頻率及脈寬的計算方式，前述之第一控制訊號 CLK 的頻率值較佳係等於(該第二控制訊號 DOUT0 的脈寬)除以(該第一控制模組 2、該已致能的第二控制模組 3 及該些已致能的第三控制模組(第三控制模組 4 或第三控制模組 5)之數量總和)。當該第一控制訊號 CLK 下緣觸發且前一級控制訊號為高位準時，該級控制模組控制訊號會於該第一控制訊號 CLK 下一次之訊號上緣觸發高位準，而當該第一控制訊號 CLK 上緣觸發且前一級控制訊號為低位準時，該級控制模組控制訊號會於該第一控制訊號下一次之訊號下緣觸發為低位準，而這段時間即為各控制模組的責任週期 D，此即等同各級控制模組之控制訊號，或可藉由責任週期 D 以產生各級控制模組之控制訊號。觀察圖三及圖四可發現雖然觸發波形不同，但同樣均可產生相位延遲的效果，因此習知此領域技術的人士應可獲知經由本發明之協同運作電路，利用不同的觸發波形以達到相位延遲的結果，其亦屬於本發明保護之範疇。

圖五為本發明之協同運作電路另一較佳實施例之系統

方塊圖，請參考圖五，其係說明除前述實施例由第一控制模組 2 統一送出第一控制訊號 CLK 的傳送方式外，本發明亦可將該第一控制訊號 CLK 依序通過各控制模組的方式傳送，如圖五所示，其中該些第三控制模組中的第一級(第三控制模組 4)耦接於該第二控制模組 3，其餘之第三控制模組(第三控制模組 5)均與前一級之第三控制模組(第三控制模組 4)耦接，該第二控制模組 3 根據該第一控制訊號 CLK 產生發送至該第一級第三控制模組(第三控制模組 4)之第一控制訊號 CLK，其餘各級第三控制模組(第三控制模組 5)根據前一級第三控制模組(第三控制模組 4)之第一控制訊號 CLK 產生發送至後一級第三控制模組之第一控制訊號 CLK，各級控制模組並根據前一級控制模組所產生之第一控制訊號 CLK 及該第三控制訊號，產生該級控制模組的控制訊號，其中關於第一控制訊號 CLK 較佳係最後一級控制模組(第三控制模組 5)所產生之第一控制訊號可回授至該第一控制模組 2，而為了達成上述目的，較佳係該第二控制模組 3 及該些第三控制模組(第三控制模組 4 及第三控制模組 5)分別具有緩衝單元(圖未示)，例如緩衝器，以緩衝或加強該第一控制訊號 CLK。此方式可以調整各級之第一控制訊號 CLK 與控制訊號的傳輸延遲時間，以避免下一級控制模組誤判。該第二控制模組 3 根據該第一控制訊號 CLK 以及該第二控制訊號 DOUT0 使該第三控制訊號 DOUT1 的相位相較於該第二控制訊號 DOUT0 的相位產生一相位延遲，該些第三控制模組(第三控制模組 4 及第三控制模組 5)則根據通過前一級控制模組的第一控制訊號 CLK 以及前一級

之控制訊號使該級控制模組控制訊號的相位相較於前一級控制訊號的相位分別產生一相位延遲，其中該第二控制訊號 DOUT0、該第三控制訊號 DOUT1 以及控制訊號 DOUT2 及控制訊號 DOUT3 均係為一狀態控制訊號。一種較佳的實施方式為依使用者的需要將最後一級控制模組之控制訊號 DOUT3 回授至該第一控制模組 2，以判斷電路運作是否正常。一種較佳的判斷控制模組總數量及致能第二或第三控制模組的實施方式為該第一控制模組 2 產生一第四控制訊號 MODE，當該第四控制訊號 MODE 為一狀態時，該狀態係為判斷各控制模組總數量及致能第二控制模組 3 或第三控制模組的狀態。於此模式下，第一控制模組 2 僅需藉由傳送該第二控制訊號 DOUT0 之接腳送出一組參數(其可包含於該第二控制訊號 DOUT0 中)，並送出任一頻率之第一控制訊號 CLK 以觸發後級(第二控制模組 3 或第三控制模組)讀取並依序通過該些第三控制模組傳送該組參數，第一控制模組 2 即可藉由回授之控制訊號 DOUT3 判斷第二控制模組 3 及第三控制模組的數量，並透過送出該參數以致能或關閉第二控制模組 3 或該些第三控制模組(第三控制模組 4 或第三控制模組 5)，此時該第一控制訊號 CLK、該第二控制訊號 DOUT0 以及該第三控制訊號 DOUT1 分別具有各自的頻率、脈寬及相位構成，使用者可依實際需求做適當調整。而當該第四控制訊號 MODE 為另一狀態時，該第二控制模組 3 根據該第一控制訊號 CLK 以及該第二控制訊號 DOUT0 使該第三控制訊號 DOUT1 的相位相較於該第二控制訊號 DOUT0 的相位產生一相位延遲，該些第三控制模組(第三控

制模組 4 或第三控制模組 5) 根據通過前一級控制模組的第一控制訊號 CLK 以及前一級之控制訊號使該級控制模組控制訊號的相位相較於前一級控制訊號的相位分別產生一相位延遲，且使用者可依實際需要使第一控制模組 2 決定第二控制模組 3 及該些第三控制模組(第三控制模組 4 或第三控制模組 5) 被致能的數量。至於頻率及脈寬的計算方式，前述之第一控制訊號 CLK 的頻率值較佳係等於(該第二控制訊號 DOUT0 的頻率值)除以(該第一控制模組 2、該已致能的第二控制模組 3 及該些已致能的第三控制模組(第三控制模組 4 或第三控制模組 5)之數量總和)。至於觸發的方式，可參考前述圖三及圖四有關的說明，在此不再贅述。觀察圖五可發現雖然傳送第一控制訊號 CLK 的機制不同，但同樣均可產生使狀態控制訊號相位延遲的效果，因此習知此領域技術的人士應可獲知經由本發明之協同運作電路，利用不同的第一控制訊號 CLK 的傳送機制以達到相位延遲的結果，其亦屬於本發明保護之範疇。

圖六為本發明之協同運作電路另一較佳實施例之系統方塊圖，請參考圖六並配合圖五，其與圖五所述之實施例之差異為該第一控制模組 2 產生一第一控制訊號 CLK、一第二控制訊號(圖未示)以及一第五控制訊號 SDOUT0，其中該第五控制訊號 SDOUT0 係包含該第二控制訊號之脈寬與頻率資料，且該第一控制訊號 CLK 的頻率與脈寬係由該第二控制訊號的頻率與脈寬決定，第二控制模組 3 接收該第一控制訊號 CLK 並藉由該第一控制訊號 CLK 觸發該第二控制模組 3，以接收該第五控制訊號 SDOUT0 並產生後一級控

制模組 4 之第三控制訊號(圖未示)及第五控制訊號 SDOUT1，如有多級的情況則依此類推產生後續之第五控制訊號 SDOUT2，而最後一級之第五控制訊號 SDOUT3 再回授至該第一控制模組 2，而該第二控制訊號及該些第三控制訊號係產生於該些控制模組之中，亦不需前例所述之第四控制訊號 MODE。由於第五控制訊號 SDOUT0~SDOUT3 係傳送數位控制訊號，並以第一控制訊號 CLK 觸發下一級控制模組以接收訊號，再配合前述調變第一控制訊號 CLK 高/低位準時間之方式，即可將責任週期  $D$  加上一相位延遲傳遞到下一級控制模組。舉例來說：若責任週期  $D = T_{CLK} * n + m$ ，其中  $T_{CLK}$  為第一控制訊號 CLK 的週期，其決定方式如前所述，而“ $m$ ”即是第一控制訊號 CLK 的高(或低)位準時間寬度，並以第五控制訊號 SDOUT0 傳送“ $n$ ”以及致能模組數量  $E$  的資訊。第五控制訊號 SDOUT0 按第一控制訊號 CLK 頻率依序傳送一組檔頭，如 11111111，以利下一級控制模組辨識此為設定責任週期  $D$  之訊號，在檔頭後加上責任週期  $D$  高低位準的時間長度，譬如前述  $E=4$ ， $n=3$ ，可以送出 01000011 的訊號，前四位的 0100 代表  $E=4$ ，後四位的 0011 代表  $n=3$ ，下一級控制模組收到第一控制訊號 CLK，並以第一控制訊號 CLK 上緣觸發接收第五控制訊號 SDOUT0，即可算出該級控制模組的責任週期  $D$  應落後第二控制訊號一個第一控制訊號 CLK 週期開始，並在持續三個第一控制訊號 CLK 週期後，於第四個第一控制訊號 CLK 的下降緣結束(以四個控制模組為例)，並在下一次訊號上緣再開始下一個責任週期  $D$ ，其責任週期  $D$  同樣為  $D = T_{CLK} * n + m$ ，且保持

一個第一控制訊號 CLK 週期的固定相位差。第二控制模組同時將第五控制訊號 SDOUT1 與第五控制訊號 SDOUT0 保持落後一個第一控制訊號 CLK 週期，但內容相同傳送到下一級控制模組，其餘控制訊號均藉如此方式依序傳遞。每一級收到新的設定後就改為新的責任週期，如此亦可以達到將責任周期延遲一個相位差後傳遞到下一級控制模組的目的。上述數位資料設定方式，如檔頭或內容的編碼，可以有各種設定均可達同一目的，然其原理均相同，因此習知此領域技術的人士應可獲知經由本發明之協同運作電路，利用不同的第五控制訊號 SDOUT0~SDOUT3 的編碼機制以達到相位延遲的結果，其亦屬於本發明保護之範疇。

以上所述之各個較佳具體實施例，僅是為了方便說明本發明，而非限制本發明之專利範圍，其中舉例之電路結構、觸發波形亦或是使該第一控制訊號以及各狀態控制訊號產生時間上的延遲，使用者可依實際的產品需要而有不同但等效的調整，以獲得最佳的效果。

由以上所述可以清楚地明瞭，本發明係提供一種協同運作電路，不論在何種頻率操作時，仍可達到低耗能、低電磁干擾及各級電路運作頻率相同的效果。

以上已將本發明專利申請案做一詳細說明，惟以上所述者，僅為本發明專利申請案之較佳實施例而已，當不能限定本發明專利申請案實施之範圍。即凡依本發明專利申請案申請範圍所作之均等變化與修飾等，皆應仍屬本發明專利申請案之專利涵蓋範圍內。

**【圖式簡單說明】**

圖一為本發明之協同運作電路的較佳實施例之系統方塊圖。

圖二為本發明之協同運作電路另一較佳實施例之系統方塊圖。

圖三為根據圖二之較佳實施例之觸發波形圖。

圖四為根據圖二之較佳實施例之另一觸發波形圖。

圖五為本發明之協同運作電路另一較佳實施例之系統方塊圖。

圖六為本發明之協同運作電路另一較佳實施例之系統方塊圖。

**【主要元件符號說明】**

1 協同運作電路

2 第一控制模組

3 第二控制模組

4 第三控制模組

5 第三控制模組

CLK 第一控制訊號

D 責任週期

T 第二控制訊號之週期

DOUT0 第二控制訊號

DOUT1 第三控制訊號



DOUT2 第三控制訊號

DOUT3 第三控制訊號

MODE 第四控制訊號

SDOUT0 第五控制訊號

SDOUT1 第五控制訊號

SDOUT2 第五控制訊號

SDOUT3 第五控制訊號

### 五、中文發明摘要：

本發明揭露一種協同運作電路，其包括：一第一控制模組，其產生一第一控制訊號以及一第二控制訊號，且該第一控制訊號的脈寬係由該第二控制訊號的脈寬決定；以及一第二控制模組，耦接於該第一控制模組，其接收該第一控制訊號與該第二控制訊號，並根據該第一控制訊號及第二控制訊號產生一第三控制訊號；其中該第二控制模組根據該第一控制訊號以及該第二控制訊號使該第三控制訊號的頻率與責任週期與該第二控制訊號的頻率與責任週期相同，但相位相較於該第二控制訊號的相位產生一相位延遲。

### 六、英文發明摘要：

## 十、申請專利範圍：

### 1. 一種協同運作電路，包含有：

- 一 第一控制模組，其產生一第一控制訊號以及一第二控制訊號，且該第一控制訊號的頻率與脈寬係由該第二控制訊號的頻率與脈寬決定；以及
- 一 第二控制模組，耦接於該第一控制模組，其接收該第一控制訊號與該第二控制訊號，並根據該第一控制訊號及第二控制訊號產生一第三控制訊號；  
其中該第二控制模組根據該第一控制訊號以及該第二控制訊號使該第三控制訊號的相位相較於該第二控制訊號的相位產生一相位延遲。

- ### 2. 如申請專利範圍第 1 項所述之協同運作電路，更包含複數個第三控制模組，其接收該第一控制訊號，其中該些第三控制模組中的第一級耦接於該第二控制模組並接收該第一控制訊號及該第三控制訊號，藉此產生該級控制模組的第三控制訊號，其餘之第三控制模組均與前一級之第三控制模組耦接，並接收前一級的第三控制訊號及該第一控制訊號進而產生該級控制模組的第三控制訊號，該第二控制模組根據該第一控制訊號以及該第二控制訊號使該第三控制訊號的相位相較於該第二控制訊號的相位產生一相位延遲，該些第三控制模組根據該第一控制訊號以及前一級之第三控制訊號使該級控制模組的第三控制訊號之相位相較於前一級第三控制訊號的相位分別產生一相位延遲。

3. 如申請專利範圍第 1 項所述之協同運作電路，更包含複數個第三控制模組，其中該些第三控制模組中的第一級耦接於該第二控制模組，其餘之第三控制模組均與前一級之第三控制模組耦接，該第二控制模組根據該第一控制訊號產生發送至該第一級第三控制模組之第一控制訊號，其餘各級第三控制模組根據前一級第三控制模組之第一控制訊號產生發送至後一級第三控制模組之第一控制訊號，各級控制模組並根據前一級控制模組所產生之第一控制訊號及該第三控制訊號，產生該級控制模組的控制訊號，該第二控制模組根據該第一控制訊號以及該第二控制訊號使該第三控制訊號的相位相較於該第二控制訊號的相位產生一相位延遲，該些第三控制模組根據前一級控制模組所產生的第一控制訊號以及前一級之控制訊號使該級控制模組控制訊號的相位相較於前一級控制訊號的相位分別產生一相位延遲。
4. 如申請專利範圍第 1 項所述之協同運作電路，其中該第三控制訊號係回授至該第一控制模組，該第一控制模組產生一第四控制訊號，當該第四控制訊號為一狀態時，該第二控制模組根據該第一控制訊號以及該第二控制訊號使該第三控制訊號的相位相較於該第二控制訊號的相位產生一相位延遲，當該第四控制訊號為另一狀態時，此時該第一控制訊號、該第二控制訊號以及該第三控制訊號分別具有各自的頻率、脈寬及相位構成，該第一控制模組傳送該第一控制訊號以及該第二控制訊號至該第二控制模組，並根據該第二控制模組回授至該第

一控制模組的第三控制訊號判定該第二控制模組的數量。

5. 如申請專利範圍第 2 項所述之協同運作電路，其中最後一級控制模組之控制訊號係回授至該第一控制模組，該第一控制模組產生一第四控制訊號，當該模式設定訊號為一狀態時，該第二控制模組根據該第一控制訊號以及該第二控制訊號使該第三控制訊號的相位相較於該第二控制訊號的相位產生一相位延遲，該些第三控制模組根據該第一控制訊號以及前一級之控制訊號使該級控制訊號的相位相較於前一級控制訊號的相位分別產生一相位延遲，當該第四控制訊號為另一狀態時，此時該第一控制訊號、該第二控制訊號以及該第三控制訊號分別具有各自的頻率、脈寬及相位構成，該第一控制模組傳送該第一控制訊號至該第二控制模組並使該第一控制訊號依序通過該些第三控制模組，根據回授至該第一控制模組的最後一級控制訊號判定該第二控制模組及該些第三控制模組的總數量。
6. 如申請專利範圍第 3 項所述之協同運作電路，其中該最後一級控制模組之第一控制訊號及第三控制訊號係回授至該第一控制模組，該第一控制模組產生一第四控制訊號，當該第四控制訊號為另一狀態時，該第二控制模組根據該第一控制訊號以及該第二控制訊號，使該第三控制訊號的相位相較於該第二控制訊號的相位產生一相位延遲，該些第三控制模組根據通過前一級控制模組的第一控制訊號以及前一級之第三控制訊號使該級控

制模組控制訊號的相位相較於前一級第三控制訊號的相位分別產生一相位延遲，當該第四控制訊號為另一狀態時，此時該第一控制訊號、該第二控制訊號以及該第三控制訊號分別具有各自的頻率、脈寬及相位構成，該第一控制模組傳送該第一控制訊號至該第二控制模組並使該第一控制訊號依序通過該些第三控制模組，根據回授至該第一控制模組的最後一級控制模組之第三控制訊號判定該第二控制模組及該些第三控制模組的總數量。

7. 如申請專利範圍第 1 項所述之協同運作電路，其中該第一控制訊號的頻率值係等於(該第二控制訊號的頻率)乘以(該些已致能之協同運作控制模組之數量總和)，且該第一控制訊號的脈寬係等於該第二控制訊號脈寬除以該第一控制訊號週期的餘數。
8. 如申請專利範圍第 1 項所述之協同運作電路，其中當該第二控制訊號上緣觸發後，該第三控制訊號會於該第一控制訊號下一次之訊號上緣觸發為高位準，當該第二控制訊號下緣觸發後，該第三控制訊號會於該第一控制訊號下一次之訊號下緣觸發為高位準。
9. 如申請專利範圍第 2 項所述之協同運作電路，其中當該第二控制訊號上緣觸發後，各該第三控制訊號會於該第一控制訊號下一次之訊號上緣觸發為高位準，當該第二控制訊號下緣觸發後，該第三控制訊號會於該第一控制訊號下一次之訊號下緣觸發為高位準。
10. 如申請專利範圍第 3 項所述之協同運作電路，其中當

該第二控制訊號上緣觸發後，各該第三控制訊號會於該第一控制訊號下一次之訊號上緣觸發為高位準，當該第二控制訊號下緣觸發後，該第三控制訊號會於該第一控制訊號下一次之訊號下緣觸發為高位準。

11. 如申請專利範圍第 1 項所述之協同運作電路，其中當該第一控制訊號下緣觸發且該第二控制訊號為高位準時，該第三控制訊號會於該第一控制訊號下一次之訊號上緣觸發為高位準，當該第一控制訊號上緣觸發且該第二控制訊號為低位準時，該第三控制訊號會於該第一控制訊號下一次之下緣觸發為低位準。

12. 如申請專利範圍第 2 項所述之協同運作電路，其中當該第一控制訊號下緣觸發且前一級控制訊號為高位準時，該級控制模組之第三控制訊號會於該第一控制訊號下一次之訊號上緣觸發為高位準，當該第一控制訊號上緣觸發且前一級控制訊號為低位準時，該級控制模組之第三控制訊號會於該第一控制訊號下一次之下緣觸發為低位準。

13. 如申請專利範圍第 3 項所述之協同運作電路，其中當該第一控制訊號下緣觸發且前一級控制訊號為高位準時，該級控制模組之第三控制訊號會於該第一控制訊號下一次之訊號上緣觸發為高位準，當該第一控制訊號上緣觸發且前一級控制訊號為低位準時，該級控制模組之第三控制訊號會於該第一控制訊號下一次之下緣觸發為低位準。

14. 一種協同運作電路，包含有：

一 第一控制模組，其產生一第一控制訊號、一第二控制訊號以及一第五控制訊號，其中該第五控制訊號係包含該第二控制訊號之脈寬與頻率資料，且該第一控制訊號的頻率與脈寬係由該第二控制訊號的頻率與脈寬決定；以及

一 第二控制模組，耦接於該第一控制模組，其接收該第一控制訊號並藉由該第一控制訊號觸發該第二控制模組，以接收該第五控制訊號並產生後一級控制模組之第三控制訊號及第五控制訊號；

其中該第二控制模組根據該第一控制訊號以及該第二控制訊號使該第三控制訊號的相位相較於該第二控制訊號的相位產生一相位延遲。

15. 如申請專利範圍第 14 項所述之協同運作電路，更包含複數個第三控制模組，其接收該第一控制訊號，其中該些第三控制模組中的第一級耦接於該第二控制模組並接收該第一控制訊號及該第五控制訊號，藉此產生該級控制模組的第三控制訊號及第五控制訊號，其中該級控制模組的第五控制訊號係包含該第三控制訊號之脈寬與頻率資料，其餘之第三控制模組均與前一級之第三控制模組耦接，並接收前一級的第五控制訊號及該第一控制訊號進而產生該級控制模組的第三控制訊號及第五控制訊號，該第二控制模組根據該第一控制訊號以及該第二控制訊號使該第三控制訊號的相位相較於該第二控制訊號的相位產生一相位延遲，該些第三控制模組根據該第一控制訊號以及前一級之第三控制訊號使該



級控制模組的第三控制訊號之相位相較於前一級第三控制訊號的相位分別產生一相位延遲。

十一、圖式：

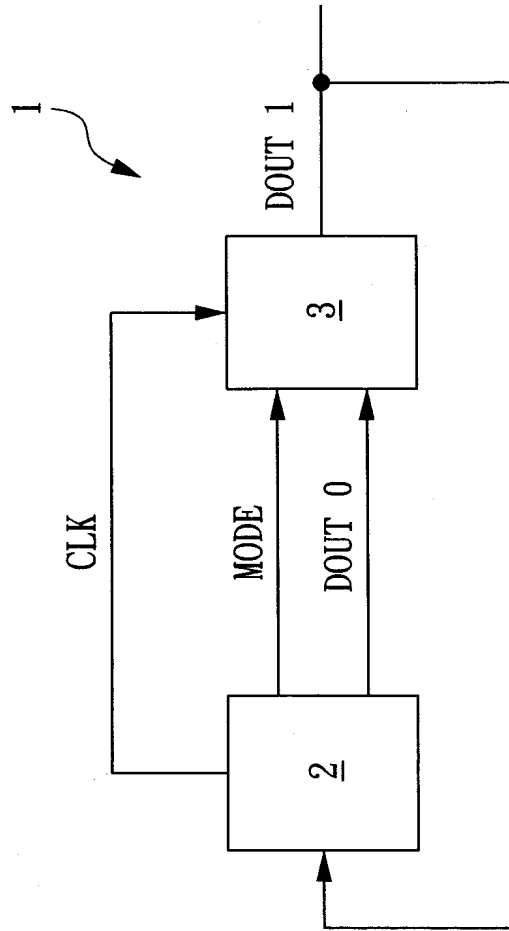
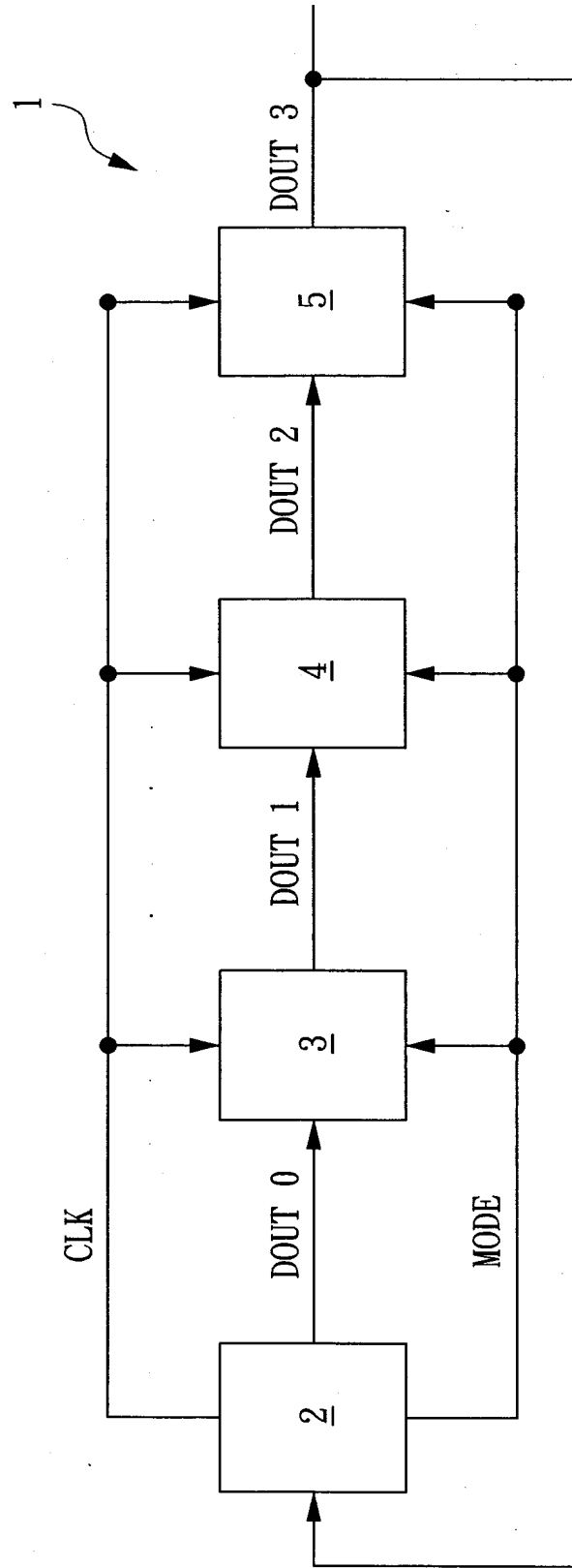
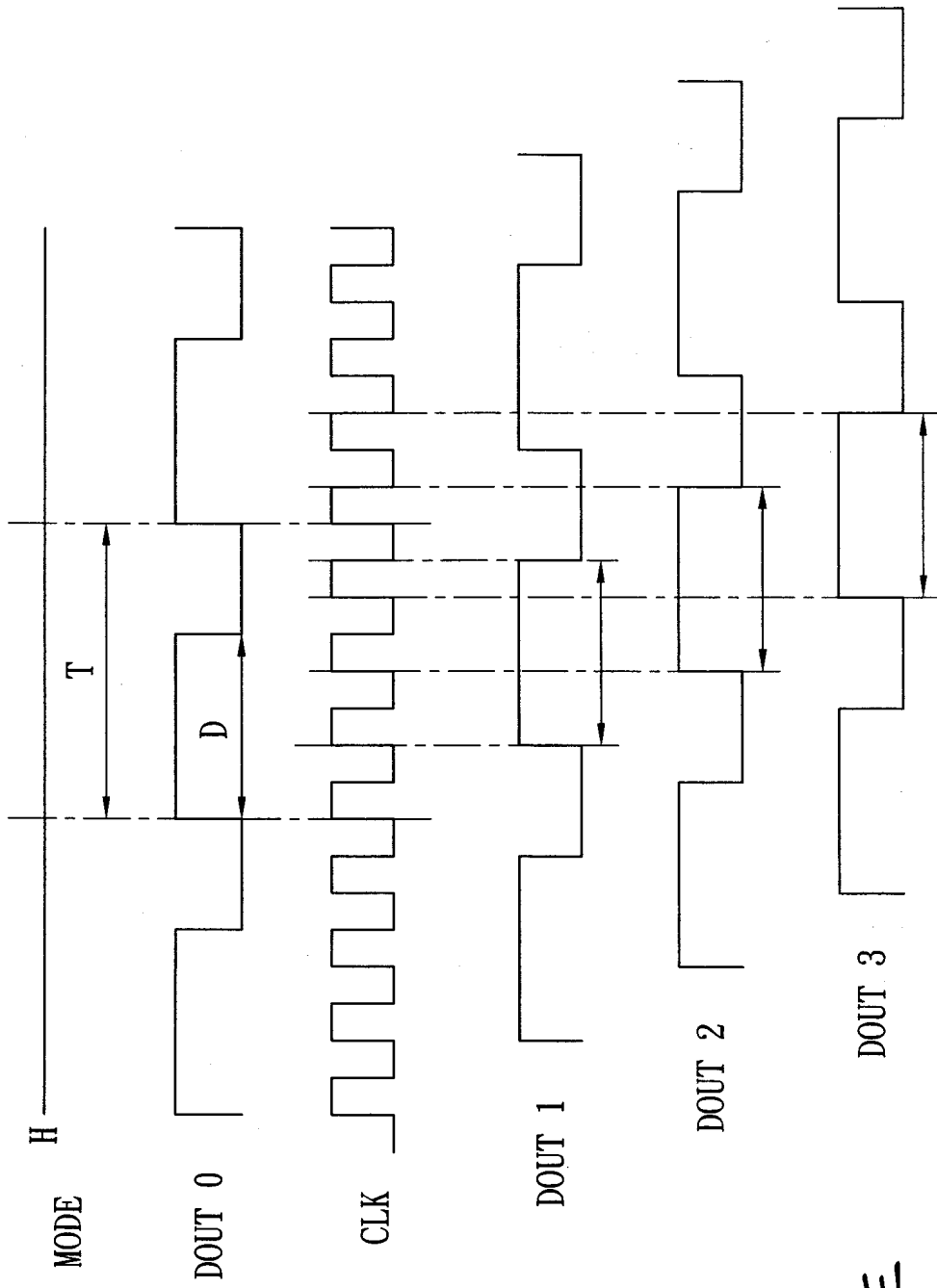


圖 1



圖二



圖三

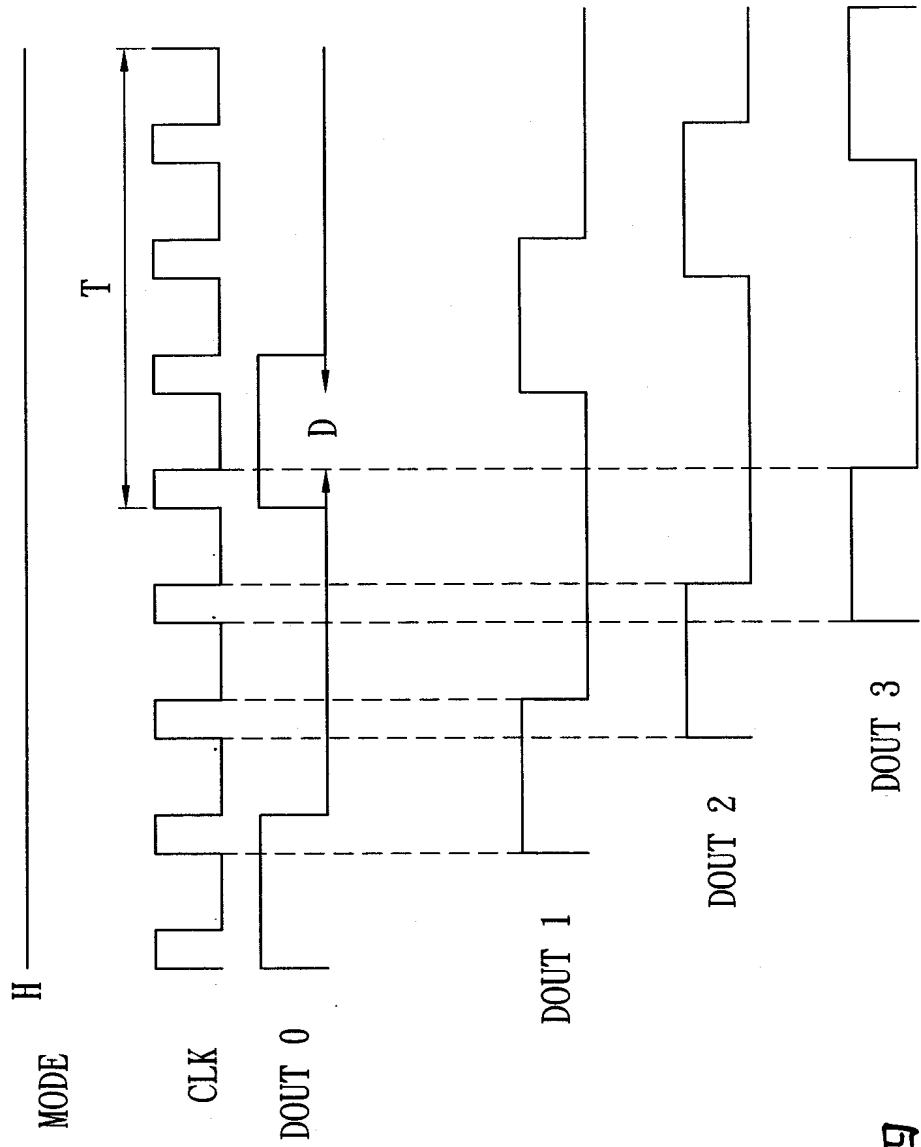
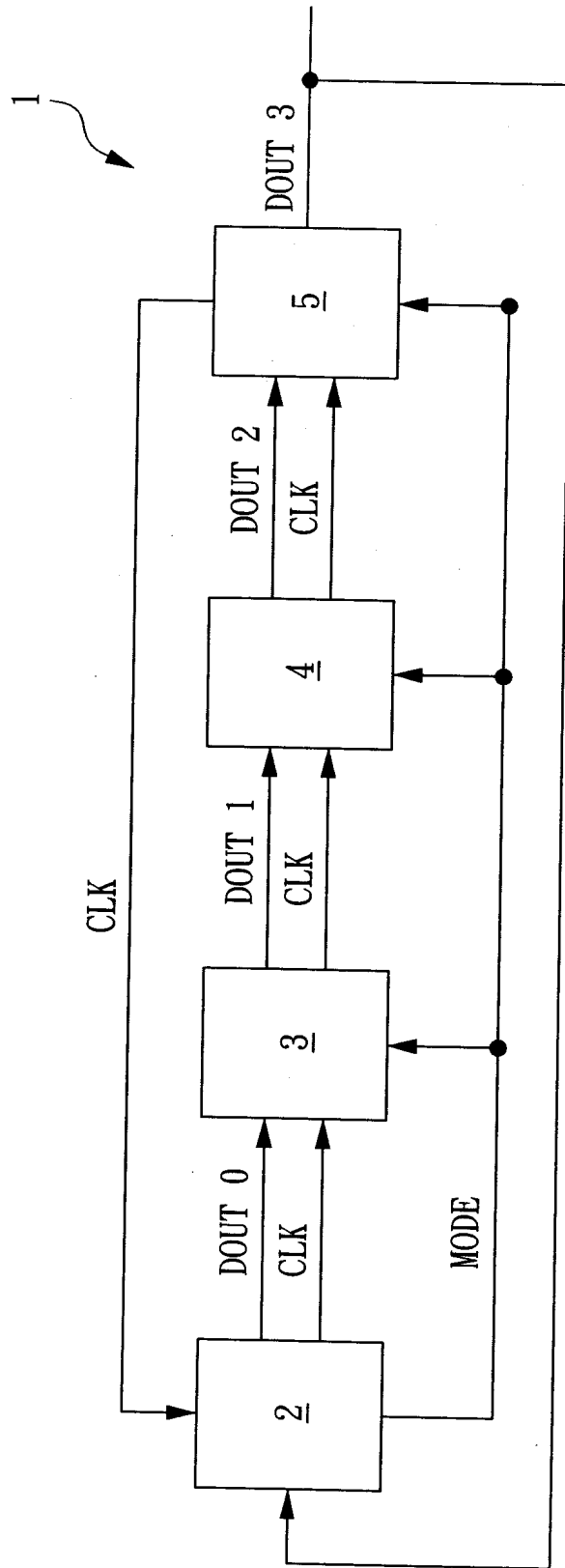


圖 四



圖五

**七、指定代表圖：**

(一)本案指定代表圖為：第(二)圖。

(二)本代表圖之元件符號簡單說明：

1 協同運作電路

2 第一控制模組

3 第二控制模組

4 第三控制模組

5 第三控制模組

CLK 第一控制訊號

DOUT0 第二控制訊號

DOUT1 第三控制訊號

MODE 第四控制訊號

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**