(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 27/00 (2006.01)

(45) 공고일자 2006년03월15일
(11) 등록번호 10-0559282
(24) 등록일자 2006년03월03일

(21) 출원번호 10-2002-0083931
(22) 출원일자 2002년12월26일

(65) 공개번호 10-2003-0055166
(43) 공개일자 2003년07월02일

(30) 우선권주장 JP-P-2001-00390993 2001년12월25일 일본(JP)
JP-P-2002-00072460 2002년03월15일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 스기마에기꾸꼬
일본가나가와껭요꼬하마시이소고꾸신스기따쪼8가부시끼가이샤도시바
요꼬하마퍼실리티어드미니스트레이션센터내

구쯔까께히로유끼
일본가나가와껭요꼬하마시이소고꾸신스기따쪼8가부시끼가이샤도시바
요꼬하마퍼실리티어드미니스트레이션센터내

이찌게마사유끼
일본가나가와껭요꼬하마시이소고꾸신스기따쪼8가부시끼가이샤도시바
요꼬하마퍼실리티어드미니스트레이션센터내

마쯔이미찌하루
일본가나가와껭요꼬하마시이소고꾸신스기따쪼8가부시끼가이샤도시바
요꼬하마퍼실리티어드미니스트레이션센터내

다께우찌유지
일본가나가와껭요꼬하마시이소고꾸신스기따쪼8가부시끼가이샤도시바
요꼬하마퍼실리티어드미니스트레이션센터내

시로따리이찌로
일본가나가와껭요꼬하마시이소고꾸신스기따쪼8가부시끼가이샤도시바
요꼬하마퍼실리티어드미니스트레이션센터내

(74) 대리인 주성민
구영창

심사관 : 조지은

(54) 반도체 장치 및 그 제조 방법

요약

반도체 장치는 메모리 셀 어레이부와 주변 회로부를 갖고, 메모리 셀 어레이부의 메모리 셀 게이트 전극 간은 질소 이외의 원소를 주성분으로 하는 제1 절연막으로 매립되고, 주변 회로부의 주변 게이트 전극 측벽은, 메모리 셀부와 동시에 형성된 제1 절연막을 라이너로 하고, 그 위에 형성된 질소를 주성분으로 하는 제2 절연막을 갖는다. 고신뢰성을 갖는 메모리 셀부를 형성할 때에 동시에 주변 회로를 효율적으로 형성할 수 있어, 주변 게이트의 게이트 오프셋을 회피할 수 있다.

대표도

도 4

색인어

반도체 기판, 주변 회로부, 게이트 오프셋, 옥시나이트라이드

명세서

도면의 간단한 설명

도 1은 일반적인 NAND형 EEPROM의 메모리 셀부의 레이아웃을 도시하는 평면도.

도 2는 종래의 NAND형 EEPROM의 단면도로, 도 1의 II-II선을 따라 취한 단면도.

도 3은 도 1의 III-III선을 따라 취한 단면도.

도 4는 본 발명의 제1 실시예에 따른 반도체 장치의 비트선을 따라 취한 단면도.

도 5는 제1 실시예의 반도체 장치의 변형예의 단면도.

도 6은 제1 실시예에 있어서 허용 가능한 절연막 내의 보이드(void)를 도시하는 단면도.

도 7은 제1 실시예에 따른 반도체 장치의 제조 방법을 도시하는 일 공정의 단면도.

도 8a는 도 7에 후속하는 공정을 도시하는 단면도이고, 도 8b는 제1 절연막(18)의 가공의 변형예.

도 9~도 12는 도 8a에 후속하는 공정을 단계적으로 도시하는 단면도.

도 13은 제2 실시예에 따른 반도체 장치의 비트선을 따라 취한 단면도.

도 14~도 17은 제2 실시예에 따른 반도체 장치의 제조 방법을 단계적으로 도시하는 단면도.

도 18은 제3 실시예에 따른 반도체 장치의 비트선을 따라 취한 단면도.

도 19~도 21은 제3 실시예에 따른 반도체 장치의 제조 방법을 단계적으로 도시하는 단면도.

도 22는 종래의 NAND형 EEPROM의 게이트 오프셋을 설명하기 위한 단면도.

도 23a는 제4 실시예에 따른 반도체 장치의 게이트 전극 형성까지의 공정을 설명하기 위한 비트선을 따라 취한 단면도이고, 도 23b는 제4 실시예의 반도체 장치의 워드선을 따른 단면도.

도 24~도 30은 도 23a에 후속하는 공정을 단계적으로 도시하는 단면도.

도 31~도 33은 제5 실시예에 따른 반도체 장치의 제조 공정을 단계적으로 도시하는 단면도.

도 34~도 38은 제6 실시예에 반도체 장치의 제조 공정을 단계적으로 도시하는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

1, 50 : 반도체 기판

2, 52 : 메모리 셀 게이트

3 : 선택 게이트

4, 72 : 주변 게이트

5, 57, 14, 111 : 게이트 절연막

6, 54, 58, 102, 112 : 부유 게이트 전극

7, 59 : 게이트 간 절연막

8 : 다결정 실리콘층

9 : WSi층

10, 60, 103, 114 : 제어 게이트 전극

11, 70 : 게이트 마스크재

12, 13, 73 : 소스·드레인 영역

15, 63 : 비트선 컨택트

16, 65 : 후산화막

17, 119 : 실리콘 산화막

18 : 제1 절연막

19 : 제2 절연막

20, 21 : 층간 절연막

22 : 비트선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

메모리 셀 게이트 및 선택 게이트를 갖는 메모리 셀부와 주변 게이트를 갖는 주변 회로부를 구비한 반도체 장치 및 그 제조 방법에 관한 것이다.

종래, 반도체 메모리로서 데이터의 기입·소거를 전기적으로 행하는 EEPROM(Electrically Erasable Programmable Read-Only Memory)이 알려져 있다. 이 EEPROM에는 상호 교차하는 행과 열의 교점에 각각 메모리 셀이 배치되어, 메모리 셀 어레이가 구성되어 있다. 메모리 셀에는, 통상 부유 게이트와 제어 게이트를 적층하여 이루어지는 적층 게이트 구조의 MOS 트랜지스터가 이용된다.

EEPROM에서는, 데이터 기입·소거의 동작 시에는 제어 게이트와 채널 사이에 강한 전계를 인가하고, 게이트 절연막에 터널 전류를 흘려서 부유 게이트로 전하를 주입 혹은 제거하는 동작이 행해진다. 이러한 동작으로는, 게이트 절연막 근방에 터널 전류가 흐르면, 게이트 절연막에 전기적 스트레스가 가해진다.

또한, 실리콘 질화막 내에도 전하에 대한 트랩이 다수 존재하는 것이 일반적으로 알려져 있다. 특히 소스·드레인 확산층의 표면을 덮는 실리콘 질화막 내의 트랩으로 전하가 포획되면, 기판 표면 부근의 확산층이 공핍화하고, 그 결과 소스·드레인의 기생 저항이 커지게 되어, 트랜지스터의 온 전류의 저하를 초래하는 경우가 있다.

또한, 게이트 절연막 근방의 실리콘 질화막 내에 전하가 포획되면, 트랜지스터의 임계값 전압의 변동, 실리콘 산화막의 내압 저하와 같은 전기 특성의 열화가 생긴다. 즉, 좁은 간격으로 배치된 메모리 셀 트랜지스터의 게이트 간에 유전율이 높은 재료가 존재하면, 전자가 트랩되어, 전압이 인가된 트랜지스터에 인접하는 트랜지스터까지 전압이 상승하는 문제가 있다.

특히, NAND 플래시 메모리에 있어서는, 메모리 셀 트랜지스터가 16개 또는 32개 등 다수개, 직렬로 접속되고 근접하여 배치되어 있다. 그 때문에, 미세화가 진전되면, 특정 메모리 셀 트랜지스터의 전압 변화가 인접하는 메모리 셀 트랜지스터로 영향을 미쳐, 오동작이나 신뢰성에 문제가 생길 가능성이 있다.

게이트 절연막 근방에 수소 함유량이 많은 막이 있으면, 수소가 실리콘 산화막 내에 유입되어 실리콘 기판과의 계면에 Si-H 결합 등의 구조 결함이 생기기 쉬워진다.

보다 상세하게는, SiO_2 결합의 일부가 H로 치환되고, 남은 결합이 트랩 단위로서 작용한다.

이 Si-H 결합이 전기적 스트레스 등에 의해 절단되면, 절단 부분이 전하에 대한 트랩으로서 작용한다. 특히 게이트 절연막으로서의 실리콘 산화막, 혹은 게이트 절연막 근방의 후산화막(post oxide) 등에 이 트랩이 발생하면, 트랜지스터의 임계값 전압의 변동, 실리콘 산화막 내압의 저하 등의 전기 특성의 열화의 원인으로 된다.

또한, 소스·드레인 확산층의 표면을 덮는 후산화막의 트랩으로 전하가 포획되면, 기판 표면 부근의 확산층이 공핍화하고, 그 결과 소스·드레인의 기생 저항이 커져서, 트랜지스터의 온 전류의 저하를 초래하는 경우가 있다.

이러한 문제는 게이트 길이가 0.2㎛ 정도보다도 작아지는 경우에 특히 현저해진다. 즉, 게이트 절연막 근방에서 트랩이 발생하고 있는 실리콘 산화막이나 후산화막, 실리콘 질화막의 게이트 전체에 차지하는 비율이 큰 경우에, 이 문제가 현저하게 된다.

컨택트 홀 형성의 선택 에칭을 위해 실리콘 질화막이 필요한 한편, 전기 특성에 대해서는 실리콘 질화막의 악영향이 보이기 때문에, 반도체 장치의 수율과 신뢰성의 향상을 양립시키는 것이 곤란하였다.

이러한 문제점에 대하여, 선 출원인 일본 특원 2001-75511호에서는, 게이트 가공 후의 컨택트홀 개구 시에 에칭 스토퍼가 되는 제2 절연막(실리콘 질화막) 아래에, 다른 제1 절연막을 형성하고 있다. 이 제1 절연막은 메모리 셀 트랜지스터의 게이트 전극 상호 간을 매립하도록 형성되어 있다. 이에 따라 제2 절연막 내 수소나 제2 절연막 내에 포획된 전하가 소자의 전기 특성에 미치는 영향을 경감할 수 있다.

특히 메모리 셀부에서는 게이트 전극 간이 제1 절연막으로 매립되어 있고, 제2 절연막은 트랜지스터의 게이트 절연막 근방에는 존재하지 않도록 되어 있다. 그 때문에 메모리 셀 트랜지스터의 특성 열화를 방지할 수 있어, 장치의 신뢰성 향상으로 이어진다. 즉, 메모리 셀 트랜지스터의 게이트 간에 실리콘 산화막을 배치함으로써, 게이트 간에서 고유전율의 막에 전하가 트랩되는 것을 방지할 수 있다.

발명이 이루고자 하는 기술적 과제

그러나 이러한 구조로는 동시에 형성되는 주변 트랜지스터에 대해서도 제1 절연막 및 제2 절연막이 형성되게 된다. 주변 트랜지스터는 메모리 셀과는 달리, 열 전자 대책으로서의 LDD 구조 혹은 불순물의 확산에 의한 쇼트 채널 효과의 억제 등을 행할 필요가 있다. 메모리 셀 트랜지스터 사이를 매립할 정도의 두꺼운 절연막이 주변 트랜지스터에도 형성되는 것은 상기한 요구에 대하여 문제가 된다. 즉, 게이트 측벽 절연막이 두꺼우면, 소스·드레인 확산층이 게이트로부터 오프셋되어, 주변 트랜지스터의 특성 열화가 초래된다.

이 때문에, 고신뢰성 메모리 셀과 동시에 효율적으로 주변 트랜지스터를 형성할 수 있어, 고신뢰성으로 고수율을 달성할 수 있는 반도체 장치의 구조 및 그 제조 방법의 실현이 기대된다.

발명의 구성 및 작용

반도체 기판과,

상기 반도체 기판 상에, 상호 이격하여 대략 직선형태로 배열된 복수의 제1 확산층과,

상기 복수의 제1 확산층 내의, 상호 인접하는 것 사이의 상기 반도체 기판 상에, 절연적으로(insulatively) 형성된 복수의 메모리 셀 게이트 전극과,

상기 복수의 제1 확산층의 단부에 이격하여 인접하고, 상기 반도체 기판 상에 형성된 제2 확산층과,

상기 제1 확산층의 상기 단부와 상기 제2 확산층 사이의 상기 반도체 기판 상에, 절연적으로 형성된 선택 게이트 전극과,

상기 복수의 메모리 셀 게이트 전극 및 상기 선택 게이트로부터 이격되고, 상기 반도체 기판 상에 절연적으로 형성된 주변 게이트 전극과,

상기 복수의 메모리 셀 게이트 전극 간, 상기 복수의 메모리 셀 게이트 전극의 상기 단부와 상기 선택 게이트 전극 사이를 매립하고, 상기 주변 게이트 전극의 측면 상에 대략 균일하게 형성된, 질소 이외를 주성분으로 하는 제1 절연막과,

적어도 상기 주변 전극의 상기 측면 상에 상기 제1 절연막을 개재하여 형성된, 상기 제1 절연막과는 다른 재료로 이루어지는 제2 절연막

을 포함한다.

반도체 기판과;

상기 반도체 기판 상에 형성된 제1과 제2 메모리 셀 어레이를 구비하며, 상기 제1과 제2 메모리 셀 어레이 각각은,

메모리 셀 게이트와 복수의 소스·드레인 확산층을 각각 갖는 복수의 메모리 셀 트랜지스터-상기 복수의 메모리 셀 트랜지스터는 인접하는 것으로 상기 소스·드레인 확산층의 한쪽을 공유하여 직렬로 접속됨-,

상기 복수의 메모리 셀 트랜지스터의 양단부의 상기 반도체 기판 상에 형성되는 복수의 선택 트랜지스터-상기 복수의 선택 트랜지스터는 상기 양단부의 상기 복수의 메모리 셀 트랜지스터와 상기 소스·드레인 확산층의 한쪽을 공유하고, 상기 반도체 기판 내에 형성된 제1 확산층을 다른 소스·드레인 확산층으로서 가짐-,

상기 제1 메모리 셀 어레이의 상기 선택 트랜지스터의 한쪽은 상기 제2 메모리 셀 어레이의 상기 선택 트랜지스터의 한쪽과 인접하여 상기 제1 확산층을 공유함-,

을 구비함-:

상기 제1과 상기 제2 메모리 셀 어레이로부터 이격되어, 상기 반도체 기판 상에 형성된 주변 트랜지스터를 갖는 주변 회로부-상기 주변 트랜지스터는 주변 게이트 전극을 가짐-;

상기 복수의 메모리 셀 트랜지스터 간을 매립하고, 상기 주변 게이트 전극의 측면에 대략 균일하게 형성된 제1 절연막-상기 제1 절연막은 상기 복수의 메모리 셀 게이트 간에서의 두께가 상기 주변 게이트의 상기 측벽에서의 두께보다도 두껍게 형성되며, 질소 이외를 주성분으로 함;- 및

적어도 상기 주변 게이트 전극의 상기 측면에 상기 제1 절연막을 개재하여 형성된 제2 절연막을 포함한다.

반도체 기판 상에 제1 게이트 전극층, 제1 절연막, 제2 게이트 전극층을 순차 형성하고,

상기 제2 게이트 전극층, 상기 제1 절연막 및 상기 제1 게이트 전극층을 리소그래피에 의해 가공하여, 메모리 셀부에서 복수의 메모리 셀 게이트 전극을 형성함과 동시에, 주변 회로부에 주변 게이트 전극을 형성하고,

상기 복수의 메모리 셀 게이트 전극 및 상기 주변 게이트 전극을 마스크로 하여, 상기 반도체 기판 상에 복수의 확산층을 형성하고,

상기 메모리 셀부의 상기 복수의 메모리 셀 게이트 전극 간을 매립하여, 그 상단이 간극없이 연속되도록 제2 절연막을 형성하고, 동시에 상기 주변 회로부의 상기 주변 게이트 전극의 측벽과 이 아래에 인접하는 반도체 기판을 따르도록 상기 제2 절연막을 형성하는 공정을 포함한다.

반도체 기판 상에, 복수의 메모리 셀 게이트 전극으로 이루어지는 제1 메모리 셀 게이트 어레이와, 상기 제1 메모리 셀 게이트 어레이 양단에 형성된 제1 선택 게이트쌍과, 복수의 메모리 셀 게이트 전극으로 이루어지는 제2 메모리 셀 게이트 어레이와, 상기 제2 메모리 셀 게이트 어레이 양단에 형성된 제2 선택 게이트쌍-상기 제2 선택 게이트쌍의 1개는 상기 제1 게이트쌍의 1개와 인접함-, 상기 제1 메모리 셀 게이트 어레이, 상기 제1 선택 게이트쌍, 상기 제2 메모리 셀 게이트 어레이, 및 상기 제2 선택 게이트쌍으로부터 이격하여, 복수의 주변 게이트를 형성하고,

상기 제1 메모리 셀 게이트 어레이, 상기 제1 선택 게이트쌍, 상기 제2 메모리 셀 게이트 어레이, 상기 제2 선택 게이트쌍, 및 상기 복수의 주변 게이트를 마스크로 하여 상기 반도체 기판 내에 복수의 확산층을 형성하고,

상기 반도체 기판 전면 상에 질소 이외의 것을 주성분으로 하는 제1 절연막을 형성하고, 상기 복수의 메모리 셀 게이트 전극 간, 상기 제1 메모리 셀 게이트 어레이의 양단부와 상기 제1 선택 게이트쌍 간, 상기 제2 메모리 셀 게이트 어레이의 양단부와 상기 제2 선택 게이트쌍 간을 매립하고, 또한 인접하는 상기 제1 선택 게이트쌍의 1개와 상기 제2 선택 게이트쌍의 1개의 대향하는 측면 및 그 사이의 상기 반도체 기판의 제1 영역 상, 상기 복수의 주변 게이트의 측면 및 이에 인접하는 상기 반도체 기판의 제2 영역 상을 따르도록 상기 제1 절연막을 형성하고,

상기 제1 및 제2 영역 상의 상기 제1 절연막을 제거하고,

노출된 전면에 질소를 주성분으로 포함하는 제2 절연막을 형성하고,

상기 제2 절연막 상에 상기 제2 절연막에 대한 에칭 선택비가 큰 층간 절연막을 형성하고,

상기 제1 영역 상의 상기 층간 절연막을 에칭하여, 컨택트홀을 형성하고,

상기 컨택트홀에 도전재를 매립하고, 상기 제1 영역에 형성된 상기 복수의 확산층의 1개와 접속하는 공정을 포함한다.

반도체 기판과,

상기 반도체 기판 상에, 서로 이격하여 대략 직선형태로 배열된 복수의 제1 확산층과,

상기 복수의 제1 확산층 내의, 상호 인접하는 것 사이의 상기 반도체 기판 상에 절연적으로 형성된 복수의 메모리 셀 게이트 전극과,

상기 복수의 제1 확산층의 단부에 이격하여 인접하고, 상기 반도체 기판 상에 형성된 제2 확산층과,

상기 제1 확산층의 상기 단부와 상기 제2 확산층 사이의 상기 반도체 기판 상에, 절연적으로 형성된 선택 게이트 전극과,

상기 복수의 메모리 셀 게이트 전극 및 상기 선택 게이트로부터 이격하고, 상기 반도체 기판 상에 절연적으로 형성된 주변 게이트 전극과,

상기 주변 게이트 전극을 사이에 두고 상기 반도체 기판에 형성된 한쌍의 제3 확산층과,

상기 복수의 메모리 셀 게이트 전극 간, 상기 복수의 메모리 셀 게이트 전극의 상기 단부와 상기 선택 게이트 전극 사이를 매립하고, 또한 상기 주변 게이트 전극의 측면 상에 형성된, 질소 이외를 주성분으로 하는 제1 절연막-상기 제1 절연막의 상기 메모리 셀 게이트 전극 간의 두께는 상기 주변 게이트 전극의 측면에 형성된 상기 제1 절연막의 두께보다 큼-,

적어도 상기 주변 전극의 상기 측면 상에 상기 제1 절연막을 개재하여 형성된, 상기 제1 절연막과는 다른 재료로 이루어지는 제2 절연막을 포함한다.

반도체 기판 상에 제1 게이트 전극층, 제1 절연막, 제2 게이트 전극층을 순차 형성하고,

상기 제2 게이트 전극층, 상기 제1 절연막 및 상기 제1 게이트 전극층을 리소그래피에 의해 가공하여, 메모리 셀부에서 복수의 메모리 셀 게이트 전극을 형성함과 동시에, 주변 회로부에 주변 게이트 전극을 형성하고,

상기 복수의 메모리 셀 게이트 전극을 마스크로 하여 상기 반도체 기판 상에 복수의 제1 확산층을 형성하고,

상기 메모리 셀부의 상기 복수의 메모리 셀 게이트 전극의 노출면 및 상기 복수의 메모리 셀 게이트 전극 간에 노출되는 상기 반도체 기판, 상기 주변 회로부의 상기 주변 게이트 전극의 노출면과 이 아래에 인접하는 상기 반도체 기판을 라이닝(lining)하도록 제2 절연막을 형성하고,

상기 제2 절연막 중, 상기 주변 게이트 전극을 덮는 부분을 제거하고,

상기 복수의 메모리 게이트 전극 간을 상기 제2 절연막을 개재하여 매립하고, 동시에 상기 주변 게이트 전극을 라이닝하도록 제3 절연막을 형성하고,

상기 주변 게이트 전극을 마스크로 하여 상기 반도체 기판에 한쌍의 제2 확산층을 형성하는 공정을 포함한다.

<실시예>

본 발명의 실시예의 설명에 앞서서, EEPROM의 구성과 문제점에 대하여 개설한다.

EEPROM 중에서도 대용량의 메모리를 위한 방식으로서 도 1～도 3에 도시한 바와 같은 NAND형 EEPROM이 알려져 있다. 이 EEPROM의 메모리 셀 어레이에서는, 복수의 메모리 셀 트랜지스터가 직렬로 접속되고, 한쪽 단부에 드레인측 선택 게이트 트랜지스터(53), 다른 쪽 단부에 소스측 선택 게이트 트랜지스터(54)가 접속된다. 반도체 기판(50) 상의 일부에는 웰(51)이 형성되고, 그 중에 스트라이프형상의 소자 영역(55)이 형성되어 있다. 각 소자 영역(55)은 소자 분리 영역(56)에 의해 분리되어 있다. 소자 영역(55) 상에, 적층 게이트 구조를 갖는 복수의 셀 트랜지스터가 열 형상으로 배치되며, 메모리 셀 영역 전체로서는, 셀 트랜지스터가 매트릭스 형태로 배치되어 있다. 메모리 셀 영역의 외측에는 주변 회로부(도 1에는 도시되지 않음)가 있으며, 그 영역에는 주변 게이트(72)가 형성되어 있다(도 2).

각 메모리 셀은 소자 영역(55) 상의 게이트 절연막(57) 상에 형성된 게이트 전극부(52)를 갖고 있고, 게이트 전극부(52)는 전하 축적층이 되는 부유 게이트 전극(58), 게이트 간 절연막(59), 제어 게이트 전극(60), 게이트 마스크재(70)가 적층되어 구성되어 있다. 또한 제어 게이트 전극(60)은 행 방향에서의 다른 게이트 전극과의 사이에서 각각 공유되어 워드선(61)으로 되어 있다.

각 메모리 셀의 소스와 드레인은 소자 영역 상에 형성된 확산층 영역(62)을 통하여 상호 직렬로 접속되어 있다. 복수의 메모리 셀이 직렬로 접속되어 1개의 NAND 셀(메모리 셀 유닛)이 형성되어 있다.

NAND 셀의 각 비트선 방향의 양단에는 드레인측 선택 게이트 트랜지스터(53) 및 소스측 선택 게이트 트랜지스터(54)가 접속되어 있다. 각각의 선택 게이트 트랜지스터는, 게이트 절연막(57) 상에 형성된 게이트 전극을 갖고, NAND셀과 확산층 영역(62)을 통하여 커플되어 있다.

또한, 선택 게이트 트랜지스터의 적층 게이트 구조는 메모리 셀 트랜지스터와 마찬가지이지만, 부유 게이트 전극과 제어 게이트 전극이 접속된 전극 구조를 갖고 있고, 일반적인 MOSFET와 마찬가지로 기능한다.

또한 드레인측 선택 게이트 트랜지스터의, NAND 셀과는 반대측의 소자 영역(55) 내에는 비트선 컨택트 확산층(62')이 형성되어 있다. 이 비트선 컨택트 확산층(62')에는 비트선 컨택트(63)가 접속되어 있다. 이 비트선 컨택트(63)는 비트선(64)에 접속되어 있다.

각 게이트(52, 53, 54) 표면 상에는, 후산화막(65)이 형성되어 있다. 이 후산화막(65) 표면 상에, 확산층(62) 상, 드레인 컨택트 확산층(62) 상, 및 소스측 선택 게이트(54)의 메모리 셀과 반대측의 소스 확산층(66) 상에는, 실리콘 질화막(67)이 형성되어 있다. 이 실리콘 질화막(67) 표면 상에는 층간 절연막(68)이 형성되어 있다.

여기서, 비트선 컨택트(63)는 게이트 절연막(57), 실리콘 질화막(67), 및 층간 절연막(68)을 관통하여 형성되어 있고, 비트선(64)은 층간 절연막(68) 상에 형성되어 있다. 비트선은 열 방향으로 인접하는 NAND 셀 사이에서 분리되어 형성되어 있다.

또한 소스측 선택 게이트 트랜지스터의, NAND 셀과는 반대측에 형성된 소스 확산층(66)은 소스선에 접속된다. 소스선은 게이트 전극보다도 상층에 형성되어 있고, 열 방향으로 인접하는 NAND 셀끼리 접속되어 있다.

주변 게이트(72)는 부유 게이트 전극(54)에 게이트 전위를 공급할 수 있게 되어 있으며, 일반적인 MOSFET와 마찬가지로 기능하고, 그 적층 게이트 구조는 메모리 셀 게이트(52)와 마찬가지이다. 주변 게이트 하측 단부 하의 웰(51) 내에는 소스·드레인 영역(73)이 형성되어 있다.

또한, 도 3에 도시된 바와 같이, 반도체 기판(50) 상의 웰(51) 내에 형성된 소자 영역(55)의 상면을 분단하도록 복수의 소자 분리 영역(56)이 형성되어 있다. 이 소자 분리 영역(56)으로 개재된 소자 영역(55) 전면에 비트선 컨택트(63)가 접속되어 있다. 소자 분리 영역(56) 상에는 실리콘 질화막(67)이 형성되며, 그 위에는 층간 절연막(68)이 형성되어 있다. 이들 층간 절연막(68), 실리콘 질화막(67)을 관통하여, 비트선 컨택트(63)가 형성되어 있다. 이 비트선 컨택트(63) 상에는 비트선 배선(64)이 형성되어 있다.

상기한 바와 같이, 종래의 반도체 장치에서는 게이트 전극의 표면 전체를 덮는 실리콘 질화막(67)이 형성되어 있다. 이 실리콘 질화막(67)이 필요한 이유를 이하에 진술한다.

도 1～도 3에 도시한 바와 같이, 비트선 컨택트(63)는 소자 영역(55)의 폭에 대하여 거의 여유가 없게 설계되어 있다. 즉, 소자 영역(55)의 폭 가득히 비트선 컨택트(63)가 형성되어 있다. 또, 소자 영역(55)의 폭보다도 비트선 컨택트(63)의 폭이 큰 경우도 있다. 이것은 셀 어레이의 면적을 될 수 있는 한 축소할 수 있도록 하기 위해서이다.

이러한 반도체 장치에서는, 컨택트의 형성 위치가 마스크의 미스 얼라이먼트 등의 이유에 의해, 소자 분리 영역 상에 걸리게 되는 경우에도 비트선 컨택트가 소자 분리 영역을 관통하지 않도록 해야 한다. 비트선 컨택트가 소자 분리 영역을 관통하게 되면, 그 부분이 접합 누설 전류의 원인이 되거나 소자 분리 내압의 저하의 원인이 되기도 하기 때문이다.

이러한 현상을 방지하기 위해서, 종래의 반도체 장치에서는 먼저 설명한 바와 같이, 실리콘 질화막(67)을 이용한다. 이것을 이용하여, 미세화된 반도체 장치에서, 컨택트 개구 시의 에칭에 실리콘 산화막과 실리콘 질화막의 선택성을 갖게 해 둠으로써, 위치 비정합이 생겨도, 에칭을 실리콘 질화막(67) 위에서 일단 멈출 수 있다.

실리콘 질화막(67) 위에 도달하는 컨택트홀을 개구한 후, 에칭의 조건을 전환하여 실리콘 질화막(67)을 에칭하고, 또한 조건을 전환하여 기판 상의 실리콘 산화막을 에칭함으로써, 소스·드레인 확산층 상의 컨택트홀(71)을 완전하게 개구한다.

이와 같이 하여 비트선 컨택트홀(71)을 개구함으로써, 소자 분리 영역(56)이 크게 에칭되는 것을 방지할 수 있고, 컨택트홀(71)이 소자 분리 영역(56)을 관통하게 되는 것을 방지하고 있다.

그리고, 상술한 바와 같이, 메모리 셀 영역 근처에 실리콘 질화막이 존재하면, 실리콘 질화막 내 트랩에 기인하여, 트랜지스터의 특성 열화나 실리콘 산화막의 내압 저하라는 문제가 생긴다.

본 발명은 상기한 문제에 감안하여 이루어진 것으로, 이하 도면을 참조하면서 본 발명의 실시예를 설명한다.

(제1 실시예)

도 4는 본 발명의 제1 실시예에 따른 반도체 장치(NAND 플래시 메모리)의 비트선을 따라 취한 부분 단면도로, 메모리 셀부(30)의 일부와 주변 회로부(31)의 일부가 도시되어 있다. 메모리 셀부(30)의 대략 중앙에 비트선 컨택트(15)가 형성되고, 비트선(22)에 접속되어 있다.

또, 메모리 셀 영역, 주변 회로에서의 트랜지스터의 기본적인 배열은 도 1과 도 3에 도시한 일반적인 NAND 플래시 메모리와 동일하기 때문에, 이들 도면도 참조하는 것으로 한다. 비트선을 따라 취한 단면의 기본 구성은 도 2의 종래 구조와 유사하지만, 본 실시예는 트랜지스터를 덮는 절연막의 구성에 특징이 있다.

도 4에서, 비트선 컨택트(15)의 좌측 방향 및 우측 방향에 메모리 셀 유닛이 배치되어 있다. 좌측 방향에는 선택 게이트(3)와 이에 나란히 있는 메모리 셀 게이트(2)가 3개 도시되어 있다. 도시는 되어 있지 않지만, 직렬 접속된 소정수의 메모리 셀 게이트의 단부에는, 다른 1개의 선택 게이트(3)가 접속되어 있다.

비트선 컨택트의 우측 방향에도 마찬가지의 메모리 셀 유닛이 형성되지만, 도 4에서는 선택 게이트(3)는 비트선(15)에 접속하는 1개, 메모리 셀 게이트(2)는 선택 게이트(3)에 인접하는 1개만이 도시되어 있다. 도시되지 않은 다른 1개의 선택 게이트의 구조는, 도 4의 중앙부에 도시되는 것과 동일하며, 비트선이 아니라 소스선에 이어지는 점이 다르다.

선택 게이트(3)로부터 이격하여, 반도체 기판(1) 상에 주변 회로부(31)의 주변 게이트(4)가 형성되어 있다.

각 메모리 셀 게이트(2)는 반도체 기판(1) 상의 게이트 절연막(5) 상에 형성된 적층 구조를 갖는다. 이 적층 구조는 게이트 절연막(5) 상에 아래로부터 위를 향하여, 전하 축적층이 되는 부유 게이트 전극(6), 게이트 간 절연막(7), 다결정 실리콘층(8)과 WSi층(9)으로 이루어지는 제어 게이트 전극(10), SiN층으로 이루어지는 게이트 마스크재(11)를 갖고 있다.

각 메모리 셀의 소스·드레인 영역(12)은 메모리 셀 게이트(2) 하측 단부의 반도체 기판(1) 내에 형성되어 있다. 동일 메모리 셀 유닛 내에서는 인접하는 메모리 셀 트랜지스터가 1개의 소스·드레인 영역(12)을 공유함으로써, 복수의 메모리 셀 트랜지스터가 직렬로 접속되어 있다. 즉, 복수의 메모리 셀이 직렬로 접속되어, 1개의 메모리 셀 어레이인 NAND셀(메모리 셀 유닛)이 형성되어 있다.

또한, 게이트 절연막(5)은 실리콘 산화막 또는 산화 질화막이며, 게이트 간 절연막(7)은 실리콘 질화막이 실리콘 산화막들 사이에 배치된 ONO 적층막(Oxide-Nitride-Oxide)이다.

또한 메모리 셀 어레이의 끝에는, 선택 게이트(3)가 게이트 절연막(5) 상에 형성되어 있다. 이 선택 게이트(3)는 메모리 셀 게이트(2)와 마찬가지의 적층 구조로 되어 있지만, 각층의 폭이 메모리 셀 게이트보다도 크게 형성되어 있다. 선택 게이트의 메모리 셀과 반대측의 반도체 기판 중에는 선택 트랜지스터의 소스·드레인 영역(13)이 형성되어 있고, 비트선 컨택트 확산층으로 되어 있다.

또한 메모리 셀부(30)와는 떨어져 있는 반도체 기판 상의 영역에 주변 회로부(31)가 형성되어 있고, 주변 트랜지스터가 형성되어 있다. 주변 트랜지스터에 있어서는 반도체 기판 상에 형성된 게이트 절연막(14) 상에 주변 게이트(4)가 형성되어 있다. 이 주변 게이트(4)는 메모리 셀 게이트(2)와 마찬가지의 적층 구조로 되어 있지만, 각 층의 폭이 메모리 셀 게이트(2)나 선택 게이트(3)보다도 크게 형성되어 있다.

또한, 선택 게이트(3) 및 주변 게이트(4)는 부유 게이트 전극(6)에 전위를 공급할 수 있게 되어 있고, 일반적인 MOSFET와 마찬가지로 기능한다. 이 경우, 도 5에 도시된 바와 같이 선택 게이트(3) 및 주변 게이트(4)에 있어서, 게이트 간 절연막(7)에는 개구(25)가 형성되며, 부유 게이트 전극(6), 다결정 실리콘층(8), 및 WSi층(9)이 전기적으로 접속되는 구조로 해도 된다.

메모리 셀 게이트(2), 선택 게이트(3), 주변 게이트(4)의 측면은 후산화막(16)으로 덮여 있다. 반도체 기판(1) 상에는 실리콘 산화막(17)이 형성되어 있고, 이 실리콘 산화막(17) 상에는 후산화막(16)이 형성되어 있다.

메모리 셀 트랜지스터의 측벽 및 상면 상, 및 선택 게이트의 한쪽 측면 및 주변 게이트의 측면 상에는 제1 절연막(18)이 형성되어 있다. 제1 절연막(18)의 두께는, 예를 들면 약 0.05㎛ 정도 이상이고, 질소를 주성분으로 함유하지 않는다. 제1 절

연막(18)은 메모리 셀 트랜지스터의 메모리 셀 게이트(2) 상호 간을 매립하도록 형성되어 있다. 제1 절연막(18)은 수소 함유량이 적고, 전하에 대한 트랩이 적은 것이 적합하다. 예를 들면, 실리콘 산화막이나 옥시나이트라이드막 등을 이용할 수 있다.

이 경우, 「매립한다」란, 완전하게 매립하는 것만을 의미하는 것은 아니고, 공극(cavity)을 포함하는 것도 의미한다. 내부에 보이드(void), 시임(seam) 등의 공극을 포함하고 있어도, 절연막으로서의 작용, 효과에 변함은 없다. 즉, 도 6에 도시된 바와 같이, 메모리 셀 게이트(2) 상호 간의 제1 절연막(18) 중에 공극(시임)(26)이 형성되어 있어도 된다. 이 경우, 공극(26)의 상단은 전부 제1 절연막(18)으로 막혀 있고, 공극(26)은 제1 절연막(18)으로부터 노출되지 않는 것이 필요하다.

이 경우, 게이트 전극끼리의 간격은, 예를 들면 약 0.2㎛ 정도, 게이트 폭은 약 0.2㎛ 정도, 높이는 약 0.6㎛ 정도이다. 게이트 전극 상호의 간격은 메모리 셀 게이트(2)끼리는 작고, 비트선 컨택트(15)를 사이에 둔 선택 게이트(3)끼리는 크게 되어 있다. 메모리 셀 게이트(2)끼리의 게이트 전극의 간격은 메모리 셀 어레이 전체 면적에 상당히 영향을 받기 때문에, 면적 축소를 위해 간격을 작게 하고 있다. 한편, 인접하는 메모리 셀 어레이의 선택 게이트 간은 비트선 컨택트가 형성되어 있기 때문에, 간격이 넓게 되어 있다.

선택 게이트(3)의 제1 절연막(18)이 형성되어 있지 않은 측면 및 주변 게이트(4)의 측면의 제1 절연막 상에는 제2 절연막(19)이 형성되어 있다. 제2 절연막(19)의 두께는, 예를 들면 약 0.02 내지 0.06㎛ 정도이고, 제2 절연막(19)은 질화물을 주성분으로 하고, 수소 공급 원인이 되기 때문에, 되도록이면 얇은 것이 바람직하다. 제2 절연막(19)은 제1 절연막(18)보다도 수소 함유량이 많고 전하에 대한 트랩이 많다.

주변 회로부(31)에 있어서, 이 제2 절연막(19) 상에는, 제1 층간 절연막(interlayer insulator)(20)이 형성되어 있다. 여기서, 제1 층간 절연막(20)의 두께는 약 0.1㎛~0.3㎛ 정도이다. 제1 층간 절연막(20)은 실리콘 산화막 혹은 실리콘 질화막으로 형성할 수 있다. 또한, 메모리 셀부(30)에 있어서, 제1 절연막(18) 상 및 주변 회로부의 제1 층간 절연막(20) 및 주변 게이트(4) 상에 제2 층간 절연막(21)이 형성되어 있다.

비트선 컨택트(15) 상에는 비트선(22)이 형성되어 있다. NAND셀의 트랜지스터의 개수가 16개부터 32개까지인 임의의 수의 메모리 셀 트랜지스터가 2개의 선택 게이트 사이에 개재하여 형성되어 있다. 또한, 메모리 셀 게이트 간 거리는 약 0.2㎛ 이하인 경우에, 본 실시예의 효과가 현저하다.

본 실시예에서는, 인접하는 선택 게이트(3)의 대향하는 측면에는, 컨택트 홀 개구 시에 에칭 스토퍼가 되는 제2 절연막(19)이 형성되어 있다. 또한, 메모리 셀 게이트(2) 사이의 간격은, 거리가 비교적 작기 때문에, 제1 절연막(18)에 의해 완전하게 매립되어 있다. 또한, 선택 게이트(3) 사이의 거리는 메모리 셀 게이트(2)끼리의 거리보다도 크고, 그 사이에 제1 절연막(18)은 형성되어 있지 않다.

주변 게이트(4)의 측벽 하의 반도체 기판(1) 내에는 저농도 소스·드레인 확산층(23)이 형성되며, 그 외측의 반도체 기판(1) 내에는 고농도 소스·드레인 확산층(24)이 형성되어 있다.

주변 게이트(4)에서는, 제1 절연막(18)을 제2 절연막(질화막)(19)의 하층에 형성하고 있다. 이에 따라, 제2 절연막(19) 내의 수소나 제2 절연막(19) 내에 포획된 전하가 트랜지스터 소자의 전기 특성에 미치는 영향을 경감할 수 있다.

즉, 본 실시예의 반도체 장치에 따르면, 컨택트홀 개구를 위한 에칭의 프로세스 마진을 향상시키면서, 트랜지스터의 임계값 전압의 변동이나 게이트 절연막에서의 내압의 저하 등의 전기 특성의 열화를 방지할 수 있다. 이 때문에, 고신뢰성으로 고수율의 반도체 장치 및 그 제조 방법을 제공할 수 있다.

특히, 메모리 셀 트랜지스터부에서는 게이트 전극 간이 제1 절연막(18)으로 매립되어 있고, 제2 절연막(19)은 메모리 셀 게이트(2)의 게이트 산화막(5)의 근방에는 존재하지 않도록 되어 있다. 그에 따라 전자 트랩 등에 의한 메모리 셀 트랜지스터의 특성 열화를 방지할 수 있어, 반도체 장치의 신뢰성 향상이 얻어진다.

또한, 컨택트 전극(15)을 형성하기 위한 에칭 시에는, 제2 절연막(질화막)(19)이 에칭 스토퍼로서 기능하기 때문에, 고신뢰성, 고수율이 얻어진다.

다음에, 본 실시예의 반도체 장치의 제조 방법을 설명한다. 우선, 도 7에 도시한 바와 같이, 반도체 기판(1) 상에 실리콘 산화막(17)을 형성하고, 순차적으로, 부유 게이트(6), 게이트 간 절연막(7), 다결정 실리콘층(8), WSi층(9), 게이트 마스크재(11)를 적층하고, 소정 형상으로 가공하여 메모리 셀 게이트(2), 선택 게이트(3) 및 주변 게이트(4)를 형성한다.

다음에, 게이트 가공 시의 손상을 회복하기 위한 후 산화를 행하여, 후산화막(16)을 적층 구조의 각 게이트 전극 주위에 형성한다. 다음에, 소스·드레인 영역(12), 비트선 컨택트 확산층이 되는 소스·드레인 영역(13) 및 주변 게이트(4)의 저농도 확산층(23)을 형성하기 위해서, 소정의 불순물을 이온 주입한다. 또한, 후 공정에서 행해지는 제1 절연막 형성 후 등이라도 상관없다.

다음에, 도 8a에 도시된 바와 같이, 제1 절연막(18)을, 노출한 부분 전면에 형성한다. 제1 절연막(18)은 메모리 셀 트랜지스터의 메모리 셀 게이트 전극(2)끼리의 사이를 완전하게 매립하고, 또한 선택 게이트(3)끼리의 사이는 완전하게는 매립하지 않는 막 두께로 형성한다.

또, 다른 방법으로서, 도 8b에 도시된 바와 같이, 층간 절연막(20)을 퇴적 후 메모리 셀 게이트(2), 선택 게이트(3) 및 주변 게이트(4) 상의 실리콘 질화막으로 이루어지는 게이트 마스크재(11) 상 표면을 노출할 때까지, 제1 절연막(18) 및 후산화막(16)을 CMP(chemical mechanical polishing)법으로 에칭하여, 제거하는 방법도 있다.

이 경우, 메모리 셀 게이트(2) 사이를 매립하고 있는 제1 절연막(18) 중에 공극이 있어도 문제는 발생하지 않는다.

이와 같이, 주변부의 트랜지스터의 주변 게이트(4)에 측벽 스페이서(18)를 형성하고, 메모리 셀부의 메모리 셀 게이트(2) 및 선택 게이트(3)에도 동일 재료로 측벽 스페이서(18)를 형성하여 간격을 매립한다. 이렇게 해서, 메모리 셀의 신뢰성을 향상하고, 후술하는 LDD(Lightly Doped Drain) 구조를 가능하게 한다.

다음에, 도 9에 도시된 바와 같이, 메모리 셀부(30)에 마스크재(33)를 피복하고, 주변 회로부(31)에 있어서 주변 게이트(4)의 상부에 형성된 제1 절연막(18)과 반도체 기판(1) 상면에 형성된 제1 절연막(18)을 RIE(reactive ion etching)로 제거한다. 이 때, 측벽 상부에서는 제1 절연막(18)에 테이퍼부(34)가 형성된다. 이 후, 마스크재(33)를 제거한다.

다음에, 주변 게이트(4) 주위의 제1 절연막(18)을 마스크로 하여 불순물을 반도체 기판(1) 내에 이온 주입하여, LDD 구조의 고농도 확산층(24)을 형성한다. 고농도 확산층(24)의 농도를 상당한 정도로 고농도화함으로써, 주변 트랜지스터의 고속 동작을 가능하게 할 수 있다.

또한, 고농도 확산층(24)의 형성과 동시에, 주변 게이트(4) 주위의 제1 절연막(18)을 마스크로 하여 불순물을 반도체 기판(1) 내에 비스듬하게 이온 주입하여, 주변 게이트(4) 하의 저농도 확산층(23)에 접하도록 반도체 기판(1) 내에 부분적으로 채널 불순물 영역(도시하지 않음)을 형성해도 된다. 이 채널 불순물 영역을 형성할 때에 주입하는 불순물 농도는 고농도 확산층(24) 형성용 불순물의 이온 농도보다는 낮은 농도로 하여 고농도 확산층(24)을 없애지 않도록 한다.

다음에, 도 10에 도시된 바와 같이, 메모리 셀부(30)의 선택 게이트(3)과 선택 게이트(3) 사이의 제1 절연막(18)을 마스크(도시되지 않음)를 이용하여 제거한다. 여기서, 선택 게이트(3) 상면에 형성된 제1 절연막(18)은 그 대부분이 제거되며, 메모리 셀 게이트(2)에 인접하는 쪽의 상면의 일부에만 잔존한다.

다음에, 도 11에 도시한 바와 같이, 노출면 위 전체에 제2 절연막(19)을 형성한다. 여기서, 제2 절연막(19)으로서는, 비트선 컨택트홀을 개구할 때의 에칭에 대하여 에칭내성을 갖는 막을 이용한다. 예를 들면, 컨택트홀이 형성되는 층간 절연막(후술하는 제1 층간 절연막(20))으로서 실리콘 산화막을 이용하는 경우에는, 제2 절연막(19)으로서는 실리콘 질화막 등을 이용한다.

다음에, 도 12에 도시한 바와 같이, 예를 들면 BPSG막, BSG막, TEOS막 등으로 이루어지는 제1 층간 절연막(20)을 퇴적한다. 이 후, 열 처리를 가하여 제1 층간 절연막(20)을 유동시키고, 제1 층간 절연막(20)을 CMP를 이용하여 평탄화하여, 선택 게이트(3) 사이 및 주변 게이트(4) 주위에 제1 층간 절연막(20)을 매립한다. CMP를 이용하는 경우에는, 제2 절연막(19)에 대하여 선택성이 있는 CMP를 이용하여, 제2 절연막(19) 상에서 연마를 스톱시키면 된다. 또한, 상술한 바와 같이 도 8b에 도시되는 방법을 채용해도 된다.

이 경우, 메모리 셀부(30)의 메모리 셀 게이트(2) 사이에는 제1 절연막(18)이 매립되고, 각각의 메모리 셀 유닛 끝에서는, 제1 절연막(18)이 존재하는 것이 필요하다. 단, 보이드(공극)가 생겨도 된다. 또한, 제1 절연막(18)의 최상부가 메모리 셀 게이트(2)의 마스크재(11)의 높이보다 낮은 위치까지 떨어져 있어도 상관없다. 혹은 메모리 셀 게이트(2) 사이의 제1 절연막(18)에 시임이 들어가 있어도 반도체 기판(1)에 시임이 접하지 않으면 문제는 없다.

다음에, 선택 게이트(3) 사이의 제1 층간 절연막(20)(도시되지 않음)을 제거하고, 비트선 컨택트용 컨택트홀을 개구한다. 제2 절연막(19) 위에 달하는 비트선 컨택트홀을 개구한 후, 제2 절연막(19) 및 제1 절연막(18) 및 게이트 산화막(5)을 에칭한다. 이에 따라, 비트선 컨택트 확산층(13) 위에 비트선 컨택트홀이 완전하게 개구한다.

다음에, 예를 들면 불순물이 도핑된 다결정 실리콘 등으로 이루어지는 도전재를 비트선 컨택트홀에 도 12에 도시한 바와 같이 매립하여, 비트선 컨택트(15)를 형성한다.

다음에, 도 4에 도시된 바와 같이, 제2 층간 절연막(21)을 노출면 상에 퇴적한다. 다음에, 주변부의 소스·드레인 확산층에 컨택트를 취하기 위한 컨택트홀(도시되지 않음)을 형성하고, 금속 혹은 저저항의 반도체 등의 컨택트 재료를 제2 층간 절연막(21) 상에 형성하고, 비트선(22)을 형성함과 함께 컨택트 홀을 매립하여, 비트선(22)에 접속하는 비트선 컨택트(15)를 형성하여, 반도체 장치를 얻는다.

또한, 변형예로서 다음과 같은 방법이어도 된다. 주변부의 소스·드레인 확산층에 컨택트를 취하기 위한 컨택트홀을 형성한다. 금속 혹은 저저항의 반도체 등의 컨택트 재료를 제2 층간 절연막(21) 상에 형성하여, 비트선 컨택트(15)와, 이 비트선 컨택트(15)에 접속하는 비트선(22)을 동시에 형성한다.

본 실시예에 따르면, 제1 층간 절연막(20)의 CMP에 의한 평탄화를 제2 절연막(19)으로 스톱시킴으로써, 그 후에 형성하는 층간 절연막(21)의 막 두께의 제어성을 향상시킬 수 있다. 혹은 각 게이트 상의 SiN 마스크재(11)에 대하여 선택성을 갖게 한 평탄화 방법에 의해서도, 마찬가지로 균일성이 취해진 층간 절연막 구조가 가능하게 된다.

이와 같이, 본 실시예에 따르면, NAND형 플래시 메모리에 있어서, 메모리 셀 게이트(2) 사이의 간격보다도 인접하는 선택 게이트(3) 사이의 간격이 넓어져 있다. 메모리 셀 게이트(2) 사이는 실리콘 산화막만으로 매립되어 있고, 선택 게이트(3) 사이의 대향하는 측벽에는 실리콘 질화막이 형성되어 있다. 메모리 셀 영역(30)의 상기 실리콘 산화막, 실리콘 질화막의 형성과 동시에, 주변 영역(31)의 주변 게이트(4)의 측벽에는 상기한 실리콘 산화막, 실리콘 질화막에 의한 보호막이 형성된다. 이와 같이, 메모리 셀의 고신뢰성, 고수율을 실현하는 프로세스를 실행 중에, 동시에 주변 트랜지스터를 효율적으로 형성하는 것이 가능해진다.

본 실시예에서는, 제1 층간 절연막(20)의 에칭에 대한 내성을 제2 절연막(19)이 가짐으로써, 컨택트홀 형성을 위한 에칭을 제2 절연막(19) 위에서 일단 멈출 수 있다.

또한, 제2 절연막(19)으로서 실리콘 질화막을 이용하는 경우, 제1 층간 절연막(20)에 포함되어 있는 붕소, 인, 탄소 등이 반도체 기판(1)으로 확산하는 것을 방지하는 역할도 갖게 할 수 있다. 이러한 불순물이 반도체 기판(1)으로 확산하면 소자 특성의 변동을 발생시키지만, 이들 실리콘 질화막 중에서의 확산 계수가 매우 작기 때문에, 실리콘 질화막에 의해 그 확산을 차단할 수 있다.

또한, 본 실시예에 따르면, 선택 게이트 간에 형성되는 비트선 컨택트의 에칭 시에, 실리콘 질화막이 스토퍼로서 기능하기 때문에, 고집적도의 반도체 장치에서, 높은 제어성으로 비트선 컨택트를 형성할 수 있고, 트랜지스터 특성에의 수소에 의한 악영향을 방지할 수 있다. 이 결과, 반도체 장치의 고신뢰성, 고수율을 실현할 수 있다.

또한, 메모리 셀 게이트(2) 사이에 실리콘 질화막이 형성되어 있지 않기 때문에, 실리콘 질화막 내에 전자가 트랩됨으로 인한 셀 특성의 변동을 방지할 수 있다. 또한, 메모리 셀 게이트(2) 사이에 실리콘 산화막만이 매립되기 때문에, 워드선 사이의 유전율이 저하하여, 셀 간섭을 저감하는 것이 가능해진다.

또, 게이트 전극은 4층 구조에 한정되는 것은 아니고, 3층 구조나 보다 많은 적층 구조라도 된다. 적어도 게이트 절연막 상에 부유 게이트가 형성되고, 그 위에 게이트 간 절연막이 형성되고, 그 위에 제어 게이트가 형성되어 있으면 된다. 또, 메모리 셀 게이트, 선택 게이트, 주변 게이트에서 각각의 게이트 절연막은 다른 두께로 형성되어도 된다. 특히 주변 게이트의 게이트 절연막의 두께를 다른 부분의 게이트 절연막보다도 두텁게 형성함으로써, 고내압 트랜지스터를 형성할 수 있다.

(제2 실시예)

제2 실시예의 반도체 장치는, 이하의 점을 제외하고는 제1 실시예와 마찬가지의 구성을 갖고 있다. 즉, 제1 절연막(18)의 형상, 및 선택 게이트(3)의 비트선 컨택트(15) 주위의 SiN층(11)의 구조가 제1 실시예의 그것과 다르다. 도 13에 도시된

바와 같이, 메모리 셀 게이트(2) 사이에 매립된 제1 절연막(18)의 상부는 V자형으로 제거되어 있다. 이 제거된 오목부 상에는 제2 절연막(19)이 동일하게 V자형으로 형성되어 있다. 이 제2 절연막(19) 상에는 제1 층간 절연막(20)이 그 상부가 평탄화되어 형성되어 있다.

또한, 메모리 셀 게이트(2) 및 선택 게이트(3) 상에는 제1 절연막(18)은 형성되지 않고, 이들 게이트 상에는 직접, 제2 층간 절연막(21)이 형성되어 있다. 또한, 선택 게이트(3)는 비트선 컨택트(15)에 대향하는 면에서, 최상층의 SiN층(11)의 상부가 테이퍼형상으로 일부 제거되어 있다. 이 때문에, 비트선 컨택트(15)는 게이트 마스크재인 SiN층(11)과 비교적 큰 면적으로 접촉하고 있다. 이와 같이 형성된 반도체 장치에서는, 제1 실시예와 마찬가지의 효과를 갖는다.

다음에, 본 실시예의 반도체 장치의 제조 방법을 설명한다. 우선, 제1 실시예와 마찬가지로, 도 7과 도 8a에 도시한 바와 같은 제조 공정이 실시된다. 그 후, 도 14에 도시된 바와 같이, 주변 회로부(31)에서 이방성 에칭(RIE)을 행하여, 주변 게이트(4) 상부에 형성된 제1 절연막(18)을 제거하고, 측벽 상부에 테이퍼부(34)를 형성한다. 동시에, 주변 회로부(31)의 반도체 기판(1) 상의 제1 절연막(18)도 제거한다.

이 때, 동시에 메모리 셀부(30)에서, 메모리 셀 게이트(2) 및 선택 게이트(3)의 상부에 형성된 제1 절연막(18)을 에칭하여, 메모리 셀 게이트(2) 상면으로부터 제1 절연막(18)을 제거하고, 측벽 상부에 테이퍼부(34)를 형성한다.

이 경우, 제1 절연막(18)은 수소 함유량이 적고, 전하에 대한 트랩이 적은 것이 적합하다. 예를 들면 실리콘 산화막이나 옥시나이트라이드막 등을 이용할 수 있다.

다음에, 도 15에 도시한 바와 같이, 메모리 셀부(30)에서, 선택 게이트(3) 사이의 컨택트 홀 형성부를 노출하는 도시되지 않은 에칭 마스크를 이용하는 리소그래피에 의해서, 인접하는 선택 게이트(3) 사이의 제1 절연막(18) 및 측벽의 후산화막(16)을 제거한다. 이에 따라, 확산층(13)의 상면 및 선택 게이트(3)의 측면을 선택 게이트(3) 사이에 노출시킨다. 이 때, 게이트 마스크재(11) 상의, 에칭 마스크로 덮히지 않은 후산화막(16)은 확산층(13)측에서 대부분이 제거된다.

다음에, 도 16에 도시한 바와 같이, 노출면 상의 전체에 대하여 실리콘 질화물을 주성분으로 하는 제2 절연막(19)을 형성한다.

다음에, 도 17에 도시한 바와 같이, 노출면에 BSG막, BPSG막, TEOS막 등을 이용하여, 선택 게이트(3) 사이나 주변 게이트(4) 주위를 매립하도록 제1 층간 절연막(20)을 형성한다. 다음에, 제2 절연막(19)을 마스크로 하여 CMP법 등에 의해 제1 층간 절연막(20)의 상부 표면을 평탄화하여, 선택 게이트(3), 주변 게이트(4) 상의 제2 절연막(19)의 상면 위치와 일치시켜, 노출면의 제2 절연막(19)을 제거한다. 그 후, 노출면 상에 BPSG막이나 TEOS막 등으로 이루어지는 제2 층간 절연막(21)을 형성한다.

다음에, 도 13에 도시한 바와 같이, 선택 게이트(3) 사이에 개구를 형성하고, 도전막을 매립하여, 비트선 컨택트(15)를 형성하고, 이 비트선 컨택트(15)에 접속하도록 제2 층간 절연막 상에 비트선(22)을 형성하여 반도체 장치를 완성시킨다.

본 실시예에서는, 메모리 셀부에 제1 실시예와 같이 마스크를 피복하여, 주변부를 에칭하는 공정이 없기 때문에, 제1 실시예에 비하여, 제조 공정수를 적게 할 수 있다.

(제3 실시예)

제3 실시예의 반도체 장치는, 이하의 점을 제외하고는 제1 실시예와 마찬가지 구성을 갖고 있다. 즉, 도 18에 도시한 바와 같이, 주변 게이트(4) 주위에 제1 절연막(18)이 형성되어 있지 않은 점에서, 제1 실시예의 반도체 장치의 구조와는 다르다. 제2 절연막(19)이 후산화막(16)을 개재하여 주변 게이트(4)의 측면에 균일한 두께로 형성되어 있다. 이와 같이 형성된 반도체 장치에서는, 제1 실시예와 마찬가지의 효과를 갖는다.

다음에, 본 실시예의 반도체 장치의 제조 방법을 설명한다. 제1 실시예와 마찬가지로, 도 7과 도 8에 도시한 바와 같은 제조 공정이 실시된다. 그 후, 도 19에 도시한 바와 같이, 주변 회로부(31)에서, 주변 게이트(4) 주위의 제1 절연막(18)을 전부 에칭하여, 주변 게이트(4)의 표면으로부터 제1 절연막(18)을 전부 제거한다. 동시에, 주변 회로부(31)의 반도체 기판(1) 상의 제1 절연막(18)을 제거한다.

동시에, 메모리 셀부(30)에서, 컨택트홀 형성 영역을 노출하는 도시하지 않은 에칭 마스크를 이용하여, 인접하는 선택 게이트(3) 사이에 대향하는 측면 및 선택 게이트(3) 상면의 일부로부터, 제1 절연막(18)을 에칭하고 제거한다. 또한, 확산층(13) 상의 제1 절연막(18)도 동시에 제거한다.

이 경우, 제1 절연막(18)은 수소 함유량이 적고, 전하에 대한 트랩이 적은 것이 적합하다. 예를 들면, 실리콘 산화막이나 옥시나이트라이드막 등을 이용할 수 있다.

다음에, 도 20에 도시한 바와 같이, 노출면 상의 전체에 대하여 실리콘 질화막을 주성분으로 하는 제2 절연막(19)을 형성한다.

다음에, 도 21에 도시한 바와 같이, 노출면에 TEOS막 등을 이용하여, 선택 게이트(3) 사이나 주변 게이트(4)의 주위를 매립하도록 제1 층간 절연막(20)을 형성한다. 그 후, 제2 절연막(19)을 마스크로 하여 CMP법 등으로 제1 층간 절연막(20)의 상면을 평탄화하여 주변 게이트(4) 혹은 메모리 셀 게이트(2) 상의 제2 절연막(19)의 상면 위치와 일치시키고, 노출면의 제2 절연막(19)을 제거하고, 노출면 상에 BPSG막 등으로 이루어지는 제2 층간 절연막(21)을 형성한다.

다음에, 도 18에 도시된 바와 같이, 선택 게이트(3) 사이에 컨택트홀을 개구하고 도전막을 매립하여 비트선 컨택트(15)를 형성한다. 이 비트선 컨택트(15)에 접속하도록 제2 층간 절연막 상에 비트선(22)을 형성하여 반도체 장치를 얻는다.

본 실시예에서는, 메모리 셀부에 제1 실시예와 같이 마스크를 피복하여 주변부를 에칭하는 공정이 없기 때문에, 제1 실시예에 비하여, 제조 공정수를 적게 할 수 있다.

이러한 구성으로 해도 제1 실시예와 마찬가지의 효과를 얻을 수 있다. 또, 본 실시예에서는, 주변부의 게이트 단부에 실리콘 질화막이 있음으로 특성의 열화가 생기는 경우가 있지만, 용도를 한정하여 사용하면 문제는 없다.

상기한 제1～제3 실시예에 있어서, 메모리 셀 게이트 전극(2) 사이에, 메모리 셀 게이트(2)와 선택 게이트 전극(3) 사이를 매립하는 제1 절연막(18)에는 공동(void)이 있어도 된다. 공동이 있어도, 제1 절연막(18)의 상면에 통하지 않으면, 제2 절연막(19)은 메모리 셀 트랜지스터의 게이트 전극 간에는 매립되지 않기 때문에, 본 발명의 효과는 변하지 않는다.

상기한 각 실시예에 따르면, 메모리 셀 트랜지스터의 게이트 간을 두꺼운 산화막으로 매립하여, 주변 회로부와 메모리 셀부를 동시에 제조함으로써, 제조 공정수를 줄일 수 있다.

본 발명은 상기 이외에도 적절하게 조합하여 실시할 수 있다. 즉, 직렬로 게이트가 복수개 접속되고, 게이트 간에 컨택트가 없는 구조이면 상기한 각 실시예를 적용할 수 있다. 특히, 소자 영역에 대하여 치수에 여유가 없는 컨택트를 갖고, 게이트 산화막에 터널 전류를 흘리는 등의 강한 전기적 스트레스가 인가되는 불휘발성 반도체 기억 장치에 대하여 상기 각 실시예는 적합하다.

그런데, NAND형 EEPROM의 대용량화와 고기능화에 따라 주변 회로 트랜지스터의 사이즈/스페이스가 작아지면, 주변 회로에서도 몇몇 문제가 생긴다. 구체적으로 도 22를 이용하여 설명한다. 도 22는 NAND 셀 유닛의 영역(셀 어레이 영역)과 주변 회로 영역에 대하여 공통 프로세스로 소자의 주요부가 형성된 상태를 나타내고 있다.

이 예에서는, NAND 셀 유닛의 메모리 셀 게이트부는, 실리콘 기판(101) 상에 터널 절연막을 개재하여 형성된 부유 게이트 전극(102)과, 이 위에 게이트 간 절연막을 개재하여 형성된 제어 게이트 전극(103)의 적층 구조를 갖는다. 이 게이트부는 게이트 마스크재인 실리콘 질화막(104)으로 덮힌 상태에서 패턴 형성된다.

주변 회로의 게이트 전극(105)은 메모리 셀 게이트의 부유 게이트 전극(102)과 제어 게이트 전극(103)을 구성하는 2층 다결정 실리콘막의 적층 구조를 갖고, 역시 실리콘 질화막(104)으로 덮힌 상태로 패터닝되어 있다.

메모리 셀 게이트측에서는 게이트부를 패터닝한 후, 이온 주입을 행하여 소스, 드레인 확산층(106)이 형성된다. 그 후 메모리 셀 게이트의 게이트부 간에는, 제1 절연막(실리콘 산화막)(107a)과 제2 절연막(실리콘 질화막 혹은 산화막)(107b)을 퇴적하여, 거의 평탄하게 매립된다. 주변 회로에서는 셀 어레이측과 동시에 제1 및 제2 절연막(107a, 107b)이 퇴적되고, 그 후에 이온 주입을 행함으로써 소스 및 드레인 확산층(108)이 형성된다.

그런데, 주변 회로의 게이트 전극 측면에 2층의 절연막(107a, 107b)이 형성된 상태에서는, 도 22에 도시한 바와 같이, 이온 주입에 의해 형성되는 소스, 드레인 확산층(108)이 게이트 전극(105)과 중첩되지 않는 오프셋·게이트가 될 가능성이 있다. 또한, 게이트 전극 간격이 작아지면, 그 게이트 전극 간에 확산층을 형성하는 것 자체가 어려워져서 배선 컨택트를 취하는 것은 더 어려워진다.

오프셋 게이트가 되지 않도록 하기 위해서는, 예를 들면 메모리 셀 게이트측의 소스, 드레인 확산층(106)과 마찬가지로, 제1과 제2 절연막(107a, 107b)을 퇴적하기 전에 이온 주입을 행하고, 저농도의 소스, 드레인 확산층을 형성하는 것을 고려한다. 그러나 그 경우에도, 고농도의 소스, 드레인 확산층을 형성하고, 배선 컨택트를 형성하는 것이 어려운 것에는 변함이 없다.

또한, 주변 회로의 트랜지스터는 소스, 드레인 확산층 형성 공정에 전후하여, 임계값 제어를 위해, 경사 이온 주입을 이용한 채널 이온 주입을 필요로 하는 경우가 있다. 게이트 전극 간격이 좁아지고, 또한 도 22에 도시한 바와 같이 2층의 절연막(107a, 107b)이 게이트 전극 측면에 형성된 상태에서는, 그와 같은 채널 이온 주입도 곤란하게 된다.

이후에 설명하는 제4～제6 실시예는 상기 사정을 고려하여 이루어진 것으로, 주변 회로 트랜지스터의 고밀도화를 가능하게 하는 반도체 장치와 그 제조 방법을 제공한다.

(제4 실시예)

도 23a 및 도 23b～도 30은 제4 실시예에 따른 반도체 장치(NAND형 EEPROM)의 제조 공정을 단계적으로 도시하는 단면도이다. 도 23b는 워드선을 따른 단면도이고, 그 밖의 도면은 비트선을 따라 취한 단면도이다.

도 23a와 도 23b는 실리콘 기판(110)에 NAND셀 유닛의 게이트부(메모리 셀의 게이트부 CG와, 비트선측 및 소스측의 선택 게이트 트랜지스터의 게이트부 SG)를 형성하고, 주변 회로 영역의 게이트 전극(117)을 형성한 상태를 나타내고 있다. NAND셀 유닛은, 예를 들면 16개 혹은 32개와 같은 다수의 메모리 셀과 그 양단부에 선택 게이트 트랜지스터를 갖지만, 도 23a에서는 그 비트선 컨택트부의 근방만을 도시하고 있다.

여기까지의 공정을 도 23a와 도 23b를 참조하여 구체적으로 설명한다. 실리콘 기판(110)에는, 필요한 웰(NAND 셀 어레이 영역에는 p형 웰, 주변 회로 영역에서는, p 채널, n 채널 영역에 각각 필요한 웰)을 형성하지만, 이것은 생략한다. 그리고 실리콘 기판(110)의 각 소자 영역에 필요한 게이트 절연막(111)(메모리 셀의 터널 절연막(111a), 선택 게이트 트랜지스터에 필요한 게이트 절연막(111b) 및 주변 회로 트랜지스터에 필요한 게이트 절연막(111c))을 형성한다.

그 후, 부유 게이트 전극(112)으로서 이용되는 제1층 다결정 실리콘막을 퇴적하고, 이 위에 도시하지 않은 실리콘 질화막 등의 마스크막을 형성하고, 이들을 에칭하여, 소자 분리홈(118)를 형성한다. 이에 따라, 제1층 다결정 실리콘막은 소자 형성 영역에만 남도록, 소자 분리 영역과 자기 정합되어 패턴 형성된다. 소자 분리홈(118)에는, 그 후 소자 분리 절연막으로서 실리콘 산화막(119)을 매립한다. 실리콘 산화막(119)의 매립 깊이는 그 상면이 부유 게이트 전극(112)이 되는 다결정 실리콘막의 막 두께 도중에 위치하도록 한다.

또한 제1층 다결정 실리콘막 상의 마스크를 제거한 후, 게이트 간 절연막이 되는 실리콘 산화막(O)/실리콘 질화막(N)/실리콘 산화막(O)의 적층 절연막(113)을 퇴적한다. 이 적층 절연막(113)의 불필요 부분, 즉 셀 어레이의 선택 게이트 트랜지스터 영역 및 주변 회로 트랜지스터 영역 부분을 에칭에 의해 제거한 후, 제어 게이트 전극(114)이 되는 제2층 결정 실리콘막과 실리콘 질화막(115)을 순차 퇴적한다. 또 적층 절연막(113)의 제거는, 주변 회로 영역에 대해서는 트랜지스터 영역에 한하지 않고 전면적으로 행해도 된다.

다음에 이들 실리콘 질화막(115)과 2층의 다결정 실리콘막을 RIE에 의해 순차 에칭하여 NAND 셀 유닛의 부유 게이트 전극(112)과 제어 게이트 전극(114)을 형성하고, 동시에 선택 게이트 트랜지스터의 게이트 전극(117a) 및 주변 회로 트랜지스터의 게이트 전극(117b)을 형성한다. 선택 게이트 트랜지스터의 게이트 전극(117a) 및 주변 회로의 게이트 전극(117b)은 2층 다결정 실리콘막의 적층 구조로서 형성된다.

선택 게이트 트랜지스터의 게이트 전극(117a) 및 메모리 셀의 제어 게이트 전극(114)은 도 23b에 도시한 바와 같이 연속적으로 패턴 형성되어, 각각 선택 게이트선 및 워드선이 된다. NAND 셀 어레이의 게이트부 SG, CG 및 주변 회로의 게이트 전극(117b)은 이상과 같이 실리콘 질화막(115)으로 덮힌 상태로 패터닝된다. 그 후, NAND 셀 어레이 영역에는 이온 주입을 행하여 소스 및 드레인 확산층(116)을 형성한다.

이 후, 도 24에 도시한 바와 같이, NAND 셀 어레이 및 주변 회로의 영역을 덮는 제1 실리콘 산화막(제1 절연막)(121a)을 퇴적한다. 그리고, 도 25에 도시한 바와 같이, 제1 실리콘 산화막(121a) 중 주변 회로 영역 부분을 에칭 제거한다.

계속해서, 도 26에 도시한 바와 같이, 비트선 컨택트부 및 공통 소스선 컨택트부를 제외하여, NAND 셀 어레이의 게이트부 SG, CG 사이를 평탄하게 매립하도록, 기판 전면을 덮는 제2 실리콘 산화막(제2 절연막)(121b)을 퇴적한다. 이 때 주변 회로 영역에서는, 제2 실리콘 산화막(121b)은 게이트 전극(117b)의 측면을 라이닝하지만 게이트 전극 간에는 간극이 확보된다.

이 후, 주변 회로 영역에서는 이온 주입을 행하여 소스, 드레인 확산층(122)을 형성한다. 도면에서는, n 채널 MOS 트랜지스터 영역만 나타내고 있지만, p 채널 영역에는 p형의 소스, 드레인 확산층을 형성한다. 또한, 이 확산층(122)의 형성에 전후하여, 각 트랜지스터의 임계값 조정을 위해, 경사 이온 주입에 의한 채널 이온 주입을 행한다.

종래와 같이, 주변 회로의 게이트 전극(105)의 측면을 2층의 절연막(107a, 107b)으로 덮은 경우(도 22)와 달리, 이 실시예에서는 1층의 실리콘 산화막(121b)으로 덮어져 있을 뿐이며, 오프셋이 없는 소스, 드레인 확산층(122)이 형성된다. 즉, 게이트 전극(105)의 측벽 바로 아래에 소스 혹은 드레인 확산층이 존재하는 구조가 확보된다.

또한, 게이트 전극(117b) 사이의 이온 주입 스페이스는 충분히 확보되어 있기 때문에, 임계값 제어를 위한 경사 이온 주입도 용이하다.

이상에 의해 소자 형성 공정이 끝난 후, 도 27에 도시한 바와 같이, 셀 어레이 영역의 비트선 컨택트부 및, 도면에는 도시하지 않은 소스선 컨택트부의 실리콘 산화막(121a, 121b)을 선택 에칭한다. 계속해서, 도 28에 도시한 바와 같이, 이들 컨택트부에 노출한 게이트 측벽을 보호하기 위해, 실리콘 질화막(123)을 퇴적한다. 실리콘 질화막(123)은 주변 회로의 실리콘 산화막(121b)으로 덮힌 게이트 전극(117b)의 측면에도 형성된다.

이 실리콘 질화막(123)에 의해 NAND 셀 어레이 및 주변 회로의 메탈 배선 컨택트의 공정에서 배선과 게이트의 단락을 확실하게 방지하는 것이 가능하게 된다. 또한, NAND 셀 어레이의 컨택트부에서는 2층의 실리콘 산화막(121a, 121b)을 제거하여 실리콘 질화막(123)을 형성하고 있기 때문에, 컨택트 직경을 크게 확보할 수 있다.

다음에, BPSG 등의 층간 절연막(124)을 퇴적하고, 도 29에 도시한 바와 같이, CMP 처리에 의해, 혹은 열 처리에 의한 유동화에 의해 평탄화를 행한다. 도 29에서는, CMP의 연마를 실리콘 질화막(115)이 노출할 때까지 행함으로써 얻어지는 상태를 나타내고 있다.

이 후는 통상의 공정에 따라서, 메탈 배선을 형성한다. 즉, 도 30에 도시한 바와 같이, 층간 절연막(125)을 퇴적하고, 이 위에 메모리 셀 어레이 영역 및 주변 회로 영역의 메탈 배선(127a, 127b)을 형성한다. 도면의 예에서는, 배선 컨택트부의 층간 절연막(125)에는 확산층에 접속되는 컨택트 플러그(126a, 126b)가 매립되고, 메탈 배선(127a, 127b)은 상감(damascene)법으로 층간 절연막(125)에 매립되어, 컨택트 플러그(126a, 126b)를 통하여 확산층에 접속되는 경우를 나타내고 있다.

본 실시예에 따르면, NAND 셀 어레이의 게이트부 사이를 제1 및 제2 실리콘 산화막으로 평탄하게 매립하는 공정으로, 주변 회로 영역에서는 제1 실리콘 산화막을 제거하고 있다. 따라서, 도 26에 도시한 바와 같이, 주변 회로의 소스, 드레인 확산층 형성 공정에서는, 게이트 전극(117b)의 측벽 절연막이 그만큼 두텁게 형성되지 않기 때문에, 게이트 전극 피치가 좁아져도, 오프셋이 없는 소스, 드레인 확산층(122)을 형성하는 것이 가능하게 된다. 또한 소스, 드레인 확산층(122)에 대한 컨택트도 확실하게 취할 수 있다.

또, 주변 회로의 소스, 드레인 확산층(122)을 형성하는 이온 주입 공정은, 도 28에 도시한 바와 같이, 게이트 전극(117b)의 측벽에 실리콘 질화막(123)을 형성한 후에 행할 수도 있다. 이 경우, 실리콘 질화막(123)과 실리콘 산화막(121b)의 두께에 따라서는, 게이트 오프셋이 될 가능성이 있지만, 이것을 피하기 위해서는 예를 들면, 메모리 셀 어레이에 소스, 드레인 확산층을 형성하는 공정 전후에, 도 23a의 단계에서 주변 회로에 대해서도 저농도의 소스, 드레인 확산층을 형성하면 된다. 그리고, 도 28의 단계에서의 이온 주입을 고농도로 하면, 주변 회로 트랜지스터는 LDD 구조가 된다.

본 실시예에서는, 제1 및 제2 절연막으로서 실리콘 산화막을 사용하였지만, 제1 실시예와 마찬가지로, 옥시나이트라이드막 등도 사용할 수 있다.

(제5 실시예)

제4 실시예에서는, 도 28의 공정으로 형성한 실리콘 질화막(123)이 배선 컨택트부(특정한 확산층(116, 122) 상부)의 바닥부에 그대로 남게 된다. 따라서, 컨택트홀 형성 시에 실리콘 산화막 에칭과 실리콘 질화막 에칭을 행하지 않으면 안된다. 특히 주변 회로 영역에서는, 컨택트부의 바닥부에 실리콘 산화막(121b)과 실리콘 질화막(123)의 적층막이 있기 때문에, 그 후 층간 절연막을 형성한 후의 컨택트홀 형성에는 실리콘 산화막, 실리콘 질화막, 실리콘 산화막을 순차 에칭할 필요가 있다. 따라서, 컨택트가 미세 치수로 깊어지면, 에칭 나머지 등에 의해 저저항의 배선 컨택트가 취해지지 않게 될 가능성이 있다. 또한, 도 28의 상태에서 주변 회로의 확산층 형성을 행하는 경우에는, 실리콘 산화막(121b)과 실리콘 질화막(123)의 적층막을 통해서 이온 주입해야 하고, 이온 주입 조건이 엄격해진다.

이들 난점을 해소하기 위해서는, 도 28에서 형성한 실리콘 질화막(123)을, 각 게이트부 측벽에만 남기고 제거하도록 하면 된다. 제5 실시예는 그와 같은 제조 공정을 갖고, 도 31～도 33에 도시한다. 도 23a 및 도 23b～도 28까지는 제4 실시예와 마찬가지이다. 이 후, 실리콘 질화막(123)을 RIE에 의해 에칭하여, 도 31에 도시한 바와 같이, 메모리 셀 어레이의 컨택트부 및 주변 회로 영역의 게이트 전극 측벽에만 남긴다.

이하, 제5 실시예와 마찬가지로 하여, 도 32에 도시한 바와 같이 층간 절연막(124)을 퇴적하고 평탄화한다. 또한, 도 33에 도시한 바와 같이, 층간 절연막(125)을 퇴적하고, 메탈 배선(127a, 127b)을 형성한다.

본 실시예에 따르면, 메모리 셀 어레이의 배선 컨택트부 및 주변 회로 영역의 확산층 상부에 실리콘 질화막이 없는 상태로 되어, 컨택트 형성이 용이해진다. 또한, 도 31의 상태에서 이온 주입을 행하면, 주변 회로의 확산층 형성도 용이하게 된다.

(제6 실시예)

제6 실시예에서는, NAND 셀 어레이의 영역이 실리콘 질화막으로 완전하게 덮히도록 한 실시예를 설명한다. 우선, 제4 실시예에서 설명한 도 24～도 26과 동일한 공정을 실시한다. 즉, 제4 실시예와 마찬가지로, NAND 셀 어레이 영역은 2층의 실리콘 산화막으로 덮고, 주변 회로 영역은 2층의 실리콘 산화막 중 제2 실리콘 산화막만으로 덮은 상태를 얻는다. 이 후, 실리콘 산화막을 RIE에 의해 에칭하여, 도 34에 도시한 바와 같이, 실리콘 질화막(115)을 노출시킨다. 이 때, 메모리 셀 어레이의 게이트부 사이에는, 2층의 실리콘 산화막(121a, 121b)의 오목부가 형성된다. 도면에서는, V자형의 오목부가 형성되는 상태를 도시하고 있지만, 에칭 조건에 따라서는 U자형의 오목부가 된다. NAND 셀 어레이의 컨택트부 및 주변 회로의 게이트 전극에서는 측벽에만 실리콘 산화막이 형성된 상태가 된다.

이하, 제4 실시예와 마찬가지의 공정을 거친다. 즉, 도 35에 도시한 바와 같이, 메모리 셀 어레이 영역의 비트선 컨택트부, 및 도면에서는 도시하지 않은 소스선 컨택트부의 실리콘 산화막(121a, 121b)을 선택 에칭한다. 계속해서, 도 36에 도시한 바와 같이, 이들 컨택트부에 노출한 게이트 측벽을 보호하기 위해 실리콘 질화막(123)을 퇴적한다.

다음에, 도 37에 도시한 바와 같이, BPSG 등의 층간 절연막(124)을 퇴적하고, CMP 처리에 의해 혹은 열 처리에 의한 유동화에 의해 표면의 평탄화를 행한다. 도 37에서는 CMP의 연마를 실리콘 질화막(115)이 노출할 때까지 행함으로써 얻어지는 상태를 나타내고 있다.

이 상태에서는, NAND 셀 어레이의 산화막 에칭에 의해 형성된 오목부에 실리콘 질화막(123)이 매립되어 있기 때문에, NAND 셀 어레이 전체가 실리콘 질화막(115, 123)에 의해 완전히 덮힌다.

이 후에는 통상의 공정에 따라서, 메탈 배선을 형성한다. 즉, 도 38에 도시한 바와 같이, 층간 절연막(125)을 퇴적하고, 이 위에 셀 어레이 영역 및 주변 회로 영역의 메탈 배선(127a, 127b)을 형성한다. 도면의 예에서는, 배선 컨택트부의 층간 절연막(125)에는 확산층에 접속되는 컨택트 플러그(126a, 126b)가 매립되며, 메탈 배선(127a, 127b)은 상감법으로 층간 절연막(25)에 매립되고, 컨택트 플러그(126a, 126b)를 통하여 확산층에 접속되는 경우를 나타내고 있다.

발명의 효과

이상과 같이 본 실시예에 따르면, 제4 실시예의 효과 외에, NAND 셀 어레이 영역이 실리콘 질화막으로 완전하게 덮히기 때문에, 상부로부터의 메모리 셀 영역으로의 수소 등의 불순물 확산이 억제되어, 메모리 셀 특성의 열화가 억제된다고 는 효과가 얻어진다.

이상 진술한 바와 같이, 제4～제6 실시예에 따르면, 메모리 셀 유닛과 대략 공통의 프로세스로 형성되는 주변 회로 트랜지스터를, 그 성능을 손상시키지 않고, 미소 간격으로 형성하는 것이 가능하게 된다.

(57) 청구의 범위

청구항 1.

반도체 기판과,

상기 반도체 기판 상에, 상호 이격하여 대략 직선 형태로 배열된 복수의 제1 확산층과,

상기 복수의 제1 확산층 내의, 상호 인접하는 것 사이의 상기 반도체 기판 상에, 절연적으로(insulatively) 형성된 복수의 메모리 셀 게이트 전극과,

상기 복수의 제1 확산층의 단부에 이격하여 인접하고, 상기 반도체 기판 상에 형성된 제2 확산층과,

상기 제1 확산층의 상기 단부와 상기 제2 확산층 사이의 상기 반도체 기판 상에, 절연적으로 형성된 선택 게이트 전극과,

상기 복수의 메모리 셀 게이트 전극 및 상기 선택 게이트 전극으로부터 이격되고, 상기 반도체 기판 상에 절연적으로 형성된 주변 게이트 전극과,

상기 복수의 메모리 셀 게이트 전극 간, 상기 복수의 메모리 셀 게이트 전극의 상기 단부와 상기 선택 게이트 전극 간을 매립하고, 상기 주변 게이트 전극의 측면 상에 대략 균일하게(uniformly) 형성된, 질소 이외를 주성분으로 하는 제1 절연막과,

적어도 상기 주변 게이트 전극의 상기 측면 상에 상기 제1 절연막을 개재하여 형성되고, 상기 제1 절연막과는 다른 재료로 이루어지는 제2 절연막

을 포함하는 반도체 장치.

청구항 2.

제1항에 있어서,

상기 복수의 메모리 셀 게이트 전극, 상기 선택 게이트 전극, 상기 주변 게이트 전극, 상기 제1 절연막, 상기 제2 절연막 위를 덮도록 형성되고, 상기 제2 절연막과는 다른 재료로 이루어지는 층간 절연막과,

상기 층간 절연막을 관통하고, 상기 선택 게이트 전극을 따라 형성되고, 상기 제2 확산층에 접속되는 컨택트 전극 -상기 컨택트 전극은 상기 제2 절연막을 개재하여 상기 선택 게이트 전극에 인접함-

을 더 포함하는 반도체 장치.

청구항 3.

제1항에 있어서,

상기 제1 절연막에 함유되는 수소의 밀도는 상기 제2 절연막에 함유되는 수소의 밀도보다도 작은 반도체 장치.

청구항 4.

제1항에 있어서,

상기 제1 절연막에 존재하는 전하에 대한 트랩의 밀도가 상기 제2 절연막에 존재하는 전하에 대한 트랩의 밀도보다도 작은 반도체 장치.

청구항 5.

제1항에 있어서,

상기 제1 절연막은 산화 실리콘, 옥시나이트라이드의 그룹으로부터 선택된 1개의 재료로 형성되는 반도체 장치.

청구항 6.

제1항에 있어서,

상기 제2 절연막은 실리콘 질화막으로 형성되는 반도체 장치.

청구항 7.

반도체 기판과;

상기 반도체 기판 상에 형성된 제1과 제2 메모리 셀 어레이 -상기 제1과 제2 메모리 셀 어레이 각각은,

메모리 셀 게이트와 복수의 소스·드레인 확산층을 각각 갖는 복수의 메모리 셀 트랜지스터 -상기 복수의 메모리 셀 트랜지스터는 인접하는 것으로 상기 소스·드레인 확산층의 한쪽을 공유하여 직렬로 접속됨- 와,

상기 복수의 메모리 셀 트랜지스터의 양단부의 상기 반도체 기판 상에 형성된 복수의 선택 트랜지스터를 구비하고,

상기 선택 트랜지스터는 상기 양단부의 상기 복수의 메모리 셀 트랜지스터와 상기 소스·드레인 확산층의 한쪽을 공유하고, 상기 반도체 기판 내에 설치된 제1 확산층을 다른 소스·드레인 확산층으로서 갖고, 상기 제1 메모리 셀 어레이의 상기 선택 트랜지스터의 한쪽은 상기 제2 메모리 셀 어레이의 상기 선택 트랜지스터의 한쪽과 인접하여 상기 제1 확산층을 공유함- 와;

상기 제1과 상기 제2 메모리 셀 어레이로부터 이격되어, 상기 반도체 기판 상에 형성된 복수의 주변 트랜지스터를 갖는 주변 회로부 -상기 주변 트랜지스터는 주변 게이트 전극을 가짐- 와;

상기 복수의 메모리 셀 트랜지스터 간을 매립하고, 상기 주변 게이트 전극의 측면에 대략 균일하게 형성된 제1 절연막 -상기 제1 절연막은 상기 복수의 메모리 셀 게이트 간에서의 두께가 상기 주변 게이트의 상기 측면에서의 두께보다도 두껍게 형성되고, 상기 주변 게이트의 양측의 상기 반도체 기판 상에서 제거되어 있고, 질소 이외를 주성분으로 함- 과; 및

적어도 상기 주변 게이트 전극의 상기 측면에 상기 제1 절연막을 개재하여 형성되고, 상기 제1 절연막과는 다른 재료로 이루어지는 제2 절연막

을 포함하는 반도체 장치.

청구항 8.

제7항에 있어서,

상기 제1 및 상기 제2 메모리 셀 어레이, 및 상기 주변 회로를 덮도록 형성된, 상기 제2 절연막과는 주성분이 다른 층간 절연막과,

상기 층간 절연막을 관통하여, 상기 제1 확산층에 접속된 컨택트 전극 -상기컨택트 전극은 상기 제2 절연막을 개재하여 상기 선택 트랜지스터에 인접함-

을 더 포함하는 반도체 장치.

청구항 9.

제7항에 있어서,

상기 제1 절연막에 함유되는 수소의 밀도는 상기 제2 절연막에 함유되는 수소의 밀도보다도 작은 반도체 장치.

청구항 10.

제7항에 있어서,

상기 제1 절연막에 존재하는 전하에 대한 트랩의 밀도가 상기 제2 절연막에 존재하는 전하에 대한 트랩의 밀도보다도 작은 반도체 장치.

청구항 11.

제7항에 있어서,

상기 제1 절연막은 산화 실리콘, 옥시나이트라이드의 그룹으로부터 선택된 1개의 재료로 형성되는 반도체 장치.

청구항 12.

제7항에 있어서,

상기 제2 절연막은 실리콘 질화막으로부터 형성되는 반도체 장치.

청구항 13.

반도체 기판 상에 제1 게이트 전극층, 게이트간 절연막, 제2 게이트 전극층을 순차 형성하고,

상기 제2 게이트 전극층, 상기 게이트간 절연막 및 상기 제1 게이트 전극층을 리소그래피에 의해 가공하여, 메모리 셀부에서 복수의 메모리 셀 게이트 전극 및 복수의 선택 게이트 전극을 형성함과 동시에, 주변 회로부에 주변 게이트 전극을 형성하고,

상기 복수의 메모리 셀 게이트 전극, 상기 선택 게이트 전극, 및 상기 주변 게이트 전극을 마스크로 하여, 상기 반도체 기판 상에 복수의 제1 확산층을 형성하고,

상기 메모리 셀 부의 상기 복수의 메모리 셀 게이트 전극 간을 매립하고, 그 상단이 간극 없이 연속하도록, 질소 이외를 주성분으로 하는 제1 절연막을 형성하고, 동시에 상기 선택 게이트 전극의 측면 및 상기 주변 회로부의 상기 주변 게이트 전극의 측면과 이들 아래에 인접하는 반도체 기판을 따라서 상기 제1 절연막을 형성하고,

상기 주변 회로부의 상기 주변 게이트 전극의 아래에 인접하는 상기 반도체 기판 상의 상기 제1 절연막을 제거하고,

상기 주변 게이트 전극을 마스크로 하여 상기 반도체 기판에 한 쌍의 제2 확산층을 형성하고,

상기 선택 게이트 전극 위에 및 상기 선택 게이트 전극의 아래에 인접하는 상기 반도체 기판 상의 상기 제1 절연막을 제거하고,

상기 선택 게이트 전극과 이 아래에 인접하는 상기 반도체 기판, 상기 메모리 셀 부 및 상기 주변 회로부를 덮도록, 상기 제1 절연막과는 다른 재료로 이루어지는 제2 절연막을 형성하는

공정을 포함하는 반도체 장치의 제조 방법.

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

제13항에 있어서,

상기 제1 절연막은 실리콘 산화막 또는 옥시나이트라이드막이고, 상기 제2 절연막은 실리콘 질화막인 반도체 장치의 제조 방법.

청구항 17.

제13항에 있어서,

상기 메모리 셀 게이트 전극 상의 상기 제2 절연막을 선택적으로 제거하는 공정을 더 포함하는 반도체 장치의 제조 방법.

청구항 18.

반도체 기판 상에, 복수의 메모리 셀 게이트 전극으로 이루어지는 제1 메모리 셀 게이트 어레이와, 상기 제1 메모리 셀 게이트 어레이 양단에 형성된 제1 선택 게이트쌍과, 복수의 메모리 셀 게이트 전극으로 이루어지는 제2 메모리 셀 게이트 어레이와, 상기 제2 메모리 셀 게이트 어레이 양단에 형성된 제2 선택 게이트쌍 -상기 제2 선택 게이트쌍 중의 1개는 상기 제1 선택 게이트쌍 중의 1개와 인접함- 과, 상기 제1 메모리 셀 게이트 어레이, 상기 제1 선택 게이트쌍, 상기 제2 메모리 셀 게이트 어레이, 및 상기 제2 선택 게이트쌍으로부터 이격하여 있는 복수의 주변 게이트를 형성하고,

상기 제1 메모리 셀 게이트 어레이, 상기 제1 선택 게이트쌍, 상기 제2 메모리 셀 게이트 어레이, 상기 제2 선택 게이트쌍, 및 상기 복수의 주변 게이트를 마스크로 하여 상기 반도체 기판 내에 복수의 확산층을 형성하고,

상기 반도체 기판 전면 상에 질소 이외를 주성분으로 하는 제1 절연막을 형성하고, 상기 복수의 메모리 셀 게이트 전극 간, 상기 제1 메모리 셀 게이트 어레이의 양단부와 상기 제1 선택 게이트쌍 간, 상기 제2 메모리 셀 게이트 어레이의 양단부와

상기 제2 선택 게이트쌍 간을 매립하고, 또한 인접하는 상기 제1 선택 게이트쌍 중의 1개와 상기 제2 선택 게이트쌍 중의 1개의 대향하는 측면 및 그 사이의 상기 반도체 기판의 제1 영역 상, 상기 복수의 주변 게이트의 측면 및 이에 인접하는 상기 반도체 기판의 제2 영역 상을 따르도록 상기 제1 절연막을 형성하고,

상기 제1 및 제2 영역 상의 상기 제1 절연막을 제거하고,

노출된 전면에 질소를 주성분으로 포함하는 제2 절연막을 형성하고,

상기 제2 절연막 상에 상기 제2 절연막에 대한 에칭 선택비가 큰 층간 절연막을 형성하고,

상기 제1 영역 상의 상기 층간 절연막을 에칭하여, 컨택트홀을 형성하고,

상기 컨택트홀에 도전재를 매립하고, 상기 제1 영역에 형성된 상기 복수의 확산층의 1개와 접속하는

공정을 포함하는 반도체 장치의 제조 방법.

청구항 19.

제18항에 있어서,

상기 제1 절연막은 실리콘 산화막 또는 옥시나이트라이드막이고, 상기 제2 절연막은 실리콘 질화막인 반도체 장치의 제조 방법.

청구항 20.

반도체 기판과,

상기 반도체 기판 상에, 서로 이격하여 대략 직선 형태로 배열된 복수의 제1 확산층과,

상기 복수의 제1 확산층 내의, 상호 인접하는 것 사이의 상기 반도체 기판 상에 절연적으로 형성된 복수의 메모리 셀 게이트 전극과,

상기 복수의 제1 확산층의 단부에 이격하여 인접하고, 상기 반도체 기판 상에 형성된 제2 확산층과,

상기 제1 확산층의 상기 단부와 상기 제2 확산층 사이의 상기 반도체 기판 상에, 절연적으로 형성된 선택 게이트 전극과,

상기 복수의 메모리 셀 게이트 전극 및 상기 선택 게이트 전극으로부터 이격하고, 상기 반도체 기판 상에 절연적으로 형성된 주변 게이트 전극과,

상기 주변 게이트 전극을 사이에 두고 상기 반도체 기판에 형성된 한 쌍의 제3 확산층과,

상기 복수의 메모리 셀 게이트 전극 간, 상기 복수의 메모리 셀 게이트 전극의 상기 단부와 상기 선택 게이트 전극 사이를 매립하고, 또한 상기 주변 게이트 전극의 측면 상에 형성된, 질소 이외를 주성분으로 하는 제1 절연막 -상기 제1 절연막의 상기 메모리 셀 게이트 전극 간의 두께는 상기 주변 게이트 전극의 상반부 측면에 형성된 상기 제1 절연막의 두께보다 큼-과,

적어도 상기 주변 게이트 전극의 상기 측면 상에, 상기 제1 절연막을 개재하여 형성된, 상기 제1 절연막과는 다른 재료로 이루어지는 제2 절연막

을 포함하는 반도체 장치.

청구항 21.

제20항에 있어서,

상기 제1 절연막은 실리콘 산화막 또는 옥시나이트라이드막이고, 상기 제2 절연막은 실리콘 질화막인 반도체 장치.

청구항 22.

제20항에 있어서,

상기 메모리 셀 게이트 전극 및 상기 주변 게이트 전극의 정상부에 형성된 제3 절연막과,

상기 복수의 메모리 셀 게이트 전극 사이의 상기 제1 절연막의 위를 덮도록 형성된 제4 절연막을 더 포함하고,

상기 제1 절연막은 실리콘 산화막 또는 옥시나이트라이드막이고, 상기 제3 및 제4 절연막은 실리콘 질화막이고, 상기 복수의 메모리 셀 게이트 전극은 상기 제3 및 제4 절연막으로 일체적으로 덮여 있는 반도체 장치.

청구항 23.

제20항에 있어서,

상기 한 쌍의 제3 확산층은, 상기 주변 게이트 전극의 측면 바로 아래에 형성된 부분을 갖는 반도체 장치.

청구항 24.

반도체 기판 상에 제1 게이트 전극층, 게이트간 절연막, 제2 게이트 전극층을 순차 형성하고,

상기 제2 게이트 전극층, 상기 게이트간 절연막 및 상기 제1 게이트 전극층을 리소그래피에 의해 가공하여, 메모리 셀부에서 복수의 메모리 셀 게이트 전극을 형성함과 동시에, 주변 회로부에 주변 게이트 전극을 형성하고,

상기 복수의 메모리 셀 게이트 전극을 마스크로 하여 상기 반도체 기판 상에 복수의 제1 확산층을 형성하고,

상기 메모리 셀부의 상기 복수의 메모리 셀 게이트 전극의 노출면 및 상기 복수의 메모리 셀 게이트 전극 간에 노출되는 상기 반도체 기판, 상기 주변 회로부의 상기 주변 게이트 전극의 노출면과 그 아래에 인접하는 상기 반도체 기판을 라이닝(lining)하도록 질소 이외를 주성분으로 하는 제1 절연막을 형성하고,

상기 제1 절연막 중, 상기 주변 게이트 전극 및 그 아래에 인접하는 상기 반도체 기판을 덮는 부분을 제거하고,

상기 복수의 메모리 게이트 전극 간을 상기 제1 절연막을 개재하여 매립하고, 동시에 상기 주변 게이트 전극을 라이닝하도록 질소 이외를 주성분으로 하는 제2 절연막을 형성하고,

상기 주변 게이트 전극을 마스크로 하여 상기 반도체 기판에 한 쌍의 제2 확산층을 형성하고,

상기 복수의 메모리 셀 게이트 전극 및 상기 주변 회로부를 덮도록, 상기 제1 및 제2 절연막과는 다른 재료로 이루어지는 제3 절연막을 형성하는

공정을 포함하는 반도체 장치의 제조 방법.

청구항 25.

삭제

청구항 26.

제24항에 있어서,

상기 한 쌍의 제2 확산층을 형성하는 공정은, 상기 제3 절연막을 퇴적하는 공정 후에 행해지는 반도체 장치의 제조 방법.

청구항 27.

제24항에 있어서,

상기 제3 절연막을 상기 주변 게이트 전극의 상기 측면에 남기도록 이방성 에칭하는 공정을 더 포함하고,

상기 한 쌍의 제2 확산층을 형성하는 공정은 상기 제3 절연막을 이방성 에칭하는 공정 후에 행해지는 반도체 장치의 제조 방법.

청구항 28.

제24항에 있어서,

반도체 기판 상에 제1 게이트 전극층, 게이트간 절연막, 제2 게이트 전극층을 순차 형성하는 공정 전에, 상기 제2 게이트 전극층 상에 제4 절연막을 형성하고,

상기 제2 절연막을 퇴적한 후, 상기 제2 절연막을 상기 제4 절연막이 노출할 때까지 이방성 에칭하는

공정을 더 포함하는 반도체 장치의 제조 방법.

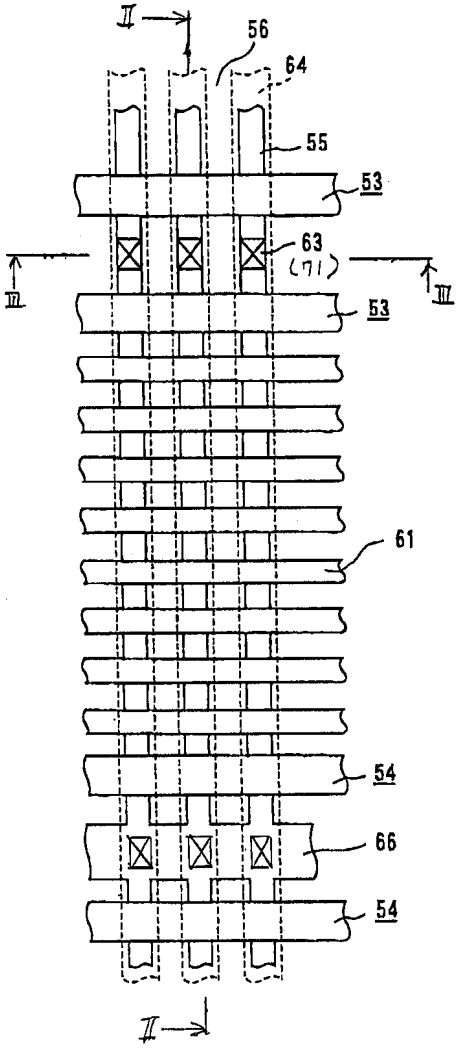
청구항 29.

제28항에 있어서,

상기 제1 및 제2 절연막은 실리콘 산화막 혹은 옥시나이트라이드막이고, 상기 제3 및 제4 절연막은 실리콘 질화막인 반도체 장치의 제조 방법.

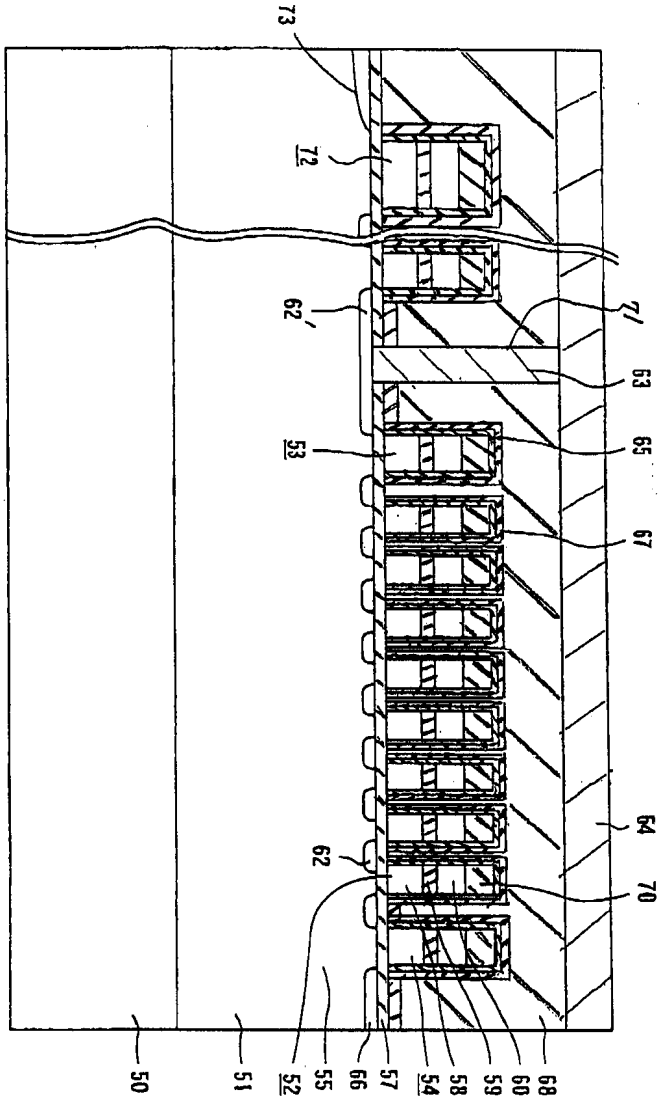
도면

도면1

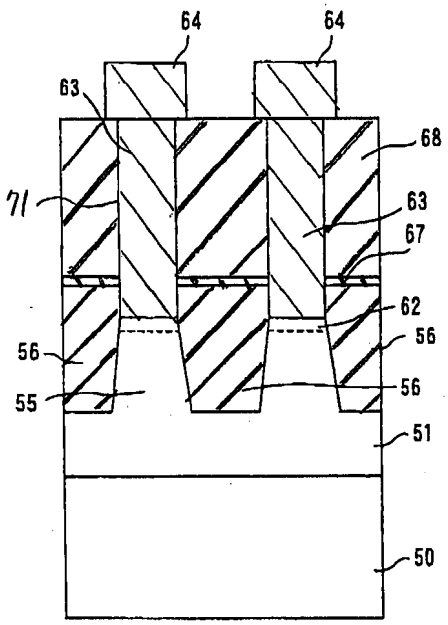


도면2

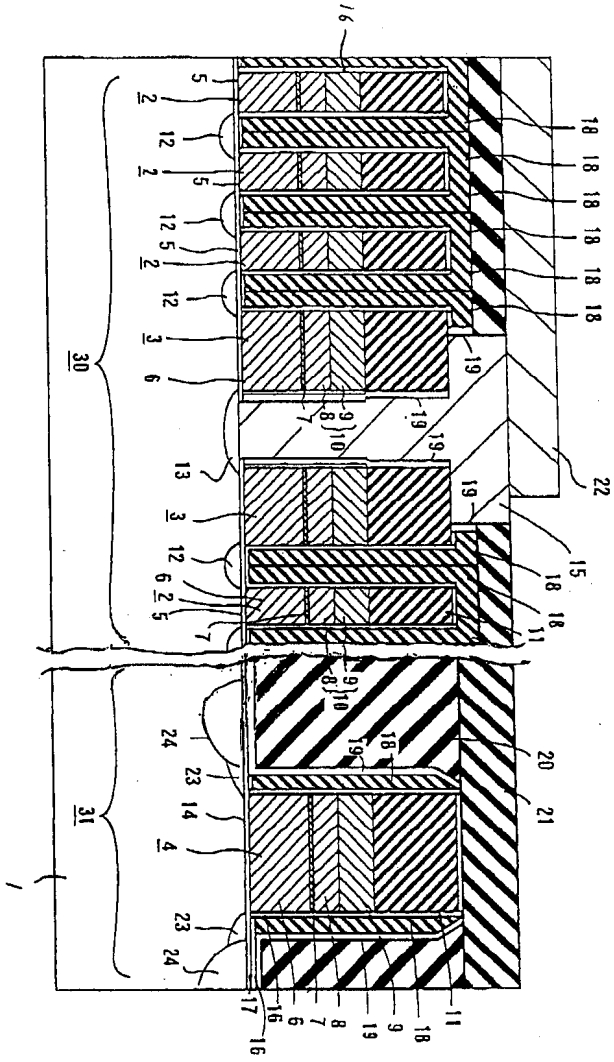
(종래 기술)



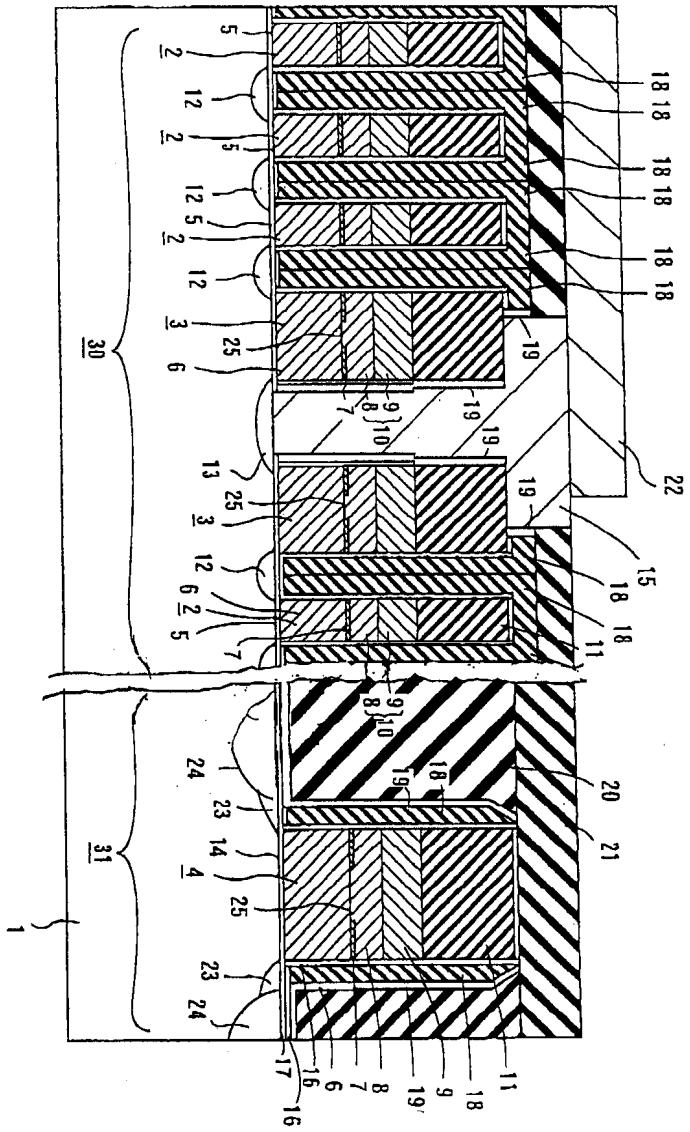
도면3



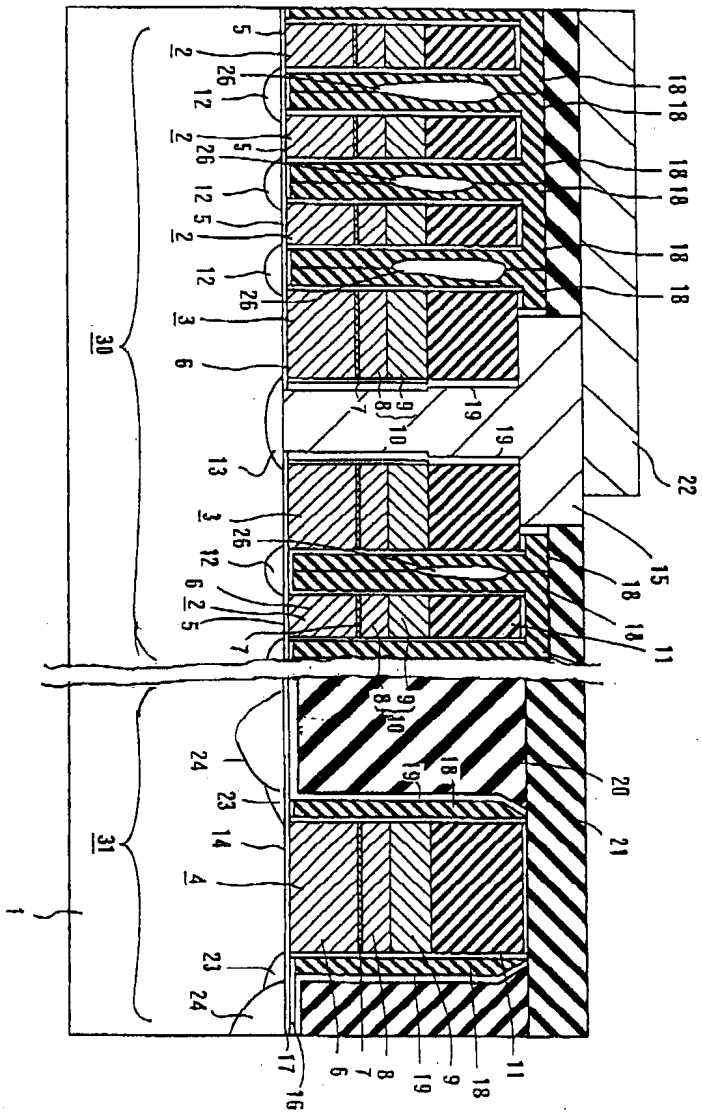
도면4



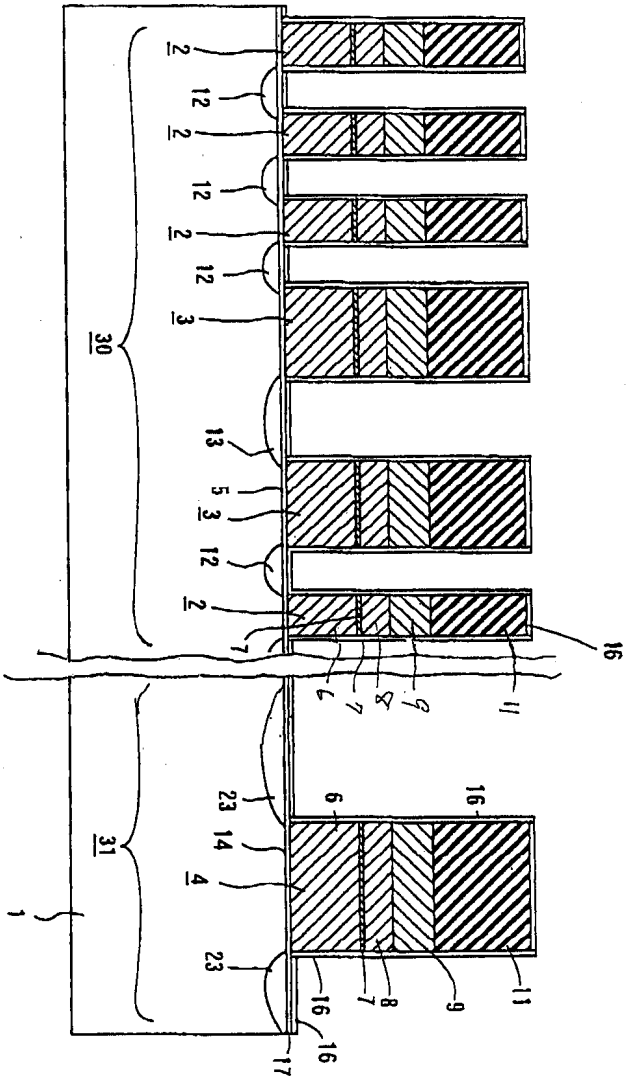
도면5



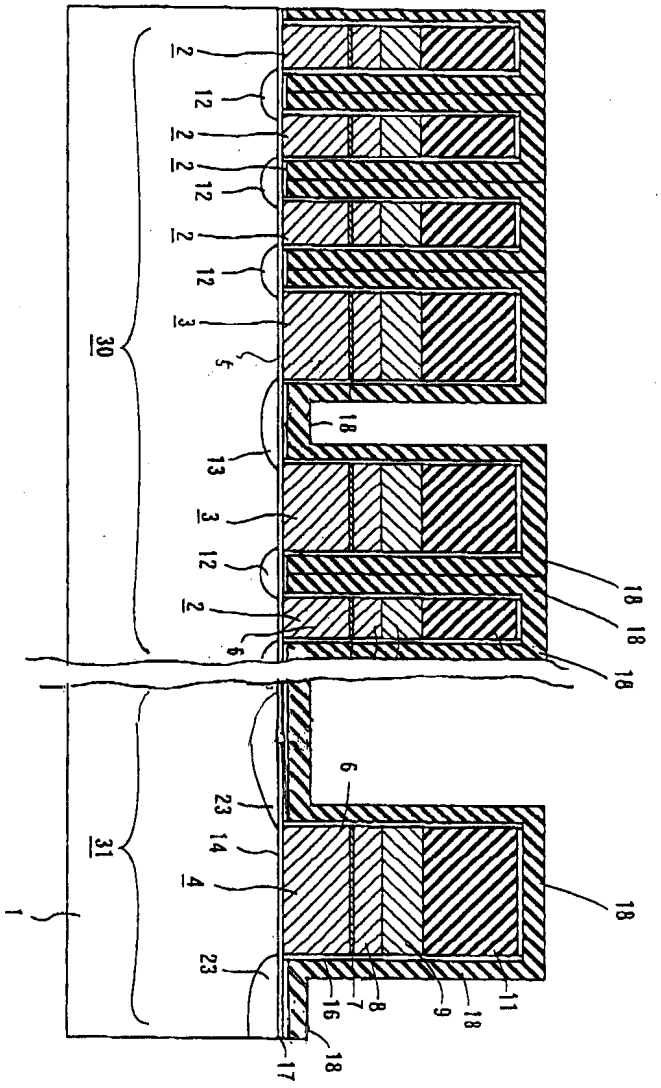
도면6



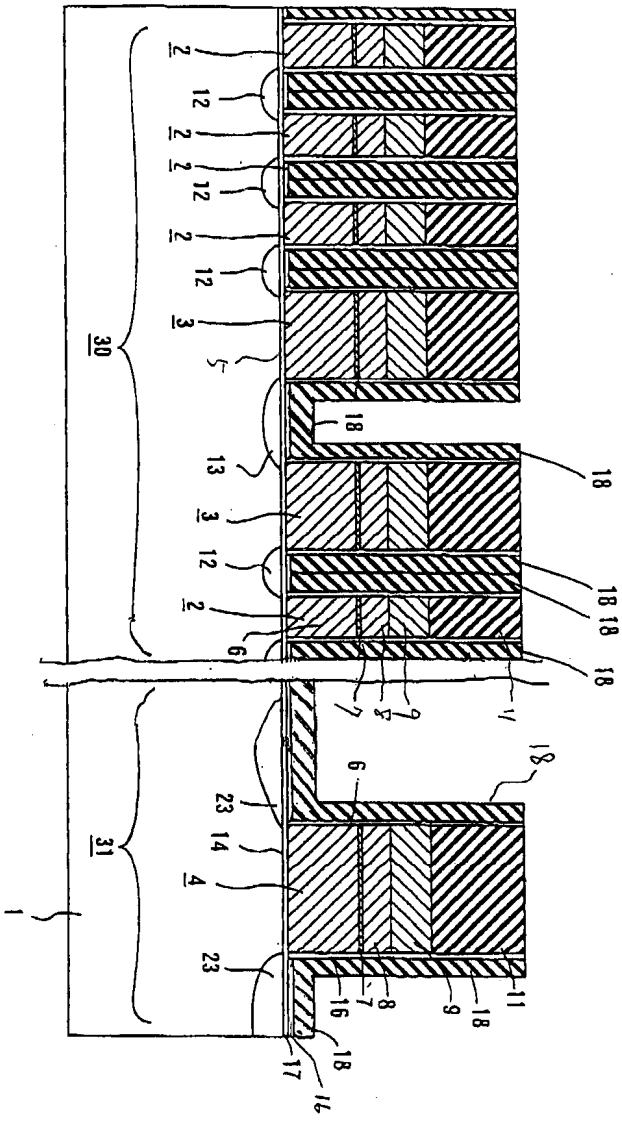
도면7


2
12
2
12
2
12
3
30
13
5
3
12
2
7
16
7
8
9
11
23
14
4
31
1
6
16
23
16
7
8
9
11
16
17

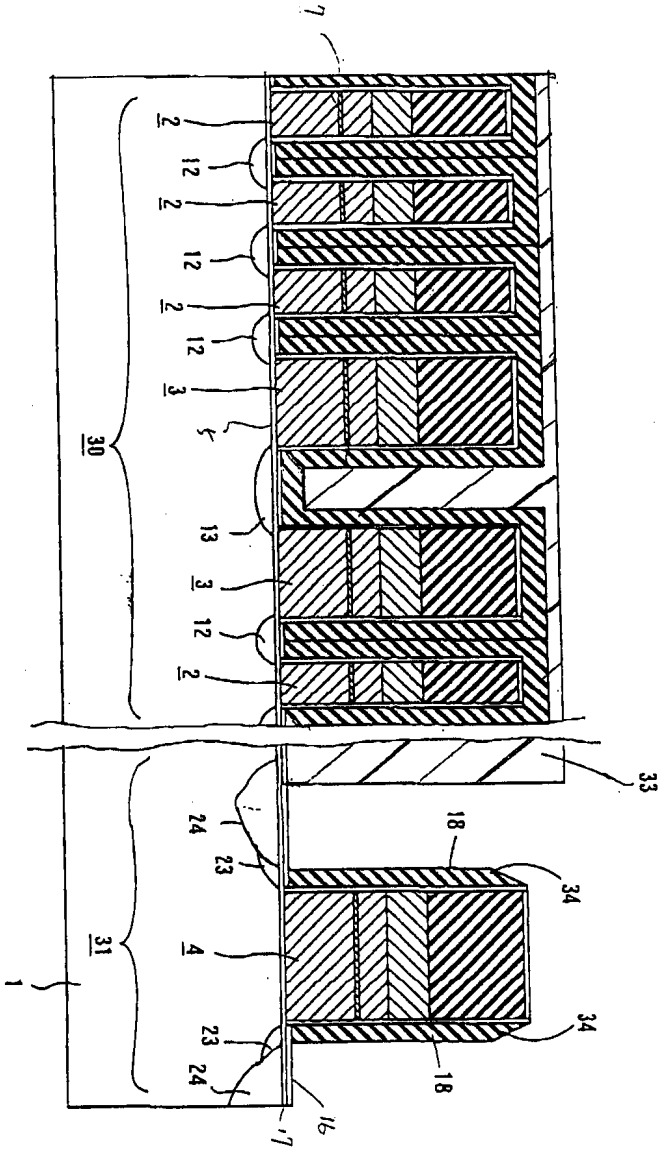
도면8a


2
12
2
2
12
2
12
3
5
30
18
13
3
12
2
6
18
18
18
6
23
14
4
31
1
23
18
16
7
8
9
18
11
18
17

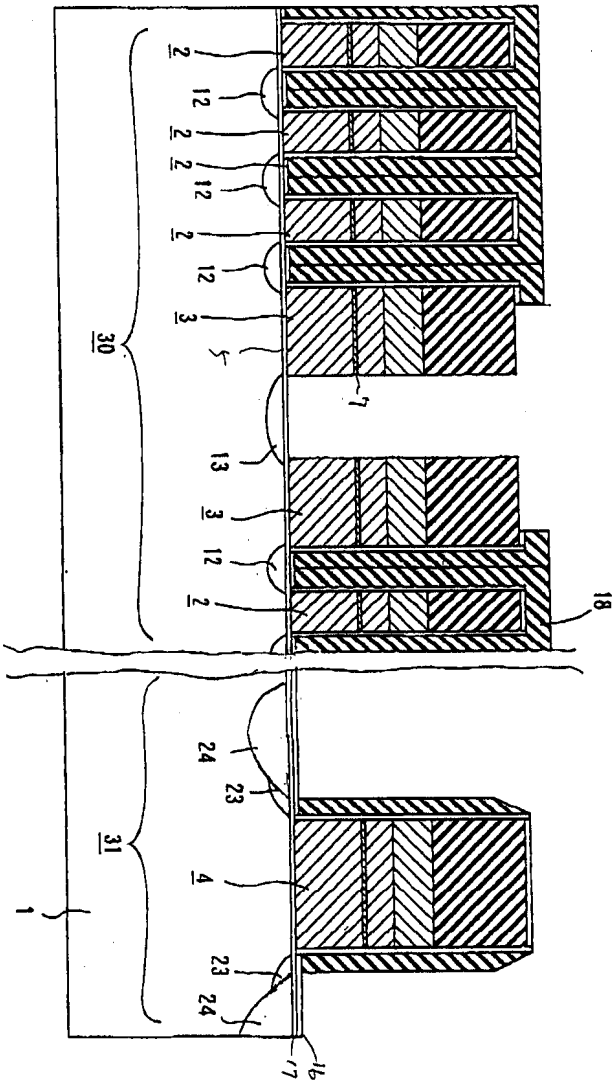
도면8b



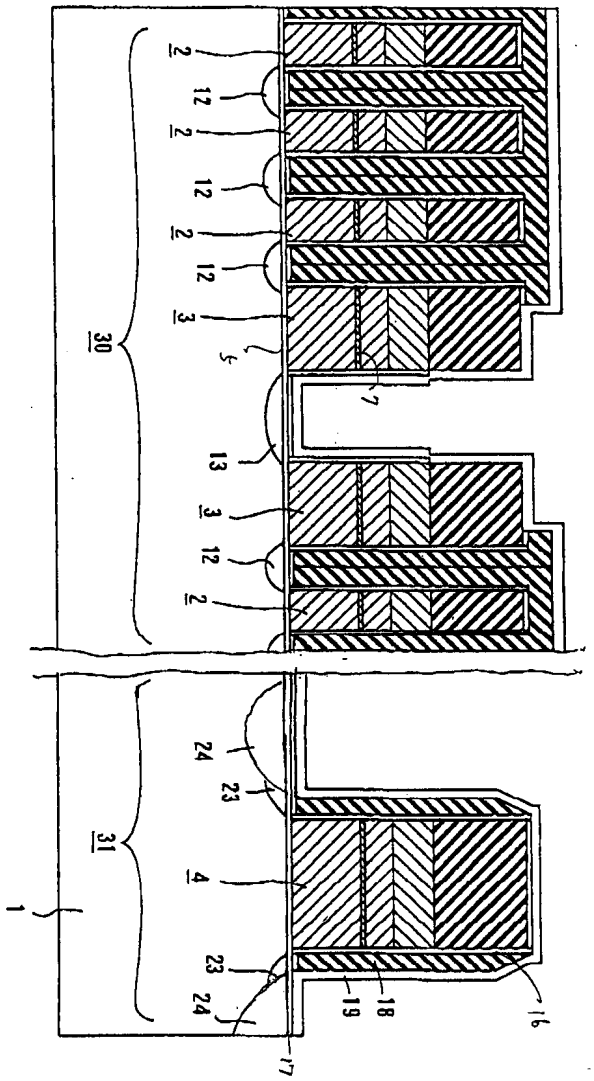
도면9



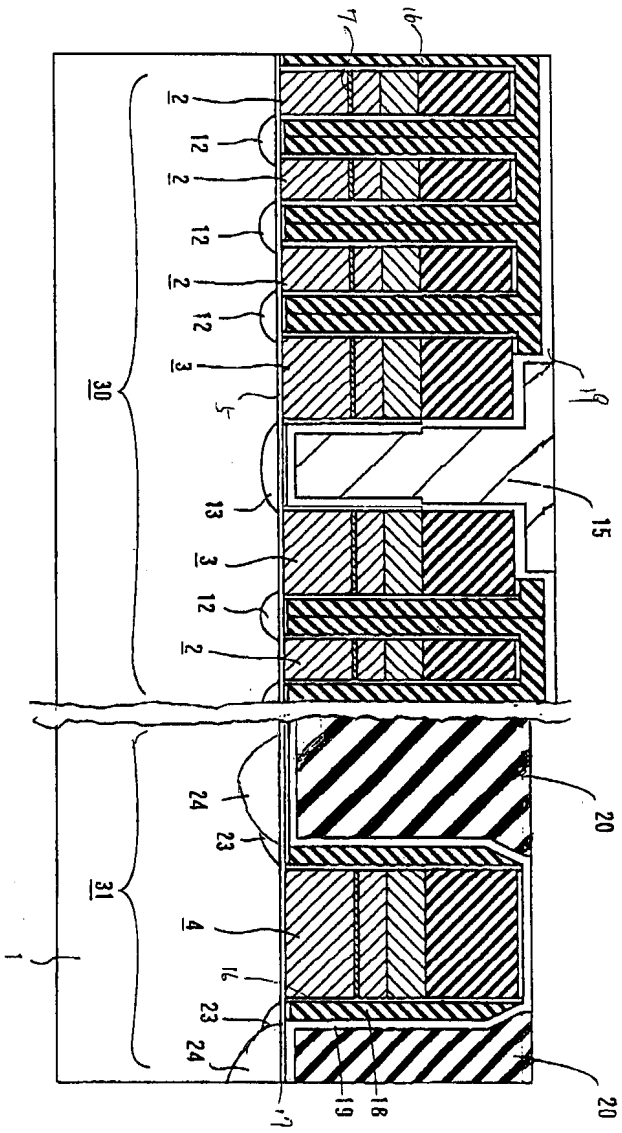
도면10



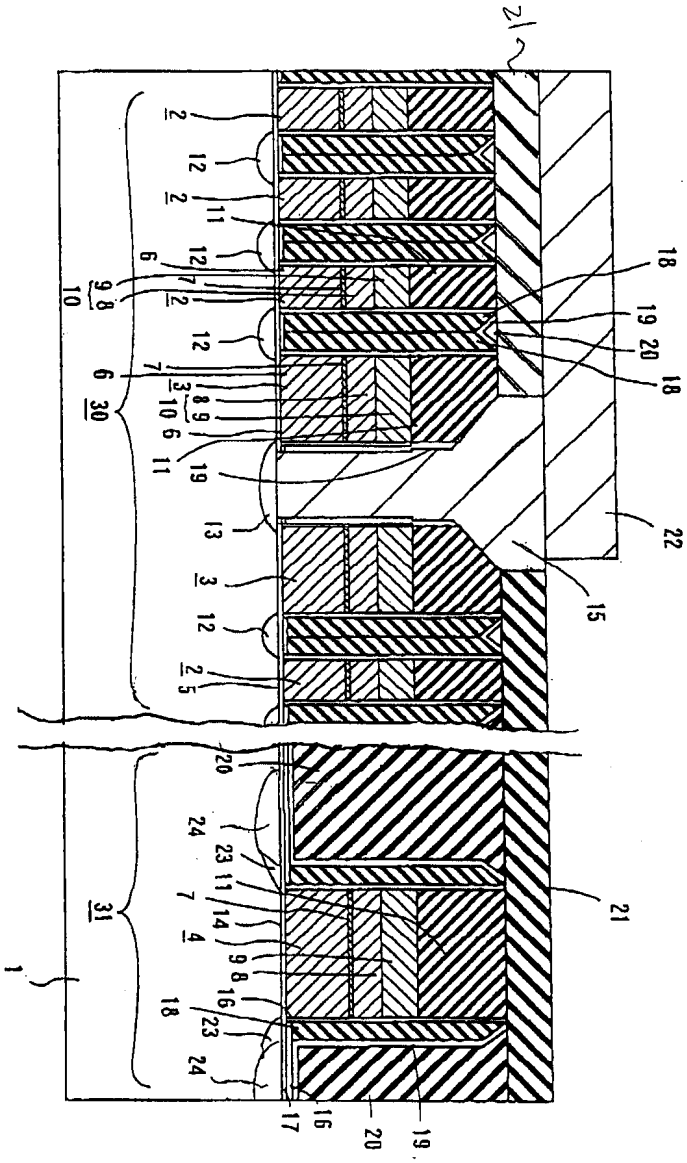
도면11



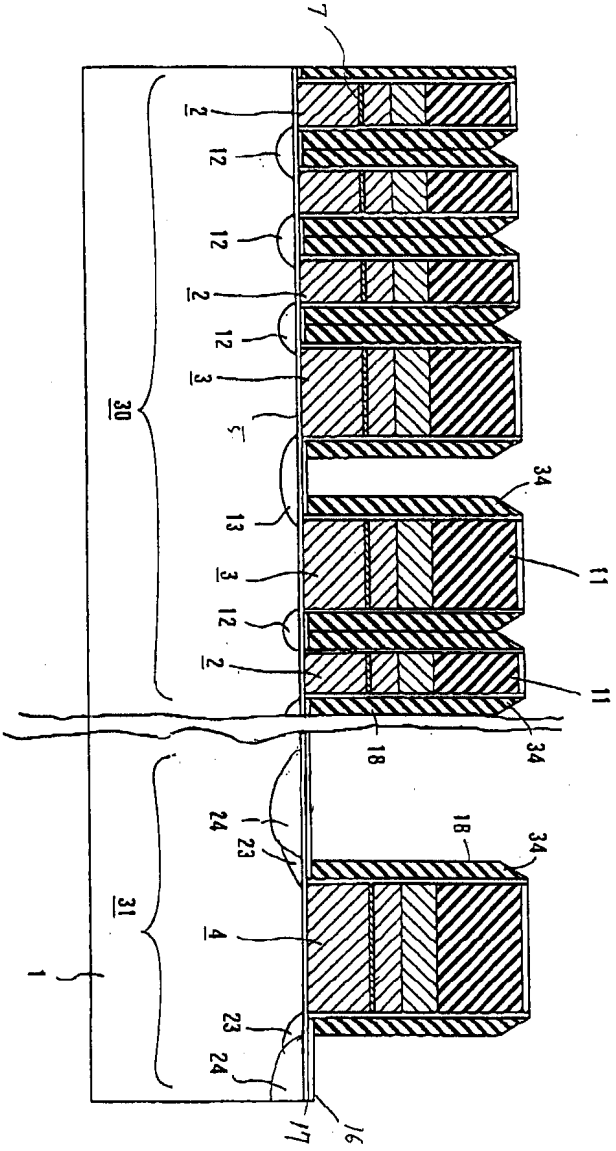
도면12


17
16
2
12
2
12
2
12
3
30
5
13
3
12
2
19
15
20
24
23
31
4
14
23
24
17
19
18
20
1

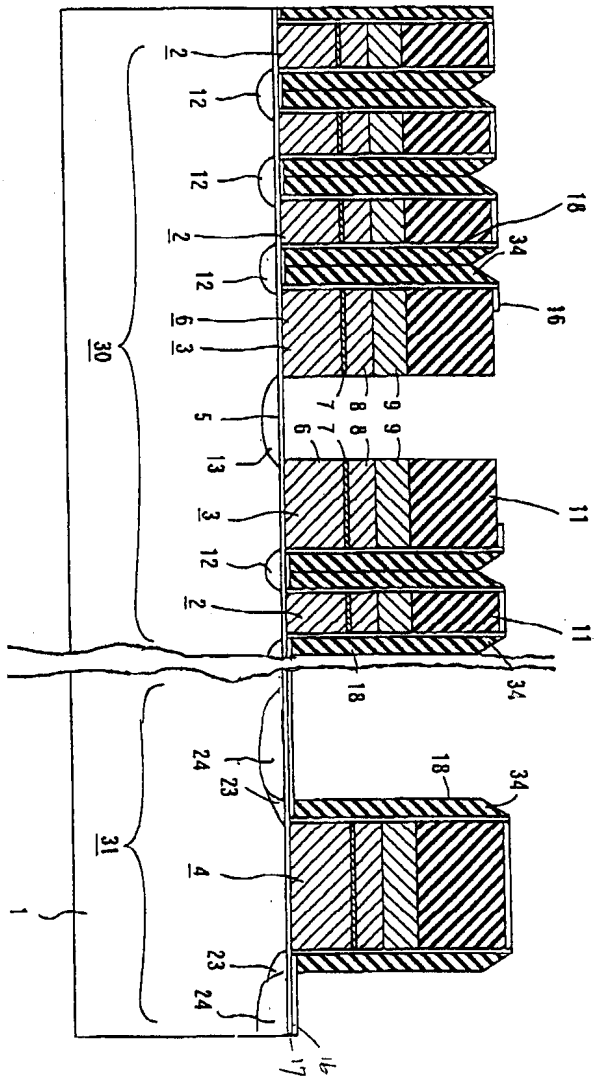
도면13



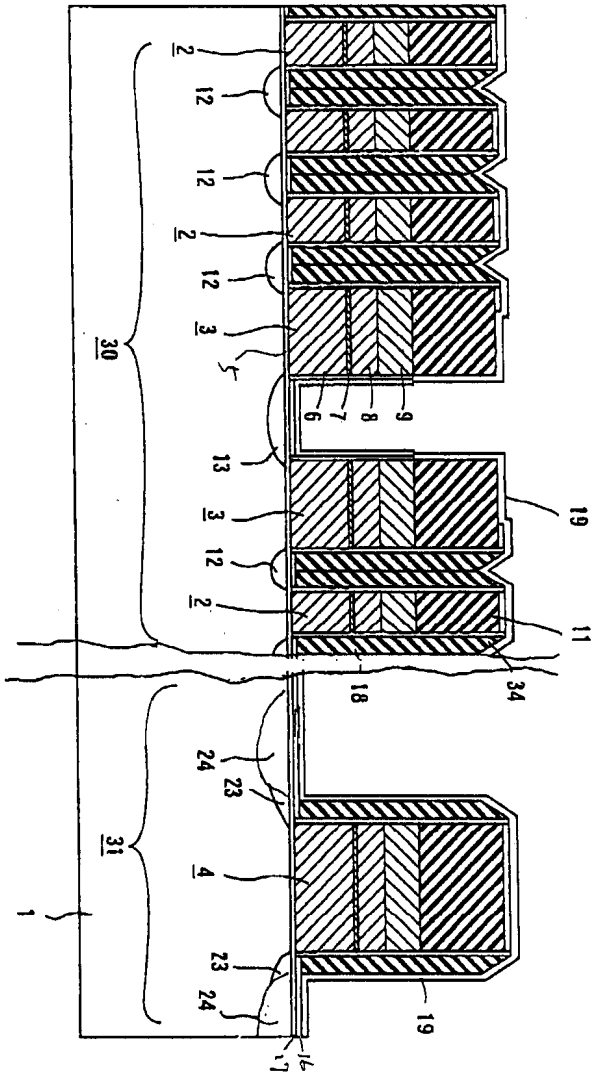
도면14



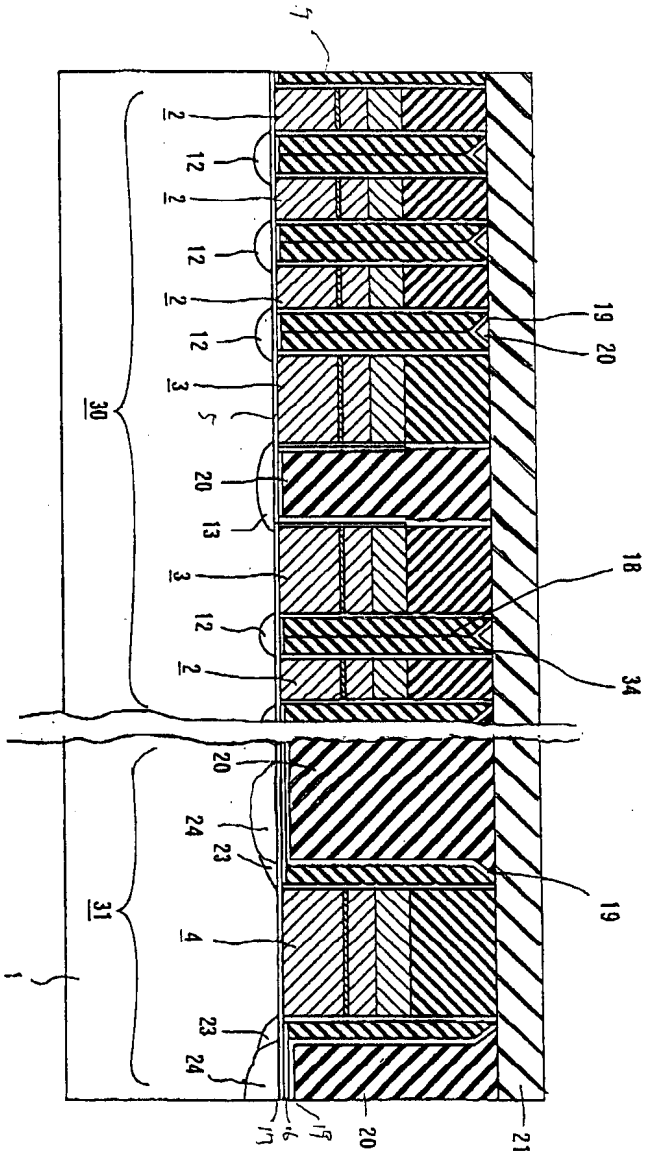
도면15


2
12
12
2
12
6
3
30
5
13
3
12
2
18
34
16
7
8
9
6
11
11
18
34
24
23
18
34
31
4
1
23
24
17
16

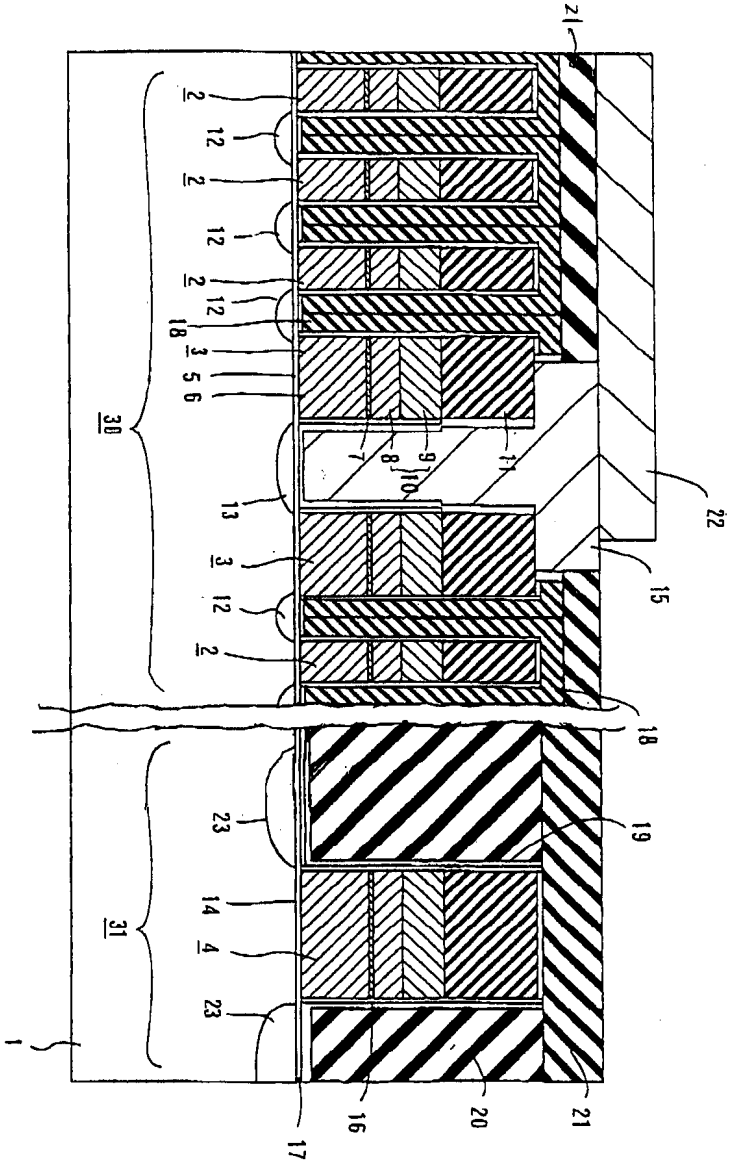
도면16



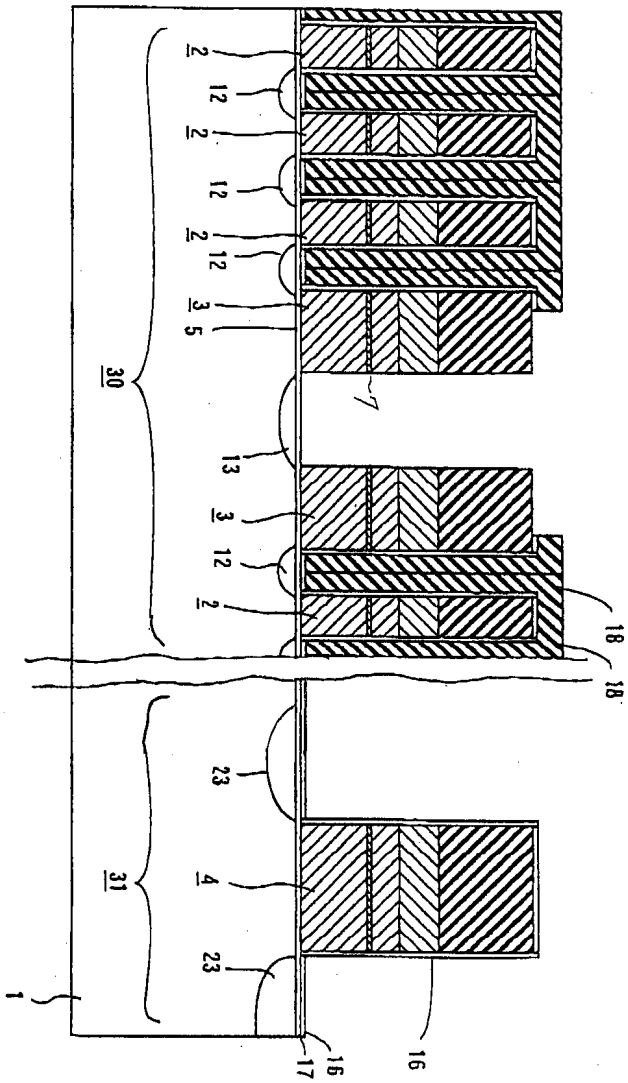
도면17


7
2
12
2
12
2
12
3
5
20
13
3
12
2
30
19
20
18
34
20
24
23
31
4
23
24
1
19
20
21

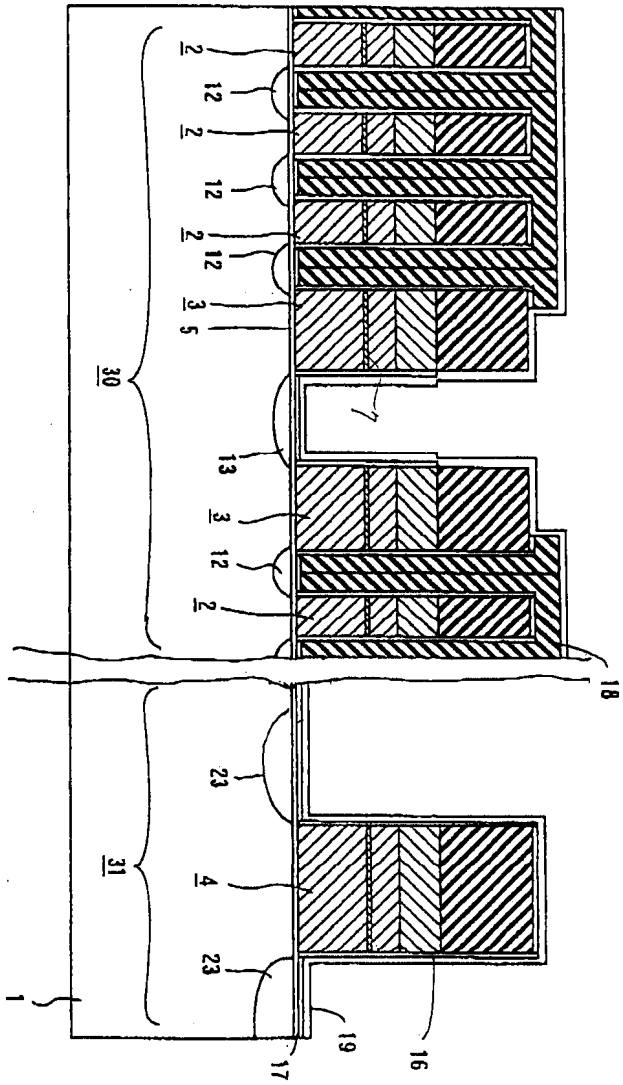
도면18


21
2
12
2
12
2
12
18
3
5
6
30
7
8
9
10
11
22
13
3
12
2
15
18
23
19
14
4
31
23
1
16
17
20
21

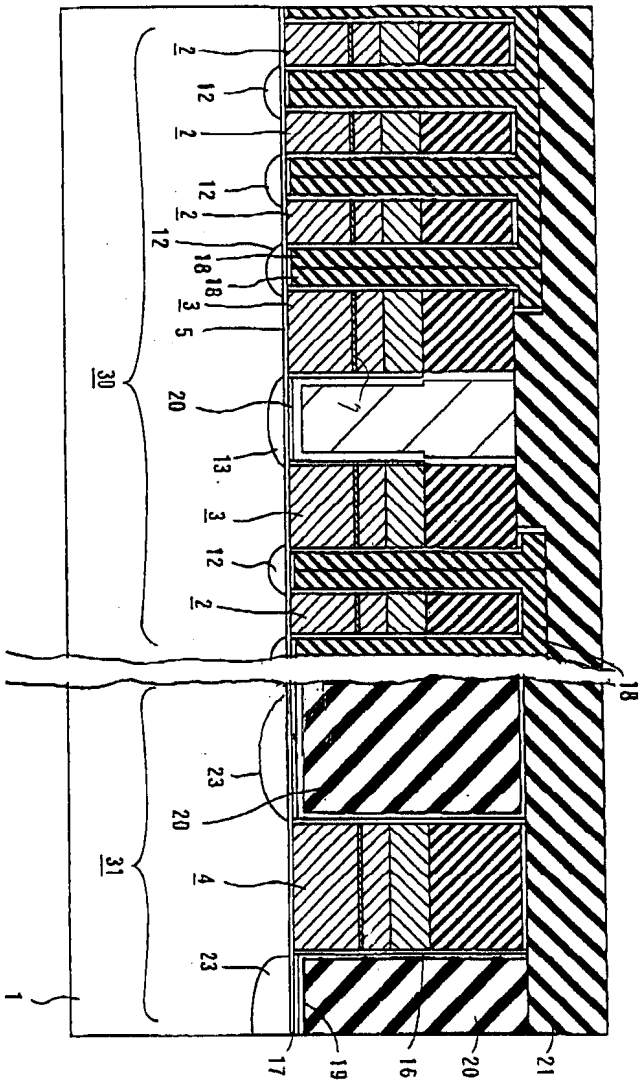
도면19



도면20

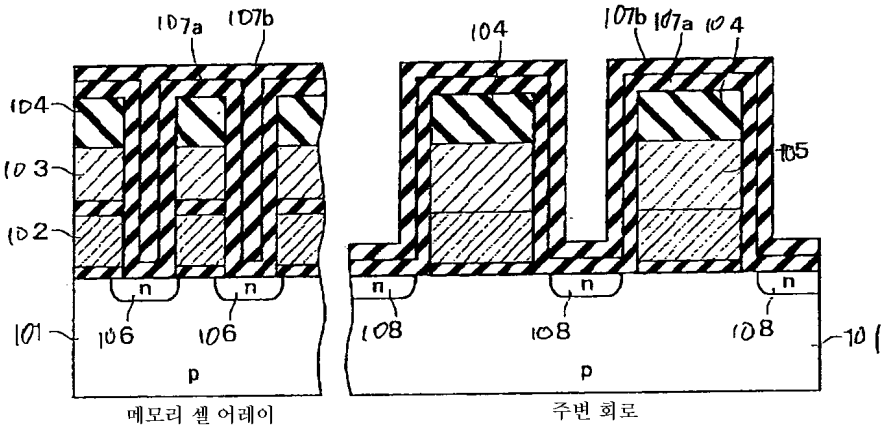


도면21

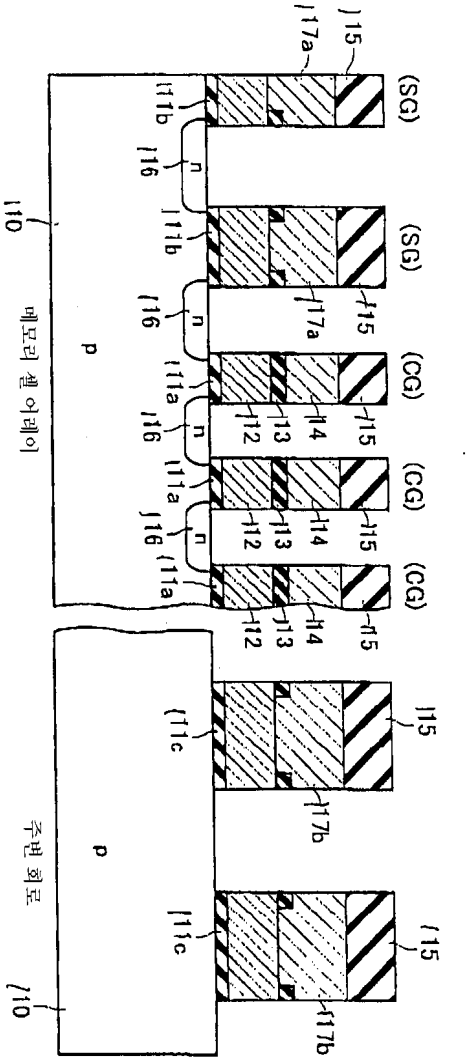


도면22

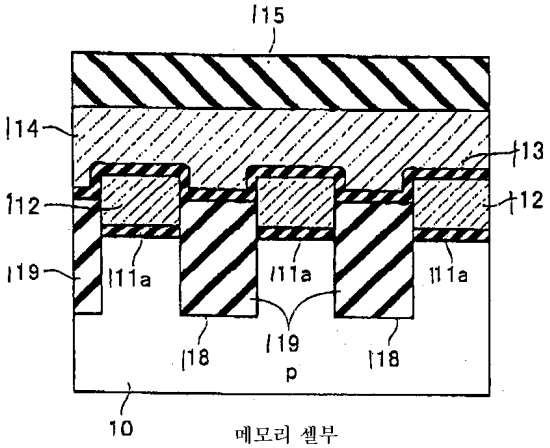
(종래 기술)



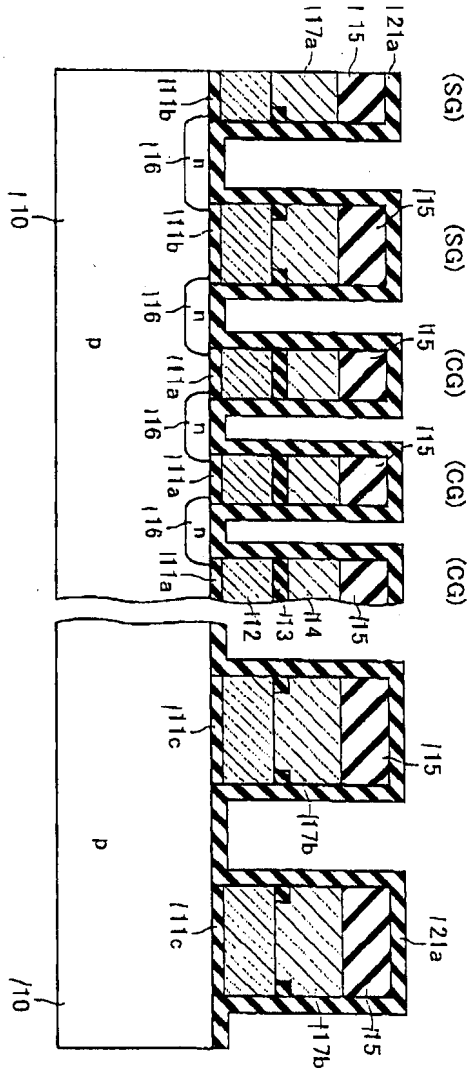
도면23a



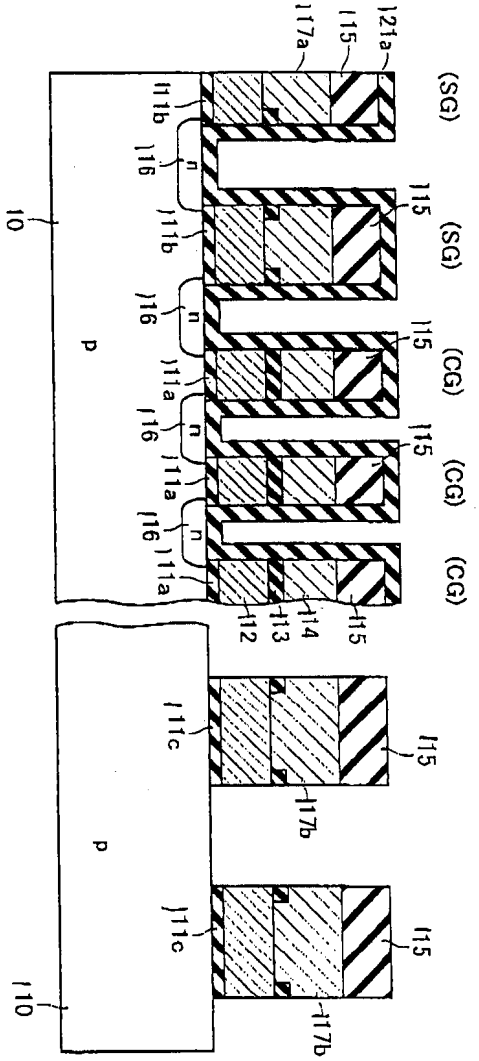
도면23b



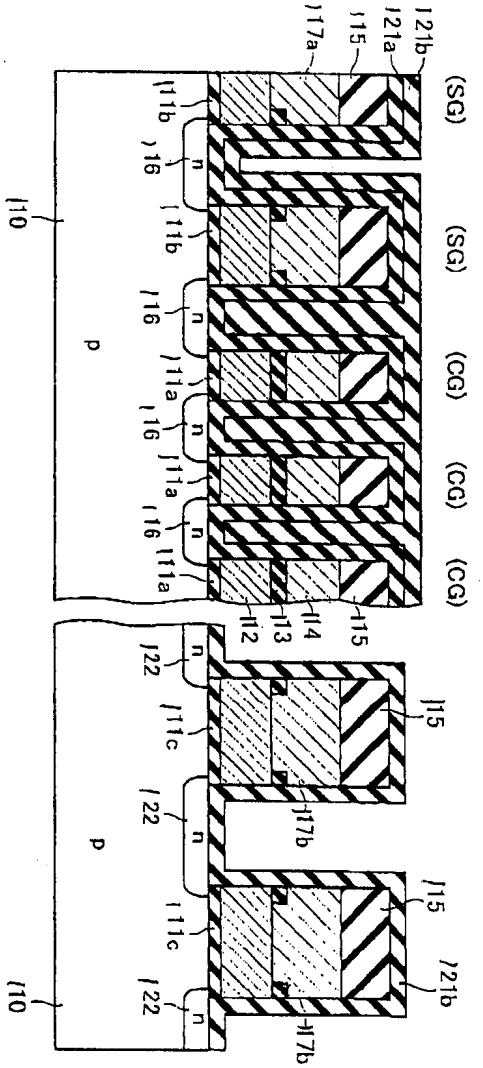
도면24



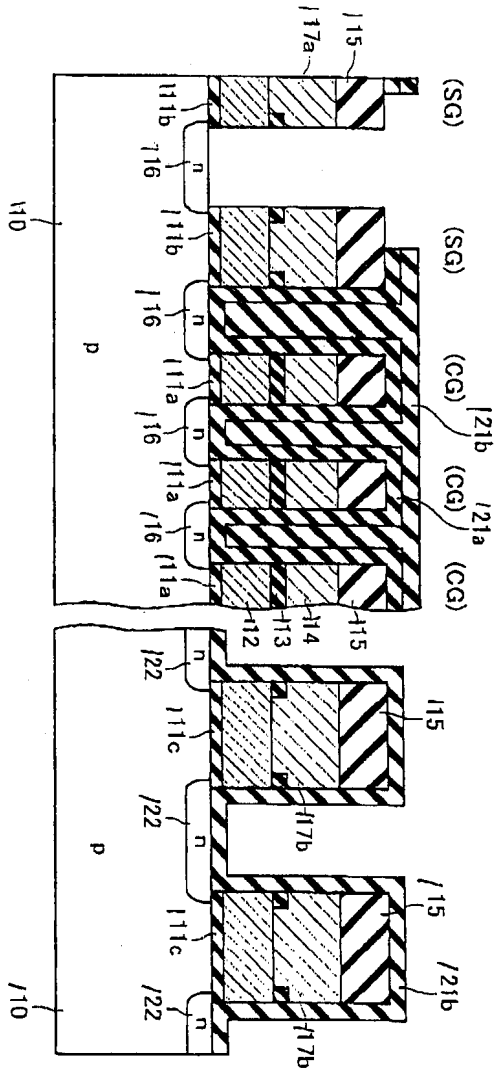
도면25


(SG)
(SG)
(CG)
(CG)
(CG)
10
p
p
110
n
n
n
n
n
111a
111b
111c
112
113
114
115
116
117a
117b
121a

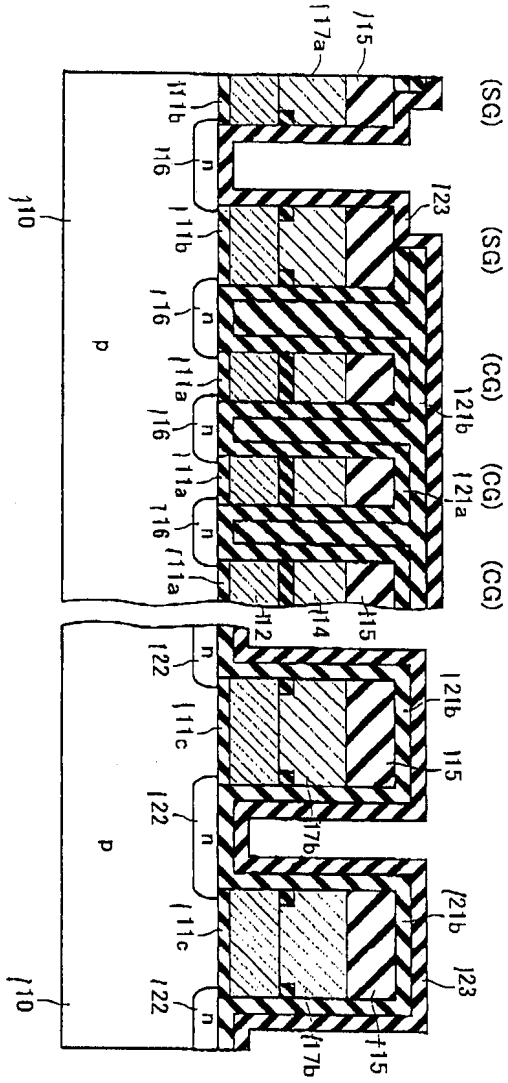
도면26



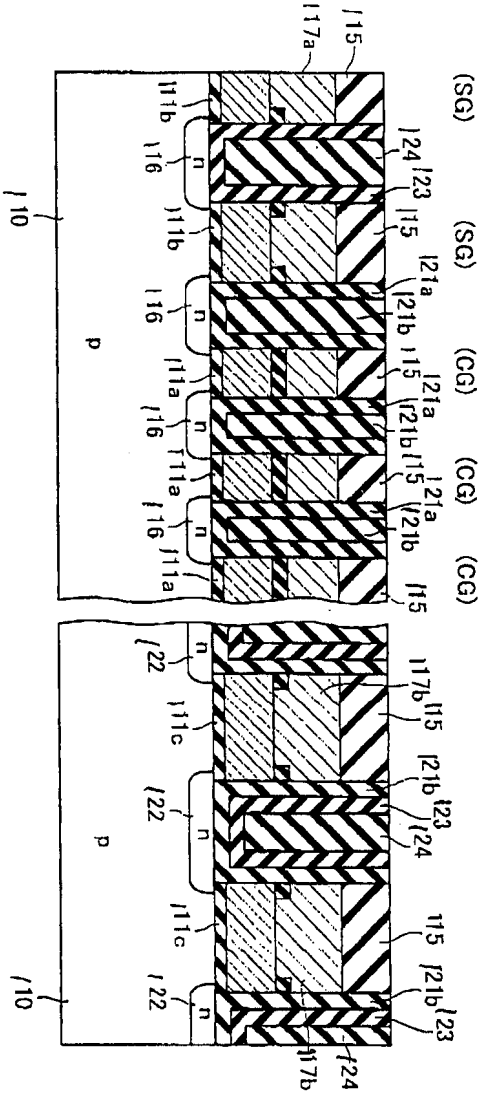
도면27


(SG)
(SG)
(CG)
(CG)
(CG)
p
p
n
n
n
n
n
n
n
n
n
n
n
n
11b
11b
11a
11a
11a
11c
11c
12
13
14
15
15
15
16
16
16
16
17a
17b
17b
21a
21b
21b
22
22
22
10
10

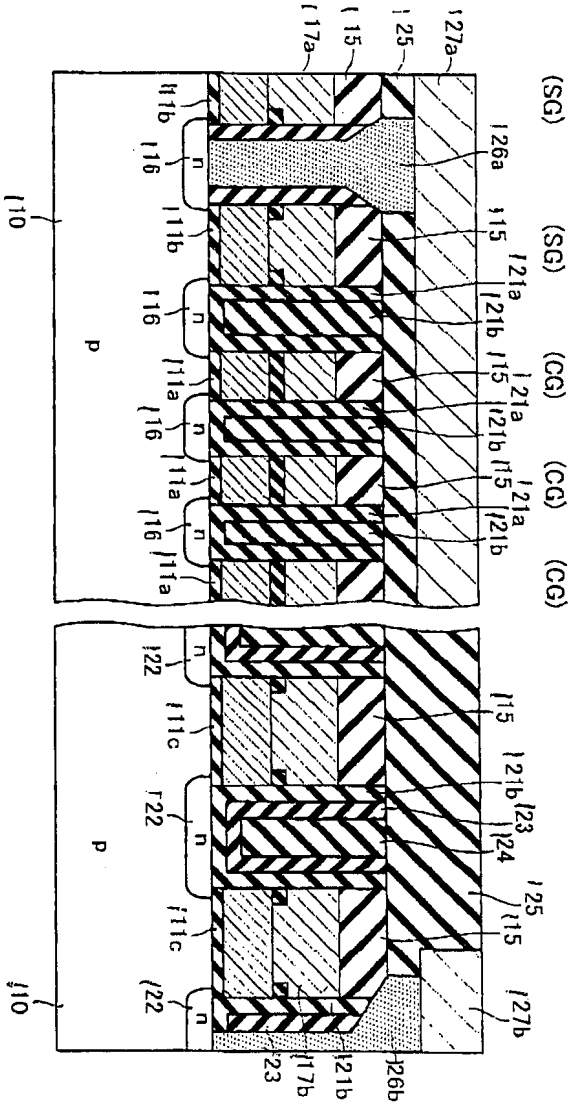
도면28



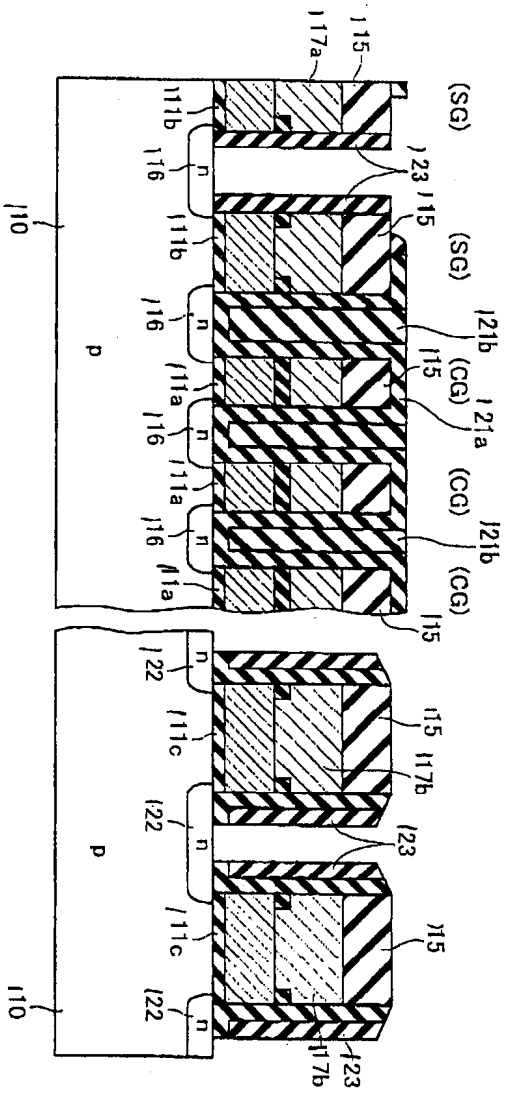
도면29



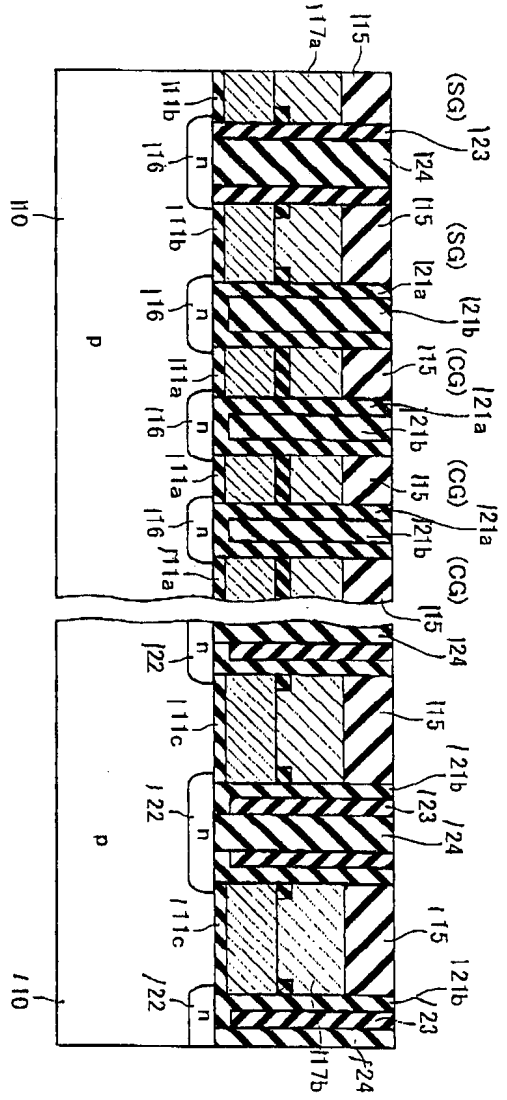
도면30


(SG)
(SG)
(CG)
(CG)
(CG)
p
p
n
10
11a
11b
11c
15
16
17a
17b
21a
21b
22
23
24
25
26a
26b
27a
27b

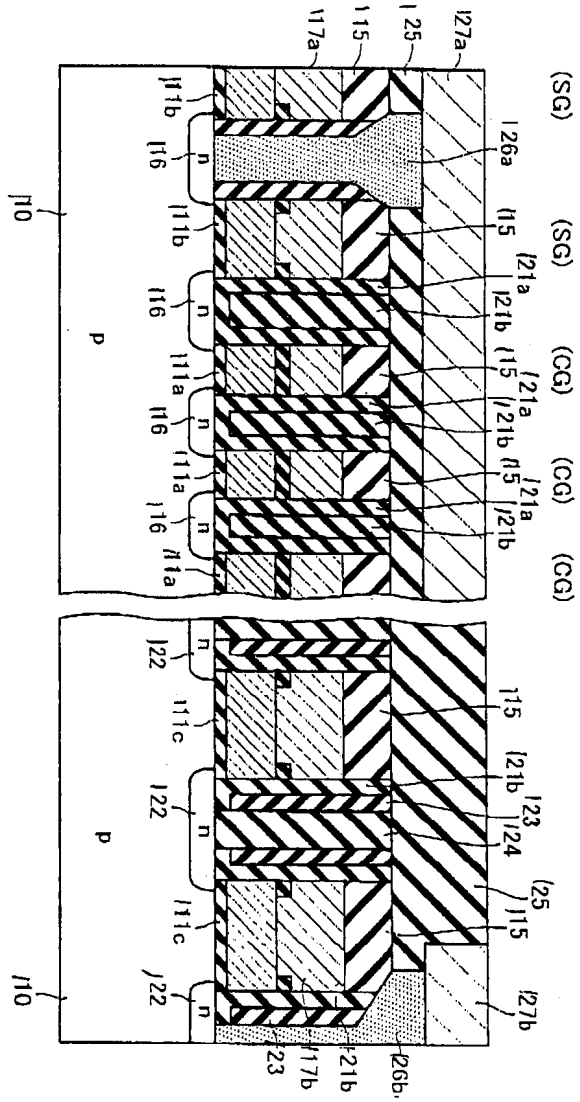
도면31



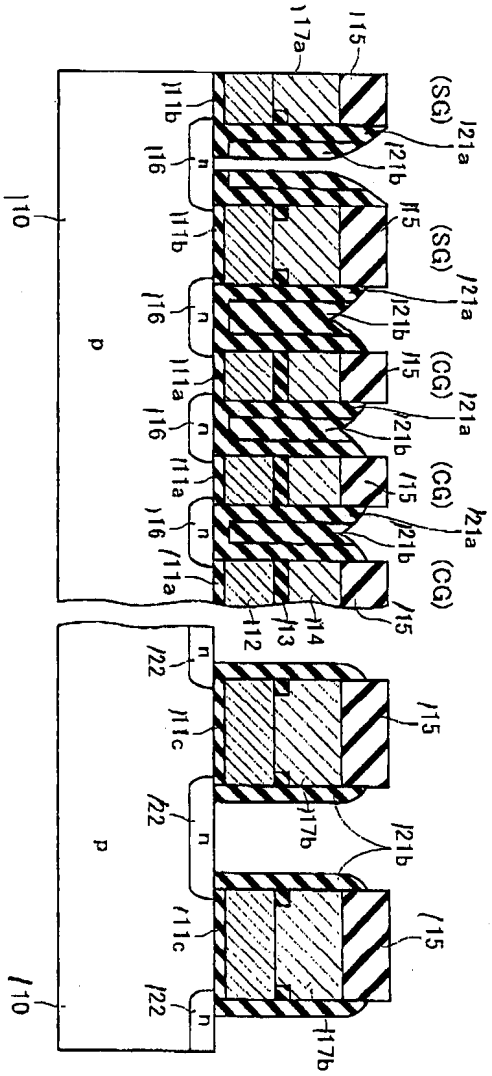
도면32



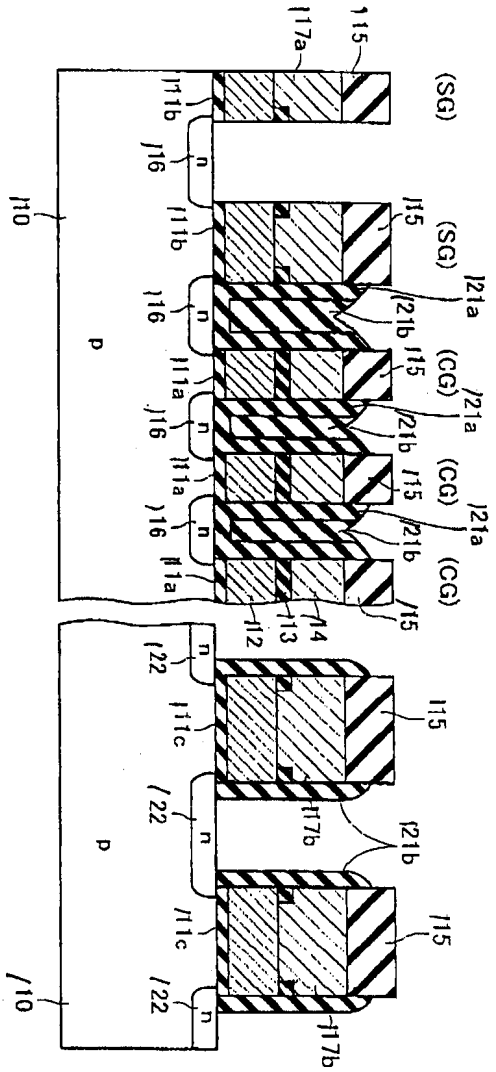
도면33


(SG)
(SG)
(CG)
(CG)
(CG)
(CG)
127a
125
115
117a
126a
121a
121b
111b
116
111a
110
p
n
122
111c
123
124
125
127b
117b
126b

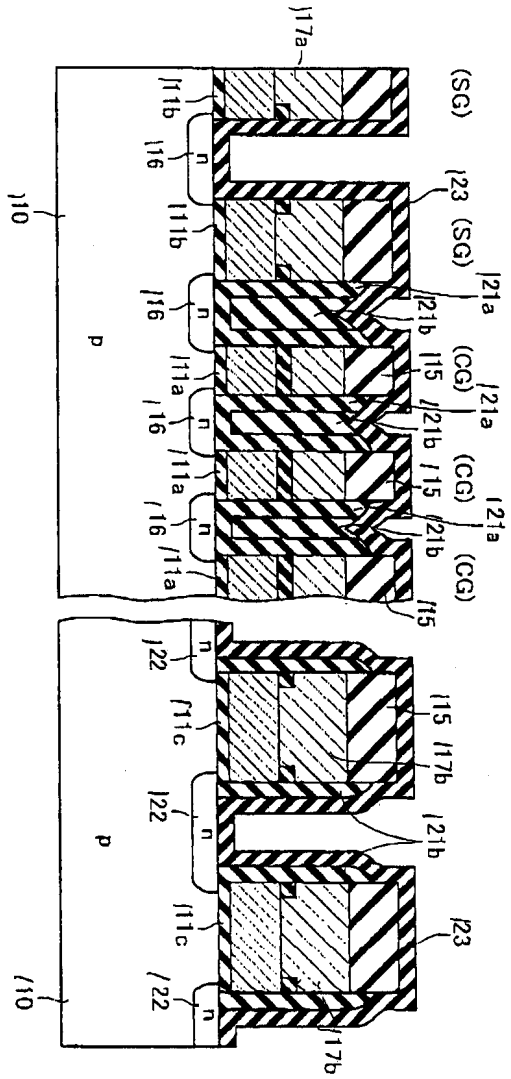
도면34



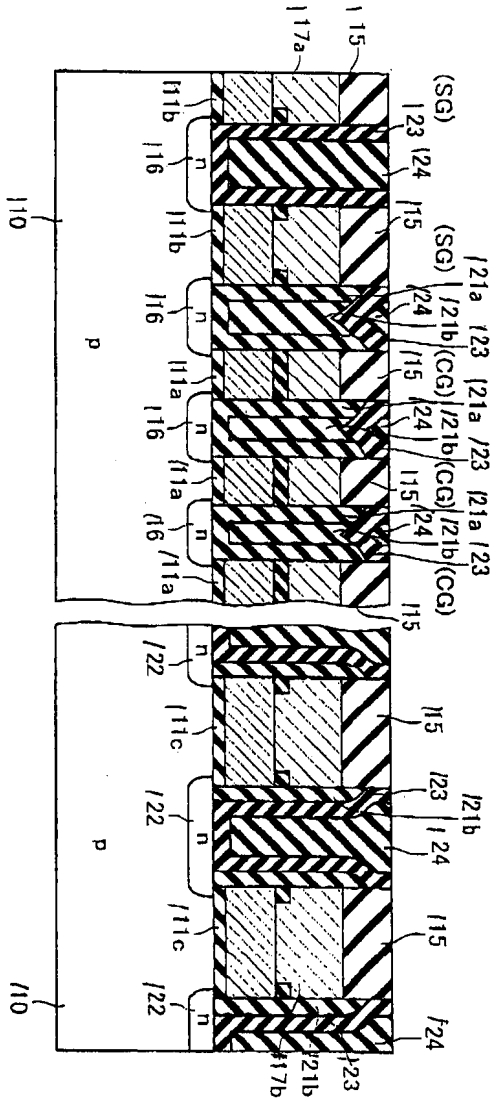
도면35



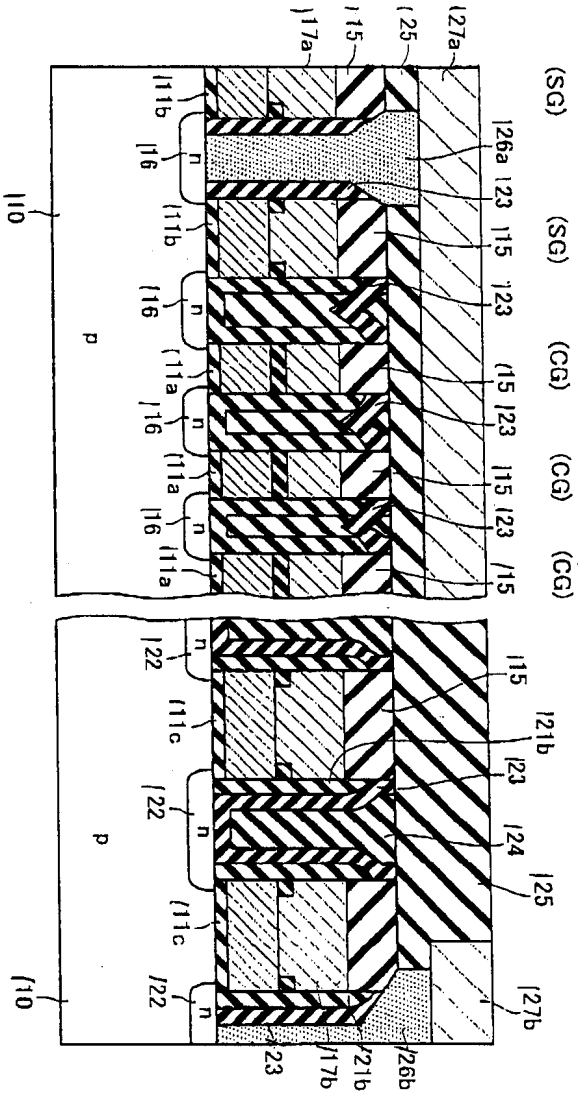
도면36



도면37



도면38


(SG)
(SG)
(CG)
(CG)
(CG)
10
p
n
11a
11b
11c
15
16
17a
17b
21b
22
23
24
25
26a
26b
27a
27b