



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0099769  
(43) 공개일자 2017년09월01일

- (51) 국제특허분류(Int. Cl.)  
*H01L 29/66* (2006.01) *H01L 21/02* (2006.01)  
*H01L 21/20* (2006.01) *H01L 21/3065* (2006.01)  
*H01L 27/11563* (2017.01) *H01L 29/423*  
(2006.01)  
*H01L 29/78* (2006.01)
- (52) CPC특허분류  
*H01L 29/66477* (2013.01)  
*H01L 21/02532* (2013.01)
- (21) 출원번호 10-2017-0022867
- (22) 출원일자 2017년02월21일  
심사청구일자 없음
- (30) 우선권주장  
JP-P-2016-033597 2016년02월24일 일본(JP)
- (71) 출원인  
르네사스 일렉트로닉스 가부시키가이샤  
일본 도쿄도 고토쿠 도요스 3쵸메 2방 24고
- (72) 발명자  
시노하라 마사아끼  
일본 도쿄도 고우또우구 도요스 3쵸메 2-24 르네  
사스 일렉트로닉스 가부시키가이샤 내
- (74) 대리인  
장수길, 이중희

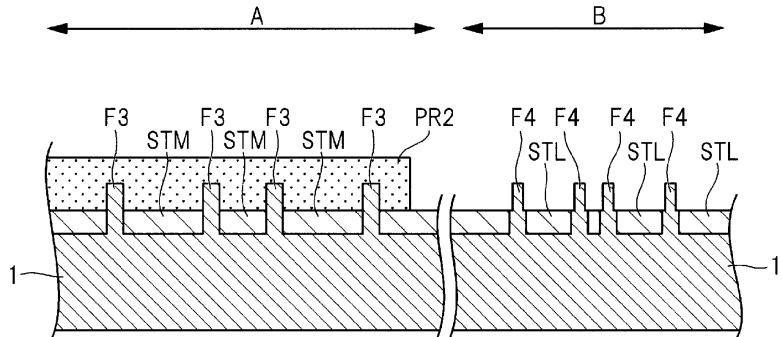
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 반도체 장치의 제조 방법

### (57) 요 약

안정된 반도체 장치의 제조 방법을 제공한다. 반도체 장치의 제조 방법은, 먼저, 반도체 기판(1)의 메모리 셀부 A 및 로직부 B에 있어서, 동등한 폭의 핀 F3을 형성한다. 다음에, 메모리 셀부 A의 핀 F3을 마스크막 PR2로 덮은 상태에서, 로직부 B의 핀에 에칭을 실시하여, 로직부 B에, 메모리 셀부 A의 핀 F3보다도 폭이 좁은 핀 F4를 형성한다.

대 표 도 - 도14



A : 메모리 셀부  
B : 로직부  
F3,F4 : 핀  
PR2 : 마스크막

(52) CPC특허분류

*H01L 21/20* (2013.01)  
*H01L 21/3065* (2013.01)  
*H01L 27/11563* (2013.01)  
*H01L 29/4232* (2013.01)  
*H01L 29/7843* (2013.01)  
*H01L 29/7846* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

- (a) 주면을 갖는 반도체 기판을 준비하는 공정,
- (b) 상기 반도체 기판의 상기 주면의 제1 영역 및 제2 영역에, 각각, 제1 마스크막을 형성하는 공정,
- (c) 상기 제1 영역 및 상기 제2 영역에 있어서, 상기 제1 마스크막의 측벽 위에, 제2 마스크막을 형성하는 공정,
- (d) 상기 제1 마스크막을 제거한 후, 상기 제1 영역 및 상기 제2 영역에 있어서, 상기 제2 마스크막의 외측의 상기 반도체 기판을 에칭하여 오목부를 형성하여, 상기 제2 마스크막 아래에, 제1 폭을 갖는 제1 볼록부를 형성하는 공정,
- (e) 상기 제1 영역의 상기 제1 볼록부를 제3 마스크막으로 덮은 상태에서, 상기 제2 영역의 상기 제1 볼록부에 에칭을 실시하여, 상기 제2 영역에 제2 폭을 갖는 제2 볼록부를 형성하는 공정,
- (f) 상기 제1 영역에 있어서, 상기 제1 볼록부에 결치도록, 제1 절연막을 개재하여 제1 게이트 전극을 형성하는 공정,
- (g) 상기 제2 영역에 있어서, 상기 제2 볼록부에 결치도록, 제2 절연막을 개재하여 제2 게이트 전극을 형성하는 공정

을 갖고,

상기 제2 폭은 상기 제1 폭보다도 좁은 반도체 장치의 제조 방법.

#### 청구항 2

제1항에 있어서,

상기 제1 절연막 및 상기 제2 절연막은, 상기 제1 볼록부 및 상기 제2 볼록부를 열산화하여 형성되고, 상기 제1 절연막의 막 두께는, 상기 제2 절연막의 막 두께보다도 두꺼운 반도체 장치의 제조 방법.

#### 청구항 3

제1항에 있어서,

상기 (d) 공정과 상기 (e) 공정 사이에,

(h) 상기 제1 영역 및 상기 제2 영역에 있어서, 상기 제1 볼록부의 하부에 있어서, 상기 제1 볼록부의 주위를 덮는 절연막을 포함하는 소자 분리막을 형성하는 공정을 더 갖는 반도체 장치의 제조 방법.

#### 청구항 4

제3항에 있어서,

상기 (e) 공정에 있어서,

상기 에칭은 등방성 에칭이고,

상기 제2 영역에 있어서, 상기 제2 볼록부는, 상기 소자 분리막으로부터 노출된 제1 부분과, 상기 소자 분리막으로 주위가 둘러싸인 제2 부분을 갖고 있고,

상기 제2 부분의 폭은, 상기 제1 부분의 폭보다도 넓은 반도체 장치의 제조 방법.

#### 청구항 5

제4항에 있어서,

상기 (g) 공정 후에,

(i) 상기 제2 게이트 전극의 양단에 있어서, 상기 제2 볼록부의 표면에 에피택설층을 형성하는 공정을 더 갖는 반도체 장치의 제조 방법.

## 청구항 6

제1항에 있어서,

상기 (f) 공정에 있어서,

상기 제1 절연막은, 상기 제1 볼록부의 표면에 형성된 산화실리콘막과, 상기 산화실리콘막 위에 형성된 질화실리콘막을 포함하는 반도체 장치의 제조 방법.

## 청구항 7

(a) 주면을 갖는 반도체 기판을 준비하는 공정,

(b) 상기 반도체 기판의 상기 주면의 제1 영역 및 제2 영역에, 각각, 제1 마스크막을 형성하는 공정,

(c) 상기 제1 영역 및 상기 제2 영역에 있어서, 상기 제1 마스크막의 측벽 위에, 제2 마스크막을 형성하는 공정,

(d) 상기 제1 영역의 상기 제2 마스크막은 남기고, 상기 제2 영역의 상기 제2 마스크막을 제거하는 공정,

(e) 상기 제1 영역에 있어서는, 상기 제1 마스크막의 측벽 위에 상기 제2 마스크막을 개재하고, 상기 제2 영역에 있어서는, 상기 제1 마스크막의 측벽 위에 직접, 제3 마스크막을 형성하는 공정,

(f) 상기 제1 마스크막을 제거한 후, 상기 제1 영역에 있어서는, 상기 제2 마스크막 및 상기 제3 마스크막의 외측의 상기 반도체 기판을 에칭하여 제1 오목부를 형성함으로써, 상기 제2 마스크막 및 상기 제3 마스크막 아래에, 제1 폭을 갖는 제1 볼록부를 형성하고, 상기 제2 영역에 있어서는, 상기 제3 마스크막의 외측의 상기 반도체 기판을 에칭하여 제2 오목부를 형성함으로써, 상기 제3 마스크막 아래에, 제2 폭을 갖는 제2 볼록부를 형성하는 공정,

(g) 상기 제1 영역에 있어서, 상기 제1 볼록부에 결치도록, 제1 절연막을 개재하여 제1 게이트 전극을 형성하는 공정,

(h) 상기 제2 영역에 있어서, 상기 제2 볼록부에 결치도록, 제2 절연막을 개재하여 제2 게이트 전극을 형성하는 공정

을 갖고,

상기 제2 폭은 상기 제1 폭보다도 좁은 반도체 장치의 제조 방법.

## 청구항 8

제7항에 있어서,

상기 제1 절연막은, 상기 제1 볼록부를 열산화하여 형성되고,

상기 제2 절연막은, 상기 제2 볼록부를 열산화하여 형성되고,

상기 제1 절연막의 막 두께는, 상기 제2 절연막의 막 두께보다도 두꺼운 반도체 장치의 제조 방법.

## 청구항 9

제7항에 있어서,

상기 (f) 공정과 상기 (g) 공정 사이에,

(i) 상기 제1 볼록부 및 상기 제2 볼록부의 하부에 있어서, 상기 제1 볼록부 및 상기 제2 볼록부의 주위를 덮는 절연막을 포함하는 소자 분리막을 형성하는 공정을 더 갖는 반도체 장치의 제조 방법.

## 청구항 10

제7항에 있어서,

상기 (g) 공정에 있어서,

상기 제1 절연막은, 상기 제1 볼록부의 표면에 형성된 산화실리콘막과, 상기 산화실리콘막 위에 형성된 질화실리콘막을 포함하는 반도체 장치의 제조 방법.

### 청구항 11

제7항에 있어서,

상기 (f) 공정에 있어서, 상기 반도체 기판의 예칭은 이방성 드라이 예칭을 사용하는 반도체 장치의 제조 방법.

### 청구항 12

(a) 주면을 갖는 반도체 기판을 준비하는 공정,

(b) 상기 반도체 기판의 상기 주면 위에 제1 마스크막을 형성하는 공정,

(c) 상기 제1 마스크막의 측벽 위에, 제2 마스크막을 형성하는 공정,

(d) 상기 제2 마스크막의 외측의 상기 반도체 기판을 예칭하여 오목부를 형성하여, 상기 제2 마스크막 아래에, 볼록부를 형성하는 공정,

(e) 상기 오목부 내로서, 상기 볼록부를 둘러싸도록 제1 절연막을 포함하는 소자 분리막을 형성하는 공정,

(f) 상기 볼록부에 걸치도록, 상기 볼록부 위에, 제2 절연막을 개재하여 게이트 전극을 형성하는 공정,

(g) 상기 게이트 전극을 사이에 두도록, 상기 볼록부의 표면에 에피택설층을 형성하는 공정

을 갖는 반도체 장치의 제조 방법.

### 청구항 13

제12항에 있어서,

상기 볼록부는, 상기 소자 분리막으로부터 노출된 제1 부분과, 상기 소자 분리막으로 주위가 둘러싸인 제2 부분과, 상기 제1 부분과 상기 제2 부분의 경계 부분으로서, 그 표면이 상기 소자 분리막으로부터 노출된 제3 부분을 갖고,

상기 에피택설층은, 상기 제1 부분 및 상기 제3 부분에 형성되어 있는 반도체 장치의 제조 방법.

### 청구항 14

제12항에 있어서,

상기 에피택설층은, 실리콘을 포함하는 에피택설층인 반도체 장치의 제조 방법.

### 청구항 15

제12항에 있어서,

상기 에피택설층은, 실리콘 게르마늄을 포함하는 에피택설층인 반도체 장치의 제조 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 장치의 제조 방법에 관한 것이며, 예를 들어 불휘발성 메모리를 갖는 반도체 장치의 제조 방법에 적합하게 이용할 수 있는 것이다.

### 배경 기술

[0002] 전기적으로 기입·소거가 가능한 불휘발성 반도체 기억 장치로서, EEPROM(Electrically Erasable and Programmable Read Only Memory)이 널리 사용되고 있다. 현재 널리 사용되고 있는 플래시 메모리로 대표되는

이들 기억 장치는, MISFET(Metal Insulator Field Effect Transistor)의 게이트 전극 아래에, 산화막으로 둘러싸인 도전성의 부유 게이트 전극 또는 트랩성 절연막을 갖고 있고, 부유 게이트 또는 트랩성 절연막에서의 전하 축적 상태를 기억 정보로 하고, 그것을 트랜지스터의 역치로서 판독하는 것이다. 이 트랩성 절연막이란, 전하의 축적 가능한 절연막을 말하고, 일례로서, 질화실리콘막 등을 들 수 있다. 이와 같은 전하 축적 영역에의 전하의 주입·방출에 의해 MISFET의 역치를 시프트시켜 기억 소자로서 동작시킨다. 이 플래시 메모리로서는, MONOS(Metal Oxide Nitride Oxide Semiconductor)막을 사용한 스플릿 게이트형 셀이 있다. 이러한 메모리에 있어서는, 전하 축적 영역으로서 질화실리콘막을 사용함으로써, 도전성의 부유 게이트막과 비교하여, 이산적으로 전하를 축적하기 때문에 데이터 유지의 신뢰성이 우수하고, 또한, 데이터 유지의 신뢰성이 우수하기 때문에 질화실리콘막 상하의 산화막을 박막화할 수 있고, 기입·소거 동작의 저전압화가 가능한 것 등의 이점을 갖는다.

[0003] 그리고, 메모리 셀은, 반도체 기판 위에 제1 게이트 절연막을 개재하여 형성된 제어 게이트 전극(선택 게이트 전극)과, 반도체 기판 위에 전하 축적 영역을 포함하는 제2 게이트 절연막을 개재하여 형성된 메모리 게이트 전극과, 제어 게이트 전극 및 메모리 게이트 전극을 사이에 두도록 반도체 기판의 표면에 형성된 한 쌍의 반도체 영역(소스 영역 및 드레인 영역)을 갖고 있다.

[0004] 그리고, 일본 특허 공개 제2006-41354호 공보(특허문현 1)에는, 반도체 기판의 표면에 볼록형 형상의 활성 영역을 형성하고, 이 볼록형의 활성 영역에 걸치도록 제어 게이트 전극 및 메모리 게이트 전극을 배치한 메모리 셀이 개시되어 있다.

[0005] 또한, 일본 특허 공개 제2013-98192호 공보(특허문현 2)의 [0128] 단락~[0135] 단락 및 도 39~도 41에는, 등방성의 에칭을 사용하여, 사이드월 길이를 짧게 하는 기술이 개시되어 있다.

## 선행기술문현

### 특허문현

[0006] (특허문현 0001) 일본 특허 공개 제2006-41354호 공보

(특허문현 0002) 일본 특허 공개 제2013-98192호 공보

## 발명의 내용

### 해결하려는 과제

[0007] 특허문현 1은 편형의 불휘발성 메모리에 관한 발명이며, 실시 형태 6에는, 메모리 셀의 메모리 게이트 전극만 볼록형 형상(편형)으로 하고, 제어 게이트 전극과 로직부에는, 통상의 평탄형 디바이스를 형성하는 예가 개시되어 있다.

[0008] 그러나, 메모리 셀부뿐만 아니라, 로직부의 면적 축소 및 저소비 전력을 위해서는, 메모리 셀부 및 로직부의 MISFET를 편형으로 할 필요가 있다.

[0009] 그리고, 메모리 셀부 및 로직부의 MISFET를 편형으로 한 불휘발성 메모리를 갖는 반도체 장치를 형성하기 위해, 안정된 프로세스의 개발이 요망되고 있다.

[0010] 그 밖의 과제와 신규 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백하게 될 것이다.

### 과제의 해결 수단

[0011] 일 실시 형태에 따르면, 반도체 장치의 제조 방법은, 주면을 갖는 반도체 기판을 준비하는 공정, 반도체 기판의 주면의 제1 영역 및 제2 영역에, 각각, 제1 마스크막을 형성하는 공정, 제1 영역 및 상기 제2 영역에 있어서, 제1 마스크막의 측벽 위에, 제2 마스크막을 형성하는 공정을 갖는다. 그 후, 제1 마스크막을 제거한 후, 제1 영역 및 제2 영역에 있어서, 제2 마스크막의 외측의 반도체 기판을 에칭하여 오목부를 형성하여, 제2 마스크막 아래에, 제1 폭을 갖는 제1 볼록부를 형성하는 공정, 제1 영역의 제1 볼록부를 제3 마스크막으로 덮은 상태에서, 제2 영역의 제1 볼록부에 에칭을 실시하여, 제2 영역에 제2 폭을 갖는 제2 볼록부를 형성하는 공정을 갖는다. 그리고, 제2 폭은 제1 폭보다도 좁다.

## 발명의 효과

[0012] 일 실시 형태에 따르면, 안정된 반도체 장치의 제조 방법을 제공할 수 있다.

## 도면의 간단한 설명

[0013] 도 1은 검토예인 반도체 장치의 제조 공정 중의 주요부 단면도.

도 2는 도 1에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 3은 도 2에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 4는 도 3에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 5는 도 4에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 6은 도 5에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 7은 도 6에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 8은 도 7에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 9는 도 8에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 10은 일 실시 형태인 반도체 장치의 주요부 평면도.

도 11은 일 실시 형태인 반도체 장치의 주요부 단면도.

도 12는 일 실시 형태인 반도체 장치의 주요부 단면도.

도 13은 일 실시 형태인 반도체 장치의 제조 공정 중의 주요부 단면도.

도 14는 도 13에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 15는 도 14에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 16은 도 14에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 17은 도 16에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 18은 도 17에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 19는 도 18에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 20은 도 19에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 21은 도 20에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 22는 도 21에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 23은 도 22에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 24는 도 23에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 25는 도 24에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 26은 도 24에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 27은 도 25에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 28은 도 27에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 29는 변형예인 반도체 장치의 제조 공정 중의 주요부 단면도.

도 30은 도 29에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 31은 도 30에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

## 발명을 실시하기 위한 구체적인 내용

[0014]

이하의 실시 형태에 있어서는 편의상 그 필요가 있을 때는, 복수의 섹션 또는 실시 형태로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고, 그들은 서로 무관계한 것은 아니고, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다. 또한, 이하의 실시 형태에 있어서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)에 언급하는 경우, 특별히 명시한 경우 및 원리적으로 명백하게 특정한 수로 한정되는 경우 등을 제외하고, 그 언급한 수에 한정되는 것은 아니고, 언급한 수 이상이어도 이하이어도 된다. 또한, 이하의 실시 형태에 있어서, 그 구성 요소(요소 스텝 등도 포함함)는 특별히 명시한 경우 및 원리적으로 명백하게 필수라고 생각되는 경우 등을 제외하고, 반드시 필수의 것은 아닌 것은 물론이다. 마찬가지로, 이하의 실시 형태에 있어서, 구성 요소 등의 형상, 위치 관계 등에 언급할 때는, 특별히 명시한 경우 및 원리적으로 명백하게 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은, 상기 수치 및 범위에 대해서도 마찬가지이다.

[0015]

이하, 실시 형태를 도면에 기초하여 상세하게 설명한다. 또한, 실시 형태를 설명하기 위한 전체 도면에 있어서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다. 또한, 이하의 실시 형태에서는, 특별히 필요할 때 이외는 동일 또는 마찬가지의 부분의 설명을 원칙적으로 반복하지 않는다.

[0016]

또한, 실시 형태에서 사용하는 도면에 있어서는, 단면도이어도 도면을 보기 쉽게 하기 위해 해칭을 생략하는 경우도 있다. 또한, 평면도이어도 도면을 보기 쉽게 하기 위해 해칭을 하는 경우도 있다.

[0017]

(실시 형태)

[0018]

<검토예>

[0019]

본원 발명자는, 불휘발성 메모리를 갖는 메모리 셀부 및 로직부에, 복수의 편형 MISFET를 배치한 반도체 장치를 검토하고 있다. 우선, 반도체 장치의 형성 방법의 일부인 편형의 소자 형성 영역(활성 영역)의 형성 방법에 대하여 설명한다. 또한, 편형의 소자 형성 영역(활성 영역)을 간단히, 「핀」 또는 「볼록부」라 부른다. 후술하지만, 본원 발명자가 검토하고 있는 불휘발성 메모리를 갖는 반도체 장치에 있어서는, 상대적으로, 메모리 셀부의 편 폭을 넓게 하고, 로직부의 편 폭을 좁게 한 구조가 요구되고 있다. 즉, 로직부의 편 폭을, 메모리 셀부의 편 폭보다도 좁게 할 필요가 있다. 도 1~도 9는 검토예인 반도체 장치의 형성 공정 중의 주요부 단면도이며, 특히 편의 형성 공정을 나타내고 있다.

[0020]

도 1에 도시한 바와 같이, 반도체 기판의 준비 공정(스텝 S1) 및 절연막 형성 공정(스텝 S2)을 실시한다. 반도체 기판의 준비 공정(스텝 S1)에서는, 예를 들어 1~10 $\mu$ m 정도의 비저항을 갖는 p형의 단결정 실리콘 등을 포함하는 반도체 기판(1)을 준비한다. 반도체 기판(1)은 직경이 200 $\mu$ m~300 $\mu$ m인 반도체 웨이퍼이다. 반도체 기판(1)의 주면은, 메모리 셀부 A 및 로직부 B를 갖고, 메모리 셀부 A 및 로직부 B는, 각각, 복수의 MISFET가 형성되는 영역이다. 절연막 형성 공정(스텝 S2)은 반도체 기판(1)의 표면에, 막 두께 2~10nm 정도의 산화실리콘 막을 포함하는 절연막(2)을 형성하는 공정과, 절연막(2) 위에 막 두께 20~100nm 정도의 절화실리콘막을 포함하는 절연막(3)을 형성하는 공정을 포함한다. 또한, 도 1에 도시한 바와 같이, 절연막(3) 위에 마스크막(4)을 형성하고, 마스크막(4) 퇴적 공정을 실시한다. 마스크막(4)은, 예를 들어 아몰퍼스 실리콘막을 포함하고, 그 막 두께는 20~200nm로 한다.

[0021]

다음에, 도 2에 도시한 바와 같이, 마스크막(4)의 패터닝 공정을 실시한다. 포토리소그래피 기술 및 에칭 기술을 사용하여 마스크막(4)을 패터닝하여, 메모리 셀부 A에 복수의 마스크막(4a), 로직부 B에 복수의 마스크막(4b)을 형성한다. 도 1에 도시한 마스크막(4) 퇴적 공정과, 마스크막(4) 패터닝 공정을, 마스크막 형성 공정(스텝 S3)이라 부른다. 마스크막(4a 및 4b)의 폭 및 간격에 따라, 편의 형성 위치(핀의 간격)를 정할 수 있다. 마스크막(4b)의 폭 및 간격은, 마스크막(4a)의 폭 및 간격보다도 좁게 되어 있다.

[0022]

다음에, 도 3에 도시한 바와 같이, 절연막(5)의 형성 공정을 실시한다. 마스크막(4a 및 4b)의 상면 및 측면을 덮도록, 반도체 기판(1)의 주면 위에 절연막(5)을 퇴적한다. 절연막(5)은, 예를 들어 10~40nm의 막 두께를 갖는 산화실리콘막을 포함한다. 절연막(5)의 막 두께는 편의 폭을 정하는 요인으로 된다.

[0023]

다음에, 도 4에 도시한 바와 같이, 하드 마스크막(5a 및 5b)의 형성 공정에서는, 전술한 절연막(5)에 이방성 드라이 에칭을 실시하여, 마스크막(4a 및 4b)의 측벽 위에, 선택적으로 측벽 절연막을 포함하는 하드 마스크막(5a 및 5b)을 형성한다. 하드 마스크막(5a)은 메모리 셀부 A에, 하드 마스크막(5b)은 로직부 B에 형성되지만, 하드 마스크막(5a 및 5b)의 폭은 동등하고, 전술한 절연막(5)의 막 두께와 거의 동등하다. 그리고, 하드 마스크막(5a 및 5b)을 형성한 후, 마스크막(4a 및 4b)을 제거한다.

- [0024] 다음에, 도 5에 도시한 바와 같이, 하드 마스크막(5b)의 세선화 공정을 실시한다. 로직부 B를 노출하고, 메모리 셀부 A를 덮는 포토레지스트막(마스크막) PR1을 형성하고, 포토레지스트막 PR1로부터 노출된 로직부 B의 하드 마스크막(5b)에 대하여 등방성 에칭을 실시한다. 산화실리콘막의 경우, 등방성 드라이 에칭은 기술적으로 곤란하고, 웨트 에칭에 의해 행하는 것이 일반적이다. 이렇게 하여, 로직부 B에, 전술한 하드 마스크막(5a)보다도 폭이 좁은 하드 마스크막(5b')을 형성한다. 즉, 세선화 공정은, 전술한 하드 마스크막(5b)의 폭을 감소(축소)시키는 공정이다. 하드 마스크막(5b')을 형성한 후, 레지스트막 PR1을 제거한다. 이렇게 하여, 메모리 셀부 A 및 로직부 B에, 각각, 펀 형성용의 하드 마스크막(5a 및 5b')이 형성된다. 여기서, 절연막(5)의 형성 공정, 하드 마스크막(5a 및 5b)의 형성 공정 및 하드 마스크막(5b)의 세선화 공정을, 통합하여 하드 마스크막 형성 공정(스텝 S4)이라 부른다.
- [0025] 다음에, 도 6에 도시한 바와 같이, 펀 가공 공정(스텝 S5)을 실시한다. 하드 마스크막(5a 및 5b')을 마스크로 하여, 절연막(3 및 2), 그리고 반도체 기판(1)에 이방성 드라이 에칭을 실시하여, 평면에서 보아, 하드 마스크막(5a 및 5b')과 거의 동등한 형상의 절연막(3 및 2), 그리고 펀 F1 및 F2를 형성한다. 즉, 하드 마스크막(5a 및 5b')의 외측(하드 마스크막(5a 및 5b')으로 덮여 있지 않은 영역)의 반도체 기판(1)에 오목부를 형성함으로써, 오목부에 둘러싸인 볼록부인 펀 F1 및 F2를 형성한다. 여기서, 반도체 기판(1)의 에칭 시에는, 절연막(3)도 에칭 마스크로서 사용된다. 이렇게 하여, 하드 마스크막(5a 및 5b')으로부터 노출된 영역의 반도체 기판(1)을 100~250nm 파 내려감으로써, 반도체 기판(1)의 주면(1a)으로부터의 높이 100~250nm를 갖는 펀 F1 및 F2를 형성할 수 있다. 물론, 메모리 셀부 A의 펀 F1의 폭 W1은, 로직부 B의 펀 F2의 폭 W2보다도 넓다.
- [0026] 다음에, 도 7에 도시한 바와 같이, 절연막(6)의 퇴적 공정을 실시한다. 반도체 기판(1) 위에, 펀 F1 및 F2, 절연막(2 및 3), 그리고 하드 마스크막(5a 및 5b')을 완전히 매립하도록 산화실리콘막 등을 포함하는 절연막(6)을 퇴적한다. 즉, 볼록부의 주위의 오목부에 절연막(6)을 형성한다.
- [0027] 다음에, 도 8에 도시한 바와 같이, 절연막(6)의 연마 공정을 실시한다. 절연막(6), 전술한 하드 마스크막(5a 및 5b') 및 절연막(3)에 CMP(Chemical Mechanical Polishing) 처리를 실시하고, 하드 마스크막(5a 및 5b')이 연마된 후에, 절연막(3)이 예를 들어 20nm 정도로 될 때까지 절연막(3 및 6)을 연마한다.
- [0028] 다음에, 도 9에 도시한 바와 같이, 절연막(6)의 에치백 공정을 실시한다. 전술한 연마 공정이 완료된 후, 우선, 절연막(3)을 예를 들어 웨트 에칭에 의해 제거한다. 다음에, 절연막(6)에 등방성 에칭을 실시함으로써, 소자 분리막(6a 및 6b)을 형성한다. 즉, 절연막(6)의 상면을 저하시켜, 예를 들어 펀 F1 및 F2의 높이를 30nm ~50nm 정도로 설정한다. 여기서, 절연막(6)의 퇴적 공정, 절연막(6)의 연마 공정, 및, 절연막(6)의 에치백 공정을, 펀 형성 공정(스텝 S6)이라 부른다. 또한, 절연막(6)을 등방성 에칭하는 공정에서, 절연막(2)도 제거된다.
- [0029] 이상의 공정에 의해, 메모리 셀부 A에 펀 F1을, 로직부 B에 펀 F2를 형성할 수 있다. 펀 F1 및 F2는, 반도체 기판(1)의 주면(1a)으로부터 둘출된 볼록부이며, 그 주위가 반도체 기판(1)의 주면(1a) 위에 형성된 소자 분리막(6a 및 6b)으로 둘러싸여 있다. 즉, 복수의 펀 F1 간은, 소자 분리막(6a)에 의해 분리되어 있고, 복수의 펀 F2 간은, 소자 분리막(6b)에 의해 분리되어 있다. 그리고, 후술하는 바와 같이, 펀 F1에는 불휘발성의 메모리 셀이, 펀 F2에는 MISFET가 형성된다.
- [0030] 본원 발명자의 검토에 의해, 상기의 펀의 형성 방법에는, 한층 더한 개선의 여지가 있는 것이 판명되었다.
- [0031] 제1로, 상기의 하드 마스크막 형성 공정(스텝 S4) 중 하드 마스크막(5b)의 세선화 공정에 있어서, 하드 마스크막(5b)을 불산으로 웨트 에칭한 경우, 에칭량의 제어가 곤란하기 때문에, 에칭량의 변동이 큰 것, 및, 반도체 웨이퍼 면내에 있어서의 하드 마스크막(5b')의 치수(폭, 길이, 또는, 높이) 변동이 큰 것이 판명되었다. 에칭량의 변동 및 하드 마스크막(5b')의 치수 변동은 펀 폭의 변동에 직결되기 때문에, 거기에 형성되는 MISFET의 특성 변동으로 되어 나타난다.
- [0032] 제2로, 상기의 하드 마스크막 형성 공정(스텝 S4) 중 절연막(5)의 형성 공정에 있어서, 절연막(5)의 막 두께는, 로직부 B의 하드 마스크막(5b')의 폭보다도 큰 메모리 셀부 A의 하드 마스크막(5a)의 폭으로 설정되어 있다. 그 때문에, 절연막(5)을 퇴적한 단계에서, 로직부 B의 인접하는 마스크막(4b) 간이 절연막(5)으로 매립되어 버려, 하드 마스크막(5a 및 5b)의 형성 공정에서, 절연막(5)에 이방성 드라이 에칭을 실시해도, 하드 마스크막(5b)을 형성할 수 없다고 하는 과제가 밝혀졌다. 특히, 로직부 B에 형성하는 MISFET의 미세화가 진행되면, 이 과제가 현저해지는 것이 판명되었다.
- [0033] <반도체 장치의 디바이스 구조>

[0034]

도 10은 본 실시 형태에 있어서의 반도체 장치의 주요부 평면도이다. 도 10에 있어서, 메모리 셀부 A에는, 복수의 메모리 셀이 행렬 형상으로 배치된 메모리 셀 어레이의 주요부 평면도를, 로직부 B에는, 로직 회로 형성 영역의 로직 회로 등을 구성하는 트랜지스터 Tr의 주요부 평면도를 도시하고 있다. 트랜지스터 Tr로서는, n형의 MISFET(Metal Insulator Semiconductor Field Effect Transistor)를 예시하지만, p형 MISFET도 마찬가지로 형성할 수 있다. 도 11은 본 실시 형태에 있어서의 반도체 장치의 메모리 셀부의 주요부 단면도이다. 도 11에는 메모리 셀부 A의 4개의 단면도를 도시하고 있고, 메모리 셀부 A1은, 도 10의 A1-A1'를 따르는 단면도, 메모리 셀부 A2는 도 10의 A2-A2'를 따르는 단면도, 메모리 셀부 A3은 도 10의 A3-A3'를 따르는 단면도, 그리고, 메모리 셀부 A4는 도 10의 A4-A4'를 따르는 단면도이다. 도 12에는 로직부 B의 3개의 단면도를 도시하고 있다. 로직부 B1은 도 10의 B1-B1'를 따르는 단면도, 로직부 B2는 도 10의 B2-B2'를 따르는 단면도, 로직부 B3은 도 10의 B3-B3'를 따르는 단면도이다.

[0035]

도 10에 도시한 바와 같이, 메모리 셀부 A에는, X 방향으로 연장되는 복수의 핀 FA가, Y 방향으로 등간격으로 배치되어 있다. 핀 FA는, 예를 들어 반도체 기판(1)의 주면(1a)으로부터 선택적으로 돌출된 직육면체의 돌출부(볼록부)이고, 핀 FA의 하단 부분은, 반도체 기판(1)의 주면(1a)을 덮는 소자 분리막 STM으로 둘러싸여 있다. 핀 FA는 반도체 기판(1)의 일부이며, 반도체 기판(1)의 활성 영역이다. 따라서, 평면에서 보아, 인접하는 핀 FA의 사이는 소자 분리막 STM으로 매립되어 있고, 핀 FA의 주위는 소자 분리막 STM으로 둘러싸여 있다. 핀 FA는 메모리 셀 MC를 형성하는 위한 활성 영역이다.

[0036]

복수의 핀 FA 위에는, Y 방향(X 방향과 직교하는 방향)으로 연장되는 복수의 제어 게이트 전극 CG 및 복수의 메모리 게이트 전극 MG가 배치되어 있다. 제어 게이트 전극 CG 및 메모리 게이트 전극 MG를 사이에 두도록, 제어 게이트 전극 CG의 측에는 드레인 영역 MD가, 그리고, 메모리 게이트 전극 MG 측에는 소스 영역 MS가 형성되어 있다. 드레인 영역 MD 및 소스 영역 MS는, 핀 FA에 n형 불순물이 도입된 반도체 영역이며, 핀 FA의 주위를 따라서 에피택셜층 EP2 및 EP1이 형성되어 있다. 즉, 드레인 영역 MD는, 핀 FA 및 에피택셜층 EP2에 n형 불순물이 도입된 n형의 반도체 영역이다. 소스 영역 MS는, 핀 FA 및 에피택셜층 EP1에 n형 불순물이 도입된 n형의 반도체 영역이다. 드레인 영역 MD는, 인접하는 2개의 제어 게이트 전극 CG 간에 형성되어 있고, 소스 영역 MS는, 인접하는 2개의 메모리 게이트 전극 MG 간에 형성되어 있다. 메모리 셀 MC는, 제어 게이트 전극 CG, 메모리 게이트 전극 MG, 드레인 영역 MD 및 소스 영역 MS를 갖는다.

[0037]

X 방향으로 인접하는 2개의 메모리 셀 MC에 있어서, 드레인 영역 MD 또는 소스 영역 MS는 공유되고 있다. 드레인 영역 MD를 공유하는 2개의 메모리 셀 MC는, 드레인 영역 MD에 대하여 X 방향으로 경면 대칭으로 되어 있고, 소스 영역 MS를 공유하는 2개의 메모리 셀 MC는, 소스 영역 MS에 대하여 X 방향으로 경면 대칭으로 되어 있다.

[0038]

각 핀 FA에는, X 방향으로, 3개 이상의 다수의 메모리 셀 MC가 형성되어 있고, X 방향으로 배열된 복수의 메모리 셀 MC의 드레인 영역 MD는, 콘택트 홀 CT 내에 형성된 플러그 전극 PG를 개재하여, X 방향으로 연장되는 금속 배선 MW를 포함하는 소스선 SL에 접속되어 있다. 또한, Y 방향으로 배열된 복수의 메모리 셀 MC의 소스 영역 MS는, Y 방향으로 연장되는 금속 배선 MW를 포함하는 비트선 BL에 접속되어 있다. 적합하게는, 소스선 SL에는, 비트선 BL과는 상이한 층의 금속 배선을 사용한다. 예를 들어, 소스선 SL은, 비트선 BL보다도 상층의 금속 배선을 포함하는 것이 바람직하다.

[0039]

또한, 로직부 B에는, 예를 들어 X 방향으로 연장되는 핀 FB가 형성되어 있다. 핀 FB는, 핀 FA와 마찬가지로 반도체 기판(1)의 활성 영역이며, 핀 FB의 하단 부분은, 반도체 기판(1)의 주면(1a)을 덮는 소자 분리막 STL로 둘러싸여 있다. 핀 FB 위에는, Y 방향으로 연장되는 게이트 전극 GE가 배치되고, 게이트 전극 GE를 사이에 두도록, 핀 FB에는 드레인 영역 LD 및 소스 영역 LS가 형성되어 있다. 드레인 영역 LD 및 소스 영역 LS는, 핀 FB에 n형 불순물이 도입된 반도체 영역이며, 핀 FB의 주위를 따라서 에피택셜층 EP3이 형성되어 있다. 즉, 드레인 영역 LD 및 소스 영역 LS는, 핀 FB 및 에피택셜층 EP3에 n형 불순물이 도입된 n형의 반도체 영역이다. 트랜지스터 Tr은, 게이트 전극 GE, 드레인 영역 LD 및 소스 영역 LS를 갖는다. 게이트 전극 GE, 드레인 영역 LD 및, 소스 영역 LS는, 각각, 콘택트 홀 CT 내에 형성된 플러그 전극 PG를 개재하여, 금속 배선 MW에 접속되어 있다. 핀 FB는, 트랜지스터 Tr을 형성하는 위한 활성 영역이다.

[0040]

핀 FA 및 FB는, 반도체 기판(1)의 주면(1a)으로부터, 주면(1a)에 수직인 방향으로 돌출되는, 예를 들어 직육면체의 돌출부이다. 핀 FA 및 FB는, 긴 변 방향으로 임의의 길이, 짧은 변 방향으로 임의의 폭, 높이 방향으로 임의의 높이를 갖는다. 핀 FA 및 FB는, 반드시 직육면체일 필요는 없고, 짧은 변 방향에 있어서의 단면에서 보아, 직사각형의 각부가 라운드된 형상도 포함된다. 또한, 평면에서 보아 핀 FA 및 FB가 연장되는 방향이 긴 변 방향이고, 긴 변 방향에 직교하는 방향이 짧은 변 방향이다. 즉, 길이는 폭보다도 크다. 핀 FA 및 FB는 길이,

폭, 및, 높이를 갖는 돌출부이면, 그 형상은 불문한다. 예를 들어, 평면에서 보아, 사행 패턴도 포함된다.

[0041] 다음에, 도 11 및 도 12를 사용하여 메모리 셀 MC 및 트랜지스터 Tr의 구조에 대하여 설명한다.

[0042] 도 11에 도시한 바와 같이, 반도체 기판(1)의 메모리 셀부 A에는, 반도체 기판(1)의 돌출부인 핀 FA가 형성되어 있다. 핀 FA의 하부는, 반도체 기판(1)의 주면(1a) 위에 형성된 소자 분리막 STM으로 둘러싸여 있다. 즉, 핀 FA 같은, 소자 분리막 STM에 의해 분리되어 있다. 핀 FA의 하부에는, p형의 반도체 영역인 p형 웨尔 PW1이 형성되어 있다. 바꾸어 말하면, 핀 FA는 p형 웨尔 PW1 내에 형성되어 있다.

[0043] 핀 FA의 주면 FAa 및 측면 FAs 위에는, 게이트 절연막 GIT를 개재하여 제어 게이트 전극 CG가 형성되어 있고, 핀 FA의 긴 변 방향에 있어서, 제어 게이트 전극 CG에 인접하는 영역에는, 게이트 절연막 GIm을 개재하여 메모리 게이트 전극 MG가 형성되어 있다. 제어 게이트 전극 CG와 메모리 게이트 전극 MG 간에는, 게이트 절연막 GIm이 개재되어 있고, 제어 게이트 전극 CG와 메모리 게이트 전극 MG 같은, 게이트 절연막 GIm에 의해 전기적으로 분리되어 있다. 제어 게이트 전극 CG와 메모리 게이트 전극 MG 같은, 게이트 절연막 GIm 이외의 절연막을 개재시켜 전기적으로 분리해도 된다.

[0044] 여기서, 게이트 절연막 GIT는, 실리콘을 포함하는 반도체 기판(1)의 돌출부(볼록부)인 핀 FA의 주면 FAa 및 측면 FAs를 열산화하여 형성한 열산화막(산화실리콘막)이며, 그 막 두께는 2nm이다. 또한, 게이트 절연막 GIm은, 실리콘을 포함하는 반도체 기판(1)의 돌출부인 핀 FA의 주면 FAa 및 측면 FAs를 열산화하여 형성한 5~6nm의 막 두께를 갖는 열산화막(산화실리콘막)을 포함하는 절연막(10')과, 절연막(10') 위에 형성된 절연막(11')을 포함한다. 절연막(11')은, 전하 축적부(전하 축적층)인 질화실리콘막과, 질화실리콘막의 표면을 덮는 산질화실리콘막의 적층막을 포함한다. 질화실리콘막은 7nm의 막 두께를 갖고, 산질화실리콘막은 9nm의 막 두께를 갖는다. 즉, 게이트 절연막 GIm은 산화실리콘막, 질화실리콘막, 및, 산질화실리콘막의 적층 구조를 갖고, 그 막 두께는 21~22nm로 되며, 제어 게이트 전극 CG 아래의 게이트 절연막 GIT보다도 두껍다. 게이트 절연막 GIm은 산화실리콘막, 질화실리콘막, 및, 산화실리콘막의 적층 구조로 해도 된다.

[0045] 메모리 셀부 A2에 나타내는 바와 같이, 핀 FA의 짧은 변 방향에 있어서, 제어 게이트 전극 CG는, 게이트 절연막 GIT를 개재하여, 핀 FA의 주면 FAa 및 측면 FAs를 따라서 연장되어 있고, 핀 FA를 둘러싸는 소자 분리막 STM 위로 연장되어 있다. 즉, 제어 게이트 전극 CG는, 게이트 절연막 GIT를 개재하여 핀 FA에 걸친 구조로 되어 있다. 마찬가지로, 메모리 셀부 A3에 나타내는 바와 같이, 핀 FA의 짧은 변 방향에 있어서, 메모리 게이트 전극 MG는, 게이트 절연막 GIm을 개재하여, 핀 FA의 주면 FAa 및 측면 FAs를 따라서 연장되어 있고, 핀 FA를 둘러싸는 소자 분리막 STM 위로 연장되어 있다. 즉, 메모리 게이트 전극 MG는, 게이트 절연막 GIm을 개재하여 핀 FA에 걸친 구조로 되어 있다.

[0046] 또한, 메모리 셀부 A1 및 A4에 나타내는 바와 같이, 제어 게이트 전극 CG 및 메모리 게이트 전극 MG를 사이에 두도록, 제어 게이트 전극 CG 및 메모리 게이트 전극 MG의 외측의 영역에 형성된 소스 영역 MS는, n형 반도체 영역 EX1 및 에피택셜층 EP1을 갖고, 드레인 영역 MD는, n형 반도체 영역 EX2 및 에피택셜층 EP2를 갖는다. n형 반도체 영역 EX1 및 EX2는, 핀 FA 내에 n형 불순물이 도입된 n형 반도체 영역이며, 에피택셜층 EP1 및 EP2는, 핀 FA의 상면 FAa 및 측면 FAs 위에 형성된 실리콘 에피택셜층이다. 에피택셜층 EP1 및 EP2에는, 인(P) 등의 n형 불순물이 고농도로 도입되어 있고, 에피택셜층 EP1 및 EP2의 불순물 농도는, n형 반도체 영역 EX1 및 EX2의 불순물 농도보다도 높다.

[0047] 제어 게이트 전극 CG 및 메모리 게이트 전극 MG의 측벽 위에는, 사이드월 스페이서(사이드월, 측벽 절연막) SW 및 층간 절연막 IL1이 형성되어 있고, 제어 게이트 전극 CG, 메모리 게이트 전극 MG, 소스 영역 MS 및 드레인 영역 MD를 덮도록, 층간 절연막 IL1 위에 층간 절연막 IL2가 형성되어 있다. 층간 절연막 IL2 위에는, 금속 배선 MW가 형성되고, 금속 배선 MW는, 층간 절연막 IL2 및 IL1에 형성된 콘택트 홀 CT 내에 형성된 플러그 전극 PG를 개재하여, 소스 영역 MS 및 드레인 영역 MD에 전기적으로 접속되어 있다. 또한, 에피택셜층 EP1 및 EP2의 표면 위에는 실리사이드층 SC가 형성되어 있고, 플러그 전극 PG는 실리사이드층 SC에 접촉하고 있다.

[0048] 메모리 셀 MC는, 핀 FA에 형성된, 제어 게이트 전극 CG, 메모리 게이트 전극 MG, 드레인 영역 MD 및 소스 영역 MS를 갖는다. 제어 게이트 전극 CG는, 핀 FA의 주면 FAa 및 측면 FAs 위에 게이트 절연막 GIT를 개재하여 배치되어 있고, 메모리 게이트 전극 MG는, 핀 FA의 주면 FAa 및 측면 FAs 위에 게이트 절연막 GIm을 개재하여 배치되어 있다. 드레인 영역 MD와 소스 영역 MS는, 제어 게이트 전극 CG 및 메모리 게이트 전극 MG를 사이에 두도록 배치되어 있다. 그리고, 긴 변 방향의 드레인 영역 MD와 소스 영역 MS 사이의 거리가, 메모리 셀 MC의 채널

길이에 상당하고, 짧은 변 방향에 있어서의 제어 게이트 전극 CG 또는 메모리 게이트 전극 MG가 핀 FA의 주면 FAa 및 측면 FAs와 대향하는 영역이, 메모리 셀 MC의 채널 폭에 상당한다.

[0049] 도 12에 도시한 바와 같이, 반도체 기판(1)의 로직부 B에는, 반도체 기판(1)의 돌출부인 핀 FB가 형성되어 있다. 핀 FB의 하부는, 반도체 기판(1)의 주면(1a) 위에 형성된 소자 분리막 STL로 둘러싸여 있다. 즉, 인접하는 핀 FB 간은, 소자 분리막 STL에 의해 분리되어 있다. 핀 FB의 하부에는, p형의 반도체 영역인 p형 웨尔 PW2가 형성되어 있다. 바꾸어 말하면, 핀 FB는 p형 웨尔 PW2 내에 형성되어 있다.

[0050] 로직부 B1에 나타내는 바와 같이, 트랜지스터 Tr은, 핀 FB에 형성된, 게이트 전극 GE와, 게이트 전극 GE의 양단의 소스 영역 LS 및 드레인 영역 LD를 갖는다. 핀 FB의 주면 FBa 및 측면 FBs 위에는, 게이트 절연막 GIL 및 절연막 HK를 개재하여 게이트 전극 GE가 형성되어 있다. 게이트 절연막 GIL은 열산화막이며, 그 막 두께는 1~2nm 정도이다. 로직부 B2에 나타내는 바와 같이, 핀 FB의 짧은 변 방향에 있어서, 게이트 전극 GE는, 게이트 절연막 GIL 및 절연막 HK를 개재하여, 핀 FB의 주면 FBa 및 측면 FBs를 따라서 연장되어 있고, 핀 FB를 둘러싸는 소자 분리막 STL 위로 연장되어 있다. 게이트 전극 GE는 금속막 ME1 및 ME2의 적층 구조를 포함하고 있다.

[0051] 또한, 게이트 전극 GE를 사이에 두도록, 게이트 전극 GE의 외측의 영역에 형성된 소스 영역 LS 및 드레인 영역 LD는, n형 반도체 영역 EX3 및 에피택셜층 EP3을 갖는다. 소스 영역 LS 및 드레인 영역 LD는, 짧은 변 방향 및 높이 방향에 있어서, 소자 분리막 STL로부터 노출된 핀 FB의 전역에 형성되어 있다. 소스 영역 LS는, 로직부 B3에 나타내는 바와 같이, 핀 FB와, 핀 FB의 주면 FBa 및 측면 FBs 위에 형성된 에피택셜층 EP3에 의해 형성되어 있다. 에피택셜층 EP3은, 핀 FB의 상면 FBa 및 측면 FBs 위에 형성된 실리콘 에피택셜층이다. 에피택셜층 EP3에는, 인(P) 등의 n형 불순물이 고농도로 도입되어 있고, 에피택셜층 EP3의 불순물 농도는, n형 반도체 영역 EX3의 불순물 농도보다도 높다. 드레인 영역 LD도 소스 영역 LS와 마찬가지의 구조이다.

[0052] 게이트 전극 GE의 측벽 위에는, 사이드월 스페이서 SW 및 충간 절연막 IL1이 형성되어 있고, 게이트 전극 GE 및 충간 절연막 IL1 위에 충간 절연막 IL2가 형성되어 있다. 충간 절연막 IL2 위에는, 금속 배선 MW가 형성되고, 금속 배선 MW는, 충간 절연막 IL2 및 IL1에 형성된 콘택트 홀 CT 내에 형성된 플러그 전극 PG를 개재하여, 소스 영역 LS 및 드레인 영역 LD에 전기적으로 접속되어 있다. 또한, 에피택셜층 EP3의 표면 위에는 실리사이드층 SC가 형성되어 있고, 플러그 전극 PG는 실리사이드층 SC에 접촉하고 있다.

[0053] 또한, p형 웨尔 PW1 및 PW2는, 도 11 및 도 12에만 도시하고, 다른 제조 방법의 단면도에서는 생략하고 있다.

[0054] <반도체 장치의 제조 공정에 대하여>

[0055] 다음에, 본 실시 형태의 반도체 장치의 제조 공정에 대하여 설명하지만, 우선, 핀의 형성 공정에 대하여 설명하고, 그 후의 메모리 셀부의 메모리 셀 및 로직부의 MISFET의 형성 방법을 설명한다. 본 실시 형태의 핀의 형성 방법은, 전술한 검토예를 기본으로 하는 것이며, 전술한 핀의 형성 공정과 상이한 부분을 주로 설명한다. 도 13~도 28은 본 실시 형태의 반도체 장치의 형성 공정 중의 주요부 단면도이다.

[0056] 먼저, 메모리 셀부 A의 핀 FA의 폭을, 로직부 B의 핀 FB의 폭보다도 넓게(크게) 하는 것의 중요성을 설명한다.

[0057] 전술한 바와 같이, 메모리 게이트 전극 MG로 덮이는 부분에서는, 핀 FA의 주면 FAa 및 측면 FAs에, 열산화막인 절연막(10')의 막 두께 : 5~6nm이 형성된다. 그리고, 절연막(10')의 막 두께는, 로직부 B의 핀 FB의 주면 FBa 및 측면 FBs에 형성하는 열산화막을 포함하는 게이트 절연막 GIL(막 두께 : 1~2nm) 또는 게이트 절연막 GIT보다도 두껍게 하는 것이 적합하다. 이것은, 전하 축적부인 절연막(11')의 하층의 절연막(10')의 막 두께를 두껍게 함으로써, 전하 유지 시간을 향상시킬 수 있음과 함께, 메모리 셀 MC의 재기입 횟수를 향상시킬 수 있기 때문이다.

[0058] 이와 같이, 메모리 셀부 A의 핀 FA의 폭은, 적어도, 절연막(10')의 막 두께의 2배만큼 감소하여 가늘어져 버리기 때문에, 이 감소분을 가미하여 굵게 해 둘 필요가 있다. 한편, 로직부 B의 핀 FB의 주면 FBa 및 측면 FBs에 형성하는 열산화막을 포함하는 게이트 절연막 GIL(막 두께 : 1~2nm)은 절연막(10')에 비해 얇다. 또한, 로직부 B의 핀 FB의 폭은, 최대한 좁게 하고, 거기에 형성된 MISFET의 기판 부분을 완전히 공핍화시켜, 누설 전류를 저감시킬 필요가 있다.

[0059] 상기의 배경으로부터, 미리, 메모리 셀부 A의 핀 FA의 폭을, 로직부 B의 핀 FB의 폭보다도 넓게(크게) 해 두는 것이 중요하다.

[0060] 이하, 도 13~도 15를 사용하여, 메모리 셀부 A의 핀 FA 및 로직부 B의 핀 FB의 제조 공정에 대하여 설명한다.

- [0061] 전술한 검토예와 마찬가지로, 반도체 기판의 준비 공정(스텝 S1)부터 핀 형성 공정(스텝 S6)까지를 순서대로 실시한다. 단, 하드 마스크막 형성 공정(스텝 S4)의 하드 마스크막(5b)의 세선화 공정은 실시하지 않는다. 즉, 도 13에 도시한 바와 같이, 메모리 셀부 A 및 로직부 B에, 동등한 폭을 갖는 핀 F3을 형성한다. 핀 F3의 폭은, 예를 들어 30nm 정도로 한다. 핀 F3은 소자 분리막 STM 및 STL로부터 50nm 정도 노출되어 있다.
- [0062] 다음에, 도 14에 도시한 바와 같이, 핀의 세선화 공정(스텝 S7)을 실시한다. 메모리 셀부 A를 덮고, 또한, 로직부 B를 노출한 포토레지스트막(마스크막) PR2를 마스크로서 사용하여, 로직부 B의 실리콘을 포함하는 핀 F3에 등방성 에칭을 실시한다. 그리고, 전술한 로직부 B의 핀 F3을 선택적으로 가늘게 하여, 로직부 B에 핀 F4를 형성한다. 핀 F4의 폭은, 예를 들어 10~15nm 정도, 높이는 35~40nm 정도로 된다. 등방성 에칭은, 예를 들어 CF<sub>4</sub> 및 O<sub>2</sub>의 혼합 가스를 사용한 드라이 에칭에 의해 실시한다. 또한, 핀 F4를 형성한 후, 포토레지스트막 PR2를 제거하고, 도시하지 않은 마스크(예를 들어, 포토레지스트막)로 메모리 셀부 A 및 로직부 B의 일부의 핀 F4를 덮고, 노출된 핀 F4에, 상기의 등방성 에칭을 실시함으로써, 폭이 더 좁은 핀을 형성해도 된다. 또한, 이들 공정을 반복함으로써, 로직부 B에 상이한 폭을 갖는 2종류 이상의 핀을 형성할 수도 있다.
- [0063] 다음에, 포토레지스트막 PR2를 제거하면, 도 15에 도시한 바와 같이, 메모리 셀부 A에 핀 FA, 로직부 B에 핀 FB를 갖는 반도체 기판(1)을 준비할 수 있다. 메모리 셀부 A에서는, 소자 분리막 STM으로부터 노출된 부분과, 소자 분리막 STM에 매립된 부분의 핀 FA의 폭은 동등하고, 그 폭 W3은 30nm 정도이다. 그리고, 소자 분리막 STM으로부터 노출된 부분의 핀 FA의 높이 H1은 50nm 정도이다. 또한, 로직부 B에서는, 소자 분리막 STL로부터 노출된 부분의 핀 FB의 폭 W4는 10~15nm 정도이고, 소자 분리막 STL에 매립된 부분의 핀 FB의 폭 W5는 30nm 정도이다. 소자 분리막 STL로부터 노출된 부분의 핀 FB의 높이 H2는 35~40nm 정도이다. 즉, 소자 분리막 STL에 매립된 부분의 핀 FB의 폭 W5는, 소자 분리막 STL로부터 노출된 부분의 핀 FB의 폭 W4보다도 넓으므로, 소자 분리막 STL에 매립된 부분의 핀 FB의 견부 SH가, 소자 분리막 STL로부터 노출되어 있다.
- [0064] 이와 같이, 실리콘을 포함하는 핀에 등방성 에칭을 실시하여, 핀의 폭을 좁게 하기 때문에, 에칭량의 변동을 저감할 수 있고, 또한, 핀 폭의 반도체 웨이퍼 면 내 변동을 저감할 수 있어, 안정된 핀 형성 방법을 제공할 수 있다. 또한, 핀의 가공 정밀도를 향상시킬 수 있기 때문에, 로직부 B의 미세화, 고집적화가 가능해진다. 산화 실리콘막의 웨트 에칭에 비해, 실리콘의 드라이 에칭은, 에칭 레이트가 낮기 때문에, 에칭량의 제어성이 좋다. 또한, 드라이 에칭이므로, 에칭의 제어성이 높기 때문에, 면내 변동을 저감할 수 있다.
- [0065] 다음에, 도 16~도 28에서는, 메모리 셀 MC 및 트랜지스터 Tr의 제조에 대하여 설명한다. 도 16~도 25, 도 27 및 도 28에는 도 11의 메모리 셀부 A1, A2, 및 A3, 그리고 도 12의 로직부 B1 및 B2의 단면도를 도시하고 있다. 도 26에는 메모리 셀부 A4 및 로직부 B3의 단면도를 도시하고 있다.
- [0066] 도 16은 도 15에 도시한 핀 FA 및 FB의 메모리 셀부 A1, A2 및 A3, 그리고 로직부 B1 및 B2의 단면도를 도시하고 있다.
- [0067] 도 17은 절연막(7), 도체막(8), 및, 절연막(9)의 형성 공정(스텝 S8)을 도시하고 있다. 우선, 핀 FA 및 FB의 주면 FAa 및 FBa, 그리고 측면 FAs 및 FBs에 절연막(7)을 형성한다. 절연막(7)은 핀 FA 및 FB의 주면 FAa 및 FBa, 그리고 측면 FAs 및 FBs를 열산화하여, 2nm 정도의 산화실리콘막을 형성한다. 다음에, 절연막(7) 위에 핀 FA 및 FB의 높이 이상의 막 두께의 도체막(8)을 퇴적하고, 도체막(8)에 CMP 처리를 실시함으로써, 평탄한 주면을 갖는 도체막(8)을 형성한다. 다음에, 도체막(8)의 주면 위에, 절연막(9)을 퇴적한다. 도체막(8)은 폴리실리콘막(실리콘막), 절연막(9)은 질화실리콘막을 포함한다. 또한, 도체막(8)의 CMP 공정에서는, 핀 FA 및 FB의 주면 위에 도체막(8)이 남아 있는 것이 긴요하다. 후술하지만, 절연막(9)은 핀 FA의 높이와 동일 정도의 막 두께로 하는 것이 바람직하지만, 도 17 이외에서는 얇게 도시하고 있다.
- [0068] 도 18은 제어 게이트 전극 CG의 형성 공정(스텝 S9)을 도시하고 있다. 절연막(9) 위에 포토레지스트막(마스크막) PR3을 선택적으로 형성한다. 포토레지스트막 PR3은, 메모리 셀부 A에 있어서, 제어 게이트 전극 CG의 형성 영역을 덮고, 그 이외의 영역을 노출하는 패턴을 갖는다. 또한, 포토레지스트막 PR3은, 로직부 B를 덮는 패턴을 갖는다. 절연막(9) 및 도체막(8)에 드라이 에칭 처리를 실시하여, 포토레지스트막 PR3으로부터 노출되는 영역의 절연막(9) 및 도체막(8)을 제거함으로써, 제어 게이트 전극 CG를 형성한다. 절연막(7)은 드라이 에칭 처리 또는 그 후의 세정 공정에서 가공됨으로써, 제어 게이트 전극 CG 아래에 게이트 절연막 GIT가 형성된다. 또한, 메모리 셀부 A3에서는, 절연막(9), 도체막(8), 및, 절연막(7)이 제거되어, 핀 FA의 주면 FAa 및 측면 FAs가 노출된다. 또한, 포토레지스트막 PR3은, 절연막(9)을 패터닝한 후, 또는, 절연막(9) 및 도체막(8)을 패터닝한 후에 제거한다.

- [0069] 도 19는 절연막(10 및 11), 그리고 도체막(12)의 형성 공정(스텝 S10)을 도시하고 있다. 우선, 제어 게이트 전극 CG로부터 노출된 펀 FA의 주면 FAa 및 측면 FAs에 절연막(10 및 11)을 순서대로 형성한다. 절연막(10)은 펀 FA의 주면 FAa 및 측면 FAs를 열산화하여 형성한 산화실리콘막이고, 그 막 두께는 5~6nm이며, 게이트 절연막 GI의 막 두께보다도 두껍다. 다음에, 절연막(11)은 질화실리콘막과, 질화실리콘막 위의 산질화실리콘막의 적층막을 포함하고, 질화실리콘막의 막 두께를 7nm, 산질화실리콘막의 막 두께를 9nm로 한다. 또한, 절연막(11)은 하층의 HfSiO와 상층의 AlO의 적층막으로 해도 된다.
- [0070] 다음에, 절연막(11) 위에, 제어 게이트 전극 CG와 절연막(9)의 적층체의 높이, 및, 메모리 셀부 A3의 펀 FA의 높이 이상의 막 두께의 도체막(12)을 퇴적한다. 그리고, 이 도체막(12)에 CMP 처리를 실시하여, 제어 게이트 전극 CG 위의 절연막(11)을 노출시킴으로써, 도 19에 도시한 바와 같이, 메모리 셀부 A의 제어 게이트 전극 CG로부터 노출된 영역에 도체막(12)이 선택적으로 형성된다. CMP 처리 후에, 메모리 셀부 A3에서는, 펀 FA 위에 도체막(12)이 남아 있다. 또한, 도체막(12)은 폴리실리콘막(실리콘막)을 포함한다. 또한, 로직부 B에서는, 도체막(12)은 제거되어, 절연막(11)이 노출되어 있다.
- [0071] 도 20은 도체막(12)의 에치백 공정(스텝 S11)을 도시하고 있다. 메모리 셀부 A의 도체막(12)에 에칭 처리를 실시하여, 도체막(12)의 주면의 높이를 낮춘다. 에치백 공정 후에, 도체막(12)의 주면은, 예를 들어 제어 게이트 전극 CG의 주면과 거의 동등한 높이를 갖는다.
- [0072] 도 21은 메모리 게이트 전극 MG 형성 공정(스텝 S12)을 도시하고 있다. 제어 게이트 전극 CG 위의 절연막(9 및 11)의 측벽 위 및 도체막(12) 위에 질화실리콘막을 퇴적한 후, 이방성 드라이 에칭을 실시함으로써, 제어 게이트 전극 CG 위의 절연막(9 및 11)의 측벽 위에 마스크막(13)을 형성한다. 그리고, 마스크막(13)으로부터 노출된 도체막(12)에 에칭 처리를 실시하여 제거함으로써, 제어 게이트 전극 CG의 측벽 위에 절연막(10 및 11)을 개재하여, 메모리 게이트 전극 MG 및 스페이서 SP를 형성한다. 또한, 스페이서 SP는, 메모리 게이트 전극 MG와 마찬가지의 구조이지만, 후술하는 공정에서 제거되기 때문에, 메모리 게이트 전극 MG와 상이한 명칭으로 하고 있다.
- [0073] 도 22는 스페이서 SP 제거 및 게이트 절연막 GIm 형성 공정(스텝 S13)을 도시하고 있다. 우선, 메모리 게이트 전극 MG를 덮고, 스페이서 SP를 노출하는 레지스트막(도시하지 않음)을 사용하여, 예를 들어 웨트 에칭 처리에 의해, 도 21에 도시한 스페이서 SP, 및, 스페이서 SP 위의 마스크막(13)을 제거한다. 계속해서, 메모리 게이트 전극 MG로부터 노출된 영역의 절연막(11 및 10)을, 예를 들어 웨트 에칭 처리에 의해 제거하여, 메모리 게이트 전극 MG 아래(즉, 메모리 게이트 전극 MG와 펀 FA 사이)에, 선택적으로 절연막(11' 및 10')을 남겨, 게이트 절연막 GIm을 형성한다. 또한, 게이트 절연막 GIm은, 펀 FA의 주면 FAa와 메모리 게이트 전극 MG 간뿐만 아니라, 제어 게이트 전극 CG와 메모리 게이트 전극 MG 간에도 연속적으로 형성되어 있다. 또한, 도 22에 도시한 바와 같이 게이트 절연막 GIm은, 펀 FA의 주면 FAa 및 측면 FAs를 따라서 형성되어 있다.
- [0074] 도 23은 더미 게이트 DG 및  $n^-$ 형 반도체 영역(불순물 확산층) EX1, EX2, EX3의 형성 공정(스텝 S14)을 도시하고 있다. 우선, 로직부 B에 있어서, 절연막(9) 및 도체막(8)을 패터닝함으로써, 더미 게이트 DG를 형성한다. 더미 게이트 DG 위의 절연막(9) 및 더미 게이트 DG 아래의 절연막(7)도 더미 게이트 DG와 동일한 평면 패턴을 갖는다.
- [0075] 다음에, 예를 들어 비소(As) 또는 인(P) 등의  $n$ 형의 불순물을, 이온 주입법에 의해, 펀 FA 및 FB 내에 도입함으로써, 펀 FA 내에  $n^-$ 형 반도체 영역 EX1 및 EX2를, 펀 FB 내에  $n^-$ 형 반도체 영역 EX3을 형성한다.  $n^-$ 형 반도체 영역 EX1 및 EX2는, 제어 게이트 전극 CG 및 메모리 게이트 전극 MG에 대하여 자기 정합으로 형성된다. 즉,  $n$ 형의 불순물은, 제어 게이트 전극 CG 및 메모리 게이트 전극 MG로부터 노출된 펀 FA의 주면 및 측면에 주입되므로,  $n^-$ 형 반도체 영역 EX1 및 EX2는, 제어 게이트 전극 CG 및 메모리 게이트 전극 MG의 양측에, 제어 게이트 전극 CG 및 메모리 게이트 전극 MG를 사이에 두도록 형성된다. 이온 주입 후의 열처리에 의해 불순물이 확산되므로,  $n^-$ 형 반도체 영역 EX1은, 메모리 게이트 전극 MG와,  $n^-$ 형 반도체 영역 EX2는, 제어 게이트 전극 CG와, 일부 겹친다.
- [0076]  $n^-$ 형 반도체 영역 EX3은, 더미 게이트 DG에 대하여 자기 정합으로 형성된다. 즉,  $n$ 형의 불순물은, 더미 게이트 DG로부터 노출된 펀 FB의 주면 및 측면에 주입되므로,  $n^-$ 형 반도체 영역 EX3은, 더미 게이트 DG의 양측에, 더미 게이트 DG를 사이에 두도록 형성된다. 이온 주입 후의 열처리에 의해 불순물이 확산되므로,  $n^-$ 형 반도체 영역

EX3은 더미 게이트 DG와 일부 겹친다.

[0077] 도 24는 사이드월 스페이서(사이드월, 측벽 절연막) SW의 형성 공정(스텝 S15)을 도시하고 있다. 편 FA 및 FB의 주면 FAa 및 FBa를 덮도록, 반도체 기판(1) 위에, 예를 들어 산화실리콘막 또는 질화실리콘막 또는 그들의 적층막을 포함하는 절연막을 퇴적한 후, 절연막에 대하여 이방성 드라이 에칭을 실시한다. 이렇게 하여, 메모리 셀부 A1에 있어서, 제어 게이트 전극 CG 및 절연막(9)의 측벽 위, 및, 메모리 게이트 전극 MG 및 마스크막(13)의 측벽 위에 사이드월 스페이서 SW를 형성한다. 여기서, 절연막(9)의 막 두께를, 편 FA의 높이와 동일 정도의 막 두께로 하고 있기 때문에, 충분한 오버에칭이 가능해져, 예를 들어 편 FA를 둘러싸는 소자 분리막 STM 위에 사이드월 스페이서 SW 형성용의 산화실리콘막 또는 질화실리콘막이 남는 일은 없다.

[0078] 또한, 로직부 B1에 있어서, 더미 게이트 DG 및 절연막(9)의 측벽 위에 사이드월 스페이서 SW를 형성한다. 전술한 이방성 드라이 에칭에 의해, 메모리 셀부 A2 및 A3, 그리고 로직부 B2에 있어서, 사이드월 스페이서 SW 형성용의 절연막은 제거되어, 절연막(9) 또는 마스크막(13)이 노출되어 있다.

[0079] 다음에, 도 25 및 도 26은 에피택설층 EP1, EP2 및 EP3, 그리고 실리사이드층 SC의 형성 공정(스텝 S16)을 도시하고 있다. 메모리 셀부 A에 있어서, 소자 분리막 STM, 제어 게이트 전극 CG, 메모리 게이트 전극 MG 및 사이드월 스페이서 SW로부터 노출된 편 FA의 주면 FAa 및 측면 FAs에 에피택설층 EP1 및 EP2를 형성한다. 에피택설층 EP3은, 로직부 B의 n형 MISFET의 형성 영역에 있어서, 소자 분리막 STL, 더미 게이트 DG 및 사이드월 스페이서 SW로부터 노출된 편 FB의 주면 FBa 및 측면 FBs에도 동일 공정에서 형성된다. 에피택설층 EP1, EP2 및 EP3은, 예를 들어  $\text{SiH}_2\text{Cl}_2$ (또는,  $\text{SiH}_4$ ),  $\text{HCl}$  및  $\text{PH}_3$  가스를 사용하여 100Pa, 700°C의 분위기에서 에피택설 성장함으로써 형성한다. 즉, 에피택설층 EP1, EP2 및 EP3은, n형 반도체 영역 EX1, EX2 또는 EX3보다도 고농도의 n형 불순물이 도핑된 반도체층이다. 도 26의 로직부 B3에 나타내는 바와 같이, 로직부 B에 있어서는, 소자 분리막 STL에 매립된 부분의 편 FB의 견부 SH가, 소자 분리막 STL로부터 노출되어 있다. 그 때문에, 편 FB의 견부 SH로부터도 에피택설 성장하기 때문에, 견부 SH가 없는 경우에 비해, 에피택설층 EP3의 퇴적을 크게 할 수 있으므로, 소스 영역 LS 및 드레인 영역 LD의 기생 저항을 저감할 수 있다.

[0080] 또한, 로직부 B의 p형 MISFET를 형성하는 경우에는, 소자 분리막 STL, 더미 게이트 DG 및 사이드월 스페이서 SW로부터 노출된 편 FB의 주면 FBa 및 측면 FBs에, p형의 SiGe 에피택설층을 형성할 수 있다. p형의 SiGe 에피택설층은, 예를 들어  $\text{SiH}_2\text{Cl}_2$ (또는,  $\text{SiH}_4$ ),  $\text{GeH}_4$ ,  $\text{HCl}$  및  $\text{B}_2\text{H}_6$  가스를 사용하여 100Pa, 700°C의 분위기에서 에피택설 성장함으로써 형성된다. SiGe 에피택설층을 형성함으로써, p형 MISFET의 소스 영역 및 드레인 영역의 기생 저항을 저감할 수 있음과 함께, 채널 영역에 응력을 인가시킴으로써 홀 이동도를 향상시킬 수 있어, p형 MISFET의 고속 동작이 가능해진다.

[0081] 또한, 도 25 및 도 26에 도시한 바와 같이, 에피택설층 EP1, EP2 및 EP3의 표면에는 실리사이드층 SC가 형성되어 있다. 실리사이드층 SC는, 바람직하게는 코발트 실리사이드층, 니켈 실리사이드층, 또는, 백금 첨가 니켈 실리사이드층으로 할 수 있다.

[0082] 이와 같이 하여, n형 반도체 영역 EX1과 그것보다도 고농도의 n형 불순물을 포함하는 에피택설층 EP1에 의해, 메모리 셀 MC의 소스 영역 MS가 구성되고, n형 반도체 영역 EX2와 그것보다도 고농도의 n형 불순물을 포함하는 에피택설층 EP2에 의해, 메모리 셀 MC의 드레인 영역 MD가 구성된다. 또한, n형 반도체 영역 EX3과 그것보다도 고농도의 n형 불순물을 포함하는 에피택설층 EP3에 의해, 로직부 B의 트랜지스터 Tr의 소스 영역 LS 및 드레인 영역 LD가 구성된다.

[0083] 도 27은 충간 절연막 IL1의 형성 공정(스텝 S17)을 도시하고 있다. 반도체 기판(1) 위에, 충간 절연막 IL1을 형성(퇴적)한다. 충간 절연막 IL1은, 산화실리콘막의 단체막, 또는, 질화실리콘막과 그 질화실리콘막 위에 그 질화실리콘막보다도 두껍게 형성된 산화실리콘막의 적층막 등을 포함하고, 예를 들어 CVD법 등을 사용하여 형성할 수 있다. 다음에, 충간 절연막 IL1의 상면을, CMP법 등을 사용하여 연마(연마 처리)한다. 도 27에 도시된 바와 같이, 제어 게이트 전극 CG, 메모리 게이트 전극 MG, 더미 게이트 DG의 각 상면을 노출시킨다. 즉, 이 연마 공정에서는, 제어 게이트 전극 CG, 메모리 게이트 전극 MG 및 더미 게이트 DG 위에 형성되어 있던 절연막(9) 및 마스크막(13)은 완전히 제거된다. 물론, 절연막(9) 및 마스크막(13)의 측벽 위에 위치하고 있는 사이드월 SW도 일부 제거된다.

[0084] 도 28은 게이트 전극 GE의 형성 공정(스텝 S18)을 도시하고 있다. 우선, 도 27에 도시한 노출된 더미 게이트

DG의 제거 공정을 실시한다. 더미 게이트 DG를 제거함으로써, 충간 절연막 IL1에는 홈이 형성된다. 홈의 저부(저면)는 절연막(7)의 상면에 의해 형성되고, 홈의 측벽(측면)은 사이드월 스페이서 SW의 측면(더미 게이트 DG의 제거 전까지 더미 게이트 DG에 접하고 있던 측면)에 의해 형성되어 있다. 다음에, 도 28에 도시한 바와 같이, 반도체 기판(1) 위에, 즉 홈의 내부(저부 및 측벽 위)의 절연막(7) 위에 절연막 HK, 금속막 ME1, 및, 금속막 ME2를 순차적으로 퇴적시키는 절연막 HK, 금속막 ME1, 및, 금속막 ME2의 형성 공정을 실시한다. 또한, 절연막 HK, 금속막 ME1, 및, 금속막 ME2에 CMP 처리 공정을 실시한다. 이렇게 하여, 홈 내에, 선택적으로, 절연막(7)을 포함하는 게이트 절연막 GIL, 절연막 HK, 금속막 ME1, 및, 금속막 ME2의 적층 구조를 형성한다. 여기서, 절연막 HK는, 질화실리콘보다도 유전율(비유전율)이 높은 절연 재료막, 소위 High-k막(고유전율막)이다.

[0085] 절연막 HK로서는, 산화하프늄막, 산화지르코늄막, 산화알루미늄막, 산화탄탈륨막 또는 산화란탄막 등의 금속 산화물막을 사용할 수 있다. 절연막 HK는, 예를 들어 ALD(Atomic layer Deposition : 원자층 퇴적)법 또는 CVD 법에 의해 형성할 수 있다.

[0086] 예를 들어, 금속막 ME1은 티타늄 알루미늄(TiAl)막으로 하고, 금속막 ME2는 알루미늄(Al)막으로 할 수 있다. 또한, 금속막 ME1과 금속막 ME2 사이에, 티타늄(Ti)막 또는 질화티타늄(TiN)막 또는 그들의 적층막을 개재시켜, 트랜지스터 Tr의 역치 전압을 조정해도 된다.

[0087] 절연막 HK는, 홈의 저부(저면) 및 측벽 위에 형성되고, 게이트 전극 GE는, 저부(저면) 및 측벽(측면)이 절연막 HK에 인접한다. 게이트 전극 GE와 반도체 기판(1)의 핀 FB 사이에는, 절연막 GIL과 절연막 HK가 개재되어 있고, 게이트 전극 GE와 사이드월 스페이서 SW 사이에는, 절연막 HK가 개재되어 있다. 게이트 전극 GE의 바로 아래의 게이트 절연막 GIL 및 절연막 HK가 트랜지스터 Tr의 게이트 절연막으로서 기능하지만, 절연막 HK는 고유전율막이기 때문에, 고유전율 게이트 절연막으로서 기능한다.

[0088] 다음에, 도 11 및 도 12를 사용하여, 충간 절연막 IL2, 플러그 전극 PG, 금속 배선 MW의 형성 공정(스텝 S19)을 설명한다. 충간 절연막 IL1 위에 충간 절연막 IL2를 형성한다. 충간 절연막 IL2는, 예를 들어 산화실리콘을 주체로 한, 산화실리콘계의 절연막을 사용할 수 있다. 충간 절연막 IL2의 형성 후, 충간 절연막 IL2의 상면을 CMP법에 의해 연마하여, 충간 절연막 IL2의 상면의 평탄성을 높인다.

[0089] 다음에, 충간 절연막 IL1 및 IL2에 콘택트 홀(개구부, 관통 구멍) CT를 형성한다. 콘택트 홀 CT는, 메모리 셀 MC의 소스 영역 MS 및 드레인 영역 MD의 실리사이드층 SC, 그리고 트랜지스터 Tr의 소스 영역 LS 및 드레인 영역 LD의 실리사이드층 SC의 표면을 노출하고 있다.

[0090] 다음에, 콘택트 홀 CT 내에, 접속용의 도전 부재로서, 텅스텐(W) 등을 포함하는 도전성의 플러그 전극 PG를 형성한다. 플러그 전극 PG는, 배리어 도체막(예를 들어 티타늄막, 질화티타늄막, 또는, 그들의 적층막)과, 배리어 도체막 위에 위치하는 주도체막(텅스텐막)의 적층 구조로 되어 있다. 플러그 전극 PG는, 메모리 셀 MC의 소스 영역 MS 및 드레인 영역 MD, 그리고 트랜지스터 Tr의 소스 영역 LS 및 드레인 영역 LD에 접촉하여, 전기적으로 접속되어 있다.

[0091] 다음에, 충간 절연막 IL2 위에 금속 배선 MW를 형성한다. 금속 배선 MW는, 배리어 도체막(예를 들어 질화티타늄막, 탄탈막 또는 질화탄탈막 등)과, 배리어 도체막 위에 형성된 주도체막(구리막)의 적층 구조를 포함한다. 도 11 및 도 12에서는, 도면의 간략화를 위해, 금속 배선 MW는 배리어 도체막 및 주도체막을 일체화하여 도시하고 있다. 또한, 플러그 전극 PG도 마찬가지이다.

[0092] 메모리 셀 MC의 소스 영역 MS 및 드레인 영역 MD, 그리고 트랜지스터 Tr의 소스 영역 LS 및 드레인 영역 LD에는, 에피택셜층 EP가 형성되어 있기 때문에, 콘택트 홀 CT를 개구할 때의 마스크 정렬 어긋남을 방지할 수 있음과 함께, 플러그 전극과 에피택셜층 EP의 접촉 저항을 저감할 수 있다.

[0093] <주요한 특징과 효과에 대하여>

[0094] 다음에, 본 실시 형태의 주요한 특징과 효과에 대하여 설명한다.

[0095] 본 실시 형태의 반도체 장치의 제조 방법은, 2종류 이상의 핀 폭을 포함하는 활성 영역을 형성할 때에, 반도체 기판의 제1 영역 및 제2 영역과 동등한 폭의 핀을 형성한 후, 예를 들어 제2 영역의 실리콘을 포함하는 핀에 대하여 선택적으로 에칭 처리를 실시함으로써, 제2 영역에 제1 영역의 핀보다도 폭이 좁은 핀을 형성하는 것이다. 이와 같이, 실리콘을 포함하는 핀에 드라이 에칭 처리를 실시함으로써, 핀 가공용의 절연막 하드 마스크를 웨트 에칭에 의해 세선화 처리하는 경우와 비교하여, 가공 정밀도가 높은 핀을 제공할 수 있다. 또한, 가공 변동을 저감할 수 있기 때문에, 제조 수율을 향상시킬 수 있다.

[0096] 상기 에칭 처리에 등방성 에칭을 사용함으로써, 제2 영역에 형성된 폭이 좁은 핀의 주면 및 측면의 결함을 저감할 수 있다고 하는 효과도 있다. 제1 영역 및 제2 영역과 동등한 폭의 핀을 형성할 때의 이방성 드라이 에칭에 의해, 핀의 측면에 에칭 대미지(예를 들어, 결함)가 생기거나, 또는, 핀의 측면에 에칭 생성물(중합체)이 부착되는 등의 문제가 있다. 그러나, 등방성 에칭에 의해 이 에칭 대미지 및 에칭 생성물을, 대미지 프리로 제거할 수 있다.

[0097] 또한, 주위가 소자 분리막으로 덮이고, 소자 분리막으로부터 돌출된 핀에 대하여 에칭 처리를 실시하여, 핀 폭을 저감하기 때문에, 핀은, 소자 분리막으로 주위가 덮이고, 또한, 넓은 폭을 갖는 제1 부분과, 소자 분리막으로부터 노출되고, 또한, 좁은 폭을 갖는 제2 부분을 갖는다. 그리고, 제1 부분과, 제2 부분의 경계에는, 소자 분리막으로부터 상면을 노출한 견부가 존재하게 된다. 그리고, 핀의 주면 및 측면에 에피택셜 성장을 하는 경우, 이 견부로부터도 에피택셜 성장이 진행되기 때문에, 핀의 주위에 형성되는 에피택셜층의 퇴적을 증가시킬 수 있다. 그 때문에, 에피택셜층이 형성된, MISFET의 소스 영역, 드레인 영역의 기생 저항을 저감할 수 있다.

[0098] 또한, 견부를 갖는 구조로 함으로써, MISFET의 소스 영역, 드레인 영역의 기생 저항을 저감시키면서, 폭이 좁은 핀에 형성된 MISFET의 누설 전류를 저감할 수 있다. 이것은, 폭이 좁은 핀을 완전히 공핍화시킬 수 있기 때문이다.

[0099] <변형 예>

[0100] 변형예는, 상기 제2 개선의 여지에 초점을 두고 있으며, 전술한 검토예와는 하드 마스크막 형성 공정(스텝 S4)이 상이하다. 도 29~도 31은 변형예의 반도체 장치의 제조 공정 중의 주요부 단면도를 도시하고 있다.

[0101] 검토예와 마찬가지로, 반도체 기판의 준비 공정(스텝 S1)부터 마스크막 형성 공정(스텝 S3)까지를 순서대로 실시한다. 다음에, 검토예와 마찬가지로, 마스크막(4a 및 4b)의 상면 및 측면을 덮도록, 반도체 기판(1)의 주면 위에 산화실리콘막을 포함하는 절연막을 퇴적한다. 그리고, 도 29에 도시한 바와 같이, 이 절연막에 이방성 드라이 에칭을 실시하여, 마스크막(4a 및 4b)의 측벽 위에 측벽 절연막(29a 및 29b)을 형성한다. 측벽 절연막(29a)은 메모리 셀부 A에 형성되고, 측벽 절연막(29b)은 로직부 B에 형성되어 있고, 양자의 폭은 동등하다.

[0102] 다음에, 도 30에 도시한 바와 같이, 메모리 셀부 A를 덮고, 로직부 B를 노출하는 포토레지스트막(마스크막) PR4를 사용하여, 로직부 B의 측벽 절연막(29b)을 제거한다.

[0103] 다음에, 도 31에 도시한 바와 같이, 마스크막(4a 및 4b), 그리고 측벽 절연막(29a)을 덮도록, 반도체 기판(1)의 주면 위에 산화실리콘막을 포함하는 절연막을 퇴적하고, 이 절연막에 이방성 드라이 에칭을 실시하여, 마스크막(4a)의 측벽 위에 측벽 절연막(29a)을 개재하여 측벽 절연막(31a)을, 마스크막(4b)의 측벽 위에 측벽 절연막(31b)을 형성한다. 즉, 마스크막(4a)의 측벽 위에 형성한 측벽 절연막(29a 및 31a)이 검토예의 하드 마스크막(5a)에 대응하고, 마스크막(4b)의 측벽 위에 형성한 측벽 절연막(31b)이 세선화된 하드 마스크막(5b')에 대응하고 있다. 그리고, 측벽 절연막(29a, 31a 및 31b)의 형성 후에, 검토예의 스텝 S5 및 S6, 또한 상기 실시 형태의 스텝 S8 이후의 공정을 실시함으로써, 변형예의 반도체 장치가 완성된다.

[0104] 이와 같이, 메모리 셀부 A의 하드 마스크막(5a)을 측벽 절연막(29a 및 31a)의 적층 구조로 한 것에 의해, 측벽 절연막(29a)을 형성하기 위한 절연막의 막 두께를, 검토예의 절연막(5)의 막 두께보다도 얇게 할 수 있기 때문에, 로직부 B의 마스크막(4b) 간이 매립되어 버리는 일이 없어, 로직부 B에 형성되는 MISFET의 미세화가 가능해진다.

[0105] 이상, 본 발명자에 의해 이루어진 발명을 그 실시 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되는 것은 아니고, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

## 부호의 설명

[0106] A, A1, A2, A3, A4 : 메모리 셀부

B, B1, B2, B3 : 로직부

BL : 비트선

CG : 제어 게이트 전극

CT : 콘택트 훌

DG : 더미 게이트

EX1, EX2, EX3 : n<sup>-</sup>형 반도체 영역

FA, FB, F1, F2, F3, F4 : 펀

FAa, FBa : 주면

FAs, FBs : 측면

GE : 게이트 전극

GIm, GIT, GIL : 게이트 절연막

HK : 절연막

IL1, IL2 : 층간 절연막

LD : 드레인 영역

LS : 소스 영역

MC : 메모리 셀

MD : 드레인 영역

ME1, ME2 : 금속막

MG : 메모리 게이트 전극

MS : 소스 영역

MW : 금속 배선

PG : 플러그 전극

PR1, PR2, PR3, PR4 : 포토레지스트막(마스크막)

PW1, PW2 : p형 웨

SC : 실리사이드층

SH : 견부

SL : 소스선

SP : 스페이서

STM, STL : 소자 분리막

SW : 사이드월 스페이서(사이드월, 측벽 절연막)

Tr : 트랜지스터

1 : 반도체 기판

1a : 주면

2, 3, 5, 6, 7, 9, 10, 10', 11, 11' : 절연막

4, 13 : 마스크막

5a, 5b, 5b' : 하드 마스크막

6a, 6b : 소자 분리막

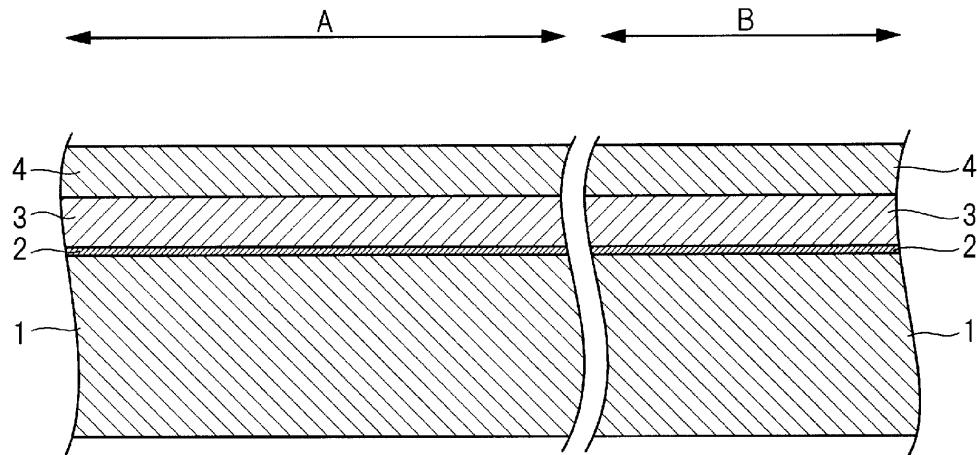
8, 12 : 도체막

29a, 29b : 측벽 절연막

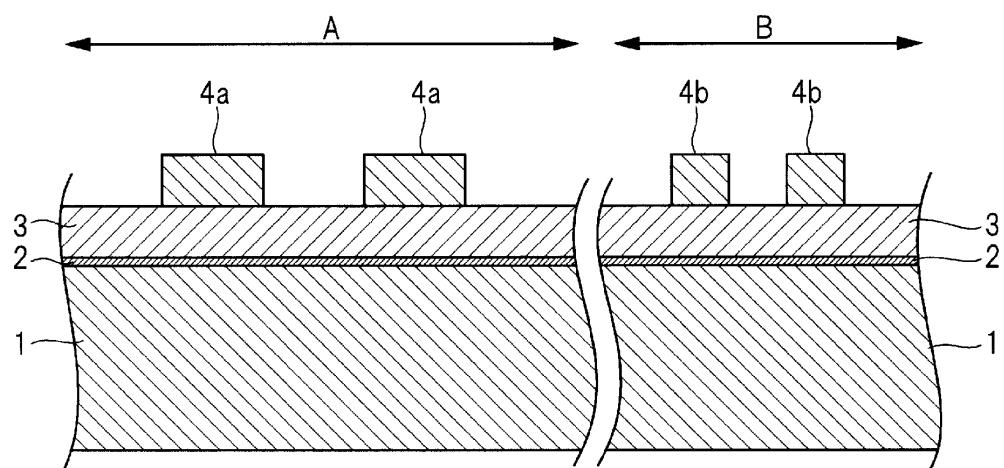
31a, 31b : 측벽 절연막

도면

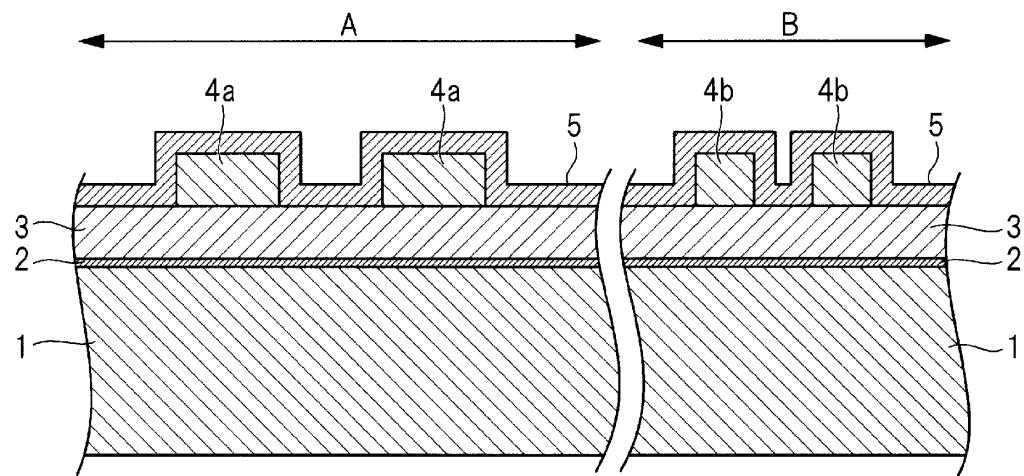
도면1



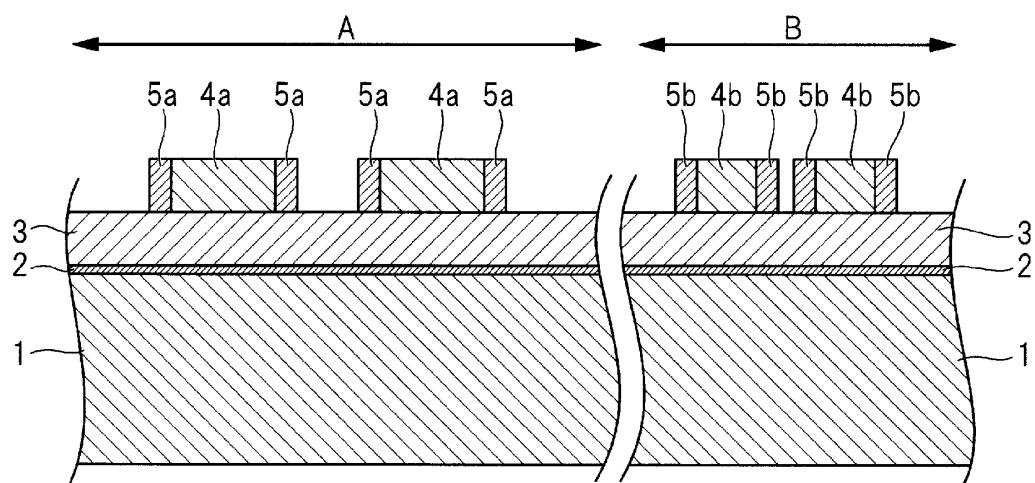
도면2



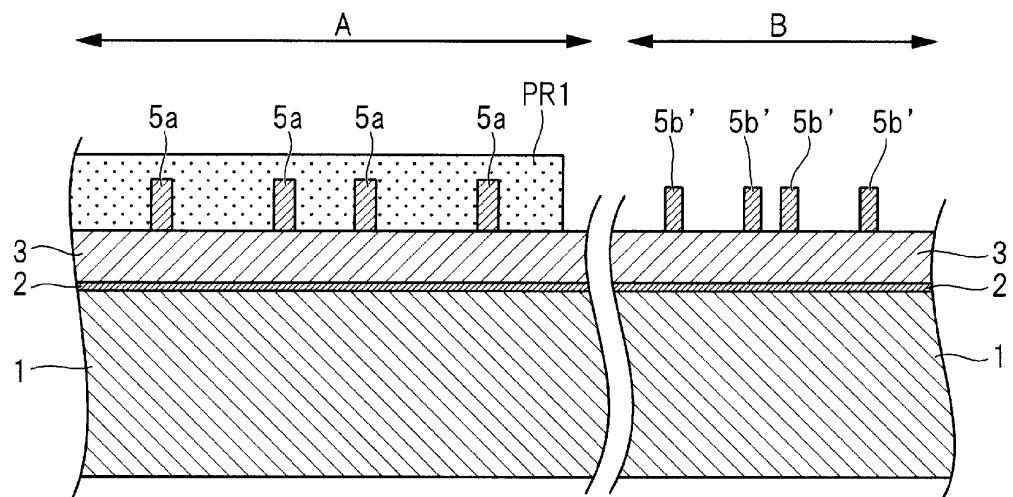
도면3



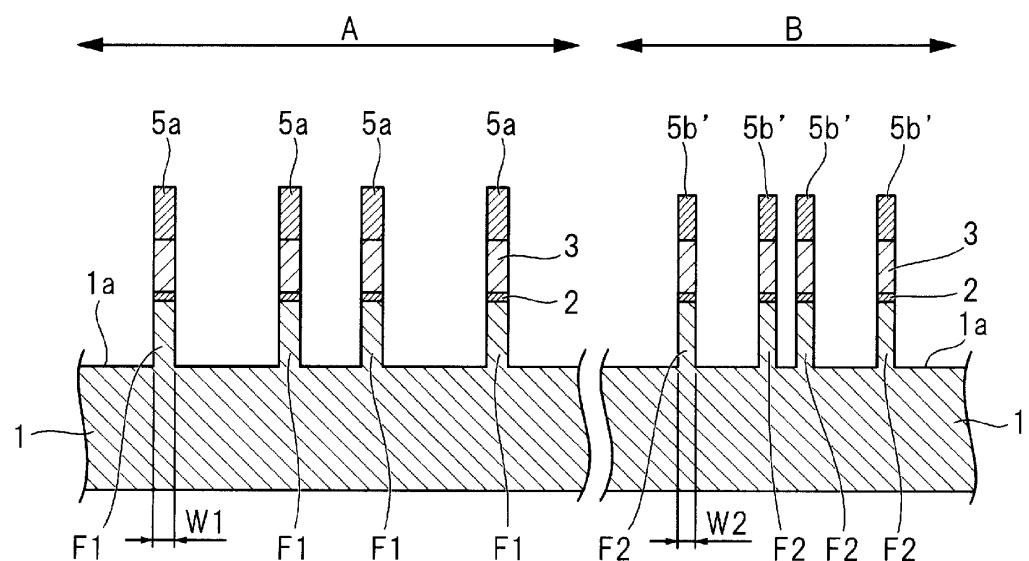
도면4



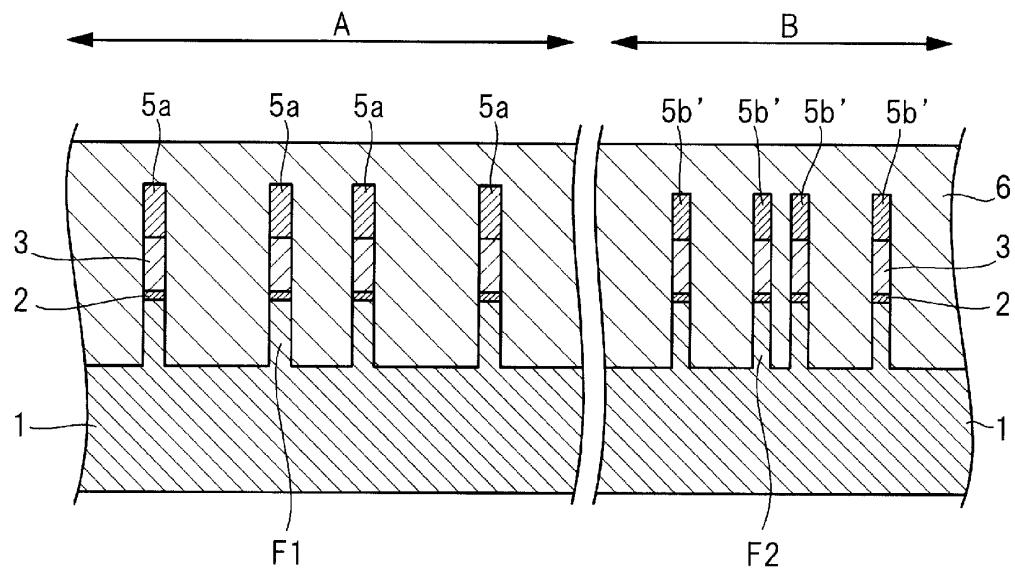
도면5



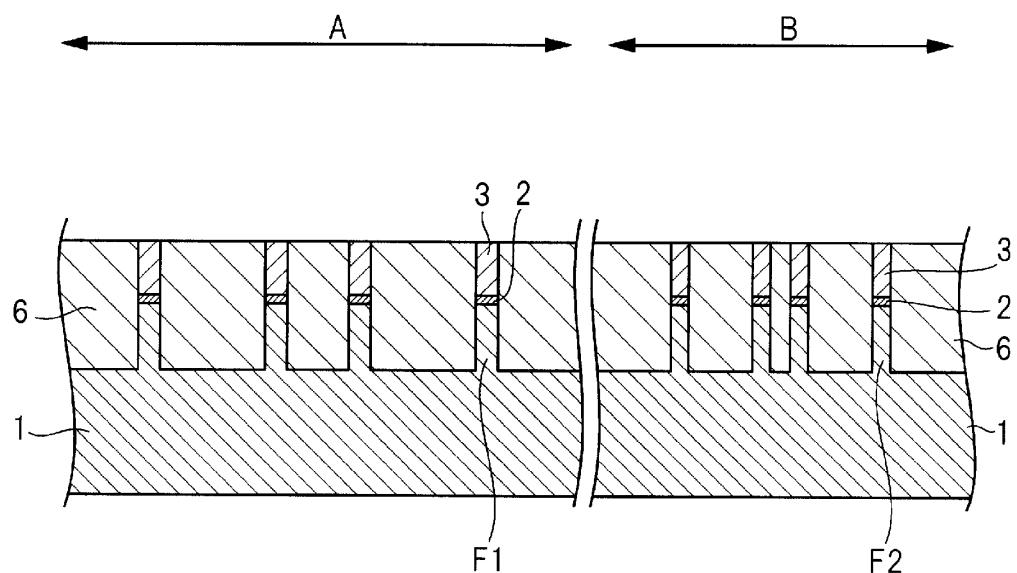
도면6



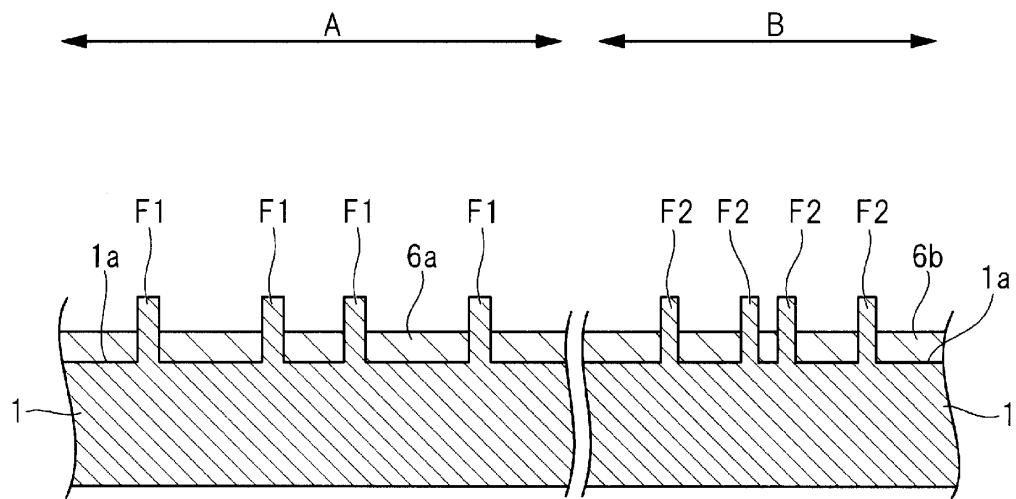
도면7



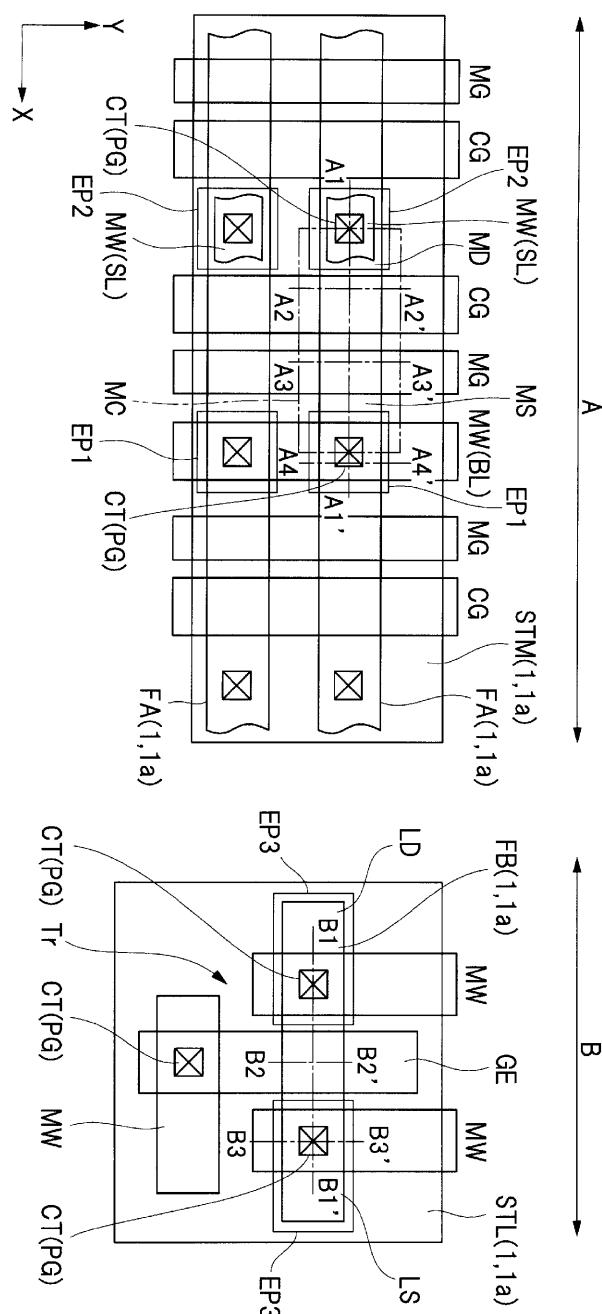
도면8



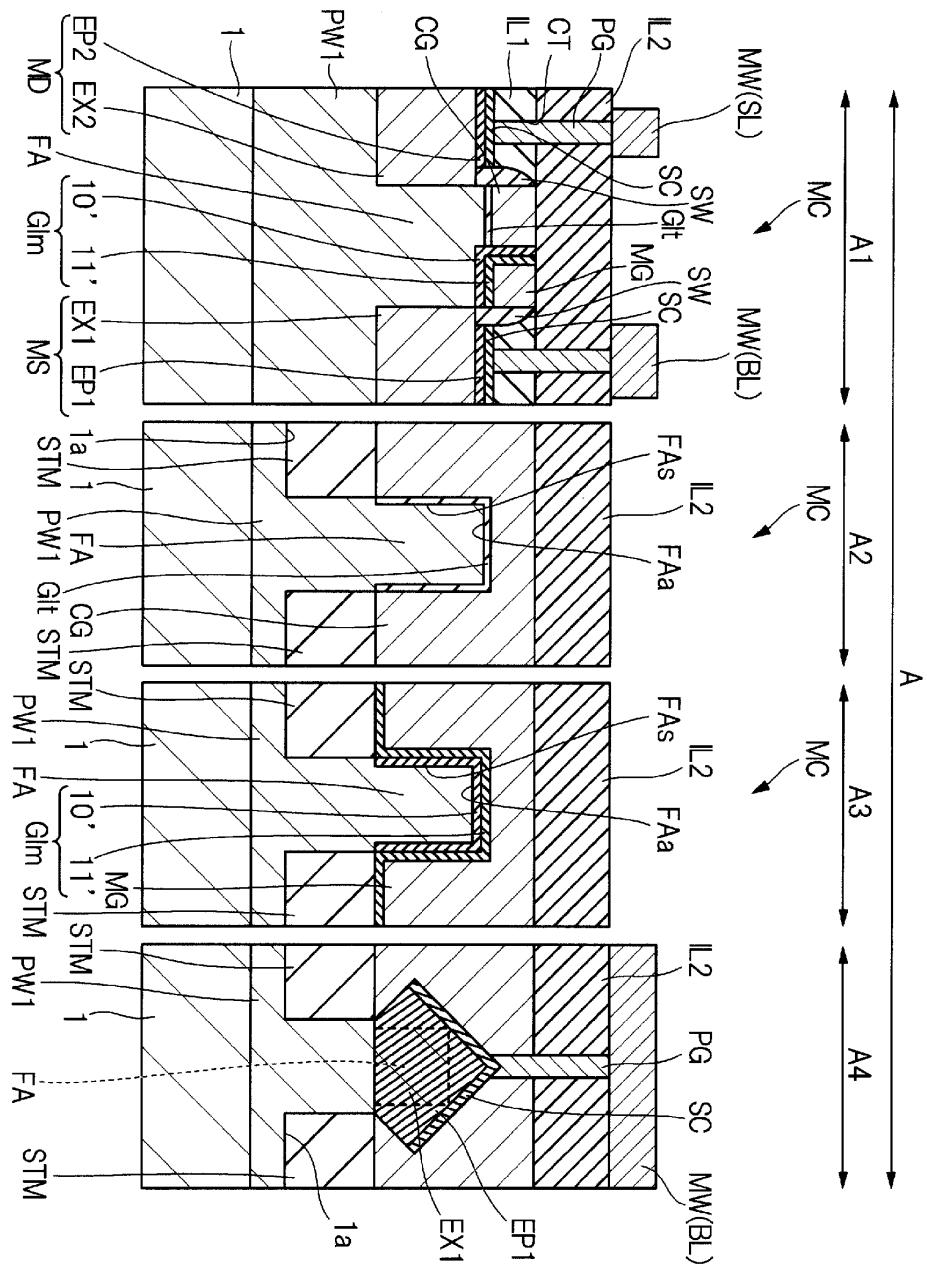
도면9



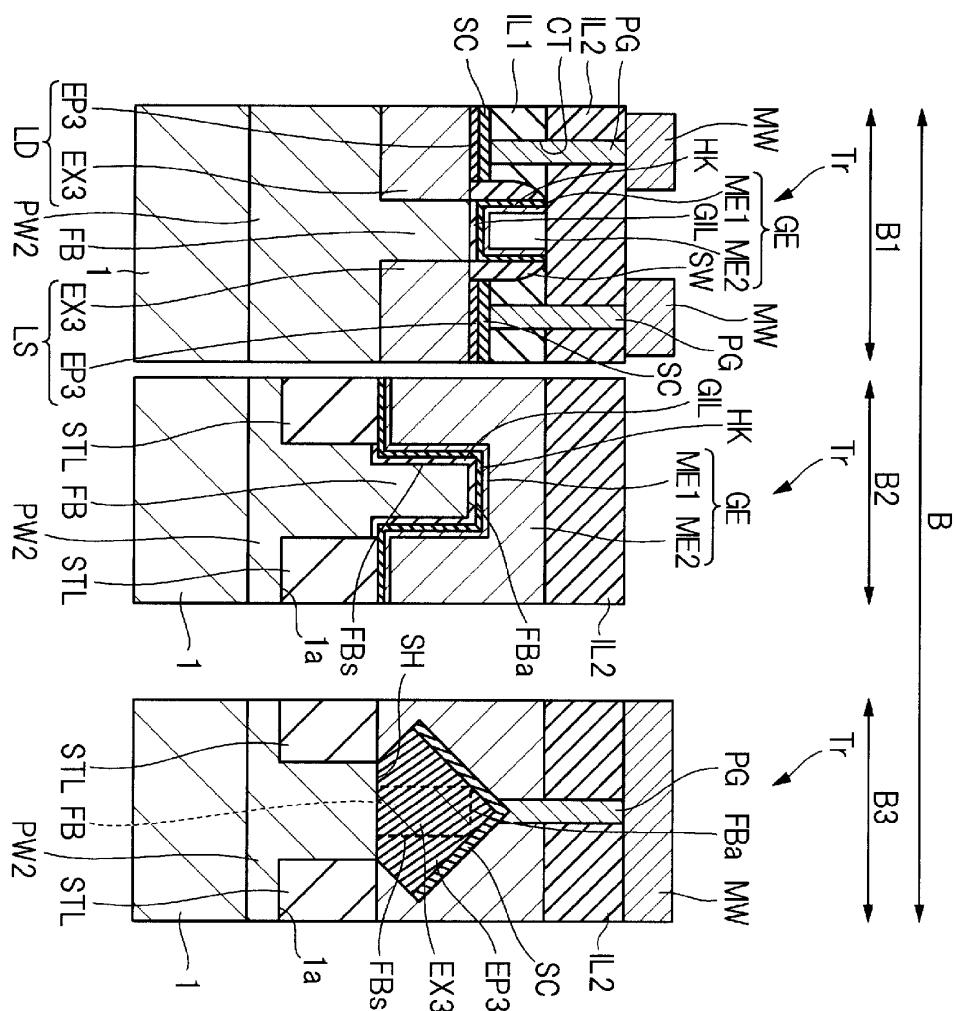
도면10



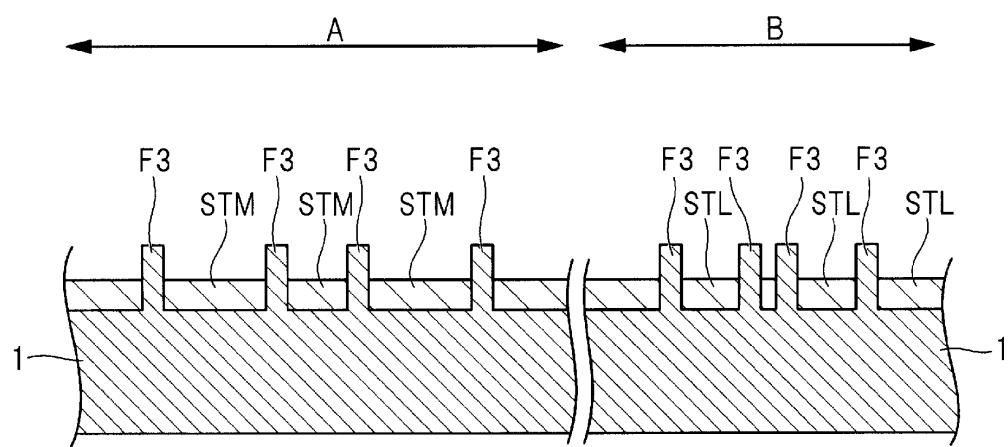
도면11



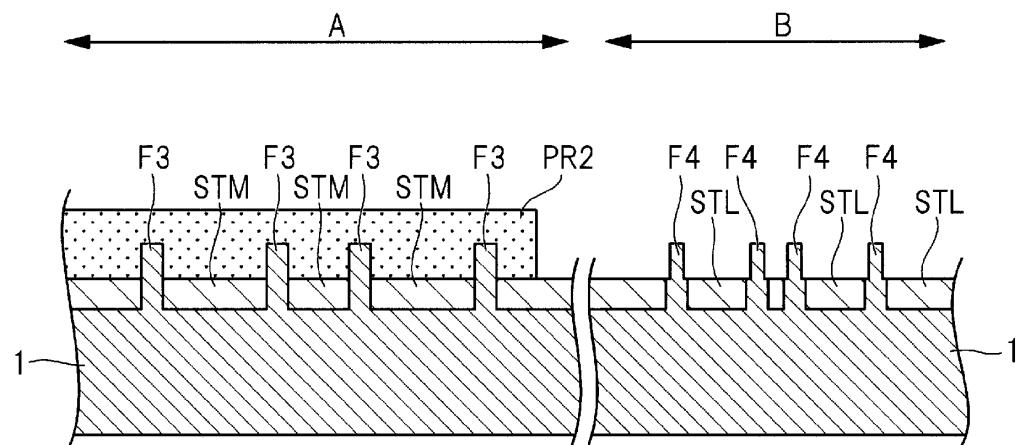
도면12



도면13



도면14



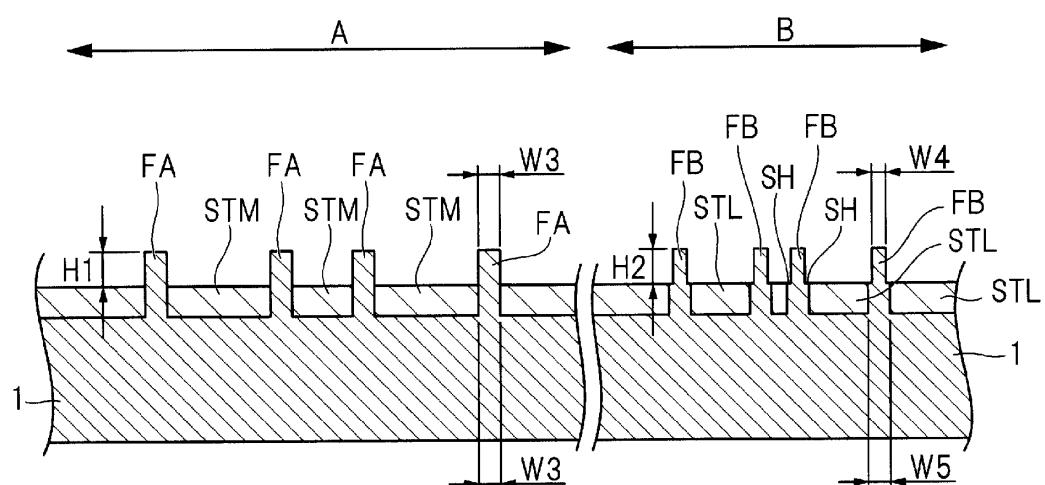
A : 메모리 셀부

B : 로직부

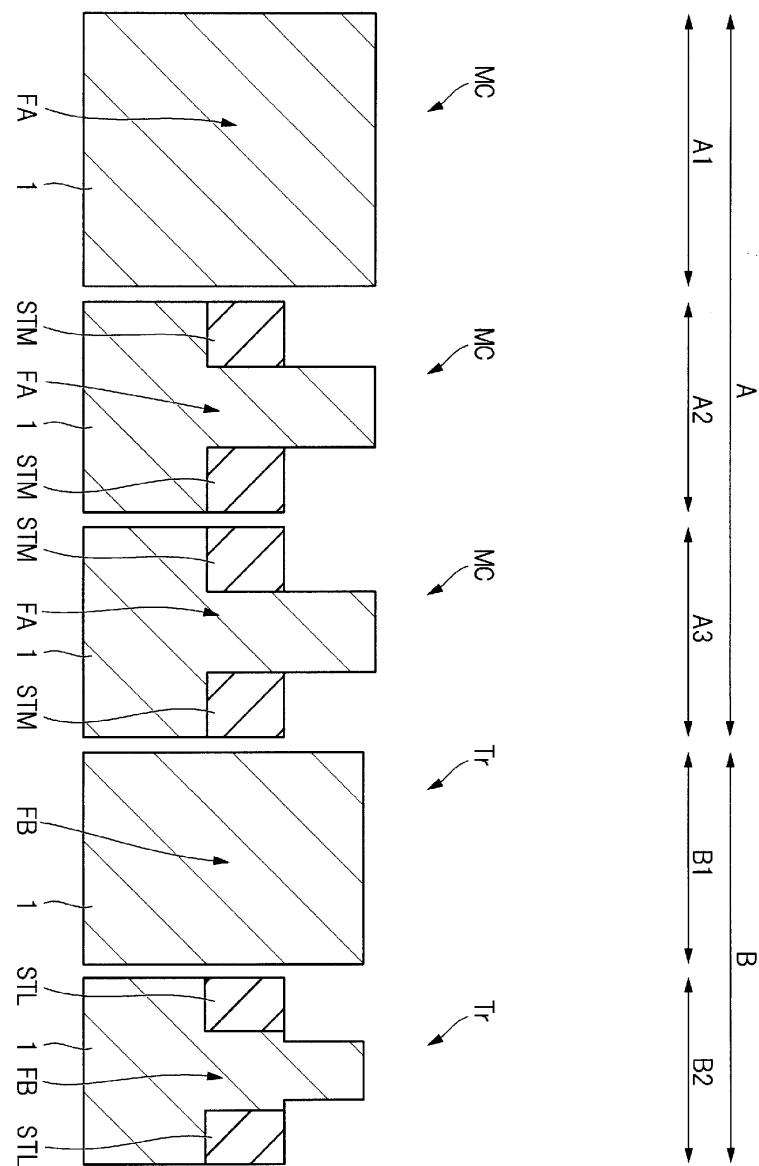
F3,F4 : 핀

PR2 : 마스크막

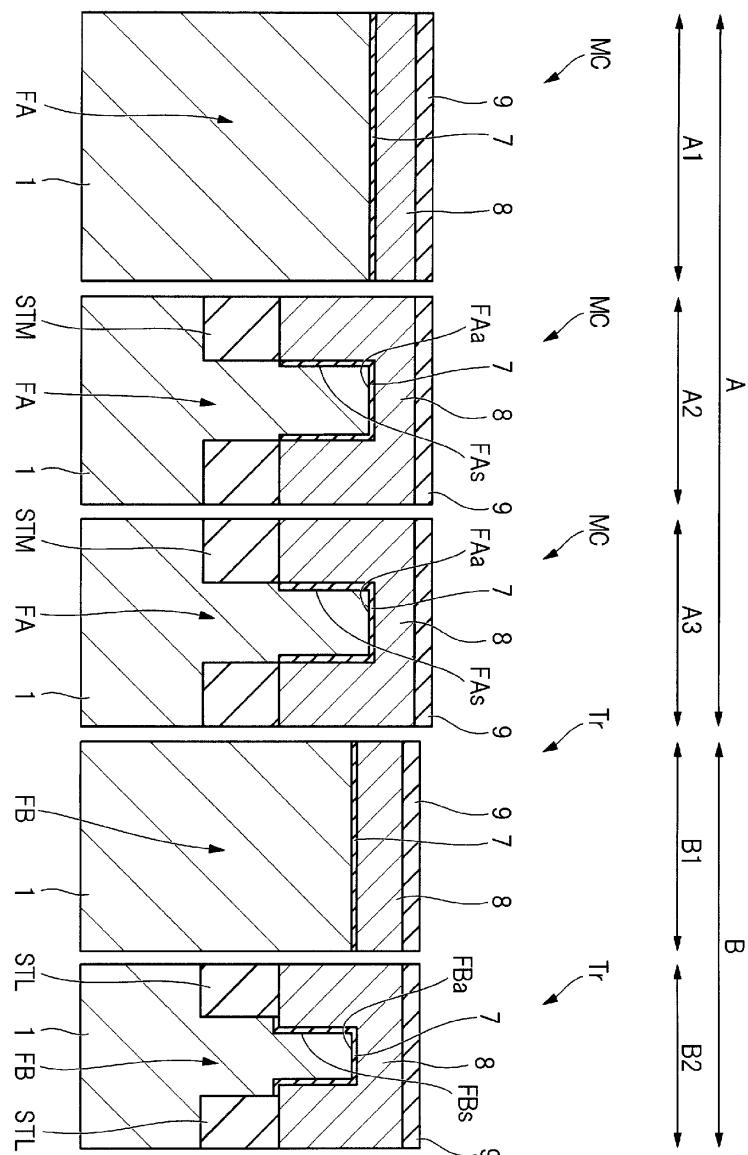
도면15



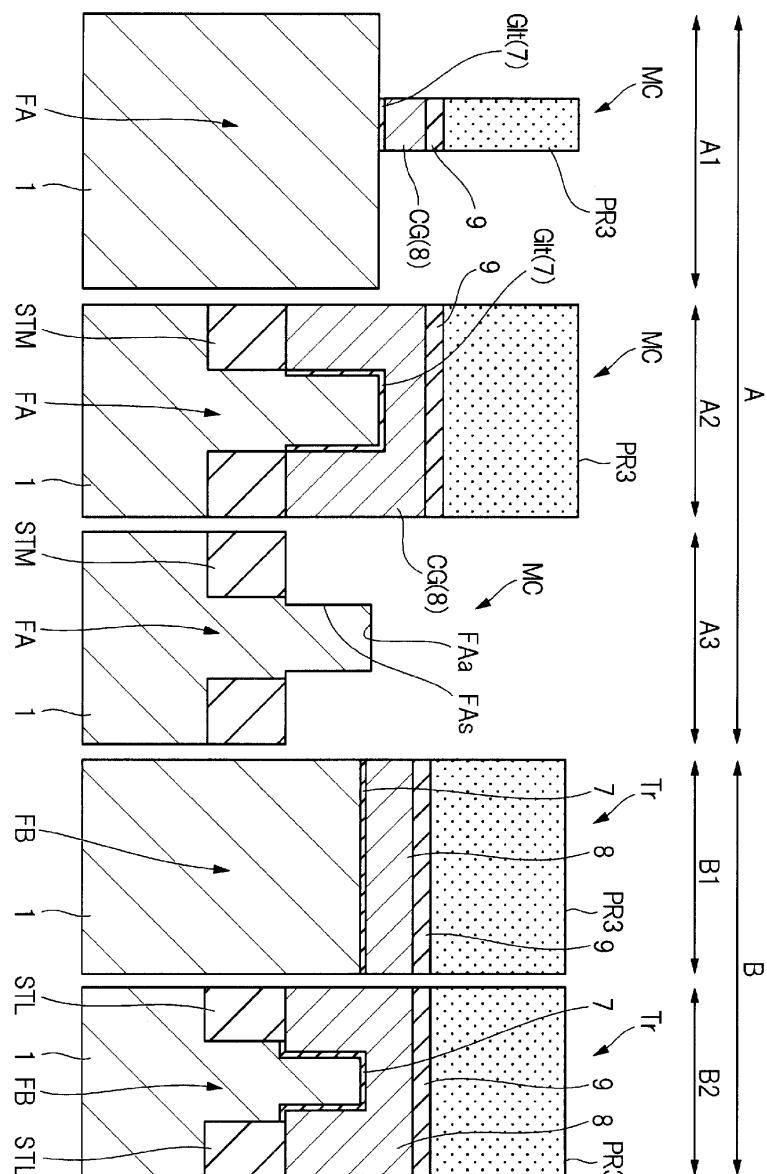
도면16



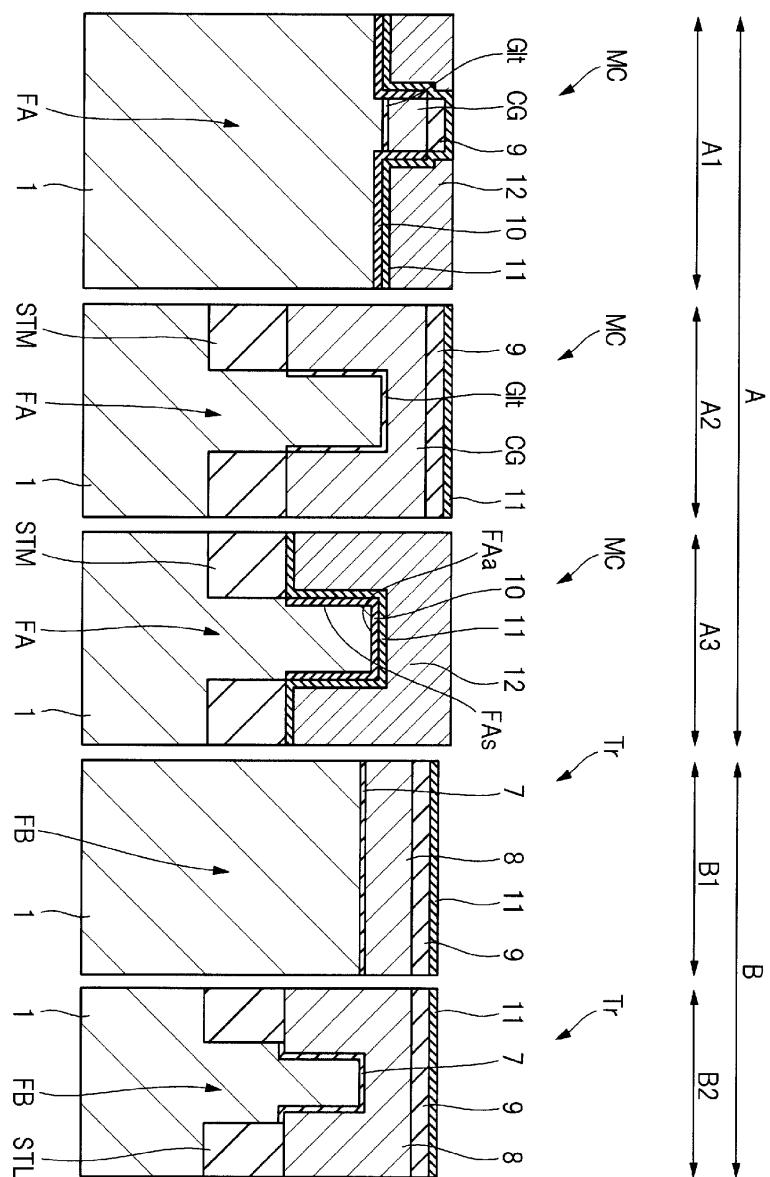
도면17



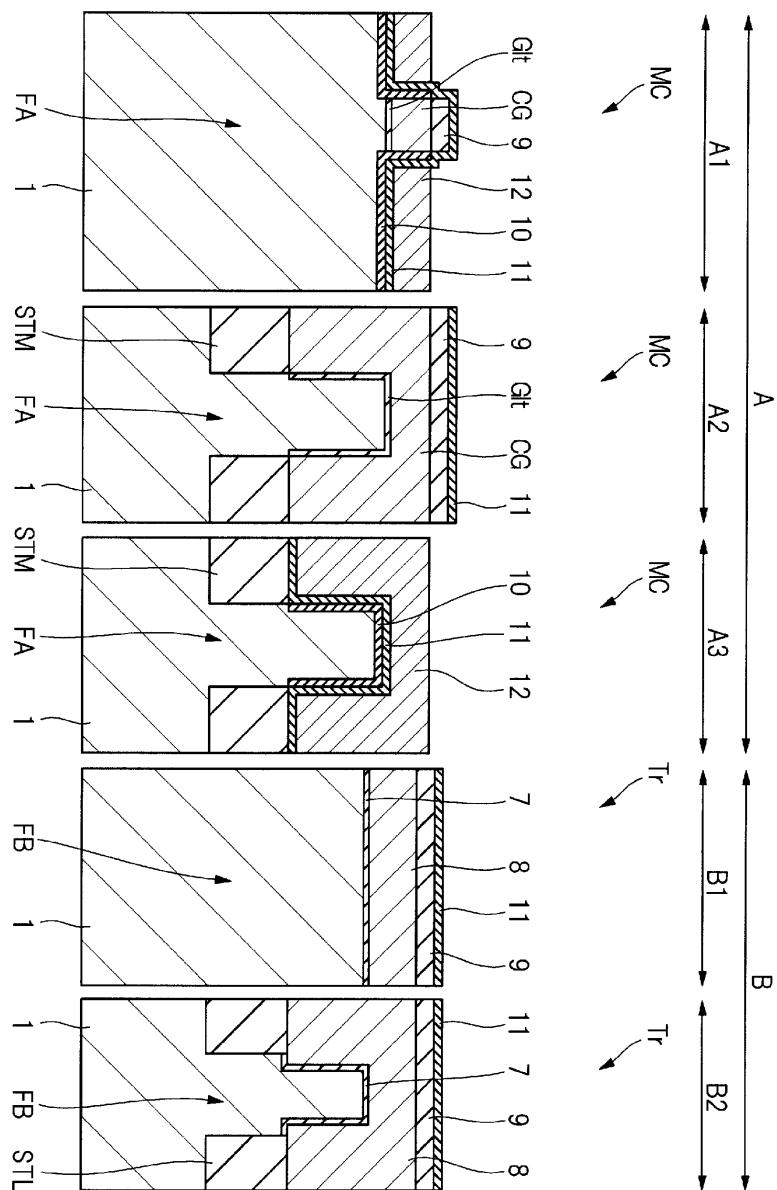
도면18



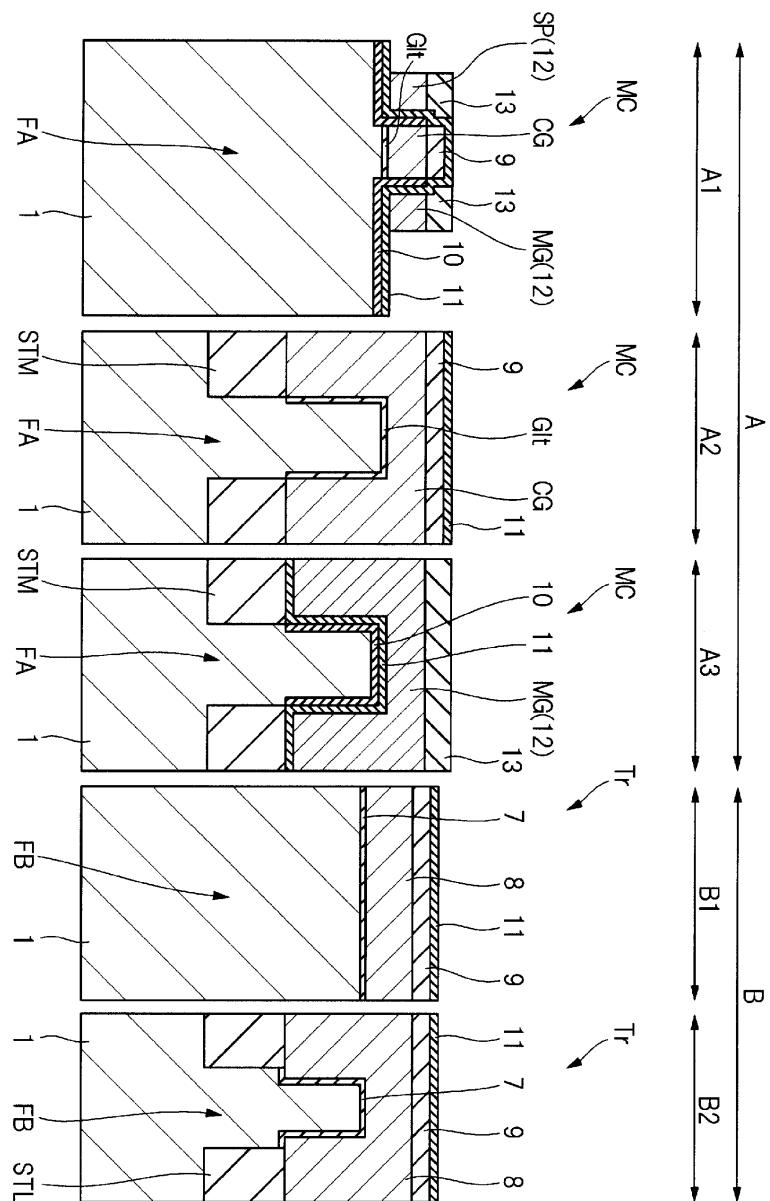
도면19



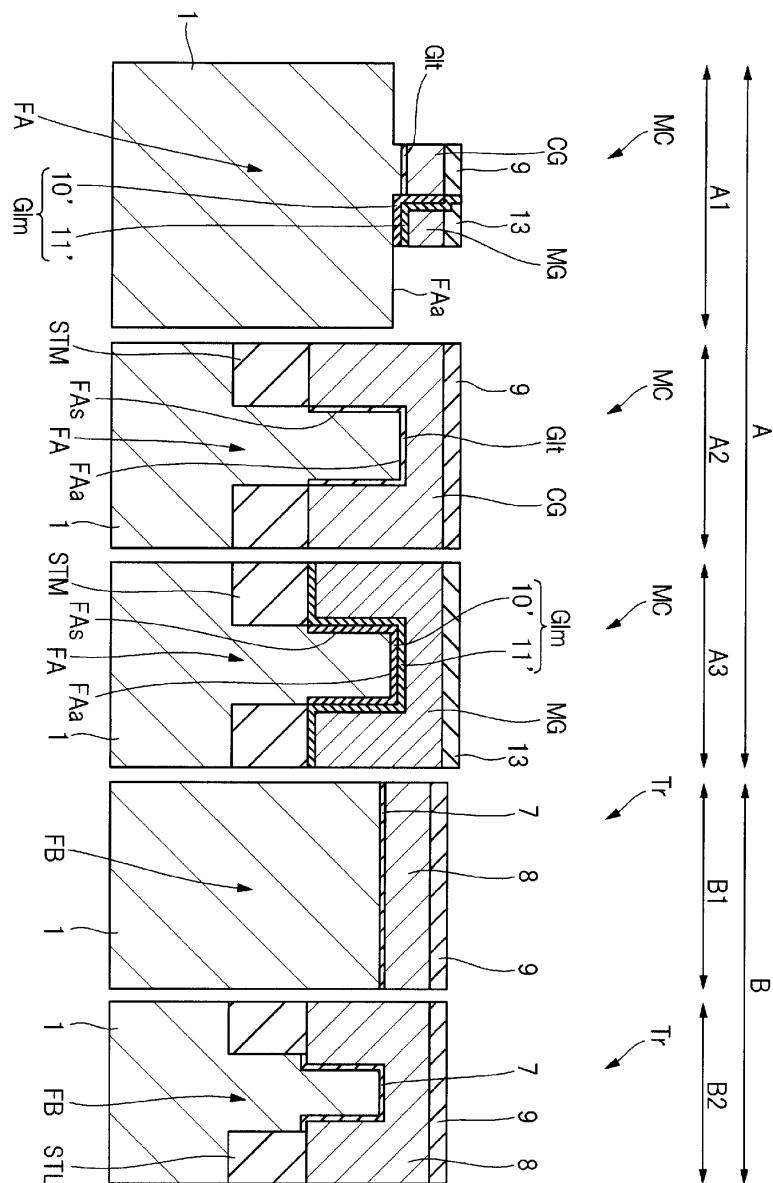
도면20



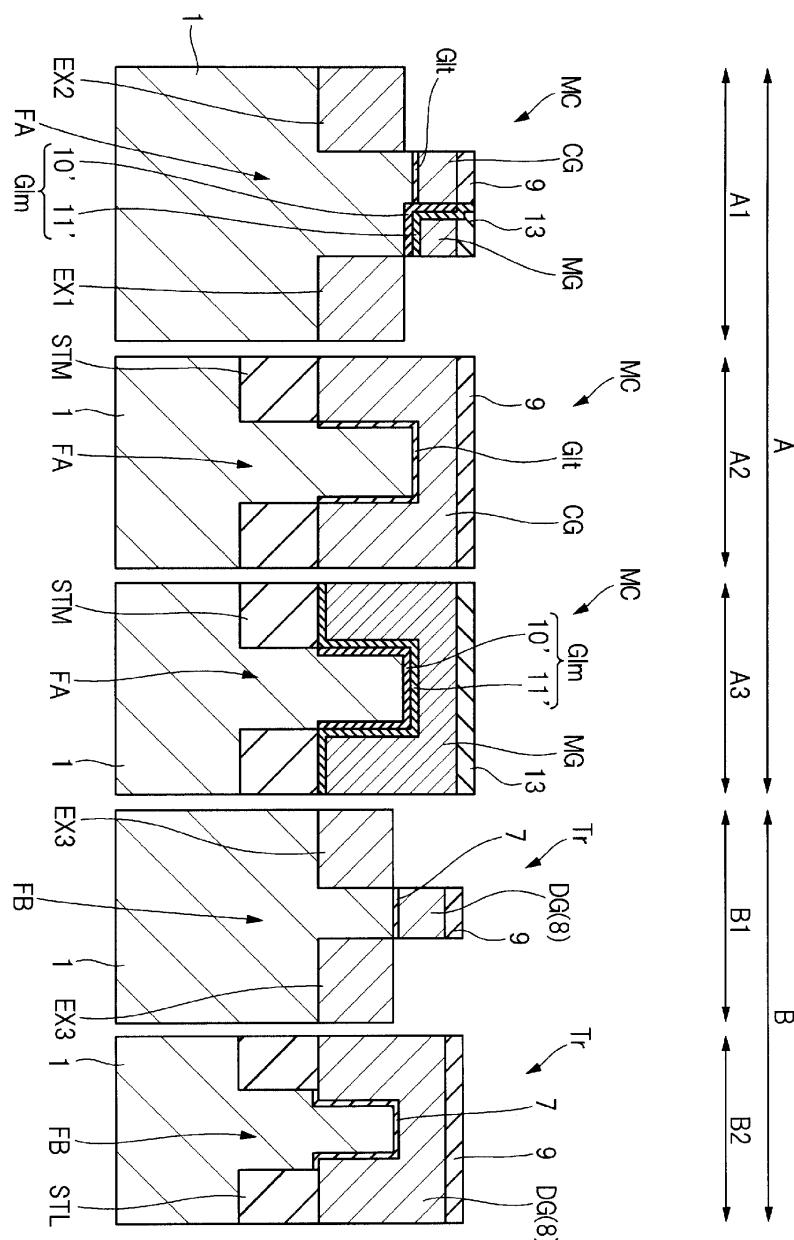
도면21



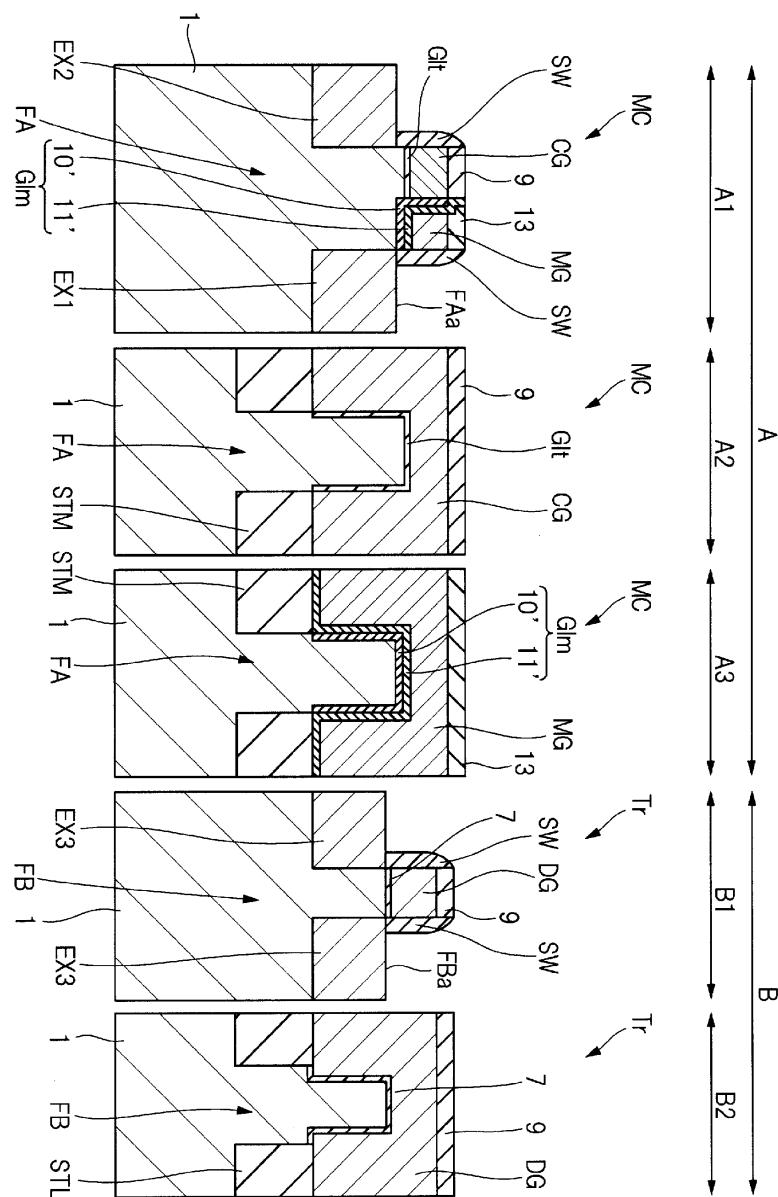
도면22



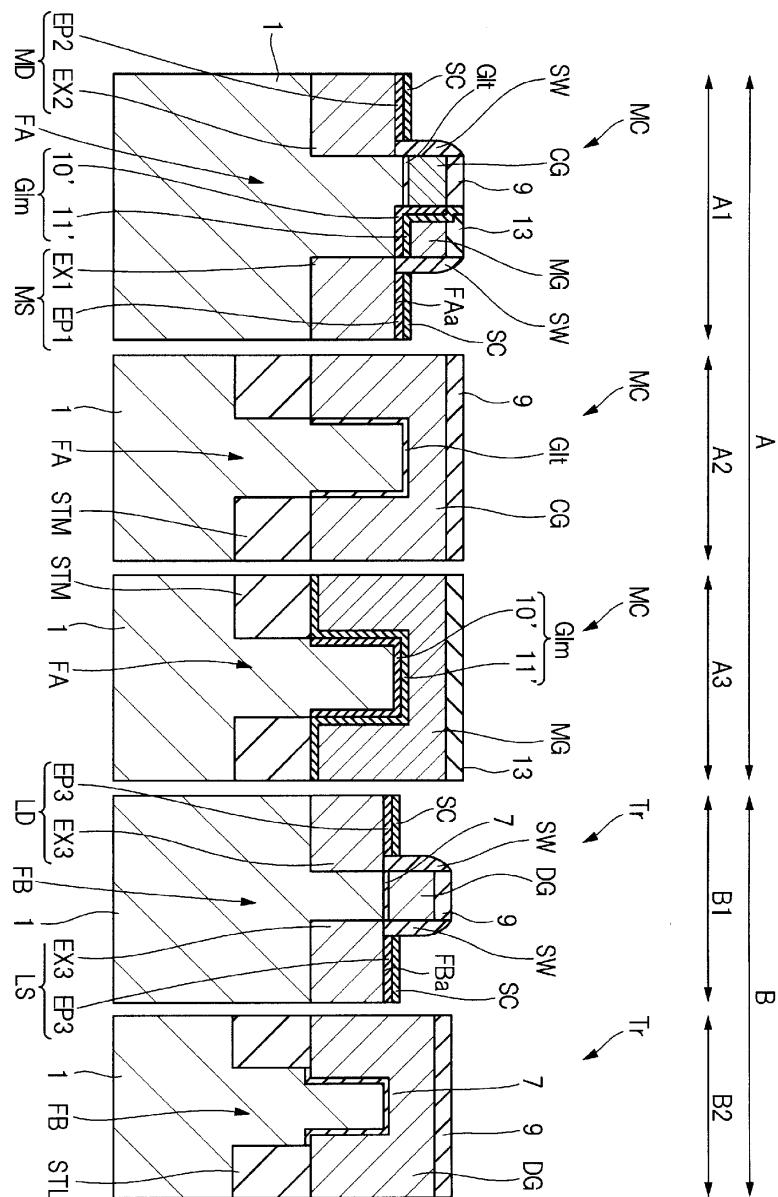
도면23



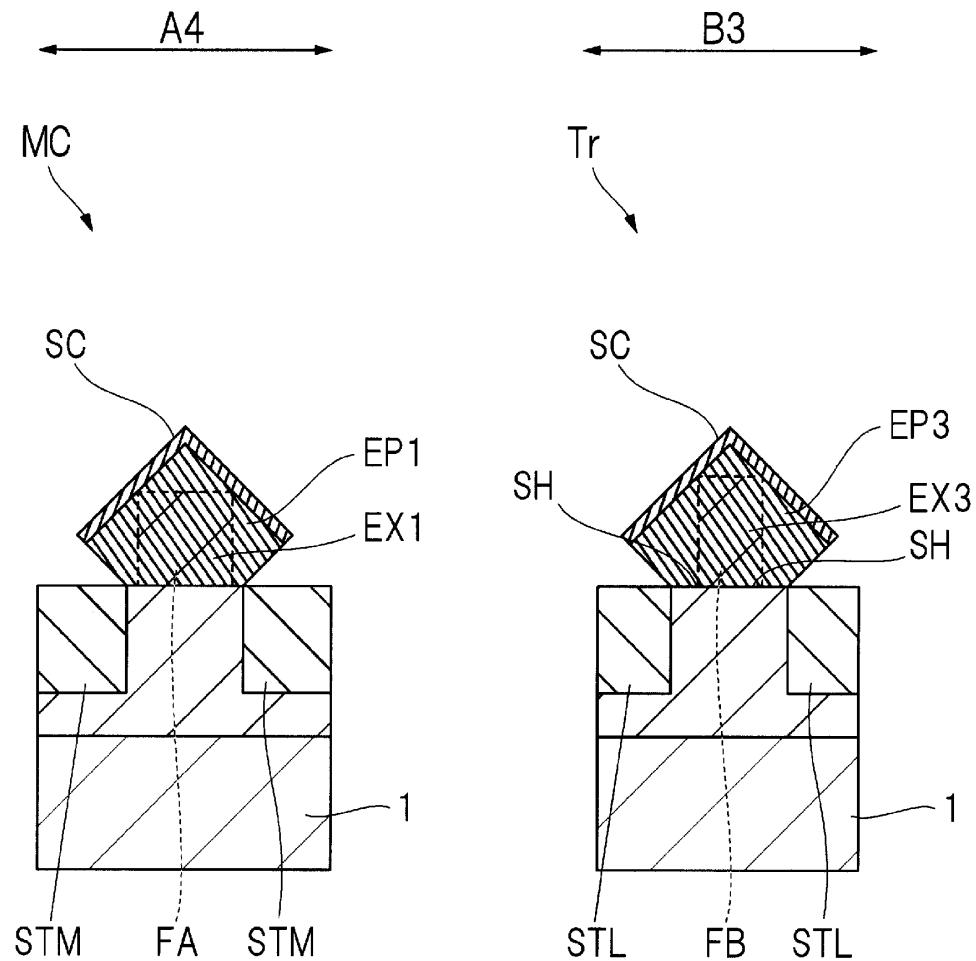
도면24



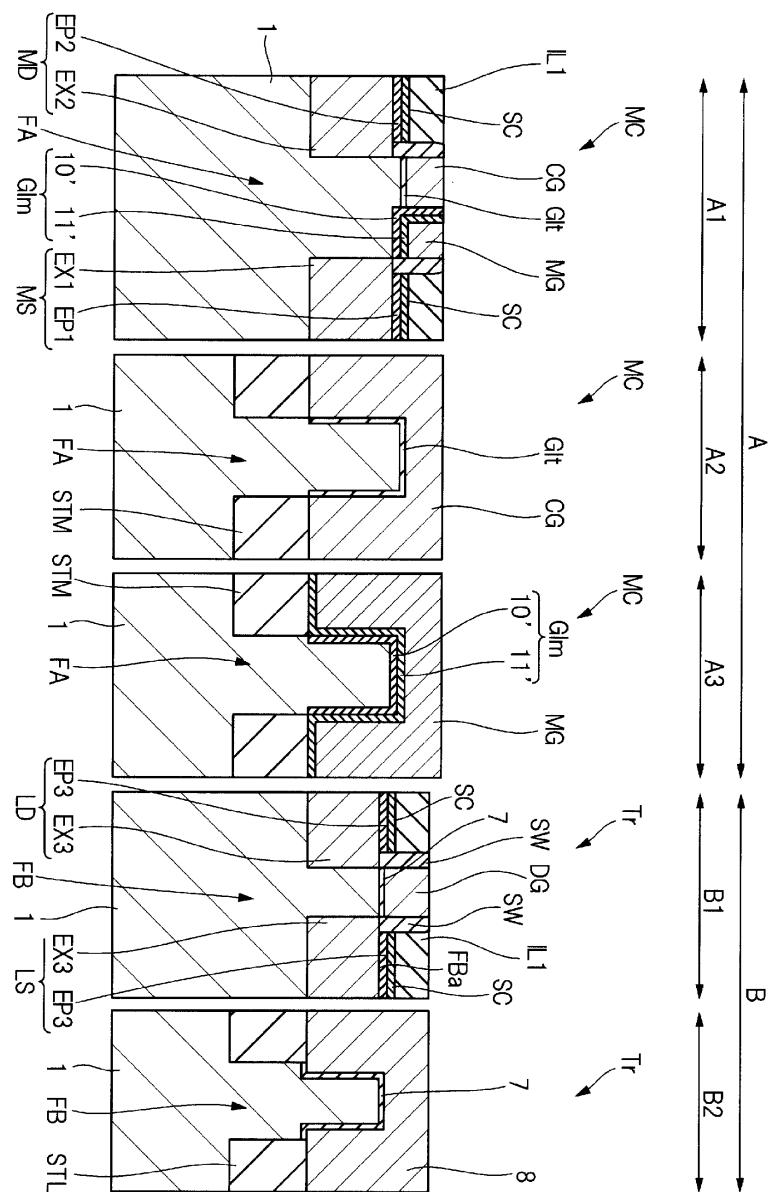
도면25



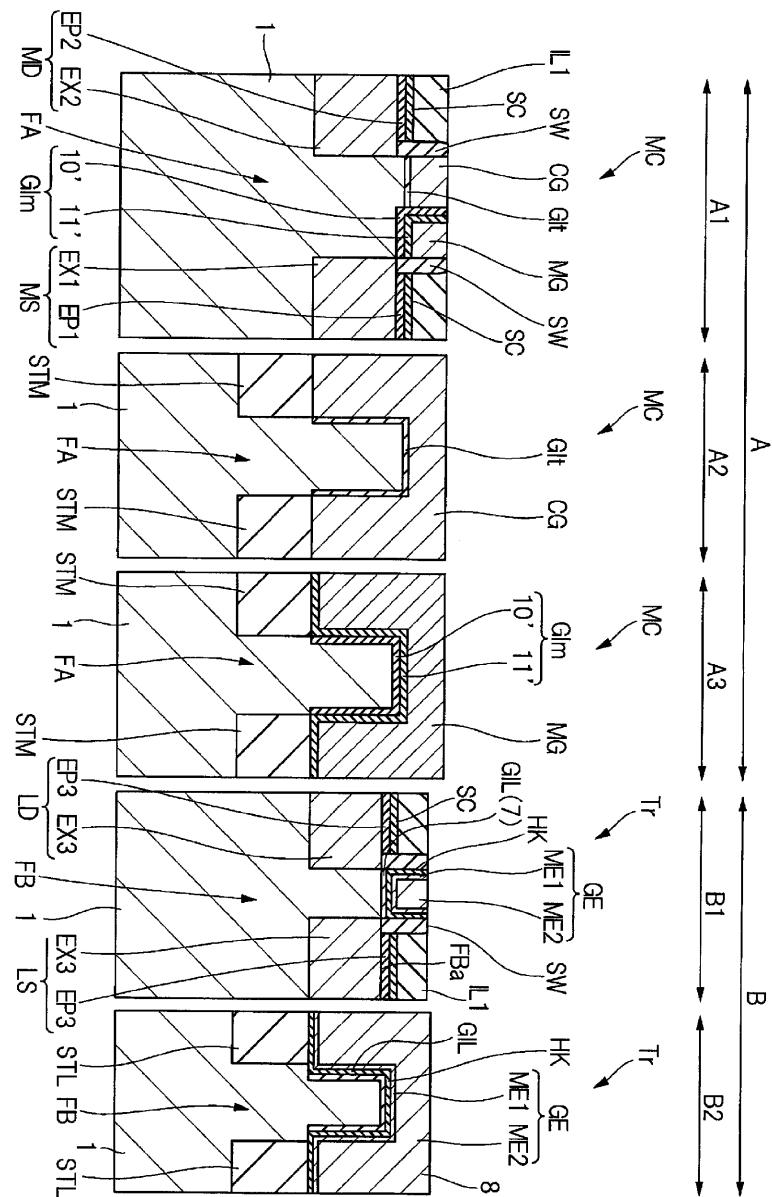
도면26



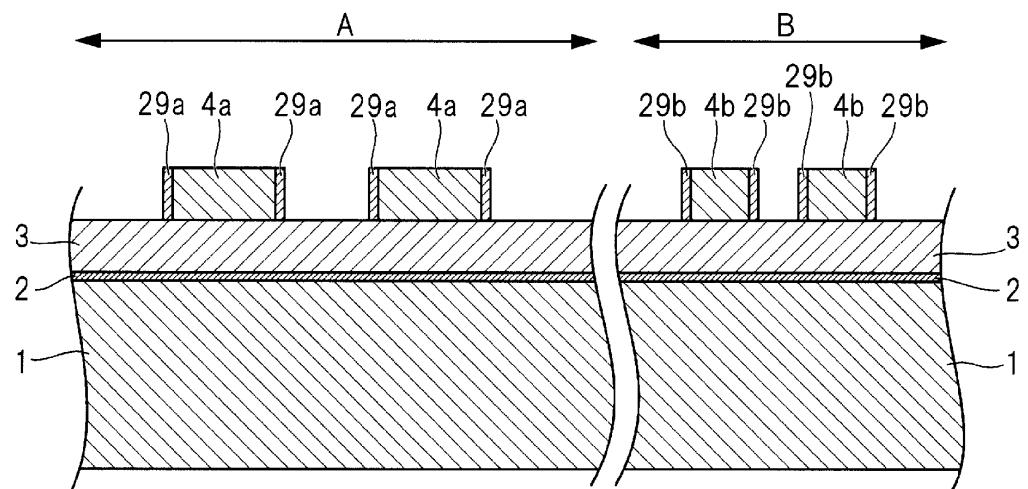
## 도면27



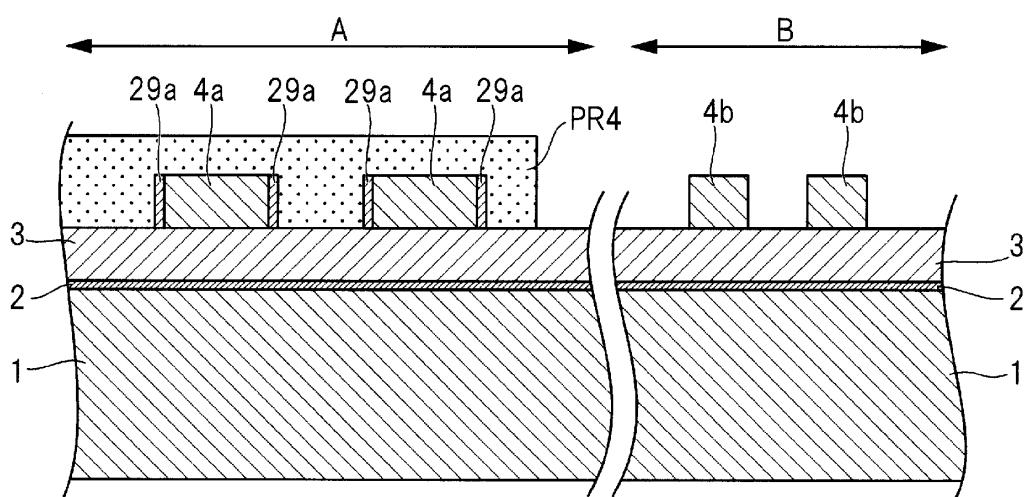
도면28



도면29



도면30



도면31

