(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 117098403 A
(43)申请公布日 2023.11.21

(21)申请号 202310076640.X

(22)申请日 2023.01.17

(30)优先权数据
10-2022-0061822 2022.05.20 KR

(71)申请人 爱思开海力士有限公司
地址 韩国京畿道

(72)发明人 尹宗珉

(74)专利代理机构 北京三友知识产权代理有限公司 11127
专利代理师 孙东喜 刘久亮

(51)Int.Cl.
H10B 63/00(2023.01)
H10B 61/00(2023.01)
H10N 50/10(2023.01)
H10N 50/01(2023.01)
H10N 70/20(2023.01)

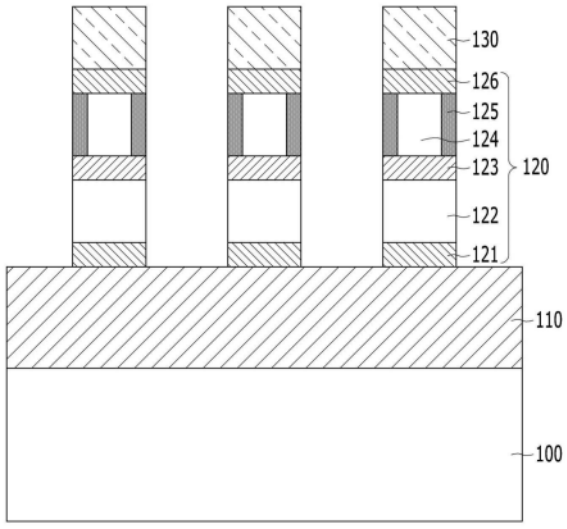
权利要求书2页 说明书14页 附图15页

(54)发明名称

半导体装置及其制造方法

(57)摘要

本申请涉及半导体装置及其制造方法。一种半导体装置可包括:第一导线;第二导线,其被设置为与第一导线间隔开;可变电阻层,其设置在第一导线和第二导线之间;以及电极层,其设置在第一导线和可变电阻层之间的第一位置或可变电阻层和第二导线之间的第二位置中的至少一个处,并且包括厚度相关金属-绝缘体转变TDMIT材料,该TDMIT材料表现出取决于该TDMIT材料的厚度的电阻。



CN 117098403 A

1.一种半导体装置,该半导体装置包括:

第一导线;

第二导线,该第二导线被设置为与所述第一导线间隔开;

可变电阻层,该可变电阻层设置在所述第一导线和所述第二导线之间;以及

电极层,该电极层设置在第一位置或第二位置中的至少一个处,所述第一位置位于所述第一导线和所述可变电阻层之间,所述第二位置位于所述可变电阻层和所述第二导线之间,并且该电极层包括厚度相关金属-绝缘体转变TDMIT材料,该TDMIT材料表现出取决于该TDMIT材料的厚度的电阻。

2.根据权利要求1所述的半导体装置,其中,所述电极层的所述TDMIT材料具有允许所述TDMIT材料表现出导电性的第一厚度。

3.根据权利要求1所述的半导体装置,该半导体装置还包括侧壁保护层,该侧壁保护层设置在所述可变电阻层的侧壁上并且包括与所述电极层的TDMIT材料相同的TDMIT材料。

4.根据权利要求3所述的半导体装置,其中,所述侧壁保护层的TDMIT材料具有允许所述TDMIT材料表现出电绝缘性质的第二厚度。

5.根据权利要求1所述的半导体装置,其中,所述TDMIT材料包括V_2O_3、$LaNiO_3$、$SrRuO_3$、$NdNiO_3$、$PrNiO_3$、SnO_2:Sb或其组合中的至少一种。

6.根据权利要求3所述的半导体装置,其中,所述电极层的厚度大于所述侧壁保护层的厚度。

7.根据权利要求1所述的半导体装置,其中,所述电极层设置在所述可变电阻层上方或下方以与所述可变电阻层接触。

8.根据权利要求1所述的半导体装置,其中,所述电极层设置在所述可变电阻层上方和下方以与所述可变电阻层接触。

9.根据权利要求1所述的半导体装置,该半导体装置还包括选择器层,所述选择器层在所述电极层插置在所述可变电阻层和所述选择器层之间的情况下设置在所述可变电阻层上方或下方,并且所述选择器层控制对所述可变电阻层的访问。

10.一种制造半导体装置的方法,该方法包括以下步骤:

形成厚度相关金属-绝缘体转变TDMIT材料层,该TDMIT材料层具有取决于TDMIT材料的厚度的电阻;

在所述TDMIT材料层上方或下方形成可变电阻层;以及

对所述TDMIT材料层和所述可变电阻层执行构图工艺以形成电极层和可变电阻层图案。

11.根据权利要求10所述的方法,其中,执行所述构图工艺的步骤包括以下步骤:形成所述电极层,使得所述电极层的TDMIT材料具有允许所述TDMIT材料表现出导电性的第一厚度。

12.根据权利要求10所述的方法,该方法还包括以下步骤:在所述可变电阻层图案的侧壁上形成包括所述TDMIT材料的侧壁保护层。

13.根据权利要求12所述的方法,其中,形成所述侧壁保护层的步骤包括以下步骤:在所述可变电阻层图案的侧壁上再沉积所述TDMIT材料中的原子。

14.根据权利要求12所述的方法,其中,形成所述侧壁保护层的步骤形成所述侧壁保护

层以使得所述侧壁保护层的TDMIT材料具有允许所述TDMIT材料表现出绝缘性质的第二厚度。

15.根据权利要求10所述的方法，其中，所述TDMIT材料层包括V_2O_3、$LaNiO_3$、$SrRuO_3$、$NdNiO_3$、$PrNiO_3$、SnO_2:Sb或其组合中的至少一种。

16.根据权利要求12所述的方法，其中，所述电极层形成为厚度大于所述侧壁保护层的厚度。

17.根据权利要求10所述的方法，该方法还包括以下步骤：

在所述电极层下方或上方形成选择器层。

18.根据权利要求10所述的方法，其中，执行所述构图工艺的步骤将所述电极层形成为设置在所述可变电阻层图案下方或上方。

19.根据权利要求10所述的方法，该方法还包括以下步骤：

形成包括所述TDMIT材料的附加电极层，使得所述可变电阻层设置在所述电极层和所述附加电极层之间。

半导体装置及其制造方法

技术领域

[0001] 本专利文献涉及存储器电路或装置及其在电子装置或系统中的应用。

背景技术

[0002] 电气和电子行业中朝着小型化、低功耗、高性能和多功能性的最近趋势已迫使半导体制造商聚焦于高性能、大容量半导体装置。这些高性能、大容量半导体装置的示例包括可通过根据所施加的电压或电流在不同的电阻状态之间切换来存储数据的存储器装置。半导体装置可包括RRAM(电阻随机存取存储器)、PRAM(相变随机存取存储器)、FRAM(铁电随机存取存储器)、MRAM(磁性随机存取存储器)和电子熔断器(E-fuse)。

发明内容

[0003] 本专利文献中所公开的技术包括存储器电路或装置及其在半导体装置或系统中的应用以及可改进半导体装置的性能并减少制造缺陷的半导体装置的各种实现。

[0004] 在一个方面,一种半导体装置可包括:第一导线;第二导线,其被设置为与第一导线间隔开;可变电阻层,其设置在第一导线和第二导线之间;以及电极层,其设置在第一导线和可变电阻层之间的第一位置或可变电阻层和第二导线之间的第二位置中的至少一个处,并且包括厚度相关金属-绝缘体转变(TDMIT)材料,其表现出取决于TDMIT材料的厚度的电阻。

[0005] 在另一方面,一种制造半导体装置的方法可包括以下步骤:形成厚度相关金属-绝缘体转变(TDMIT)材料层,该TDMIT材料层具有取决于TDMIT材料的厚度的电阻;在TDMIT材料层下方或上方形成可变电阻层;以及对TDMIT材料层和可变电阻层执行构图工艺以形成电极层和可变电阻层图案。

附图说明

[0006] 图1A和图1B示出基于所公开的技术的一些实现方式的半导体装置。

[0007] 图2A至图2D是示出基于所公开的技术的一些实现方式的用于制造半导体装置的示例方法的横截面图。

[0008] 图3A至图3E是示出基于所公开的技术的一些实现方式的用于制造半导体装置的另一示例方法的横截面图。

[0009] 图4A至图4C是示出基于所公开的技术的一些实现方式的用于制造半导体装置的另一示例方法的横截面图。

[0010] 图5A至图5D是示出基于所公开的技术的一些实现方式的用于制造半导体装置的另一示例方法的横截面图。

[0011] 图6A至图6C是示出基于所公开的技术的一些实现方式的用于制造半导体装置的另一示例方法的横截面图。

具体实施方式

[0012] 以下,将参照附图详细描述本公开的各种实施方式。

[0013] 图1A和图1B示出基于所公开的技术的一些实现方式的半导体装置。图1A是立体图,图1B是沿着图1A的线A-A'截取的横截面图。

[0014] 参照图1A和图1B,半导体装置可包括交叉点结构,其包括基板100、形成在基板100上方并在第一方向上延伸的第一导线110、形成在第一导线110上方以与第一导线110间隔开并在与第一方向交叉的第二方向上延伸的第二导线130以及在第一导线110和第二导线130之间设置在第一导线110和第二导线130的交点处的存储器单元120。在本专利文献中,导线可指示将半导体存储器中的两个或更多个电路元件电连接的导电结构。在一些实现方式中,导线包括用于控制对存储器装置中的存储器单元的访问的字线和用于读出存储在存储器单元中的信息的位线。在一些实现方式中,导线包括承载半导体存储器中的不同电路元件之间的信号的互连件。

[0015] 基板100可包括诸如硅的半导体材料。所需下结构(未示出)可形成在基板100中。例如,基板100可包括电连接到第一导线110和/或第二导线130以控制存储器单元120的操作的驱动电路(未示出)。在本专利文献中,导线可指示将半导体装置中的两个或更多个电路元件电连接的导电结构。在一些实现方式中,导线包括用于控制对存储器装置中的存储器单元的访问的字线和用于读出存储在存储器单元中的信息的位线。在一些实现方式中,导线包括承载半导体装置中的不同电路元件之间的信号的互连件。

[0016] 第一导线110和第二导线130可分别连接到存储器单元120的下端和上端,并且可向存储器单元120提供电压或电流以驱动存储器单元120。当第一导线110用作字线时,第二导线130可用作位线。相反,当第一导线110用作位线时,第二导线130可用作字线。第一导线110和第二导线130可包括单层或多层结构,其包括各种导电材料中的一种或更多种。导电材料的示例可包括金属、金属氮化物或导电碳材料或其组合,但不限于此。例如,第一导线110和第二导线130可包括钨(W)、钛(Ti)、钽(Ta)、铂(Pt)、铝(Al)、铜(Cu)、锌(Zn)、镍(Ni)、钴(Co)、铅(Pb)、氮化钨(WN)、硅化钨(WSi)、氮化钛(TiN)、氮化钛硅(TiSiN)、氮化钛铝(TiAlN)、氮化钽(TaN)、氮化钽硅(TaSiN)、氮化钽铝(TaAlN)、碳(C)、碳化硅(SiC)或氮化硅碳(SiCN)或其组合。

[0017] 存储器单元120可沿着第一方向和第二方向按具有行和列的矩阵布置,以与第一导线110和第二导线130之间的交点区域交叠。在实现方式中,各个存储器单元120的尺寸可基本上等于或小于对应各对第一导线110和第二导线130之间的交点区域的尺寸。在另一实现方式中,各个存储器单元120的尺寸可大于对应各对第一导线110和第二导线130之间的交点区域的尺寸。

[0018] 第一导线110、第二导线130和存储器单元120之间的空间可由介电材料填充。

[0019] 存储器单元120可包括层叠结构,其包括下电极层121、选择器层122、中间电极层123、可变电阻层124、侧壁保护层125和上电极层126。

[0020] 可变电阻层124可用于通过根据所施加的电压或电流在不同的电阻状态之间切换来存储数据。可变电阻层124可具有单层结构或多层结构,其包括用于RRAM、PRAM、MRAM、FRAM等的具有可变电阻特性的至少一种材料。例如,可变电阻层124可包括诸如转变金属氧化物或钙钛矿基氧化物的金属氧化物、诸如硫族化物基材料的相变材料、铁磁材料、铁电材

料等。然而，实现方式不限于此，代替可变电阻层124，存储器单元120可包括能够以各种方式存储数据的其它存储器层。

[0021] 选择器层122可用于控制对可变电阻层124的访问。在一些实现方式中，选择器层122表现出通过相对于阈值电压控制所施加的电压来通过切换操作切换的不同导电状态。选择器层122可包括诸如NbO_2、TiO_2、VO_2、WO_2等的金属绝缘体转变(MIT)材料、诸如ZrO_2(Y_2O_3)、Bi_2O_3-BaO、$(La_2O_3)_x(CeO_2)_{1-x}$等的混合离子-电子传导(MIEC)材料、包括诸如$Ge_2Sb_2Te_5$、As_2Te_3、As_2、As_2Se_3等的硫族化物材料的卵形阈值切换(OTS)材料、或者诸如氧化硅、氮化硅、金属氧化物等的隧穿绝缘材料。隧穿绝缘层的厚度足够小，以允许电子在给定电压或给定电流下通过隧穿绝缘层隧穿。选择器层122可包括单层或多层结构。

[0022] 在一些实现方式中，选择器层122可通过形成在选择器层122的材料层中的掺杂区域执行阈值切换操作。选择器层122可具有当所施加的电压的大小小于预定阈值时阻挡或基本上限制电流并且当所施加的电压的大小等于或大于预定阈值时允许电流快速增加的阈值切换特性。该阈值可被称为阈值电压，并且选择器层122可根据所施加的电压是高于还是低于阈值电压而被控制处于导通或“开”状态以导电，或者处于截止或“关”状态以不如“开”状态导电或不导电。因此，阈值切换操作区域的大小可由掺杂剂的分布面积控制。掺杂剂可在选择器层122的材料层中形成电荷载流子的陷阱点。陷阱点可基于施加到选择器层122的外部电压来捕获在选择器层122中移动的电荷载流子。陷阱点由此提供阈值切换特性并且用于执行阈值切换操作。

[0023] 在一些实现方式中，选择器层122可包括包含掺杂剂的介电材料。选择器层122可包括具有掺杂剂的氧化物、具有掺杂剂的氮化物或具有掺杂剂的氮氧化物或其组合，例如氧化硅、氧化钛、氧化铝、氧化钨、氧化铪、氧化钽、氧化铌、氮化硅、氮化钛、氮化铝、氮化钨、氮化铪、氮化钽、氮化铌、氮氧化硅、氮氧化钛、氮氧化铝、氮氧化钨、氮氧化铪、氮氧化钽或氮氧化铌或其组合。掺杂到选择器层122中的掺杂剂可包括n型掺杂剂或p型掺杂剂，并且例如通过离子注入工艺来包含。掺杂剂的示例可包括硼(B)、氮(N)、碳(C)、磷(P)、砷(As)、铝(Al)、硅(Si)或锗(Ge)中的一种或更多种。例如，选择器层122可包括As掺杂氧化硅或Ge掺杂氧化硅。

[0024] 下电极层121可插置在第一导线110和选择器层122之间，并且设置在各个存储器单元120的最下部。下电极层121可用作在第一导线110之一与各个存储器单元120的剩余部分之间承载电流或施加电压的电路节点。中间电极层123可插置在选择器层122和可变电阻层124之间。中间电极层123可在将选择器层122和可变电阻层124彼此物理隔离或分离的同时将选择器层122和可变电阻层124彼此电连接。上电极层126可设置在存储器单元120的最上部，并且用作存储器单元120中的材料层与第二导线130之一之间的诸如电压或电流的电信号的传输路径。可省略下电极层121、中间电极层123和上电极层126中的至少一个。

[0025] 在实现方式中，在下电极层121、中间电极层123和上电极层126当中，可变电阻层124周围的电极层可包括根据厚度而表现出不同电阻的厚度相关金属-绝缘体转变(TDMIT)材料。例如，在图1B所示的实现方式中，中间电极层123和上电极层126中的至少一个可包括TDMIT材料。

[0026] 通常，与可变电阻层124相邻的电极(例如，中间电极)可具有单层结构或多层结构，其包括诸如金属、金属氮化物、导电碳材料或其组合的各种导电材料。例如，中间电极可

包括钨(W)、钛(Ti)、钽(Ta)、铂(Pt)、铝(Al)、铜(Cu)、锌(Zn)、镍(Ni)、钴(Co)、铅(Pb)、氮化钨(WN)、硅化钨(WSi)、氮化钛(TiN)、氮化钛硅(TiSiN)、氮化钛铝(TiAlN)、氮化钽(TaN)、氮化钽硅(TaSiN)、氮化钽铝(TaAlN)、碳(C)、碳化硅(SiC)或氮化硅碳(SiCN)或其组合。例如，中间电极可包括TiN。当通过构图工艺形成中间电极时，从包括在中间电极中的TiN衍生的材料可能再沉积在可变电阻层124的侧壁上，并且再沉积的材料可能导致可变电阻层124的分流故障。为了去除再沉积的材料，有必要执行离子束蚀刻(IBE)工艺多次以及用于保护可变电阻层124的侧壁工艺。然而，与侧壁工艺一起执行的多个IBE工艺降低了工艺效率。

[0027] 认识到降低工艺效率的问题，在所公开的技术的实现方式中，设置在可变电阻层124下方和上方的中间电极层123和/或上电极层126可由TDMIT材料形成或包括TDMIT材料。在一些实现方式中，当中间电极层123和/或上电极层126被构图时，TDMIT材料中的原子再沉积在可变电阻层124的侧壁上以形成侧壁保护层125。

[0028] 中间电极层123和/或上电极层126可具有足够厚以允许TDMIT材料表现出导电性的厚度。

[0029] 侧壁保护层125可具有足够薄以允许TDMIT材料表现出电绝缘性质的厚度。

[0030] 中间电极层123和/或上电极层126的厚度可大于侧壁保护层125的厚度。

[0031] TDMIT材料是指根据厚度而表现出不同电阻的金属绝缘体转变(MIT)材料。例如，TDMIT材料的电阻可根据厚度而非线性地变化。MIT材料是指当通过经受诸如施加到MIT材料的温度和电场的外部刺激而在MIT材料中发生从金属到绝缘体的转变时电阻快速减小的材料。当MIT材料的电阻减小时，减小量可非常大，例如原始电阻的约10^4至10^5倍。例如，MIT现象是指当施加特定温度或电场时电绝缘材料从具有电绝缘性质的第一状态改变为具有金属性质且导电的第二状态的现象。TDMIT材料是指电阻根据厚度而变化的MIT材料。

[0032] 实现方式中可使用的TDMIT材料的示例可包括(但不限于)V_2O_3、$LaNiO_3$、$SrRuO_3$、$NdNiO_3$、$PrNiO_3$、SnO_2:Sb或其组合中的至少一种。这里，SnO_2:Sb表示掺杂有Sb的SnO_2。当厚度较小时，这些材料的电阻可快速增大。因此，如果这些材料具有小于或等于预定厚度的厚度，则它们可具有电绝缘性质，而如果它们具有大于预定厚度的厚度，则它们可具有金属性质并且导电。预定厚度是指TDMIT材料中发生从金属到绝缘体的转变的厚度。例如，TDMIT材料中发生从金属到绝缘体的转变的厚度已知如下：

[0033] -V_2O_3:约5nm；

[0034] -$LaNiO_3$:约10nm；

[0035] -$SrRuO_3$:约2.3nm-2.7nm；

[0036] -$NdNiO_3$:约3nm；

[0037] -$PrNiO_3$:约12nm；以及

[0038] -SnO_2:Sb:约3.1nm。

[0039] 在实现方式中，中间电极层123和/或上电极层126可具有足够厚以允许TDMIT材料表现出导电性的厚度。中间电极层123的厚度和/或上电极层126的厚度可基于包括在中间电极层123和/或上电极层126中的TDMIT材料来选择。当通过构图工艺蚀刻掉中间电极层123和/或上电极层126时，TDMIT材料可再沉积在可变电阻层124的侧壁上。中间电极层123和/或上电极层126的构图工艺通常可通过IBE工艺来执行。在IBE工艺期间，TDMIT材料可再沉积在可变电阻层124的侧壁上，并且再沉积的TDMIT材料可具有较薄厚度。再沉积的TDMIT

材料形成侧壁保护层。由于侧壁保护层125可具有较小厚度，所以包括在侧壁保护层125中的TDMIT材料可表现出电绝缘性质。根据实现方式，可变电阻层124周围的电极可表现出导电性，并且形成在可变电阻层124的侧壁上的侧壁保护层125可表现出电绝缘性质。可通过侧壁保护层125防止或减少由于旁路电流而引起的分流故障。还可显著减少或省略如上所述在传统工艺中通常执行的用于去除再沉积的材料的IBE工艺和用于保护可变电阻层124的侧壁工艺，这改进了工艺效率和工艺的容易性。此外，可利用在中间电极层123和/或上电极层126的构图期间不可避免地发生的再沉积来形成侧壁保护层125，而无需用于形成侧壁保护层125的单独工艺。因此，实现方式可通过使用在中间电极层123和/或上电极层126的构图期间发生的再沉积形成侧壁保护层125来改进工艺效率。

[0040] 不与可变电阻层124接触的下电极层121以及不包括TDMIT材料的中间电极层123或上电极层126可具有单层或多层结构，其包括诸如金属、金属氮化物、导电碳材料或其组合的各种导电材料。例如，下电极层121可包括钨(W)、钛(Ti)、钽(Ta)、铂(Pt)、铝(Al)、铜(Cu)、锌(Zn)、镍(Ni)、钴(Co)、铅(Pb)、氮化钨(WN)、硅化钨(WSi)、氮化钛(TiN)、氮化钛硅(TiSiN)、氮化钛铝(TiAlN)、氮化钽(TaN)、氮化钽硅(TaSiN)、氮化钽铝(TaAlN)、碳(C)、碳化硅(SiC)或氮化硅碳(SiCN)或其组合。

[0041] 在一些实现方式中，各个存储器单元120包括下电极层121、选择器层122、中间电极层123、可变电阻层124、侧壁保护层125和上电极层126。存储器单元120的结构可变化而不限于图1A和图1B所示，只要存储器单元120具有数据存储性质即可。在一些实现方式中，可省略下电极层121、中间电极层123和上电极层126中的至少一个。例如，当下电极层121被省略时，第一导线110可执行下电极层121的功能。当上电极层126被省略时，第二导线130可执行上电极层126的功能。在一些实现方式中，可变电阻层124和选择器层122的相对位置可颠倒。在一些实现方式中，除了图1B所示的层121至126之外，存储器单元120还可包括用于增强存储器单元120的特性或改进制造工艺的一个或更多个层(未示出)。

[0042] 在一些实现方式中，多个存储器单元120中的邻近存储器单元可按预定间隔彼此间隔开，并且沟槽可存在于多个存储器单元120之间。邻近存储器单元120之间的沟槽可具有在包括从1:1至40:1、从10:1至40:1、从10:1至20:1、从5:1至10:1、从10:1至15:1、从1:1至25:1、从1:1至30:1、从1:1至35:1或从1:1至45:1的各种范围内的高宽比(即，纵横比)。

[0043] 在一些实现方式中，沟槽可具有基本上垂直于基板100的上表面的侧壁。在一些实现方式中，邻近沟槽可彼此间隔开相等或相似的距离。

[0044] 在一些实现方式中，除了第一导线110、存储器单元120和第二导线130之外，半导体装置可包括另外的层。

[0045] 尽管描述了一个交叉点结构，但两个或更多个交叉点结构可在垂直于基板100的顶表面的垂直方向上层叠。

[0046] 将参照图2A至图2D说明制造半导体装置的方法。将省略与图1A和图1B的实现方式中描述的那些相似的详细描述。

[0047] 图2A至图2D是示出基于所公开的技术的一些实现方式的用于制造半导体装置的示例方法的横截面图。

[0048] 参照图2A，可在形成有预定结构的基板200上方形成第一导线210。可通过形成用于第一导线210的导电层并且使用在第一方向上延伸的线形状的掩模图案蚀刻导电层来形

成第一导线210。第一导线210可具有包括导电材料的单层结构或多层结构。

[0049] 然后，可在第一导线210上方依次形成用于形成下电极层的材料层221A、用于形成选择器层的材料层222A和用于形成中间电极层的材料层223A。

[0050] 材料层221A可具有单层或多层结构，其包括诸如金属、金属氮化物、导电碳材料或其组合的各种导电材料。

[0051] 材料层222A可包括MIT材料、MIEC材料、包括硫族化物基材料的OTS材料、隧穿绝缘材料、掺杂绝缘材料等。

[0052] 材料层223A可包括TDMIT材料。在一些实现方式中，材料层223A可包括V_2O_3、$LaNiO_3$、$SrRuO_3$、$NdNiO_3$、$PrNiO_3$或SnO_2:Sb或其组合。

[0053] 材料层223A可具有足够厚以允许TDMIT材料表现出导电性的厚度。材料层223A的厚度可根据包括在材料层223A中的TDMIT材料来确定。

[0054] 参照图2B，可在图2A的结构上形成用于形成可变电阻层的材料层224A。

[0055] 材料层224A可包括MTJ结构。

[0056] 参照图2C，可通过使用掩模图案(未示出)通过构图工艺依次蚀刻材料层224A、材料层223A、材料层222A和材料层221A来形成下电极层221、选择器层222、中间电极层223、可变电阻层224和侧壁保护层225。

[0057] 这里，可例如通过IBE工艺来执行构图工艺。

[0058] 在构图工艺期间，通过蚀刻材料层223A以形成侧壁保护层225，包括在TDMIT材料中的原子可再沉积在可变电阻层224的侧壁上。

[0059] 侧壁保护层225可具有足够薄以允许TDMIT材料表现出电绝缘性质的厚度。侧壁保护层225的厚度可根据包括在侧壁保护层225中的TDMIT材料来确定。由于通过IBE工艺而再沉积的材料层具有较薄厚度，所以侧壁保护层225可具有使得TDMIT材料可表现出绝缘性质的厚度。

[0060] 侧壁保护层225可允许显著降低工艺的分流故障率(SFR)和周转时间(TAT)。此外，可省略用于去除再沉积的材料的单独工艺。

[0061] 参照图2D，可在图2C的结构上形成上电极层226和第二导线230。

[0062] 上电极层226可具有单层或多层结构，其包括诸如金属、金属氮化物、导电碳材料或其组合的各种导电材料。可通过形成用于形成上电极层226的材料层并使用掩模图案蚀刻该材料层来形成上电极层226。

[0063] 在实现方式中，可通过与可变电阻层224的构图工艺分开的构图工艺来蚀刻上电极层226。在另一实现方式中，可在用于蚀刻可变电阻层224的构图工艺中同时蚀刻上电极层226。例如，可通过在图2B的步骤之后在材料层224A上形成用于形成上电极层226的材料层，并且使用掩模图案(未示出)依次蚀刻用于上电极层226的材料层、用于可变电阻层224的材料层、材料层223A、材料层222A和材料层221A来形成下电极层221、选择器层222、中间电极层223、可变电阻层224、侧壁保护层225和上电极层226。

[0064] 可通过形成用于形成第二导线230的导电层并且使用在第二方向上延伸的线形状的掩模图案蚀刻该导电层来形成第二导线230。第二导线230可包括单层或多层结构，其包括各种导电材料中的一种或更多种。

[0065] 通过图2A至图2D中描述的方法形成的半导体装置可包括基板200、第一导线210、

存储器单元220和第二导线230。存储器单元220可包括下电极层221、选择器层222、中间电极层223、可变电阻层224、侧壁保护层225和上电极层226。中间电极层223可包括TDMIT材料。中间电极层223可具有足够厚以允许TDMIT材料导电的厚度。侧壁保护层225可包括从中间电极层223衍生的再沉积的TDMIT材料。侧壁保护层225可具有足够薄以允许TDMIT材料表现出绝缘性质的厚度。

[0066] 根据实现方式，由于表现出绝缘性质的侧壁保护层225形成在可变电阻层224的侧壁上，所以分流故障和工艺TAT可减少。此外，可显著减少或省略用于去除再沉积的材料的多个IBE工艺和用于保护可变电阻层224的侧壁工艺。

[0067] 在实现方式中，中间电极层223由TDMIT材料形成或包括TDMIT材料。在另一实现方式中，上电极层226可由TDMIT材料形成或包括TDMIT材料。在另一实现方式中，中间电极层223和上电极层226二者可由TDMIT材料形成或包括TDMIT材料。

[0068] 在一些实现方式中，根据实现方式的半导体装置包括下电极层221、中间电极层223和上电极层226。在另一实现方式中，可省略上电极层226或下电极层221中的至少一个。

[0069] 在一些实现方式中，可变电阻层224设置在选择器层222上。在另一实现方式中，可变电阻层224可设置在选择器层222下方。

[0070] 图2D所示的基板200、第一导线210、存储器单元220、下电极层221、选择器层222、中间电极层223、可变电阻层224、侧壁保护层225、上电极层226和第二导线230可分别对应于图1B所示的基板100、第一导线110、存储器单元120、下电极层121、选择器层122、中间电极层123、可变电阻层124、侧壁保护层125、上电极层126和第二导线130。

[0071] 图3A至图3E是示出基于所公开的技术的一些实现方式的用于制造半导体装置的另一示例方法的横截面图。

[0072] 除了形成下电极触点340和上电极触点350之外，图3A至图3E所示的实现方式可与图2A至图2D所示的实现方式相似。将省略与图2A至图2D的实现方式中描述的那些相似的详细描述。

[0073] 参照图3A，可在形成有预定结构的基板300上方形成第一导线310。第一导线310可通过形成用于第一导线310的导电层并使用在第一方向上延伸的线形状的掩模图案蚀刻该导电层来形成。

[0074] 然后，可在第一导线310上方形成具有孔的层间介电层301。可通过在孔中形成下电极触点340并执行平坦化工艺来形成下电极触点340。

[0075] 下电极触点340可具有单层或多层结构，其包括诸如金属、金属氮化物、导电碳材料或其组合的各种导电材料。

[0076] 参照图3B，可在层间介电层301和下电极触点340上方依次形成用于形成下电极层的材料层321A、用于形成选择器层的材料层322A和用于形成中间电极层的材料层323A。

[0077] 材料层323A可包括TDMIT材料。在一些实现方式中，材料层323A可包括V_2O_3、$LaNiO_3$、$SrRuO_3$、$NdNiO_3$、$PrNiO_3$、SnO_2:Sb或其组合。

[0078] 材料层323A可具有足够厚以允许TDMIT材料表现出导电性的厚度。材料层323A的厚度可根据包括在材料层323A中的TDMIT材料来确定。

[0079] 参照图3C，可在图3B的结构上方形成用于形成可变电阻层的材料层324A。

[0080] 参照图3D，可通过依次蚀刻材料层324A、材料层323A、选择器层和材料层321A来形

成下电极层321、选择器层322、中间电极层323、可变电阻层324和侧壁保护层325。

[0081] 这里，可例如通过IBE工艺来执行构图工艺。

[0082] 在构图工艺期间，通过蚀刻材料层323A以形成侧壁保护层325，TDMIT材料可再沉积在可变电阻层324的侧壁上。

[0083] 侧壁保护层325可具有足够薄以允许TDMIT材料表现出绝缘性质的厚度。因此，侧壁保护层325的厚度可根据包括在侧壁保护层325中的TDMIT材料来确定。由于通过IBE工艺而再沉积的材料层具有较薄厚度，所以侧壁保护层325可具有足够薄以允许TDMIT材料表现出绝缘性质的厚度。

[0084] 参照图3E，可在图3D的结构上方形成上电极层326、上电极触点350和第二导线330。

[0085] 可通过形成具有孔的层间介电层302，形成用于形成上电极触点350的材料层，并且执行平坦化工艺来形成上电极触点350。

[0086] 另选地，在另一实现方式中，可通过形成具有孔的层间介电层302，形成用于形成上电极层326的材料层和用于形成上电极触点350的材料层，并且执行平坦化工艺来形成上电极层326和上电极触点350。

[0087] 用于形成下电极触点340的材料层可具有单层或多层结构，其包括诸如金属、金属氮化物、导电碳材料或其组合的各种导电材料。

[0088] 可通过形成用于形成第二导线330的导电层并使用在第二方向上延伸的线形状的掩模图案蚀刻该导电层来形成第二导线330。第二导线330可包括单层或多层结构，其包括各种导电材料中的一种或更多种。

[0089] 通过图3A至图3E中描述的方法形成的半导体装置可包括基板300、第一导线310、下电极触点340、存储器单元320、上电极触点350和第二导线330。存储器单元320可包括下电极层321、选择器层322、中间电极层333、可变电阻层324、侧壁保护层325和上电极层326。中间电极层323可包括TDMIT材料。中间电极层323可具有足够厚以允许TDMIT材料导电的厚度。侧壁保护层325可包括从中间电极层323衍生的再沉积的TDMIT材料。侧壁保护层325可具有足够薄以允许TDMIT材料表现出绝缘性质的厚度。

[0090] 根据实现方式，由于表现出绝缘性质的侧壁保护层325形成在可变电阻层324的侧壁上，所以分流故障和工艺TAT可减少。此外，可显著省略用于去除再沉积的材料的多个分段IBE工艺和用于保护可变电阻层324的侧壁工艺。

[0091] 在实现方式中，中间电极层323由TDMIT材料形成或包括TDMIT材料。在另一实现方式中，上电极层326可由TDMIT材料形成或包括TDMIT材料。在另一实现方式中，中间电极层223和上电极层226二者可由TDMIT材料形成或包括TDMIT材料。

[0092] 此外，在实现方式中，半导体装置具有下电极触点340和上电极触点350。在另一实现方式中，可省略下电极触点340或上电极触点350中的至少一个。

[0093] 此外，根据实现方式的半导体装置包括下电极层321、中间电极层323和上电极层326。在另一实现方式中，可省略上电极层326或下电极层321中的至少一个。

[0094] 此外，在实现方式中，可变电阻层324设置在选择器层322上。在另一实现方式中，可变电阻层324可设置在选择器层322下方。

[0095] 图3E所示的基板300、第一导线310、存储器单元320、下电极层321、选择器层322、

中间电极层323、可变电阻层324、侧壁保护层325、上电极层326和第二导线330可分别对应于图2D所示的基板200、第一导线210、存储器单元220、下电极层221、选择器层222、中间电极层223、可变电阻层224、侧壁保护层225、上电极层226和第二导线230，并且分别对应于图1B所示的基板100、第一导线110、存储器单元120、下电极层121、选择器层122、中间电极层123、可变电阻层124、侧壁保护层125、上电极层126和第二导线130。

[0096] 图4A至图4C是示出基于所公开的技术的一些实现方式的用于制造半导体装置的另一示例方法的横截面图。

[0097] 将省略与图2A至图2D的实现方式中描述的那些相似的详细描述。

[0098] 参照图4A，可在形成有预定结构的基板400上方形成第一导线410。

[0099] 然后，用于形成下电极层的材料层421A、用于形成选择器层的材料层422A、用于形成中间电极层的材料层423A、用于形成可变电阻层的材料层424A和用于形成上电极层的材料层426A可依次形成在第一导线410上方。

[0100] 材料层421A和材料层423A可具有单层或多层结构，其包括诸如金属、金属氮化物、导电碳材料或其组合的各种导电材料。

[0101] 材料层426A可包括TDMIT材料。在一些实现方式中，材料层426A可包括V_2O_3、$LaNiO_3$、$SrRuO_3$、$NdNiO_3$、$PrNiO_3$、SnO_2:Sb或其组合。

[0102] 材料层426A可具有足够厚以允许TDMIT材料表现出导电性的厚度。材料层426A的厚度可根据包括在材料层426A中的TDMIT材料来确定。

[0103] 参照图4B，可通过使用掩模图案(未示出)通过构图工艺依次蚀刻材料层426A、材料层424A、材料层423A、材料层422A和材料层421A来形成下电极层421、选择器层422、中间电极层423、可变电阻层424、侧壁保护层425和上电极层426。

[0104] 这里，可例如通过IBE工艺来执行构图工艺。

[0105] 在构图工艺期间，通过蚀刻材料层426A以形成侧壁保护层425，TDMIT材料可再沉积在可变电阻层424的侧壁上。

[0106] 侧壁保护层425可具有足够厚以允许TDMIT材料表现出绝缘性质的厚度。侧壁保护层425的厚度可根据包括在侧壁保护层425中的TDMIT材料来确定。由于通过IBE工艺而再沉积的材料层具有较薄厚度，所以侧壁保护层425可具有足够薄以允许TDMIT材料表现出绝缘性质的厚度。

[0107] 侧壁保护层425可允许显著减少工艺的分流故障率(SFR)和周转时间(TAT)。此外，可省略用于去除再沉积的材料的单独工艺。

[0108] 参照图4C，可在上电极层426上方形成第二导线430。

[0109] 通过图4A至图4C中描述的方法形成的半导体装置可包括基板400、第一导线410、存储器单元420和第二导线430。存储器单元420可包括下电极层421、选择器层422、中间电极层423、可变电阻层424、侧壁保护层425和上电极层426。上电极层426可包括TDMIT材料。上电极层426可具有足够厚以允许TDMIT材料导电的厚度。侧壁保护层425可包括从上电极层426衍生的再沉积的TDMIT材料。侧壁保护层425可具有足够薄以允许TDMIT材料表现出绝缘性质的厚度。

[0110] 在实现方式中，上电极层426由TDMIT材料形成或包括TDMIT材料。在另一实现方式中，中间电极层423可由TDMIT材料形成或包括TDMIT材料。在另一实现方式中，中间电极层

423和上电极层426二者可由TDMIT材料形成或包括TDMIT材料。

[0111] 此外，根据实现方式的半导体装置包括下电极层421、中间电极层423和上电极层426。在另一实现方式中，可省略中间电极层423或下电极层421中的至少一个。

[0112] 此外，在实现方式中，可变电阻层424设置在选择器层422上。在另一实现方式中，可变电阻层424可设置在选择器层422下方。

[0113] 在上述实现方式中，各个半导体装置包括选择器层122、222、322或422，并且可变电阻层124、224、324或424形成在相同元件的上部和下部上以便形成高密度交叉点阵列。然而，在另一实现方式中，半导体装置可仅包括诸如元件中的磁隧道结(MTJ)的可变电阻层。这将参照图5A至图5D和图6A至图6C来描述。

[0114] 图5A至图5D是示出基于所公开的技术的一些实现方式的用于制造半导体装置的另一示例方法的横截面图。将省略与图1A和图1B、图2A至图2D、图3A至图3E和图4A至图4C的实现方式中描述的那些相似的详细描述。

[0115] 首先，参照图5D，根据实现方式的半导体装置可包括设置在基板500上方并在第一方向上延伸的第一导线510、设置在第一导线510上方并在与第一方向交叉的第二方向上延伸的第二导线530以及在第一导线510和第二导线530之间设置在第一导线510和第二导线530的交点处的可变电阻元件520。可变电阻元件520可包括磁隧道结(MTJ)结构，其包括具有可变磁化方向的自由层504、具有钉扎磁化方向的钉扎层506以及插置在自由层504和钉扎层506之间的隧道势垒层505。

[0116] 自由层504可具有不同的磁化方向之一或不同的电子自旋方向之一以切换MTJ结构中的自由层504的极性，从而导致电阻值的改变。在一些实现方式中，在对MTJ结构施加电压或电流信号(例如，高于特定阈值的驱动电流)时，自由层504的极性改变或翻转。随着自由层504的极性改变，自由层504和钉扎层506具有不同的磁化方向或不同的电子自旋方向，这允许可变电阻元件520存储不同的数据或表示不同的数据比特。自由层504也可被称为存储层。自由层504的磁化方向可基本上垂直于自由层504、隧道势垒层505和钉扎层506的表面。换言之，自由层504的磁化方向可基本上平行于自由层504、隧道势垒层505和钉扎层506的层叠方向。因此，自由层504的磁化方向可在向下方向和向上方向之间改变。自由层504的磁化方向的改变可由所施加的电流或电压所生成的自旋转移矩引起。

[0117] 自由层504可具有包括铁磁材料的单层或多层结构。例如，自由层504可包括基于Fe、Ni或Co的合金，例如Fe-Pt合金、Fe-Pd合金、Co-Pd合金、Co-Pt合金、Co-Fe合金、Fe-Ni-Pt合金、Co-Fe-Pt合金、Co-Ni-Pt合金或Co-Fe-B合金等，或者可包括金属的层叠，例如Co/Pt或Co/Pd等。

[0118] 隧道势垒层505可在数据读取操作和数据写入操作二者中允许电子隧穿。在用于存储新数据的写操作中，可通过隧道势垒层505引导高写入电流以改变自由层504的磁化方向，因此改变用于写入新数据比特的MTJ的电阻状态。在读取操作中，可通过隧道势垒层505引导低读取电流而不改变自由层504的磁化方向，以测量在自由层504的现有磁化方向下MTJ的现有电阻状态，以读取MTJ中存储的数据比特。隧道势垒层505可包括诸如MgO、CaO、SrO、TiO、VO或NbO等的介电氧化物。

[0119] 钉扎层506可具有在自由层504的磁化方向改变的同时保持不变的钉扎磁化方向。钉扎层506可被称为参考层。在一些实现方式中，钉扎层506的磁化方向可被钉扎在向下方

向上。在一些实现方式中，钉扎层506的磁化方向可被钉扎在向上方向上。

[0120] 钉扎层506可具有包括铁磁材料的单层或多层结构。例如，钉扎层506可包括基于Fe、Ni或Co的合金，例如Fe-Pt合金、Fe-Pd合金、Co-Pd合金、Co-Pt合金、Co-Fe合金、Fe-Ni-Pt合金、Co-Fe-Pt合金、Co-Ni-Pt合金或Co-Fe-B合金，或者可包括金属的层叠，例如Co/Pt或Co/Pd等。

[0121] 如果电压或电流施加到可变电阻元件520，则自由层504的磁化方向可通过自旋转移矩而改变。在一些实现方式中，当自由层504和钉扎层506的磁化方向彼此平行时，可变电阻元件520可处于低电阻状态，并且这可指示数字数据比特“0”。相反，当自由层504和钉扎层506的磁化方向彼此反平行时，可变电阻元件520可处于高电阻状态，并且这可指示数字数据比特“1”。在一些实现方式中，可变电阻元件520可被配置为当自由层504和钉扎层506的磁化方向彼此平行时存储数据比特“1”，并且当自由层504和钉扎层506的磁化方向彼此反平行时存储数据比特“0”。

[0122] 在一些实现方式中，可变电阻元件520还可包括执行各种功能的一个或更多个层以改进MTJ结构的特性。例如，可变电阻元件520还可包括下电极层501、缓冲层502、下层503、间隔物层507、磁校正层508、覆盖层509和侧壁保护层511。

[0123] 下电极层501可包括TDMIT材料。在一些实现方式中，下电极层501可包括V_2O_3、$LaNiO_3$、$SrRuO_3$、$NdNiO_3$、$PrNiO_3$、SnO_2:Sb或其组合。下电极层501可具有足够厚以允许TDMIT材料表现出导电性的厚度。

[0124] 在形成下电极层501期间，TDMIT材料可再沉积在可变电阻元件520的侧壁上以形成侧壁保护层511。侧壁保护层511可具有足够薄以允许TDMIT材料表现出绝缘性质的厚度。侧壁保护层511的厚度可根据包括在侧壁保护层511中的TDMIT材料来确定。由于通过IBE工艺而再沉积的材料层具有较薄厚度，所以侧壁保护层511可具有足够薄以允许TDMIT材料表现出绝缘性质的厚度。

[0125] 缓冲层502可设置在下层503下方以方便下层503的晶体生长，因此改进自由层504的垂直磁晶各向异性。缓冲层502可具有单层或多层结构，其包括金属、金属合金、金属氮化物或金属氧化物或其组合。在一些实现方式中，缓冲层502可由与底电极(未示出)具有良好兼容性的材料形成或包括该材料，以便解决底电极与下层503之间的晶格常数失配。例如，缓冲层502可包括钽(Ta)。

[0126] 下层503可设置在自由层504下方并且用于改进自由层504的垂直磁晶各向异性。下层503可具有单层或多层结构，其包括金属、金属合金、金属氮化物或金属氧化物或其组合。在一些实现方式中，下层503可具有包括金属氮化物的单层或多层结构。例如，下层503可包括TaN、AlN、SiN、TiN、VN、CrN、GaN、GeN、ZrN、NbN、MoN或HfN中的至少一种。

[0127] 间隔物层507可插置在磁校正层508和钉扎层506之间并且用作磁校正层508和钉扎层506之间的缓冲。间隔物层507可用于改进磁校正层508的特性。间隔物层507可包括诸如钌(Ru)的贵金属。

[0128] 磁校正层508可用于抵消钉扎层506所生成的杂散磁场的影响。在这种情况下，钉扎层506的杂散磁场的影响可减小，因此自由层504中的偏置磁场可减小。磁校正层508可具有与钉扎层506的磁化方向反平行的磁化方向。在实现方式中，当钉扎层506具有向下磁化方向时，磁校正层508可具有向上磁化方向。相反，当钉扎层506具有向上磁化方向时，磁校

正层508可具有向下磁化方向。磁校正层508可经由间隔物层507与钉扎层506交换耦合以形成合成反铁磁体(SAF)结构。磁校正层508可具有包括铁磁材料的单层或多层结构。

[0129] 在此实现方式中，磁校正层508位于钉扎层506上方，但是磁校正层508可设置在不同的位置。例如，在磁校正层508与MTJ结构分开构图时，磁校正层508可位于MTJ结构上方、下方或旁边。

[0130] 覆盖层509可用于保护可变电阻元件520和/或用作对可变电阻元件520进行构图的硬掩模。在一些实现方式中，覆盖层509可包括诸如金属的各种导电材料。在一些实现方式中，覆盖层509可包括几乎没有或具有少量针孔并且对湿法和/或干法蚀刻具有高抗性的金属材料。在一些实现方式中，覆盖层509可包括金属、氮化物或氧化物或其组合。例如，覆盖层509可包括诸如钌(Ru)的贵金属。

[0131] 覆盖层509可具有单层或多层结构。在一些实现方式中，覆盖层509可具有包括氧化物或金属或其组合的多层结构。例如，覆盖层509可具有氧化物层、第一金属层和第二金属层的多层结构。

[0132] 用于解决钉扎层506和磁校正层508之间的晶格结构差异和晶格常数失配的材料层(未示出)可插置在钉扎层506和磁校正层508之间。例如，该材料层可以是非晶的，并且可包括金属、金属氮化物或金属氧化物。

[0133] 接下来，将描述用于制造图5D的半导体装置的方法。

[0134] 参照图5A，可在形成有预定结构的基板500上方形成第一导线510。

[0135] 然后，可在第一导线510上方形成用于形成下电极层的材料层501A。

[0136] 材料层501A可包括TDMIT材料。在一些实现方式中，材料层501A可包括V_2O_3、$LaNiO_3$、$SrRuO_3$、$NdNiO_3$、$PrNiO_3$、SnO_2:Sb或其组合。

[0137] 材料层501A可具有足够厚以允许TDMIT材料表现出导电性的厚度。材料层501A的厚度可根据包括在材料层501A中的TDMIT材料来确定。

[0138] 参照图5B，用于形成缓冲层的材料层502A、用于形成下层的材料层503A、用于形成自由层的材料层504A、用于形成隧道势垒层的材料层505A、用于形成钉扎层的材料层506A、用于形成间隔物层的材料层507A、用于形成磁校正层的材料层508A和用于形成覆盖层的材料层509A可依次形成在材料层501A上方。

[0139] 参照图5C，可通过使用掩模图案(未示出)通过构图工艺依次蚀刻材料层509A、材料层508A、材料层507A、材料层506A、材料层505A、材料层504A、材料层503A、材料层502A和材料层501A来形成下电极层501、缓冲层502、下层503、自由层504、隧道势垒层505、钉扎层506、间隔物层507、磁校正层508、覆盖层509和侧壁保护层511。

[0140] 这里，可例如通过IBE工艺来执行构图工艺。

[0141] 在构图工艺期间，通过蚀刻材料层501A以形成侧壁保护层511，TDMIT材料可再沉积在可变电阻元件520的侧壁上。

[0142] 侧壁保护层511可具有足够薄以允许TDMIT材料表现出绝缘性质的厚度。侧壁保护层511的厚度可根据包括在侧壁保护层511中的TDMIT材料来确定。由于通过IBE工艺而再沉积的材料层具有较薄厚度，所以侧壁保护层511可具有足够薄以允许TDMIT材料表现出绝缘性质的厚度。

[0143] 侧壁保护层511可允许显著减少可变电阻元件520的分流故障率(SFR)和工艺的周

转时间(TAT)。此外,可省略用于去除再沉积的材料的单独工艺。

[0144] 参照图5D,可在覆盖层509上方形成第二导线530。

[0145] 通过图5A至图5D中描述的方法形成的半导体装置可包括基板500、第一导线510、可变电阻元件520和第二导线530。可变电阻元件520可包括下电极层501、缓冲层502、下层503、自由层504、隧道势垒层505、钉扎层506、间隔物层507、磁校正层508、覆盖层509和侧壁保护层511。下电极层501可包括TDMIT材料。下电极层501可具有足够厚以允许TDMIT材料导电的厚度。侧壁保护层511可包括从下电极层501衍生的再沉积的TDMIT材料。侧壁保护层511可具有足够薄以允许TDMIT材料表现出绝缘性质的厚度。

[0146] 在实现方式中,半导体装置包括缓冲层502、下层503、间隔物层507、磁校正层508和覆盖层509。在另一实现方式中,可省略缓冲层502、下层503、间隔物层507、磁校正层508和覆盖层509中的至少一个。

[0147] 在实现方式中,省略上电极层,并且第二导线530可执行上电极层的功能。

[0148] 图6A至图6C是示出基于所公开的技术的一些实现方式的用于制造半导体装置的另一示例方法的横截面图。将省略与图5A至图5D的实现方式中描述的那些相似的详细描述。

[0149] 参照图6A,可在形成有预定结构的基板600上方形成第一导线610。

[0150] 然后,用于形成下电极层的材料层601A、用于形成缓冲层的材料层602A、用于形成下层的材料层603A、用于形成自由层的材料层604A、用于形成隧道势垒层的材料层605A、用于形成钉扎层的材料层606A、用于形成间隔物层的材料层607A、用于形成磁校正层的材料层608A、用于形成覆盖层的材料层609A和用于形成上电极层的材料层612A可依次形成在第一导线610上方。

[0151] 材料层601A可具有单层或多层结构,其包括诸如金属、金属氮化物、导电碳材料或其组合的各种导电材料。

[0152] 材料层612A可包括TDMIT材料。在一些实现方式中,材料层612A可包括V_2O_3、$LaNiO_3$、$SrRuO_3$、$NdNiO_3$、$PrNiO_3$、SnO_2:Sb或其组合。

[0153] 材料层612A可具有足够厚以允许TDMIT材料可表现出导电性的厚度。材料层612A的厚度可根据包括在材料层501A中的TDMIT材料来确定。

[0154] 参照图6B,可通过使用掩模图案(未示出)通过构图工艺依次蚀刻材料层612A、材料层609A、材料层608A、材料层607A、材料层606A、材料层605A、材料层604A、材料层603A、材料层602A和材料层601A来形成下电极层601、缓冲层602、下层603、自由层604、隧道势垒层605、钉扎层606、间隔物层607、磁校正层608、覆盖层609、上电极层612和侧壁保护层611。下电极层601、缓冲层602、下层603、自由层604、隧道势垒层605、钉扎层606、间隔物层607、磁校正层608、覆盖层609、上电极层612和侧壁保护层611可形成可变电阻元件620。

[0155] 这里,可例如通过IBE工艺来执行构图工艺。

[0156] 在构图工艺期间,通过蚀刻材料层612A以形成侧壁保护层611,TDMIT材料可再沉积在可变电阻元件620的侧壁上。

[0157] 侧壁保护层611可具有足够薄以允许TDMIT材料表现出绝缘性质的厚度。侧壁保护层611的厚度可根据包括在侧壁保护层611中的TDMIT材料来确定。由于通过IBE工艺而再沉积的材料层具有较薄厚度,所以侧壁保护层611可具有足够薄以允许TDMIT材料表现出绝缘

性质的厚度。

[0158] 侧壁保护层611可允许显著减少可变电阻元件620的分流故障率(SFR)和工艺的周转时间(TAT)。此外,可省略用于去除再沉积的材料的单独工艺。

[0159] 参照图6C,可在上电极层612上方形成第二导线630。

[0160] 通过图6A至图6C中描述的方法形成的半导体装置可包括基板600、第一导线610、可变电阻元件620和第二导线630。可变电阻元件620可包括下电极层601、缓冲层602、下层603、自由层604、隧道势垒层605、钉扎层606、间隔物层607、磁校正层608、覆盖层609、上电极层612和侧壁保护层611。上电极层612可包括TDMIT材料。上电极层612可具有足够厚以允许TDMIT材料导电的厚度。侧壁保护层611可包括从上电极层612衍生的再沉积的TDMIT材料。侧壁保护层611可具有足够薄以允许TDMIT材料表现出绝缘性质的厚度。

[0161] 在实现方式中,上电极层612由TDMIT材料形成或包括TDMIT材料。在另一实现方式中,下电极层601可由TDMIT材料形成或包括TDMIT材料。在另一实现方式中,下电极层601和上电极层612二者可由TDMIT材料形成或包括TDMIT材料。

[0162] 此外,在实现方式中,半导体装置包括下电极层601和上电极层612。在另一实现方式中,可省略下电极层601。在下电极层601被省略的情况下,第一导线610可执行下电极层601的功能。

[0163] 在实现方式中,半导体装置包括缓冲层602、下层603、间隔物层607、磁校正层608和覆盖层609。在另一实现方式中,可省略缓冲层602、下层603、间隔物层607、磁校正层608和覆盖层609中的至少一个。

[0164] 仅描述了几个实施方式和示例。可基于本专利文献中描述和示出的内容进行所公开的实施方式和其它实施方式的增强和变化。

[0165] 相关申请的交叉引用和优先权声明

[0166] 本专利文献要求2022年5月20日提交的韩国专利申请No.10-2022-0061822的优先权和权益,其整体通过引用并入本文。

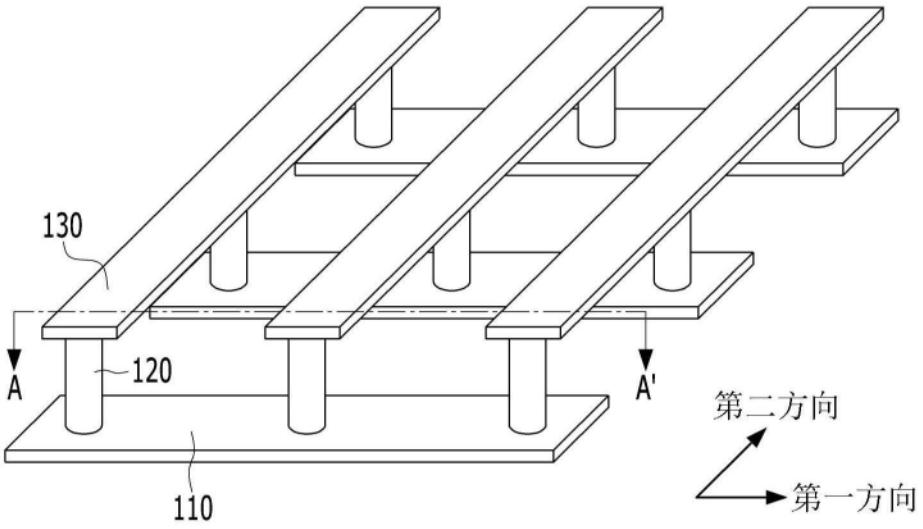


图1A

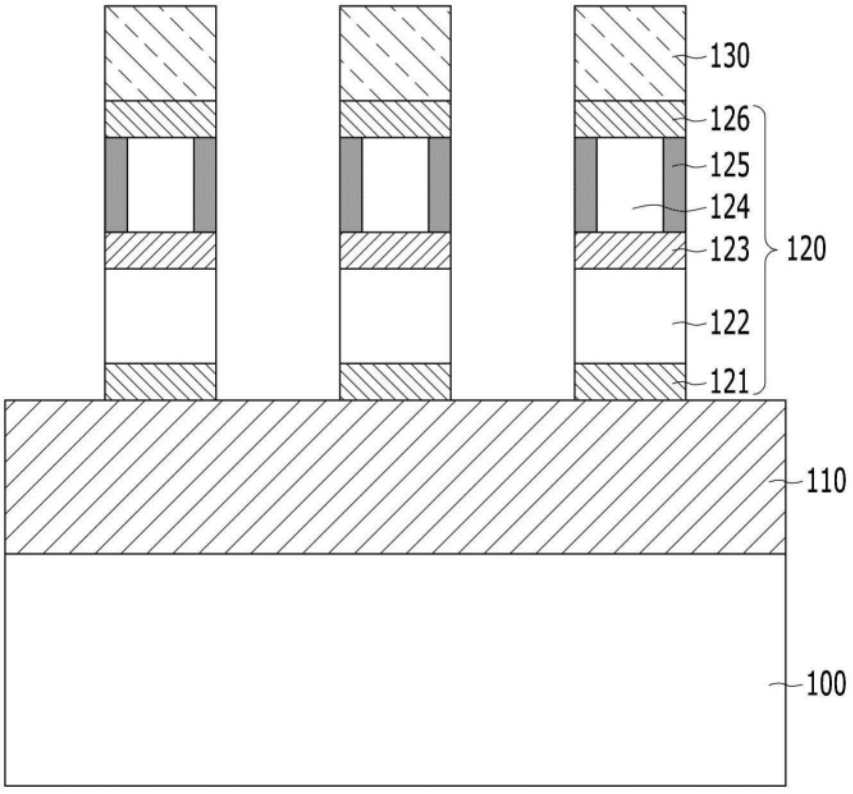


图1B

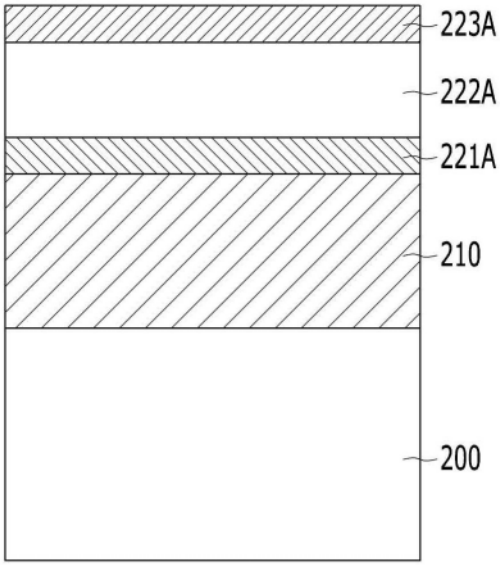


图2A

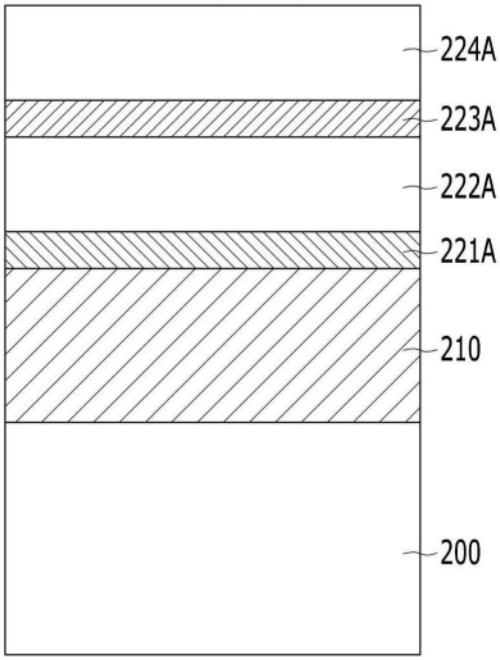


图2B

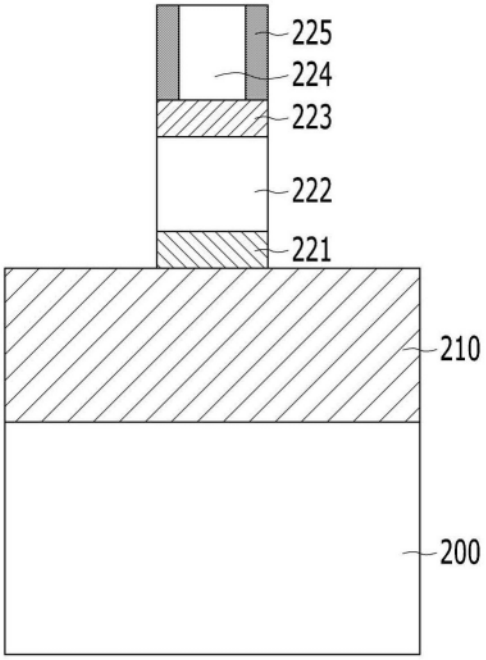

225
224
223
222
221
210
200

图2C

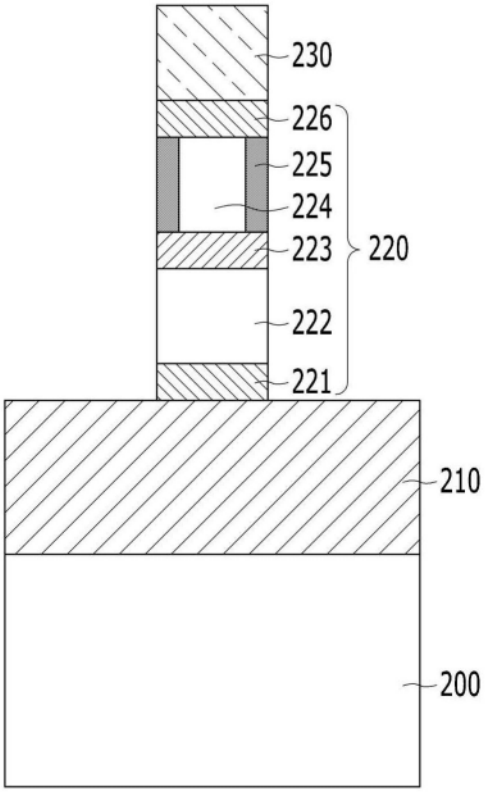

230
226
225
224
223
220
222
221
210
200

图2D

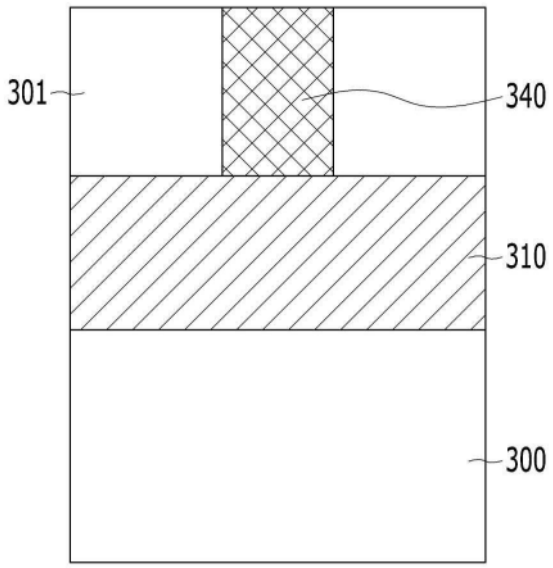


图3A

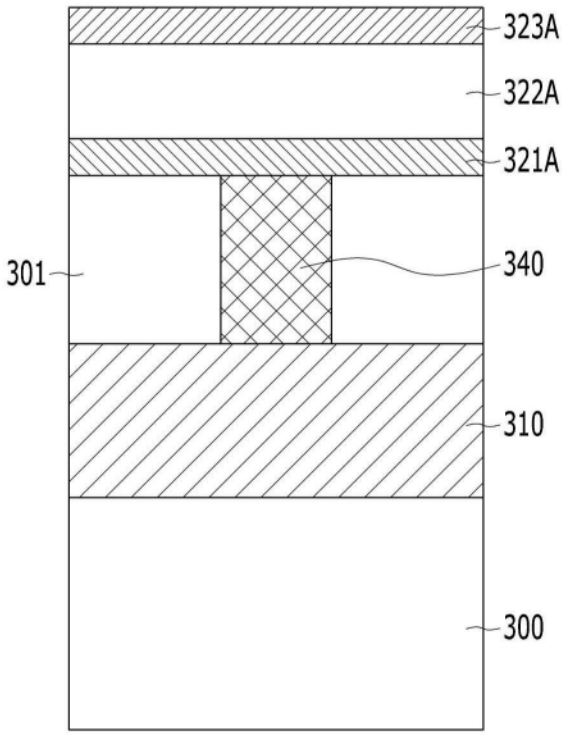


图3B

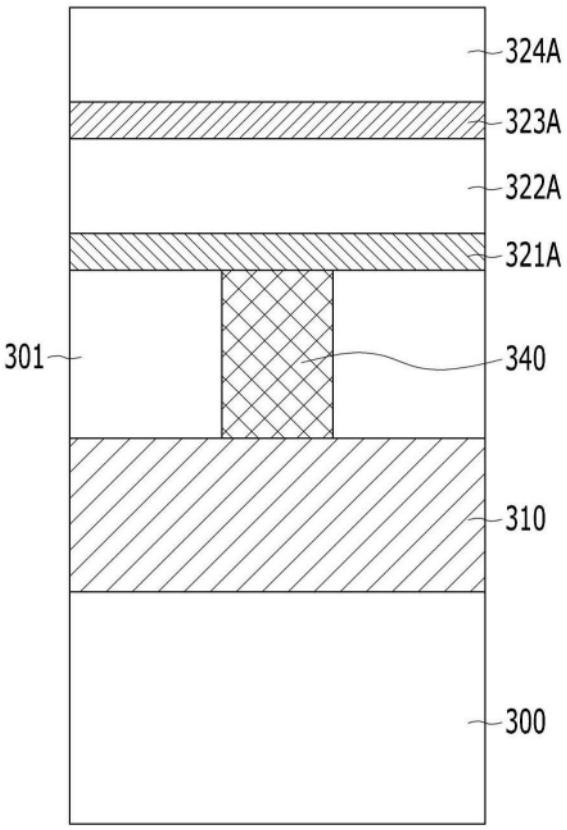


图3C

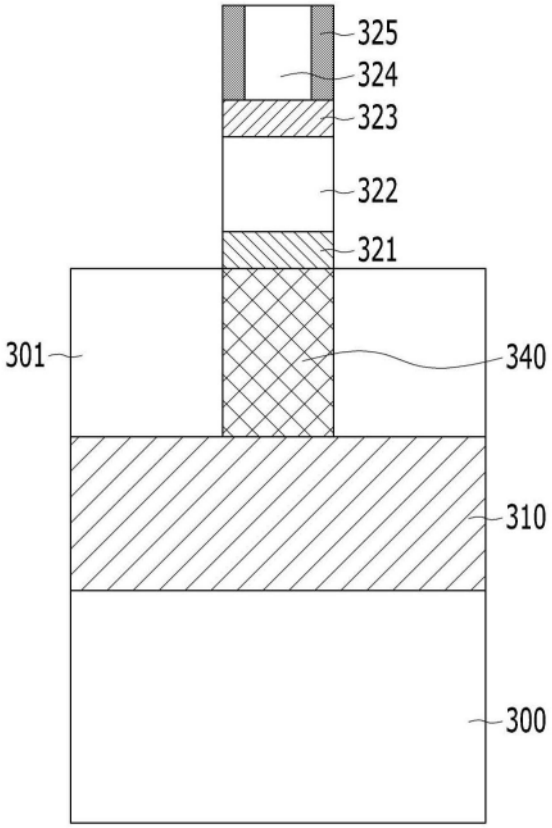


图3D

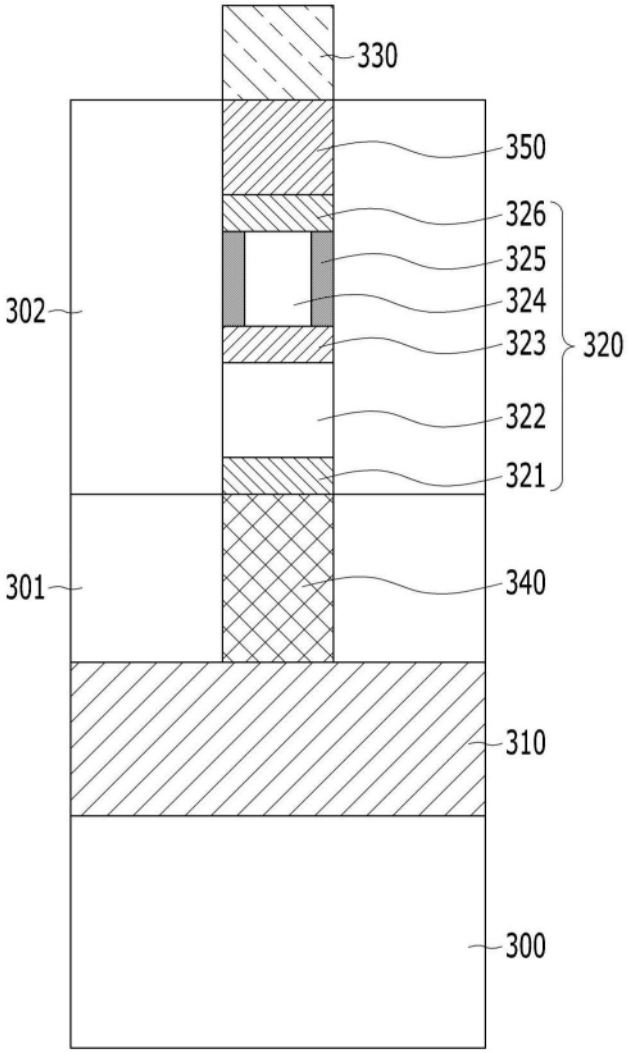


图3E

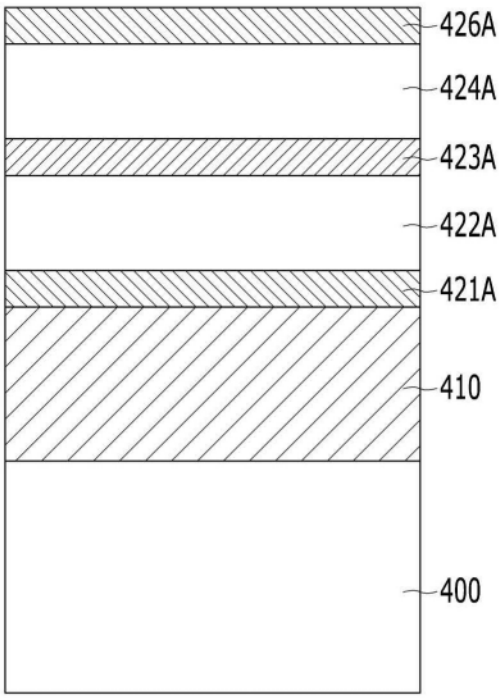

426A
424A
423A
422A
421A
410
400

图4A

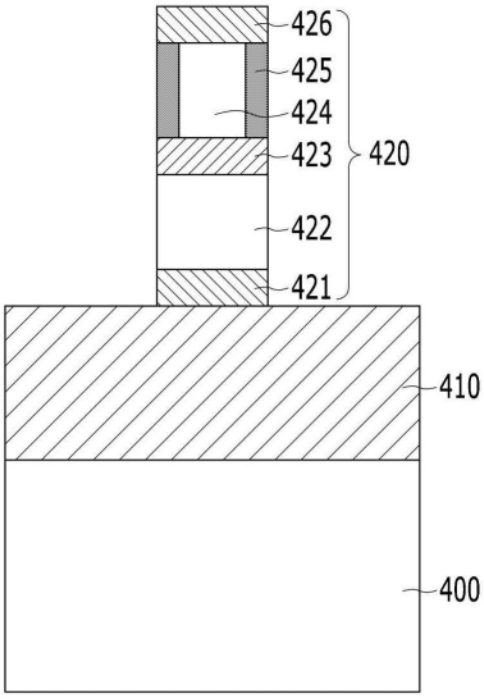

426
425
424
423
420
422
421
410
400

图4B

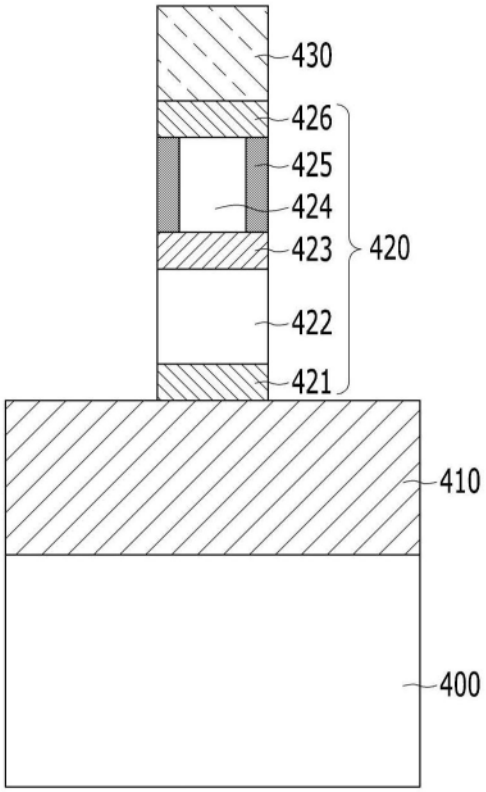


图4C

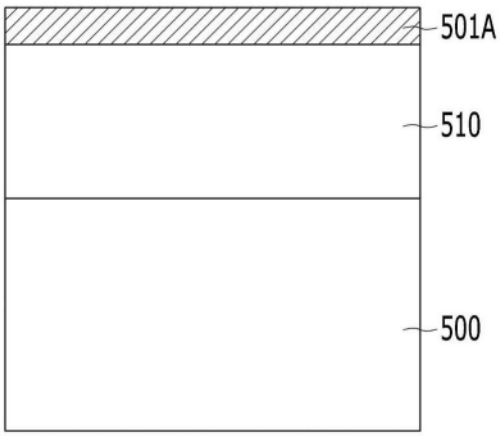


图5A

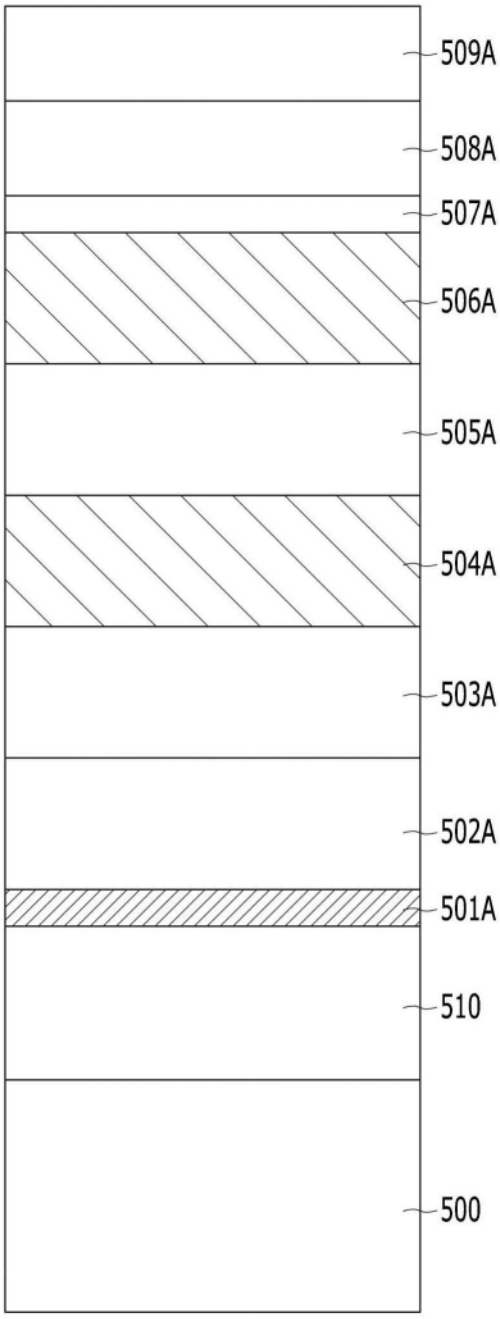


图5B

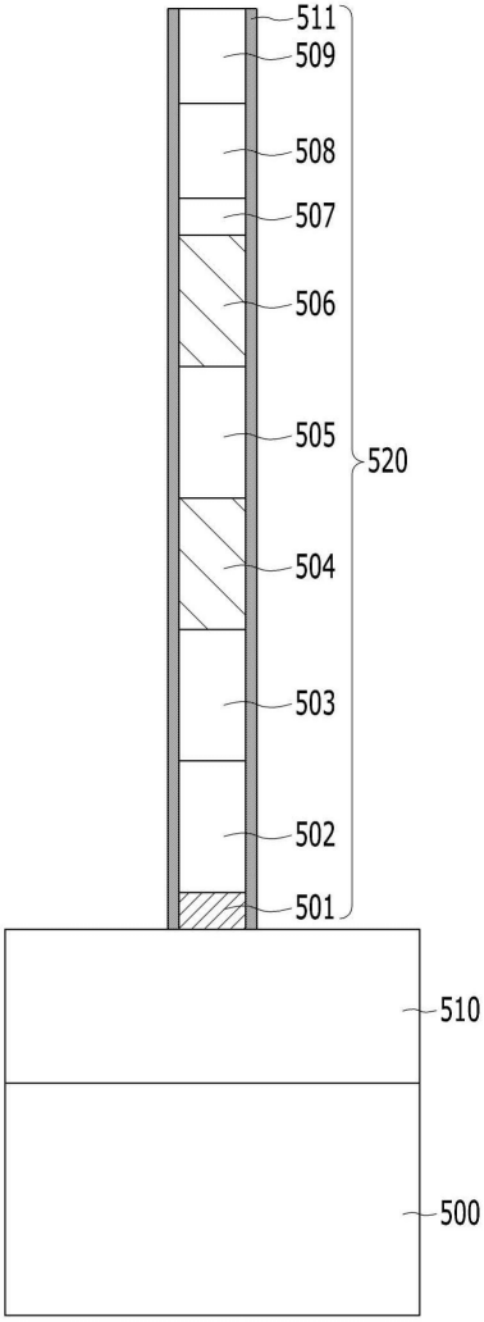


图5C

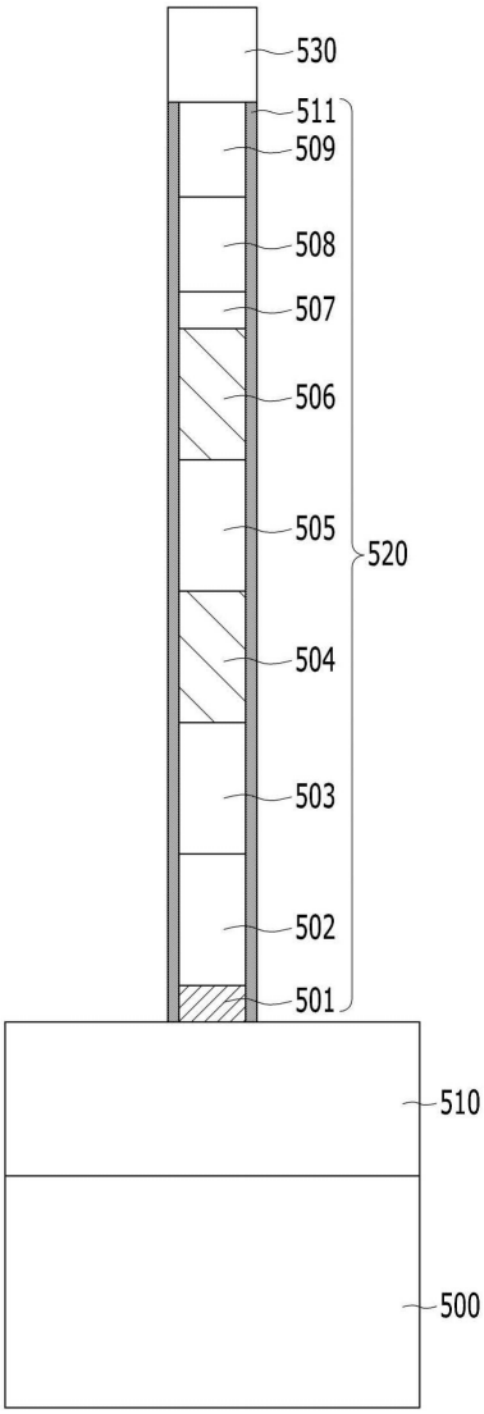


图5D

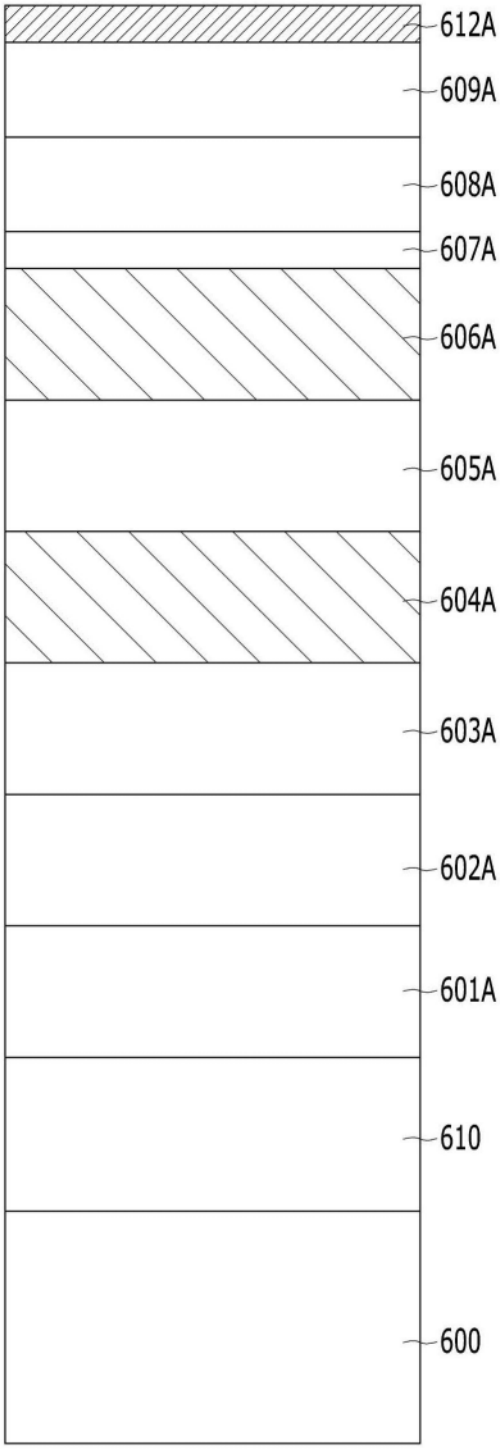


图6A

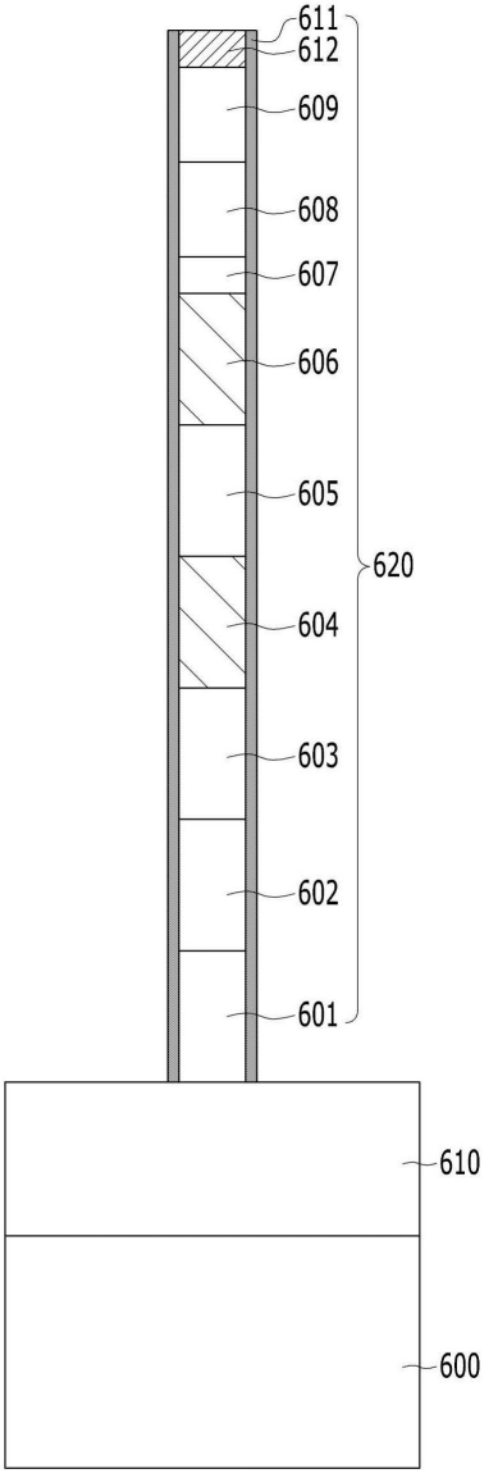


图6B

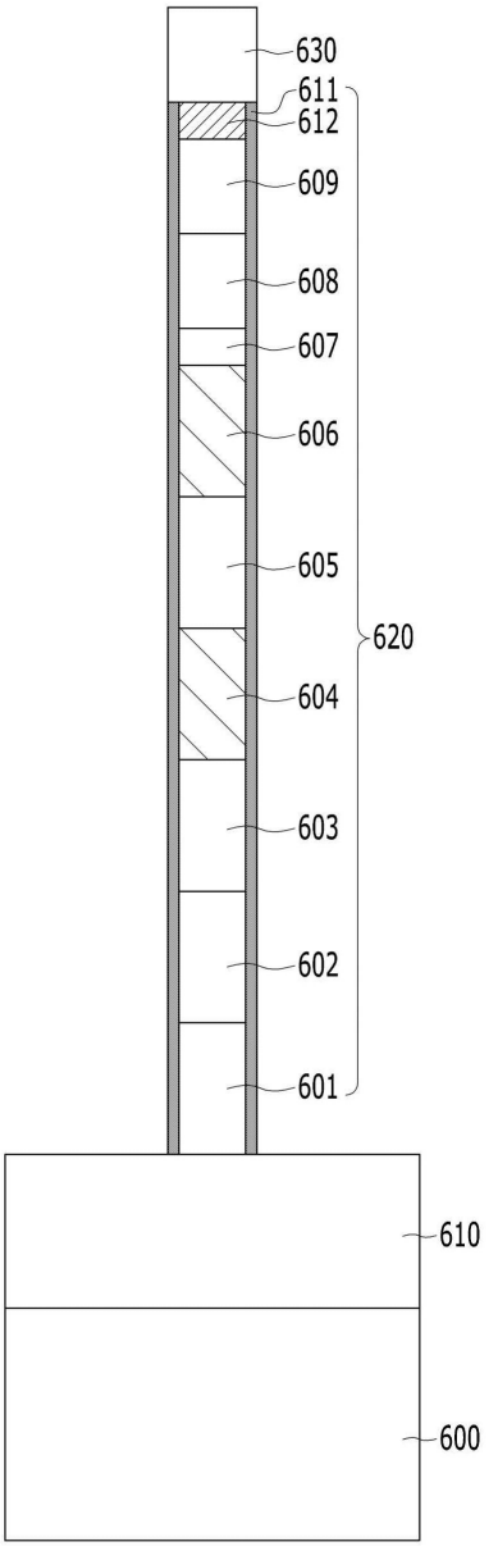


图6C