

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/50

H01L 23/522 H01L 21/768

H01L 21/60

[12] 发明专利申请公开说明书

[21] 申请号 01110846.0

[43] 公开日 2001年8月8日

[11] 公开号 CN 1307363A

[22] 申请日 2001.1.12 [21] 申请号 01110846.0

[30] 优先权

[32] 2000.1.12 [33] JP [31] 3708/2000

[71] 申请人 三菱电机株式会社

地址 日本东京都

[72] 发明人 原田繁 高田佳史 泉谷淳子

[74] 专利代理机构 中国专利代理(香港)有限公司

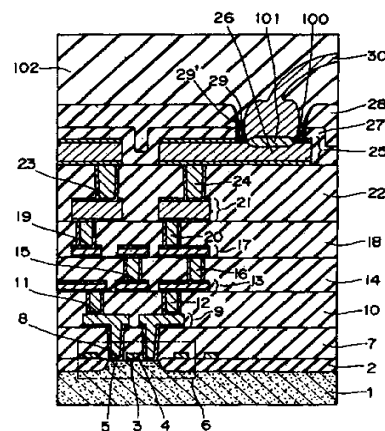
代理人 叶恺东

权利要求书 2 页 说明书 24 页 附图页数 44 页

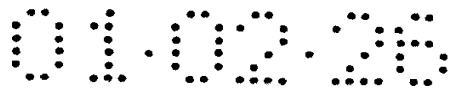
[54] 发明名称 半导体器件及其制造方法、化学机械研磨装置和方法

[57] 摘要

提供防止高集成化的半导体器件的焊盘电极的表面氧化,与外部端子的连接强度高的半导体器件。一种半导体器件,配有用于连接外部电极的焊盘电极和与该焊盘电极连接的多层布线结构,覆盖该焊盘电极、在该焊盘电极上有开口部并使该焊盘电极的表面露出的绝缘膜的单面与贵金属和从以该贵金属为主要成分的金属中选择的一种贵金属材料组成的金属面连接。



ISSN 1008-4274



权 利 要 求 书

1.一种半导体器件，配有用于连接外部电极的焊盘电极和与该焊盘电极连接的多层布线结构，其特征在于，该半导体器件包括：

- 5 半导体衬底；
绝缘层，设置在该半导体衬底上；
多层布线结构，由被填埋在该绝缘层中的多层布线层和连接该多层布线之间的通孔组成；
焊盘电极，与该多层布线结构连接；和
10 绝缘膜，覆盖该焊盘电极，在该焊盘电极上有开口部分，并使该焊盘电极的表面露出；

该绝缘膜的单面与贵金属和从以该贵金属为主要成分的金属中选择的一种贵金属材料组成的金属面连接。

- 15 2.如权利要求1所述的半导体器件，其特征在于，在所述开口部分内露出的所述焊盘电极的表面上和该开口部分内的绝缘膜上，连续形成所述贵金属材料构成的防氧化膜。

3.如权利要求1所述的半导体器件，其特征在于，还包括外部连接电极，被填埋在所述开口部，使其上端比该绝缘膜的表面突出；

该外部连接电极由所述贵金属材料构成。

- 20 4.如权利要求3所述的半导体器件，其特征在于，设有多个所述开口部，在各个该开口部中填埋所述外部连接电极。

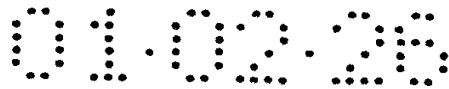
5.如权利要求2所述的半导体器件，其特征在于，所述焊盘电极由从铝和铜中选择一种材料来构成。

6.如权利要求1所述的半导体器件，所述焊盘电极由所述贵金属材料构成。

- 25 7.如权利要求6所述的半导体器件，其特征在于，下层焊盘电极被连接在所述焊盘电极和所述多层布线层之间。

8.如权利要求7所述的半导体器件，其特征在于，用比连接所述多层布线间的所述通孔截面积大的通孔来连接所述焊盘电极和所述下层焊盘电极。

- 30 9.如权利要求6所述的半导体器件，所述多层布线结构由从铝和铜中选择一种材料来形成。



10.一种半导体器件的制造方法，在半导体衬底上形成多层布线结构，并形成连接该多层布线结构的焊盘电极，其特征在于，该方法包括：

形成连接该多层布线结构的焊盘电极的步骤；

形成可覆盖该焊盘电极的绝缘膜的步骤；

- 5 在该绝缘膜中形成开口部，使该焊盘电极的表面露出的步骤；和
形成从贵金属和以该贵金属为主要成分的金属中选择的一种贵金属材料组成的防氧化膜，以便覆盖露出的该焊盘电极的表面和该开口部的侧壁的步骤。

11.如权利要求10所述的半导体器件的制造方法，其特征在于，所述防氧化膜形成步骤包括：

- 10 在所述绝缘膜的整个表面上形成所述贵金属材料构成的金属膜的步骤；和
用CMP法除去该绝缘膜表面上的该金属膜，在露出的该焊盘电极的表面和该开口部的侧壁上残留该金属膜，作为所述防氧化膜的步骤。

12.如权利要求10所述的半导体器件的制造方法，其特征在于，所述防氧化膜形成步骤包括：

- 15 对所述开口部内露出的所述焊盘电极的表面进行溅射，使该焊盘电极材料再附着在该开口部的侧壁上并形成再附着层的步骤；和
在露出的该焊盘电极的表面和该再附着层上有选择地形成所述贵金属构成的电镀层，作为所述防氧化膜的步骤。

13.如权利要求10所述的半导体器件的制造方法，其特征在于，所述防氧化膜形成步骤包括：

在整个表面上沉积所述贵金属材料构成的金属层的步骤；

用CMP法除去该绝缘膜上的该金属层，残留该金属层，使得可填埋该开口部，从而形成兼作所述防氧化膜的外部连接电极的步骤；和

有选择地蚀刻该绝缘膜，使该外部连接电极从该绝缘膜中突出的步骤。

25 14.一种CMP装置，用研磨布来研磨由从贵金属和以该贵金属为主要成分的金属中选择的一种贵金属材料构成的金属层，其特征在于，该CMP装置包括：

研磨部件，将该研磨布按压在该金属层上来研磨该金属层；

修整部件，使用可以蚀刻该金属层的药液来修整该研磨布；和

调整部件，用纯水来冲洗该药液。

30 15.如权利要求14所述的CMP装置，其特征在于，所述药液包括从硝酸、过硫酸铵、盐酸和双氧水基中选择的一种蚀刻液。



说 明 书

半导体器件及其制造方法、 化学机械研磨装置和方法

5

本发明涉及具有多层布线结构的半导体器件，特别涉及防止焊盘电极的蚀刻的多层布线结构的半导体器件及其制造方法。

在使用多层布线结构的半导体器件中，为了将半导体元件之间相互电连接，以铝为主要成分的布线已被广泛使用。在这样的多层布线中，通常在最上层的布线上形成焊盘电极，用键合布线等将该焊盘电极和外部端子电连接。

此外，最近，为了器件的高速、高性能，以降低布线延迟（降低布线电阻）和增加布线的允许电流密度为目的，可以使用以电阻低、可靠性高的铜为主要成分的布线。

图36至图42是在布线中使用铜的半导体器件的制造步骤图。

15 在该制造方法中，首先，如图36（a）所示，在半导体衬底1上，形成元件隔离绝缘膜2、栅绝缘膜3、栅极4、杂质扩散层5组成的MOS晶体管等半导体元件6。接着，在半导体元件6上用热CVD法和等离子体CVD法来沉积底层绝缘膜51。底层绝缘膜51是由包含磷（P）和硼（B）等杂质元素的氧化硅膜等组成的绝缘膜51a、作为布线沟加工时的蚀刻阻止层的氮化硅膜51b、用于形成布线沟的氧化硅膜等的绝缘膜51c组成的三层结构。

20 接着，如图36（b）所示，在底层绝缘膜51的规定部分上，使用照相制版、蚀刻技术来形成接触孔52和第一布线沟53。此时，由于氮化硅膜51b相对于氧化硅膜51c有高的蚀刻选择率，所以成为加工第一布线沟53时的阻止层。

接着，如图36（c）所示，在整个表面上沉积阻挡金属膜54a和钨（W）膜54b，使得可填埋接触孔52、第一布线沟53。作为阻挡金属膜54a，为了获得与半导体元件6的杂质扩散区5的良好欧姆接触，例如使用10~50nm的钛（Ti）和50~100nm的氮化钛（TiN）的层积膜。

接着，如图37（d）所示，按使用过氧化氢水基的铝研磨材料的CMP（化学机械研磨）法来除去接触孔52和第一布线沟53部以外的钨膜54b、阻止金属膜54a，形成第一埋金属布线层54。第一埋金属布线层54的膜厚为100~300nm左

30

右。

接着，如图37 (e) 所示，与图36 (b) 一样，在第一金属布线层54上，沉积由氧化硅膜等的绝缘膜55a、氮化硅膜55b、氧化硅膜等的绝缘膜55c构成的三层结构的第一层间绝缘膜55。接着，使用照相制版、蚀刻技术，在第一层间绝缘膜55的规定部分上形成第一通孔56和第二布线沟57。

接着，如图37 (f) 所示，在整个表面上沉积下敷膜58a和铜膜58b、58c，使得可填埋第一通孔56、第二布线沟57。下敷膜58a防止铜扩散到周围的氧化硅膜等绝缘膜中。就下敷膜58a来说，通常使用钽 (Ta) 膜、氮化钽 (TaN) 膜、钽和氮化钽的层积膜 (TaN/Ta)、氮化钛 (TiN) 膜、钛和氮化钛的层积膜 (TiN/Ti) 等。

而且，在整个表面上沉积作为电镀的下敷膜的铜箔膜58后，例如，通过使用以硫酸铜为主要成分的电镀液的电解电镀法，在整个表面上沉积铜电镀膜58c。

接着，如图38 (g) 所示，用CMP法除去第一通孔56和第二布线沟57部以外的铜膜58c、58b、下敷膜58a，形成第二埋金属布线层58。第二埋金属布线层58的膜厚为100~300nm左右。

接着，如图38 (h) 所示，在第二金属布线层58上，沉积由作为铜扩散防止膜的氮化硅膜59a、氧化硅膜等的绝缘膜59b、氧化硅膜59c、氧化硅膜等的绝缘膜59d构成的四层结构的第二层间绝缘膜。接着，使用照相制版、蚀刻技术，在第二层间绝缘膜59的规定部分上形成第二通孔60和第三布线沟61。

同样，在整个表面上沉积下敷膜62a和铜膜62b、62c，使得可填埋第二通孔60、第三布线沟61后，用CMP法来除去第二通孔60和第三布线沟61部以外的铜膜62c、62b、下敷膜62a，形成第三埋金属布线层62。

接着，如图38 (i) 所示，按与图38 (h) 相同的步骤，在第三金属布线层62上，沉积由氮化硅膜63a、氧化硅膜等的绝缘膜63b、氮化硅膜63c、氧化硅膜等的绝缘膜63d构成的四层结构的第三层间绝缘膜63。接着，使用照相制版、蚀刻技术，在第三层间绝缘膜63的规定部分上形成第三通孔64和第四布线沟65，在整个表面上沉积下敷膜66a、铜膜66b、66c，使得可填埋第三通孔和第四布线沟。然后，用CMP法来除去不需要部分的铜膜66c、66b和下敷膜66a，形成第四埋金属布线层66。

再有，第四~第五金属布线层作为长距离布线和电源线来使用，所以与下层的
5 的第一~第三金属布线层相比是厚膜布线。

接着，如图39 (j) 所示，与图38 (i) 同样，在第四金属布线层66上，沉积
由氮化硅膜67a、氧化硅膜等的绝缘膜67b、氮化硅膜67c、氧化硅膜等的绝缘
膜67d构成的四层结构的第四层间绝缘膜67。接着，在第四层间绝缘膜67的规
10 定部分中形成第四通孔68和第五布线沟69，在整个表面上沉积下敷膜70a、铜
膜70b、70c，使得可填埋第四通孔和第四布线沟。然后，用CMP法来除去不需
要部分的铜膜70c、70b和下敷膜70a，形成第五填埋金属布线层70。

再有，通常在最上层还同时形成用于与外部端子连接的焊盘电极71。考虑
10 到引线键合步骤，在焊盘电极中通常使用 $1.0\mu\text{m}$ 以上的厚膜金属布线。

接着，如图40 (k) 所示，在第五金属布线层70上，在沉积作为铜扩散防止
膜的致密的氮化硅膜72a后，以 $1.0\mu\text{m}$ 左右沉积氮化硅膜、氧化硅膜、氮氧化硅
膜、氧化硅膜或它们的层积结构膜等的保护绝缘膜72b。

接着，在其上根据需要以 $5\sim 10\mu\text{m}$ 左右形成聚胺等缓冲涂敷膜73来作为第二
15 保护绝缘膜，在焊盘电极71的规定部分设置开口部74。

接着，如图41 (l) 所示，将半导体衬底1分割成各个芯片，通过引线框和
安装衬底上的树脂或钎焊料（图中未示出）来接合各芯片的里面，然后，在焊
盘电极开口部74的露出的铜布线层的部分，用超声波和热压接等方法来键合金
和铜的引线75，在焊盘电极71和键合引线75的连接界面上，形成金属间化合物
20 层或相互扩散层76。

最后，用模型树脂77来密封整体，制成图42 (m) 所示的半导体器件。

但是，在现有结构的半导体器件中，如图43 (a) 所示，焊盘电极71由容易
被氧化的铜形成。因此，如图43 (b) 的放大图所示，在焊盘电极71的表面74
上，会容易形成膜厚为 $5\sim 10\text{nm}$ 左右的比较厚的氧化膜78。

如图44 (a) 所示，在进行引线键合的情况下，由于焊盘电极71表面的铜的
25 氧化膜78厚，所以用超声波或热压接等方法不能充分破坏氧化膜78。因此，如
图44 (b) 的放大图所示，在键合引线75和焊盘电极71的界面上不能均匀地形
成金属间化合物76，难以获得连接部分中的充分连接强度。特别是随着半导体
器件的高集成化，由于焊盘电极和引线直径被微细化，所以存在更大的问题。

30 此外，即使将表面上形成的氧化膜比较薄的铝用作焊盘电极的情况下，如

果半导体器件被高集成化，焊盘电极等被微细化，则存在因氧化膜的形成造成的键合强度下降的问题。

对此，在特开平5-82581号公报中，披露了用不易被氧化的金属来覆盖铝焊盘电极的表面，从而防止焊盘电极的表面氧化的内容。但是，在高集成化的半导体器件的焊盘电极中，即使使用该结构，也不能获得充分的键合强度，在半导体器件的可靠性方面存在问题。

对于这些原因，发明人深入研究的结果发现，氧化核从覆盖焊盘电极表面的金层和在其周围设置的绝缘膜的界面侵入，尤其在焊盘电极表面的周边部上形成氧化膜，在焊盘面积窄小的情况下，该氧化膜产生影响，使键合强度下降。

即，本发明的目的在于提供防止高集成化的半导体器件的焊盘电极的表面氧化、与外部端子的连接强度高的半导体器件。

本发明涉及半导体器件，配有用于连接外部电极的焊盘电极和与该焊盘电极连接的多层布线结构，其特征在于，该半导体器件包括：半导体衬底；绝缘层，设置在该半导体衬底上；多层布线结构，由被填埋在该绝缘层中的多层布线层和连接该多层布线之间的通孔组成；焊盘电极，与该多层布线结构连接；和绝缘膜，覆盖该焊盘电极，在该焊盘电极上有开口部分，并使该焊盘电极的表面露出；该绝缘膜的单面与贵金属和从以该贵金属为主要成分的金属中选择的一种贵金属材料组成的金属面连接。

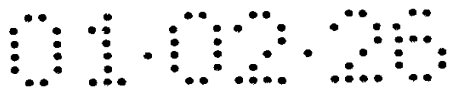
这样，通过绝缘膜的单面与贵金属和从以该贵金属为主要成分的金属中选择的一种贵金属材料组成的金属面连接，尤其可以防止作为高集成化半导体器件问题的绝缘膜的开口部周边的焊盘电极的氧化。

由此，即使在高集成化的焊盘电极的面积减小的情况下，也可以获得充分的连接强度。

其中，多层布线结构由插在绝缘层之间配置多层的多层布线层和连接该多层布线层之间的通孔构成。

此外，作为贵金属材料，例如可使用金、银、铂、钯、铑或以它们为主要成分的合金等。

此外，本发明的半导体器件的特征在于，在所述开口部分内露出的所述焊盘电极的表面上和该开口部分内的绝缘膜上，连续形成所述贵金属材料构成的



防氧化膜。

这样，不仅焊盘电极的表面，而且还通过连接绝缘膜的侧壁来形成防氧化膜，可以防止绝缘膜的开口周边部的焊盘电极的氧化。

此外，本发明的半导体器件的特征在于，还包括外部连接电极，被填埋在
5 所述开口部，使其上端比该绝缘膜的表面突出；该外部连接电极由所述贵金属
材料构成。

这样，通过用贵金属材料构成的外部连接电极来填埋开口部，可以防止绝
缘膜的开口周边部的焊盘电极的氧化。

此外，通过使用这样的外部连接电极，不用将氧化膜形成在电极表面上就
10 可以与外部电极连接。

也可以设有多个所述开口部，在各个该开口部中填埋所述外部连接电极。

通过用多个电极来形成外部连接电极，可以防止凹陷现象，可以使外部连
接电极的上端部平整。

所述焊盘电极可以由从铝和铜中选择一种材料来构成。在电阻等方面，这
15 些材料是好材料。

此外，本发明的半导体器件的特征在于，所述焊盘电极由所述贵金属材料
构成。

这样，通过使用贵金属材料构成的焊盘电极，可以防止绝缘膜的开口部周
边的焊盘电极的氧化。

此外，本发明的半导体器件的特征在于，下层焊盘电极被连接在所述焊盘
20 电极和所述多层布线层之间。

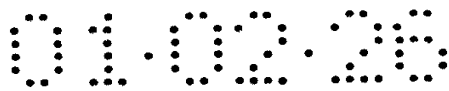
这样，通过使焊盘电极形成双层结构，增大实际的焊盘电极的厚度，在引
线键合时可以施加大的负荷，可以提高连接强度。

可以用比连接所述多层布线间的所述通孔截面积大的通孔来连接所述焊盘
25 电极和所述下层焊盘电极。

这是由于增大焊盘电极部的机械强度的缘故。

所述多层布线结构可以由从铝和铜中选择一种材料来形成。这是因为在电
阻等方面它们良好的材料。

本发明的半导体器件的制造方法是在半导体衬底上形成多层布线结构，并
30 形成连接该多层布线结构的焊盘电极，其特征在于，该方法包括：形成连接该



多层布线结构的焊盘电极的步骤；形成可覆盖该焊盘电极的绝缘膜的步骤；在该绝缘膜中形成开口部，使该焊盘电极的表面露出的步骤；和形成从贵金属和以该贵金属为主要成分的金属中选择的一种贵金属材料组成的防氧化膜，以便覆盖露出的该焊盘电极的表面和该开口部的侧壁的步骤。

5 此外，本发明的半导体器件的制造方法的特征在于，所述防氧化膜形成步骤包括：在所述绝缘膜的整个表面上形成所述贵金属材料构成的金属膜的步骤；和用CMP法除去该绝缘膜表面上的该金属膜，在露出的该焊盘电极的表面和该开口部的侧壁上残留该金属膜，作为所述防氧化膜的步骤。

通过使用CMP法，可以防止因抗蚀剂等原因造成的蚀刻不匀的发生。

10 此外，本发明的半导体器件的制造方法的特征在于，所述防氧化膜形成步骤包括：对所述开口部内露出的所述焊盘电极的表面进行溅射，使该焊盘电极材料再附着在该开口部的侧壁上并形成再附着层的步骤；和在露出的该焊盘电极的表面和该再附着层上有选择地形成所述贵金属构成的电镀层，作为所述防氧化膜的步骤。

15 通过使用选择电镀法，可以防止因抗蚀剂等原因造成的蚀刻不匀的发生。

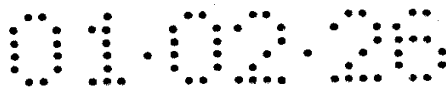
本发明的所述防氧化膜形成步骤包括：在整个表面上沉积所述贵金属材料构成的金属层的步骤；用CMP法除去该绝缘膜上的该金属层，残留该金属层，使得可填埋该开口部，从而形成兼作所述防氧化膜的外部连接电极的步骤；和有选择地蚀刻该绝缘膜，使该外部连接电极从该绝缘膜中突出的步骤。

20 通过使用CMP法，可以形成上端部的平整性上良好的外部连接电极。

本发明涉及半导体器件的制造方法，在半导体衬底上形成多层布线结构，并形成连接该多层布线结构的焊盘电极，其特征在于，该方法包括：在该多层布线结构上形成绝缘层的步骤；在该绝缘层上设置焊盘电极开口部，使该多层布线结构露出的步骤；在整个表面上沉积由贵金属和以该贵金属为主要成分的金属中选择的一种贵金属材料构成的金属层；用CMP法来除去该绝缘层上的该金属层，残留该金属层，使得可填埋该焊盘电极开口部，并将该金属层作为该焊盘电极的步骤。

通过使用CMP法，可以防止因抗蚀剂等原因造成的蚀刻不匀的发生。

30 此外，本发明涉及CMP装置，用研磨布来研磨由从贵金属和以该贵金属为主要成分的金属中选择的一种贵金属材料构成的金属层，其特征在于，该CMP



装置包括：研磨部件，将该研磨布按压在该金属层上来研磨该金属层；修整部件，使用可以蚀刻该金属层的药液来修整该研磨布；和调整部件，用纯水来冲洗该药液。

所述药液最好从硝酸、过硫酸铵、盐酸和双氧水基中选择的一种蚀刻液。

5 此外，本发明是一种CMP方法，研磨贵金属和从以该贵金属为主要成分的金属中选择一种贵金属材料构成的金属层，其特征在于，该方法包括：将该研磨布按压在该金属层上来研磨该金属层的研磨步骤；使用能够蚀刻该金属层的药液来修整该研磨布的修整步骤；以及用纯水冲洗该药液的调整步骤。

图1是本发明实施例1的半导体器件的剖面图。

10 图2是本发明实施例1的半导体器件的制造步骤图。

图3是本发明实施例1的半导体器件的制造步骤图。

图4是本发明实施例1的半导体器件的制造步骤图。

图5是本发明实施例1的半导体器件的制造步骤图。

图6是本发明实施例1的半导体器件的制造步骤图。

15 图7是本发明实施例1的半导体器件的制造步骤图。

图8是本发明实施例1的半导体器件的制造步骤图。

图9是本发明实施例2的半导体器件的剖面图。

图10是本发明实施例3的半导体器件的剖面图。

图11是本发明实施例3的半导体器件的制造步骤图。

20 图12是本发明实施例3的半导体器件的制造步骤图。

图13是本发明实施例4的半导体器件的剖面图。

图14是本发明实施例4的半导体器件的制造步骤图。

图15是本发明实施例4的半导体器件的制造步骤图。

图16是本发明实施例4的半导体器件的制造步骤图。

25 图17是本发明实施例4的半导体器件的制造步骤图。

图18是本发明实施例5的半导体器件的剖面图。

图19是本发明实施例5的半导体器件的制造步骤图。

图20是本发明实施例5的半导体器件的制造步骤图。

图21是本发明实施例5的半导体器件的制造步骤图。

30 图22是本发明实施例5的半导体器件的制造步骤图。

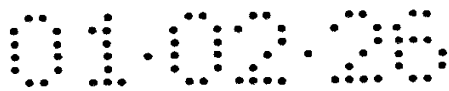


图23是本发明实施例6的半导体器件的剖面图。

图24是本发明实施例6的半导体器件的制造步骤图。

图25是本发明实施例6的半导体器件的制造步骤图。

图26是本发明实施例6的半导体器件的制造步骤图。

5 图27是本发明实施例6的半导体器件的制造步骤图。

图28是本发明实施例6的半导体器件的剖面图。

图29是本发明实施例7的半导体器件的剖面图。

图30是本发明实施例7的半导体器件的剖面图。

图31是现有的半导体器件的制造步骤图。

10 图32是本发明实施例8的半导体器件的制造步骤图。

图33是本发明实施例8的半导体器件的制造步骤图。

图34是本发明实施例9的半导体器件的制造步骤图。

图35是本发明实施例9的半导体器件的制造步骤图。

图36是现有结构的半导体器件的制造步骤图。

15 图37是现有结构的半导体器件的制造步骤图。

图38是现有结构的半导体器件的制造步骤图。

图39是现有结构的半导体器件的制造步骤图。

图40是现有结构的半导体器件的制造步骤图。

图41是现有结构的半导体器件的制造步骤图。

20 图42是现有结构的半导体器件的制造步骤图。

图43是现有结构的半导体器件的剖面图。

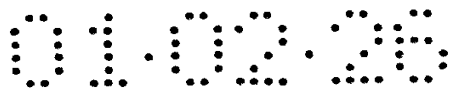
图44是现有结构的半导体器件的剖面图。

实施例1

25 图1是本发明实施例1的半导体器件的剖面图。图2至图8是该半导体器件的制造步骤图。图中，与图42 (m) 相同的符号表示相同或相当之处。

下面说明图1的半导体器件的制造方法。在该制造方法中，首先，如图2 (a) 所示，在半导体衬底1上，形成元件隔离绝缘膜2、栅绝缘膜3、栅极4、杂质扩散层5组成的MOS晶体管等半导体元件6。接着，在半导体元件6上的整个表面上沉积氧化硅膜、包含磷和硼等杂质元素的氧化硅膜等组成的底层绝缘膜7。

30 膜7。



接着，如图2（b）所示，在半导体元件6上的底层绝缘膜7的规定部分上，使用照相制版、蚀刻技术来形成接触孔8。接着，为了获得与半导体元件6的杂质扩散层区5的良好欧姆接触，采用PVD法或CVD法来沉积例如由10~50nm的钛和50~100nm的氮化钛的层积膜构成的TiN/Ti阻挡金属膜9a。

5 接着，例如通过利用六氟化钨（WF₆）和氢的还原反应来沉积钨膜9b。钨膜9b的膜厚一般为100~300nm左右。

再有，通过使钨膜9b的沉积温度达到375~450℃左右，台阶覆盖（step-coverage）变得良好，即使长宽比大的接触孔8，也可以容易地填埋。此外，就作为阻挡金属使用的氮化钛膜来说，通过钨膜形成时的六氟化钨，还具有防止
10 硅衬底损伤的作用。

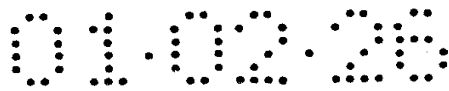
接着，利用照相制版、蚀刻技术，对阻挡金属膜9a和钨膜9b的层积结构膜进行构图，形成第1金属布线层9。钨膜构成的布线9与铝布线相比布线电阻增大3倍左右，但却是简单的不需要栓塞的布线形成步骤。因此，通常用于局部布线等布线长度比较短的情况。

15 接着，在第1金属布线层9上沉积第1层间绝缘膜10。由于该第1层间绝缘膜10作为第2金属布线的衬底，所以必须有充分的平整性。例如，在按利用高密度等离子体等的CVD法在整个表面上沉积厚膜的氧化硅膜后，通过按使用氢氧化钾和氨水溶液基的硅石研磨材料的CMP法研磨表面来进行平整化。通常，使用膜厚为0.5~1.5μm左右的层间绝缘膜。

20 再有，也可以使用将CVD法沉积的氧化硅膜和SOG（Spin On Glass：玻璃上旋转）等涂敷绝缘膜的平整化方式进行组合的层间绝缘膜形成法。

接着，如图2（c）所示，在第1层间绝缘膜10的规定部分中，使用照相制版、蚀刻技术来形成第1通孔11。接着，为了获得与第1钨布线层9的良好欧姆接触，例如与形成阻挡金属一样，用PVD法或CVD法来沉积膜厚10~50nm的钛
25 和膜厚50~100nm的氮化钛的层积膜组成的第1通孔塞（via plug）下敷膜12a。接着，通过CVD法来沉积具有良好台阶覆盖的钨膜12b。接着，使用过氧化氢水基的铝研磨材料按CMP法来研磨表面的钨膜12b和通孔塞下敷膜12a。由此，仅在通孔11部分上残留金属膜，形成第1通孔塞12。

接着，如图3（d）所示，使用PVD法，沉积50~100nm的作为布线下敷膜
30 13a的钛膜或氮化钛膜、或它们的层积膜。接着，按PVD法沉积Al-Cu、Al-Si-



Cu或Al-Cu-Ti等铝合金膜13b、作为布线上敷膜（防反射膜）13c的氮化钛膜。根据用途，铝合金膜13b的膜厚为300~500nm左右。

接着，使用照相制版、蚀刻技术，通过对这些层积结构膜进行构图，形成第2金属布线层13的铝合金布线层。接着，在第2金属布线层13上，按照与第1层间绝缘膜10相同的方法来沉积第2层间绝缘膜14。

如图3（e）所示，在第2层间绝缘膜14的规定部分上开孔第2通孔15，形成第2通孔塞16。而且，形成布线下敷膜17a、铝合金层17b、布线上敷膜（防反射膜）17c组成的第3金属布线层17，在其上形成第3层间绝缘膜18。

接着，如图4（f）所示，在第3层间绝缘膜18的规定部分上开孔第3通孔19，形成第3通孔塞20。而且，形成布线下敷膜21a、铝合金层21b、布线上敷膜（防反射膜）21c组成的第4金属布线层21，在其上形成第4层间绝缘膜22。

再有，第4~第5金属布线层被作为长距离布线和电源线使用，为了降低布线的延迟和增加布线的允许电流，以与下层的第1~第3金属布线层相比，成为膜厚厚的布线。

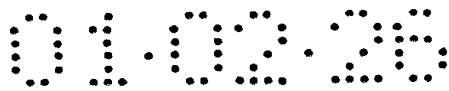
接着，如图4（g）所示，在第4层间绝缘膜22的规定部分上开孔第4通孔23，形成第4通孔塞。而且，形成布线下敷膜25a、铝合金膜25b、布线上敷膜（防反射膜）25c组成的第5金属布线层25。

再有，一般在形成最上层的金属布线层的同时，还形成与外部端子连接的焊盘电极26。考虑到引线键合步骤，通常形成膜厚在1.0 μ m以上的厚膜金属布线层25。

接着，如图5（h）所示，在第5金属布线层25上，用CVD法沉积膜厚1.0 μ m左右的氮化硅膜、氧化硅膜、氮氧化硅膜、或它们的层积结构等的保护绝缘膜27。而且，根据需要，在其上沉积膜厚5~10 μ m左右的聚胺等的缓冲涂敷膜28作为第2保护绝缘膜。接着，形成用于将焊盘电极26与外部电极（图中未示出）连接的开口部29。

接着，如图6（i）所示，在通过氩离子进行溅射蚀刻等来除去开口部29内露出的焊盘电极26表面的以Al₂O₃为主要成分的钝态膜后，例如在真空中连续进行使用PVD法对整个表面沉积膜厚10~100nm左右的铂膜100a。

接着，如图7（j）所示，按使用过氧化氢水基的铝研磨材料的CMP法来除去不需要的铂膜100a，在开口部29露出的焊盘电极26的表面和侧壁中，残留铂



膜100作为防氧化膜。

接着，如图8（k）所示，将半导体衬底1分割成各个芯片，通过引线框和安装衬底（图中未示出）上的树脂或钎焊料来接合各芯片的里面。然后，在用防氧化层100覆盖的焊盘电极26上，按照超声波和热压接等方法，对金和铝的引
5 线30进行键合，在焊盘电极26和键合引线30的界面上，形成焊盘电极材料、键合引线材料、防氧化层100的构成元素组成的金属间化合物层101。

最后，用模型树脂102来密封整体，制成图1所示的本发明实施例的半导体器件。

再有，在本实施例中，作为防氧化层100，说明了使用铂膜的情况，但代替
10 铂膜，也可以使用焊盘电极26表面不易氧化，并且与作为键合引线材料的金、铝、铜等相互扩散和金属间化合物的形成容易的其它膜。例如，可以使用金、银、钯、铑等其它贵金属、或以这些贵金属为主要成分的膜。

于是，在本发明的实施例的半导体器件中，焊盘电极26的表面被铂构成的防氧化层100覆盖，所以在表面上几乎不形成 Al_2O_3 等氧化膜（钝态膜）。

此外，防氧化层100不仅形成在开口部29露出的焊盘电极26的表面，而且还
15 连续地形成在开口部29的侧壁部，所以还可以防止氧化核从开口部29的边缘到达防氧化膜100下部的焊盘电极26，使焊盘电极26的端部表面被氧化。

其结果，在引线键合步骤中，可以再现性良好地形成将铝等焊盘电极26材
料、金等键合引线30材料、铂等防氧化层100材料均匀化合的金属间化合物。

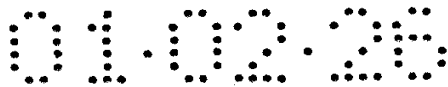
因此，随着半导体器件的高集成化，即使焊盘电极26和键合引线30的直径
20 减小，也可以获得充分的接合强度，提高连接部的稳定性、可靠性。

此外，在引线键合后，用防氧化层100来覆盖焊盘电极26露出的表面部分和
开口部侧壁，不露出容易被蚀刻的铝膜，使开口部边缘也被充分保护。因此，
例如即使在通过模型树脂102水分可侵入的情况下，也不造成焊盘电极26露出
25 表面的蚀刻，可以获得耐湿性高的半导体器件。

实施例2

本实施例的半导体器件是通过铜布线来形成焊盘电极的情况，在焊盘电极
的开口部中设有以贵金属为主要成分的防氧化层。

图9是本发明实施例2的半导体器件的剖面图。图中与图42（m）相同的符
30 号表示相同或相当之处，此外，100表示以贵金属为主要成分的防氧化膜。



本实施例的半导体器件的制造方法，首先用图36 (a) 至图40 (k) 所示的现有制造方法来形成埋布线。然后，通过在保护绝缘膜71和缓冲涂敷膜73中设置开口部74，使铜布线形成的焊盘电极71的表面的1部露出。

接着，与上述实施例1同样，使用PVD法，在开口部74露出的焊盘电极71的表面和保护绝缘膜72及缓冲涂敷膜73的侧壁上，例如按10~100nm左右的膜厚来形成以贵金属为主要成分的防氧化层100。其中，铂膜被用于防氧化膜100。

在本实施例的半导体器件中，由于用铂膜构成的防氧化膜100来覆盖焊盘电极71的表面，所以即使在将比铝容易氧化的铜用作布线材料和焊盘电极材料的情况下，也可以防止焊盘电极71的氧化。

此外，防氧化层100不仅形成在开口部74露出的焊盘电极71的表面，而且还连续地形成在开口部74的侧壁部，所以还可以防止氧化核从开口部74的边缘到达防氧化膜100下部的焊盘电极71，使焊盘电极71的端部表面被氧化。

其结果，随着半导体器件的高集成化，即使焊盘电极71和键合引线75的直径减小，也可以获得充分的接合强度，提高连接部的稳定性、可靠性。

实施例3

在上述实施例2中，作为设置防氧化层100的方法，说明了在整个表面上沉积铂膜后，使用CMP法，除去缓冲涂敷膜28上的不需要的铂膜，形成防氧化膜100，但例如也可以使用无电解电镀法等其它方法来形成防氧化层100。

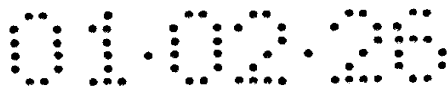
在本实施例中，说明用无电解电镀法来形成防氧化膜100的方法。

图10是本实施例3的半导体器件的剖面图，图11、图12是该半导体器件的制造步骤图。图中与图42 (m) 相同的符号表示相同或相当的之处。

在本实施例的制造方法中，首先，用图36 (a) 至图40 (k) 的现有制造方法来形成埋布线。然后，通过在保护绝缘膜72和缓冲涂敷膜73上设置开口部74，使焊盘电极71的表面的1部露出。

接着，为了除去由铜形成的焊盘电极71的表面氧化膜等非导体膜，对整个表面进行溅射蚀刻处理。

溅射蚀刻通常在使用Ar气体、压力为1~3mTorr左右的条件下进行短时间（例如，铜的焊盘电极表面的蚀刻量为5~10nm左右）。对此，在本实施例中，将Ar气体的压力提高到10~50mTorr左右，而蚀刻量增加到30~100nm左右。其结果，通过溅射产生再附着现象，在开口部74的侧壁上可以形成再附着的金属



层71'。

接着，通过无电解电镀法，在开口部74露出的焊盘电极71的表面和开口部74的侧壁上形成的金属层71'上，有选择地形成10~100nm左右的金等贵金属膜，成为抗氧化层100。

5 接着，将半导体衬底1分割成各个芯片，通过引线框和安装衬底（图中未示出）上的树脂或钎焊料来接合各芯片的里面。接着，在被开口部74内的抗氧化层100覆盖的焊盘电极71上，对引线75进行键合。

最后，用模型树脂102来密封整体，制成图10所示的本实施例的半导体器件。

10 再有，在本实施例中，使用无电解电镀法来形成金膜，但也可以使用选择CVD法。

这样，在本实施例的制造方法中，通过使用无电解电镀法，在开口部露出的焊盘电极71的表面和开口部74的侧壁部上可以连续地形成抗氧化膜100。

15 其结果，随着半导体器件的高集成化，即使焊盘电极和键合引线直径变小，也可以获得充分的连接强度，提高连接部的稳定性、可靠性。

再有，如上所述，通过将使用溅射蚀刻的再附着现象和无电解电镀法或选择CVD法进行组合，即使在铝等其它材料构成的焊盘电极上，也可以有选择地形成抗氧化层100。

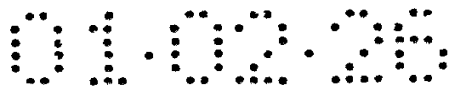
实施例4

20 图13是本发明实施例4的半导体器件的剖面图。此外，图14至图17是该半导体器件的制造步骤图。图中，与图42（m）相同的符号表示相同或相当的部分。

在本实施例的半导体器件的制造方法中，首先，使用图36（a）至图38（i）所示的现有制造步骤来制作图14（a）所示的多层布线结构。

25 接着，如图14（b）所示，在第4金属布线层66上，沉积氮化硅膜201a、氧化硅膜201b、氮化硅膜201c、氧化硅膜等绝缘膜201d组成的4层结构的第4层间绝缘膜201。接着，使用照相制版、蚀刻技术，在第4层间绝缘膜67的规定部分形成第4通孔202和第5布线沟203。

30 接着，如图15（c）所示，在整个表面上沉积下敷膜204a和金膜204b、204c，使得可填埋第4通孔202、第5布线沟203。



具体地说，首先，用使用PVD法或CVD法来沉积下敷膜204a。下敷膜204a起到提高金布线层和作为衬底的第4层间绝缘膜之间的粘结性的作用。此外，与使用铜布线的情况一样，金具有防止扩散到氧化硅膜等绝缘膜中的作用。下敷膜204a可由钽膜、氮化钽膜、钽和氮化钽的层积膜、氮化钛膜、钛和氮化钛的层积膜、钛钨膜、或铬膜等形成，膜厚为50~100nm左右。

接着，使用PVD法或CVD法，在整个表面上沉积金箔膜204b作为电镀使用的下敷膜。

接着，例如，通过使用以氰为主要成分的电镀液的电解电镀法在整个表面上沉积膜厚 $2\mu\text{m}$ 左右的金膜204c。

接着，如图15 (d) 所示，按使用过氧化氢水基的铝研磨材料的CMP法，除去除了第4通孔202和第5布线沟203部以外的金膜204c、204b、下敷膜204a，形成第5埋金属布线层204。

再有，在形成该金布线层的同时，还形成用于与外部端子连接的焊盘电极205。金布线的膜厚根据用途为 $1.0\mu\text{m}$ 左右。在必须下降布线电阻的情况下，还可以加厚膜厚。

其中，在以往以金等贵金属作为布线和焊盘电极来使用的情况下，这种布线和焊盘电极使用照相制版技术和蚀刻方法来形成，或用选择法和选择CVD方法来形成。但是，在构图步骤中，在表面上会形成氧化膜等变质层，存在不能获得平整的表面的问题。

在本实施例中，用不易造成氧化的金材料来形成焊盘电极205本体，所以在焊盘电极的表面上几乎不形成氧化膜（钝态膜）。

接着，如图16 (e) 所示，在第5金属布线层204上，为了提高与上层的保护绝缘膜的粘结性和防止金的扩散，沉积致密的氮化硅膜206a。接着，沉积膜厚 $1.0\mu\text{m}$ 左右的氮化硅膜、氧化硅膜、氮氧化硅膜、或它们的层积结构膜等变化绝缘膜206b。

而且，根据需要，按 $5\sim 10\mu\text{m}$ 左右的膜厚来形成聚胺等缓冲涂敷膜207，作为第2保护绝缘膜。接着，形成开口部208，为了与外部端子（图中未示出）连接，使焊盘电极205露出。

接着，如图17 (f) 所示，将半导体衬底1分割成各个芯片，通过引线框和安装衬底（图中未示出）上的树脂或钎焊料来接合各芯片的里面，然后，在开

口部208露出的焊盘电极205上将引线209进行键合。由此，在焊盘电极205和键合引线209的连接界面上形成相互扩散层或金属间化合物层210。

最后，用模型树脂211来密封整体，制成图13所示的本实施例的半导体器件。

5 再有，在本实施例中，说明了用金来形成焊盘电极205的情况，但也可以使用例如银、铂、钯、或铑等贵金属、或以这些贵金属为主要成分的材料。

再有，金和银是比铜的电阻低的低电阻材料，所以在布线延迟的降低方面也有效。

10 如以上那样，在本实施例的半导体器件中，由于用不易造成氧化的金材料来形成焊盘电极205本身，所以在焊盘电极的表面上几乎不形成氧化膜（钝态膜）。此外，形成使用CMP法的填埋布线结构，所以在构图步骤中不形成变质层，并且可以获得平整性高的焊盘电极。

由此，在引线键合步骤中，可以均匀并且再现性良好地形成焊盘电极材料和引线材料的相互扩散层210。

15 随着半导体器件的高集成化，即使焊盘电极和键合引线直径变小，也可以获得充分的连接强度，可以获得可靠性高的半导体器件。

实施例5

20 图18是本发明实施例5的半导体器件的剖面图。此外，图19至图22是该半导体器件的制造步骤图。图中，与图42（m）相同的符号表示相同或相当的部分。

在本实施例的半导体器件的制造方法中，首先，使用图36（a）至图38（h）所示的现有制造步骤来制作图19（a）所示的多层布线结构。

25 接着，如图19（b）所示，在第3金属布线层62上，沉积氮化硅膜301a、氧化硅膜301b、氮化硅膜301c、氧化硅膜等绝缘膜301d组成的4层结构的第3层间绝缘膜301。接着，使用照相制版、蚀刻技术，在第3层间绝缘膜301的规定部分形成第3通孔302和第4布线沟303。此时，还同时形成用于形成第1焊盘电极的布线沟303'。

30 接着，在整个表面上沉积下敷膜304a和铜膜304b、304c，使得可填埋第3通孔302、第4布线沟303、以及第1焊盘电极的布线沟303'。与通常的铜布线形成一样，下敷膜304a有50~100nm左右的膜厚，可使用钽膜、氮化钽膜、钽和氮

化钽的层积膜、钛膜、氮化钛膜、或钛和氮化钛的层积膜。

接着，在整个表面上沉积作为电镀使用的下敷膜的铜箔层304b，通过电镀法按 $2\mu\text{m}$ 左右的膜厚来沉积镀铜膜304。接着，按使用基于双氧水基的铝研磨材料的CMP法，除去除了第3通孔302、第4布线沟303、及第1焊盘电极的布线沟303'部分以外的铜膜304c、304b、下敷膜304a，形成第4埋金属布线层304、第1焊盘电极305。铜布线的膜厚按照用途为 $1.0\mu\text{m}$ 左右。

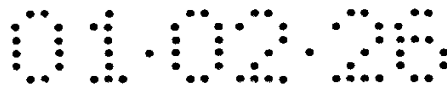
接着，如图20(c)所示，在第4金属布线层304上，沉积氮化硅膜306a、氧化硅膜306b、氮化硅膜306c、氧化硅膜等绝缘膜306d组成的4层结构的第4层间绝缘膜306。接着，使用照相制版、蚀刻技术，在第4层间绝缘膜306的规定部分形成第4通孔307和第5布线沟308。此时，在第1焊盘电极305上还形成大面积的通孔307'，而且，在第1焊盘电极上形成第2焊盘电极使用的布线沟308'。

接着，在整个表面上沉积下敷膜309a和金膜309b、309c，使得可埋第4通孔308、第5布线沟308、第1焊盘电极上的大面积的通孔307'、第2焊盘电极使用的布线沟308'。用PVD法或CVD法按 $50\sim 100\text{nm}$ 左右的膜厚来沉积下敷膜309a。作为下敷膜309a，可使用钽膜、氮化钽膜、钽和氮化钽的层积膜、钛膜、氮化钛膜、钛和氮化钛的层积膜、钛钨膜、铬膜等。此外，金膜309b、309c作为电镀使用的下敷膜，在沉积金箔层309b后，用以胺溶液为主要成分的电镀通过电镀法以 $2\mu\text{m}$ 左右的膜厚来沉积镀金膜309c。

接着，按使用基于双氧水基的铝研磨材料的CMP法，除去除了第4通孔307、第5布线沟308、第1焊盘电极上的大面积的通孔307'、第2焊盘电极使用的布线沟308'部分以外的金膜309c、309b、下敷膜309a，形成第5埋金属布线层309和第2焊盘电极310。金布线的膜厚按照用途为 $1.0\mu\text{m}$ 左右。再有，在必须降低布线电阻的情况下，即使膜厚增厚也没关系。

这样，如果形成埋金等贵金属膜的布线结构，则在表面上不会形成氧化膜等变质膜，并且可以获得平整性优良的焊盘电极。

接着，如图21(d)所示，在第5金属布线层309上，沉积作为提高与上层保护绝缘膜的粘结性和防止金扩散层的致密的氮化硅膜311a。接着，按 $1.0\mu\text{m}$ 左右的膜厚来沉积氮化硅膜、氧化硅膜、氮氧化硅膜、或它们的层积结构膜等的保护绝缘膜311b。而且，根据需要，将聚酰亚胺等缓冲涂敷膜312作为第2保护绝缘膜，按 $5\sim 10\mu\text{m}$ 左右的膜厚来形成。



接着，为了与外部端子（图中未示出）连接，设有开口部313，使第2焊盘电极的规定部分露出。

接着，如图22（e）所示，将半导体衬底1分割成各个芯片，将这些芯片的内表面通过树脂或软钎料等粘结在引线框和安装衬底（图中未示出）上。接着，在第2焊盘电极开口部313露出的金布线层的部分中，对线314进行粘合，在第2焊盘电极310和粘合线314的界面上形成相互扩散层和金属间化合物层315。

最后，通过对整体用模塑树脂316来进行密封，完成图18所示的半导体器件。

再有，在本实施例中，说明了用金布线来形成第2焊盘电极的情况，但例如也可以使用银、铂、钯、铑等其它贵金属，或以这些贵金属的合金为主要成分的材料。

再有，由于金和银是比铜的电阻低的材料，所以在布线延迟的降低上更有效。

此外，在本实施例的多层布线结构中，仅最上层为金布线，而形成使下层与用铜布线形成的焊盘电极重叠的结构，但下层的焊盘电极也可以用铝布线等其它金属布线来形成。而且，不仅最上层，即使下层布线也可以使用金布线，形成使金布线形成的焊盘电极之间重叠的结构。

而且，在本实施例中，说明了将焊盘电极重叠两个的情况，但根据需要，也可以重叠3个以上。

如以上那样，在本实施例的半导体器件中，通过大面积的通孔307' 将第1焊盘电极305和第2焊盘电极310作为重叠结构的焊盘电极，可以确实加厚焊盘电极的膜厚。其结果，由于进一步提高连接强度，所以在粘合步骤中，即使加大超声波的功率和压接负载，也可以防止对衬底的层间绝缘膜301的机械损伤（裂纹）和焊盘电极和衬底的层间绝缘膜之间产生的剥落。

而且，通过用以金等贵金属为主要成分的布线来形成至少最上层的第2焊盘电极，成为在表面上不易形成的氧化膜等非作用态膜的焊盘电极结构，提高连接强度。

此外，由于使用CMP法来形成埋入布线，所以不象以往那样用构图步骤来形成变质层，可以获得表面平整性高的焊盘电极。因此，可以均匀并且再现性



良好地形成焊盘电极材料和金引线的相互扩散层210。

实施例6

图23是本发明实施例6的半导体器件的剖面图。图24至图27是该半导体器件的制造步骤图。图中，与图42 (m) 相同的符号表示同一或相当的部分。

5 在本实施例的半导体器件的制造方法中，首先，使用从图36 (a) 至图40 (k) 的现有的制造步骤来制作图24 (a) 所示的多层布线结构。

接着，如图25 (b) 所示，通过PVD法或CVD法，在整个表面上沉积下敷膜401a和金膜401b、401c，使得埋入焊盘电极开口部74。其中，作为下敷膜401a，使用钽膜、氮化钽膜、钽和氮化钽的层积膜、氮化钛膜、钛和氮化钛的层积膜、钛钨膜、或铬膜等。膜厚为50~100 μm 左右。在沉积作为电镀使用的下敷膜的金箔层401b后，通过使用以氰基溶液为主要成分的电镀液的电镀法，
10 将金膜按5~20 μm 左右的膜厚来沉积。

接着，如图26 (c) 所示，按使用基于双氧水基的铝研磨材料的CMP法来除去焊盘电极开口部74以外的金膜401c、401b、下敷膜401a，形成外部连接电极
15 401。

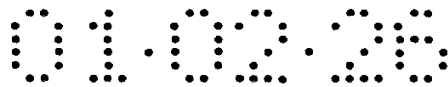
以往，组合照相制版技术、电镀技术、蚀刻技术等来形成焊盘电极那样的外部连接电极，所以在外部连接电极表面上形成变质层或有机物污染层，并且凸缘的高度产生离散。因此，存在电极表面的平整性差等问题。

对此，在本实施例的方法中，不会在表面上形成变质层或有机污染层，并且
20 电极高度的控制性或平整性也良好。

接着，如图27 (d) 所示，例如，对整个表面进行氧等离子体处理，蚀刻缓冲涂敷膜73，使外部连接电极401形成比缓冲涂敷膜73的表面突出0.1~1.0 μm 左右。

作为外表面的保护绝缘膜，在未形成缓冲涂敷膜73的情况下，即，在氧化
25 硅膜或氮化硅膜等无机膜的情况下，也可以用氟碳系的蚀刻气体来进行反向蚀刻处理。

在以上那样的方法中，对焊盘电极的开口部74可以自匹配地形成外部连接电极401。特别在外表面的保护绝缘膜的除去步骤中，不需要照相制版步骤，在表面上不形成变质层或有机物污染层。此外，从半导体衬底的主表面突出的
30 外部连接电极401的高度控制性良好，电极表面的平整性也良好。



因此，通过采用该方法，可以用低成本来形成外部连接的稳定性和可靠性高的半导体器件。

再有，在本实施例中，说明了用金来形成外部连接电极401的情况，但不用说，也可以使用银、铂、钯、铑等其它贵金属，或以这些贵金属的合金为主要成分的材料。

本实施例的半导体器件例如使用将导电性颗粒分散在树脂中的异向导电性树脂、将线状的导电性物质配置在垂直方向上的异向导电性膜等连接到安装衬底。

图28表示本实施例的半导体器件的安装例。

如图28 (a) 及其放大图的图28 (b) 所示，分割成各个芯片1' 的半导体器件被安装在安装衬底402上。

即，在安装衬底402中，形成铜等金属布线403、陶瓷等保护绝缘膜404、用于半导体芯片1' 连接的金等金属电极405，在该安装衬底402上，半导体芯片1' 被面朝下连接。

安装衬底402上的连接电极405由金等贵金属来形成，另一方面，半导体芯片1' 侧的外部连接电极也用金等贵金属来形成，所以在电极表面上不会形成氧化膜等。因此，如果在这些电极之间填充压接分散导电性颗粒407的异向导电性树脂406，则可以容易地使两电极之间进行连接。

以往，在这样的用途中，在焊盘电极上形成金属凸缘电极。例如，在使用电镀法的情况下，为了仅在必要部分形成电镀膜而需要照相制版步骤，不能防止在电极表面上可能形成变质层或有机污染层。

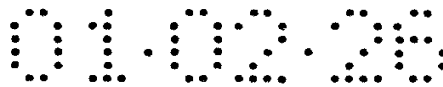
此外，还存在难以使凸缘高度的控制性和电极表面的平整性良好的问题。

因此，不得不采用增大压接负载、提高压接温度、增大电极面积等方法来提高压接强度。

对此，根据本实施例的方法，可以对开口部74自匹配地形成外部连接电极401，不需要照相制版步骤。因此，可以消减步骤，并可以用低成本来小外部连接电极。

此外，外部连接电极401的高度控制性良好，电极面的平整性优良。因此，即使用更低的负载、低温来连接，也可以得到充分的连接强度。

此外，在电极尺寸的小型化上也有效。



如以上那样，在本实施例的半导体器件中，可以对所有外部连接电极401施加均匀的压接力，连接强度高，可以用低成本来形成稳定性高的半导体器件。

实施例7

5 在实施例6中，说明了在焊盘电极上形成大面积的外部连接电极的情况，但在本实施例中，在焊盘电极上设有多个小面积的开口部，形成分割成多个的外部连接电极。

图29是本实施例的半导体器件的剖面图。图中，与图42相同的符号表示同一或相当的部分。

10 图29的本实施例的半导体器件的制造方法，除了在焊盘电极71上设有分割成多个开口部501以外，与实施例6的半导体器件的制造方法相同。因焊盘电极71的尺寸例如为 $100\mu\text{m}$ 左右的四方形，所以这样的多个开口部501形成 $5\sim 10\mu\text{m}$ 左右的正方形或直径为 $5\sim 10\mu\text{m}$ 左右的圆形。

在除去按CMP法填埋的贵金属膜时，为了完全除去表面的贵金属残渣，必须增长研磨时间。

15 在这样的步骤中，在实施例6的情况下，如图30(a)所示，因研磨布的松弛而存在发生过度消除大面积的外部连接电极504的现象(凹陷)的情况。如果变为图30(a)那样的形状，则在使用异向导电性树脂等来进行安装衬底上的连接电极压接的情况下，由于电极间未被充分压接，所以有连接的稳定性差的情况。

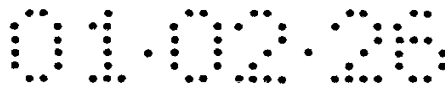
20 对此，在图30(b)所示的本实施例的结构中，由于将焊盘电极的开口部分割成小面积的多个开口部501，所以通过使用CMP法的研磨，难以发生凹陷现象。因此，外部连接电极502的高度变得一定，表面也变平。因此，即使在压接负载变小的情况下，也可以提高与安装衬底的连接电极面的连接稳定性。

实施例8

25 为了制造实施例1~7那样的半导体集成电路器件，金那样的贵金属膜的CMP技术很重要。

在钨和铜等的金属膜的CMP中，例如使用添加双氧水基等氧化剂的铝研磨剂。由此，一边生成机械上有易碎(即容易研磨)性质的钨和铜等的金属氧化物，一边研磨金属膜。

30 与此相对，在对金等贵金属或以贵金属为主要成分的材料进行CMP的情况



下，因贵金属难以成为氧化物等的中间生成物，被研磨的贵金属物质没有水溶性等理由，所以在研磨布上容易残存被研磨材料的贵金属成分。因此，存在研磨速度不稳定，产生研磨不均匀的问题。

图31 (a)、(b) 是使用现有研磨装置的制造步骤图。

5 研磨装置1包括：研磨台602，固定作为被研磨物的半导体衬底1，施加研磨上必要的负载601；和平台（台板）604，粘付发泡聚氨酯等材料构成的研磨布603。一边供给研磨材料605，一边按10~100rpm左右的转数旋转研磨台602和平台604，进行研磨。

10 研磨结束后，流动纯水606，在清洗研磨布603的表面后，进行下次半导体衬底1的研磨。

其中，如果增加研磨的半导体衬底1的片数，则研磨布603的表面疲弊，导致研磨速度的变化和研磨均匀性的下降。因此，如图31 (b) 所示，一边使水606流动，一边用称为修整器608的砂轮磨削研磨布的疲弊表面，进行所谓产生新研磨布表面609的修整作业（调整）。

15 再有，作为修整器的砂轮，通常使用将金刚石颗粒进行电镀镍的砂轮。

如以上那样，在现有的CMP方法中，通过交替进行研磨步骤和修整步骤，来实现研磨特性的稳定。

20 但是，如上述实施例1~7那样，在研磨贵金属膜的情况下，由于被研磨的贵金属物质没有水溶性，所以在研磨布表面上可能残留贵金属成分。因此，即使进行修整，也难以除去贵金属成分610。

本实施例涉及即使在研磨贵金属膜的情况下也具有稳定的研磨特性的CMP方法。

图32、图33表示使用本实施例的研磨装置的制造步骤。图中，与图31相同的符号表示相同或相当的部分。

25 在本实施例的CMP方法中，首先，如图32 (a) 所示，按与现有的CMP方法相同的方法来进行贵金属膜的研磨。

接着，如图32 (b) 所示，在研磨结束后，在用纯水606清洗研磨布603的表面后，使药液611流动来对研磨布表面进行清洗处理。

30 例如，在进行金的CMP的情况下，使硝酸和盐酸的混合水溶液（5~20%左右）流动来清洗研磨布603的表面。由此，可以除去在研磨布表面上残留的大



部分金610。

作为使用药液611的清洗方法，例如，可使用：（1）从喷嘴滴下药液611，利用平台旋转的离心力来扩散的方法；（2）以便使喷嘴本身进行扫描，一边将药液滴到研磨布整个表面的方法；（3）为了提高清洗性，将药液611形成射流喷出的方法；或它们的组合方法。

在用药液611处理后，流动纯水606来清洗研磨布603表面的药液成分，进行下次的半导体衬底1的研磨。

其中，如果研磨多个半导体衬底1，则研磨布603的表面疲弊，研磨布表面的贵金属成分612被积蓄。因此，必须进行定期的修整。

如图33（c）所示，例如在金的CMP情况下，一边流动作为药液611的硝酸和盐酸的混合水溶液（5~20%左右），一边进行修整。由此，一边消除研磨布的疲弊表面607，一边除去研磨布表面上积蓄的贵金属成分612，使新的研磨布表面609露出。

但是，现有的修整砂轮将金刚石颗粒电镀镍，所以耐药品性不充分。因此，在本实施例的修整中，必须使用耐药品性高的陶瓷制的砂轮。

在使用修整砂轮的修整后，一边流动纯水606一边进行修整，清洗研磨布表面的药液成分。

这样，通过使用本实施例的CMP法，即使在对金那样的贵金属膜进行CMP的情况下，也可以防止因研磨布表面的贵金属成分的残留引起的研磨特性的恶化，进行稳定的研磨。

再有，在上述实施例中，说明了在研磨之后立即进行用于除去贵金属成分的药液处理，此外，说明了在定期的修整时一边流动药液一边进行处理的情况，但也可以仅在每次研磨处理中或定期地进行后者的处理。

此外，作为药液，也可以使用铝化钾和过硫酸胺的混合水溶液、盐酸和双氧水基的混合水溶液等。

此外，上述CMP法也适用于金以外的铂、银、钯、铑等贵金属，它们的合金或以它们为主要成分的金属材料的CMP。

而且，在现有进行的钨和铜的CMP中，通过使用本实施例的药液，可以获得同样的效果。

实施例9

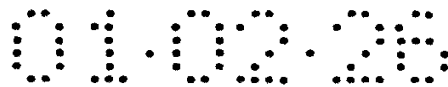


图34是本实施例的CMP装置的示意图。

在图34所示的CMP装置中，首先，旋转的一对转子701、702组成的轮带式的研磨布703按一定速度在一定方向上高速移动。被研磨的半导体衬底1被固定在高速旋转、扫描的研磨台704上，施加充分的负荷，并且一边从研磨剂供给喷嘴705流出研磨剂705'，一边被研磨。

例如，在进行金的CMP的情况下，由于在上述研磨布703上研磨的金成分容易残存，所以从药液供给喷嘴706流出作为药液706'的硝酸和盐酸的混合水溶液，来除去研磨布703表面的金成分。

在研磨半导体衬底1后，使用陶瓷制砂轮等构成的旋转扫描的第一修整器707，一边从药液供给喷嘴708流出作为药液708'的硝酸和盐酸混合水溶液，一边进行研磨布的修整。

而且，使用比第一修整器707更微细的颗粒的砂轮构成的旋转、扫描的第二修整器709，一边从纯水喷嘴710流出纯水710'一边轻轻地进行修整，除去研磨布703表面的药液成分。

通过连续进行这样的研磨步骤和修整步骤，可以防止研磨的材料残存在研磨布703的表面上。因此，可以实现研磨特性的稳定。

再有，在本实施例中，说明了与研磨作业同时进行除去药液造成的残存物的步骤（药液处理和药液修整），但也可以分别进行研磨步骤和药液造成的残存物处理步骤。

此外，也可以仅使用一个修整器来进行药液造成的残存物处理步骤。即，首先使用一个修整器来进行药液的修整，然后使用同一修整器进行纯水的修整。

图35是本实施例的另一CMP装置的示意图。

在图35所示的CMP装置中，粘付在旋转的研磨台801上的研磨布802按一定的转数移动。被研磨的半导体衬底1被固定在也同样高速旋转、扫描的研磨台803上，施加充分的负荷，并且一边从研磨剂供给喷嘴804流出研磨剂一边被研磨。

在研磨半导体衬底1后，使用陶瓷制砂轮等构成的旋转、扫描的第一修整器805，一边从药液供给喷嘴806流出药液806'，一边由研磨布802进行修整。

而且，使用比第一修整器805更微细的颗粒的砂轮构成的同样旋转、扫描的

第二修整器807，一边从纯水喷嘴808流出纯水808' 一边轻轻地进行修整，除去研磨布802表面的药液成分。

由此，可以防止对研磨布802表面的研磨成分的残留，可以实现研磨特性的稳定。

- 5 从以上说明可知，在本发明的半导体器件中，可以防止焊盘电极表面的氧化，增大与外部端子的连接强度，可以获得可靠性高的半导体器件。

即使将高集成化的焊盘电极微细化的半导体器件，也可以获得充分的连接强度。

- 10 此外，根据本发明的半导体器件的制造方法，可以制造平整性良好的焊盘电极和外部连接端子。

此外，本发明的CMP方法通过使用CMP装置可以高效率地研磨贵金属材料。

说明书附图

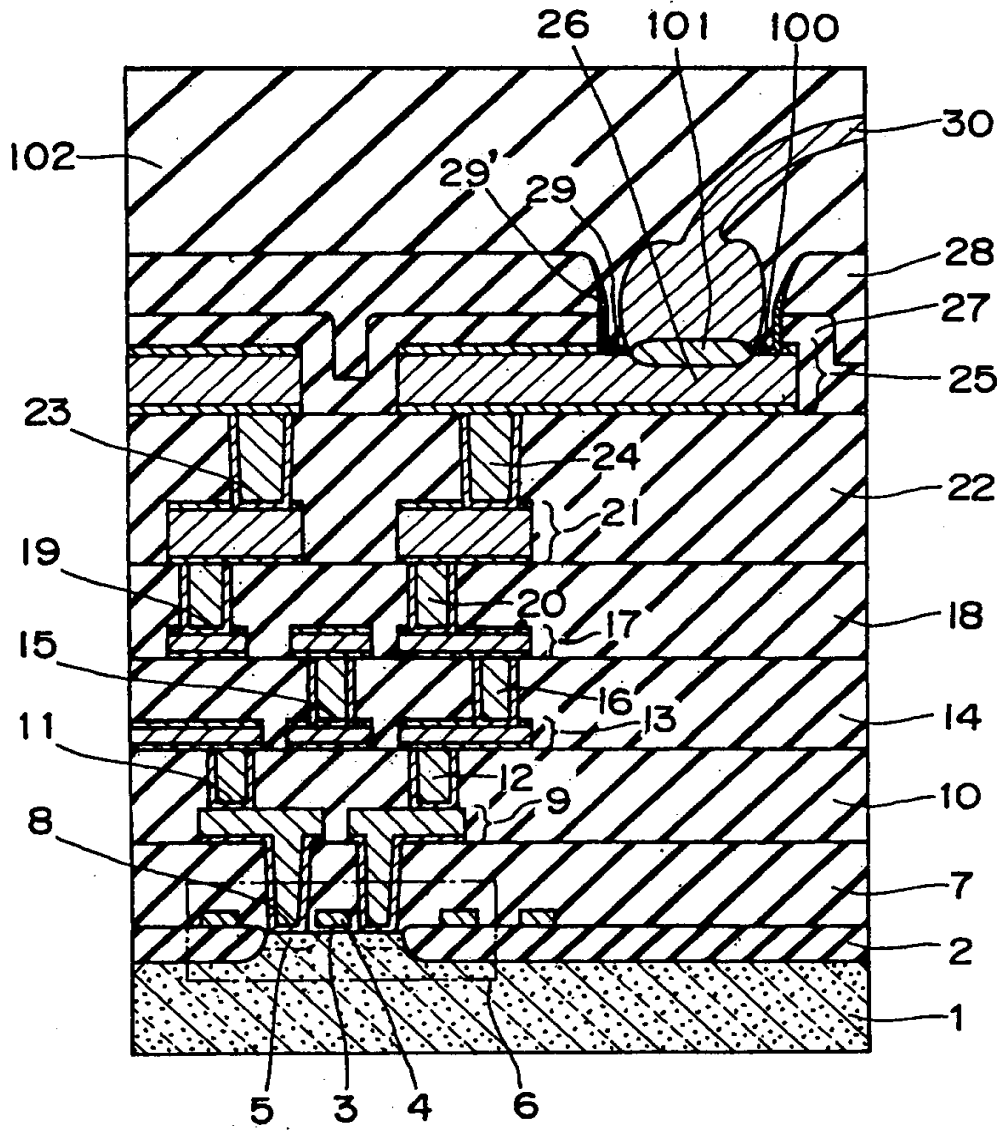


图 1

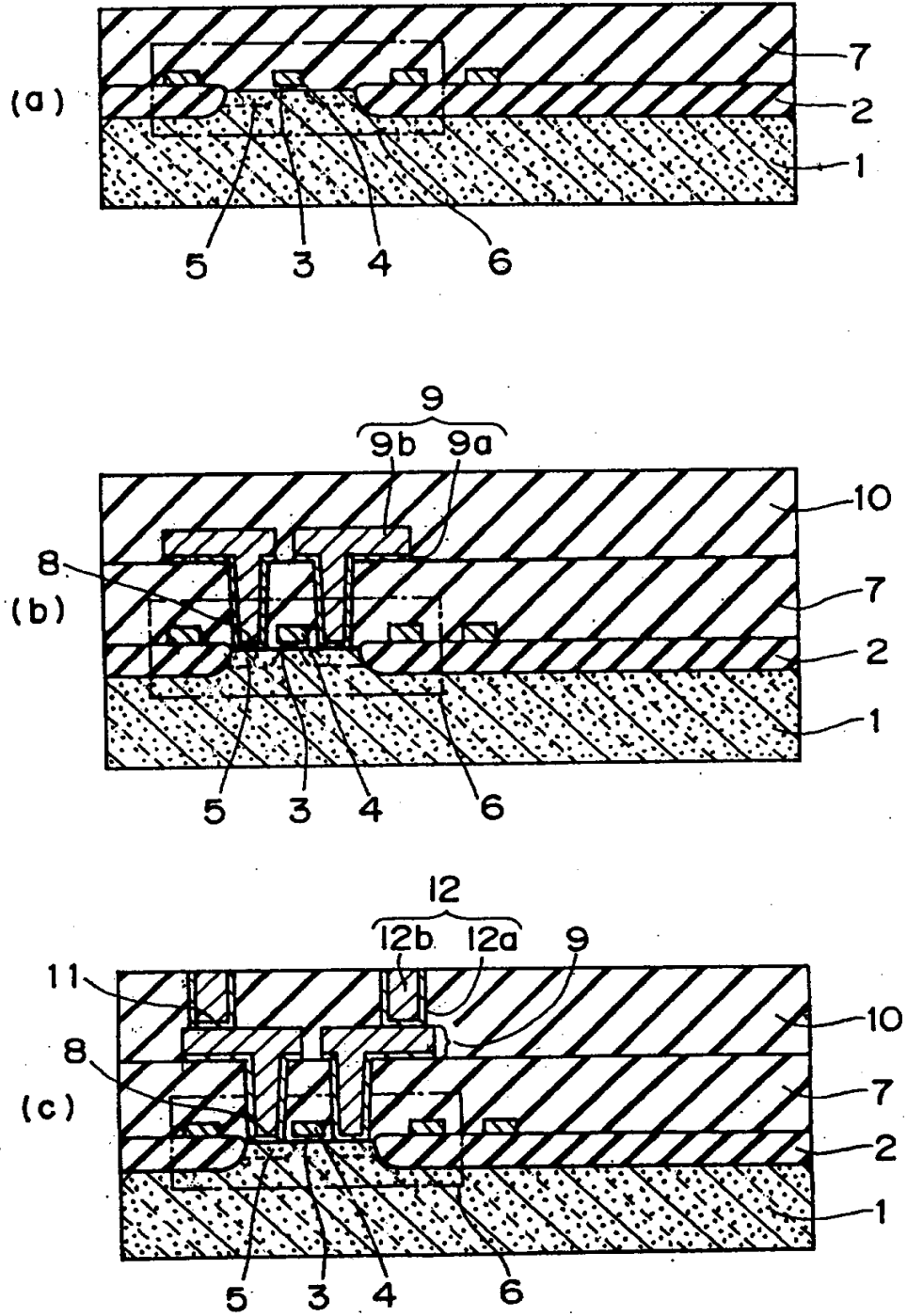


图 2

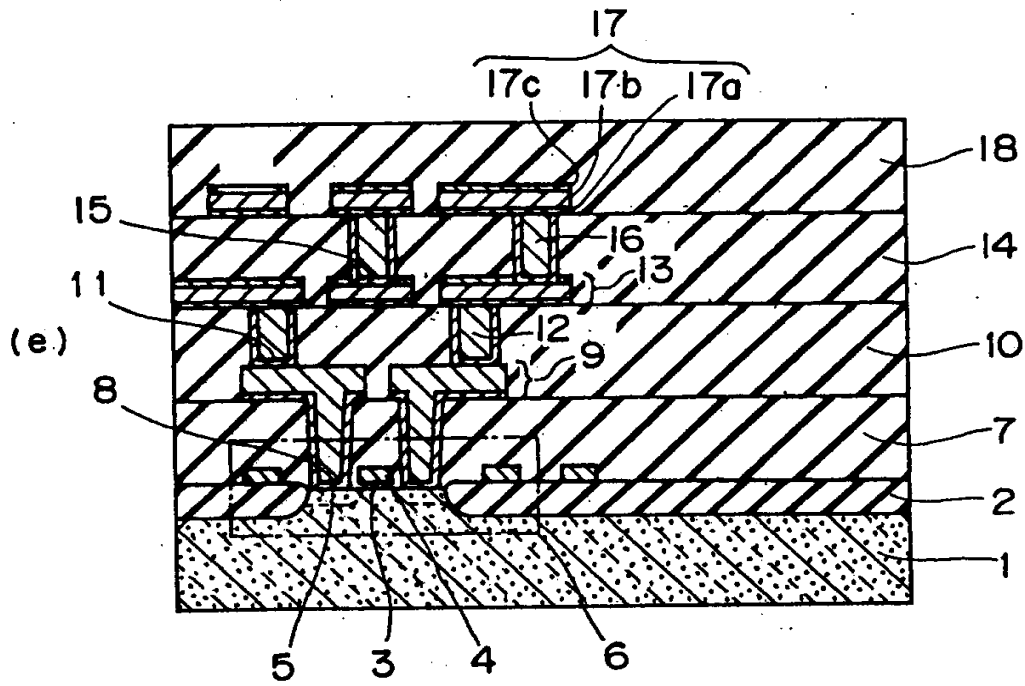
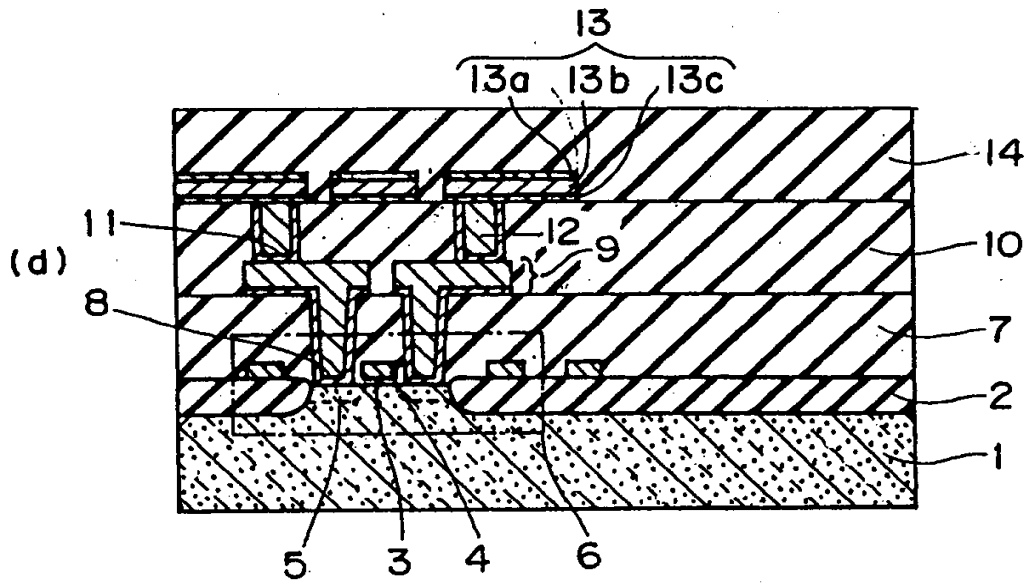


图 3

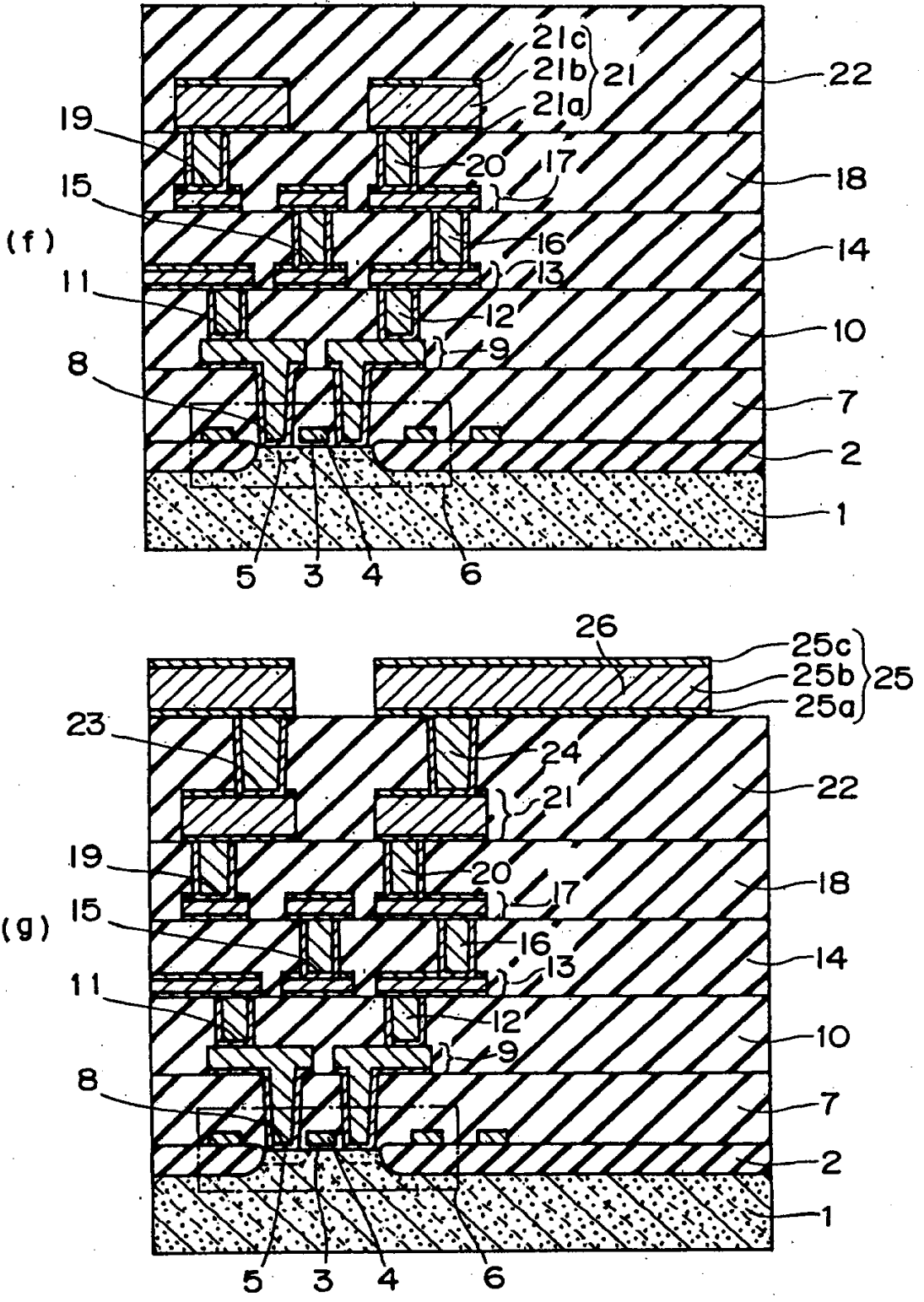


图 4

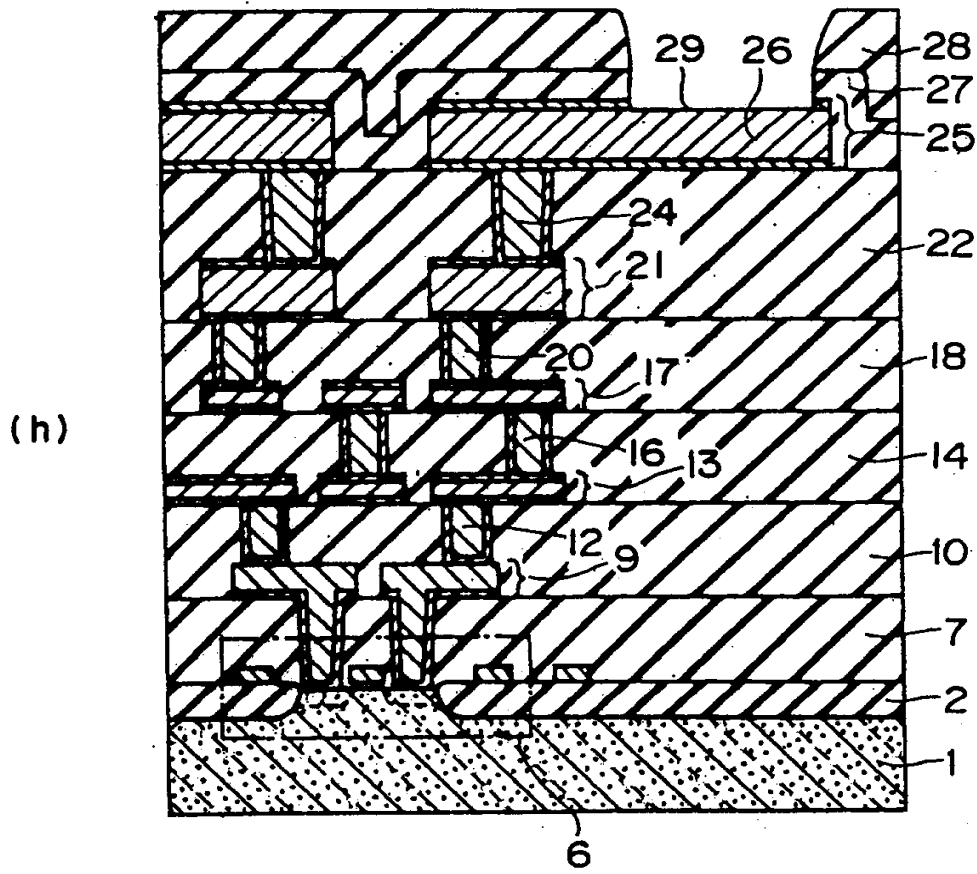


图 5

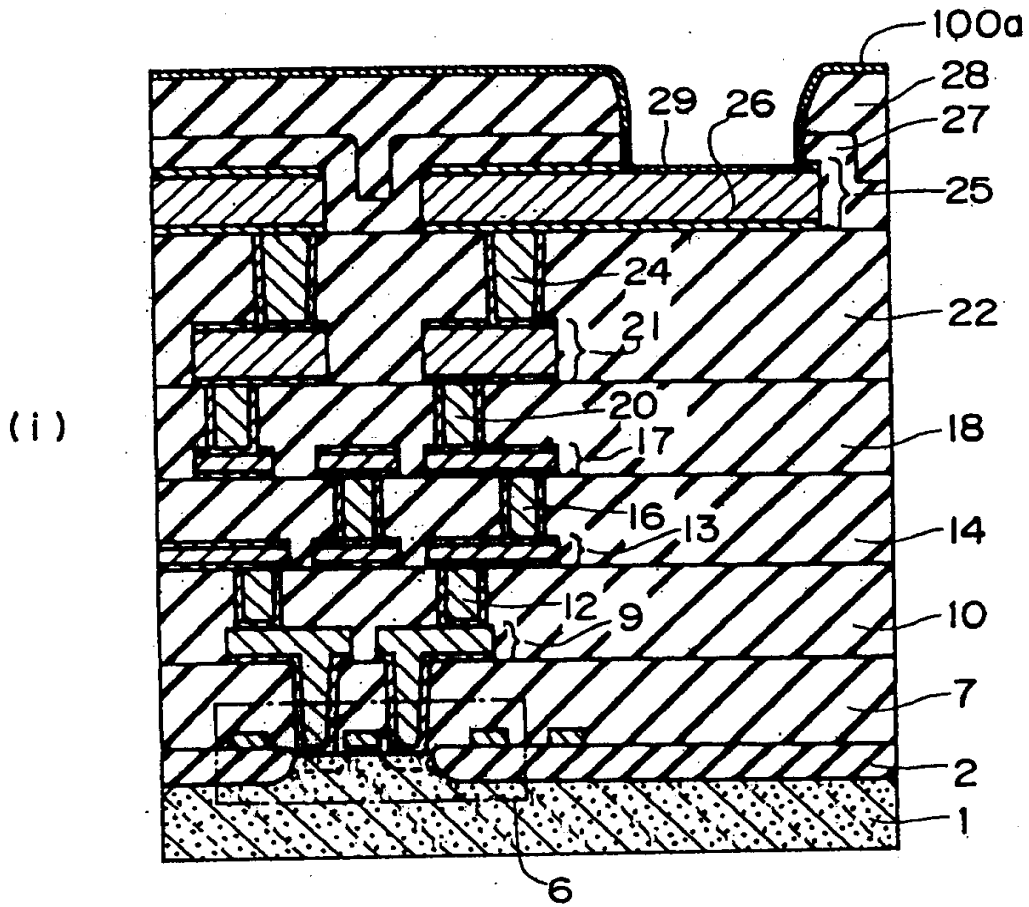


图 6

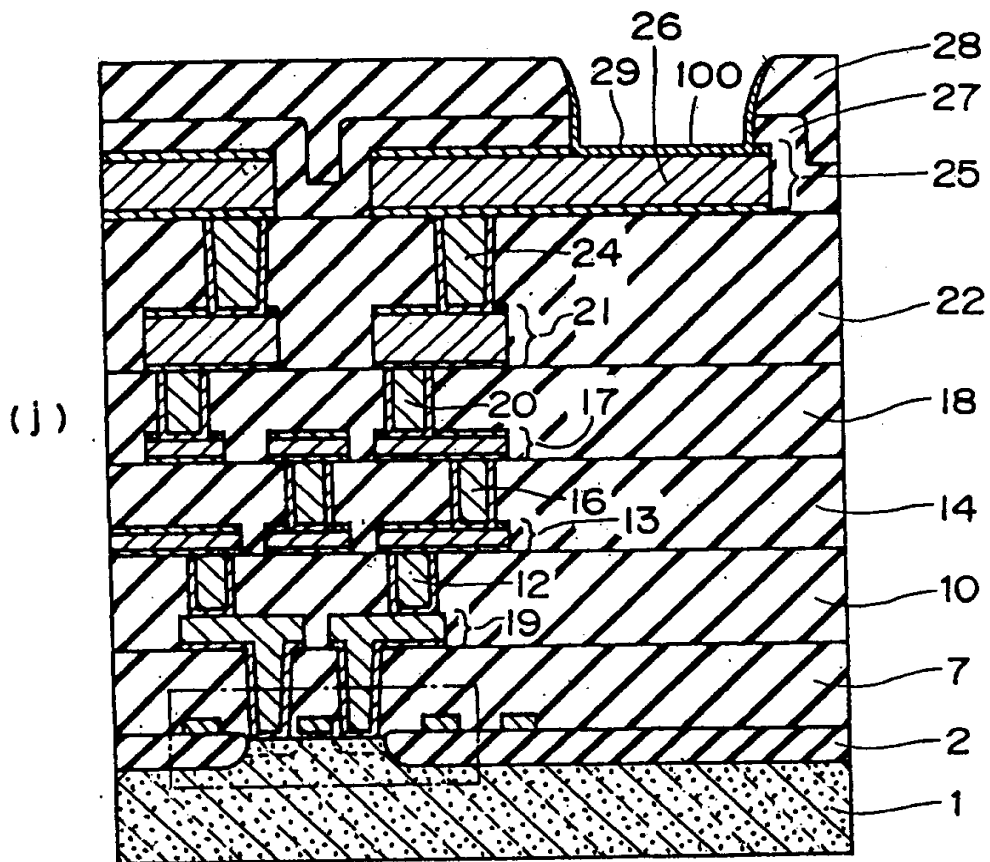


图 7

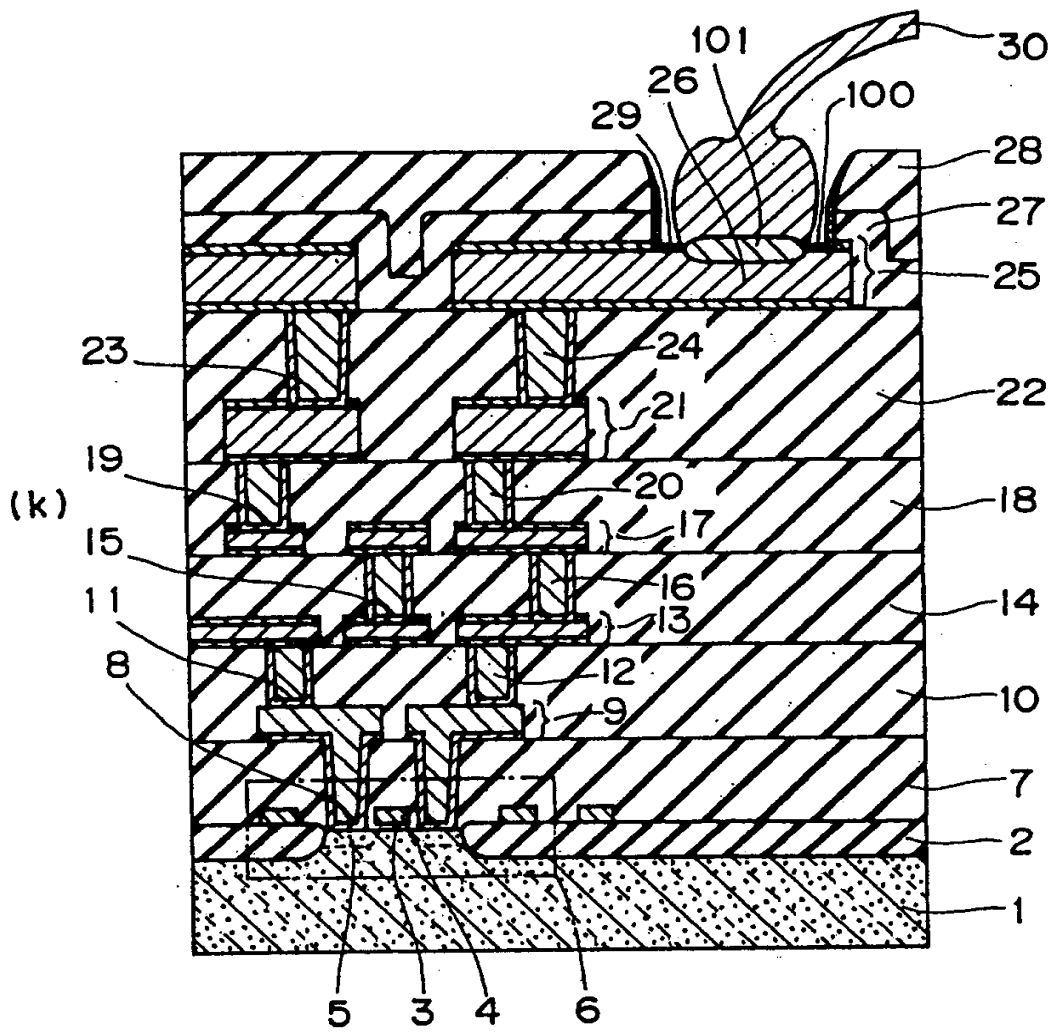


图 8

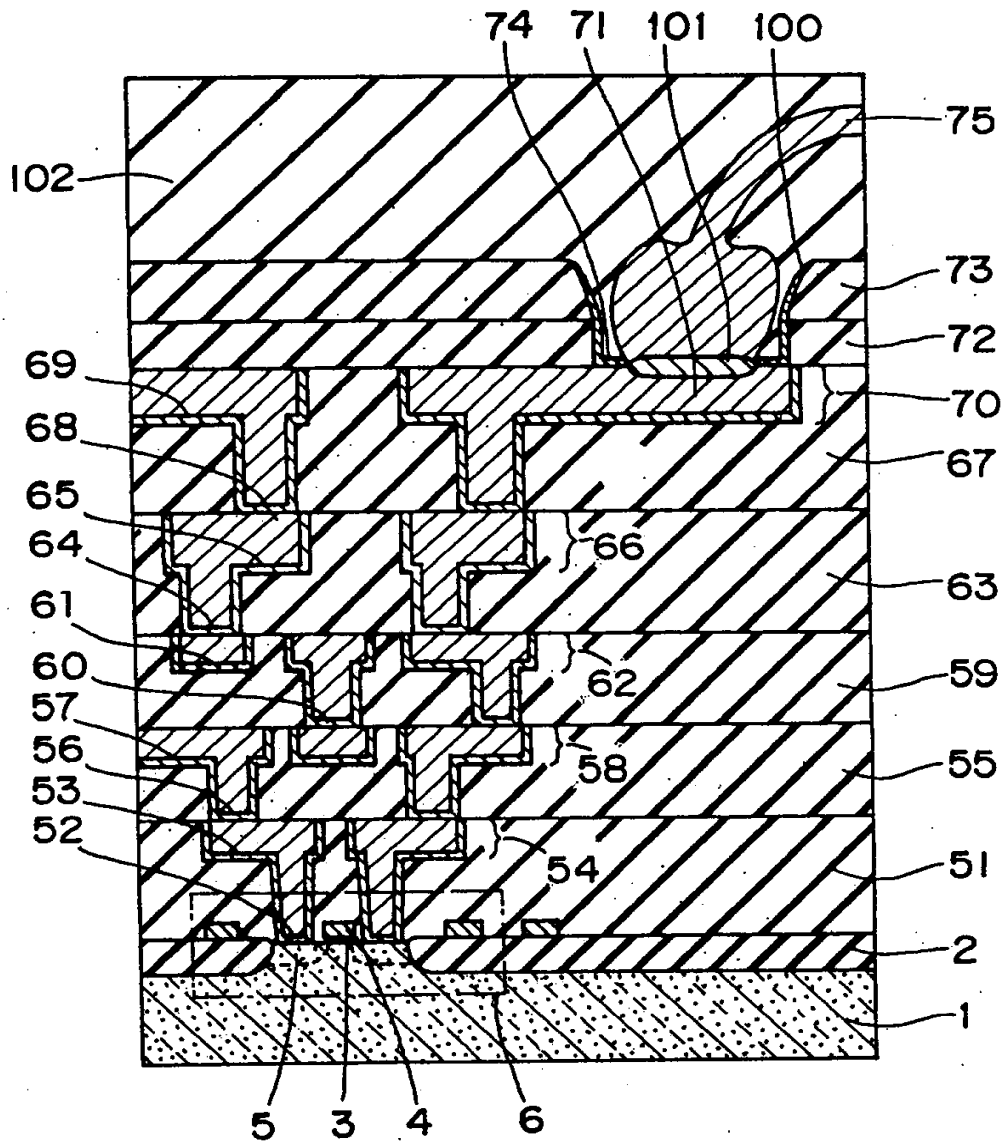


图 9

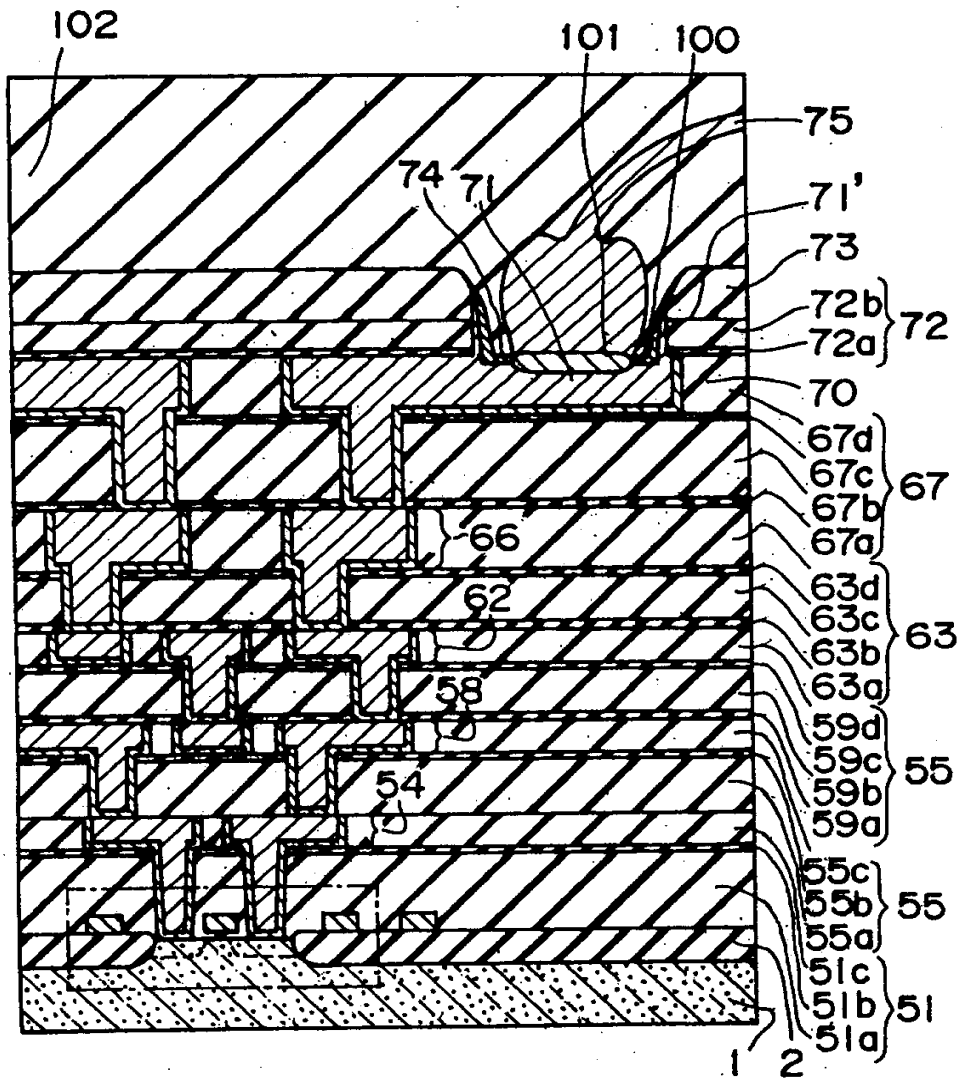


图 10

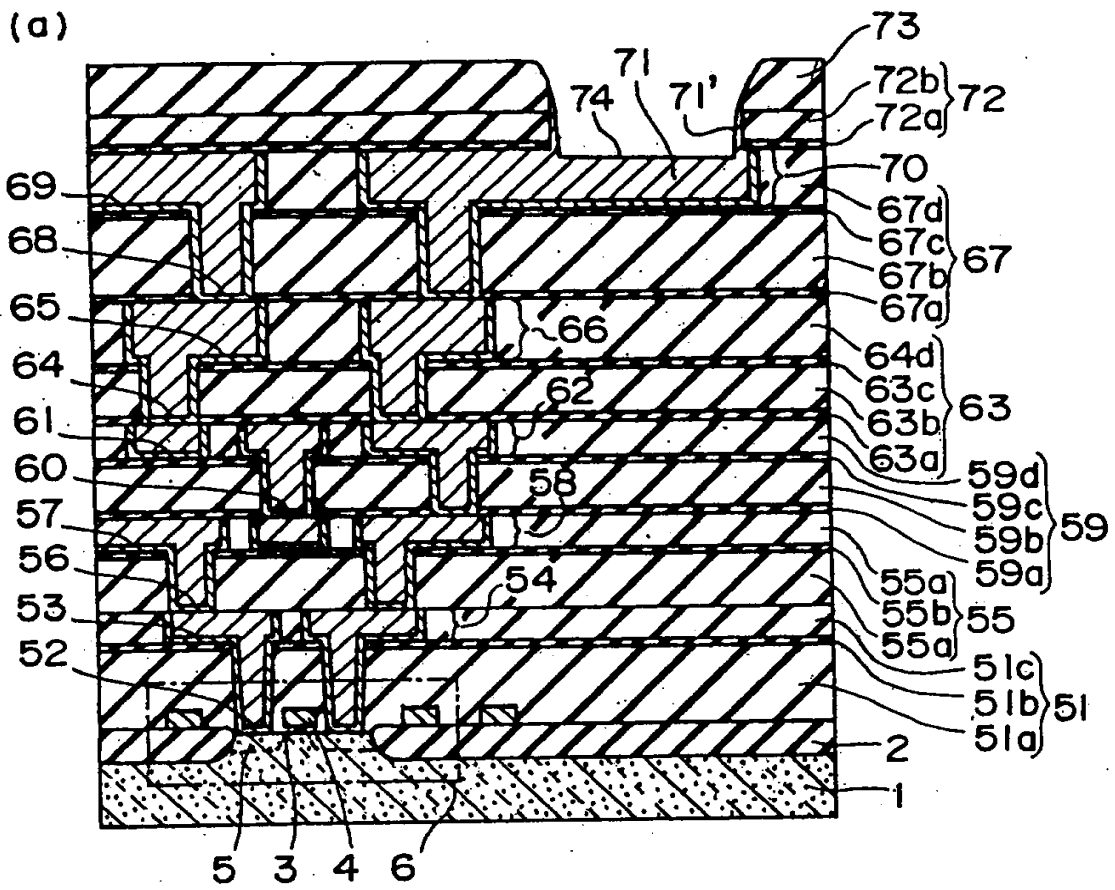


图 11

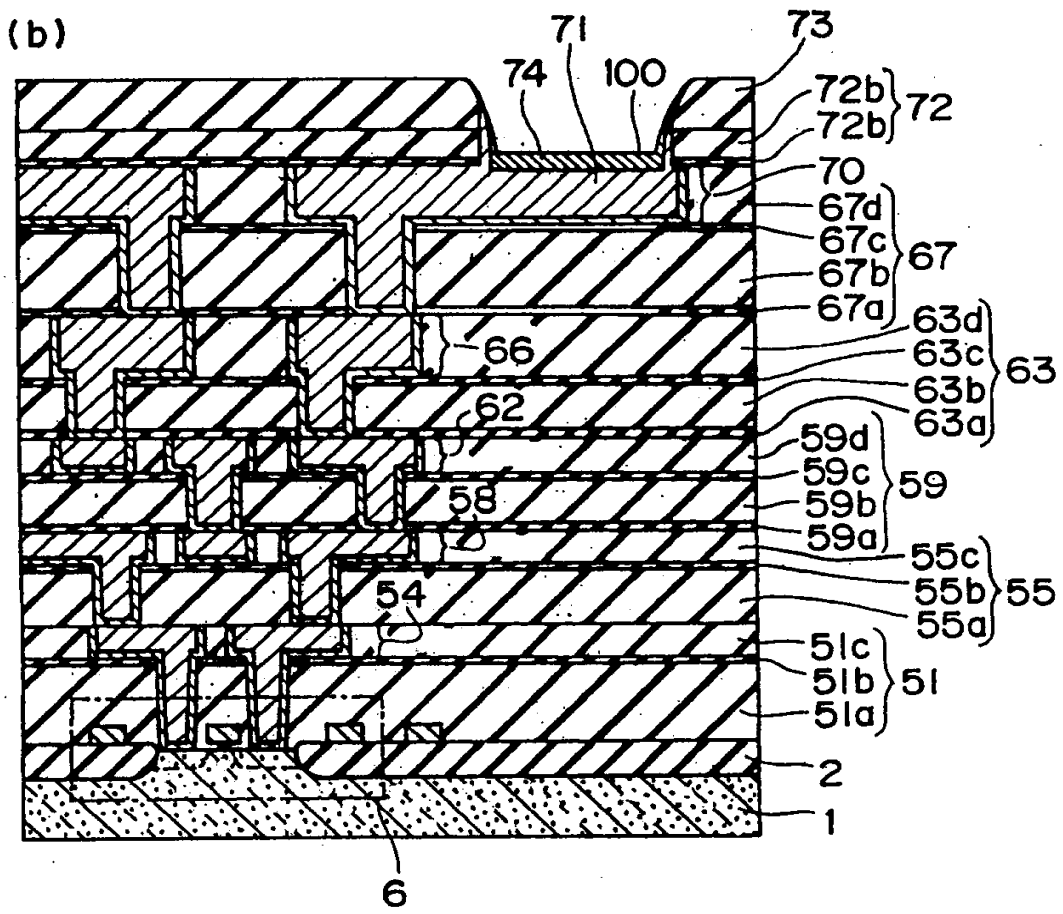


图 12

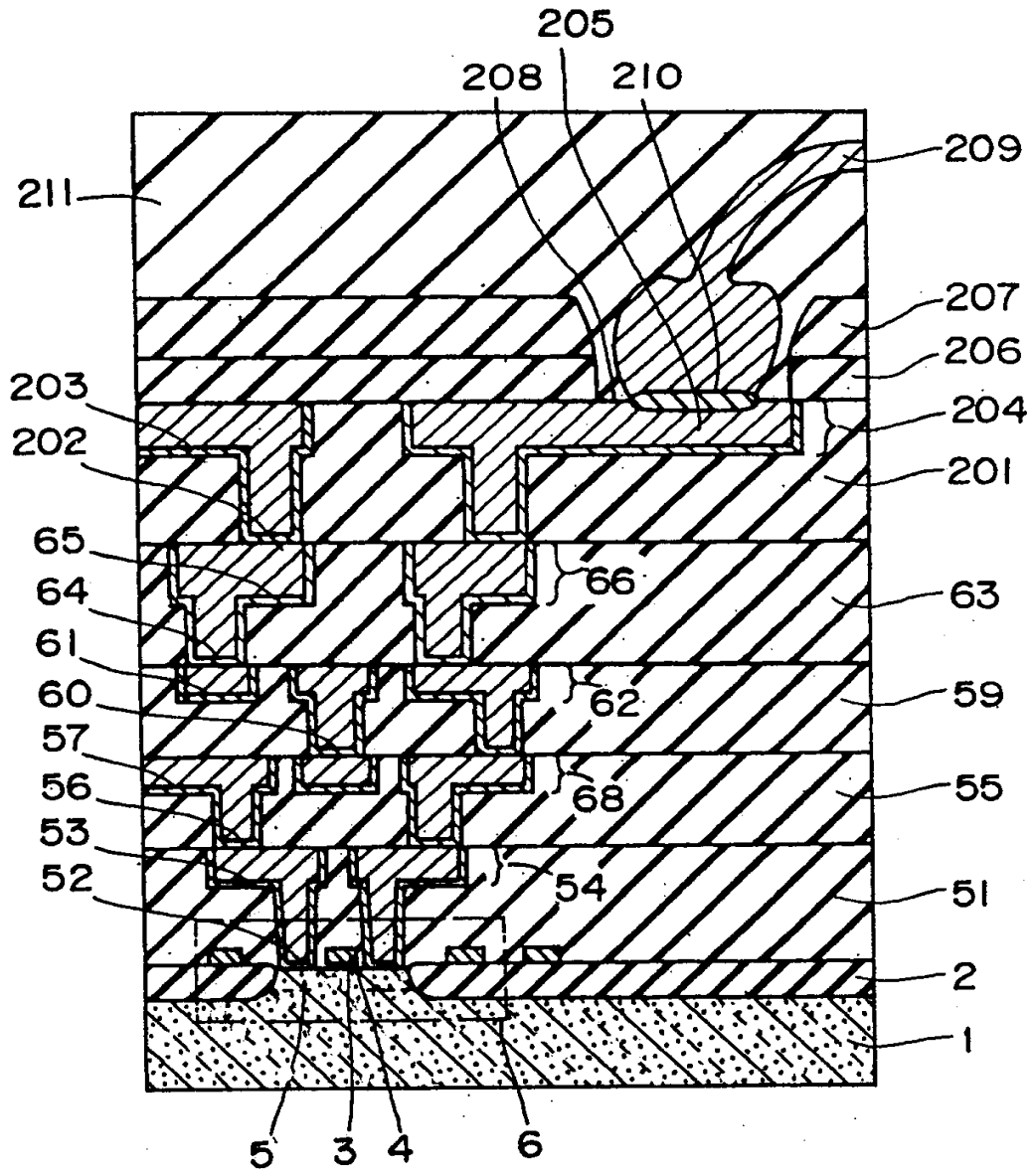


图 13

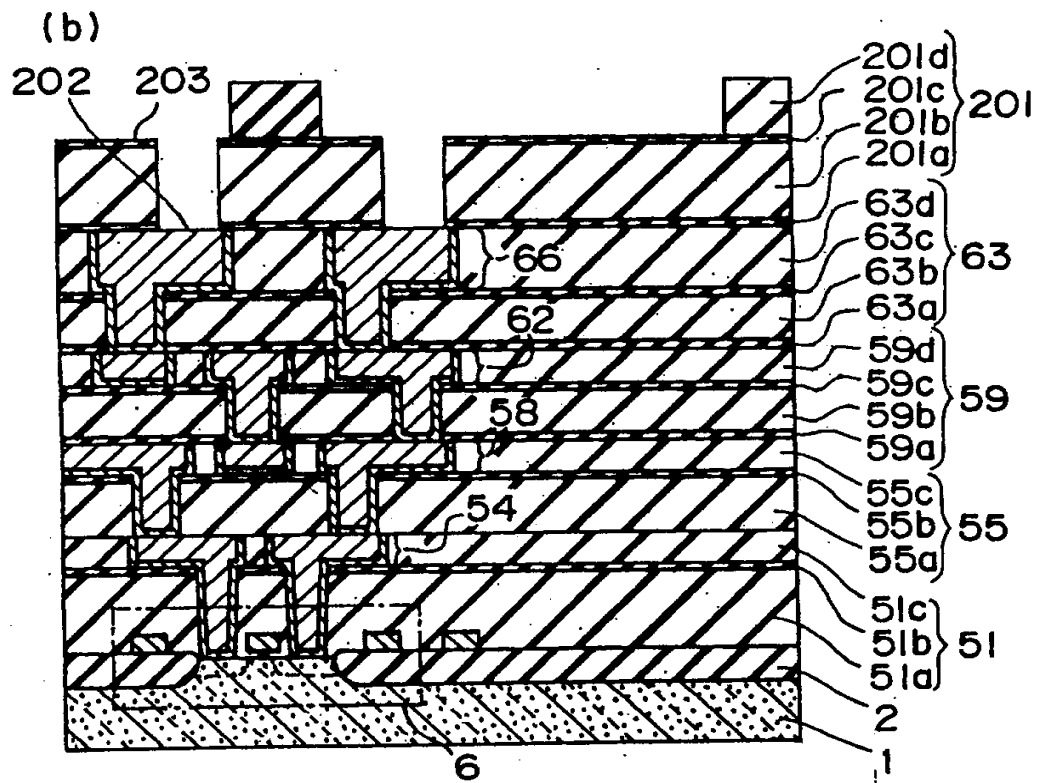
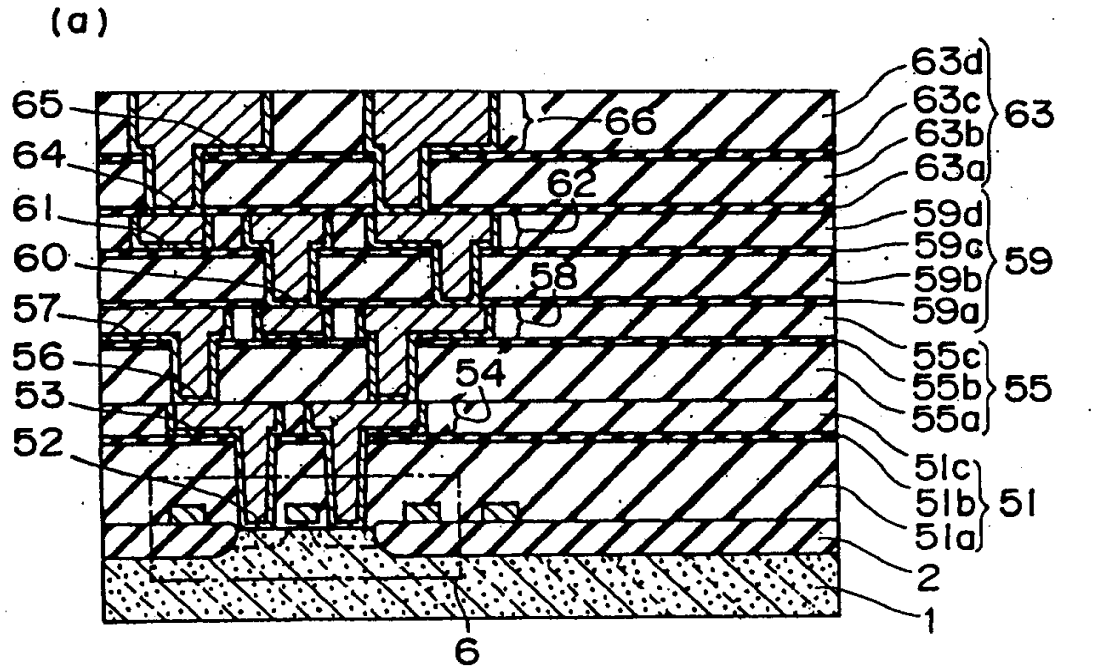


图 14

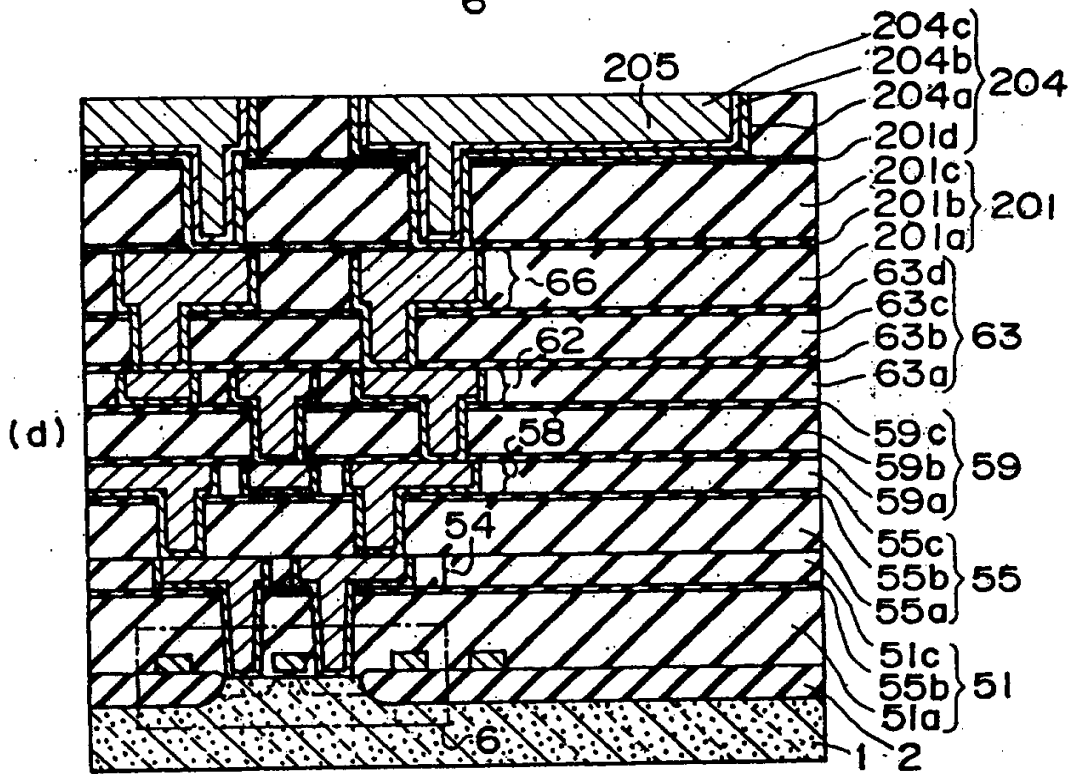
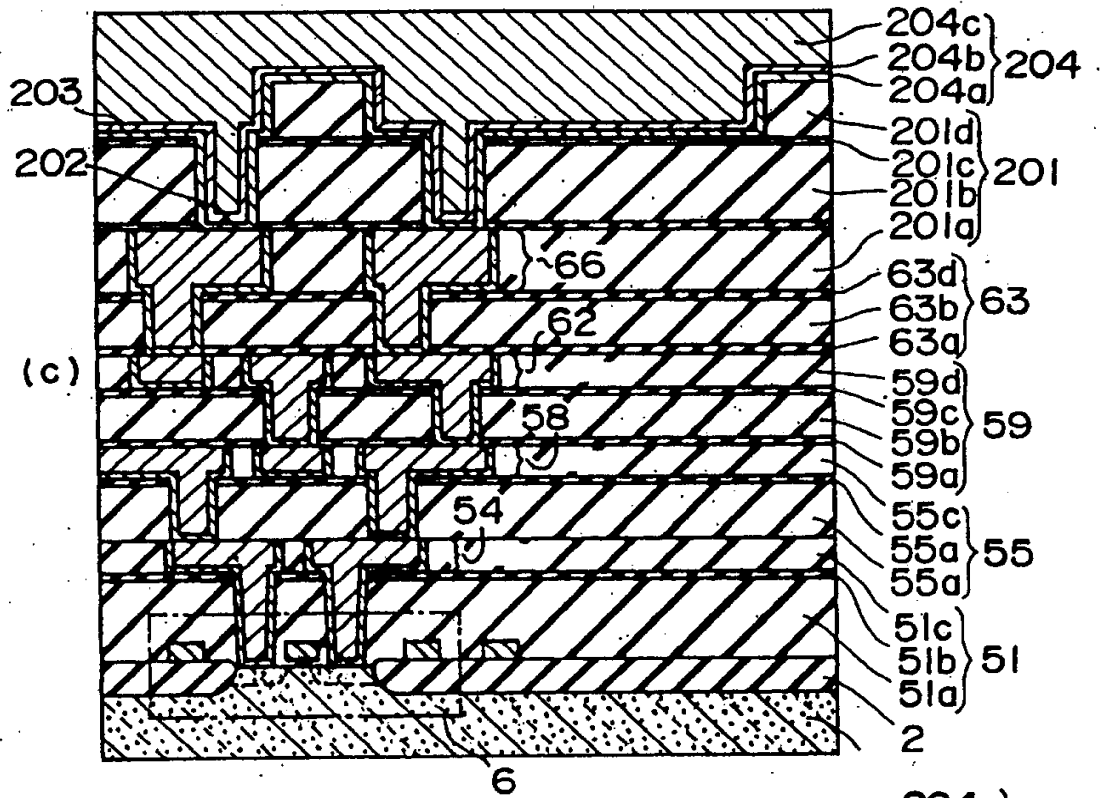


图 15

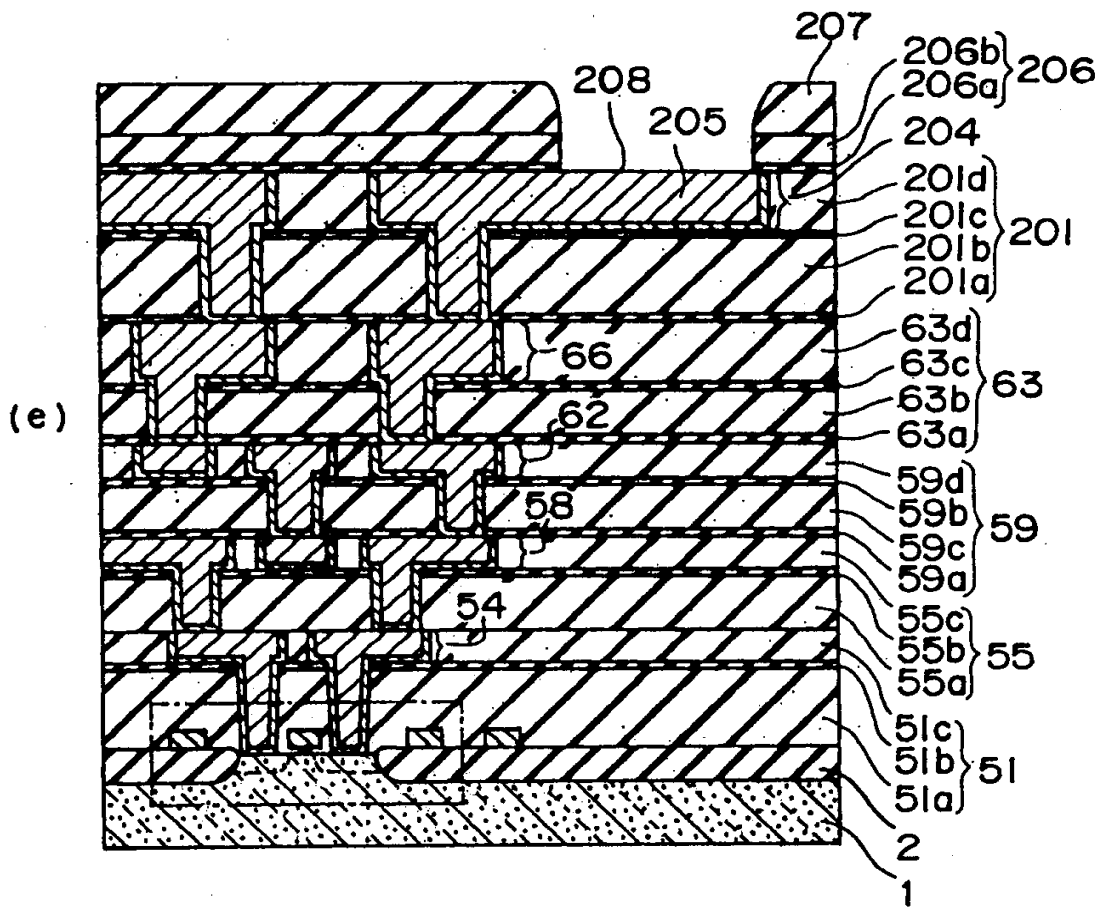


图 16

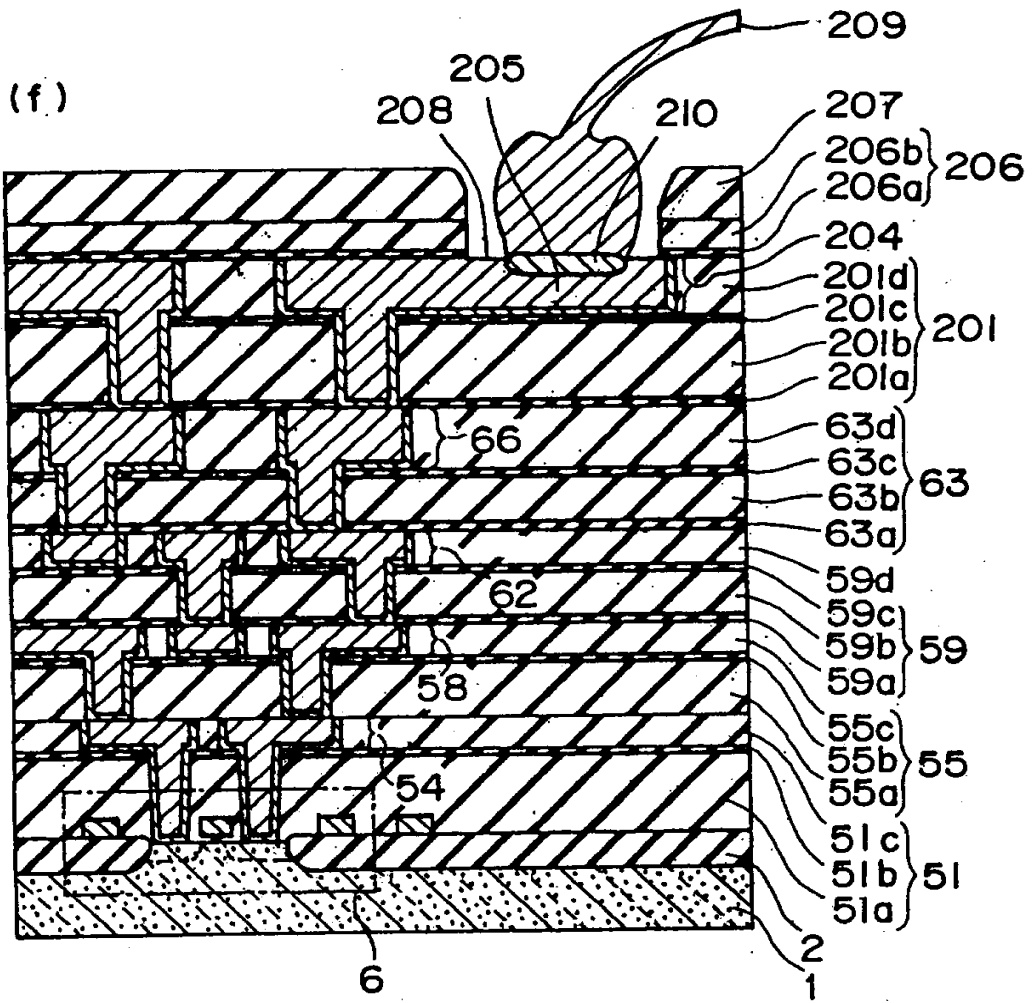


图 17

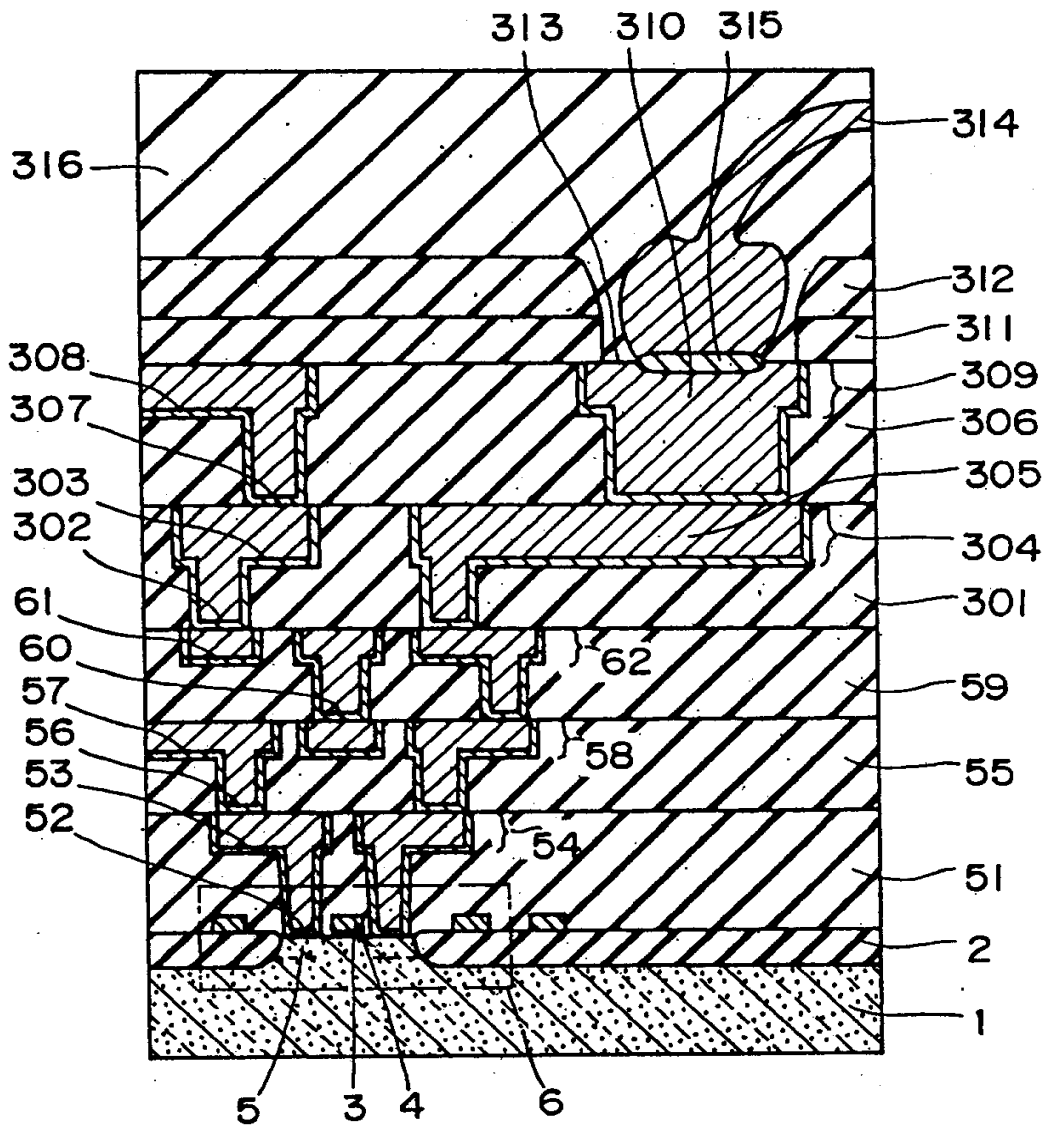


图 18

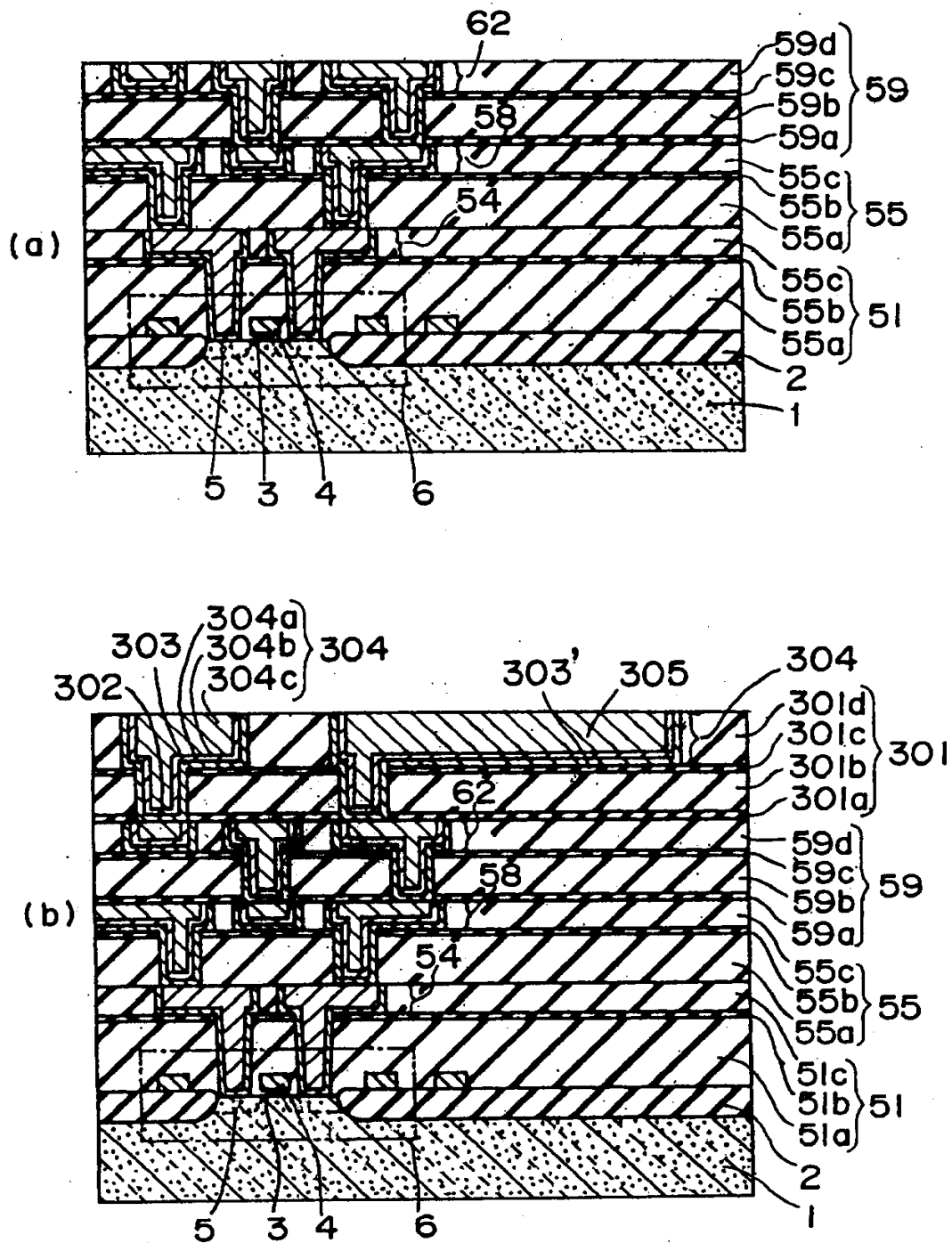


图 19

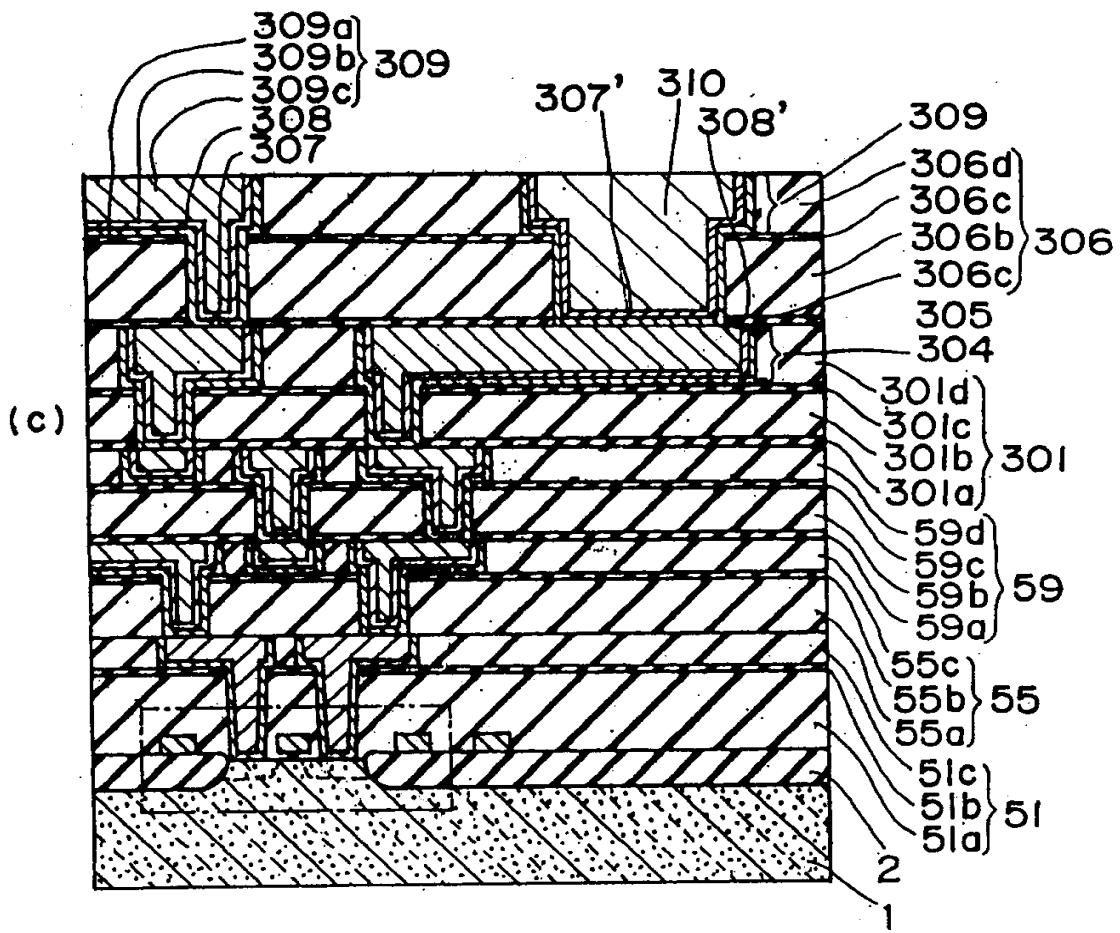


图 20

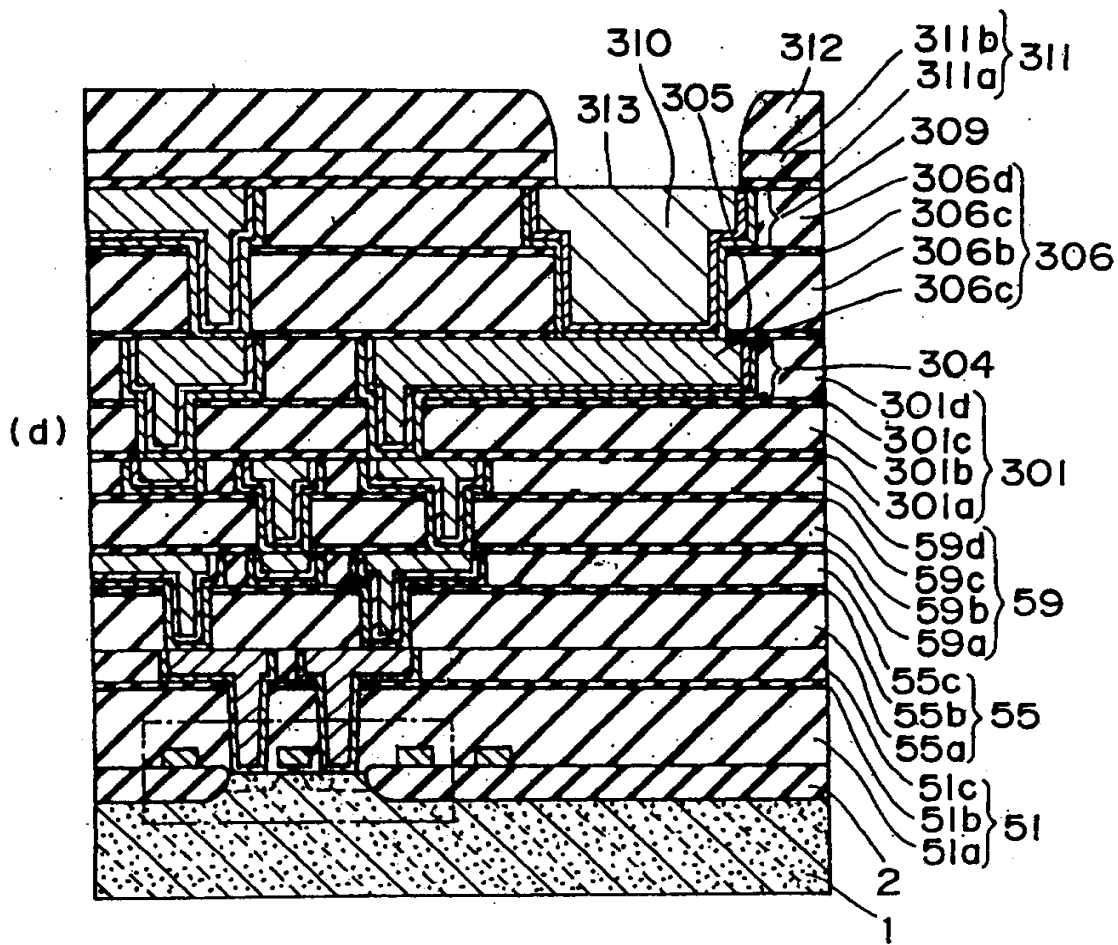


图 21

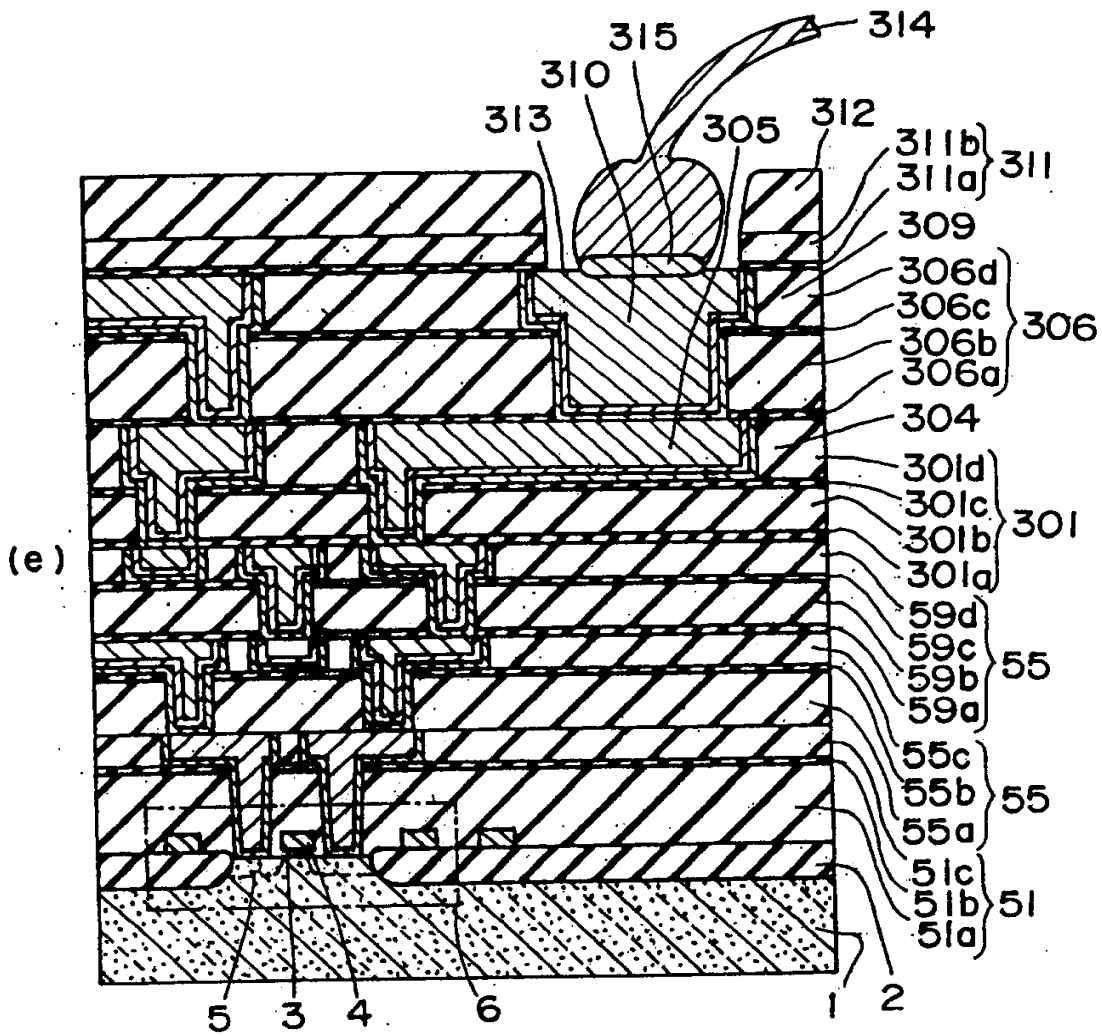


图 22

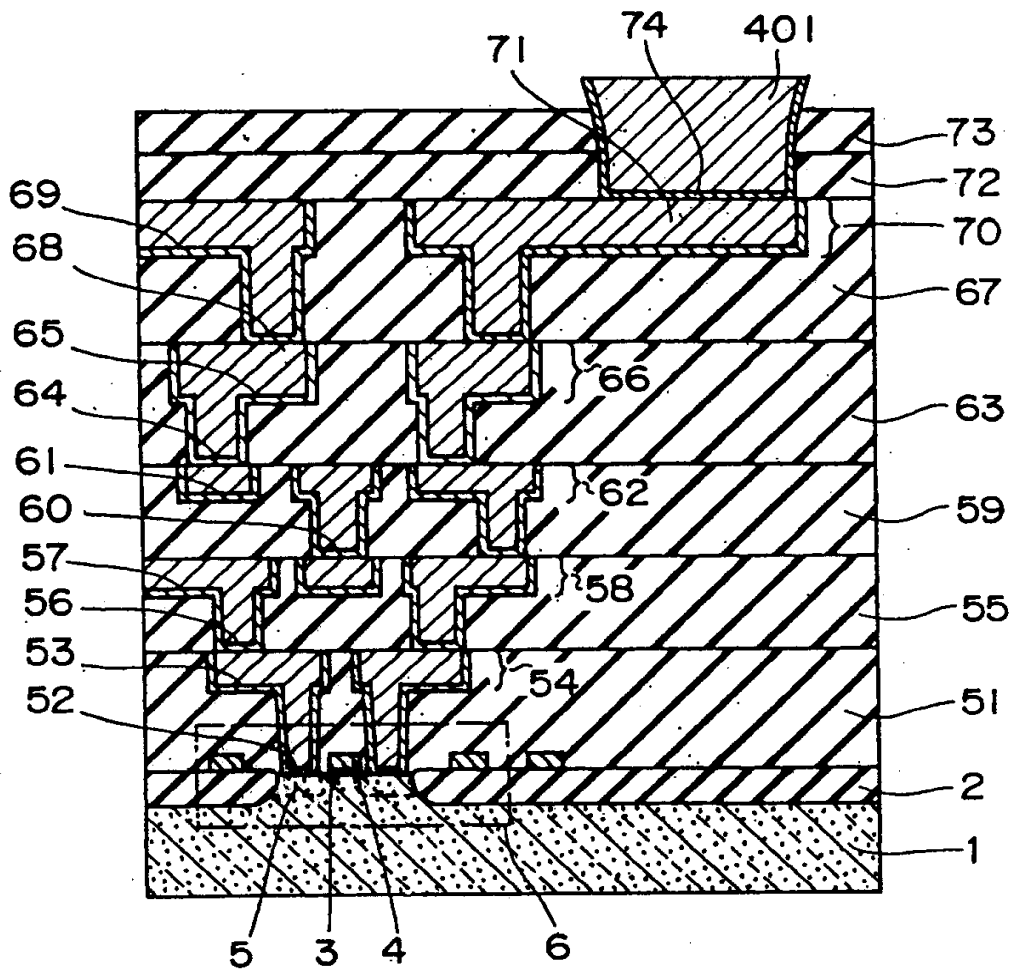


图 23

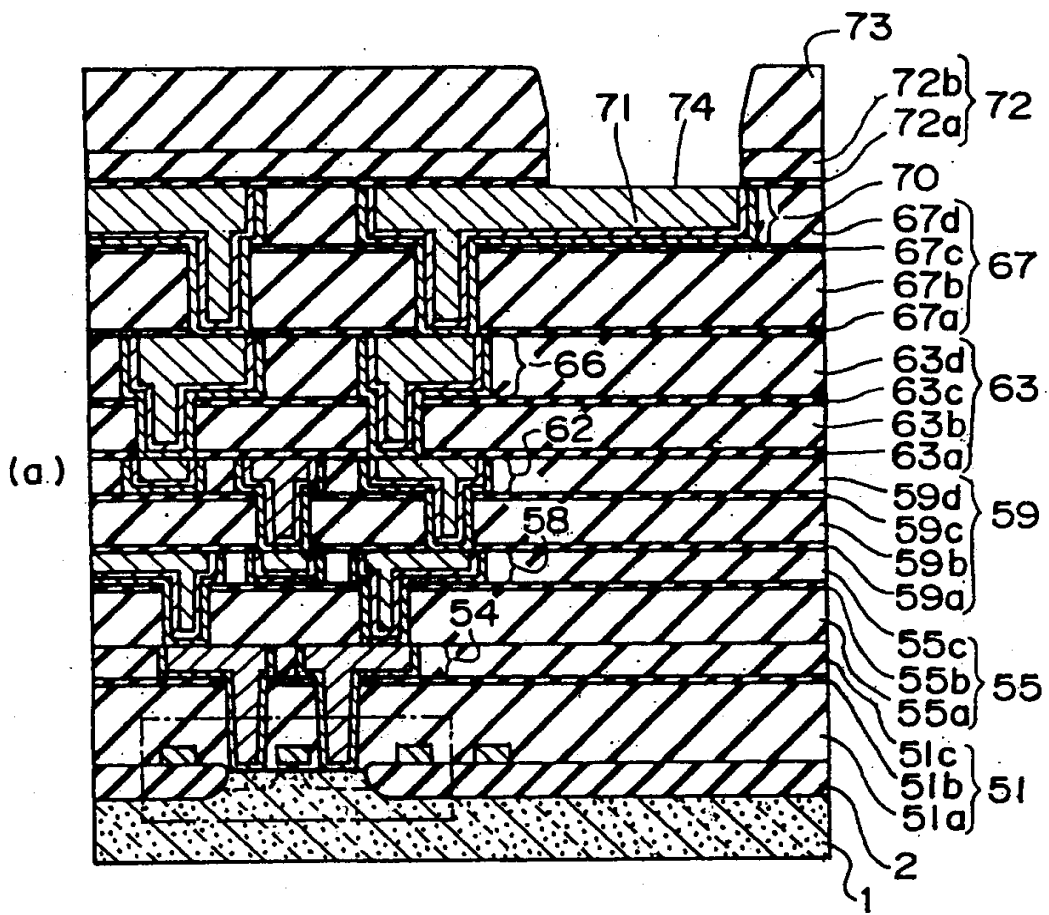


图 24

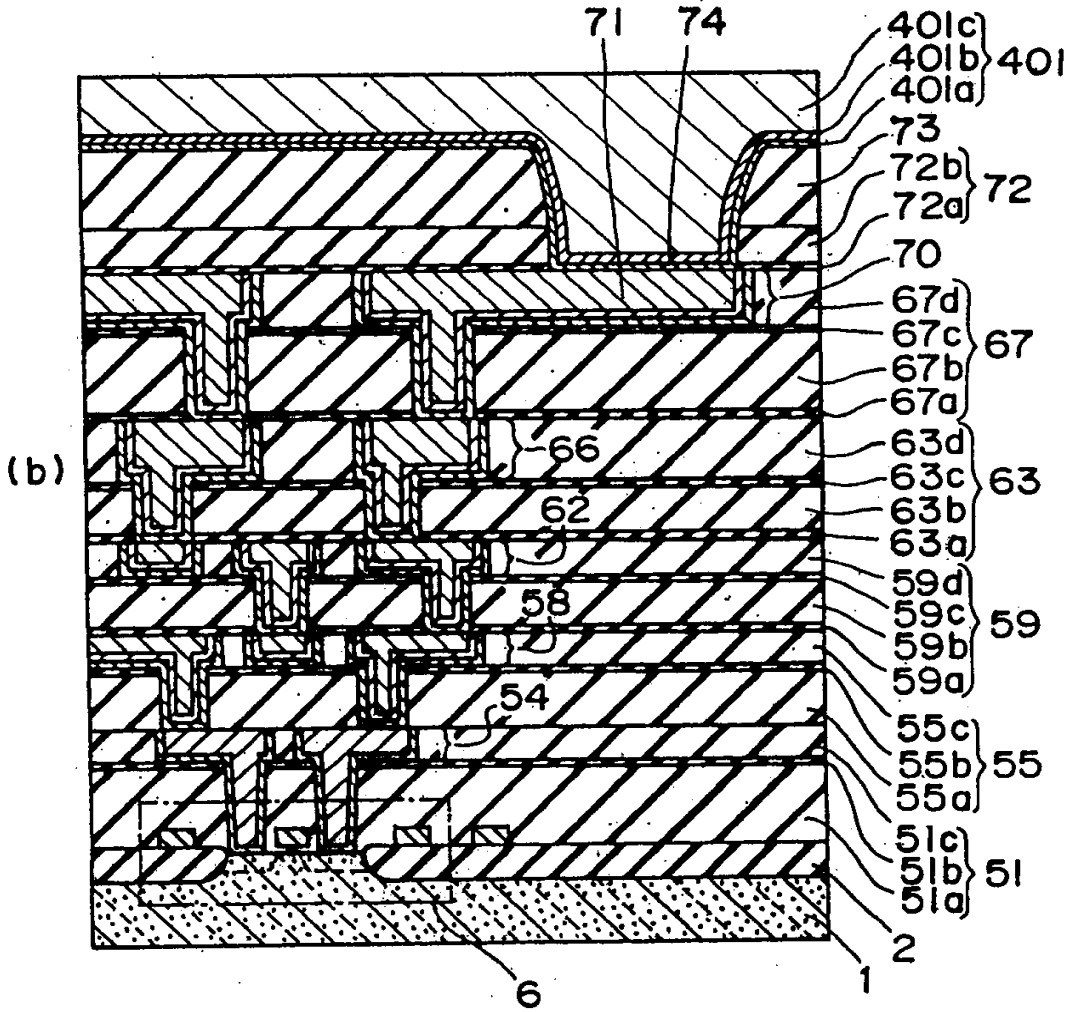


图 25

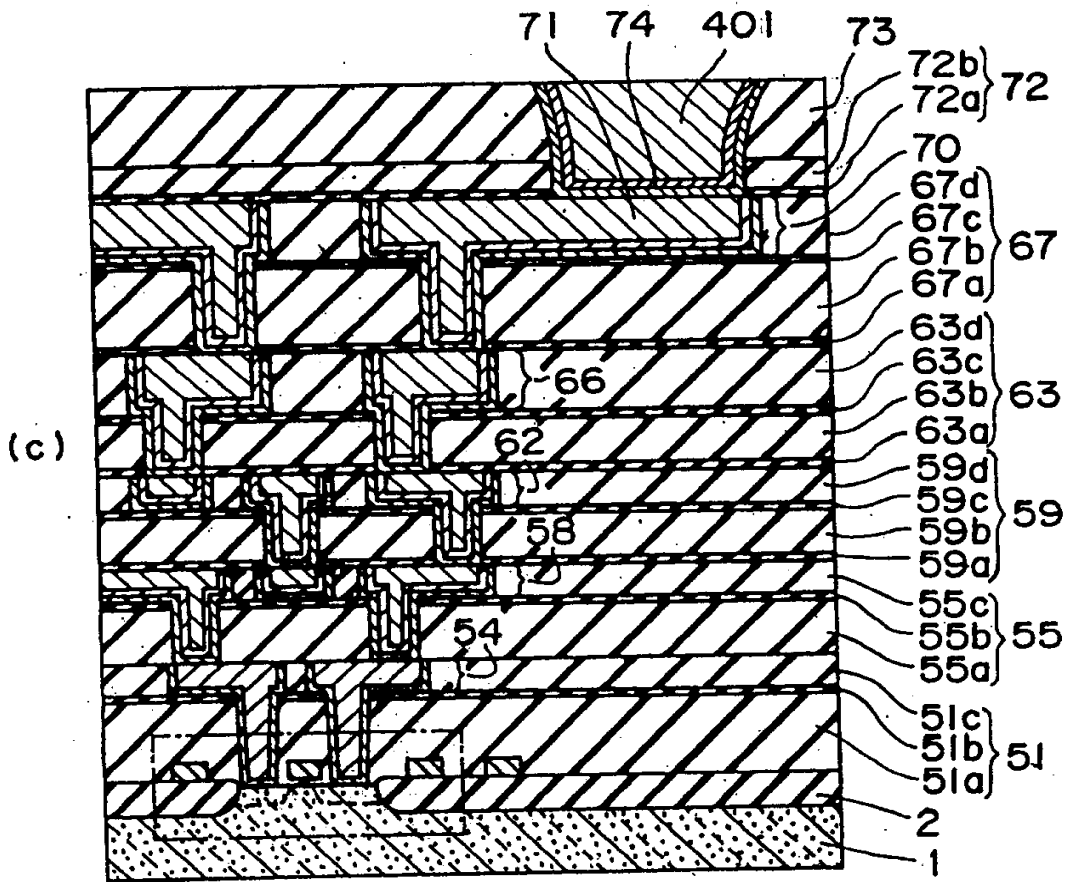


图 26

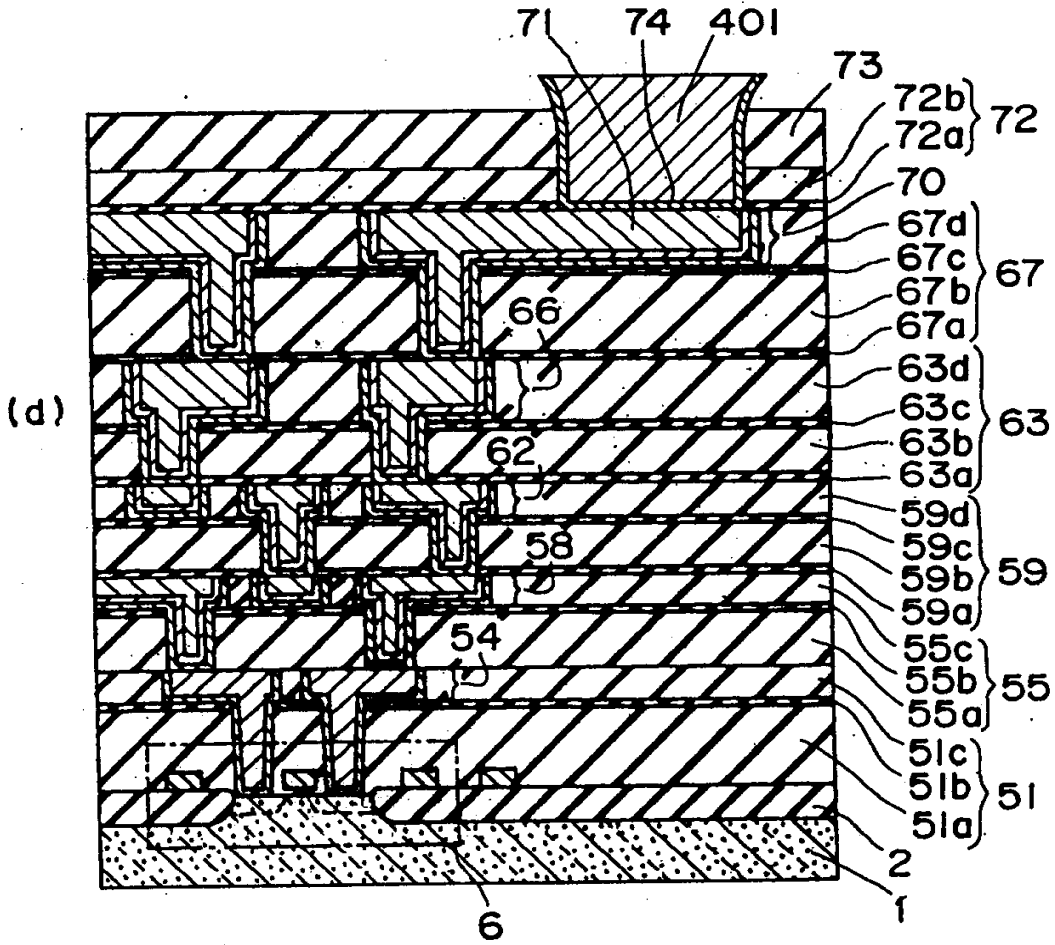


图 27

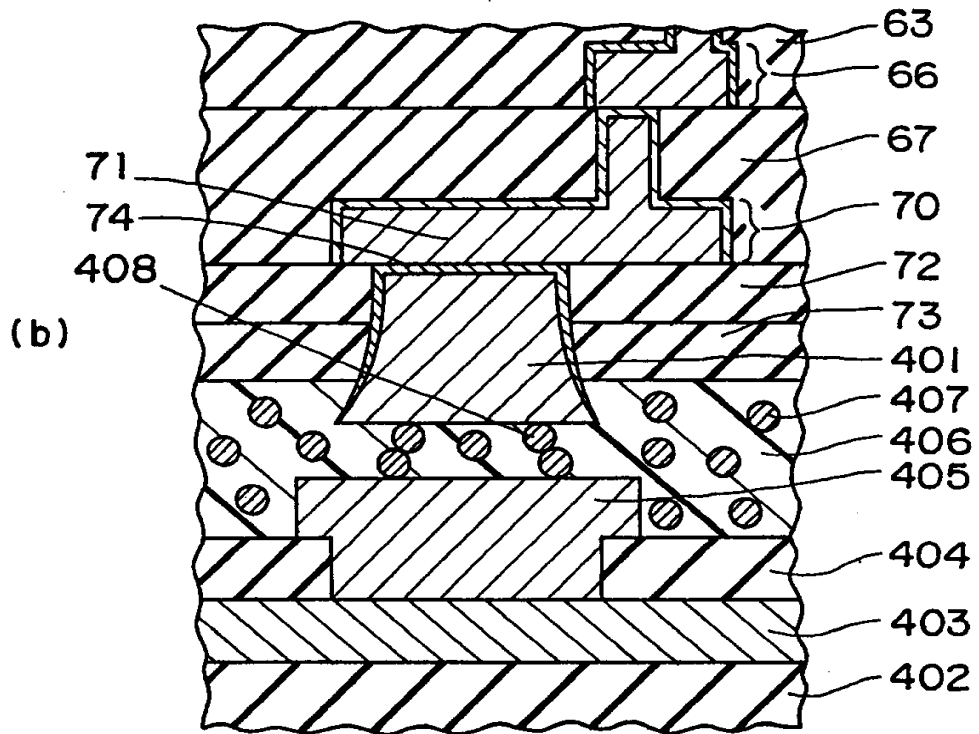
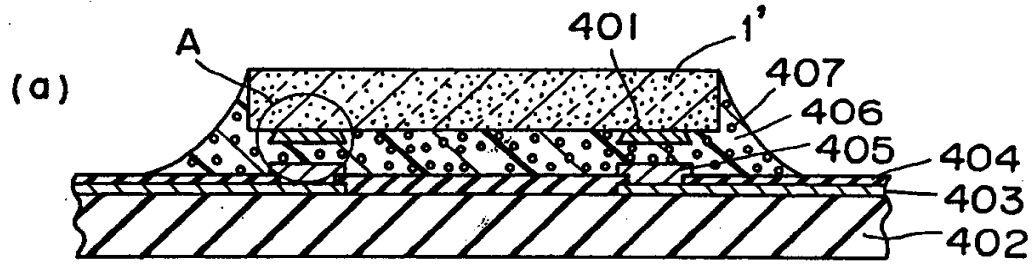


图 28

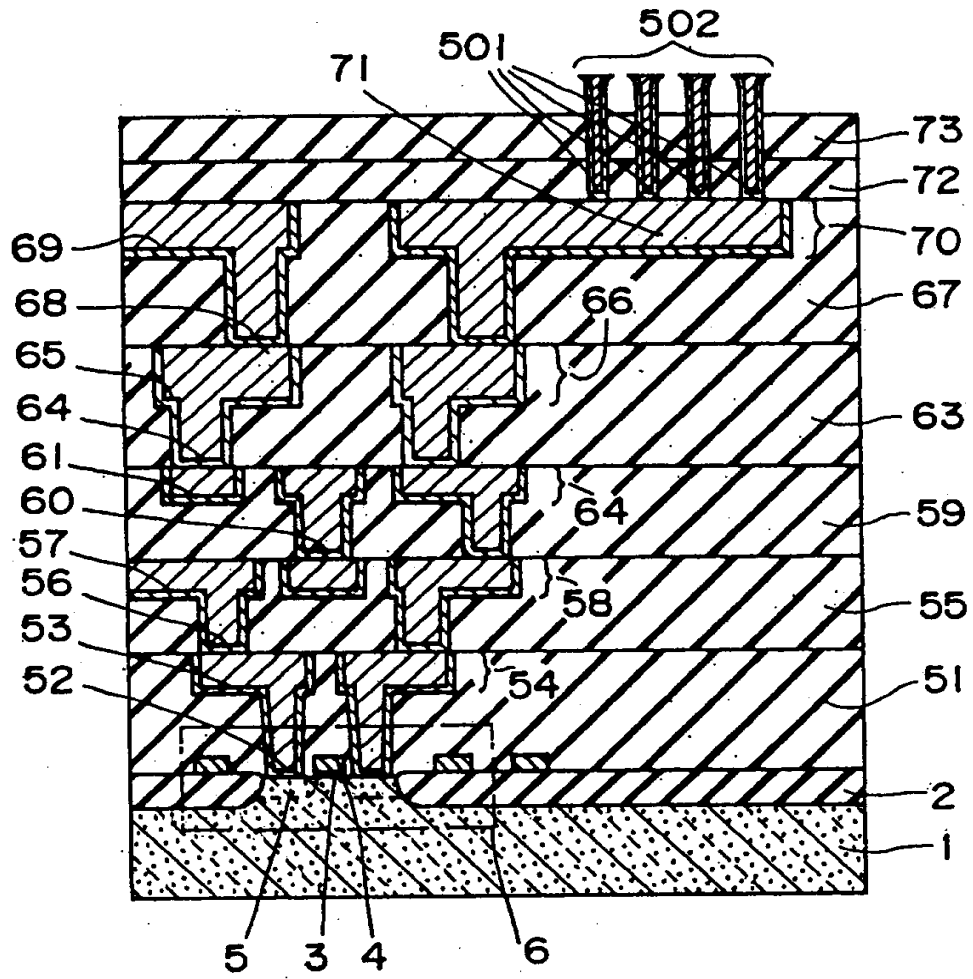


图 29

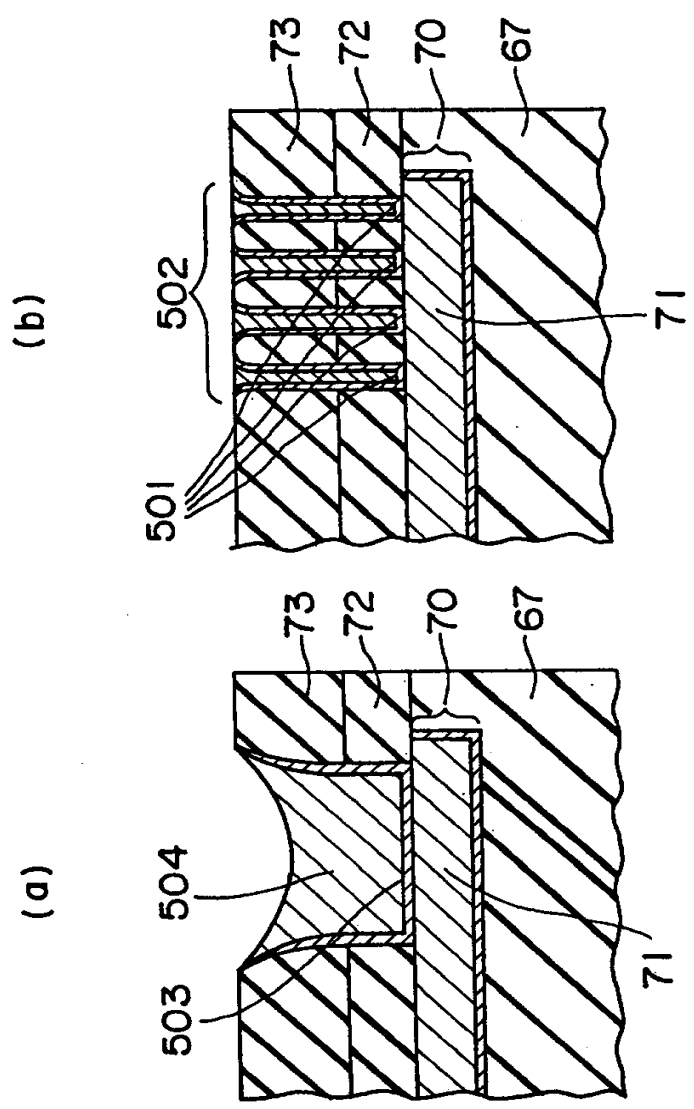


图 30

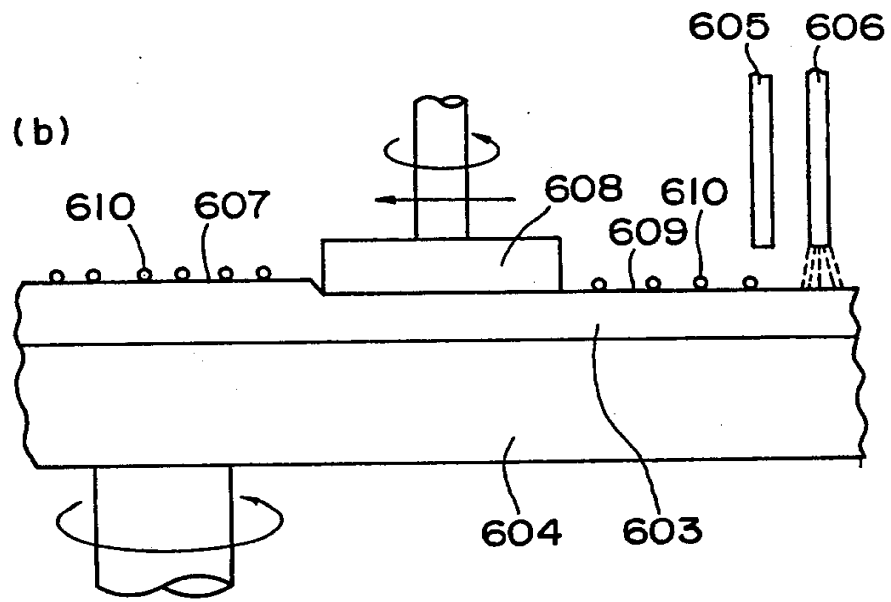
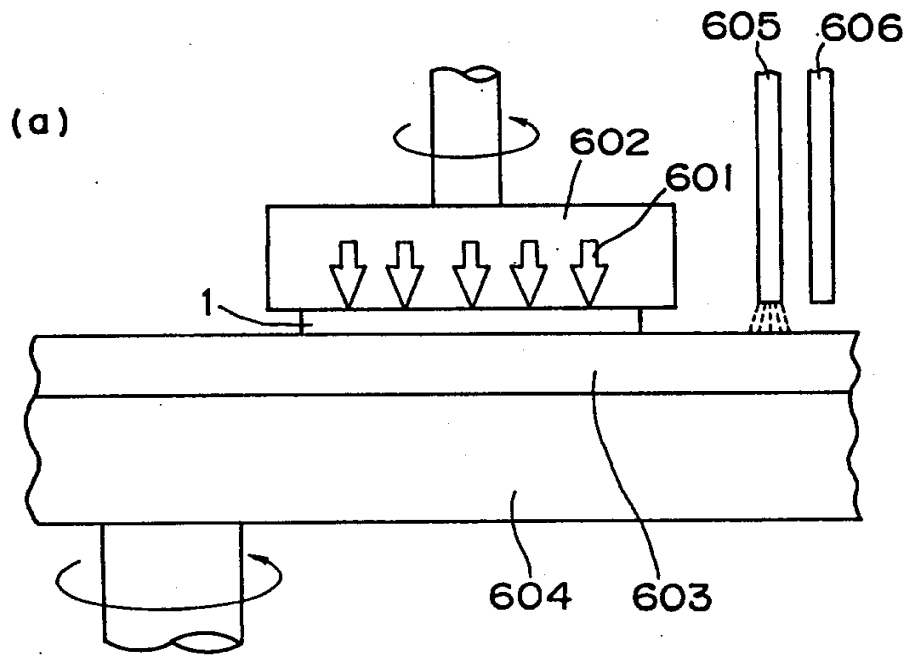


图 31

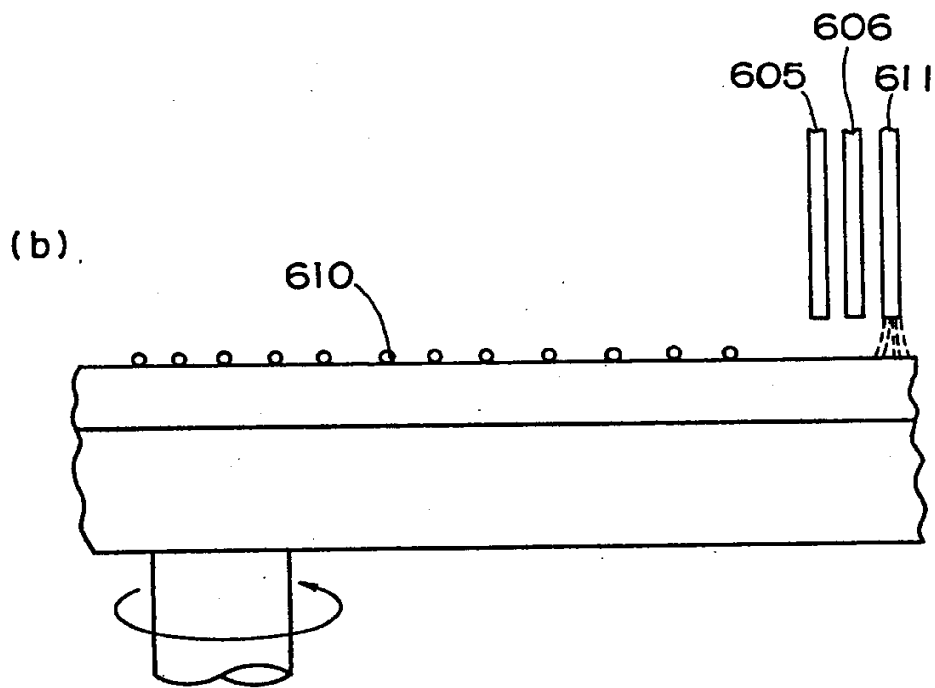
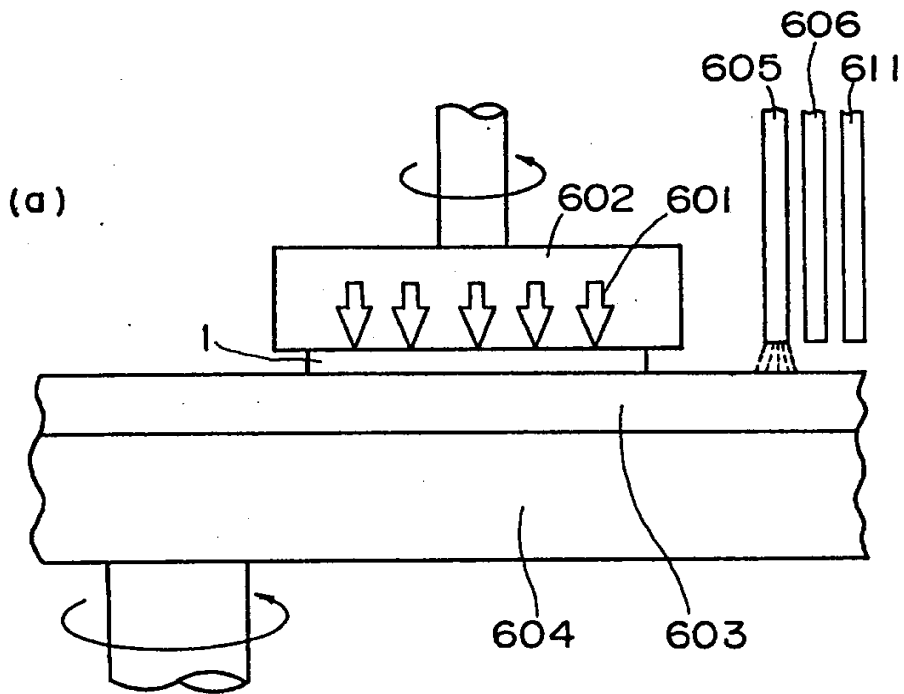


图 32

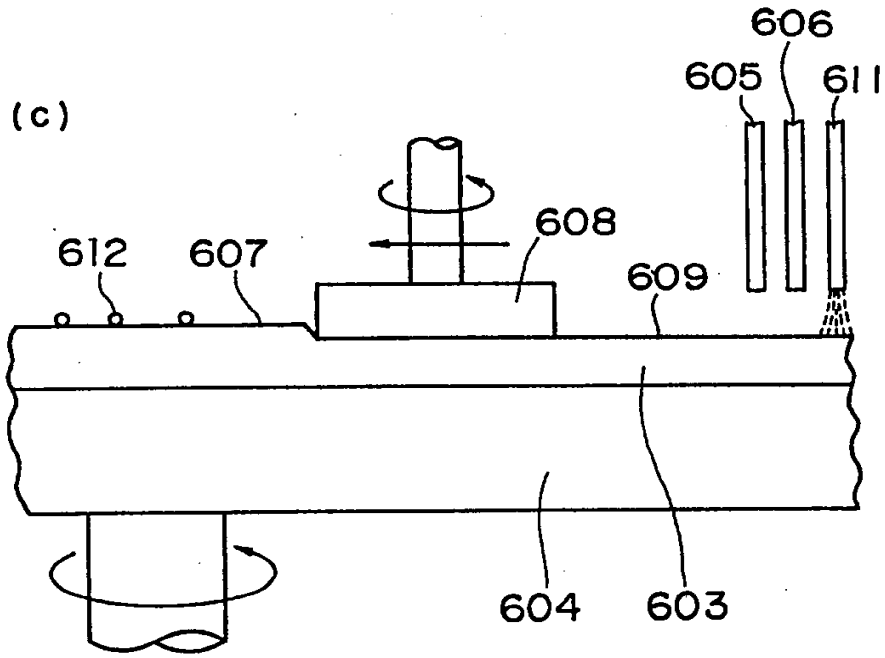


图 33

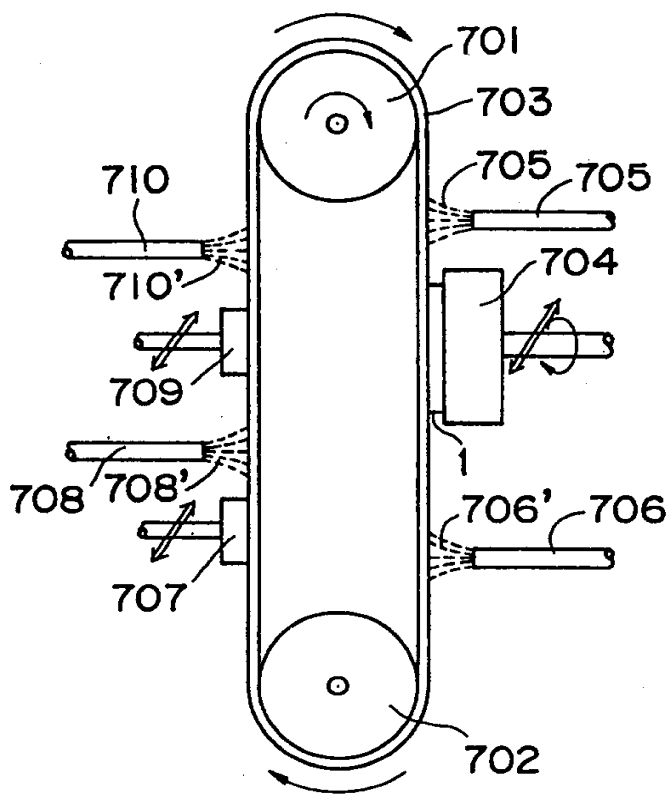


图 34

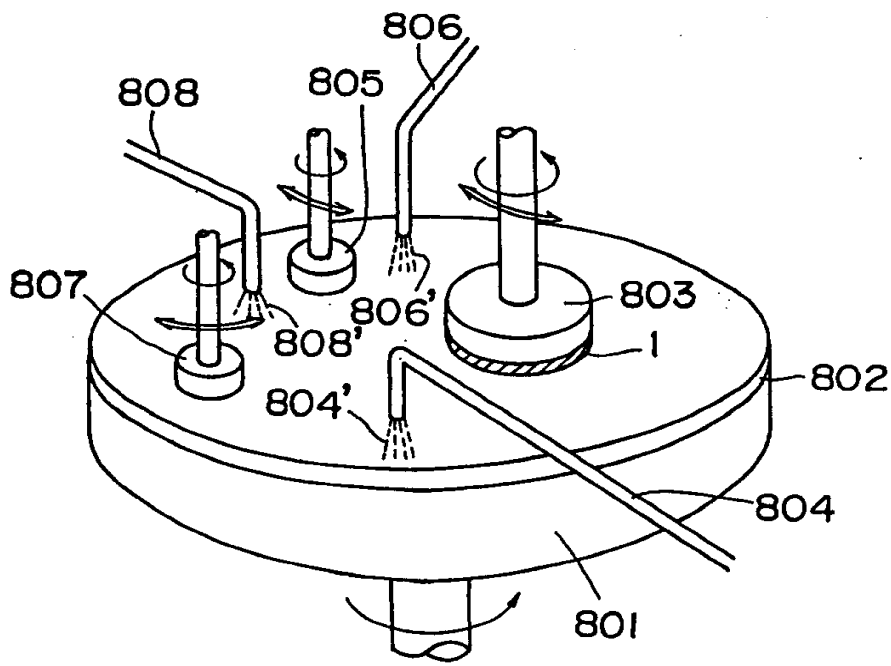


图 35

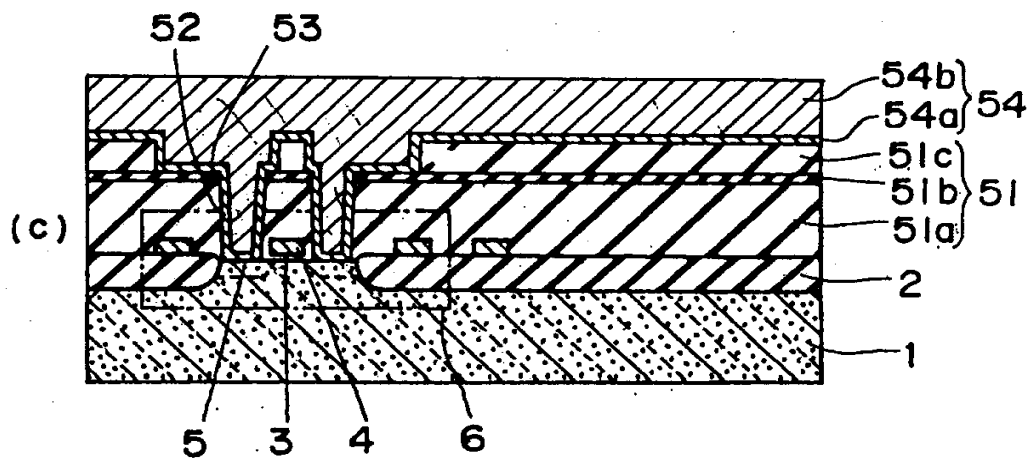
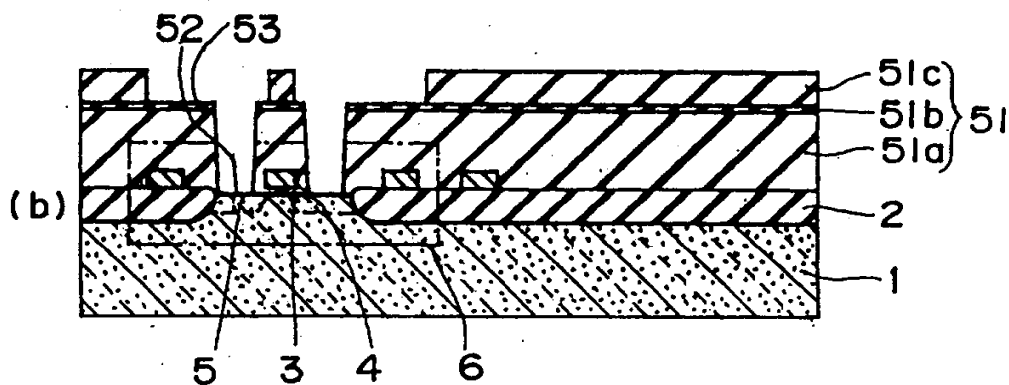
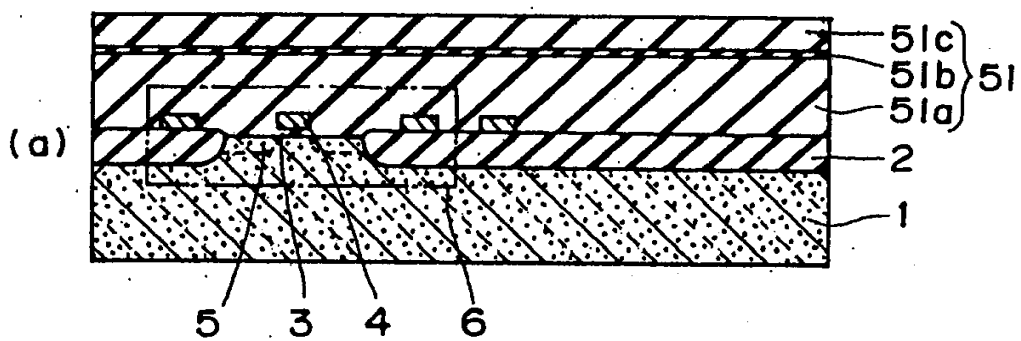


图 36

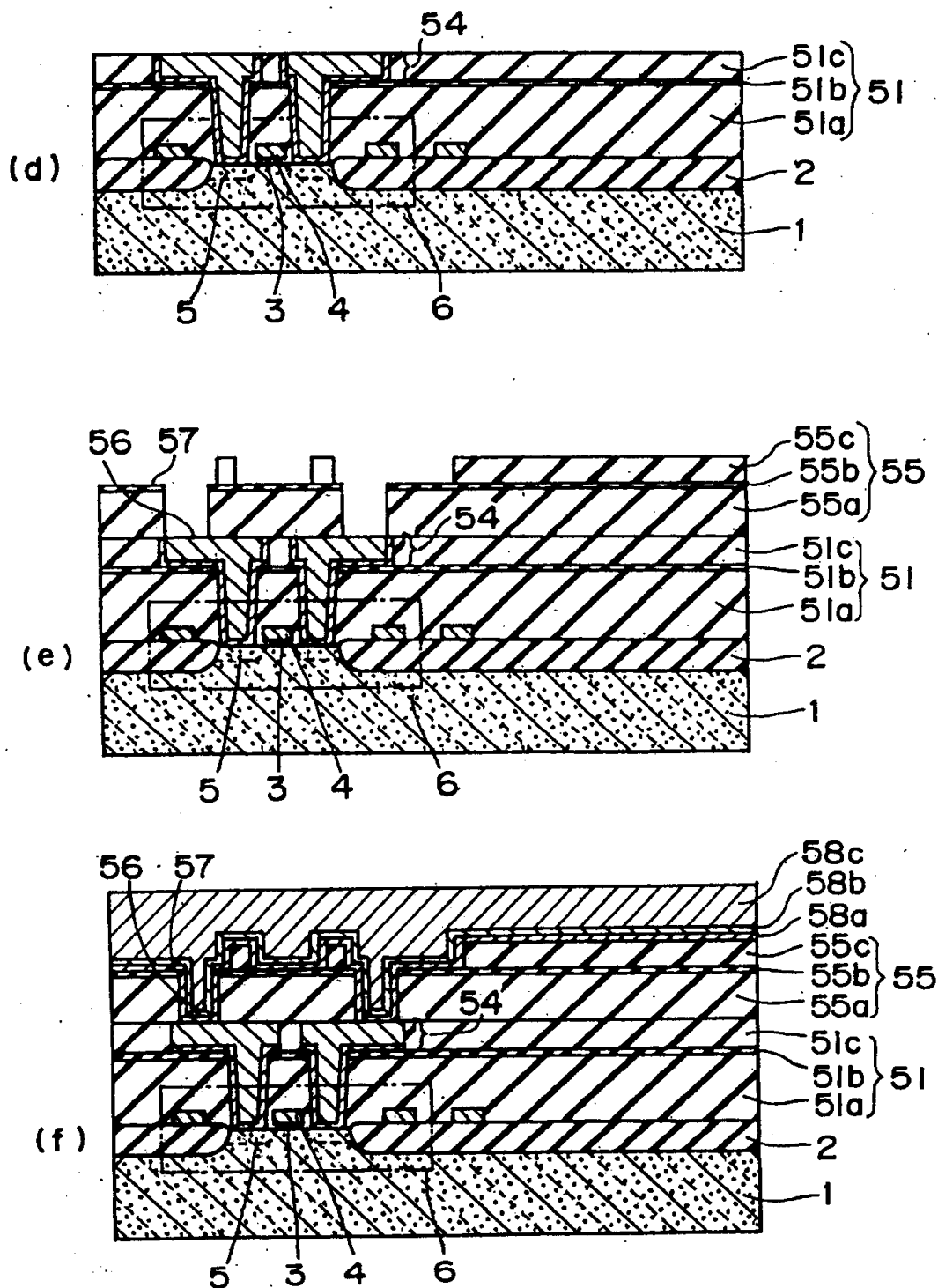


图 37

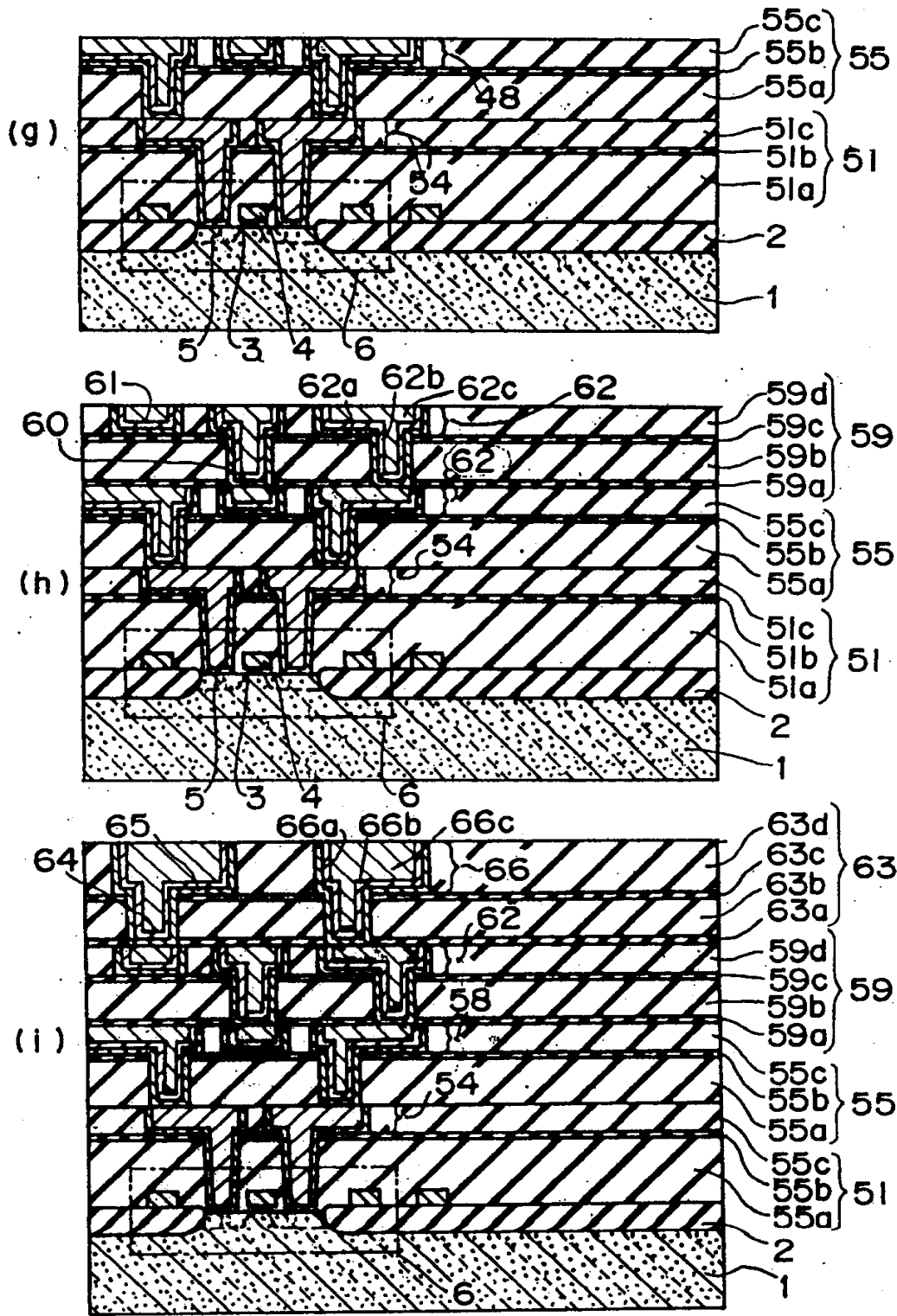


图 38

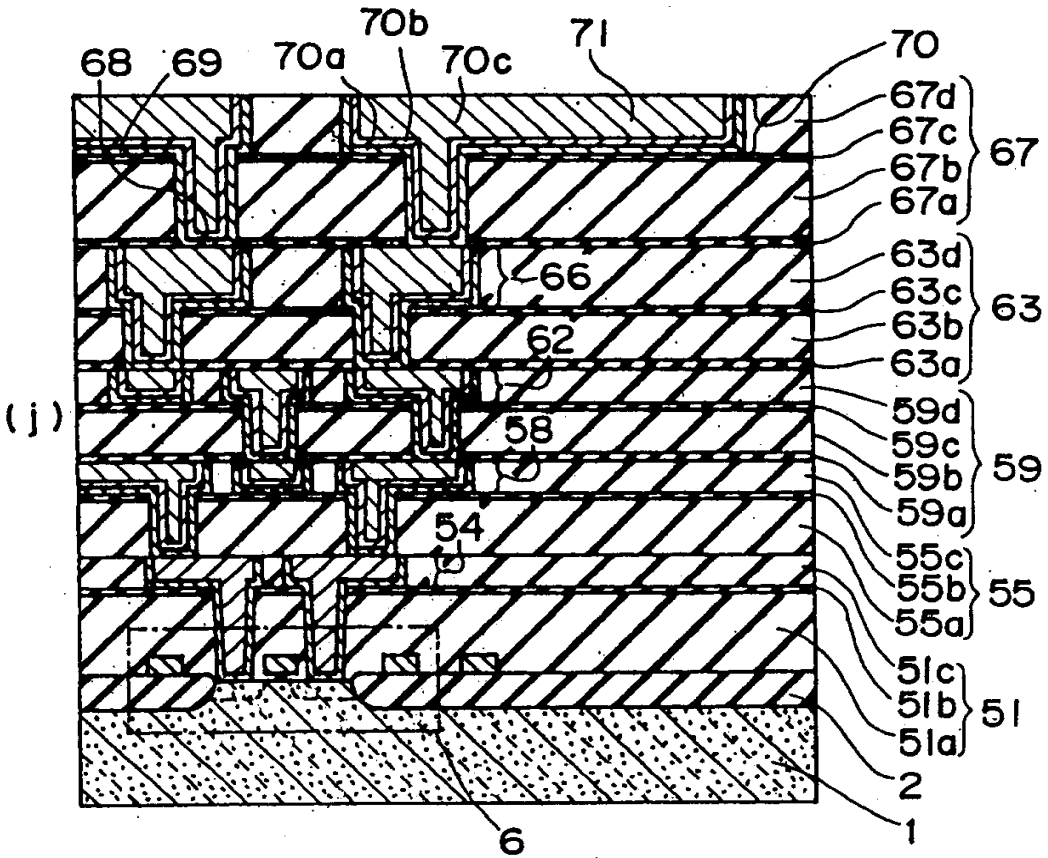


图 39

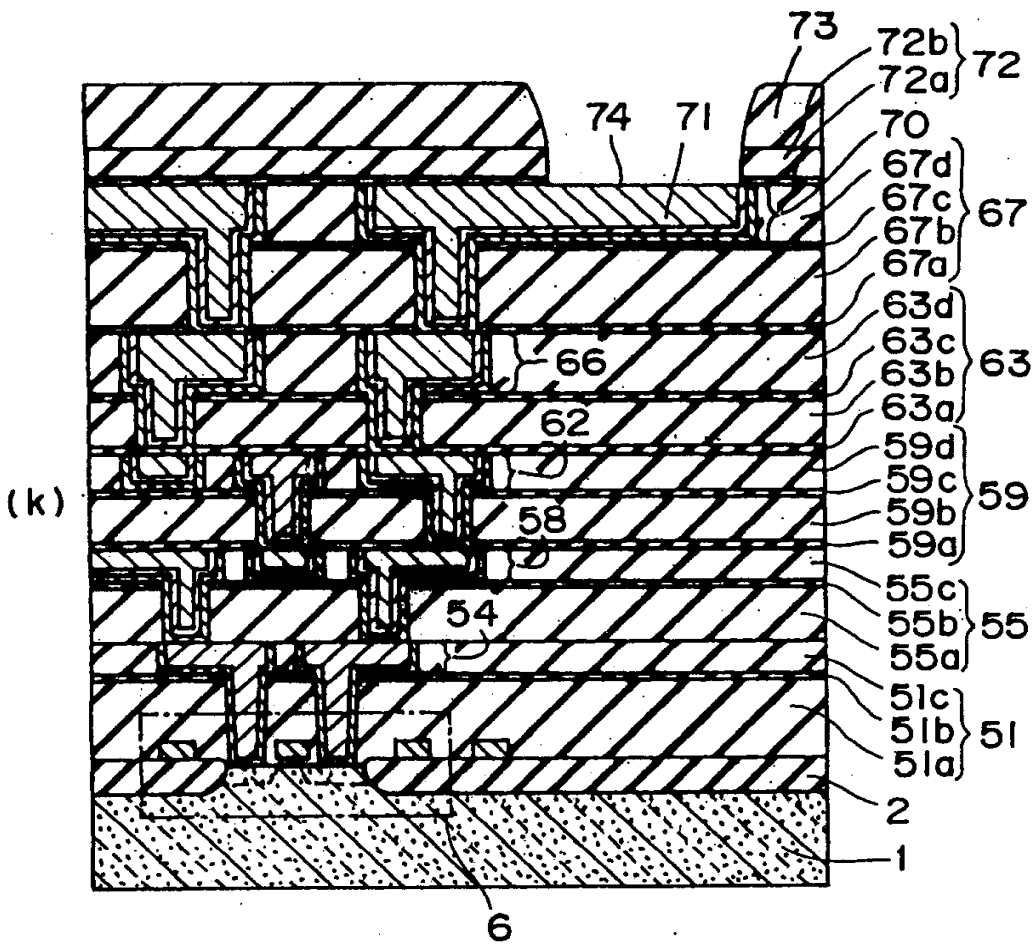


图 40

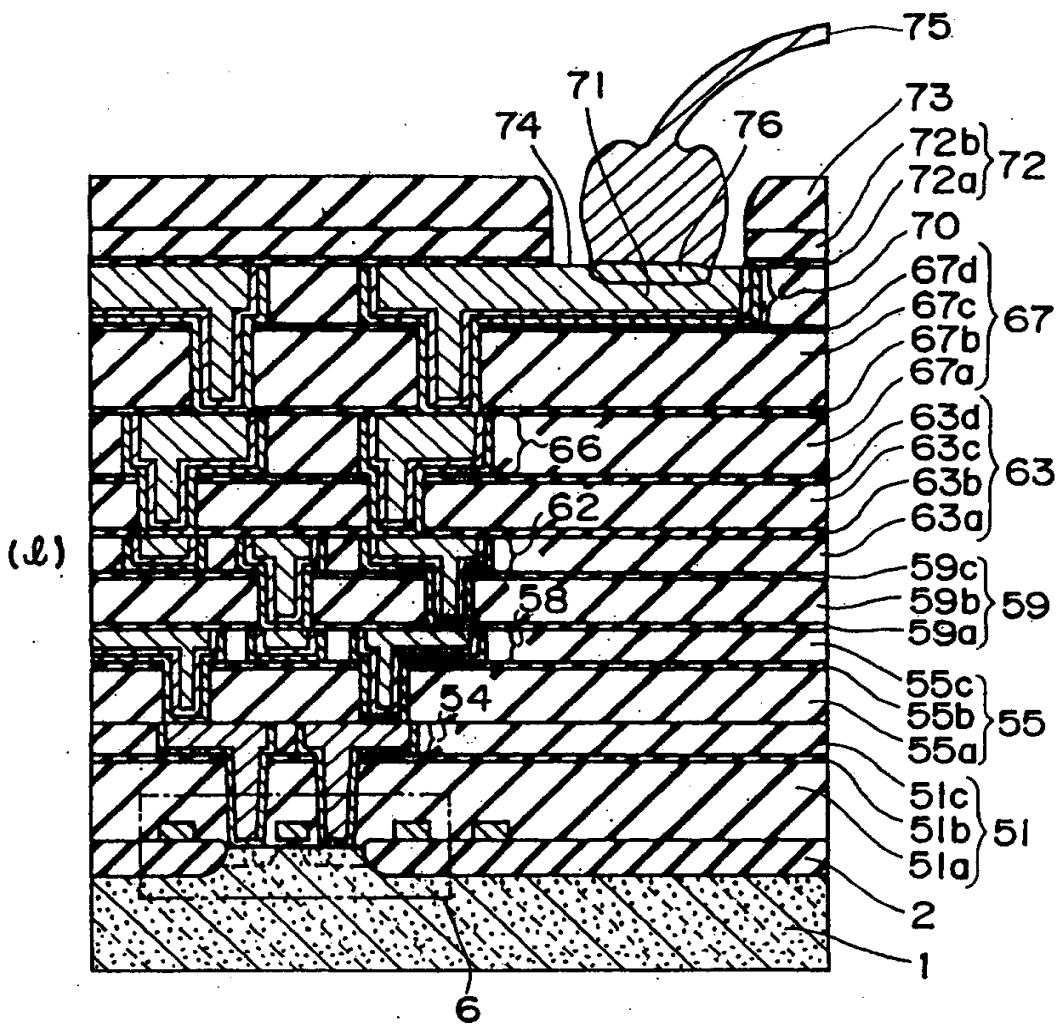


图 41

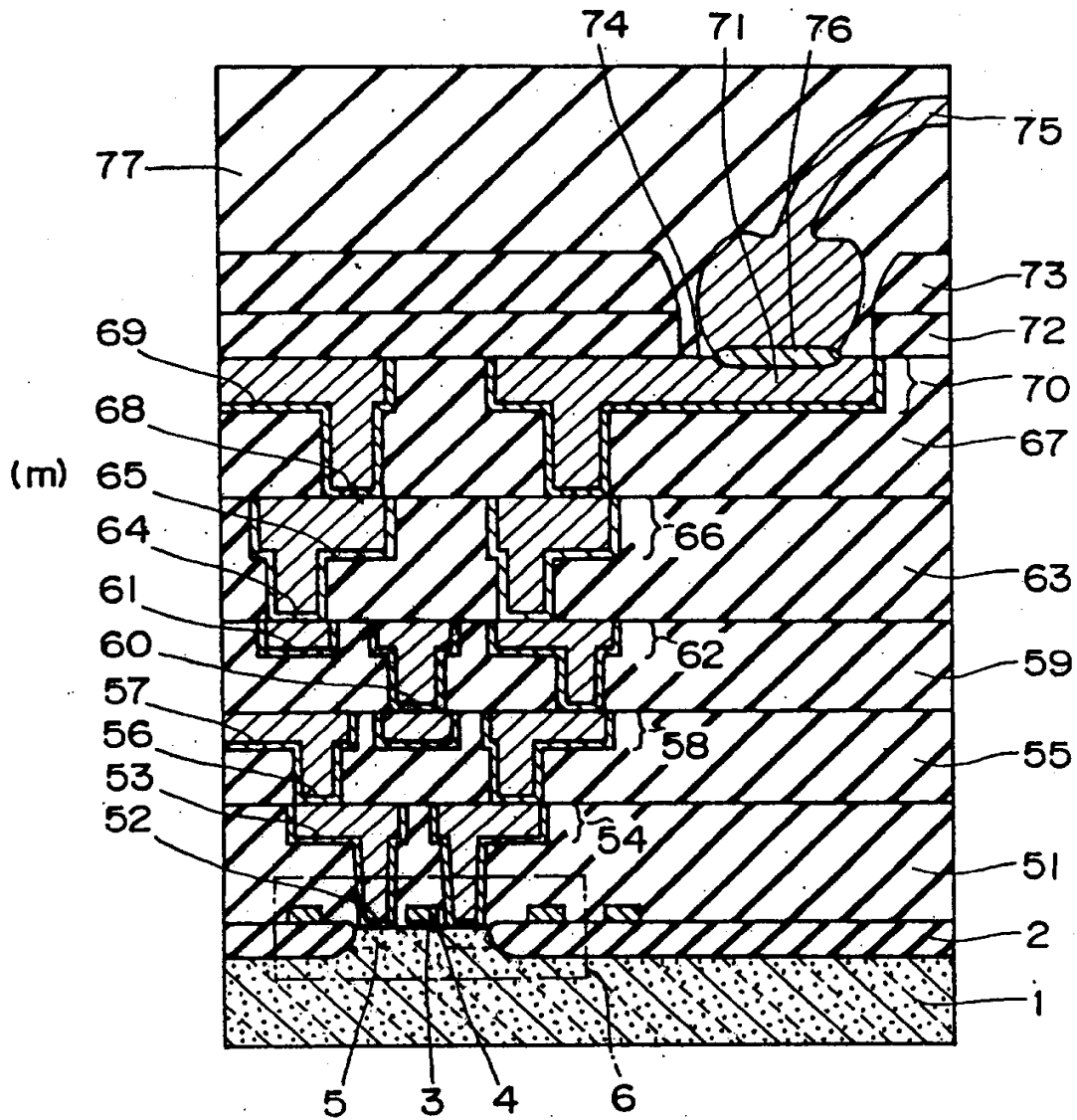


图 42

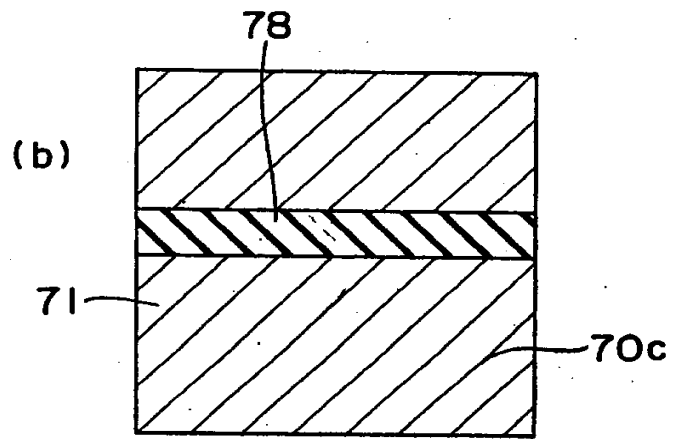
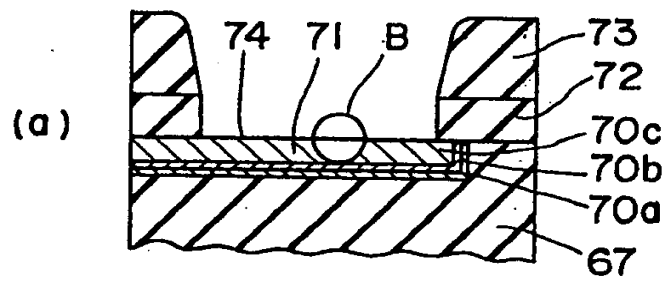


图 43

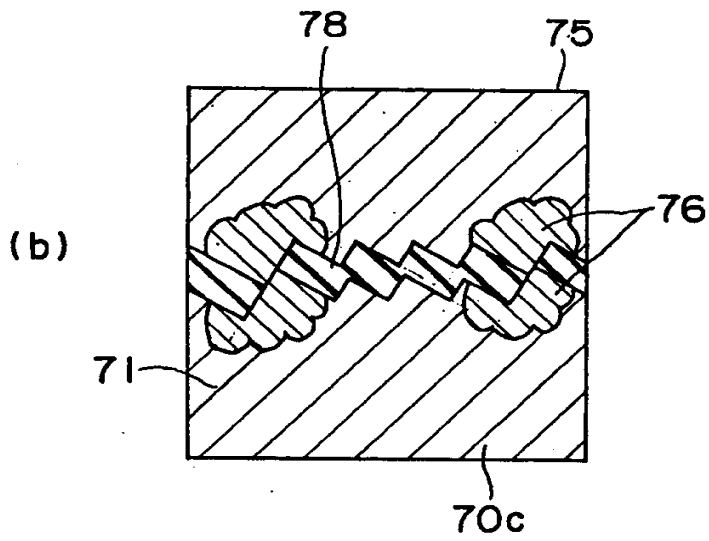
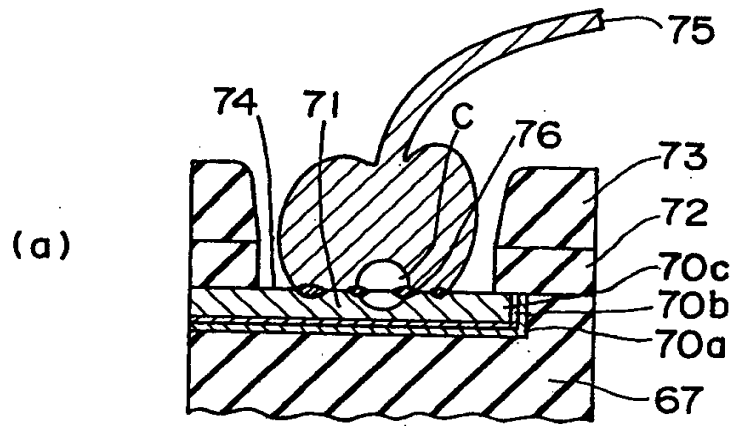


图 44