

申請日期	91.7.26
案 號	91116779
類 別	Hell 71/8274

A4
C4

552680

(以上各欄由本局填註)

發明專利說明書		
一、發明 名稱	中 文	具有經降低之閘極至汲極電容之溝槽式金屬絕緣半導體 (MIS) 元件
	英 文	TRENCH MIS DEVICE WITH REDUCED GATE-TO-DRAIN CAPACITANCE
二、發明 人	姓 名	(1)摩哈梅德 N. 達威許 DARWISH, Mohamed N. (2)弗瑞德瑞克 P. 吉爾斯 GILES, Frederick P. (3)劉康宏 LUI, Kam hong (4)陳國英 CHEN, Kuo-In (5)凱爾·特瑞爾 TERRILL, Kyle
	國 籍	美 國 U.S.A.
住、居所	住、居所	(1)美國加州坎培爾·瑞蓋斯道675號 675 Regas Drive, Campbell, CA, U.S.A. (2)美國加州聖約瑟·普萊斯頓道1561號 1561 Princeton Drive, San Jose, CA, U.S.A. (3)美國加州聖塔克萊拉·日內瓦道3433號 3433 Geneva Drive, Santa Clara, CA, U.S.A. (4)美國加州洛斯拉托斯·鈕凱斯托道1673號 1673 Newcastle Drive, Los Altos, CA, U.S.A. (5)美國加州聖塔克萊拉·倫敦戴瑞道3385號 3385 Londonderry Drive, Santa Clara, CA, U.S.A.
	三、申請人	姓 名 (名稱)
代 表 人 姓 名	國 籍	美 國 U.S.A.
	住、居所 (事務所)	美國加州聖塔克萊拉市桂林大道2201號 2201 Laurelwood Road, Santa Clara, CA, U.S.A.
代 表 人 姓 名	代 表 人 姓 名	大衛·亞特柯爾金 DAVID ACHTERKIRCHEN

裝

訂

線

A6
B6

美 國 (地 區) 申 請 專 利 , 申 請 日 期 : 2001,8,10 案 號 : 09/927,320 , ☒ 有 ☐ 無 主 張 優 先 權

有關微生物已寄存於：_____，寄存日期：_____，寄存號碼：_____

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

本發明係有關於溝槽式金屬絕緣半導體(MIS)元件，尤係有關適用於高頻操作的溝槽式MOSFET。

某些金屬絕緣半導體(MIS)元件會包含一閘極設在一溝槽中，該溝槽係由一半導體基材(例如矽)的表面向下延伸。在該等元件中流通的電流主要係呈垂向的，因此，其各胞元乃可更密集地被整合封裝。此將會增加該元件的電流帶送能力並減少導通電阻。含括於一般MIS之類的元件乃包括金屬氧化物半導體場效應電晶體(MOSFETs)，絕緣閘二極電晶體(IGBTs)，及MOS開流電晶體等。

舉例而言，溝槽式MOSFET係可被製成具有高跨導($g_{m, max}$)及低導通電阻率(R_{on})，此對理想的線性訊號放大和切換十分重要。但是，就高頻操作的最重要事項之一即減少該MOSFET的內部電容。該內部電容包括閘極至汲極的電容(C_{gd})，其亦稱為反饋電容(C_{rss})，及輸入電容(C_{iss})和輸出電容(C_{oss})。

第1圖為一習知n型溝槽MOSFET 10的截面圖。在該MOSFET 10中，有一n型磊晶層13(“N-epi”)，通常會生成於一 N^+ 基材(未示出)上而成為汲極。N-epi層13乃可為一輕微摻雜層，即為 N^- 層。一P型本體區12會分開該N-epi層13與 N^+ 源極區11。電流會垂向地流經一沿著溝槽19側壁之通道(如虛線所示)。該溝槽19的側壁和底部會被以一薄層的閘絕緣體15(如二氧化矽)來襯覆。溝槽19會被填滿一導電材料，例如摻雜的多晶矽，而形成閘極14。該溝槽19，包括其中的閘極14，會被覆設一絕緣層16，其係可為硼

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

磷矽酸鹽玻璃(BPSG)。源極區11與本體區12的電接觸係以一導體17來完成，其典型為一金屬或金屬合金。閘極14會觸接第1圖平面之外的第三維度。

該MOSFET 10之一重大缺點係有一甚大的重疊區18會形成於閘極14與N-epi層13之間，此會使該薄閘絕緣層15的一部份承受汲極操作電壓。故該大重疊構造將會限制MOSFET 10之汲極電壓額定值，產生該閘絕緣層15之長期可靠性的問題，並會大為增加該MOSFET 10的閘極至汲極電容 C_{gd} 。在一溝槽結構中，其 C_{gd} 值會大於習知的側邊元件，故會限制該MOSFET 10的切換速度，而使其在高頻用途中受限。

一種用來解決缺點的可能方法乃被揭於No. 09/591179號美國專利申請案中，而被示於第2圖中。第2圖為一溝槽式MOSFET 20的截面圖，其具有一不摻雜的多晶矽套塞22靠近該溝槽19的底部。MOSFET 20係類似於第1圖的MOSFET 10，惟除該多晶矽套塞22，其係藉氧化物層21來隔絕溝槽19底部，並以氧化物層23來隔絕閘極14。該等氧化物層21，23中夾多晶矽套塞22的構造，將會增加閘極14與N-epi層13之間的距離，而得減降其 C_{gd} 。

但是，在有些情況下，於該溝槽19的底部設具一比不摻雜的多晶矽更為絕緣的材料來將 C_{gd} 減至最小以供高頻用途也許較佳。因此，一種溝槽式MOSFET其具有減降的閘極至汲極電容 C_{gd} 及較佳的高頻性能者乃亟為需要。

依據本發明，一金屬絕緣半導體(MIS)元件乃包含一半

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

導體基材而含有一溝槽由該基材表面伸入該基材中。一第一種導電性的源極區會鄰接於該溝槽之一側壁及該基材的表面。一第二種導電性的本體區係相反於第一種導電性而鄰接於該源極區和該側壁。一第一種導電性的汲極區會鄰接於該本體區及該側壁。該溝槽會沿著靠接該本體區的側壁部份被襯覆一第一絕緣層。該溝槽亦會沿其底部襯覆一第二絕緣層。該第二絕緣層係接合於第一絕緣層，且比第一絕緣層更厚。沿該溝槽底部之基材的應力不會可觀地改變。

在一該等MIS元件的製造方法之一實施例中，有一溝槽包含一側壁及一底部會被形成於一基材中。一厚絕緣層會被沈積在該溝槽的底面上。一薄絕緣層會被設在該側壁上，並連接於該厚絕緣層。有一閘極會被設在該厚絕緣層的部份上，並鄰接於該溝槽中的薄絕緣層。

該厚絕緣層會分開該溝槽閘極與在溝槽底部的汲極導電區，而產生減降的閘極至汲極電容。此將會使本發明的MIS元件，例如溝槽式MOSFETs能適合於高頻用途。

圖式之簡單說明

本發明乃可參閱以下說明及圖式而更為瞭解。在該等圖式中，相同或類似的構件將會以相同的標號來示出。

第1圖為一習知溝槽式MOSFET的截面圖。

第2圖為一溝槽式MOSFET的截面圖，其在溝槽底部具有一多晶矽套塞。

第3圖為本發明之一溝槽式MOSFET實施例的截面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

第4A～4K圖為示出本發明之溝槽式MOSFET的製造方法之一實施例的截面圖。

第5圖為本發明之一溝槽式MOSFET變化實施例的截面圖。

第3圖為依據本發明之一溝槽式MOSFET 30實施例的截面圖。該MOSFET 30與第1圖中的MOSFET 10具有一些相同之處。該MOSFET 30在溝槽19外部的各元素係可與第1圖所示之MOSFET 10相同。惟，在該MOSFET 30中，僅有該溝槽19的側壁會被襯覆以薄的閘絕緣體15(例如二氧化矽)。不同於第1圖的MOSFET 10，有一厚的絕緣層31(例如二氧化矽)會襯覆於第3圖之MOSFET 30的溝槽19之底部。厚絕緣層31會分開該閘極14與N-epi層13(其可為一N-層)。此將能避免如第1圖中僅有薄閘絕緣層15來分隔閘極14與N-epi層13(汲極)時所發生的問題。厚絕緣層31亦可提供比第2圖之多晶矽套塞22所能達到者更為有效的絕緣。故，厚絕緣層31將能儘量減少閘極至汲極的電容 C_{gd} ，而形成可供高頻使用的溝槽式MOSFET 30。

第4A～4K圖係依據本發明之一溝槽式MOSFET，例如第3圖之MOSFET 30的製法實施例之各剖視圖。如第4A圖所示，該製法係以一輕微摻雜的N-epi層413(典型約 $8\mu\text{m}$ 厚)生成於一重摻雜的 N^+ 基材(未示出)上開始。一溝槽罩層450乃可為光阻或氧化物，會被沈積在N-epi層413並被圖案化而在要設置溝槽419之處形成一開孔452。該溝槽419典型會使用乾電漿蝕刻，例如反應離子蝕刻(RIE)，而經由該開孔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

452來蝕刻製成。溝槽419可約為 $0.5\sim 1.2\mu\text{m}$ 寬及約 $1\sim 2\mu\text{m}$ 深。

該罩層450嗣會被除去，而有一厚絕緣層431(例約 $0.1\sim 0.3\mu\text{m}$)會被沈積在N-epi層413上，如第4B圖所示。該沈積方法會依據習知的沈積技術來選擇，例如化學蒸汽沈積法(CVD)，而在溝槽419的側壁與底部以及N-epi層413的頂面上產生一致的絕緣層431沈積。該厚絕緣層431係可例如為一低溫氧化物(LTC)，一磷矽酸鹽玻璃(PSG)，一BPSG，或其它的絕緣材料。在某些實施例中，一薄絕緣層(例如 $100\sim 200\text{\AA}$ 的二氧化矽)將可在沈積厚絕緣層431之前，例如使用一習知的乾氧化法在 950°C 處理10分鐘而來熱生成。

如第4C圖所示，嗣有一障壁層454會被以CVD法來沈積。此沈積係可為不均勻的，但要填滿該溝槽419並溢流蓋過該厚絕緣層431的頂面。障壁層454乃可例如為氮化矽(Si_3N_4)，而可為 $2\sim 4\mu\text{m}$ 厚。該障壁層454會被蝕回，典型係先進行一乾蝕刻，再使用對厚絕緣層431上之障壁層454具有高選擇性的蝕刻劑來進行溼蝕刻。該障壁層454會被蝕回至溝槽419中，直到僅存 $0.1\sim 0.2\mu\text{m}$ 留在溝槽419中，如第4D圖所示。

該厚絕緣層431嗣會被蝕去，其典型係以一濕蝕刻技術，並使用一對障壁層454上方及N-epi層413上方之絕緣層431具有高選擇性的蝕刻劑來進行。該絕緣層431會由N-epi層413的頂部及溝槽419的側壁來被蝕去，直到該絕緣層431僅存留在溝槽431的底部為止。殘餘的障壁層454亦會被除

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

去，而留下如第4E圖所示之結構。

如第4F圖所示，有一薄的閘絕緣體415(例如約100～1000 Å厚)將會被形成於N-epi層413的頂面及溝槽419的側壁上。該閘絕緣體415乃可例如為一二氧化矽層，其係使用一乾氧化技術在1050°C處理20分鐘而來熱生成。在某些實施例中，一犧牲性閘氧化物(未示出)係可在生成該薄閘絕緣體415之前先被熱生成，再以一濕蝕刻來除去，以清潔溝槽419的側壁。該等犧牲性閘氧化物的濕蝕刻會很短暫，俾儘量減少厚絕緣層431的蝕刻。

如第4G圖所示，一導電材料456會被以CVD法來沈積，例如以低壓CVD(LPCVD)法，俾填滿溝槽419並溢流蓋過該薄閘絕緣體415的最頂面。該導電材料456係可例如為一原位摻雜的多晶矽，或一未摻雜的多晶矽層其會被接續地植入及退火，或為一可擇的導電材料。該導電材料456將會被蝕刻，典型係使用反應離子蝕刻來進行，直到該材料456的頂面大致與N-epi層413的頂齊平，而來形成閘極414，如第4H圖所示。在一n型的MOSFET中，該閘極414乃可例如為一具有 10^{20}cm^{-3} 之摻雜濃度的多晶矽層。在一些實施例中，導電層456亦可被蝕刻超過溝槽419的頂部，而使閘極414凹陷來儘量減少閘極至源極的重疊電容。

使用習知的植入及擴散方法，P型本體區412及N⁺源極區411會被形成於N-epi層413中，如第4I圖所示。該P型本體區412與N-epi層413的其餘部份之間的接面會位於一深度，而在厚絕緣層431與薄閘絕緣體415的介面上方。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

如第4J圖所示，有一絕緣層416乃可為BPSG，會被以CVD法沈積在N-epi層413及閘極414的頂面上。該絕緣層416會被蝕刻，典型係使用乾蝕刻法，來曝露部份的P型本體區412和 N^+ 源極區411，如第4K圖所示。該本體區412與源極區411的電接觸係以一導體417來達成，其典型為一金屬或合金(而例如以物理蒸汽沈積、電鍍、濺射、或蒸發法來形成)。

對閘極414的電接觸係在第4K圖之平面外的第三維度檢達成。對汲極(未示出)的電接觸係在其上生成N-epi層413之 N^+ 基材(未示出)的相反面來達成。

此方法將可使溝槽419底部的厚絕緣層431一起運作，而以最小的不良作用或製造問題來儘量減少 C_{gd} ，該等問題係在熱生成厚絕緣層431時可能產生者。例如，在溝槽419之凹下底部生成一厚的氧化物所產生的應力作用，將可藉沈積該氧化物而非熱生成故得免除。在厚絕緣層431與薄閘絕緣體415接面處的絕緣層之薄化，係可能在該厚絕緣層431的熱生成時因形成一“鳥嘴”而產生，其亦可藉沈積厚絕緣層431來避免。此外，溝槽419之蝕刻側壁的廓形變化，亦可藉沈積厚絕緣層431來避免。生成該厚絕緣層431可能會造成該等變化，而在溝槽419底部產生“凸泡”效應，其並不能被後續生成於溝槽419側壁上的薄閘絕緣體415所彌補。

第5圖為本發明之溝槽式MOSFET另一實施例的截面圖。MOSFET 50與第3圖的MOSFET 30具有許多相同處。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

特別是，只有該溝槽19的側壁係被襯覆著薄閘絕緣體15，而厚絕緣層31會襯覆於溝槽19的底部。在第3圖的MOSFET 30中，由於在溝槽19底部之沈積層中的散佈電阻增加，故該厚絕緣層31可能會增加該MOSFET 30的導通電阻 (R_{on})。但，第5圖中的MOSFET 50在溝槽19的底下乃含有一高摻雜區53，來更有效地協助散佈電流。該高摻雜區53係被設在N-epi層13中，其則覆設在一 N^+ 基材55上。該高摻雜區53係可在第4A圖中所示之溝槽蝕刻之後而在罩層450被除去之前，藉植入一n型雜質，例如砷或磷而來形成。故，該厚絕緣層31將可減少閘極至汲極的電容 C_{gd} ，且該高摻雜層53可減少導通電阻 R_{on} ，而產生一甚適合於高頻用途的溝槽MOSFET 50。

以上實施例係僅供舉例說明，而非用以限制本發明的廣義原理。許多其它的實施例將可為專業人士所易得知。例如，本發明的構造與方法將能使用於任何種類的MIS元件，其係需要在一溝槽閘極與一溝槽外的，區域之間來形成一絕緣層者。又，各種不同的絕緣或導電材料皆可被使用於任何適當之處，且本發明亦可使用於P型MOSFETs。本發明係僅由下列申請專利範圍來限定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

元件標號對照

10, 20... 習知 MOSFET	55... N ⁺ 基 材
11... N ⁺ 源 極 區	411... N ⁺ 源 極 區
12... P 型 本 體 區	412... P 型 本 體 區
13... N 型 磊 晶 層 (N-epi)	413... N-epi 層
14... 閘 極	414... 閘 極
15... 閘 絕 緣 體	415... 閘 絕 緣 體
16... 絕 緣 層	416... 絕 緣 層
17... 導 體	417... 導 體
18... 重 疊 區	419... 溝 槽
19... 溝 槽	431... 厚 絕 緣 層
21, 23... 氧 化 物 層	450... 溝 槽 罩 層
22... 套 塞	452... 開 孔
30, 50... 本 發 明 之 MOSFET	454... 障 壁 層
31... 厚 絕 緣 層	456... 導 電 材 料
53... 高 摻 雜 區	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱： 具有經降低之閘極至汲極電容之溝槽式金屬絕緣半導體(MIS)元件）

溝槽式MIS元件在該溝槽底部含有一厚絕緣層，以及製造該元件的方法乃被揭露。一溝槽式MOSFET的實施例係在溝槽底部含有一厚氧化層，而沿該溝槽底部的基材中之應力不會有可觀的改變。該厚絕緣層會將溝槽閘極與在溝槽底下之汲極區分開，而產生減降的閘極至汲極電容，使該MOSFETs適合於高頻用途。於一製法的實施例中，該厚絕緣層係被沈積在溝槽底部上。一薄絕緣閘極介電層會被設在曝現的側壁上並接合於該厚絕緣層。一閘極會被設在該溝槽的剩餘體積中。該製法係以本體和源極的植入、鈍化及金屬化而來完成。

英文發明摘要（發明之名稱： TRENCH MIS DEVICE WITH REDUCED GATE-TO-DRAIN CAPACITANCE）

Trench MIS devices including a thick insulative layer at the bottom of the trench are disclosed, along with methods of fabricating such devices. An exemplary trench MOSFET embodiment includes a thick oxide layer at the bottom of the trench, with no appreciable change in stress in the substrate along the trench bottom. The thick insulative layer separates the trench gate from the drain region at the bottom of the trench yielding a reduced gate-to-drain capacitance making such MOSFETs suitable for high frequency applications. In an exemplary fabrication process embodiment, the thick insulative layer is deposited on the bottom of the trench. A thin insulative gate dielectric is formed on the exposed sidewall and is coupled to the thick insulative layer. A gate is formed in the remaining trench volume. The process is completed with body and source implants, passivation, and metallization.

六、申請專利範圍

1. 一種金屬絕緣半導體(MIS)元件，包含：

一半導體基材含有一溝槽由該基材表面延伸至該基材內；

一第一種導電性的源極區鄰接於該溝槽的側壁及該基材表面；

一與第一種導電性相反之第二種導電性的本體區鄰接於該源極和該側壁；及

一第一種導電性的汲極區鄰接於該本體區和該側壁；

其中沿該溝槽底部之基材的應力不會可觀地改變，且該溝槽沿該側壁鄰本體區的部份會被襯覆一第一絕緣層，而該溝槽沿其底部會被襯覆一第二絕緣層，該第二絕緣層係接合於第一絕緣層，且比第一絕緣層更厚。

2. 如申請專利範圍第1項之MIS元件，更包含一閘極區連接於該溝槽內的第一絕緣層和第二絕緣層。

3. 如申請專利範圍第2項之MIS元件，其中該閘極區包含多晶矽。

4. 如申請專利範圍第1項之MIS元件，更包含一第一種導電性的高導電區設在鄰接於至少該溝槽底部的汲極區中。

5. 如申請專利範圍第1項之MIS元件，其中該第一絕緣層包含氧化物。

6. 如申請專利範圍第1項之MIS裝置，其中該第二絕緣層包含氧化物。

裝

訂

線

六、申請專利範圍

7. 如申請專利範圍第1項之MIS裝置，其中該第二絕緣層包含一多層式絕緣層。
8. 如申請專利範圍第1項之MIS裝置，其中該MIS元件包含MOSFET。
9. 一種溝閘式MOSFET，包含：
 - 一半導體基材含有一溝槽由該基材表面延伸至該基材內；
 - 一第一種導電性的源極區鄰接於該溝槽的側壁及該基材表面；
 - 一與第一種導電性相反之第二種導電性的本體區鄰接於該源極和該側壁；及
 - 一第一種導電性的汲極區鄰接於該本體區和該側壁；其中沿該溝槽底部之基材的應力不會可觀地改變，且該溝槽沿該側壁鄰本體區的部份會被襯覆一第一絕緣層，而該溝槽沿其底部會被襯覆一第二絕緣層，該第二絕緣層係接合於第一絕緣層，且比第一絕緣層更厚；及
 - 一閘極區連接於該溝槽內的第一絕緣層和第二絕緣層。
10. 如申請專利範圍第9項之溝閘式MOSFET，其中該閘極區包含多晶矽。
11. 如申請專利範圍第9項之溝閘式MOSFET，更包含一第一種導電性的高導電區設在鄰接於至少該溝槽底部的

裝

訂

線

六、申請專利範圍

汲極區中。

12. 如申請專利範圍第1項之溝閘式MOSFET，其中該第一絕緣層包含氧化物。
13. 如申請專利範圍第1項之溝閘式MOSFET，其中該第二絕緣層包含氧化物。
14. 如申請專利範圍第1項之溝閘式MOSFET，其中該第二絕緣層包含一多層式絕緣層。
15. 一種溝閘式MOSFET，包含：

一半導體基材含有一溝槽由該基材表面延伸至該基材內；

一第一種導電性的源極區鄰接於該溝槽的側壁及該基材表面；

一與第一種導電性相反之第二種導電性的本體區鄰接於該源極區和該側壁；

一第一種導電性的汲極區鄰接於該本體區和該側壁。

一第一絕緣層襯覆該溝槽沿該側壁緊接本體區的部份；

一第二絕緣層襯覆該溝槽沿其底面的部份，該第二絕緣層係比第一絕緣層更厚，並接合於該第一絕緣層；

其中在該第一與第二絕緣層接合處之一轉換絕緣層的厚度係不小於第一絕緣層的厚度；及

一閘極區連接於該溝槽內的第一絕緣層和第二絕緣層。

裝

訂

線

六、申請專利範圍

16. 如申請專利範圍第15項之溝閘式MOSFET，更包含一第一種導電性的高導電區設在鄰接於至少該溝槽底部的汲極區中。

17. 一種溝閘式MOSFET，包含：

一半導體基材含有一溝槽由該基材表面延伸至該基材內；

一第一種導電性的源極區鄰接於該溝槽的側壁及該基材表面；

一與第一種導電性相反之第二種導電性的本體區鄰接於該源極區和該側壁；

一第一種導電性的汲極區鄰接於該本體區和該側壁。

一第一絕緣層襯覆該溝槽沿該側壁緊接本體區的部份；

一第二絕緣層襯覆該溝槽沿其底面的部份，該第二絕緣層係比第一絕緣層更厚，並接合於該第一絕緣層；

其中該溝槽由該第二絕緣層的垂向中點所採之一第一直徑，並不大於該溝槽於鄰接於本體區處所採之一第二直徑；及

一閘極區連接於該溝槽內的第一絕緣層和第二絕緣層。

18. 如申請專利範圍第17項之溝閘式MOSFET，更包含一第一種導電性的高導電區設在鄰接於至少該溝槽底部的汲極區中。

裝
訂
線

六、申請專利範圍

19. 一種製造MIS元件的方法，包含：

提供一半導體基材；

在該基材中製成一溝槽，該溝槽含有一側壁及一底部；

沈積一厚絕緣層於該側壁及底部上；

在該溝槽中沈積一罩層；

蝕刻該罩層來曝現該側壁上之厚絕緣層的部份，而留下在該溝槽底部的罩層部份；

蝕刻該厚絕緣層來形成該側壁之一曝現部份，而留下在該溝槽底部的厚絕緣層部份；

在該側壁的曝現部份上製成一薄絕緣層；及

在該厚絕緣層部份的上方來製成一閘極，而鄰接於該溝槽中的薄絕緣層。

20. 如申請專利範圍第19項之方法，其中製成一薄絕緣層乃包括熱氧化該側壁。

21. 如申請專利範圍第20項之方法，更包含：

在製成一薄絕緣層之前於該側壁上生成一薄犧牲性氧化層；及

在製成一薄絕緣層之前除去該犧牲性氧化層。

22. 如申請專利範圍第19項之方法，其中製成一閘極包含：

在該溝槽內沈積摻雜的多晶矽；及

蝕刻該摻雜多晶矽至大約等於該基材表面的程度。

23. 如申請專利範圍第19項之方法，更包含在沈積一厚絕緣層之前，生成一薄絕緣層於該側壁與底部上。

六、申請專利範圍

24. 如申請專利範圍第19項之方法，更包含：

在該基材中製成一本體區鄰接該側壁；及

在該本體區中製成一源極區鄰接該側壁和基材頂面。

25. 如申請專利範圍第19項之方法，更包含在該基材中製成一高導電區鄰接於至少該溝槽的底部。

26. 一種製造MIS元件的方法，包含：

提供一半導體基材；

在該基材中製成一溝槽，該溝槽有一側壁及一底部；

沈積一厚絕緣層於該底部上；

於該側壁上製成一薄絕緣層，而連接於該厚絕緣層；及

在該溝槽中之厚絕緣層上方製成一閘極，而鄰接於該薄絕緣層。

27. 如申請專利範圍第26項之方法，其中沈積一厚絕緣層乃包括：

沈積該厚絕緣層於該側壁與底部上；

沈積一罩層於該溝槽內；

蝕刻該罩層來曝現該側壁上之厚絕緣層的部份，而留下在該溝槽底部的罩層部份；及

蝕刻該厚絕緣層來形成該側壁之一曝現部份，而留下在該溝槽底部的厚絕緣層部份。

28. 如申請專利範圍第26項之方法，更包含：

六、申請專利範圍

在該基材中製成一本體區鄰接該側壁；及

在該本體區中製成之源極區鄰接該側壁和基材頂面。

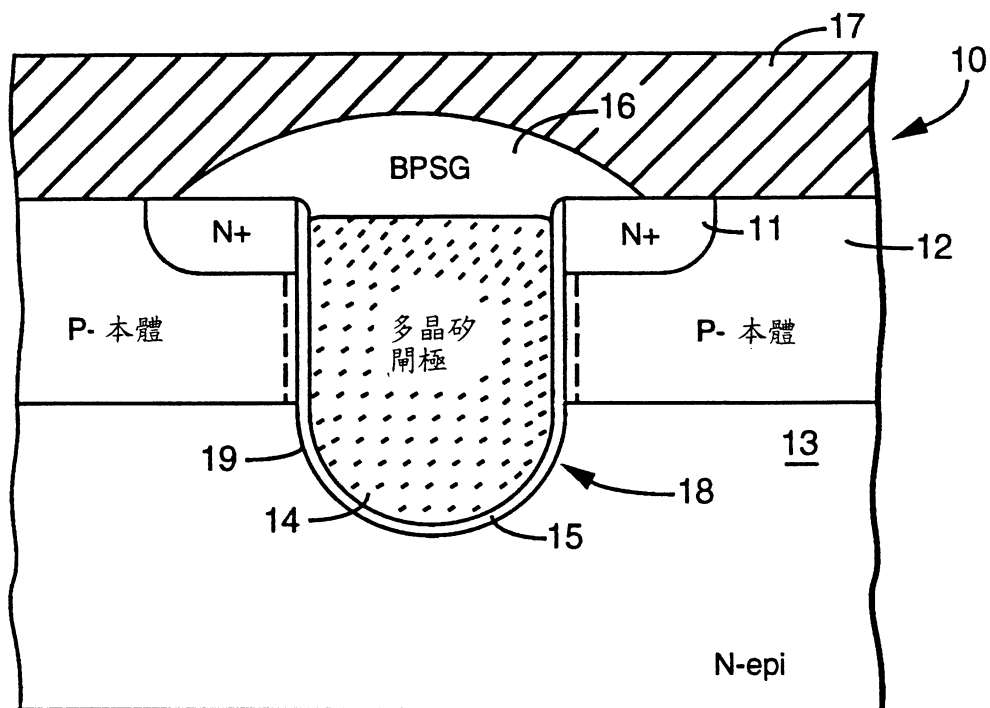
29. 如申請專利範圍第26項之方法，更包含在該基材中製成一高導電區鄰接於至少該溝槽的底部。

裝

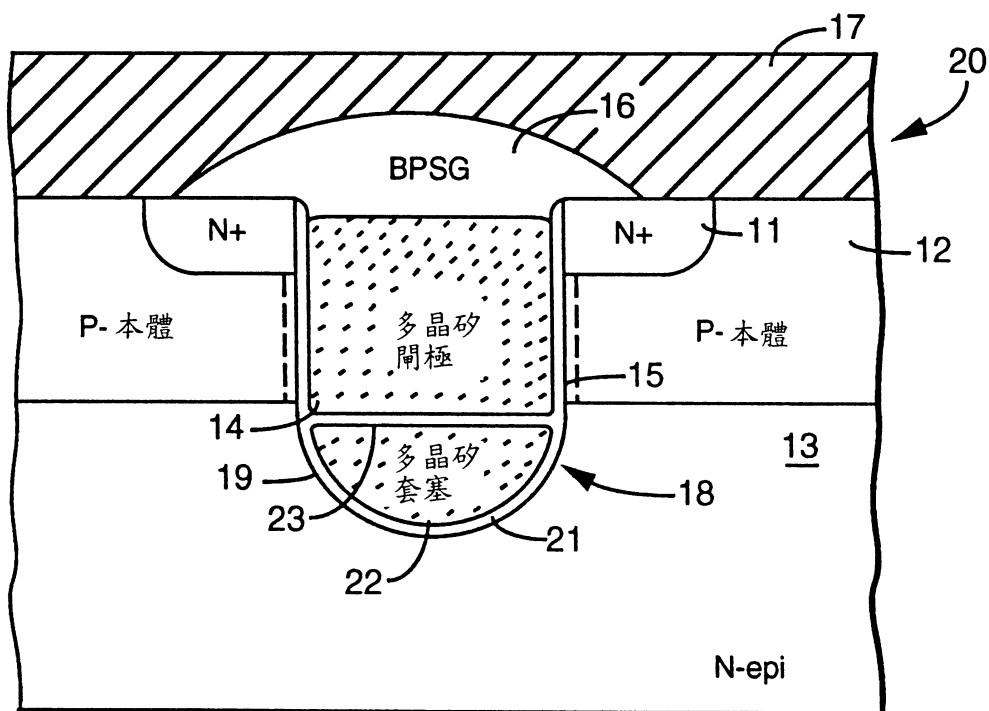
訂

線

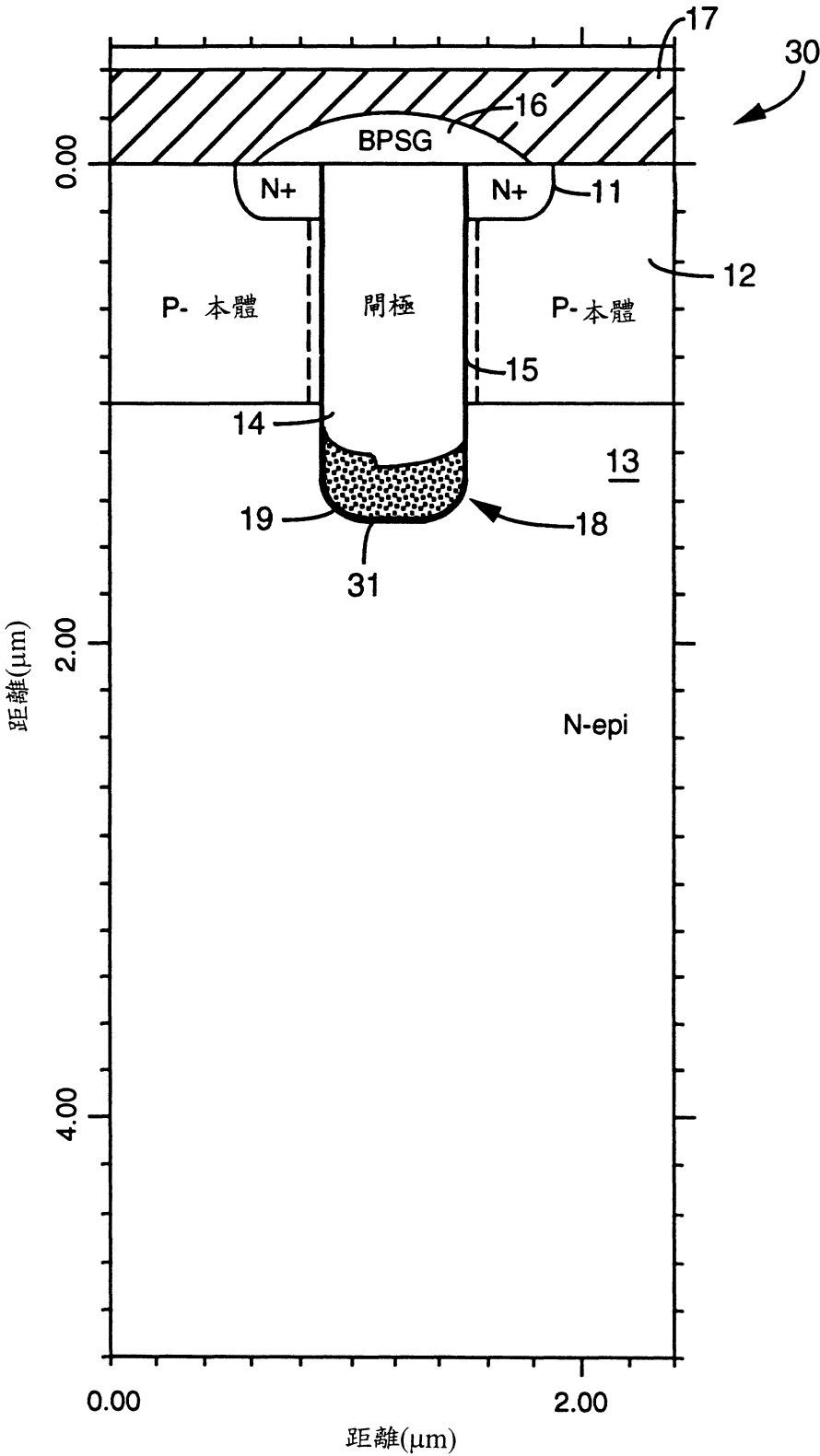
1/8



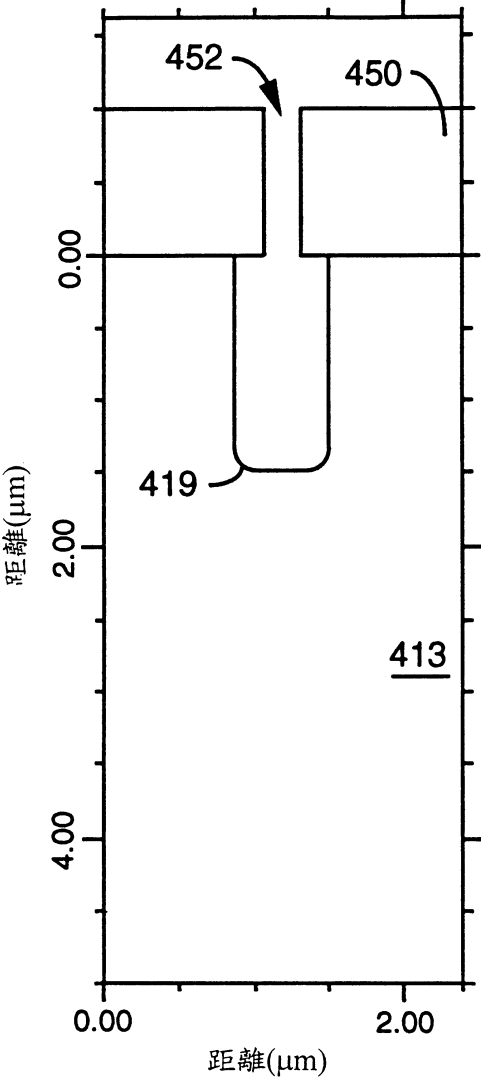
第 1 圖 習知技藝



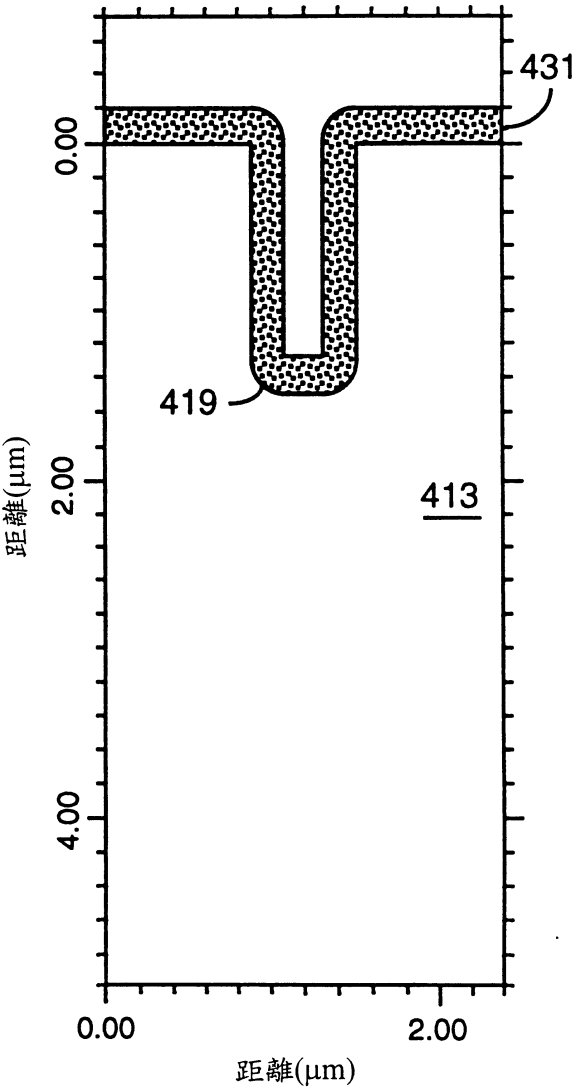
第 2 圖



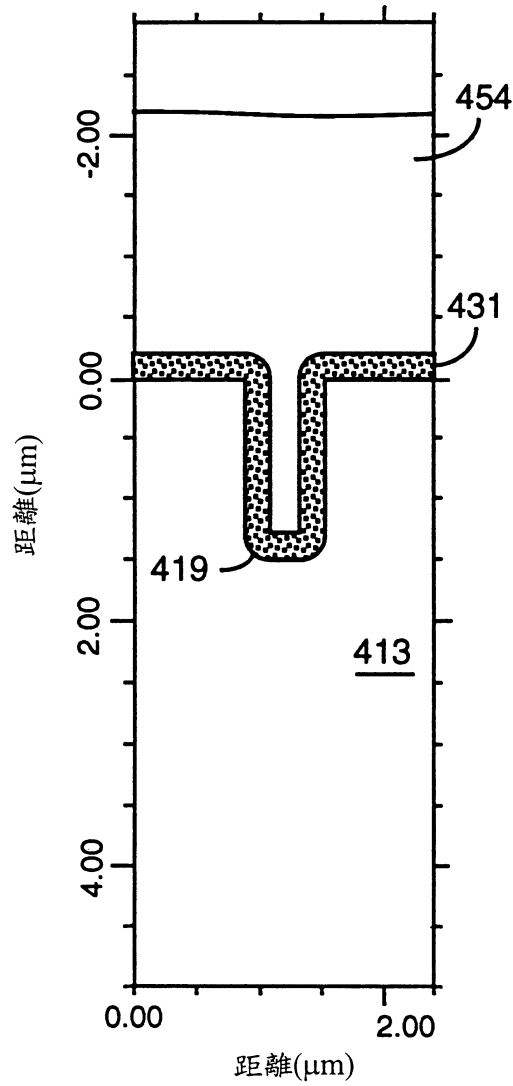
第 3 圖



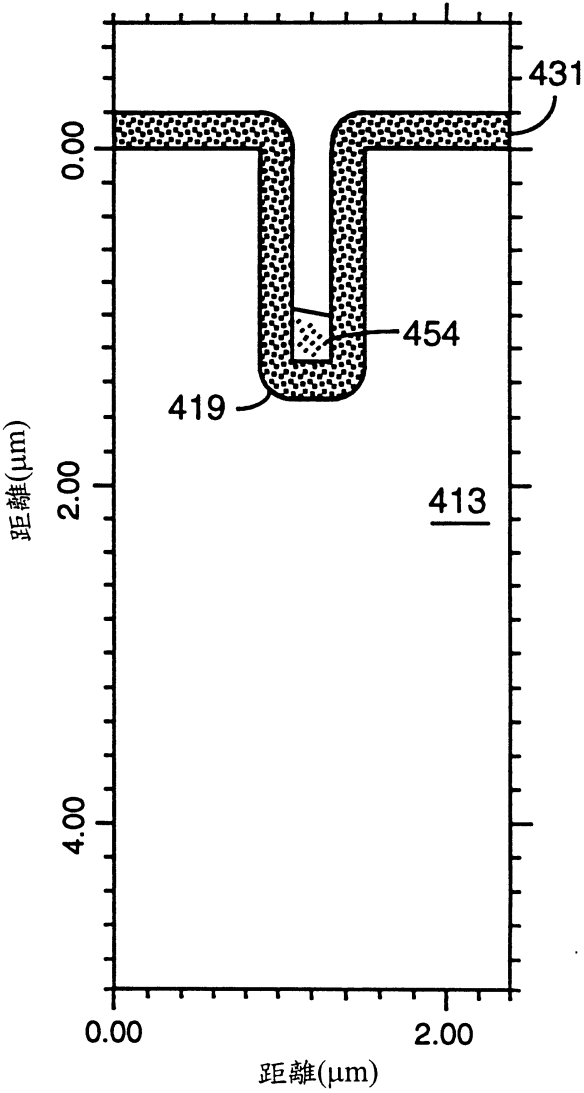
第 4A 圖



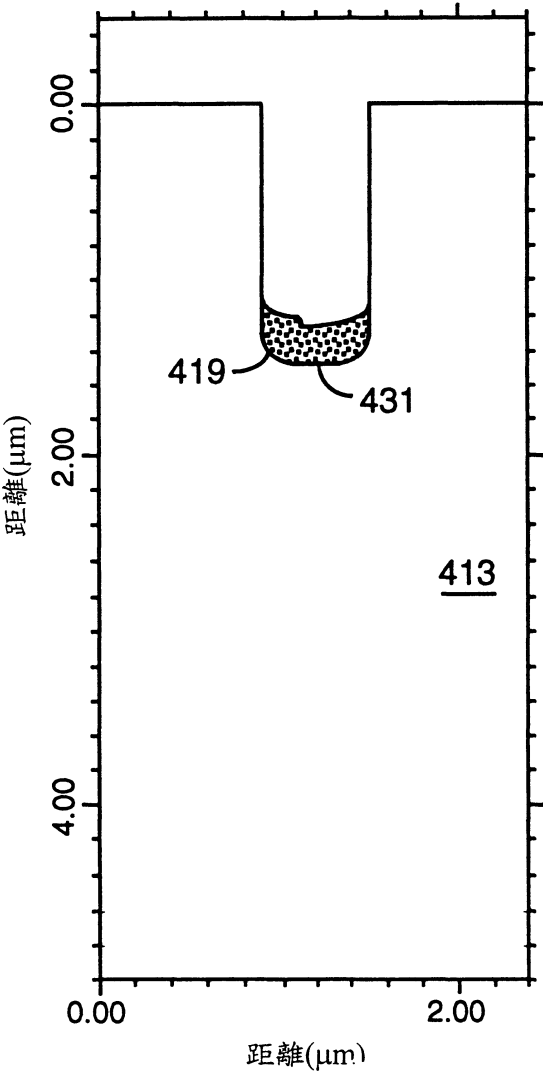
第 4B 圖



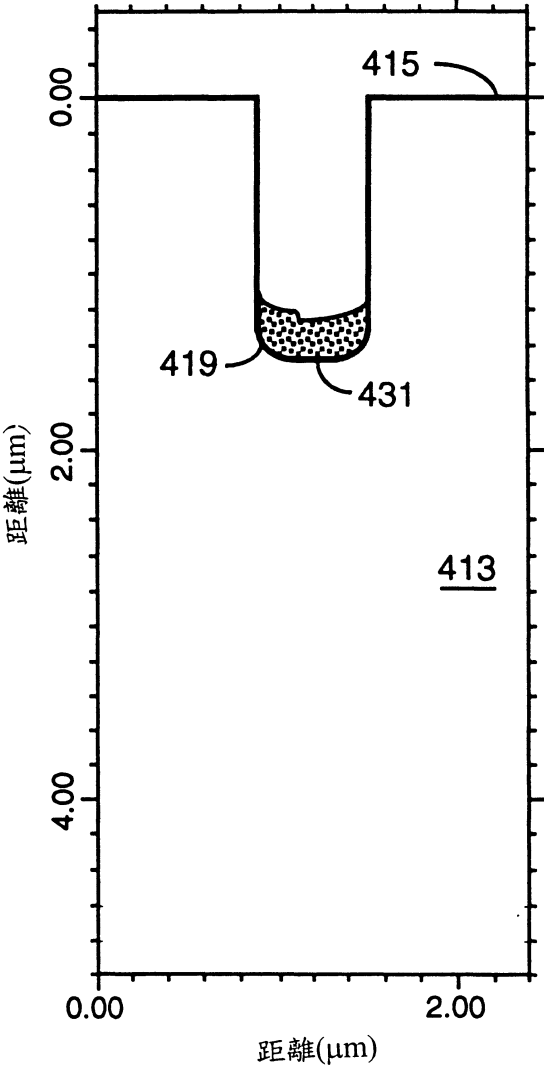
第 4C 圖



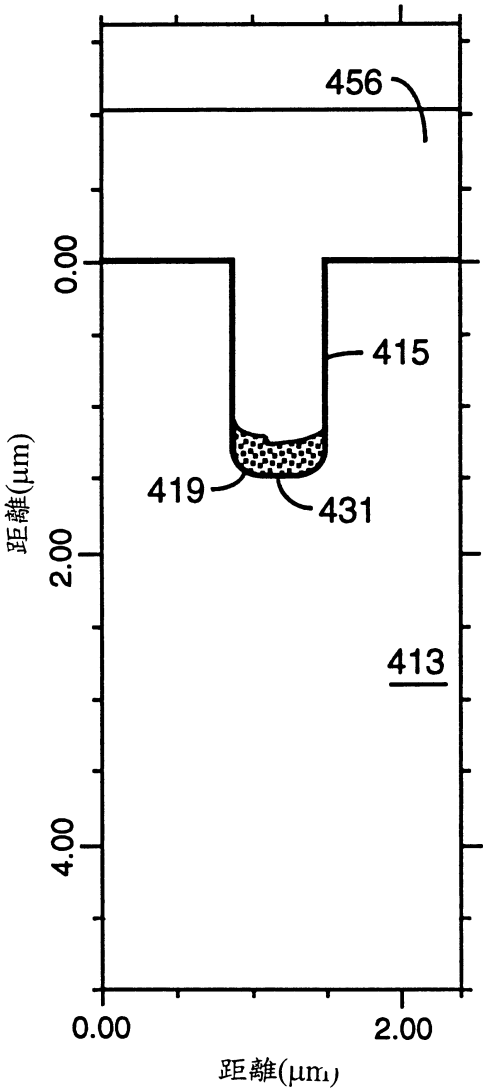
第 4D 圖



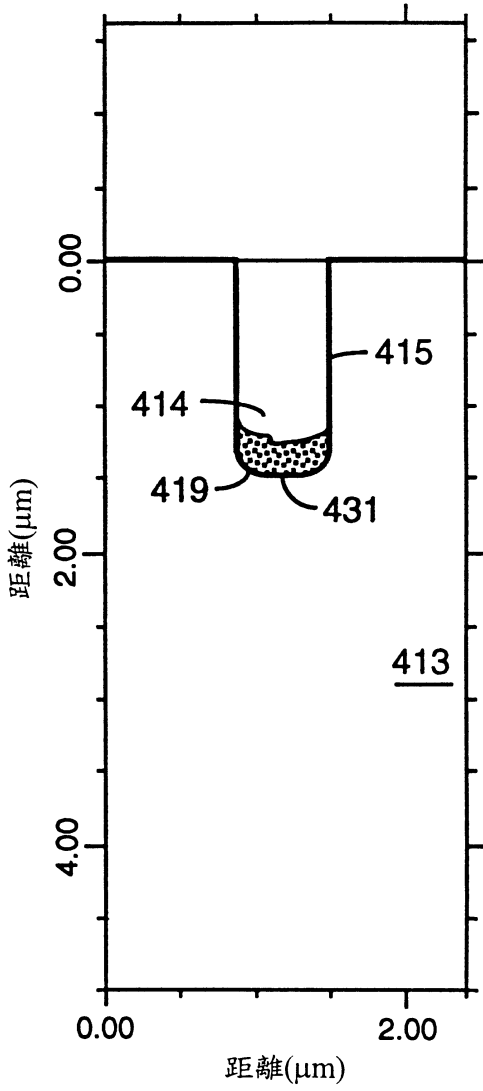
第4E 圖



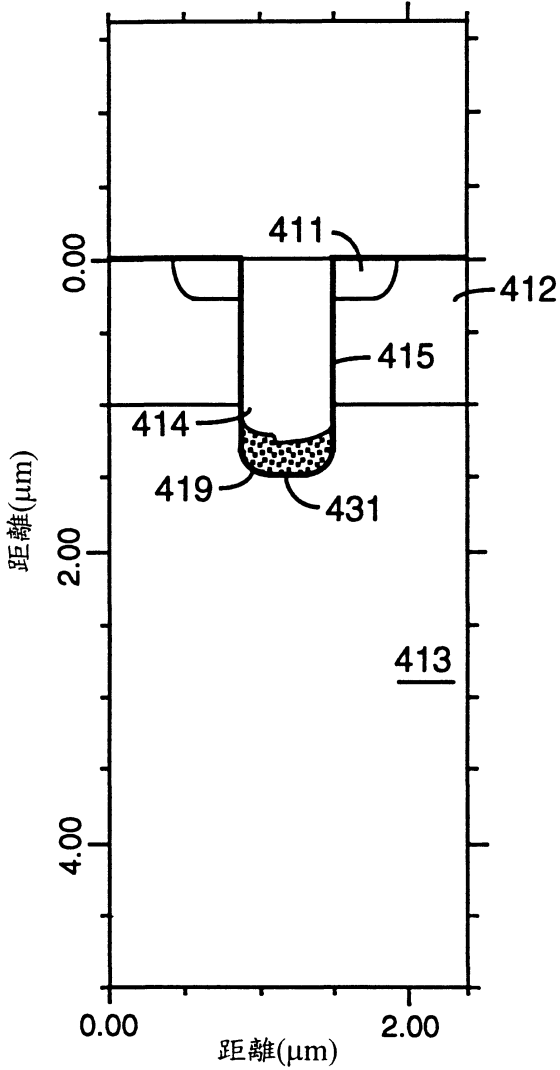
第 4F 圖



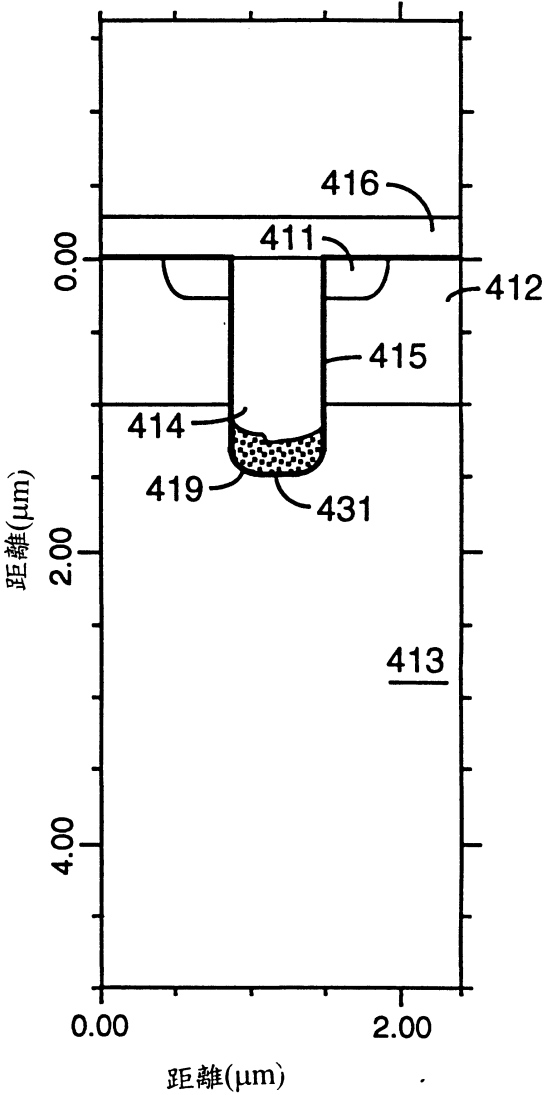
第 4G 圖



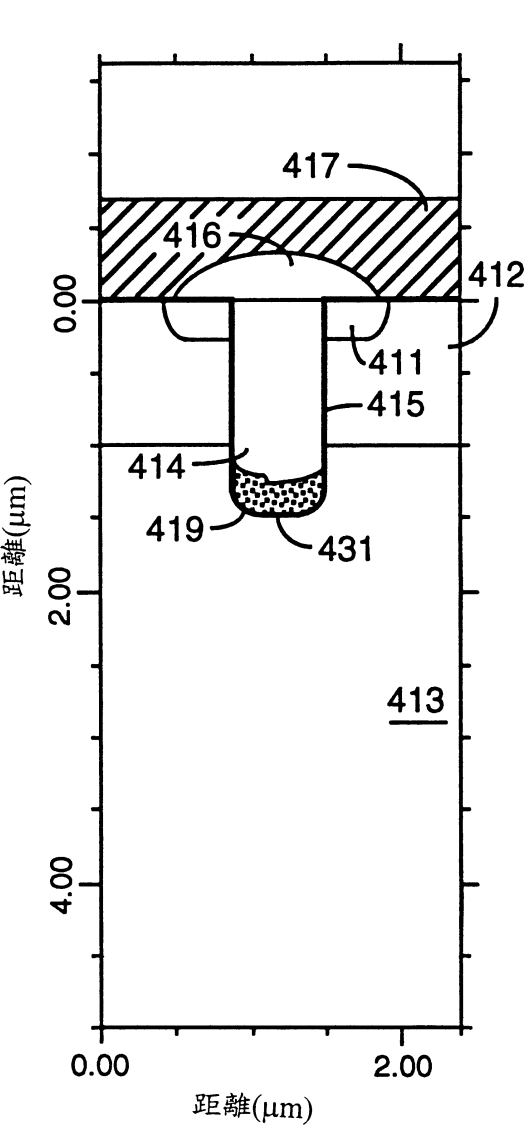
第 4H 圖



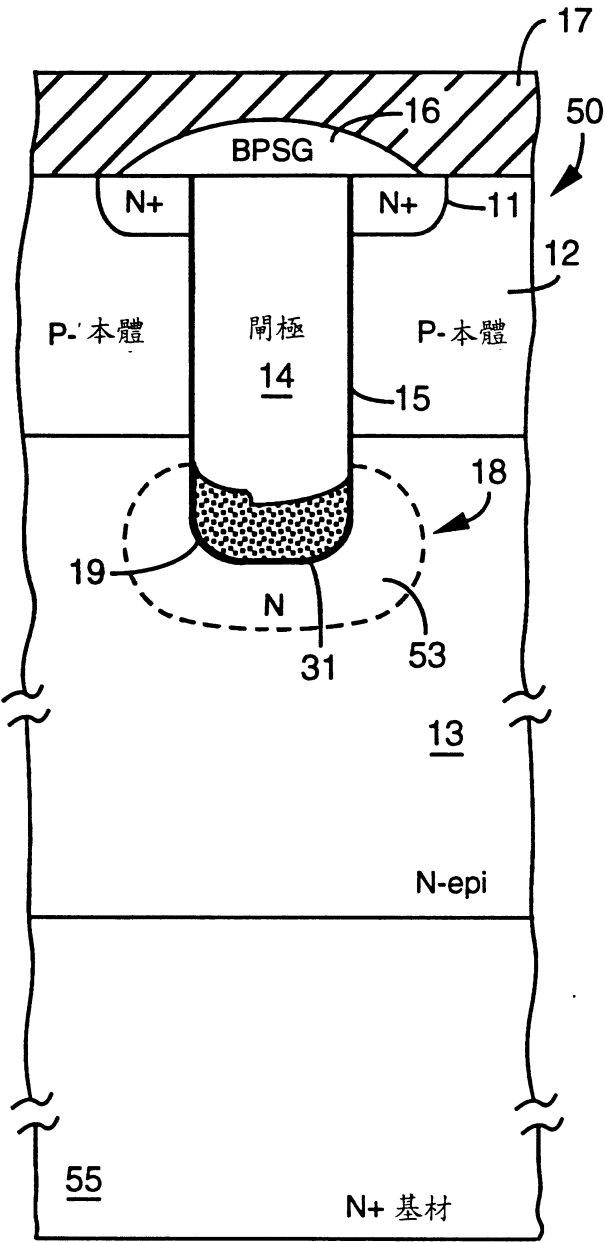
第 4I 圖



第 4J 圖



第 4K 圖



第 5 圖